



(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 国際調査報告 (条約第21条(3))
- 補正された請求の範囲及び説明書 (条約第19条(1))

(57) 要約: 半導体基板 (10) の裏面 (10a) の表面層に、 n^+ 型カソード領域 (4) および p 型カソード領域 (5) がそれぞれ選択的に設けられている。 n^+ 型カソード領域 (4) および p 型カソード領域 (5) はカソード層 (6) を構成し、半導体基板 (10) の裏面 (10a) に平行な方向に隣接する。 n^+ 型カソード領域 (4) および p 型カソード領域 (5) はカソード電極 (8) に接する。 n 型ドリフト層 (1) の内部には、半導体基板 (10) の裏面 (10a) からカソード層 (6) よりも深く、かつそれぞれ異なる深さに、複数の n 型 FS 層 (7) が設けられている。このようにすることで、ダイオードにおいて、順方向電圧の低減と逆回復損失の低減とのトレードオフ関係を改善させることができ、かつソフトリカバリー化を実現することができる。

明 細 書

発明の名称：半導体装置

技術分野

[0001] この発明は、半導体装置に関する。

背景技術

[0002] 従来、4WD (Four-Wheel Drive: 四輪駆動) 等の自動車用途のダイオードとして、図17に示す構造のダイオードが公知である。図17は、従来のダイオードの構造を示す断面図である。図17に示すように、従来構造のダイオードでは、半導体基板110の裏面に平行な方向に隣接して配置した n^+ 型領域（以下、 n^+ 型カソード領域とする）104およびp型領域（以下、p型カソード領域とする）105でカソード層106が構成される。

[0003] また、従来構造のダイオードは、 n -型ドリフト層101とカソード層106との間に、 n 型バッファ層107を備える。 n 型バッファ層107は、ドーパントをリン(P)とし、半導体基板110の裏面110aからの加速エネルギー620keV程度のイオン注入により $1.7 \times 10^{12} / \text{cm}^3$ 程度の不純物濃度に形成される。図17には、 n 型バッファ層（以下、P-n型バッファ層とする）107をP-nバッファと図示する。

[0004] このように、P-n型バッファ層107は、半導体基板110の裏面110aからリンをイオン注入することにより形成されるため、半導体基板110の裏面110aから十分に浅い深さに配置される。このため、P-n型バッファ層107を備えたダイオードでは、逆回復時に少数キャリアの掃き出しが速く、逆回復時間が短縮されるため、逆回復時間に生じる電力損失（以下、逆回復損失とする） E_{rr} が低減される。半導体基板110の裏面110aとは、カソード層106が露出された面であり、カソード電極108との接触面である。符号102, 103は、それぞれp型アノード層およびアノード電極である。

- [0005] 従来構造のダイオードでは、逆回復時に、カソード電極 108 から p 型カソード領域 105 にホール（正孔）が注入される。このため、n⁺型カソード領域のみでカソード層を構成した通常のダイオードと比較して、カソード側のホール濃度（少数キャリア濃度）が高くなる。その結果、カソード側の電界が緩和され、逆回復時における電圧・電流波形の発振が抑制される。このような従来構造のダイオードとして、n 型 F S 層の不純物濃度を最適化して、順方向電圧（順方向電圧降下） V_f の低減と逆回復損失 E_{rr} の低減とのトレードオフ関係を改善させた装置が提案されている（例えば、下記特許文献 1 参照。）。
- [0006] 下記特許文献 1 では、n 型バッファ層の不純物濃度のピーク値（最大値：ピーク濃度）は、 $1 \times 10^{16} / \text{cm}^3 \sim 1 \times 10^{20} / \text{cm}^3$ であり、n⁻型ドリフト層の不純物濃度よりも高く、かつ n⁺型カソード領域の不純物濃度のピーク値よりも低い。p 型カソード領域の不純物濃度のピーク値に対する n 型バッファ層の不純物濃度のピーク値の比は 0.001 以上 0.1 以下である。特に、n 型バッファ層の、n⁺型カソード領域と n⁻型ドリフト層とに挟まれた部分の不純物濃度が p 型カソード領域と n⁻型ドリフト層とに挟まれた部分の不純物濃度よりも高い場合に、順方向電圧 V_f の低減と逆回復損失 E_{rr} の低減とのトレードオフ関係がより改善される。
- [0007] また、n 型フィールドストップ（F S : F i e l d S t o p）層の形成方法として、n⁻ドリフト層となる半導体基板の裏面から異なる加速エネルギーで複数回のプロトン注入を繰り返し行い、n 型半導体基板よりも低抵抗の n 型 F S 層を形成する方法が提案されている（例えば、下記特許文献 2 参照。）。下記特許文献 2 では、複数回のプロトン注入の際に、前回のプロトン注入で残されたディスオーダーによる移動度低下を補償するように次回のプロトン注入を行うことで、ディスオーダーを少なくして、特性不良の発生を抑制し、かつ高濃度の水素関連ドナー層を有する n 型 F S 層を形成している。
- [0008] n 型 F S 層を備えたダイオードとして、n 型 F S 層中の、熱平衡時の多数

キャリア濃度が半導体基板の裏面側からおもて面側へ向かう厚さ方向に単調に減少し、かつ下に（低不純物濃度側に）凸状に湾曲した不純物濃度分布を有する装置が提案されている（例えば、下記特許文献3（第0029, 0030, 0043, 0082段落、第4, 5図）参照。）。下記特許文献3では、半導体基板の全体のキャリアライフタイムを短くしてスイッチング速度を高速化するとともに、n型FS層を設けることで高耐圧と急激な電流変化の緩和とを両立させている。

先行技術文献

特許文献

[0009] 特許文献1：特開2010-283132号公報

特許文献2：特許第5741712号公報

特許文献3：特開2015-201476号公報

発明の概要

発明が解決しようとする課題

[0010] しかしながら、従来構造のダイオードでは、逆回復損失 E_{rr} を低減させることができるが、少数キャリアの掃き出しが速くなることで、順方向電圧 V_f が増大してしまう。このため、順方向電圧 V_f の低減と逆回復損失 E_{rr} の低減との両立することは難しい。また、逆回復時に少数キャリアの掃き出しが速くなることで、電圧・電流波形がハードリカバリー（急峻な逆回復特性）になって発振し、ダイオードが破壊に至る虞がある。

[0011] この発明は、上述した従来技術による問題点を解消するため、ダイオードにおいて、順方向電圧の低減と逆回復損失の低減とのトレードオフ関係を改善させることができ、かつソフトリカバリー化を実現することができる半導体装置を提供することを目的とする。

課題を解決するための手段

[0012] 上述した課題を解決し、本発明の目的を達成するため、この発明にかかる半導体装置は、次の特徴を有する。第1導電型の第1半導体層は、第1主面

と第2主面とを有する。前記第1半導体層の前記第1主面に、第2導電型の第2半導体層が設けられている。前記第1半導体層の前記第2主面に、第3半導体層が設けられている。前記第1半導体層の内部の異なる深さに、前記第1半導体層よりも不純物濃度の高い複数の第1導電型の第1半導体領域が設けられている。第1導電型の第2半導体領域は、最も前記第3半導体層側の前記第1半導体領域に接して前記第3半導体層の一部をなす。前記第2半導体領域は、前記第1半導体領域よりも不純物濃度が高い。第2導電型の第3半導体領域は、最も前記第3半導体層側の前記第1半導体領域に接して前記第3半導体層の一部をなす。

[0013] 前記第3半導体領域は、前記第2主面に平行な方向に前記第2半導体領域に接する。第1電極は、前記第2半導体層に接する。第2電極は、前記第2半導体領域および前記第3半導体領域に接する。前記第1半導体領域は、不純物濃度の第1最大値が前記第2半導体領域の不純物濃度の第2最大値および前記第3半導体領域の不純物濃度の第3最大値よりも低い。かつ、前記第1半導体領域は、前記第1最大値をピークとし、当該ピークから前記第2半導体層側および前記第3半導体層側に向かって減少する不純物濃度分布を有する。前記第3半導体領域の、前記第1半導体領域との界面での不純物濃度は、前記第2半導体領域の、前記第1半導体領域との界面での不純物濃度よりも低い。

[0014] また、この発明にかかる半導体装置は、上述した発明において、前記第3半導体領域の不純物濃度の前記第3最大値は、前記第2半導体領域の不純物濃度の前記第2最大値よりも低いことを特徴とする。

[0015] また、この発明にかかる半導体装置は、上述した発明において、前記第3半導体領域の不純物濃度の前記第3最大値は、複数の前記第1半導体領域のうちの最も前記第3半導体層側の前記第1半導体領域の不純物濃度の前記ピークよりも高いことを特徴とする。

[0016] また、この発明にかかる半導体装置は、上述した発明において、前記第3半導体領域の不純物濃度の前記第3最大値は、前記第2半導体領域と、複数

の前記第1半導体領域のうちの最も前記第3半導体層側の前記第1半導体領域と、の界面で、前記第2半導体領域の不純物濃度の最低値よりも高いことを特徴とする。

[0017] また、この発明にかかる半導体装置は、上述した発明において、複数の前記第1半導体領域のうちの最も前記第3半導体層側の前記第1半導体領域の、前記ピークよりも前記第3半導体層側の部分のうち、前記第1最大値の0.5倍以下の不純物濃度となる部分は、前記第3半導体領域と当該第1半導体領域との界面から所定の深さに達する。前記所定の深さから前記第3半導体領域と当該第1半導体領域との界面までの距離は、前記第3半導体領域の厚さよりも長いことを特徴とする。

[0018] また、この発明にかかる半導体装置は、上述した発明において、前記所定の深さから前記第3半導体領域と当該第1半導体領域との界面までの距離は、前記第3半導体領域の厚さの2倍以上であることを特徴とする。

[0019] また、この発明にかかる半導体装置は、上述した発明において、前記所定の深さから前記第3半導体領域と当該第1半導体領域との界面までの距離は、前記第3半導体領域の厚さ以上10 μ m以下であることを特徴とする。

[0020] また、この発明にかかる半導体装置は、上述した発明において、前記第3半導体領域の厚さは、前記第2半導体領域の厚さよりも薄いことを特徴とする。

[0021] また、この発明にかかる半導体装置は、上述した発明において、前記第3半導体層と、最も前記第3半導体層側の前記第1半導体領域の前記ピークと、の間に結晶欠陥が導入されていることを特徴とする。

[0022] また、この発明にかかる半導体装置は、上述した発明において、第2導電型の第4半導体層、第1導電型の第4半導体領域、ゲート絶縁膜、ゲート電極および第2導電型の第5半導体領域をさらに備える。前記第4半導体層は、前記第1半導体層の前記第1主面に設けられ、前記第1電極に電氣的に接続されている。前記第4半導体領域は、前記第4半導体層の内部に選択的に設けられ、前記第1電極に電氣的に接続されている。前記ゲート絶縁膜は、

前記第4半導体層の、前記第4半導体領域と前記第1半導体層との間の領域に接して設けられている。前記ゲート電極は、前記ゲート絶縁膜を挟んで前記第4半導体層の反対側に設けられている。前記第5半導体領域は、前記第1半導体層の前記第2主面に選択的に設けられ、前記第2電極に接し、かつ前記第2主面に平行な方向に前記第2半導体領域に接する。

[0023] また、この発明にかかる半導体装置は、上述した発明において、前記第1半導体層の、前記第2半導体層との境界付近に結晶欠陥が導入されていることを特徴とする。

[0024] また、この発明にかかる半導体装置は、上述した発明において、前記第1半導体領域は、水素ドナー層であることを特徴とする。

[0025] 上述した課題を解決し、本発明の目的を達成するため、この発明にかかる半導体装置は、次の特徴を有する。第1導電型の第1半導体層は、第1主面と第2主面とを有する。前記第1半導体層の前記第1主面に、第2導電型の第2半導体層が設けられている。前記第1半導体層の前記第2主面に、第3半導体層が設けられている。前記第1半導体層の内部に、前記第1半導体層よりも不純物濃度の高い第1導電型の第1半導体領域が選択的に設けられている。第1導電型の第2半導体領域は、前記第1半導体領域に接して前記第3半導体層の一部をなす。前記第2半導体領域は、前記第1半導体領域よりも不純物濃度が高い。第2導電型の第3半導体領域は、前記第1半導体領域に接して前記第3半導体層の一部をなす。前記第3半導体領域は、前記第2主面に平行な方向に前記第2半導体領域に接する。

[0026] 第1電極は、前記第2半導体層に接する。第2電極は、前記第2半導体領域および前記第3半導体領域に接する。前記第1半導体領域は、上凸部と凸状部とからなる不純物濃度分布を有する。前記上凸部においては、前記第3半導体層との境界で不純物濃度がピーク濃度となり、かつ前記第2半導体層側へ向かって不純物濃度が線形に減少する不純物濃度分布となっている。前記凸状部においては、前記上凸部の前記第2半導体層側に前記上凸部に連続して形成され、かつ前記第2半導体層側に深くなるにしたがって不純物濃度

が低濃度側に凸状に湾曲して減少する不純物濃度分布となっている。前記第1半導体領域の、前記第3半導体領域との界面での不純物濃度のピーク濃度は、前記第1半導体領域の、前記第2半導体領域との界面での不純物濃度のピーク濃度よりも低い。

[0027] また、この発明にかかる半導体装置は、上述した発明において、前記凸状部が分布する長さは、前記上凸部が分布する長さよりも長いことを特徴とする。

[0028] また、この発明にかかる半導体装置は、上述した発明において、前記第1半導体領域の不純物濃度のピーク濃度は、前記第2半導体領域の不純物濃度のピーク濃度よりも低いことを特徴とする。

[0029] また、この発明にかかる半導体装置は、上述した発明において、前記第3半導体層から前記第1半導体領域にわたって、前記第1半導体層の前記第2主面で水素濃度がピーク濃度となり、かつ前記第1主面側へ向かうにしたがって水素濃度が減少する水素濃度分布を有する。前記第1半導体層の前記第2主面から前記水素濃度分布よりも前記第1主面側に深い位置まで再結合中心が分布していることを特徴とする。

[0030] また、この発明にかかる半導体装置は、上述した発明において、前記第1半導体層の前記第2主面での再結合中心濃度は、前記第1半導体領域の不純物濃度がピーク濃度となる深さでの再結合中心濃度よりも小さいことを特徴とする。

[0031] また、この発明にかかる半導体装置は、上述した発明において、前記第1半導体層の内部の、前記第1半導体領域よりも前記第1主面側に、前記第1半導体領域と離して設けられた、前記第1半導体層よりも不純物濃度の高い第1導電型の第4半導体領域をさらに備えることを特徴とする。

[0032] また、この発明にかかる半導体装置は、上述した発明において、前記第4半導体領域の不純物濃度のピーク濃度は、前記第1半導体領域の不純物濃度のピーク濃度よりも低いことを特徴とする。

[0033] また、この発明にかかる半導体装置は、上述した発明において、前記第4

半導体領域の再結合中心濃度は、前記第 1 半導体領域の不純物濃度が前記第 1 半導体層の不純物濃度と一致する深さでの再結合中心濃度よりも高いことを特徴とする。

[0034] また、この発明にかかる半導体装置は、上述した発明において、前記第 1 半導体領域は、水素ドナー層であることを特徴とする。

[0035] 上述した発明によれば、逆回復時に、第 2 電極から第 3 半導体領域にホールが注入され、第 3 半導体層側のホール濃度が高くなる。これにより、第 3 半導体層側の電界が緩和され、逆回復時における電圧・電流波形の発振が抑制されるため、逆回復損失を低減させることができる。また、上述した発明によれば、定常状態での順バイアス時に、第 1 半導体層の中央の深さ付近のホール濃度が低く、その分、第 3 半導体層側のホール濃度が高くなる。このため、順方向電圧が高くなることを防止することができる。

発明の効果

[0036] 本発明にかかる半導体装置によれば、ダイオードにおいて、順方向電圧の低減と逆回復損失の低減とのトレードオフ関係を改善させることができ、かつソフトリカバリー化を実現することができるという効果を奏する。

図面の簡単な説明

[0037] [図1]図 1 は、実施の形態 1 にかかる半導体装置の構造を示す断面図である。

[図2]図 2 は、図 1 の切断線 A 1 - A 2 および切断線 B 1 - B 2 における不純物濃度分布を示す特性図である。

[図3]図 3 は、逆回復時における電圧・電流波形の振動開始電圧を示す特性図である。

[図4]図 4 は、図 3 のシミュレーションに用いたチョーパ回路の回路構成を示す回路図である。

[図5]図 5 は、実施の形態 1 にかかる半導体装置の製造途中の状態を示す断面図である。

[図6]図 6 は、実施の形態 1 にかかる半導体装置の製造途中の状態を示す断面図である。

[図7]図7は、実施の形態1にかかる半導体装置の製造途中の状態を示す断面図である。

[図8]図8は、実施の形態1にかかる半導体装置の製造途中の状態を示す断面図である。

[図9]図9は、実施の形態1にかかる半導体装置の製造途中の状態を示す断面図である。

[図10]図10は、実施の形態2にかかる半導体装置の要部の構造を示す断面図である。

[図11]図11は、図10の切断線A1-A2および切断線D1-D2における不純物濃度分布を示す特性図である。

[図12]図12は、実施の形態3にかかる半導体装置の要部の構造を示す断面図である。

[図13]図13は、ダイオードの逆回復時におけるカソード・アノード間電圧を示す特性図である。

[図14]図14は、ダイオードの逆回復時におけるカソード・アノード間電圧の波形の一例を示す特性図である。

[図15]図15は、ダイオードの順方向電圧と逆回復損失との関係を示す特性図である。

[図16]図16は、ダイオードの順バイアス時のホール濃度分布を示す特性図である。

[図17]図17は、従来のダイオードの構造を示す断面図である。

[図18]図18は、実施の形態4にかかる半導体装置のネットドーピング濃度分布を示す特性図である。

[図19]図19は、実施の形態4にかかる半導体装置の製造途中の状態を示す説明図である。

[図20]図20は、図18のネットドーピング濃度分布に対するキャリアライフタイム分布および再結合中心濃度分布の関係を示す特性図である。

[図21]図21は、実施の形態4にかかる半導体装置の別の一例のネットドー

ピング濃度分布を示す特性図である。

[図22]図22は、図21のネットドーピング濃度分布に対するキャリアライフタイム分布および再結合中心濃度分布の関係を示す特性図である。

発明を実施するための形態

[0038] 以下に添付図面を参照して、この発明にかかる半導体装置の好適な実施の形態を詳細に説明する。本明細書および添付図面においては、 n または p を冠記した層や領域では、それぞれ電子または正孔が多数キャリアであることを意味する。また、 n や p に付す $+$ および $-$ は、それぞれそれが付されていない層や領域よりも高不純物濃度および低不純物濃度であることを意味する。なお、以下の実施の形態の説明および添付図面において、同様の構成には同一の符号を付し、重複する説明を省略する。また、特に言及がなければ、不純物濃度とは、ドナー濃度、アクセプタ濃度、またはこれらの正味のネットドーピング濃度である。

[0039] (実施の形態1)

実施の形態1にかかる半導体装置の構造について、ダイオードを例に説明する。図1は、実施の形態1にかかる半導体装置の構造を示す断面図である。図1に示す実施の形態1にかかる半導体装置は、 n -型ドリフト層（第1半導体層）1の内部に深さ方向に不純物濃度のピークを複数有する n 型フィールドストップ層（複数の n 型FS層（第1半導体領域）7）を備えたダイオードである。深さ方向とは、 n -型の半導体基板（半導体チップ）10の裏面（第2主面）10aからおもて面（第1主面）10bへ向かう方向である。

[0040] 具体的には、半導体基板10のおもて面10bの表面層には、 p 型アノード層（第2半導体層）2が設けられている。 p 型アノード層2は、例えばボロン（B）等の p 型不純物のイオン注入により形成された拡散領域である。半導体基板10のおもて面10b上には、アノード電極（第1電極）3が設けられている。アノード電極3は、 p 型アノード層2に接する。半導体基板10の裏面10aの表面層には、半導体基板10の裏面10aに平行な方向に隣接して、 n^+ 型領域（ n^+ 型カソード領域：第2半導体領域）4および p 型

領域（p型カソード領域：第3半導体領域）5がそれぞれ選択的に設けられている。

[0041] n^+ 型カソード領域4およびp型カソード領域5は、例えば半導体基板10の裏面10aに平行な方向に交互に繰り返し配置されている。 n^+ 型カソード領域4は、例えばリン（P）等のn型不純物のイオン注入により形成された拡散領域である。p型カソード領域5は、例えばボロン等のp型不純物のイオン注入により形成された拡散領域である。この n^+ 型カソード領域4およびp型カソード領域5でカソード層（第3半導体層）6が構成されている。 n^+ 型カソード領域4およびp型カソード領域5の詳細な構成については、後述する。

[0042] 半導体基板10の、p型アノード層2、 n^+ 型カソード領域4およびp型カソード領域5以外の部分が n^- 型ドリフト層1である。 n^- 型ドリフト層1の内部には、半導体基板10の裏面10aからカソード層6よりも深い位置に、n型FS層7が設けられている。n型FS層7は、半導体基板10の裏面10aから異なる深さに、深さ方向に対向するように複数配置されている。n型FS層7は、逆回復時に、p型アノード層2と n^- 型ドリフト層1との間のpn接合から伸びる空乏層が n^+ 型カソード領域4に達することを抑制する機能を有する。

[0043] 具体的には、n型FS層7は、プロトン（ H^+ ）注入により半導体基板10の内部に導入された水素原子をイオン化（ドナー化）して形成された水素原子を含む水素ドナー層である。n型FS層7は、プロトン注入の飛程 R_p の深さ位置で不純物濃度のピーク値（最大値（第1最大値）：ピーク濃度）を示し、そのピーク値は半導体基板10の不純物濃度よりも高い。各n型FS層7の不純物濃度のピークは、他のn型FS層7から離れた深さ位置（以下、ピーク位置とする）にある。最もカソード側のn型FS層7（7a）の不純物濃度のピーク P_1 のピーク位置 X_{p1} は、カソード層6よりも半導体基板10の裏面10aから深い位置にある（図2参照）。

[0044] 図1には、4つのn型FS層7を配置し、半導体基板10の裏面10a側

から順に符号 7 a ~ 7 d を付す。各 n 型 F S 層 7 a ~ 7 d は、プロトン注入の飛程 R_p を中心に飛程 R_p のストラグリング（プロトン注入時のエネルギー損失等の確率的過程による飛程 R_p のばらつき（分散）） ΔR_p の幅で最大濃度の半値以上の不純物濃度となる部分をハッチングで示す。各 n 型 F S 層 7 a ~ 7 d のハッチング部分に挟まれた部分、および、n 型 F S 層 7 a のハッチング部分とカソード層 6 とに挟まれた部分は、例えば上記特許文献 2 のようにディスオーダーを少なくした部分である。

[0045] 半導体基板 10 の裏面 10 a 上には、カソード電極（第 2 電極）8 が設けられている。カソード電極 8 は、 n^+ 型カソード領域 4 および p 型カソード領域 5 に接する。 n^- 型ドリフト層 1 の内部に結晶欠陥を導入し、結晶欠陥を導入した部分のキャリアライフタイムを短くしていてもよい。例えば、電子線照射により半導体基板 10 全体に結晶欠陥が導入されていてもよいし、ヘリウム（He）照射により n^- 型ドリフト層 1 のカソード側の部分（n 型 F S 層 7 a の内部）に結晶欠陥 9（図 1 に×印で示す）が導入されていてもよい。図 1 には、例えば、n 型 F S 層 7 a の不純物濃度のピーク P_1 （図 2 参照）と、カソード層 6 と、に挟まれた部分に結晶欠陥 9 を導入した場合を示す。

[0046] 次に、 n^+ 型カソード領域 4 および p 型カソード領域 5 の構成について説明する。図 2 は、図 1 の切断線 A 1 - A 2 および切断線 B 1 - B 2 における不純物濃度分布を示す特性図である。図 2 には、切断線 A 1 - A 2 における不純物濃度分布 1 1 を実線で示し、切断線 B 1 - B 2 における不純物濃度分布 1 2 を破線で示す。切断線 B 1 - B 2 における不純物濃度分布 1 2 は、深さ X_1 よりも半導体基板 10 の裏面 10 a から深い位置で、切断線 A 1 - A 2 における不純物濃度分布 1 1 に接している。この両不純物濃度分布 1 1, 1 2 が接する部分からアノード側（p 型アノード層 2 側）に深い部分の不純物濃度分布は両不純物濃度分布 1 1, 1 2 とともに同じであるため、実線でのみ示す。

[0047] 切断線 A 1 - A 2 における不純物濃度分布 1 1 は、半導体基板 10 の裏面 10 a から深さ方向に n^+ 型カソード領域 4 および n 型 F S 層 7 a, 7 b を通

る部分の不純物濃度分布である。切断線 B 1 - B 2 における不純物濃度分布 1 2 は、半導体基板 1 0 の裏面 1 0 a から深さ方向に p 型カソード領域 5 および n 型 F S 層 7 a, 7 b を通る部分の不純物濃度分布である。図 2 は、横軸に半導体基板 1 0 の裏面 1 0 a (深さ = 0 μ m) からの深さを通常が目盛 (不図示) で示し、縦軸に不純物濃度を対数目盛 (不図示) で示す (図 1 1, 1 8, 1 9 (b), 2 0 (a), 2 1, 2 2 (a) においても同様)。

[0048] n^+ 型カソード領域 4 は、例えば、ドーパントをリン (P) とし、半導体基板 1 0 の裏面 1 0 a から加速エネルギー 1 1 0 k e V 程度で、ドーズ量 $3 \times 10^{15} / \text{cm}^2$ 程度としたイオン注入により形成される。p 型カソード領域 5 は、例えば、ドーパントをボロン (B) とし、半導体基板 1 0 の裏面 1 0 a から加速エネルギー 1 1 0 k e V 程度で、ドーズ量 $1 \times 10^{14} / \text{cm}^2$ 程度としたイオン注入により形成される。本例の構造のダイオードでは、逆回復時に p 型カソード領域 5 から n 型 F S 層 7 (n^- 型ドリフト層 1) にホールが注入されるように、p 型カソード領域 5 の不純物濃度はある程度高めに設定される。p 型カソード領域 5 の不純物濃度のピーク値 (第 3 最大値) C_1 は、 n^+ 型カソード領域 4 の不純物濃度のピーク値 (第 2 最大値) C_2 よりも低く、かつ最もカソード側の n 型 F S 層 7 (7 a) の不純物濃度のピーク P_1 よりも高い。

[0049] また、 n^+ 型カソード領域 4 および p 型カソード領域 5 は、半導体基板 1 0 の裏面 1 0 a から同じ深さ X_2 , X_1 に達している ($X_2 = X_1$)。すなわち、半導体基板 1 0 の裏面 1 0 a から同じ深さ X_2 , X_1 に、 n^+ 型カソード領域 4 と n 型 F S 層 7 a との界面、および、p 型カソード領域 5 と n 型 F S 層 7 a との界面が位置する。 n^+ 型カソード領域 4 および p 型カソード領域 5 の不純物濃度 C_2' , C_1' は、n 型 F S 層 7 a との界面で最低値を示す。p 型カソード領域 5 の不純物濃度のピーク値 C_1 は、 n^+ 型カソード領域 4 と最もカソード側の n 型 F S 層 7 (7 a) との界面で n^+ 型カソード領域 4 の不純物濃度の最低値 C_2' より高くてもよい。また、p 型カソード領域 5 の、n 型 F S 層 7 a との界面での不純物濃度 C_1' は、 n^+ 型カソード領域 4 の、n 型 F S 層 7 a との界面での不純物濃度 C_2' よりも 1 桁程度低い ($C_1' < C_2'$)。

[0050] n^+ 型カソード領域4とp型カソード領域5とで、 n 型F S層7 aとの界面での不純物濃度 C_1' 、 C_2' が異なるのは、プロトン注入により n 型F S層7が形成されるからである。具体的には、 n^+ 型カソード領域4は上述したようにリン等の n 型不純物のイオン注入により形成され、その不純物濃度はプロトン注入により形成される n 型F S層7の不純物濃度よりも1桁程度高くなる。このため、 n^+ 型カソード領域4の、 n 型F S層7 aとの界面での不純物濃度 C_2' は、リン等のイオン注入により形成される n^+ 型カソード領域4の不純物濃度に律速される。具体的には、 n^+ 型カソード領域4の、 n 型F S層7 aとの界面での不純物濃度 C_2' は、最もカソード側の n 型F S層7 aの不純物濃度のピーク値 C_{p1} 未満であり、好ましくは例えば $1 \times 10^{14} / \text{cm}^3$ 以上 $3 \times 10^{15} / \text{cm}^3$ 以下程度であることがよい。

[0051] 一方、切断線B 1－B 2における不純物濃度分布1 2において、半導体基板1 0の裏面1 0 aから深さ X_1 までの部分はp型カソード領域5のp型不純物濃度分布であり、半導体基板1 0の裏面1 0 aから深さ X_1 より深い部分は n 型F S層7の n 型不純物濃度分布である。切断線B 1－B 2における不純物濃度分布1 2は、p型カソード領域5と n 型F S層7 aで形成されるpn接合の深さ X_1 において、低不純物濃度側に凸状に急峻に突出した不純物濃度分布となっている。すなわち、p型カソード領域5の、 n 型F S層7 aとの界面での不純物濃度 C_1' は、プロトン注入により形成された n 型F S層7 aのカソード側の不純物濃度で決まるため、リン等の n 型不純物のイオン注入に律速される n^+ 型カソード領域4の、 n 型F S層7 aとの界面での不純物濃度 C_2' よりも1桁程度低くすることができる。

[0052] このように、プロトン注入により n 型F S層7を形成することで、p型カソード領域5との界面において n 型F S層7 aの不純物濃度を、リン等の n 型不純物のイオン注入によるP－ n 型F S層1 0 7を備えた従来構造（図1 7参照）よりも1桁程度低くすることができる。これにより、 n 型F S層7 aの、p型カソード領域5との界面付近を高抵抗にすることができるため、P－ n 型F S層1 0 7を備えた従来構造よりもp型カソード領域5の幅（半

導体基板 10 の裏面 10a に平行な方向の幅) を狭くすることができる。

[0053] p 型カソード領域 5 の幅を狭くすることで、n⁺型カソード領域 4 の占有面積 (半導体基板 10 の裏面 10a から見た表面積) を増やすことができる。このため、半導体基板 10 内での pin (p - i n t r i n s i c - n) ダイオードの占有面積を確保しやすい。また、p 型カソード領域 5 の幅を狭くすることで、定常状態での順バイアス時にアノード電極 3 から p 型アノード層 2 に供給されカソード側に移動するホールが p 型カソード領域 5 に入りにくくなる。このため、順方向電圧 V_f が高くなることを防止することができる。

[0054] 各 n 型 F S 層 7a ~ 7d の不純物濃度は、n⁻型ドリフト層 1 よりも高い。また、各 n 型 F S 層 7a ~ 7d の不純物濃度のピーク値は、p 型アノード層 2 の不純物濃度のピーク値 (不図示)、p 型カソード領域 5 の不純物濃度のピーク値 C_1 、および n⁺型カソード領域 4 の不純物濃度のピーク値 C_2 よりも低い。また、各 n 型 F S 層 7a ~ 7d は、半導体基板 10 の裏面 10a から深い位置に配置されるほど、その不純物濃度のピーク値が低くなっている。各 n 型 F S 層 7a ~ 7d の不純物濃度のピーク間の距離は、設計条件に合わせて種々変更可能である。また、各 n 型 F S 層 7a ~ 7d は、それぞれ不純物濃度のピークを頂点とし、アノード側およびカソード側へ向かって不純物濃度が減少する山型の不純物濃度分布を有する。

[0055] 各 n 型 F S 層 7a ~ 7d は、例えば、カソード側に隣接する領域との界面での不純物濃度よりもアノード側に隣接する領域との界面での不純物濃度が低くなっている。各 n 型 F S 層 7a ~ 7d のカソード側に隣接する領域とは、n 型 F S 層 7a の場合はカソード層 6 であり、n 型 F S 層 7b ~ 7d の場合はそれぞれカソード側に隣接する n 型 F S 層 7a ~ 7c である。各 n 型 F S 層 7a ~ 7d のアノード側に隣接する領域とは、n 型 F S 層 7a ~ 7c の場合はそれぞれアノード側に隣接する n 型 F S 層 7b ~ 7d であり、n 型 F S 層 7d の場合は n⁻型ドリフト層 1 である。また、各 n 型 F S 層 7a ~ 7d において、不純物濃度のピーク (頂点) からカソード側へ向かって減少する

不純物濃度勾配は、当該ピークからアノード側へ向かって減少する不純物濃度勾配よりも緩やかであってもよい。このような各 n 型 F S 層 7 a ~ 7 d の不純物濃度分布は、例えば特許文献 2 のように、プロトン注入で残されたディスプレイオーダーによる移動度低下を補償するように次のプロトン注入を行うことで形成可能である。

[0056] 最もカソード側の n 型 F S 層 7 a は、 p 型カソード領域 5 との界面での不純物濃度（= p 型カソード領域 5 の、 n 型 F S 層 7 a との界面での不純物濃度 C_1' ）よりも n^+ 型カソード領域 4 との界面での不純物濃度（= n^+ 型カソード領域 4 の、 n 型 F S 層 7 a との界面での不純物濃度 C_2' ）が高くなっている。また、最もカソード側の n 型 F S 層 7 a の不純物濃度のピーク値 C_{p1} は、 p 型カソード領域 5 の、 n 型 F S 層 7 a との界面での不純物濃度 C_1' および n^+ 型カソード領域 4 の、 n 型 F S 層 7 a との界面での不純物濃度 C_2' よりも高く（ $C_{p1} > C_1'$ 、 $C_{p1} > C_2'$ ）、例えば $1 \times 10^{16} / \text{cm}^3$ 程度である。

[0057] 最もカソード側の n 型 F S 層 7 a の不純物濃度のピーク位置 X_{p1} から p 型カソード領域 5 と n 型 F S 層 7 a との境界までの距離 X_{10} （= $X_{p1} - X_1$ ）は、例えば $1 \mu\text{m}$ 以上 $10 \mu\text{m}$ 以下程度であることがよい。これによって、逆バイアス時に n 型 F S 層 7 による空乏層抑制効果が得られる。好適には、 n 型 F S 層 7 a の不純物濃度のピーク位置 X_{p1} から p 型カソード領域 5 と n 型 F S 層 7 a との境界までの距離 X_{10} は、例えば $2 \mu\text{m}$ 以上 $7 \mu\text{m}$ 以下程度であることがよく、より好ましくは例えば $3 \mu\text{m}$ 以上 $5 \mu\text{m}$ 以下程度であることがよい。その理由は、逆回復時における p 型カソード領域 5 からの正孔の注入を担保するためである。

[0058] n 型 F S 層 7 a の不純物濃度のピーク P_1 よりもカソード側の部分のうち、 n 型 F S 層 7 a の不純物濃度のピーク値 C_{p1} の 0.5 倍以下程度（好ましくは 0.3 倍以下程度、より好ましくは 0.1 倍以下程度）の不純物濃度 C_3 （ $\leq 0.5 \cdot C_{p1}$ （好ましくは $C_3 \leq 0.3 \cdot C_{p1}$ ））である部分は、 n 型 F S 層 7 a の不純物濃度のピーク位置 X_{p1} に達しない範囲で、 p 型カソード領域 5 と n 型 F S 層 7 a との境界から所定の深さ X_3 まで達している。この所定の深さ X_3

から p 型カソード領域 5 と n 型 F S 層 7 a との境界までの距離 X_{12} ($= X_3 - X_1$) は、p 型カソード領域 5 の厚さ X_{11} ($= X_1$) よりも長く ($X_{11} < X_{12} < X_{10}$)、好ましくは p 型カソード領域 5 の厚さ X_{11} の 2 倍以上程度であることがよい ($2 \cdot X_{11} \leq X_{12}$)。また、当該所定の深さ X_3 から p 型カソード領域 5 と n 型 F S 層 7 a との境界までの距離 X_{12} は、p 型カソード領域 5 の厚さ X_{11} よりも長く $10 \mu\text{m}$ 以下 ($X_{11} < X_{12} \leq 10 \mu\text{m}$)、好適には $5 \mu\text{m}$ 以下、さらに好ましくは $3 \mu\text{m}$ 以下であることがよい。その理由は、逆回復時における p 型カソード領域 5 からの正孔の注入を担保するためである。

[0059] $X_{11} < X_{12}$ となるように p 型カソード領域 5 および n 型 F S 層 7 a を設けることで、逆回復時に、p 型カソード領域 5 から n 型 F S 層 7 a にホール（正孔）が注入されやすくなり、カソード側のホール濃度を高めることができる。このため、逆回復時（バイアス変化の過渡期）、アノード・カソード間電流 I_{AK} が小さく、各領域内のキャリア濃度が低い状態においても、カソード・アノード間電圧 V_{KA} の波形およびアノード・カソード間電流 I_{AK} の波形が発振しにくくなる。この逆回復時における電圧・電流波形の振動開始電圧 V をシミュレーションした結果を図 3 に示す。

[0060] 図 3 は、逆回復時における電圧・電流波形の振動開始電圧を示す特性図である。図 3 の横軸は、p 型カソード領域 5 の厚さ X_{11} に対する、深さ X_3 から p 型カソード領域 5 と n 型 F S 層 7 a との境界までの距離 X_{12} の比率 ($= X_{12} / X_{11}$) である。図 3 の縦軸は、定格電圧 V_{rate} に対する電圧・電流波形の振動開始電圧 V の比率 ($= V / V_{rate}$) である。振動開始電圧とは、以下の通りである。所定の電源電圧 V_{bus} でダイオードを逆回復させたときに、ダイオードの電圧 V_{AK} の波形またはダイオードの電流 I_{AK} の波形が振動をしないときの V_{bus} から、 V_{bus} の値を徐々に増加させて再度逆回復させていき、 V_{AK} または I_{AK} の波形が振動を開始したときの V_{bus} の値を振動開始電圧とする。

[0061] 図 3 において、 $X_{12} / X_{11} > 1$ となる構成が本発明（以下、実施例とする）に相当する。一方、 $X_{12} / X_{11} \leq 1$ となる構成は、例えば上記特許文献 1 に開示されたダイオードに相当する（以下、従来例とする）。図 3 に示すように

、実施例は、従来例よりも電圧・電流波形の振動開始電圧 V を高くすることができる。電圧・電流波形の振動開始電圧 V が高いほど発振しにくいことをあらわしている。

[0062] 実施例が従来例に比べて、電圧・電流波形の振動開始電圧 V を高くすることができる理由は、以下のように推測される。逆回復時に n -型ドリフト層1に蓄積された電子は、カソード電極8側（ p 型カソード領域5側）に向かって流れる。この p 型カソード領域5に向かう電子は、 p 型カソード領域5の基板おもて面10b側手前で、 p 型カソード領域5に基板おもて面10bに平行する方向（水平方向）に隣接する n +型カソード領域4に向かって進路を変えて進行し、 n +型カソード領域4に達する。このとき電子は、 p 型カソード領域5の基板おもて面10b側手前で、水平方向に進行するので、電圧降下が生じる。電圧降下は、上記距離 X_{12} の領域の抵抗すなわち n 型ドーパントの濃度が低く、かつ上記距離 X_{12} の領域が深さ方向に広いほど生じやすい。電圧降下が、 p 型カソード領域5と上記距離 X_{12} の領域との p - n 接合のビルトイン電位（約0.7V）を超えれば、 p 型カソード領域5から正孔が注入される。また、実施例は、 $X_{12}/X_{11} \geq 2$ とすることで、電圧・電流波形の振動開始電圧 V を定格電圧 V_{rate} 以上にすることができる（ $V/V_{rate} \geq 1$ ）。

[0063] また、実施例は、 $X_{12}/X_{11} \geq 2$ とすることで、定格電圧 V_{rate} に対する電圧・電流波形の振動開始電圧 V の比率は、ダイオードのアバランシェ耐圧 V_B 程度かそれ以下の一定値となる。図2において、符号 C_{p2} は、最もカソード側の n 型FS層7aのアノード側に隣接する n 型FS層7bの不純物濃度のピーク値である。符号 X_{p2} は、 n 型FS層7bの不純物濃度のピーク P_2 の、半導体基板10の裏面10aからの深さ位置である。図示省略するが、半導体基板10の厚さおよび比抵抗 ρ は、例えば、それぞれ117 μ m程度および70 Ω cmである。 p 型アノード層2の不純物濃度は、例えば $1 \times 10^{13}/\text{cm}^3$ である。

[0064] 図3のシミュレーションに用いた一般的なチョーパ回路の等価回路を図4に示す。図4は、図3のシミュレーションに用いたチョーパ回路の回路

構成を示す回路図である。図4のチョーパ回路は、例えばインバータの1相分に相当する。IGBT31のコレクタは、誘導負荷32を介して電源33の正極に接続される。IGBT31のエミッタは、電源33の負極に接続される。ダイオード34は、アノードがIGBT31のコレクタに接続され、カソードが電源33の正極に接続されることにより、誘導負荷32に並列に接続される。コンデンサ35は、IGBT31のオン・オフにより充放電される。ダイオード34は、上述した実施例または従来例に相当する。誘導負荷32は、配線等の負荷に相当する。

[0065] この図4のチョーパ回路では、IGBT31のコレクタ・エミッタ間と、ダイオード34のカソード・アノード間と、に交互に電源33から一定の電源電圧 V_{bus} が供給される。ダイオード34は、カソード・アノード間に電源電圧 V_{bus} が供給されたときに、逆バイアスから順バイアスに変化する。この逆バイアスから順バイアスに変化する過渡期（逆回復時）に、ダイオード34のカソード・アノード間に、誘導負荷32のインダクタンス L に起因して、電源電圧 V_{bus} よりも大きなサージ電圧（ $=L (di/dt)$ ）が印加される。ダイオード34のカソード・アノード間電圧 V_{KA} の波形は、このサージ電圧が所定の電圧値であるときに発振して電源電圧 V_{bus} よりも高い最大電圧 $V_{KA\#peak}$ となり、その後、電源電圧 V_{bus} におちつく（図14参照）。この発振開始電圧を測定した結果が図3に示されている。

[0066] 次に、実施の形態1にかかる半導体装置の動作について説明する。アノード電極3に正電圧が印加され、カソード電極8に負電圧が印加される順バイアス時、カソード電極8から n^+ 型カソード領域4に電子が供給され、アノード電極3から p 型アノード層2にホールが供給される。これらのキャリア（電子、ホール）は、内部電位（例えばシリコン（Si）の場合は0.7V程度）の順バイアスによりダイオード内部に生じる電界によって、極性の異なる電極側へ移動する。具体的には、 n^+ 型カソード領域4内の電子は p 型アノード層2へ移動し、 p 型アノード層2内のホールは n^+ 型カソード領域4へ移動する。これによって電極間が導通する。

[0067] 一方、アノード電極 3 に負電圧が印加され、カソード電極 8 に正電圧が印加される逆バイアス時、キャリア（電子、ホール）は順バイアス時とは逆方向へ移動する。一定時間が経過すると、p 型アノード層 2 と n 型ドリフト層 1 との間の p n 接合付近に空乏層が形成され、電極間が導通しない状態となる。この逆バイアス時、カソード電極 8 から p 型カソード領域 5 にホールが供給され、カソード側のホール濃度が高くなる。その結果、逆バイアスから順バイアスへ変化するまでの過渡期（逆回復時）に、カソード側の電界強度が緩和され、逆回復時における電圧・電流波形の発振が抑制される。

[0068] 次に、実施の形態 1 にかかる半導体装置の製造方法について説明する。図 5～9 は、実施の形態 1 にかかる半導体装置の製造途中の状態を示す断面図である。まず、図 5 に示すように、n 型ドリフト層 1 となる n 型の半導体基板（半導体ウエハ）10 を用意する。次に、p 型不純物のイオン注入により、半導体基板 10 のおもて面 10 b の表面層に p 型アノード層 2 を形成する。

[0069] 次に、半導体基板 10 の裏面 10 a から研削し、半導体基板 10 の厚さを半導体装置（ダイオード）として用いる所定の製品厚さに減厚後、裏面 10 a から異なる加速エネルギーでの複数回のプロトン注入 21 により、半導体基板 10 の裏面 10 a から異なる深さに複数の n 型 F S 層 7 を形成する。図 5 には、複数の n 型 F S 層 7 をまとめて 1 層で示しているが、図 1 に示すように、半導体基板 10 の裏面 10 a から異なる深さに不純物濃度のピークを有する n 型 F S 層 7 a～7 d が形成される。

[0070] 次に、図 6 に示すように、半導体基板 10 の裏面 10 a の全面に例えばボロンなどの p 型不純物をイオン注入 22 し、半導体基板 10 の裏面 10 a の表面層に p 型カソード領域 5 を形成する。p 型カソード領域 5 の不純物濃度のピーク値 C_1 は、例えば $1 \times 10^{16} / \text{cm}^3$ 以上 $1 \times 10^{21} / \text{cm}^3$ 以下程度であってもよい。

[0071] 次に、図 7 に示すように、半導体基板 10 の裏面 10 a に、n⁺型カソード領域 4 の形成領域に対応する部分が開口されたイオン注入用マスク 23 を形

成する。次に、イオン注入用マスク 23 をマスクとして、リンなどの n 型不純物をイオン注入 24 して p 型カソード領域 5 を n 型にすることで、半導体基板 10 の裏面 10 a の表面層に n⁺型カソード領域 4 を選択的に形成する。n⁺型カソード領域 4 の不純物濃度のピーク値 C_2 は、例えば、 $1 \times 10^{17} / \text{cm}^3$ 以上 $1 \times 10^{21} / \text{cm}^3$ 以下程度であってもよい。

[0072] 次に、イオン注入用マスク 23 を除去した後、図 8 に示すように、アニール処理により、n⁺型カソード領域 4、p 型カソード領域 5 および n 型 F S 層 7 を活性化させる。次に、図 9 に示すように、半導体基板 10 のおもて面 10 b にアノード電極 3 を形成し、裏面 10 a にカソード電極 8 を形成する。その後、半導体ウエハをチップ状に切断（ダイシング）して個片化することで、図 1 に示すダイオードが完成する。

[0073] 以上、説明したように、実施の形態 1 によれば、半導体基板の裏面に平行な方向に n⁺型カソード領域に隣接して p 型カソード領域を設けることで、ダイオードの逆回復時に、カソード電極から p 型カソード領域にホールが注入され、カソード側のホール濃度が高くなる。これにより、カソード側の電界が緩和され、逆回復時における電圧・電流波形の発振が抑制されるため、逆回復損失を低減させることができる。また、最もカソード側の n 型 F S 層の不純物濃度のピーク位置から p 型カソード領域と n 型 F S 層との境界までの距離および不純物濃度分布を上記条件の範囲内に設定して正孔の注入効率を調整することで、定常状態での順バイアス時に、n⁻型ドリフト層のアノード層側のホール濃度が低く、その分、カソード側のホール濃度が高くなる。このため、順方向電圧 V_f が高くなることを防止することができる。したがって、順方向電圧の低減と逆回復損失の低減とのトレードオフ関係を改善させることができる。

[0074] また、実施の形態 1 によれば、深さ方向に不純物濃度のピーク位置の異なる複数の n 型 F S 層を備えることで、逆回復時に、p 型アノード層と n⁻型ドリフト層との間の p n 接合から伸びる空乏層が広がりにくくなり、p 型カソード領域にリーチスルーしにくくなる。このため、逆回復時に、p 型アノード

ド層、 n -型ドリフト層および p 型カソード領域からなる寄生の pnp トランジスタが動作してダイオードが破壊に至ることを防止することができる。また、逆回復時、 p 型アノード層と n -型ドリフト層との間の pn 接合から伸びる空乏層が広がりにくいことで、カソード・アノード間電圧を低く抑えることができるため、逆回復時における電圧・電流波形の発振が抑制される。

[0075] また、実施の形態1によれば、半導体基板の裏面の全面に p 型カソード領域を形成し、 p 型カソード領域の一部を n 型にして n^+ 型カソード領域を形成することで、イオン注入のばらつきやマスクずれ等によらず、 p 型カソード領域と n^+ 型カソード領域とを確実に接触させることができる。

[0076] (実施の形態2)

次に、実施の形態2にかかる半導体装置の構造について説明する。図10は、実施の形態2にかかる半導体装置の要部の構造を示す断面図である。図10には、半導体基板10の裏面10aの構成を示し、おもて面10bの構成を図示省略する。また、 n 型FS層7については、 n 型FS層7a、7b(図1, 2参照)の不純物濃度のピーク P_1 , P_2 のみを図示する。実施の形態2にかかる半導体装置が実施の形態1にかかる半導体装置と異なる点は、カソード層6を構成する n^+ 型カソード領域4および p 型カソード領域41において、 p 型カソード領域41の厚さ X_{11} を n^+ 型カソード領域4の厚さ X_{13} よりも薄くした点である。

[0077] n 型FS層7aの、深さ方向に p 型カソード領域41に対向する部分52は、 n^+ 型カソード領域4と n 型FS層7aとの界面よりも半導体基板10の裏面10a側に厚さ X_{14} ($=X_{13}-X_{11}$)で突出している。逆回復時、アノード電極3から供給された電子51が n^+ 型カソード領域4へ移動する際に、 n 型FS層7aの、深さ方向に p 型カソード領域41に対向する部分52で形成される抵抗(拡散層抵抗)53での0.7Vの電圧降下により、この部分52に p 型カソード領域41からホールが供給される。これにより、逆回復時における電圧・電流波形の発振がさらに抑制される。

[0078] 図11は、図10の切断線A1-A2および切断線D1-D2における不

純物濃度分布を示す特性図である。図 11 には、切断線 A1－A2 における不純物濃度分布 11 を実線で示し、切断線 D1－D2 における不純物濃度分布 13 を破線で示す。切断線 A1－A2 における不純物濃度分布 11 は、実施の形態 1 と同様である。切断線 D1－D2 における不純物濃度分布 13 は、深さ X_2 よりも深い位置で、切断線 A1－A2 における不純物濃度分布 11 に接している。この両不純物濃度分布 11, 13 が接する部分から深い部分の不純物濃度分布は両不純物濃度分布 11, 13 とともに同じであるため、実線でのみ示す。

[0079] 切断線 D1－D2 における不純物濃度分布 13 は、半導体基板 10 の裏面 10a から深さ方向に p 型カソード領域 41 および n 型 FS 層 7a, 7b を通る部分の不純物濃度分布である。切断線 D1－D2 における不純物濃度分布 13 において、半導体基板 10 の裏面 10a から深さ X_1 までの部分は p 型カソード領域 41 の p 型不純物濃度分布であり、半導体基板 10 の裏面 10a から深さ X_1 より深い部分は n 型 FS 層 7 の n 型不純物濃度分布である。p 型カソード領域 41 と n 型 FS 層 7a との界面の深さ X_1 は、 n^+ 型カソード領域 4 と n 型 FS 層 7a との界面の深さ X_2 よりも半導体基板 10 の裏面 10a から浅い深さに位置する ($X_1 < X_2$)。

[0080] 実施の形態 2 にかかる半導体装置の製造方法は、実施の形態 1 にかかる半導体装置の製造方法において、p 型カソード領域 5 を形成するためのイオン注入 22 の加速エネルギーを、 n^+ 型カソード領域 4 を形成するためのイオン注入 24 の加速エネルギーよりも小さくすればよい。具体的には、p 型カソード領域 5 は、例えば、ドーパントをボロンとし、半導体基板 10 の裏面 10a から加速エネルギー 45 keV 程度で、ドーズ量 $1 \times 10^{14} / \text{cm}^2$ 程度としたイオン注入により形成されてもよい。 n^+ 型カソード領域 4 を形成するためのイオン注入 24 の条件は、実施の形態 1 と同様である。

[0081] 以上、説明したように、実施の形態 2 によれば、実施の形態 1 と同様の効果を得ることができる。また、実施の形態 2 によれば、p 型カソード領域の厚さを n^+ 型カソード領域の厚さよりも薄くすることで、逆回復時における電

圧・電流波形の発振をさらに抑制することができる。

[0082] (実施の形態3)

次に、実施の形態3にかかる半導体装置の構造について説明する。図12は、実施の形態3にかかる半導体装置の要部の構造を示す断面図である。実施の形態3にかかる半導体装置が実施の形態1にかかる半導体装置と異なる点は、同一の半導体基板10にIGBT (Insulated Gate Bipolar Transistor: 絶縁ゲート型バイポーラトランジスタ) とダイオードとを形成した点である。

[0083] すなわち、実施の形態3にかかる半導体装置は、実施の形態1を適用したFS構造のRC-IGBT (Reverse Conducting-IGBT: 逆導通型IGBT) である。具体的には、 n^{-} 型ドリフト層1となる同一の半導体基板10上に、IGBTを配置したIGBT部61と、FWD (Free Wheeling Diode: フリーホイールダイオード) を配置したFWD部62と、が設けられている。FWD部62のFWDは、実施の形態1にかかる半導体装置 (図1, 2参照) であり、IGBT部61のIGBTに逆並列に接続されている。

[0084] より具体的には、IGBT部61において、半導体基板10のおもて面10bの表面層には、 p 型ベース領域71が設けられている。トレンチ72は、半導体基板10のおもて面10bから深さ方向に p 型ベース領域71を貫通して n^{-} 型ドリフト層1に達する。また、トレンチ72は、例えば、半導体基板10のおもて面10bから見て平面的に、IGBT部61とFWD部62とが並ぶ方向 (図12では紙面横方向) と直交する方向 (図12では紙面奥行き方向) に延びるストライプ状のレイアウトで配置されている。

[0085] p 型ベース領域71は、複数のトレンチ72によって複数の領域 (メサ部) に分離されている。トレンチ72の内部には、ゲート絶縁膜73を介してゲート電極74が設けられている。 p 型ベース領域71の、隣り合うトレンチ72に挟まれたメサ部には、 n^{+} 型エミッタ領域75および p^{+} 型コンタクト領域76 (IGBT部61には不図示) がそれぞれ選択的に設けられている

。n⁺型エミッタ領域75は、トレンチ72の側壁のゲート絶縁膜73を挟んでゲート電極74に対向する。

[0086] p⁺型コンタクト領域76は、n⁺型エミッタ領域75よりもメサ部の中央部側に配置され、かつn⁺型エミッタ領域75に接する。これらp型ベース領域71、トレンチ72、ゲート絶縁膜73、ゲート電極74、n⁺型エミッタ領域75およびp⁺型コンタクト領域76によってトレンチゲート構造のMOSゲートが構成されている。隣り合うメサ部の中心間に挟まれた部分で1つの単位セル（素子の構成単位）が構成される。半導体基板10のおもて面10b上には、ゲート電極74を覆うように層間絶縁膜77が設けられている。

[0087] エミッタ電極78は、層間絶縁膜77を貫通するコンタクトホールを介してn⁺型エミッタ領域75およびp⁺型コンタクト領域76に接し、p型ベース領域71、n⁺型エミッタ領域75およびp⁺型コンタクト領域76に電氣的に接続されている。また、エミッタ電極78は、層間絶縁膜77によりゲート電極74と電氣的に接続されている。半導体基板10の裏面10aの表面層には、p型コレクタ層79が選択的に設けられている。p型コレクタ層79は、後述する中間領域63およびFWD部62に延在している。コレクタ電極80は、p型コレクタ層79に接する。

[0088] FWD部62において、半導体基板10のおもて面10b側には、IGBT部61と同様に、p型ベース領域71、トレンチ72（トレンチ3内部のゲート絶縁膜73およびゲート電極74も含む）、層間絶縁膜77、エミッタ電極78およびコレクタ電極80が設けられている。p型ベース領域71、エミッタ電極78およびコレクタ電極80は、FWD部62において、それぞれFWDのp型アノード領域、アノード電極およびカソード電極を兼ねており、実施の形態1のp型アノード層2、アノード電極3およびカソード電極8に相当する。FWD部62には、n⁺型エミッタ領域75およびp⁺型コンタクト領域76は設けられていない。

[0089] 半導体基板10の裏面10aの表面層には、実施の形態1と同様に、カソード層6（n⁺型カソード領域4およびp型カソード領域5）が選択的に設け

られている。n⁺型カソード領域4は、p型コレクタ層79に接する。すなわち、n⁺型カソード領域4は、FWD部62の最もIGBT部61側に設けられ、n⁺型カソード領域4に対して、p型コレクタ層79と反対側にp型カソード領域5が設けられている。n⁺型カソード領域4およびp型カソード領域5は、FWD部62において半導体基板10の裏面10aに平行な方向に交互に繰り返し設けられていてもよい。

[0090] p型カソード領域5の不純物濃度は、本発明をRFC構造のダイオードに適用する場合（実施の形態1，2に相当）に比べて低めに設定される。具体的には、p型カソード領域5は、例えば、ドーパントをボロンとし、半導体基板10の裏面10aから加速エネルギー45keV程度で、ドーズ量 $2 \times 10^{13} / \text{cm}^2$ 程度としたイオン注入により形成される。特に限定しないが、p型コレクタ層79の幅（半導体基板10の裏面10aに平行な方向の幅）w1は、例えば500μm以下程度である。カソード層6の幅w2は、例えば200μm以下程度である。n⁺型カソード領域4およびp型カソード領域5の幅w11，w12は、例えば50μm以下程度である。

[0091] n⁻型ドリフト層1の内部には、半導体基板10の裏面10aからカソード層6よりも深い部分に、n型FS層81が設けられている。n型FS層81は、実施の形態1のn型FS層7に相当する。n型FS層81は、実施の形態1と同様に複数（ここでは4つ）配置されている。図12には、複数のn型FS層81の不純物濃度のピークP₁～P₄のみを図示する。n型FS層81は、IGBT部61からFWD部62にわたって設けられている。

[0092] また、n⁻型ドリフト層1の内部には、FWD部62において、p型アノード領域（p型ベース領域71）との境界付近およびカソード層6との境界付近にそれぞれ、例えばヘリウム照射によりライフタイムキラーとなる結晶欠陥82，83が導入されていてもよい。結晶欠陥82，83は、IGBT部61の、中間領域63との境界付近にまで延在させてもよい。カソード層6との境界付近に導入された結晶欠陥83は、実施の形態1の結晶欠陥9に相当する。

[0093] IGBT部61とFWD部62との間には、中間領域63が設けられている。中間領域63には、 n^+ 型エミッタ領域75が設けられていない。中間領域63は、FWD部62のFWDが動作するときに、FWD部62よりもキャリア濃度を低くし、IGBT部61のIGBTへの動作の干渉を減らす機能を有する。半導体基板10の、 p 型ベース領域71、 p 型コレクタ層79およびカソード層6以外の部分が n^- 型ドリフト層1となる。

[0094] また、FWD部62のFWDとして、実施の形態2にかかる半導体装置（図10，11）を適用してもよい。

[0095] 以上、説明したように、実施の形態2によれば、RC-IGBTに適用した場合においても、実施の形態1と同様の効果を得ることができる。

[0096] （実施例1）

次に、上述した実施例（図1に示す複数回のプロトン注入による複数の n 型FS層7を備えたRFC構造のダイオード）のカソード・アノード間電圧 V_{KA} の波形についてシミュレーションにより検証した。図13は、ダイオードの逆回復時におけるカソード・アノード間電圧を示す特性図である。図14は、ダイオードの逆回復時におけるカソード・アノード間電圧の波形の一例を示す特性図である。図13の横軸は、電源電圧 V_{bus} である。図13の縦軸は、カソード・アノード間電圧 V_{KA} の発振時の最大電圧 $V_{KA\#peak}$ から電源電圧 V_{bus} を減算した値（ $=V_{KA\#peak} - V_{bus}$ ）である。

[0097] 図13には、比較として、上述した従来例（リン等のイオン注入による1つの n 型FS層を備えたRFC構造のダイオード）のカソード・アノード間電圧 V_{KA} の特性図も示す。カソード・アノード間電圧 V_{KA} の発振時の最大電圧 $V_{KA\#peak}$ とは、逆回復時に発振して電源電圧 V_{bus} よりも高くなり、その後、電源電圧 V_{bus} におちつくまでの期間内におけるカソード・アノード間電圧 V_{KA} の最大電圧である。具体的には、実施例のカソード・アノード間電圧 V_{KA} の発振時の最大電圧 $V_{KA\#peak}$ は、図14に示すように、カソード・アノード間電圧 V_{KA} が電源電圧 V_{bus} におちつく前の、電源電圧 V_{bus} よりも高い最大電圧 V_1 に相当する。従来例のカソード・アノード間電圧 V_{KA} の発振時の最大電圧 $V_{KA\#peak}$ は、図

14に示すように、カソード・アノード間電圧 V_{KA} が電源電圧 V_{bus} におちつく前の、電源電圧 V_{bus} よりも高い最大電圧 V_2 に相当する。

[0098] 図13に示す結果より、実施例は、従来例よりもカソード・アノード間電圧 V_{KA} の発振時の最大電圧 $V_{KA\#peak}$ を低減させることができることが確認された。

[0099] (実施例2)

次に、上述した実施例について、順方向電圧 V_f の低減と逆回復損失 E_{rr} の低減とのトレードオフ関係についてシミュレーションにより検証した。図15は、ダイオードの順方向電圧と逆回復損失との関係を示す特性図である。図16は、ダイオードの順バイアス時のホール濃度分布を示す特性図である。図16には、図15の円形枠E1で囲んだ順方向電圧条件でのホール濃度分布を示す。図16の横軸は半導体基板10の裏面10a（深さ $=0\mu m$ ）から深さ方向への深さであり、縦軸は半導体基板10内のホール濃度である。

[0100] 図15に示す結果より、実施例は、順方向電圧 V_f を同じ条件とした従来例と比較して、逆回復損失 E_{rr} を低減させることができることが確認された。また、図16に示すように、実施例は、定常状態での順バイアス時に n^- 型ドリフト層1（バルク基板（半導体基板10）の不純物濃度のままの部分：円形枠E2で囲む部分）のホール濃度が従来例よりも小さくなることが確認された。図示省略するが、他の順方向電圧条件時においても同様の結果となった。図16に示す結果からも、実施例は、従来例よりも逆回復損失 E_{rr} を低減させることができることが確認された。

[0101] 図示省略するが、実施の形態2，3にかかる半導体装置においても実施例と同様の結果となる。

[0102] (実施の形態4)

次に、実施の形態4にかかる半導体装置の構造について説明する。図18は、実施の形態4にかかる半導体装置のネットドーピング濃度分布を示す特性図である。実施の形態4にかかる半導体装置が実施の形態1にかかる半導

体装置と異なる点は、複数の n 型 FS 層に代えて、 n -型ドリフト層 1 の内部に、プロトンによる水素ドナーにより形成された所定のネットドーピング濃度分布 203 を有する 1 つの n 型バッファ層 211 が選択的に設けられている点である。 n 型バッファ層 211 は、実施の形態 1 と同様に、水素ドナー層である。

[0103] n 型バッファ層 211 は、上凸部 212 と、下凸状部 213 と、からなるネットドーピング濃度分布 203 を有する。 n 型バッファ層 211 のネットドーピング濃度分布 203 の上凸部 212 は、 n 型バッファ層 211 のネットドーピング濃度がピーク値 C_{P11} となる深さ X_{P11} からアノード側 (p 型アノード層 2 側) に向かって上に凸か略線形に減少する部分である。 n 型バッファ層 211 のネットドーピング濃度がピーク値 C_{P11} となる深さ X_{P11} は、水素ドナー以外のドナー濃度 (リン、砒素など) が n 型バッファ層 211 の水素ドナー濃度と略同じとなる位置であってもよい。

[0104] n 型バッファ層 211 のネットドーピング濃度分布 203 の下凸状部 213 は、上凸部 212 のアノード側に上凸部 212 に連続して形成され、アノード側に深くなるにしたがってネットドーピング濃度が低濃度側に凸状 (図 18 の下に凸) に湾曲して徐々に減少する部分である。なお、濃度を示す縦軸は対数スケールであり、深さを示す横軸はリニアスケールである。縦軸の単位は、例えば ($/\text{cm}^3$) である。

[0105] 縦軸が対数スケールで、 n 型バッファ層 211 のネットドーピング濃度分布 203 が下に凸 (下凸状部 213 の分布) であると、 p 型アノード層 2 と n -型ドリフト層 1 との p n 接合から伸びる空乏層が n 型バッファ層 211 に達した後、電圧増加に対して最初は当該空乏層が極めて徐々に伸長しなくなり、さらに電圧増加に対して少しずつ伸長の抑制度合が高くなる。濃度を示す軸が対数スケールにおいて n 型バッファ層 211 のネットドーピング濃度分布 203 が下に凸である限り、当該空乏層の伸長の抑制度合は極めて低く維持できる。これにより、電圧波形では変化率 dV/dt を十分低くでき、いわゆるソフトな波形となる。

- [0106] 一方、 n 型バッファ層 2 1 1 のネットドーピング濃度分布 2 0 3 が対数スケールで上に凸（上凸部 2 1 2 の分布）に変化すると、 p 型アノード層 2 と n -型ドリフト層 1 との p n 接合から伸びる空乏層の伸長は急激に抑制されるようになる。このため、当該空乏層が n 型バッファ層 2 1 1 に達すると、電圧波形の変化率 dV/dt は急激に増加し、いわゆるハードな波形となる。このため、 n 型バッファ層 2 1 1 のネットドーピング濃度分布 2 0 3 において上凸部 2 1 2 が分布する長さ X_{31} を下凸状部 2 1 3 が分布する長さ X_{33} よりも短くすると、 p 型アノード層 2 と n -型ドリフト層 1 との p n 接合から空乏層の伸長のソフトな抑制効果に対して有効である。
- [0107] 対数スケールで、 n 型バッファ層 2 1 1 のネットドーピング濃度分布 2 0 3 が上に凸から下に凸に変化する位置は、例えば n 型バッファ層 2 1 1 のネットドーピング濃度が、半導体基板 1 0 のベースドーピング濃度 N_0 の 7 倍から 1 0 倍の範囲となる位置である。 n 型バッファ層 2 1 1 のネットドーピング濃度分布 2 0 3 が上に凸から下に凸に変化する位置は特に半導体基板 1 0（バルク基板）のベースドーピング濃度（ n -型不純物濃度） N_0 の 8 倍に一致する位置でもよく、この位置を上凸部 2 1 2 と下凸状部 2 1 3 との境界の深さ X_{21} としてよい。
- [0108] n 型バッファ層 2 1 1 のネットドーピング濃度が半導体基板 1 0 のベースドーピング濃度 N_0 の 2 倍となる深さ X_{25} は、 n 型バッファ層 2 1 1 を構成する水素ドナー濃度（水素ドナー濃度分布 2 2 3 のドナー濃度）が半導体基板 1 0 のベースドーピング濃度 N_0 と一致する位置である。 n 型バッファ層 2 1 1 のネットドーピング濃度は、水素ドナー濃度と半導体基板 1 0 のベースドーピング濃度 N_0 との和であるからである。 n 型バッファ層 2 1 1 のネットドーピング濃度分布 2 0 3 の下凸状部 2 1 3 は、 n 型バッファ層 2 1 1 のネットドーピング濃度が半導体基板 1 0 のベースドーピング濃度 N_0 の 8 倍（ $= 8 N_0$ ）となる深さ X_{21} から半導体基板 1 0 のベースドーピング濃度 N_0 と略一致する深さ X_{22} の範囲であってよい。
- [0109] 図 1 8 には、半導体基板 1 0 の裏面 1 0 a から深さ方向に n^+ 型カソード領

域4およびn型バッファ層211を通る部分（図1において、複数のn型FS層に代えて1つのn型バッファ層211を設けた構造とした場合における切断線A1-A2に相当する部分）における不純物濃度分布201を実線で示す。かつ、半導体基板10の裏面10aから深さ方向にp型カソード領域5およびn型バッファ層211を通る部分（図1において、複数のn型FS層に代えて1つのn型バッファ層211を設けた構造とした場合における切断線B1-B2に相当する部分）における不純物濃度分布202を破線で示す。

[0110] 不純物濃度分布201, 202は、一部にn型バッファ層211のネットドーピング濃度分布203を含む。また、不純物濃度分布202は、p型カソード領域5とn型バッファ層211とのpn接合の深さ X_{20} よりも半導体基板10の裏面10aから深い位置（深さ X_{P12} ）で、不純物濃度分布201（n型バッファ層211のネットドーピング濃度分布203の上凸部212）に接している。この両不純物濃度分布201, 202が接する深さ X_{P12} よりもアノード側に深い部分の不純物濃度分布は両不純物濃度分布201, 202ともに同じであるため、実線でのみ示す。

[0111] 不純物濃度分布201（すなわち半導体基板10の裏面10a側がn⁺型カソード領域4である部分）におけるn型バッファ層211のネットドーピング濃度のピーク値 C_{P11} は、n⁺型カソード領域4の不純物濃度のピーク値 C_2 よりも低い。不純物濃度分布202（すなわち半導体基板10の裏面10a側がp型カソード領域5である部分）におけるn型バッファ層211のネットドーピング濃度のピーク値 C_{P12} は、p型カソード領域5の不純物濃度のピーク値 C_1 よりも低く、かつ不純物濃度分布201におけるn型バッファ層211のネットドーピング濃度のピーク値 C_{P11} よりも低い。

[0112] 不純物濃度分布201のn型バッファ層211のネットドーピング濃度分布203において、下凸状部213が分布する長さ X_{33} は、上凸部212が分布する長さ X_{31} よりも長くてもよい。不純物濃度分布201において、下凸状部213が分布する長さ X_{33} とは、上凸部212と下凸状部213との境界の

深さ X_{21} から半導体基板 10 のベースドーピング濃度 N_0 と一致する深さ X_{22} までの距離である。上凸部 212 が分布する長さ X_{31} とは、 n 型バッファ層 211 のネットドーピング濃度がピーク値 C_{P11} となる深さ X_{P11} から上凸部 212 と下凸状部 213 との境界の深さ X_{21} までの距離である。

[0113] 不純物濃度分布 201 において、 n 型バッファ層 211 のネットドーピング濃度がピーク値 C_{P11} となる深さ X_{P11} とは、 n^+ 型カソード領域 4 と n 型バッファ層 211 との界面であり、 n^+ 型カソード領域 4 の n 型不純物と n 型バッファ層 211 の水素ドナーと濃度の大小関係が逆転する深さ位置である。すなわち、 n 型バッファ層 211 のネットドーピング濃度がピーク値 C_{P11} となる深さ X_{P11} を境に、 n 型の不純物濃度分布 201 に対する寄与度が半導体基板 10 の裏面 10a 側で n^+ 型カソード領域 4 の n 型不純物が高く、当該ピーク値 C_{P11} となる深さ X_{P11} よりも半導体基板 10 の裏面 10a から深い部分で n 型バッファ層 211 の水素ドナーが高くなっている。

[0114] 不純物濃度分布 202 の n 型バッファ層 211 のネットドーピング濃度分布 203 において、下凸状部 213 が分布する長さ X_{33} は、上凸部 212' が分布する長さ X_{32} よりも長くてもよい。不純物濃度分布 202 において、下凸状部 213 の長さ X_{33} とは、上凸部 212' と下凸状部 213 との境界の深さ X_{21} から半導体基板 10 のベースドーピング濃度 N_0 と一致する深さ X_{22} までの距離である。上凸部 212' の長さ X_{32} とは、 n 型バッファ層 211 のネットドーピング濃度がピーク値 C_{P12} となる深さ X_{P12} から上凸部 212' と下凸状部 213 との境界の深さ X_{21} までの距離である。

[0115] 不純物濃度分布 202 において、 n 型バッファ層 211 のネットドーピング濃度は、 p 型カソード領域 5 と n 型バッファ層 211 との $p-n$ 接合の深さ X_{20} からアノード側へ向かうにしたがって山状に高くなってピーク値を示す山状部 214 を有し、当該山状部 214 に連続してアノード側に上凸部 212' を有し、かつ当該上凸部 212' に連続してアノード側に下凸状部 213 を有する。不純物濃度分布 202 において n 型バッファ層 211 のネットドーピング濃度がピーク値 C_{P12} となる深さ X_{P12} とは、 n 型バッファ層 211 のネ

ットドーピング濃度の山状部 214 のピーク値の深さである。

[0116] 実施の形態 4 を実施の形態 2, 3 に適用してもよい。

[0117] 実施の形態 4 においては、逆回復時に、p 型アノード層 2 と n⁻型ドリフト層 1 との間の p n 接合から伸びる空乏層を、n 型バッファ層 211 のネットドーピング濃度分布 203 が下凸状部 213 となっている部分で、当該下凸状部 213 の存在しないネットドーピング濃度分布の n 型バッファ層を設けた場合を比べてゆっくり止めることができる。この n 型バッファ層 211 による効果は、特に、実施の形態 4 を実施の形態 3 に適用（すなわち実施の形態 4 を RC-IGBT に適用）した場合に有用である。

[0118] RC-IGBT において、FWD 部の FWD の逆回復時に、IGBT 部の IGBT の n⁺型エミッタ領域と n⁻型ドリフト領域（n⁻型ドリフト層）とが短絡して、n⁺型エミッタ領域をエミッタとし、p 型ベース領域をベースとし、n⁻型ドリフト領域をコレクタとする寄生 npn バイポーラトランジスタが動作したとする。このとき、n 型バッファ層 211 により、ネットドーピング濃度分布 203 が下凸状部 213 となっている部分で、n⁻型ドリフト領域のドナー濃度が p 型ベース領域とのホール濃度よりも低い状態を維持することができる。これによって、ベース広がり効果（Kirk 効果：n⁻型ドリフト領域が実質的にベース領域になること）を抑制して、半導体基板 10 の裏面 10a 側に最大電界強度が移動することを抑制することができる。

[0119] 次に、実施の形態 4 にかかる半導体装置の製造方法について説明する。図 19 は、実施の形態 4 にかかる半導体装置の製造途中の状態を示す説明図である。図 19 (a) は、図 18 の n 型バッファ層 211 を形成するためのプロトン注入 221 時の状態を模式的に示す断面図である。図 19 (b) は、図 19 (a) のプロトン注入 221 による水素ドナーのネットドーピング濃度分布 203' である。図 19 (a), 19 (b) の横軸は、図 18 の半導体基板 10 の裏面 10a（深さ = 0 μm）からの深さに対応している（図 20 (a), 20 (b) の横軸も同様）。なお、図 19 では、n⁺型カソード領域 4 と p 型カソード領域 5（図 1 参照）を図示省略している。

- [0120] まず、実施の形態 1 と同様に、 n -型の半導体基板 10 を用意し、 p 型アノード層 2 の形成から半導体基板 10 の裏面 10a の研削までの工程を順に行う。次に、半導体基板 10 の研削後の裏面 10a から 1 つの加速エネルギーで一回のプロトン注入 221 か、あるいは異なる加速エネルギーでの複数回（複数段）のプロトン注入 221 を行い合わせるかによって、半導体基板 10 の裏面 10a から所定の深さ X_{22} に達する 1 つの n 型バッファ層 211 を形成する。
- [0121] 図 19 (b) に示すプロトン注入 221 による水素ドナーのネットドーピング濃度分布 203' は、 n +型カソード領域 4 および p 型カソード領域 5 の形成前における n 型バッファ層 211 のネットドーピング濃度分布である。 n 型バッファ層 211 のネットドーピング濃度分布は、後述するように後の工程で n 型バッファ層 211 の表面層に n +型カソード領域 4 および p 型カソード領域 5 が形成されることで、図 18 に示すネットドーピング濃度分布 203 となる。 n +型カソード領域 4 のドナーは例えばリンや砒素であり、 p 型カソード領域 5 のアクセプタは例えばボロンである。
- [0122] この 1 回または複数回のプロトン注入 221 は、半導体基板 10 の裏面 10a 側に半導体基板 10 と所定間隔 d をあけて配置したアブソーバー 222 を介して半導体基板 10 の裏面 10a の全面に行う。半導体基板 10 の裏面 10a からのプロトンの飛程 R_p は、所定の厚さ t に設定したアブソーバー 222 にプロトンの運動エネルギーを吸収させることで調整する。アブソーバー 222 は、例えばアルミニウムなどでできた板状部材である。
- [0123] また、半導体基板 10 の裏面 10a からのプロトンの飛程 R_p （すなわちプロトン注入 221 による水素ドナーのネットドーピング濃度分布 203' のピーク値の深さ位置）は、半導体基板 10 の裏面 10a よりもアブソーバー 222 側（すなわち半導体基板 10 の外側）に設定する。また、複数回のプロトン注入 221 の場合は、それぞれ異なる加速エネルギーで行い、すべてのプロトン注入 221 でプロトンの飛程 R_p を同じにする。プロトン注入 221 でプロトンの飛程 R_p は、半導体基板 10（シリコン基板）の裏面 1

0 a の表層面よりも、アブソーバー 2 2 2 側に位置するように設定してもよい。

[0124] 具体的には、アブソーバー 2 2 2 を介して例えば 3 回のプロトン注入 2 2 1 を行うとする。この場合、当該 3 回のプロトン注入 2 2 1 の加速エネルギーは、例えば 2 MeV 以上程度であり、それぞれ 4 MeV 程度、8 MeV 程度および 16 MeV 程度であってもよい。プロトン注入 2 2 1 によるプロトンの飛程 R_p は、半導体基板 10 の裏面 10 a からアブソーバー 2 2 2 側に、加速エネルギーで決まる半値半幅の 0.5 倍から半値半幅の 3.0 倍の範囲の値の位置であってもよい。半値半幅とは、半導体基板 10 に注入されるプロトンの濃度分布において、プロトン濃度がピークとなる位置から、プロトン濃度がピークの半値となる深さ方向のアブソーバー 2 2 2 側またはアブソーバー 2 2 2 側に対して反対側の位置までの長さである。

[0125] 例えば、半導体基板 10 がシリコン基板であるとする、プロトンの加速エネルギーが 2 MeV である場合、半値半幅は約 $1\ \mu\text{m}$ である。このため、プロトン注入 2 2 1 によるプロトンの飛程 R_p は、半導体基板 10 の裏面 10 a からアブソーバー 2 2 2 側に、 $0.5\ \mu\text{m}$ 以上 $3.0\ \mu\text{m}$ 以下程度であってもよい。プロトンの加速エネルギーが 4 MeV である場合、半値半幅は約 $3\ \mu\text{m}$ である。このため、プロトン注入 2 2 1 によるプロトンの飛程 R_p は、半導体基板 10 の裏面 10 a からアブソーバー 2 2 2 側に、 $1.5\ \mu\text{m}$ 以上 $9.0\ \mu\text{m}$ 以下程度であってもよい。プロトンの加速エネルギーが 8 MeV である場合、半値半幅は約 $10\ \mu\text{m}$ である。このため、プロトン注入 2 2 1 によるプロトンの飛程 R_p は、半導体基板 10 の裏面 10 a からアブソーバー 2 2 2 側に、 $5.0\ \mu\text{m}$ 以上 $30\ \mu\text{m}$ 以下程度であってもよい。プロトンの加速エネルギーが 16 MeV である場合、半値半幅は約 $30\ \mu\text{m}$ である。このため、プロトン注入 2 2 1 によるプロトンの飛程 R_p は、半導体基板 10 の裏面 10 a からアブソーバー 2 2 2 側に、 $15\ \mu\text{m}$ 以上 $90\ \mu\text{m}$ 以下程度であってもよい。また、複数回のプロトン注入 2 2 1 の場合、プロトン注入 2 2 1 によるプロトンの飛程 R_p は、半導体基板 10 の裏面 10 a か

らアブソーバー 222 側に、複数回のプロトン注入 221 の中で最も低い加速エネルギーにおける半値半幅の 0.5 倍から半値半幅の 3.0 倍の範囲の値であってもよい。

[0126] また、半導体基板がシリコンカーバイド (SiC)、窒化ガリウム (GaN)、ダイヤモンド、酸化ガリウム (Ga_2O_3) であっても、それぞれの場合で、プロトン注入 221 によるプロトンの飛程 R_p は、半導体基板 10 の裏面 10a からアブソーバー 222 側に、加速エネルギーで決まる半値半幅の 0.5 倍から半値半幅の 3.0 倍の範囲の値の位置であってもよい。

[0127] このようにアブソーバー 222 を所定の厚さ t に設定することで、プロトン注入 221 におけるプロトンの飛程 R_p を調整する。当該プロトン注入 221 による水素ドナーのネットドーピング濃度分布 203' に n^+ 型カソード領域 4 および p 型カソード領域 5 の各ネットドーピング濃度分布が重なって、 n 型バッファ層 211 のネットドーピング濃度分布 203 に上述した上凸部 212 および下凸状部 213 が形成される (図 8 参照)。

[0128] プロトン注入 221 による水素ドナーのネットドーピング濃度分布 203' において、半導体基板 10 の裏面 10a (深さ = 0 [μm]) におけるネットドーピング濃度は、プロトン注入 221 によるプロトンの飛程 R_p (深さ = $-R_p$ [μm]) の位置におけるネットドーピング濃度の 10% 以下であってもよい。

[0129] 図 19 (b) の水素ドナー濃度分布 223 および水素化学濃度分布 224 の、半導体基板 10 の外側 (横軸の深さが 0 μm 未満の部分) に図示された部分は、プロトン注入 221 のプロトンの飛程 R_p の位置が明確になるように、プロトンの飛程 R_p からのプロトンの拡がりを示すガウス分布を半導体基板 10 の外側にも仮想的に図示した仮想線である。

[0130] すなわち、図 19 (b) の水素ドナー濃度分布 223 および水素化学濃度分布 224 の、半導体基板 10 の外側に図示された部分は、プロトン注入 221 のエネルギーがアブソーバー 222 に吸収されることで、実際には半導体基板 10 にプロトン注入 221 されない部分である。このため、図 19 (

b) において横軸の深さが $0 \mu\text{m}$ 未満の部分には、部材や物質、不純物濃度分布は存在しない。

[0131] 水素ドナー濃度が半導体基板 10 のベースドーピング濃度 N_0 以上となる領域（すなわち半導体基板 10 の裏面 10a から水素ドナー濃度が半導体基板 10 のベースドーピング濃度 N_0 と一致する深さ X_{22} までの領域）が、プロトン注入 221 により水素ドナーがネットドーピングされた領域である。この領域において、 n^+ 型カソード領域 4 および p 型カソード領域 5 のネットドーピング濃度よりも水素ドナー濃度が低い深さでの水素ドナー濃度は、例えば次のように算出される。

[0132] 水素ドナー濃度が半導体基板 10 のベースドーピング濃度 N_0 以上となる領域において、水素ドナー濃度を水素化学濃度で除算して、水素ドナーのドナー化率を予め算出する（水素ドナーのドナー化率＝水素ドナー濃度／水素化学濃度）。ドナー化率は深さに依存する場合もあるが、その平均値であってもよい。図 19（b）には、水素ドナー濃度分布、水素化学濃度分布、および、半導体基板 10 のベースドーピング濃度分布は、それぞれ符号 223～225 を付した破線で示す（図 20, 22 においても同様）。

[0133] この水素ドナーのドナー化率を、 n^+ 型カソード領域 4 の n 型不純物のネットドーピング濃度および p 型カソード領域 5 の p 型不純物のネットドーピング濃度よりも n 型バッファ層 211 のネットドーピング濃度が低い深さでの水素化学濃度に乗算する。これによって、 n^+ 型カソード領域 4 および p 型カソード領域 5 のネットドーピング濃度よりも n 型バッファ層 211 のネットドーピング濃度が低い深さでの水素ドナー濃度が容易に算出可能である。

[0134] 水素化学濃度とは、プロトン注入 221 により半導体基板 10 に導入されたプロトン（水素（ドナー化されていない水素を含む））の濃度である。半導体基板 10 の内部の水素化学濃度は、例えば、二次イオン質量分析法（SIMS: Secondary Ion Mass Spectrometry）で測定可能である。

[0135] 水素ドナー濃度とは、半導体基板 10 に導入されたプロトン（水素）のう

ち、ドナー化された水素（水素ドナー）のみの濃度である。半導体基板 10 の内部の水素ドナー濃度は、拡がり抵抗（SR : Spreading Resistance）測定、容量－電圧（CV : Capacitance－Voltage）測定および深い準位過渡分光（DLTS : Deep Level Transient Spectroscopy）測定で測定可能である。

[0136] なお、SR測定においては、プロトン注入 221 後の半導体基板 10 のキャリア移動度がプロトン注入 221 前の半導体基板 10 のキャリア移動度よりも低下している場合、CV測定と比べて水素ドナー濃度が低くなる。プロトン注入 221 のプロトンの飛程 R_p の位置における水素ドナー濃度は、例えば、水素ドナー濃度分布 223 をガウス分布と仮定することで、プロトン注入 221 によるプロトンのドーズ量および加速エネルギーに基づいて算出可能である。

[0137] 次に、実施の形態 1 と同様に、p 型カソード領域 5 および n⁺型カソード領域 4 を形成した後、活性化のためのアニール処理を行う。活性化のためのアニール処理の温度は、例えば、330℃以上程度、好ましくは 350℃以上程度、より好ましくは 380℃以上程度とすることがよい。その理由は、半導体基板 10 の内部にプロトンが拡散して、n 型バッファ層 211 のネットドーピング濃度分布 203 の下凸状部 213 がより形成されやすくなるからである。なお、実施の形態 1 と同様に、p 型カソード領域 5 および n⁺型カソード領域 4 を形成した後、活性化のためのアニール処理は、それぞれプロトン注入および注入したプロトンの活性化アニール処理よりも前に行ってもよい。

[0138] n 型バッファ層 211、p 型カソード領域 5 および n⁺型カソード領域 4 を一括して活性化させることに代えて、n 型バッファ層 211、p 型カソード領域 5 および n⁺型カソード領域 4 を形成するごとに活性化のためのアニール処理を行ってもよい。その後、実施の形態 1 と同様に、アノード電極 3 またはカソード電極 8 の形成以降の工程を行うことによって、図 18 に示すネッ

トドーピング濃度分布 203 を有する n 型バッファ層 211 を備えたダイオードが完成する。

[0139] 次に、プロトン注入 221 による水素ドナーのネットドーピング濃度分布 203' と、キャリアライフタイムおよび再結合中心濃度と、の関係について説明する。図 20 は、図 18 のネットドーピング濃度分布に対するキャリアライフタイム分布および再結合中心濃度分布の関係を示す特性図である。図 20 (a) には、図 19 (b) に示すプロトン注入 221 による水素ドナーのネットドーピング濃度分布 203' を示す。図 20 (b) には、図 20 (a) のネットドーピング濃度分布 203' に対応するキャリアライフタイム分布および再結合中心濃度分布を示す。なお、図 20 では、n⁺型カソード領域 4 と p 型カソード領域 5 (図 1 参照) を図示省略している。

[0140] 図 20 (b) に示すように、半導体基板 10 の内部において、半導体基板 10 のキャリアライフタイム (以下、バルクキャリアライフタイムとする) τ_0 のままの第 1 領域 231 と、当該第 1 領域 231 よりも半導体基板 10 の裏面 10a 側で、かつバルクキャリアライフタイム τ_0 よりもキャリアライフタイムの短い第 2 領域 232 と、の境界 233 の深さ X_{23} は、n 型バッファ層 211 のネットドーピング濃度分布 203 (水素ドナーのネットドーピング濃度分布 203') の下凸状部 213 のネットドーピング濃度が半導体基板 10 のベースドーピング濃度 N_0 と一致する深さ X_{22} よりも、半導体基板 10 のおもて面 10b 側に位置していてもよい。この深さ X_{23} に当該境界 233 を位置させるには、半導体基板 10 の内部において、半導体基板 10 の裏面 10a から水素化学濃度分布 (水素原子の分布) 224 が半導体基板 10 のベースドーピング濃度 N_0 と一致する深さ X_{24} よりも半導体基板 10 のおもて面 10b 側に深い位置 (深さ X_{23}) まで再結合中心を分布させればよい。

[0141] 半導体基板 10 の裏面 10a から水素化学濃度分布 224 が半導体基板 10 のベースドーピング濃度 N_0 と一致する深さ X_{24} の位置は、n 型バッファ層 211 のネットドーピング濃度分布 203 の上凸部 212, 212' と下凸状部 213 との境界の深さ X_{21} よりも半導体基板 10 のおもて面 10b 側に位置

してよい。さらに、半導体基板 10 の裏面 10 a から水素化学濃度分布 224 が半導体基板 10 のベースドーピング濃度 N_0 と一致する深さ X_{24} の位置は、 n 型バッファ層 211 のネットドーピング濃度が半導体基板のベースドーピング濃度 N_0 の 2 倍となる深さ X_{25} よりも半導体基板 10 のおもて面 10 b 側に位置してよい。

[0142] 半導体基板 10 の裏面 10 a から水素化学濃度分布 224 が半導体基板 10 のベースドーピング濃度 N_0 と一致する深さ X_{24} よりも半導体基板 10 のおもて面 10 b 側に深い位置まで再結合中心を分布させるには、 n 型バッファ層 211 を形成するためのプロトン注入 221 においては、加速エネルギーを過剰に高くして過剰な運動エネルギーをプロトンに与え、プロトンに与えた過剰な運動エネルギーを上述したようにアブソーバー 222 で吸収させてから当該プロトンを半導体基板 10 に注入する。加速エネルギーを過剰に高くするとは、すなわちアブソーバーで運動エネルギーを吸収させなければ、半導体基板 10 の所定の深さよりもプロトンの飛程 R_p がさらに深くなる程度、あるいは、プロトンが半導体基板 10 を突き抜ける程度に、加速エネルギーを高くすることであってもよい。

[0143] このようにプロトン注入 221 を行うことで、プロトン注入 221 により半導体基板 10 に大きな注入ダメージを与えることができ、点欠陥や転位、格子間原子、さらにこれらの度合いが強いディスオーダーにより、再結合中心が多量に形成される。これにより、半導体基板 10 の裏面 10 a から水素化学濃度分布 224 が半導体基板 10 のベースドーピング濃度 N_0 と一致する深さ X_{24} よりも半導体基板 10 のおもて面 10 b 側に深い位置（深さ X_{23} ）まで再結合中心を分布させることができる。さらに、半導体基板 10 の裏面 10 a から水素化学濃度分布 224 が半導体基板 10 のベースドーピング濃度 N_0 と一致する深さ X_{24} よりも半導体基板 10 のおもて面 10 b 側に深い位置（深さ X_{23} ）まで再結合中心を分布させることで、 n 型バッファ層 211 のネットドーピング濃度が半導体基板 10 のベースドーピング濃度 N_0 と一致する深さ X_{22} におけるライフタイム τ_b を τ_0 より低くすることができる。

- [0144] 第1領域231には、再結合中心は形成されていない。このため、第1領域231のキャリアライフタイムは、バルクキャリアライフタイム τ_0 となる。このように半導体基板10の内部に再結合中心を分布させることで、n型バッファ層211のキャリアライフタイムは、バルクキャリアライフタイム τ_0 、または、半導体基板10の内部で最も長いキャリアライフタイム（不図示）よりも短くなる。これにより、IGBTのオン電圧低減とターンオフ損失低減とのトレードオフ関係を改善させることができる。また、ダイオードのターンオフ時に少数キャリアを蓄積するために逆回復特性により一時的に流れる電流（テール電流）を小さくすることができ、スイッチング損失を低減させることができる。
- [0145] 半導体基板10の内部のキャリアライフタイムは、例えば、半導体基板10の裏面10aから水素化学濃度分布224が半導体基板10のベースドーピング濃度 N_0 と一致する深さ X_{24} で最も短い値 τ_{m1} となる。半導体基板10の内部の最短キャリアライフタイム τ_{m1} は、半導体基板10の裏面10a付近のキャリアライフタイム τ_s よりも短くてもよい。最短キャリアライフタイム τ_{m1} は、半導体基板10の裏面10a付近のキャリアライフタイム τ_s よりも短くすることができる。その理由は、次の通りである。
- [0146] 半導体基板10には、プロトン注入221により、半導体基板10の裏面10a付近で水素化学濃度が最も高く、かつ半導体基板10の裏面10aから離れるほど水素化学濃度が低くなる水素化学濃度分布224で水素原子が導入される。半導体基板10の水素原子は、点欠陥のダングリングボンド（未結合手）を終端する。このため、n型バッファ層211のネットドーピング濃度がピーク値 C_{p11} となる深さ X_{p11} 付近の領域と比べて、半導体基板10の裏面10a付近で多く点欠陥のダングリングボンドが水素原子で終端される。これによって、半導体基板10の裏面10a付近での再結合中心濃度は、n型バッファ層211のネットドーピング濃度がピーク値 C_{p11} となる深さ X_{p11} での再結合中心濃度よりも小さくなるからである。
- [0147] n型バッファ層211のネットドーピング濃度が半導体基板10のベース

ドーピング濃度 N_0 と一致する深さ X_{22} でのキャリアライフタイム τ_b は、半導体基板 10 の裏面 10a 付近のキャリアライフタイム τ_s よりも長くてもよい。

[0148] 図 21 は、実施の形態 4 にかかる半導体装置の別の一例のネットドーピング濃度分布を示す特性図である。図 21 に示す実施の形態 4 にかかる半導体装置の別の一例が図 18 に示す実施の形態 4 にかかる半導体装置と異なる点は、 n -型ドリフト層 1 の内部において n 型バッファ層 211 よりも半導体基板 10 の裏面 10a から深い部分に、 n 型バッファ層 211 と離して、プロトン注入による 1 つ以上の n 型 FS 層 215 が選択的に設けられている点である。図 21 には、 n 型 FS 層 215 を 1 つ備える場合を示す。

[0149] n 型 FS 層 215 の厚さ X_{42} は、半導体基板 10 の裏面 10a 側が n^+ 型カソード領域 4 である部分の n 型バッファ層 211 の厚さ X_{41} よりも厚くてもよい。この場合、複数回のプロトン注入 221 (図 19 (a) 参照) のうち、 n 型バッファ層 211 を形成するためのプロトン注入 221 の加速エネルギーよりも、 n 型 FS 層 215 を形成するためのプロトン注入 221 の加速エネルギーを高くする。

[0150] または、 n 型 FS 層 215 の厚さ X_{42} は、半導体基板 10 の裏面 10a 側が p 型カソード領域 5 である部分の n 型バッファ層 211 の厚さ X_{41}' よりも薄くてもよい。この場合、 n 型 FS 層 215 を形成するためのプロトン注入は、 n 型バッファ層 211 を形成するためのプロトン注入 221 よりも加速エネルギーを低くし、アブソーバー 222 を用いずに行えばよい。

[0151] 半導体基板 10 の裏面 10a 側が p 型カソード領域 5 である部分の n 型バッファ層 211 の厚さ X_{41}' は、半導体基板 10 の裏面 10a 側が n^+ 型カソード領域 4 である部分の n 型バッファ層 211 の厚さ X_{41} よりも薄い。 n 型 FS 層 215 の不純物濃度のピーク値 C_{P13} は、 n 型バッファ層 211 のネットドーピング濃度のピーク値 C_{P11} 、 C_{P12} よりも低くてもよい。

[0152] n 型 FS 層 215 は、実施の形態 1 と同様に、水素ドナー層である。 n 型 FS 層 215 を 2 つ以上設ける場合、実施の形態 1 の n 型 FS 層と同様に、

当該2つ以上のn型FS層215は、半導体基板10の裏面10aから異なる深さに、深さ方向に対向するように配置される。

[0153] このようにn型バッファ層211よりも半導体基板10の裏面10aから深い部分に、プロトン注入による1つ以上のn型FS層215を設けることで、サージ電圧によりIGBTが自己クランプしてターンオフシアバランシェ状態が続く期間における破壊耐量を向上させることができる。また、ダイオードの逆回復時の電圧・電流波形の発振を抑制することができる。

[0154] 次に、図21に示す実施の形態4にかかる半導体装置の別の一例において、図21のn型バッファ層211およびn型FS層215を形成するためのプロトン注入による水素ドナーのネットドーピング濃度分布203'、204'と、キャリアライフタイムおよび再結合中心濃度と、の関係について説明する。図22は、図21のネットドーピング濃度分布に対するキャリアライフタイム分布および再結合中心濃度分布の関係を示す特性図である。

[0155] 図22(a)には、図21のn型バッファ層211およびn型FS層215を形成するためのプロトン注入による水素ドナーのネットドーピング濃度分布203'、204'を示す。図22(b)には、図22(a)のネットドーピング濃度分布203'、204'に対応するキャリアライフタイム分布および再結合中心濃度分布を示す。図22(a)、22(b)の横軸は、図21の半導体基板10の裏面10a(深さ=0 μ m)からの深さに対応している。

[0156] 図21に示す実施の形態4にかかる半導体装置の別の一例の再結合中心濃度分布が図18に示す実施の形態4にかかる半導体装置の再結合中心濃度分布と異なる点は、n型FS層215付近で再結合中心濃度が高くなっている点である。この再結合中心濃度分布は、n型FS層215を、n型バッファ層211と同様にアブソーバー222を用いてプロトン注入221によって形成することで実現可能である。n型FS層215を設けることで、n型FS層215を設けない場合と比べて、第1領域231と第2領域232との境界233の深さ X_{23}' を半導体基板10のおもて面10b側に近づけること

ができる。

[0157] また、 n 型FS層215付近の水素化学濃度は、 n 型バッファ層211付近の水素化学濃度よりも低い。このため、 n 型FS層215付近においては、 n 型バッファ層211付近と比べて、点欠陥のダングリングボンドが水素原子で十分に終端されない。したがって、 n 型FS層215付近の再結合中心濃度は、 n 型バッファ層211のネットドーピング濃度が半導体基板10のベースドーピング濃度 N_0 と一致する深さ X_{22} での再結合中心濃度よりも高くなっている。これによって、 n 型FS層215付近のキャリアライフタイム τ_{m2} を、 n 型バッファ層211のネットドーピング濃度が半導体基板10のベースドーピング濃度 N_0 と一致する深さ X_{22} でのキャリアライフタイム τ_b よりも短くすることができる。

[0158] 以上、説明したように、実施の形態4によれば、複数の n 型FS層に代えて、プロトンによる水素ドナーにより形成された1つの n 型バッファ層を設けた場合においても、実施の形態1～3と同様の効果を得ることができる。

[0159] 以上において本発明は、上述した各実施の形態に限らず、本発明の趣旨を逸脱しない範囲で種々変更可能である。例えば、上述した各実施の形態では、4つの n 型FS層を配置した場合を例に説明しているが、 n 型FS層の個数は設計条件に合わせて種々変更可能である。また、各電極は、1つの金属膜からなる単層構造であってもよいし、複数の金属膜を積層した積層構造であってもよい。また、本発明は、導電型（ n 型、 p 型）を反転させても同様に成り立つ。

産業上の利用可能性

[0160] 以上のように、本発明にかかる半導体装置は、インバータなどの電力変換装置や自動車のイグナイタなどに使用される半導体装置に有用である。

符号の説明

- [0161]
- 1 n -型ドリフト層
 - 2 p 型アノード層
 - 3 アノード電極

- 4 n^+ 型カソード領域
- 5, 41 p 型カソード領域
- 6 カソード層
- 7, 7a~7d, 81 n 型FS層
- 8 カソード電極
- 9, 82, 83 結晶欠陥
- 10 半導体基板
- 10a 半導体基板の裏面
- 10b 半導体基板のおもて面
- 11~13, 201, 202 不純物濃度分布
- 21 プロトン注入
- 22, 24 イオン注入
- 23 イオン注入用マスク
- 31 IGBT
- 32 誘導負荷
- 33 電源
- 34 ダイオード
- 35 コンデンサ
- 51 電子
- 52 最もカソード側の n 型FS層の、深さ方向に p 型カソード領域に対向する部分
- 61 IGBT部
- 62 FWD部
- 63 中間領域
- 71 p 型ベース領域
- 72 トレンチ
- 73 ゲート絶縁膜
- 74 ゲート電極

- 7 5 n^+ 型エミッタ領域
- 7 6 p^+ 型コンタクト領域
- 7 7 層間絶縁膜
- 7 8 エミッタ電極
- 7 9 p 型コレクタ層
- 8 0 コレクタ電極
- 2 0 3, 2 0 3', 2 0 4' ネットドーピング濃度分布
- 2 1 1 n 型バッファ層
- 2 1 2, 2 1 2' n 型バッファ層のネットドーピング濃度分布の上凸部
- 2 1 3 n 型バッファ層のネットドーピング濃度分布の下凸状部
- 2 1 4 n 型バッファ層のネットドーピング濃度分布の山状部
- 2 1 5 n 型バッファ層よりも半導体基板の裏面から深い部分に配置された n 型F S層
- 2 2 1 プロトン注入
- 2 2 2 アブソーバー
- 2 2 3 水素ドナー濃度分布
- 2 2 4 水素化学濃度分布
- 2 2 5 半導体基板（バルク基板）のベースドーピング濃度分布（ n^- 型不純物濃度分布）
- 2 3 1 半導体基板の内部のバルクキャリアライフタイムのままの領域（第1領域）
- 2 3 2 第1領域よりも半導体基板の裏面側の、バルクキャリアライフタイムよりもキャリアライフタイムの短い領域（第2領域）
- 2 3 3 第1領域と第2領域との境界
- C_1 p 型カソード領域の不純物濃度のピーク値
- C_1' p 型カソード領域の、最もカソード側の n 型F S層との界面での不純物濃度
- C_2 n^+ 型カソード領域の不純物濃度のピーク値

C_2' n^+ 型カソード領域の、最もカソード側の n 型 F S 層との界面での不純物濃度

C_3 最もカソード側の n 型 F S 層のカソード側の部分の不純物濃度 (n 型 F S 層の不純物濃度のピーク値の 0.5 倍以下程度の不純物濃度)

C_{P1} n 型 F S 層の不純物濃度のピーク値

C_{P2} 最もカソード側の n 型 F S 層のアノード側に隣接する n 型 F S 層の不純物濃度のピーク値

C_{P11} , C_{P12} n 型バッファ層のネットドーピング濃度のピーク値

C_{P13} n 型バッファ層よりも半導体基板の裏面から深い部分に配置された n 型 F S 層の不純物濃度のピーク値

d 半導体基板の裏面とアブソーバーとの間隔

N_0 半導体基板のベースドーピング濃度

$P_1 \sim P_4$ n 型 F S 層の不純物濃度のピーク

t アブソーバーの厚さ

X_1 p 型カソード領域が半導体基板の裏面から達する深さ

X_2 n^+ 型カソード領域が半導体基板の裏面から達する深さ

X_3 n 型 F S 層の不純物濃度のピークよりもカソード側の部分のうち、 n 型 F S 層の不純物濃度のピーク値の 0.5 倍以下程度の不純物濃度である部分が達する深さ

X_{10} 最もカソード側の n 型 F S 層の不純物濃度のピーク位置から p 型カソード領域と n 型 F S 層との境界までの距離

X_{11} p 型カソード領域の厚さ

X_{12} 所定深さから p 型カソード領域と n 型 F S 層との境界までの距離

X_{13} n^+ 型カソード領域の厚さ

X_{14} n 型 F S 層の、深さ方向に p 型カソード領域に対向する部分の厚さ

X_{20} 半導体基板の裏面からの p 型カソード領域と n 型バッファ層との $p-n$ 接合の深さ

X_{21} n 型バッファ層のネットドーピング濃度分布の上凸部と下凸状部との

境界の深さ

X_{22} n型バッファ層のネットドーピング濃度が半導体基板（バルク基板）のベースドーピング濃度（n型不純物濃度）と一致する深さ

X_{23} , X_{23}' 第1領域と第2領域との境界の深さ

X_{24} 半導体基板10の裏面から水素化学濃度分布が半導体基板のベースドーピング濃度と一致する深さ

X_{25} n型バッファ層のネットドーピング濃度が半導体基板のベースドーピング濃度の2倍となる深さ

X_{31} , X_{32} n型バッファ層のネットドーピング濃度分布の上凸部が分布する長さ

X_{33} n型バッファ層のネットドーピング濃度分布の下凸状部が分布する長さ

X_{41} n型バッファ層の厚さ

X_{42} n型バッファ層よりも半導体基板の裏面から深い部分に配置されたn型FS層の厚さ

X_{P1} 最もカソード側のn型FS層の不純物濃度のピーク位置

X_{P2} 最もカソード側のn型FS層のアノード側に隣接するn型FS層の不純物濃度のピーク位置

X_{P11} , X_{P12} n型バッファ層のネットドーピング濃度がピーク値となる深さ

w_1 p型コレクタ層の幅

w_2 カソード層の幅

w_{11} n⁺型カソード領域の幅

w_{12} p型カソード領域の幅

τ_0 半導体基板（バルク基板）のキャリアライフタイム

τ_b n型バッファ層のネットドーピング濃度が半導体基板のベースドーピング濃度と一致する深さでのキャリアライフタイム

τ_{m1} n型バッファ層のネットドーピング濃度がピーク値となる深さでのキャリアライフタイム（半導体基板の内部の最短キャリアライフタイム）

τ_{m2} n型F S層付近のキャリアライフタイム

τ_s 半導体基板の裏面付近のキャリアライフタイム

請求の範囲

[請求項1]

第1主面と第2主面とを有する第1導電型の第1半導体層と、
前記第1半導体層の前記第1主面に設けられた第2導電型の第2半導体層と、
前記第1半導体層の前記第2主面に設けられた第3半導体層と、
前記第1半導体層の内部の異なる深さに設けられた、前記第1半導体層よりも不純物濃度の高い複数の第1導電型の第1半導体領域と、
最も前記第3半導体層側の前記第1半導体領域に接して前記第3半導体層の一部をなす、前記第1半導体領域よりも不純物濃度の高い第1導電型の第2半導体領域と、
最も前記第3半導体層側の前記第1半導体領域に接して前記第3半導体層の一部をなし、かつ前記第2主面に平行な方向に前記第2半導体領域に接する第2導電型の第3半導体領域と、
前記第2半導体層に接する第1電極と、
前記第2半導体領域および前記第3半導体領域に接する第2電極と、
を備え、
前記第1半導体領域は、不純物濃度の第1最大値が前記第2半導体領域の不純物濃度の第2最大値および前記第3半導体領域の不純物濃度の第3最大値よりも低く、かつ前記第1最大値をピークとし、当該ピークから前記第2半導体層側および前記第3半導体層側に向かって減少する不純物濃度分布を有し、
前記第3半導体領域の、前記第1半導体領域との界面での不純物濃度は、前記第2半導体領域の、前記第1半導体領域との界面での不純物濃度よりも低いことを特徴とする半導体装置。

[請求項2]

前記第3半導体領域の不純物濃度の前記第3最大値は、前記第2半導体領域の不純物濃度の前記第2最大値よりも低いことを特徴とする請求項1に記載の半導体装置。

- [請求項3] 前記第3半導体領域の不純物濃度の前記第3最大値は、複数の前記第1半導体領域のうちの最も前記第3半導体層側の前記第1半導体領域の不純物濃度の前記ピークよりも高いことを特徴とする請求項1または2に記載の半導体装置。
- [請求項4] 前記第3半導体領域の不純物濃度の前記第3最大値は、前記第2半導体領域と、複数の前記第1半導体領域のうちの最も前記第3半導体層側の前記第1半導体領域と、の界面で、前記第2半導体領域の不純物濃度の最低値よりも高いことを特徴とする請求項1～3のいずれか一つに記載の半導体装置。
- [請求項5] 複数の前記第1半導体領域のうちの最も前記第3半導体層側の前記第1半導体領域の、前記ピークよりも前記第3半導体層側の部分のうち、前記第1最大値の0.5倍以下の不純物濃度となる部分は、前記第3半導体領域と当該第1半導体領域との界面から所定の深さに達し、
- 前記所定の深さから前記第3半導体領域と当該第1半導体領域との界面までの距離は、前記第3半導体領域の厚さよりも長いことを特徴とする請求項1～4のいずれか一つに記載の半導体装置。
- [請求項6] 前記所定の深さから前記第3半導体領域と当該第1半導体領域との界面までの距離は、前記第3半導体領域の厚さの2倍以上であることを特徴とする請求項5に記載の半導体装置。
- [請求項7] 前記所定の深さから前記第3半導体領域と当該第1半導体領域との界面までの距離は、前記第3半導体領域の厚さ以上10 μ m以下であることを特徴とする請求項6に記載の半導体装置。
- [請求項8] 前記第3半導体領域の厚さは、前記第2半導体領域の厚さよりも薄いことを特徴とする請求項1～7のいずれか一つに記載の半導体装置。
- [請求項9] 前記第3半導体層と、最も前記第3半導体層側の前記第1半導体領域の前記ピークと、の間に結晶欠陥が導入されていることを特徴とす

る請求項 1 ～ 8 のいずれか一つに記載の半導体装置。

[請求項10]

前記第 1 半導体層の前記第 1 主面に設けられ、前記第 1 電極に電氣的に接続された第 2 導電型の第 4 半導体層と、

前記第 4 半導体層の内部に選択的に設けられ、前記第 1 電極に電氣的に接続された第 1 導電型の第 4 半導体領域と、

前記第 4 半導体層の、前記第 4 半導体領域と前記第 1 半導体層との間の領域に接して設けられたゲート絶縁膜と、

前記ゲート絶縁膜を挟んで前記第 4 半導体層の反対側に設けられたゲート電極と、

前記第 1 半導体層の前記第 2 主面に選択的に設けられ、前記第 2 電極に接し、かつ前記第 2 主面に平行な方向に前記第 2 半導体領域に接する第 2 導電型の第 5 半導体領域と、

をさらに備えることを特徴とする請求項 1 ～ 9 のいずれか一つに記載の半導体装置。

[請求項11]

前記第 1 半導体層の、前記第 2 半導体層との境界付近に結晶欠陥が導入されていることを特徴とする請求項 10 に記載の半導体装置。

[請求項12]

前記第 1 半導体領域は、水素ドナー層であることを特徴とする請求項 1 ～ 11 のいずれか一つに記載の半導体装置。

[請求項13]

第 1 主面と第 2 主面とを有する第 1 導電型の第 1 半導体層と、

前記第 1 半導体層の前記第 1 主面に設けられた第 2 導電型の第 2 半導体層と、

前記第 1 半導体層の前記第 2 主面に設けられた第 3 半導体層と、

前記第 1 半導体層の内部に選択的に設けられた、前記第 1 半導体層よりも不純物濃度の高い第 1 導電型の第 1 半導体領域と、

前記第 1 半導体領域に接して前記第 3 半導体層の一部をなす、前記第 1 半導体領域よりも不純物濃度の高い第 1 導電型の第 2 半導体領域と、

前記第 1 半導体領域に接して前記第 3 半導体層の一部をなし、かつ

前記第 2 主面に平行な方向に前記第 2 半導体領域に接する第 2 導電型の第 3 半導体領域と、

前記第 2 半導体層に接する第 1 電極と、

前記第 2 半導体領域および前記第 3 半導体領域に接する第 2 電極と

、

を備え、

前記第 1 半導体領域は、

前記第 3 半導体層との境界で不純物濃度がピーク濃度となり、かつ前記第 2 半導体層側へ向かって不純物濃度が線形に減少する上凸部と

、

前記上凸部の前記第 2 半導体層側に前記上凸部に連続して形成され、かつ前記第 2 半導体層側に深くなるにしたがって不純物濃度が低濃度側に凸状に湾曲して減少する凸状部と、からなる不純物濃度分布を有し、

前記第 1 半導体領域の、前記第 3 半導体領域との界面での不純物濃度のピーク濃度は、前記第 1 半導体領域の、前記第 2 半導体領域との界面での不純物濃度のピーク濃度よりも低いことを特徴とする半導体装置。

[請求項14] 前記凸状部が分布する長さは、前記上凸部が分布する長さよりも長いことを特徴とする請求項 13 に記載の半導体装置。

[請求項15] 前記第 1 半導体領域の不純物濃度のピーク濃度は、前記第 2 半導体領域の不純物濃度のピーク濃度よりも低いことを特徴とする請求項 13 または 14 に記載の半導体装置。

[請求項16] 前記第 3 半導体層から前記第 1 半導体領域にわたって、前記第 1 半導体層の前記第 2 主面で水素濃度がピーク濃度となり、かつ前記第 1 主面側へ向かうにしたがって水素濃度が減少する水素濃度分布を有し、

前記第 1 半導体層の前記第 2 主面から前記水素濃度分布よりも前記

第1主面側に深い位置まで再結合中心が分布していることを特徴とする請求項13～15のいずれか一つに記載の半導体装置。

[請求項17] 前記第1半導体層の前記第2主面での再結合中心濃度は、前記第1半導体領域の不純物濃度がピーク濃度となる深さでの再結合中心濃度よりも小さいことを特徴とする請求項16に記載の半導体装置。

[請求項18] 前記第1半導体層の内部の、前記第1半導体領域よりも前記第1主面側に、前記第1半導体領域と離して設けられた、前記第1半導体層よりも不純物濃度の高い第1導電型の第4半導体領域をさらに備えることを特徴とする請求項16または17に記載の半導体装置。

[請求項19] 前記第4半導体領域の不純物濃度のピーク濃度は、前記第1半導体領域の不純物濃度のピーク濃度よりも低いことを特徴とする請求項18に記載の半導体装置。

[請求項20] 前記第4半導体領域の再結合中心濃度は、前記第1半導体領域の不純物濃度が前記第1半導体層の不純物濃度と一致する深さでの再結合中心濃度よりも高いことを特徴とする請求項18または19に記載の半導体装置。

[請求項21] 前記第1半導体領域は、水素ドナー層であることを特徴とする請求項13～20のいずれか一つに記載の半導体装置。

補正された請求の範囲
[2018年3月23日(23.03.2018)国際事務局受理]

[請求項 1] 第 1 主面と第 2 主面とを有する第 1 導電型の第 1 半導体層と、
前記第 1 半導体層の前記第 1 主面に設けられた第 2 導電型の第 2 半導体層と、
前記第 1 半導体層の前記第 2 主面に設けられた第 3 半導体層と、
前記第 1 半導体層の内部の異なる深さに設けられた、前記第 1 半導体層よりも不純物濃度の高い複数の第 1 導電型の第 1 半導体領域と、

最も前記第 3 半導体層側の前記第 1 半導体領域に接して前記第 3 半導体層の一部をなす、前記第 1 半導体領域よりも不純物濃度の高い第 1 導電型の第 2 半導体領域と、

最も前記第 3 半導体層側の前記第 1 半導体領域に接して前記第 3 半導体層の一部をなし、かつ前記第 2 主面に平行な方向に前記第 2 半導体領域に接する第 2 導電型の第 3 半導体領域と、

前記第 2 半導体層に接する第 1 電極と、

前記第 2 半導体領域および前記第 3 半導体領域に接する第 2 電極と、

を備え、

前記第 1 半導体領域は、不純物濃度の第 1 最大値が前記第 2 半導体領域の不純物濃度の第 2 最大値および前記第 3 半導体領域の不純物濃度の第 3 最大値よりも低く、かつ前記第 1 最大値をピークとし、当該ピークから前記第 2 半導体層側および前記第 3 半導体層側に向かって減少する不純物濃度分布を有し、

前記第 3 半導体領域の、前記第 1 半導体領域との界面での不純物濃度は、前記第 2 半導体領域の、前記第 1 半導体領域との界面での不純物濃度よりも低いことを特徴とする半導体装置。

[請求項 2] 前記第 3 半導体領域の不純物濃度の前記第 3 最大値は、前記第 2 半導体領域の不純物濃度の前記第 2 最大値よりも低いことを特徴とする請求項 1 に記載の半導体装置。

[請求項 3] 前記第 3 半導体領域の不純物濃度の前記第 3 最大値は、複数の前記第 1 半導体領域のうちの最も前記第 3 半導体層側の前記第 1 半導体領域の不純物濃度の前記ピークよりも高いことを特徴とする請求項 1 または 2 に記載の半導体装置。

[請求項 4] 前記第 3 半導体領域の不純物濃度の前記第 3 最大値は、前記第 2 半導

体領域と、複数の前記第 1 半導体領域のうちの最も前記第 3 半導体層側の前記第 1 半導体領域と、の界面で、前記第 2 半導体領域の不純物濃度の最低値よりも高いことを特徴とする請求項 1 ～ 3 のいずれか一つに記載の半導体装置。

〔請求項 5〕 複数の前記第 1 半導体領域のうちの最も前記第 3 半導体層側の前記第 1 半導体領域の、前記ピークよりも前記第 3 半導体層側の部分のうち、前記第 1 最大値の 0.5 倍以下の不純物濃度となる部分は、前記第 3 半導体領域と当該第 1 半導体領域との界面から所定の深さに達し、

前記所定の深さから前記第 3 半導体領域と当該第 1 半導体領域との界面までの距離は、前記第 3 半導体領域の厚さよりも長いことを特徴とする請求項 1 ～ 4 のいずれか一つに記載の半導体装置。

〔請求項 6〕 前記所定の深さから前記第 3 半導体領域と当該第 1 半導体領域との界面までの距離は、前記第 3 半導体領域の厚さの 2 倍以上であることを特徴とする請求項 5 に記載の半導体装置。

〔請求項 7〕 前記所定の深さから前記第 3 半導体領域と当該第 1 半導体領域との界面までの距離は、前記第 3 半導体領域の厚さ以上 10 μm 以下であることを特徴とする請求項 6 に記載の半導体装置。

〔請求項 8〕 前記第 3 半導体領域の厚さは、前記第 2 半導体領域の厚さよりも薄いことを特徴とする請求項 1 ～ 7 のいずれか一つに記載の半導体装置。

〔請求項 9〕 前記第 3 半導体層と、最も前記第 3 半導体層側の前記第 1 半導体領域の前記ピークと、の間に結晶欠陥が導入されていることを特徴とする請求項 1 ～ 8 のいずれか一つに記載の半導体装置。

〔請求項 10〕 前記第 1 半導体層の前記第 1 主面に設けられ、前記第 1 電極に電氣的に接続された第 2 導電型の第 4 半導体層と、

前記第 4 半導体層の内部に選択的に設けられ、前記第 1 電極に電氣的に接続された第 1 導電型の第 4 半導体領域と、

前記第 4 半導体層の、前記第 4 半導体領域と前記第 1 半導体層との間の領域に接して設けられたゲート絶縁膜と、

前記ゲート絶縁膜を挟んで前記第 4 半導体層の反対側に設けられたゲート電極と、
前記第 1 半導体層の前記第 2 主面に選択的に設けられ、前記第 2 電極に接し、かつ
前記第 2 主面に平行な方向に前記第 2 半導体領域に接する第 2 導電型の第 5 半導体領域と、

をさらに備えることを特徴とする請求項 1 ～ 9 のいずれか一つに記載の半導体装置。
。

[請求項 1 1] 前記第 1 半導体層の、前記第 2 半導体層との境界付近に結晶欠陥が導入されていることを特徴とする請求項 1 0 に記載の半導体装置。

[請求項 1 2] 前記第 1 半導体領域は、水素ドナー層であることを特徴とする請求項 1 ～ 1 1 のいずれか一つに記載の半導体装置。

[請求項 1 3] 第 1 主面と第 2 主面とを有する第 1 導電型の第 1 半導体層と、
前記第 1 半導体層の前記第 1 主面に設けられた第 2 導電型の第 2 半導体層と、
前記第 1 半導体層の前記第 2 主面に設けられた第 3 半導体層と、
前記第 1 半導体層の内部に選択的に設けられた、前記第 1 半導体層よりも不純物濃度の高い第 1 導電型の第 1 半導体領域と、

前記第 1 半導体領域に接して前記第 3 半導体層の一部をなす、前記第 1 半導体領域よりも不純物濃度の高い第 1 導電型の第 2 半導体領域と、

前記第 1 半導体領域に接して前記第 3 半導体層の一部をなし、かつ前記第 2 主面に平行な方向に前記第 2 半導体領域に接する第 2 導電型の第 3 半導体領域と、

前記第 2 半導体層に接する第 1 電極と、

前記第 2 半導体領域および前記第 3 半導体領域に接する第 2 電極と、

を備え、

前記第 1 半導体領域は、

前記第 3 半導体層との境界で不純物濃度がピーク濃度となり、かつ前記第 2 半導体層側へ向かって不純物濃度が線形に減少する上凸部と、

前記上凸部の前記第 2 半導体層側に前記上凸部に連続して形成され、かつ前記第 2 半導体層側に深くなるにしたがって不純物濃度が低濃度側に凸状に湾曲して減少する凸状部と、からなる不純物濃度分布を有し、

前記第1半導体領域の、前記第3半導体領域との界面での不純物濃度のピーク濃度は、前記第1半導体領域の、前記第2半導体領域との界面での不純物濃度のピーク濃度よりも低いことを特徴とする半導体装置。

〔請求項14〕 前記凸状部が分布する長さは、前記上凸部が分布する長さよりも長いことを特徴とする請求項13に記載の半導体装置。

〔請求項15〕 前記第1半導体領域の不純物濃度のピーク濃度は、前記第2半導体領域の不純物濃度のピーク濃度よりも低いことを特徴とする請求項13または14に記載の半導体装置。

〔請求項16〕 前記第3半導体層から前記第1半導体領域にわたって、前記第1半導体層の前記第2主面で水素濃度がピーク濃度となり、かつ前記第1主面側へ向かうにしたがって水素濃度が減少する水素濃度分布を有し、

前記第1半導体層の前記第2主面から前記水素濃度分布よりも前記第1主面側に深い位置まで再結合中心が分布していることを特徴とする請求項13～15のいずれか一つに記載の半導体装置。

〔請求項17〕 前記第1半導体層の前記第2主面での再結合中心濃度は、前記第1半導体領域の不純物濃度がピーク濃度となる深さでの再結合中心濃度よりも小さいことを特徴とする請求項16に記載の半導体装置。

〔請求項18〕 前記第1半導体層の内部の、前記第1半導体領域よりも前記第1主面側に、前記第1半導体領域と離して設けられた、前記第1半導体層よりも不純物濃度の高い第1導電型の第4半導体領域をさらに備えることを特徴とする請求項16または17に記載の半導体装置。

〔請求項19〕 前記第4半導体領域の不純物濃度のピーク濃度は、前記第1半導体領域の不純物濃度のピーク濃度よりも低いことを特徴とする請求項18に記載の半導体装置。

〔請求項20〕 前記第4半導体領域の再結合中心濃度は、前記第1半導体領域の不純物濃度が前記第1半導体層の不純物濃度と一致する深さでの再結合中心濃度よりも高いことを特徴とする請求項18または19に記載の半導体装置。

〔請求項21〕

前記第 1 半導体領域は、水素ドナー層であることを特徴とする請求項 13～20 のいずれか一つに記載の半導体装置。

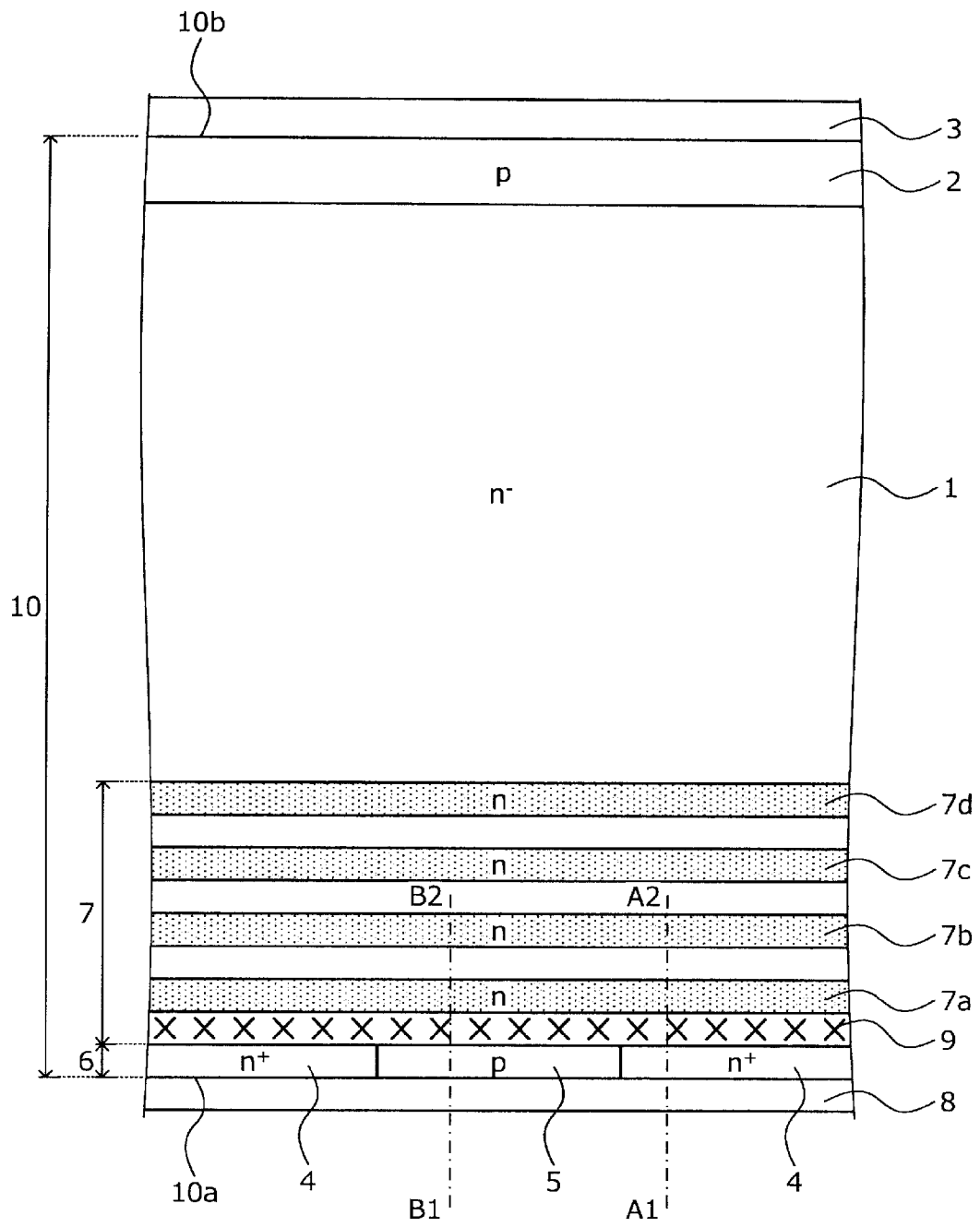
〔請求項 22〕（追加） 前記第 1 半導体領域の、前記第 2 半導体領域に深さ方向に対向する部分と、前記第 3 半導体領域に深さ方向に対向する部分と、で不純物濃度のピーク濃度が等しいことを特徴とする請求項 1 に記載の半導体装置。

条約第 19 条（1）に基づく説明書

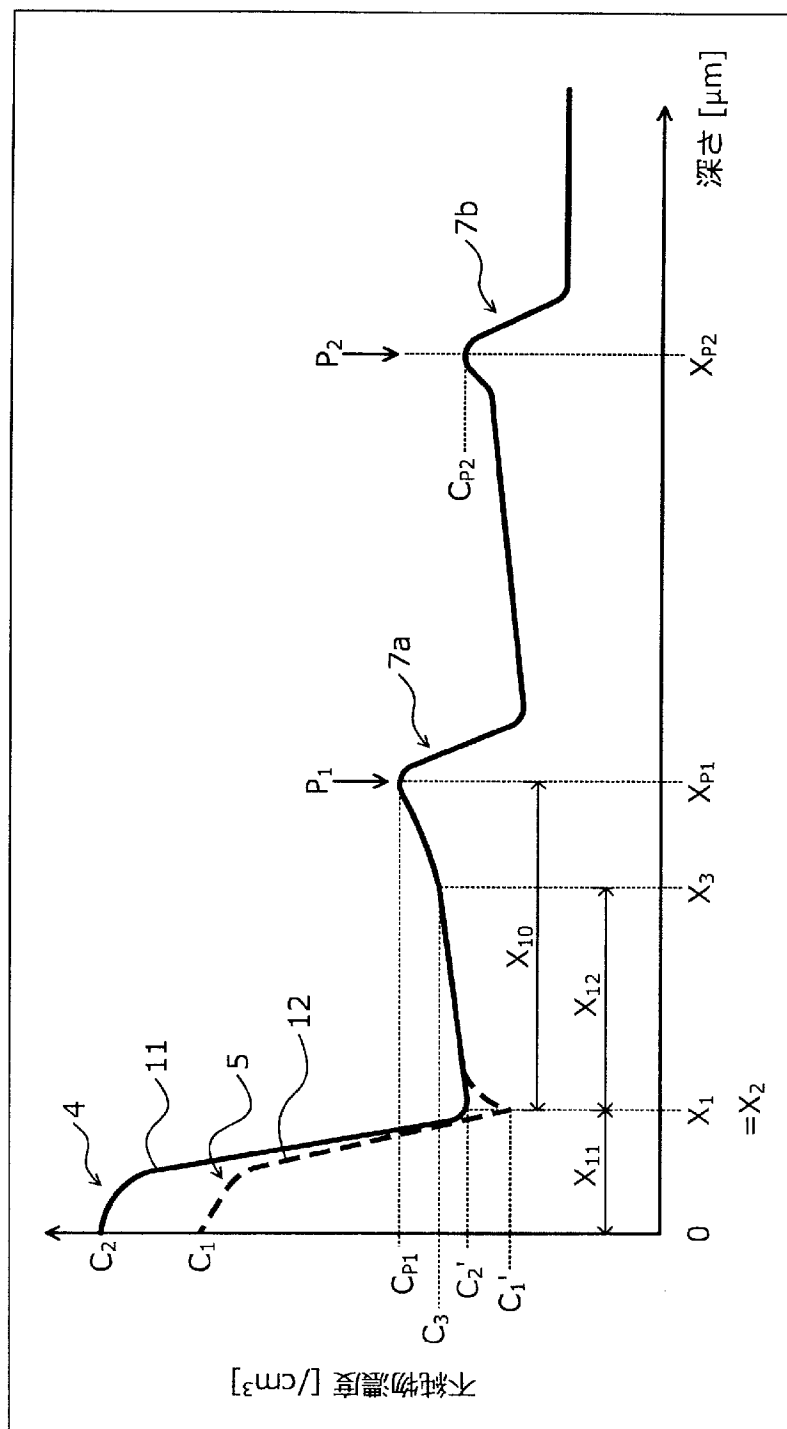
請求の範囲第 1 ～ 21 項は、補正前の請求の範囲第 1 ～ 21 項です。

また、請求の範囲第 22 項は、出願時の明細書の段落番号 [0046]、図 2 を根拠として追加しました。

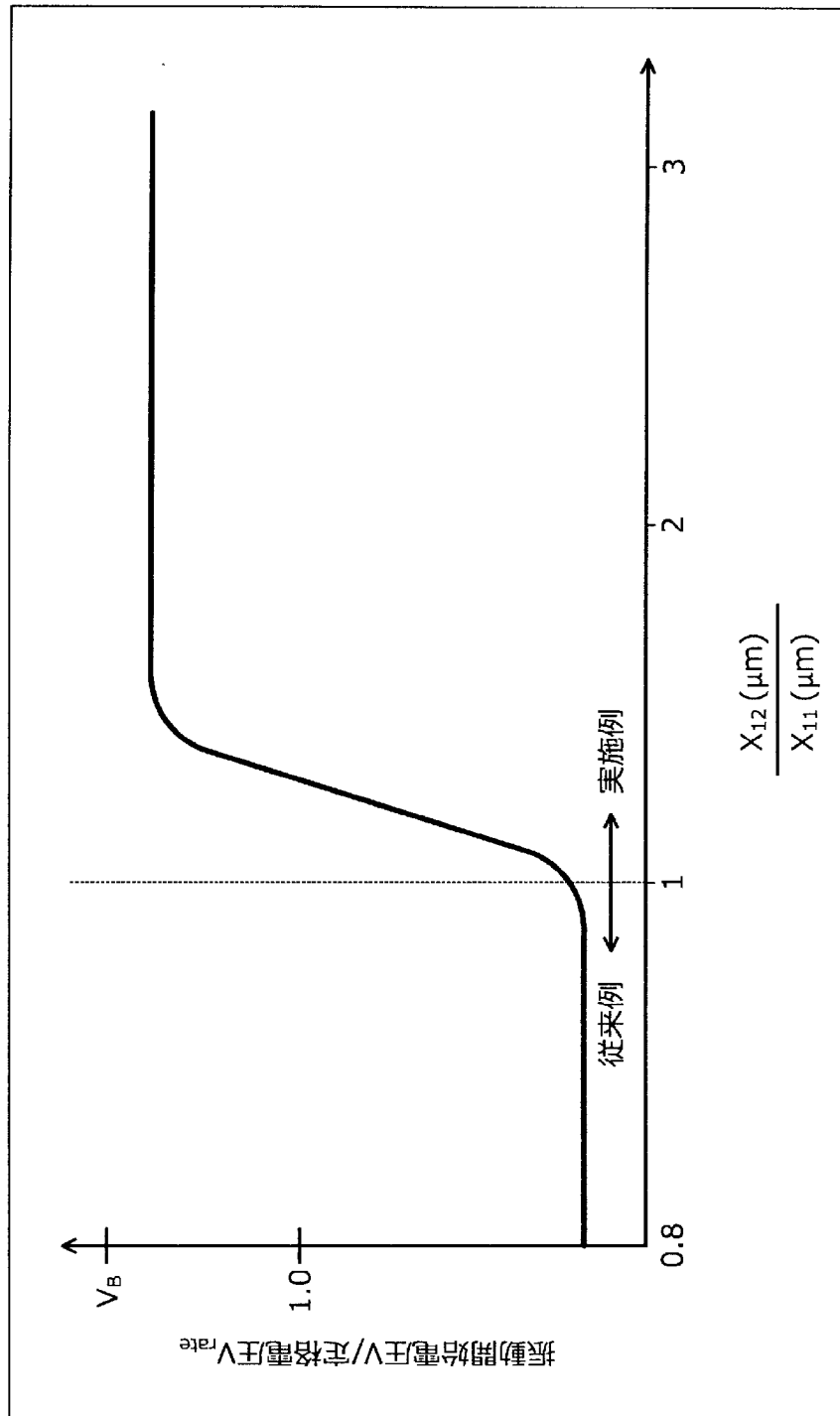
[図1]



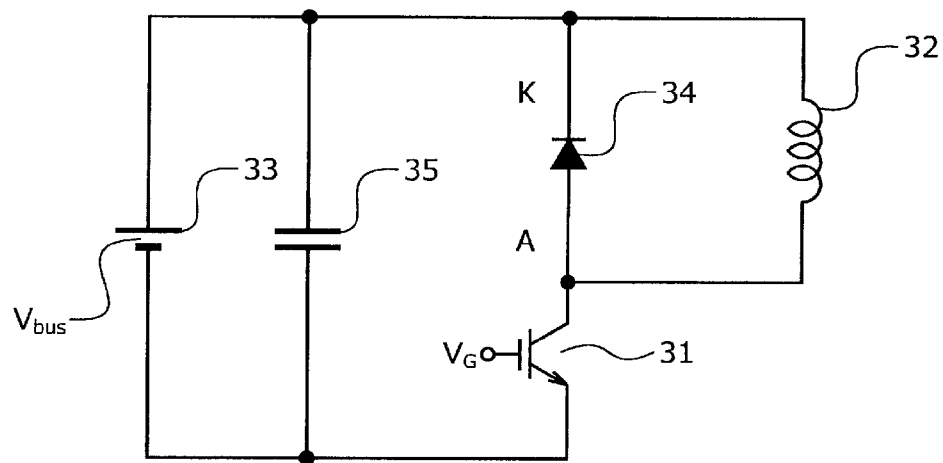
[図2]



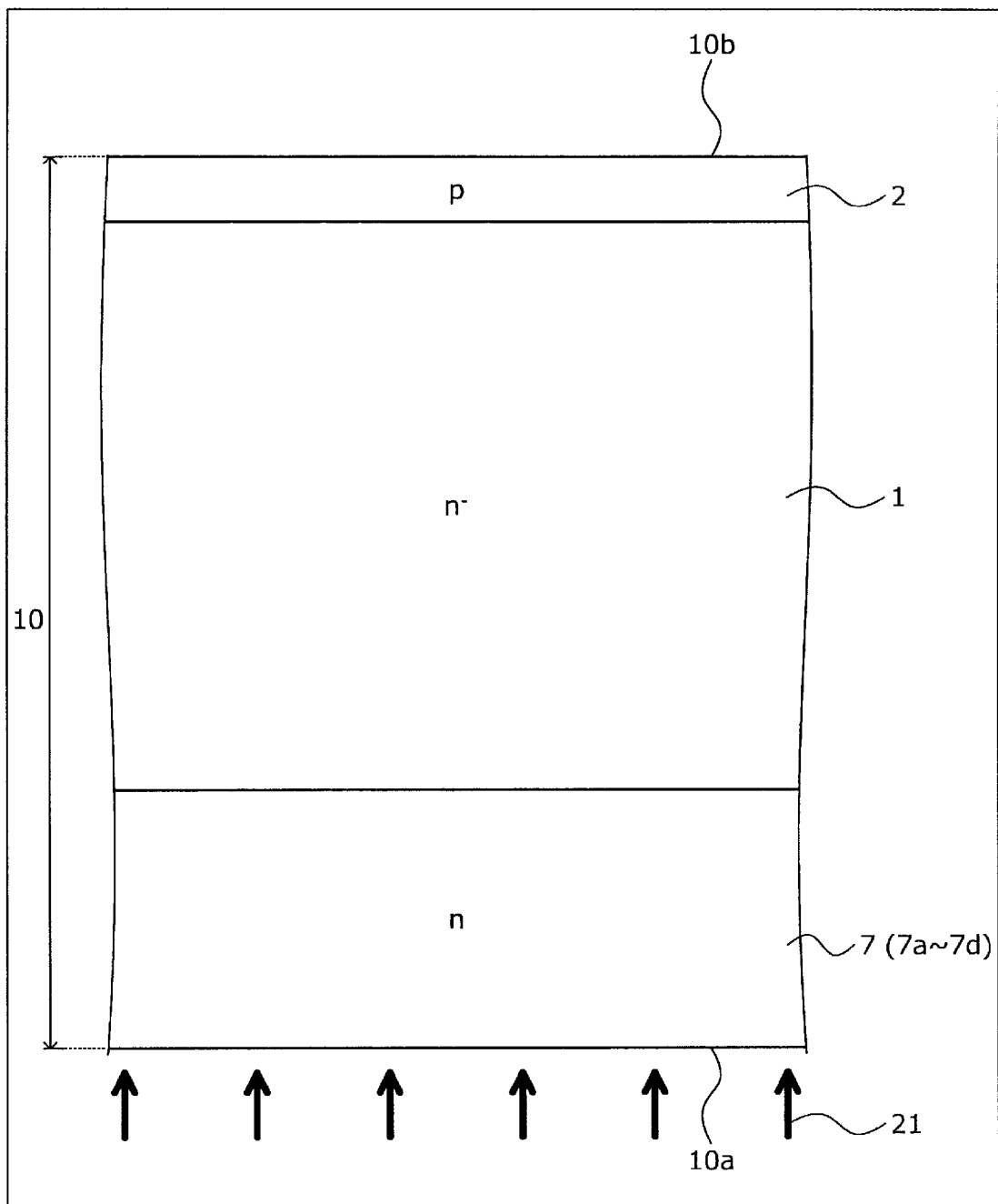
[図3]



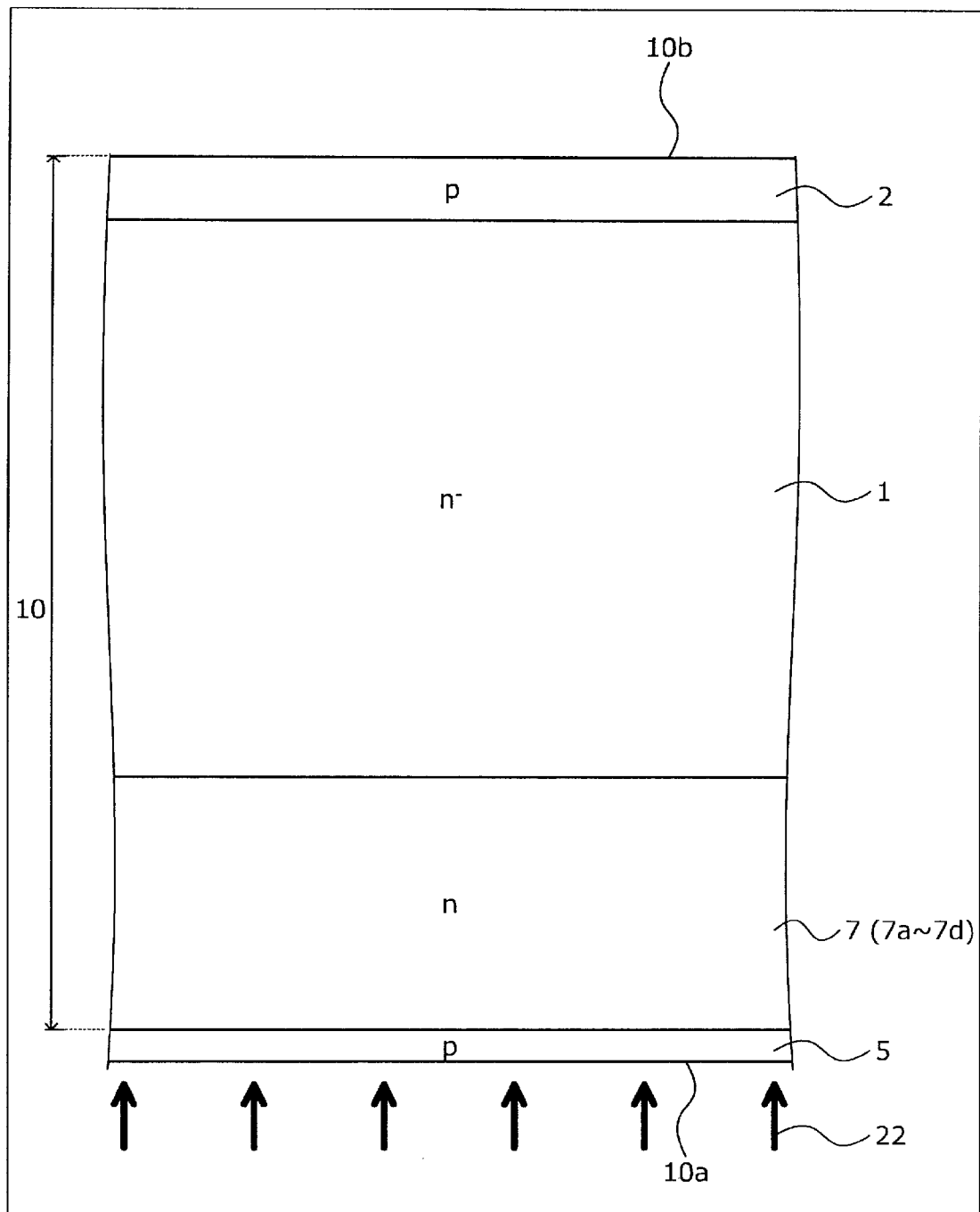
[図4]



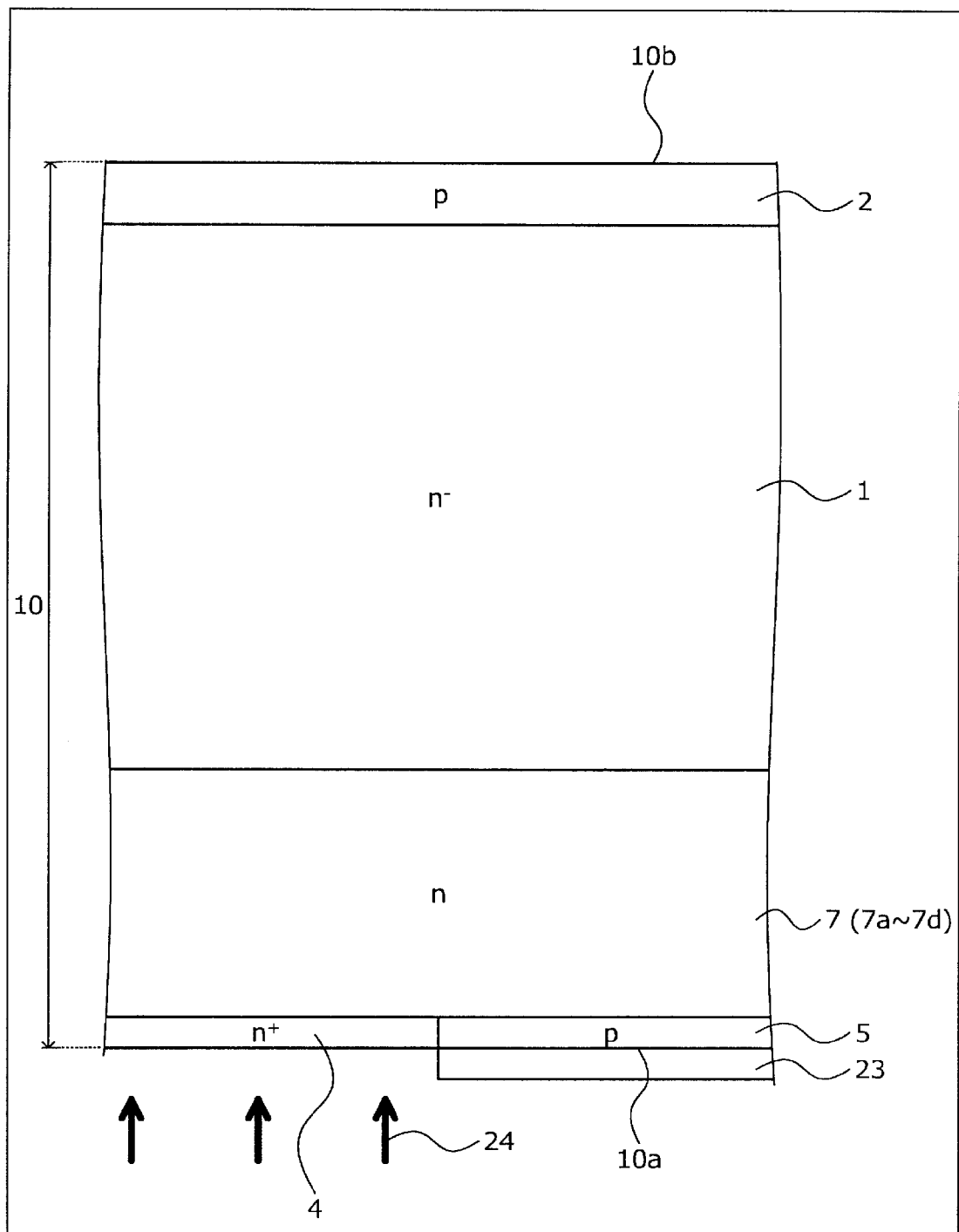
[図5]



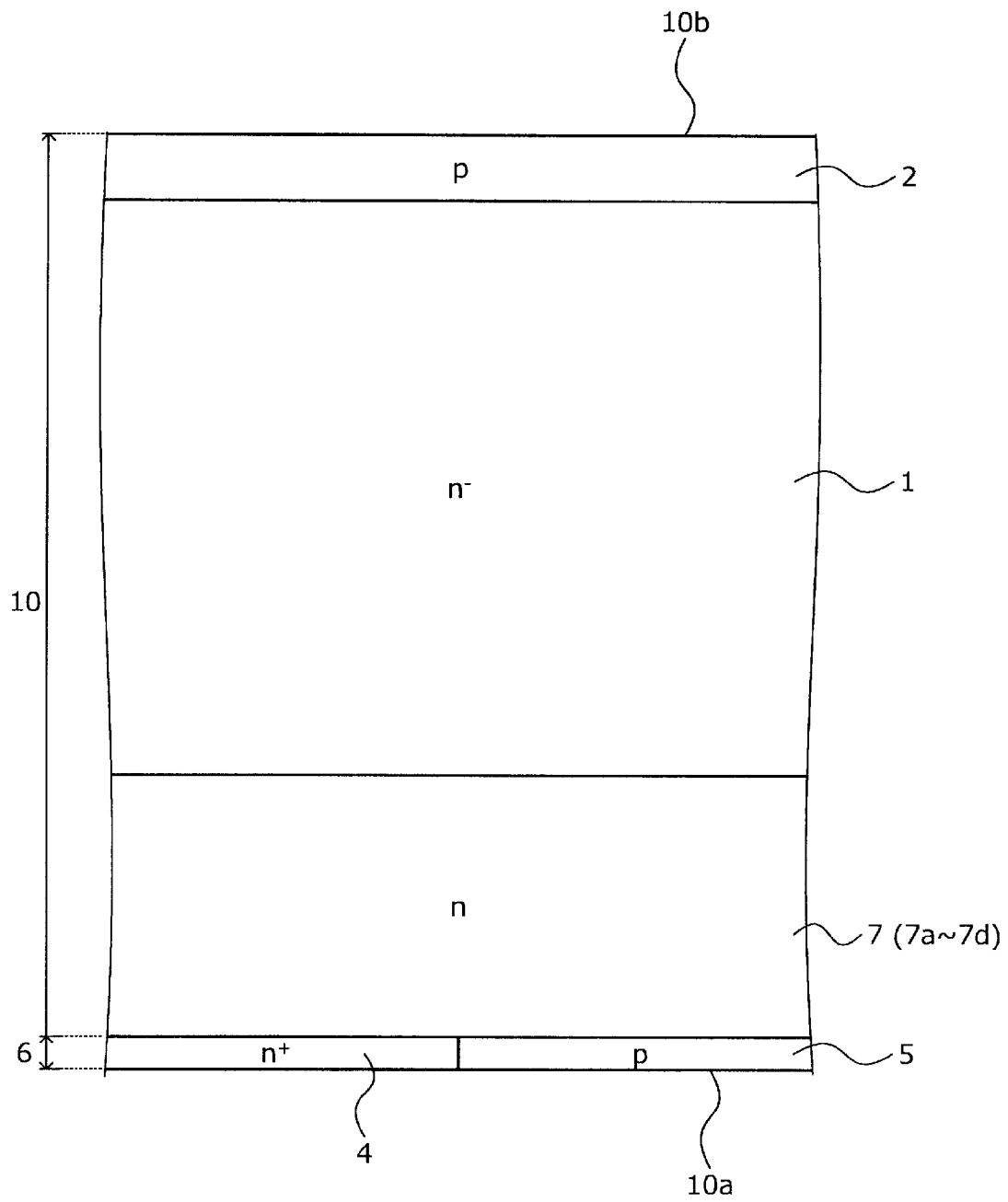
[図6]



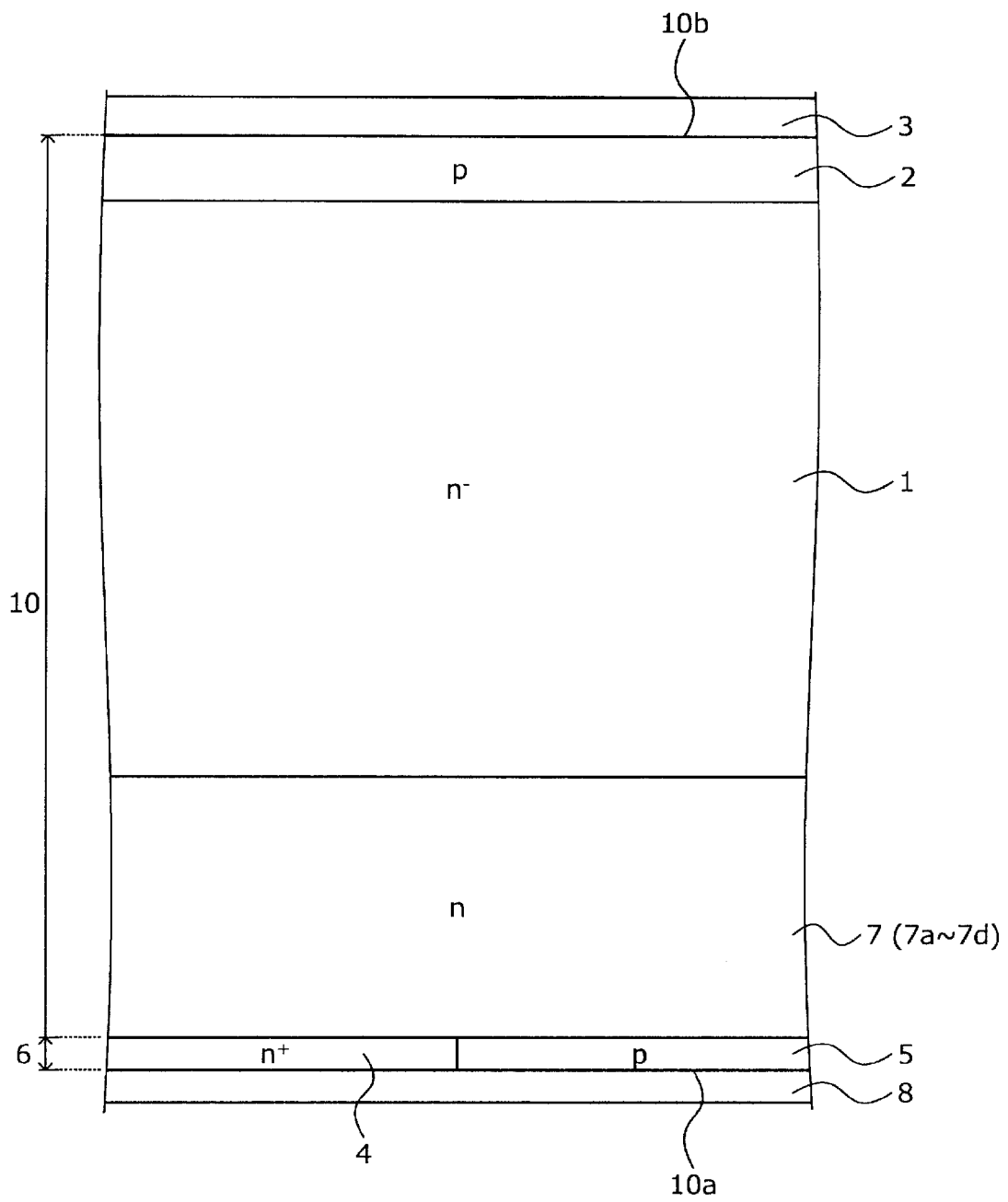
[図7]



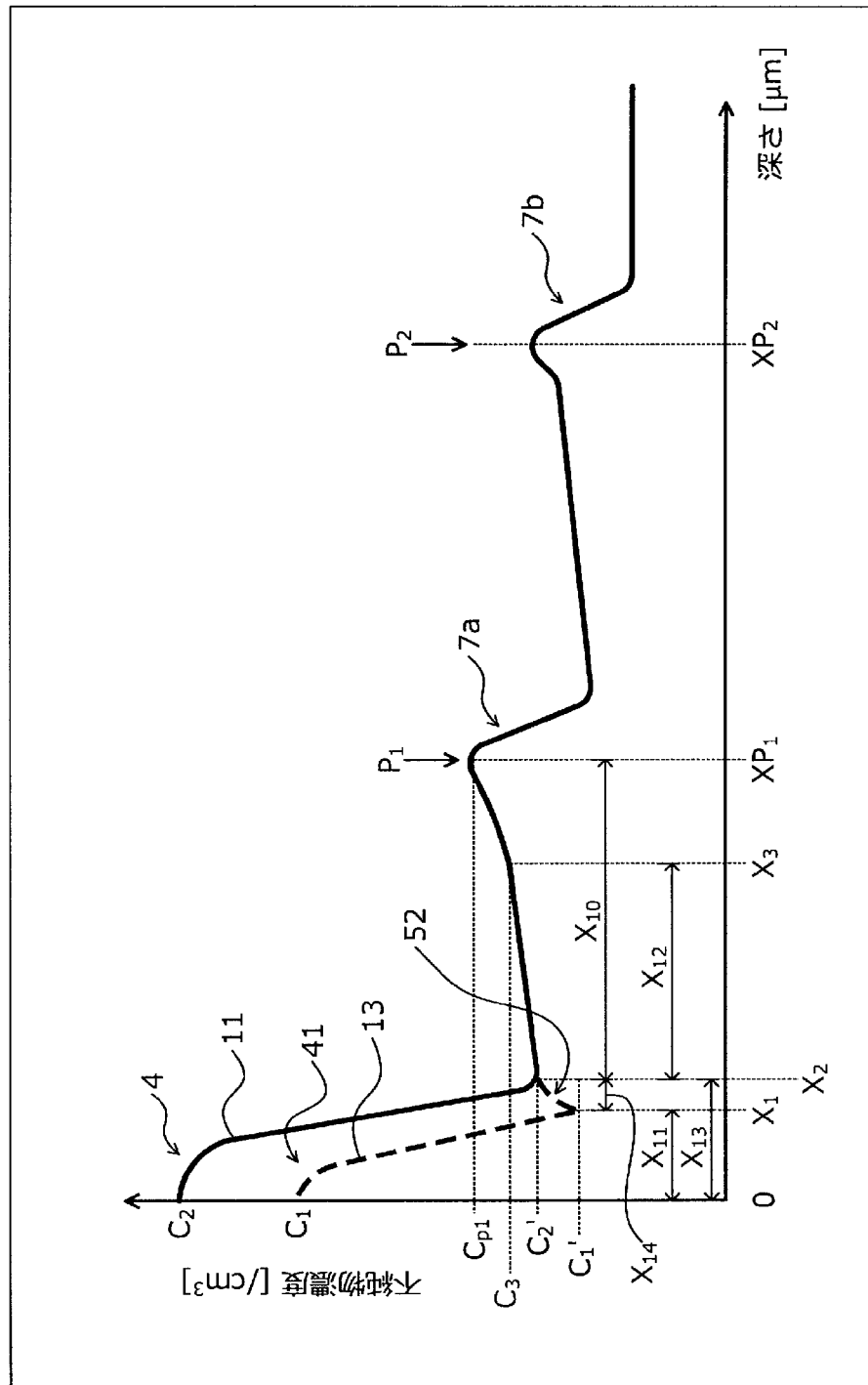
[図8]



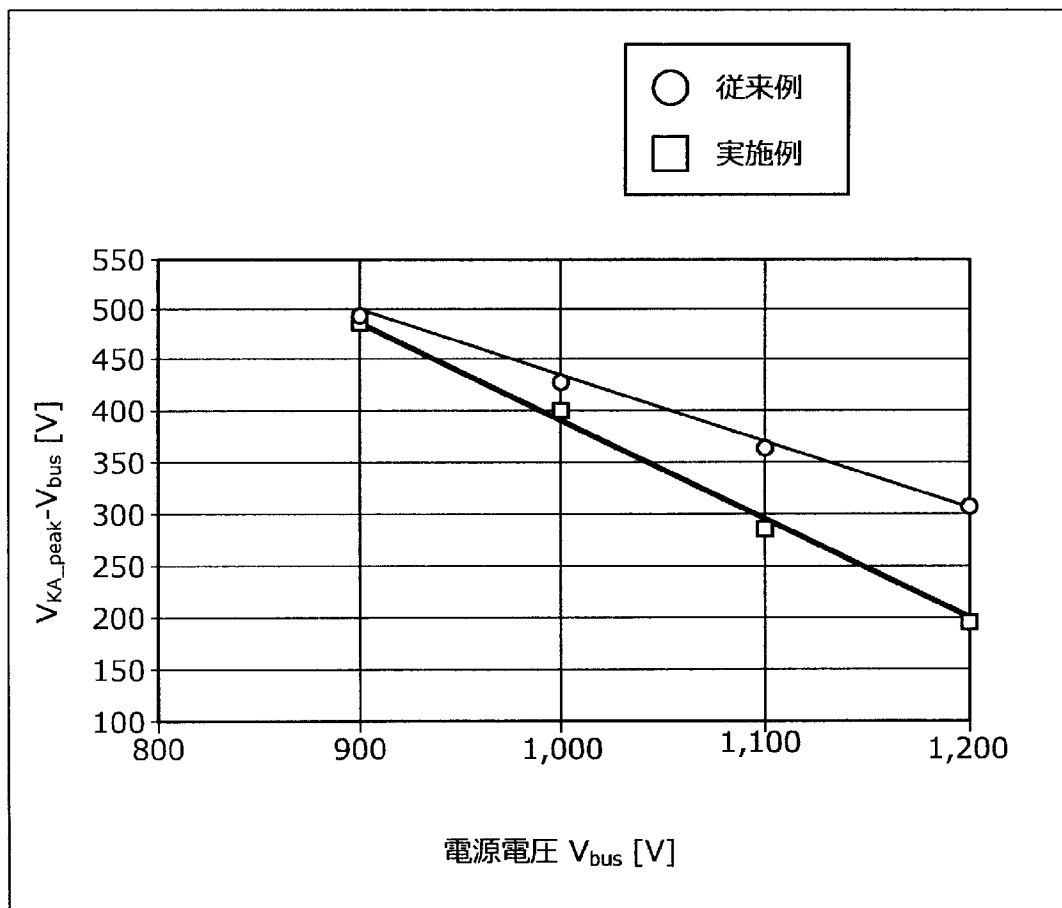
[図9]



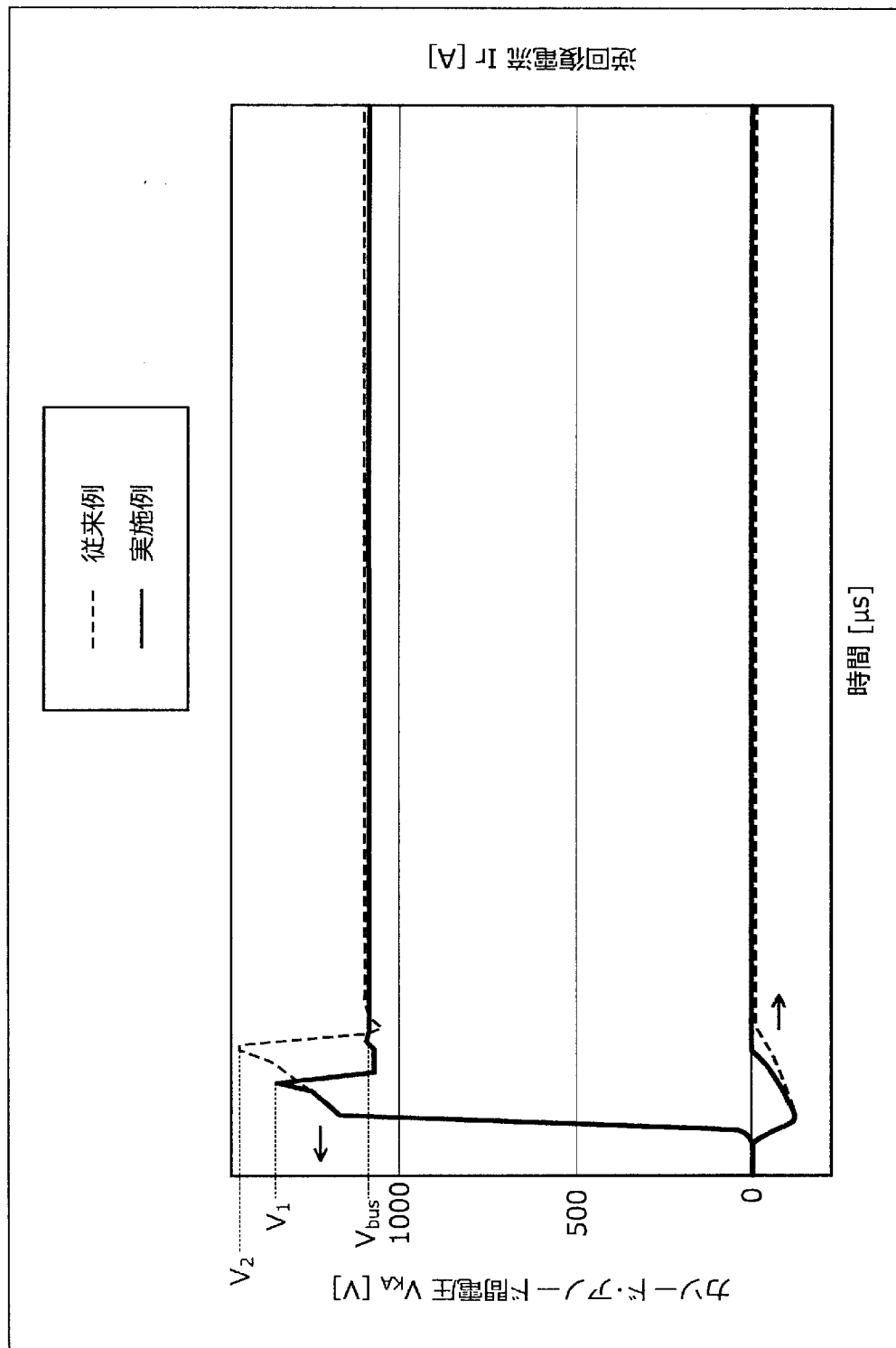
[図11]



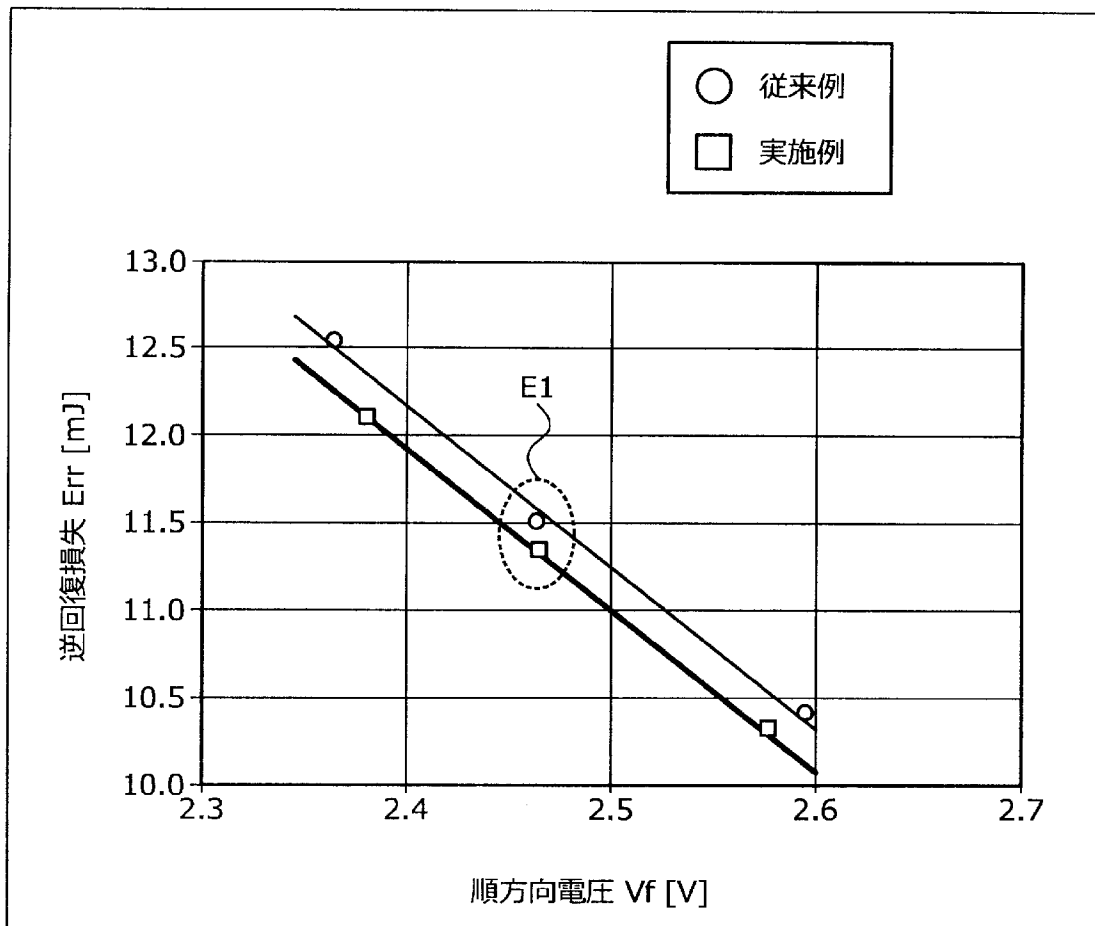
[図13]



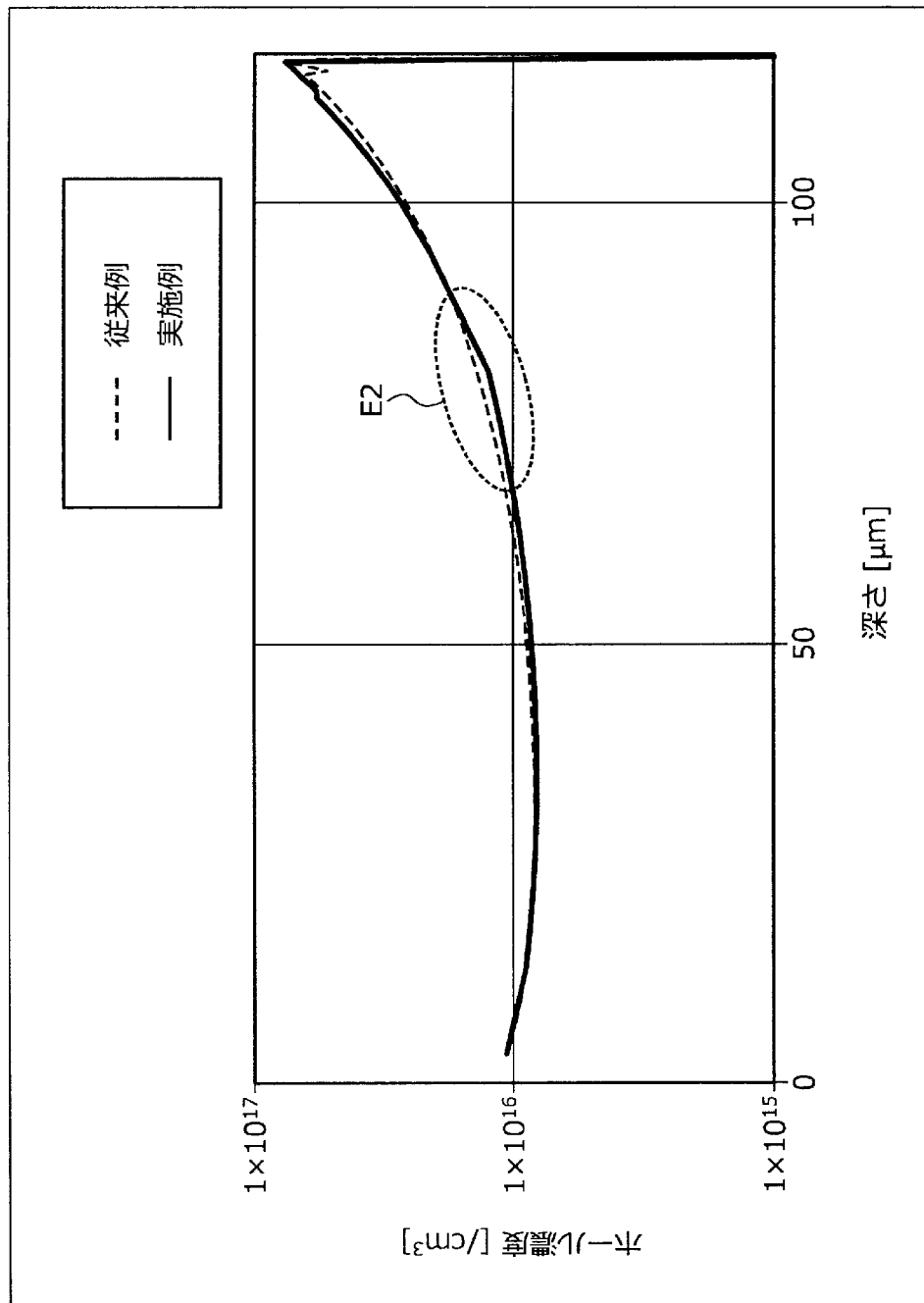
[図14]



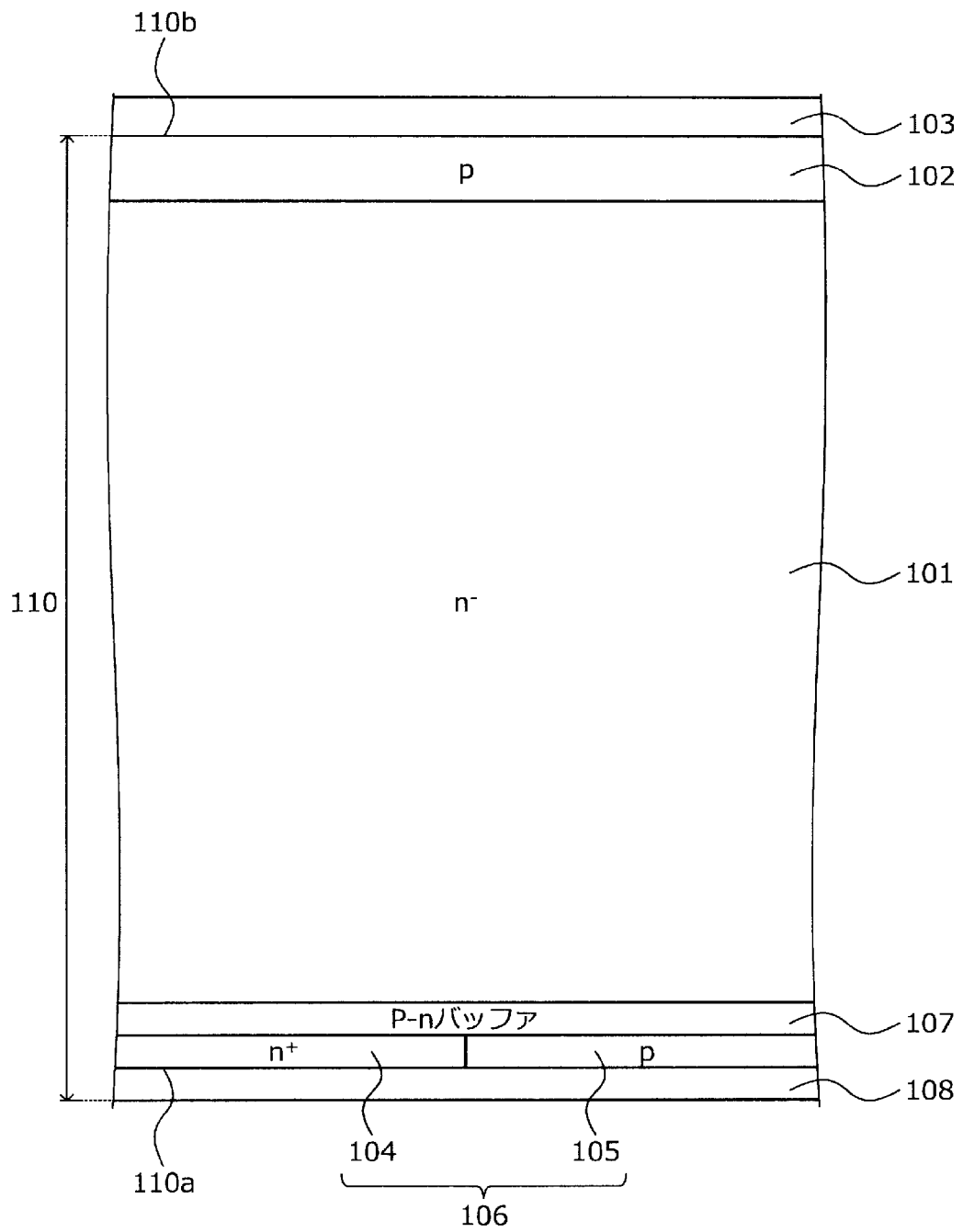
[図15]



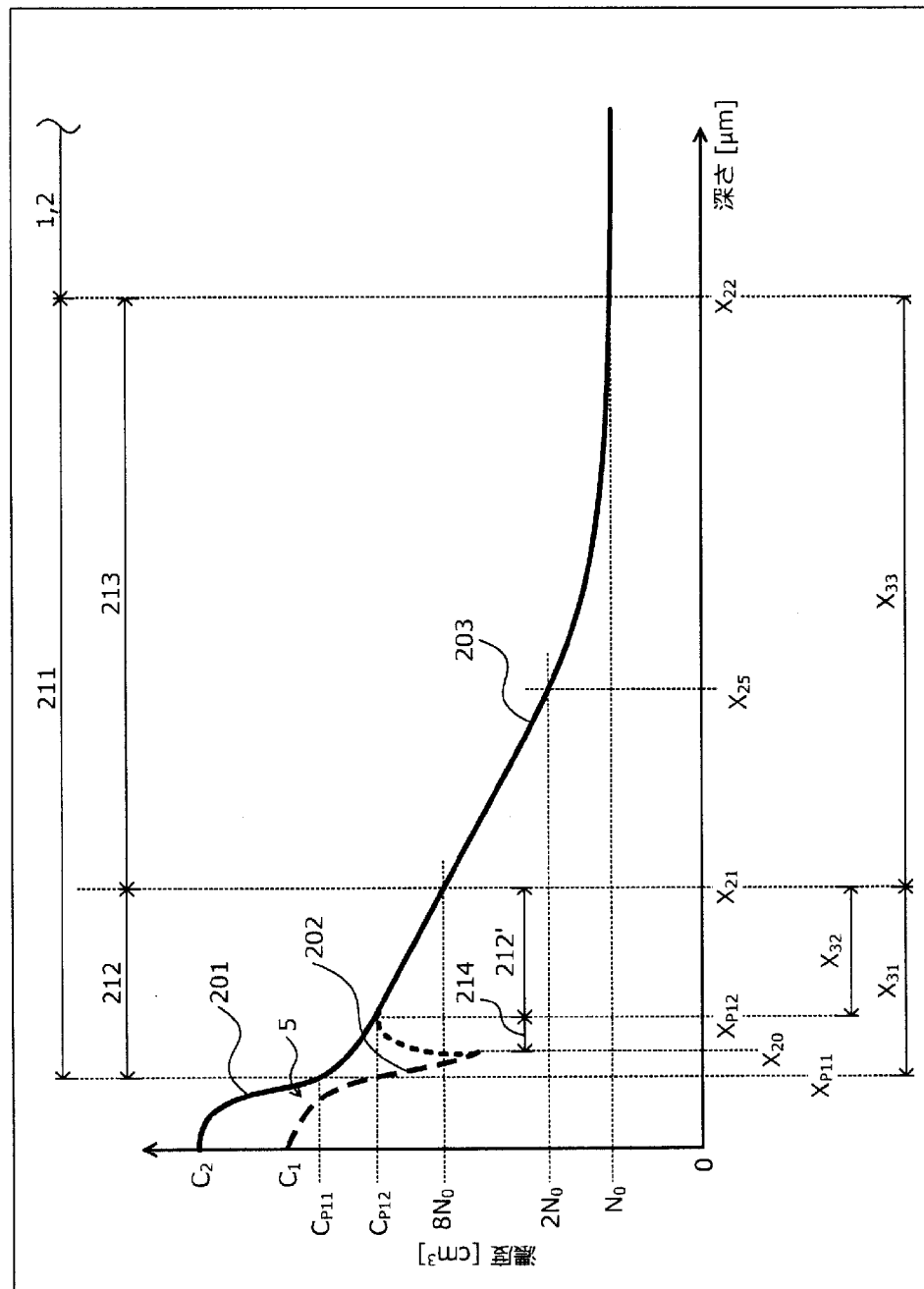
[図16]

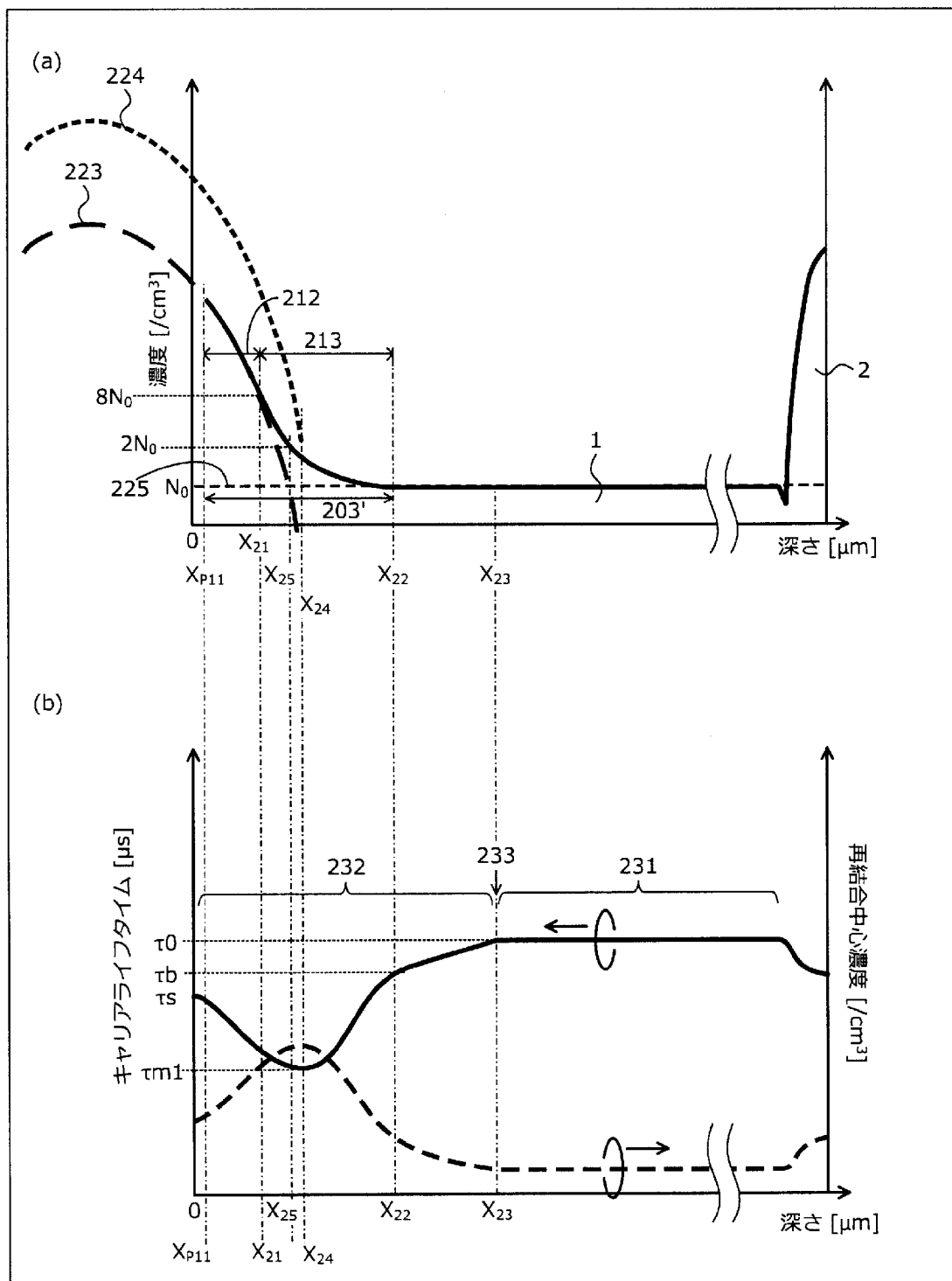


[図17]

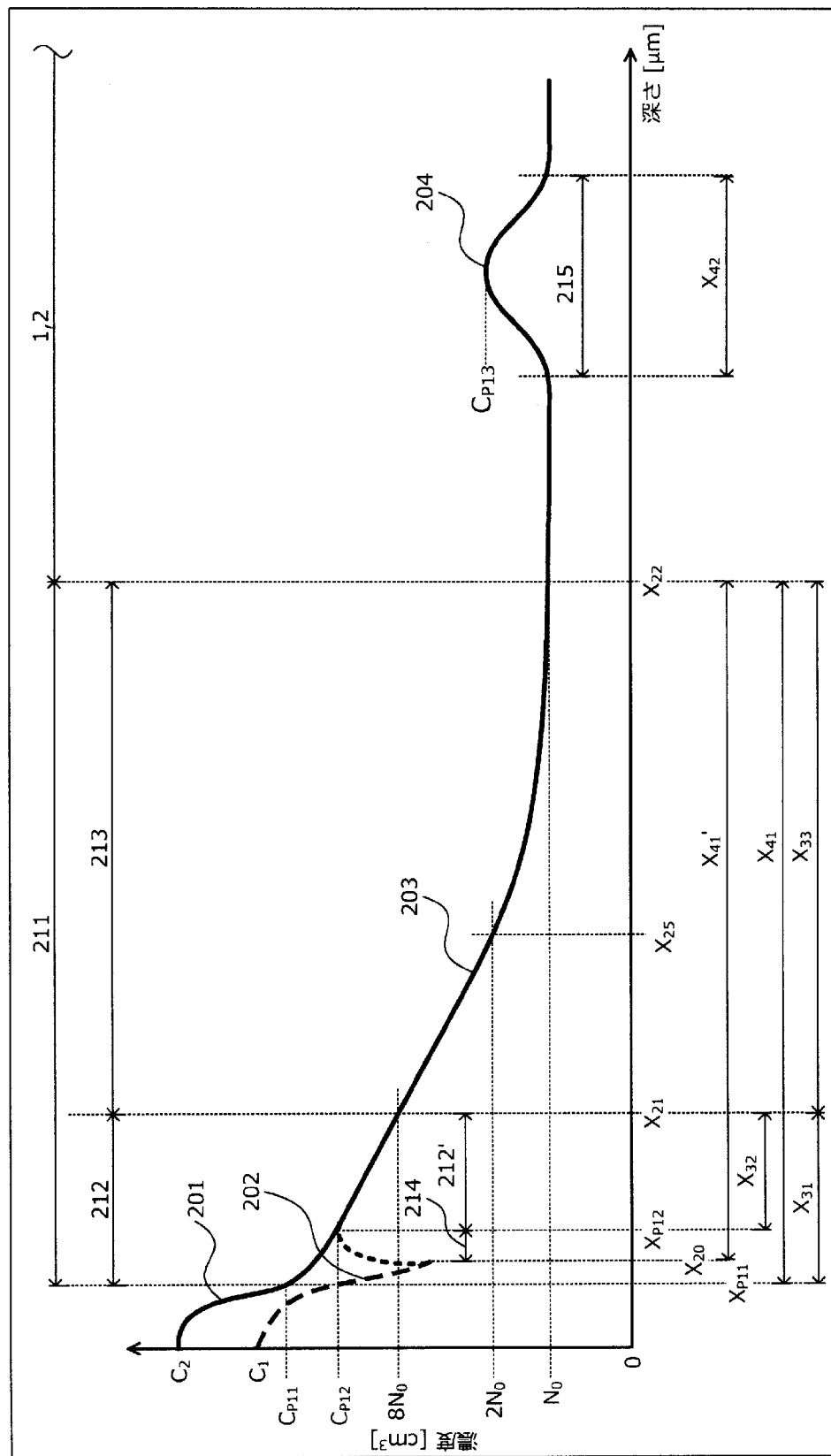


[図18]

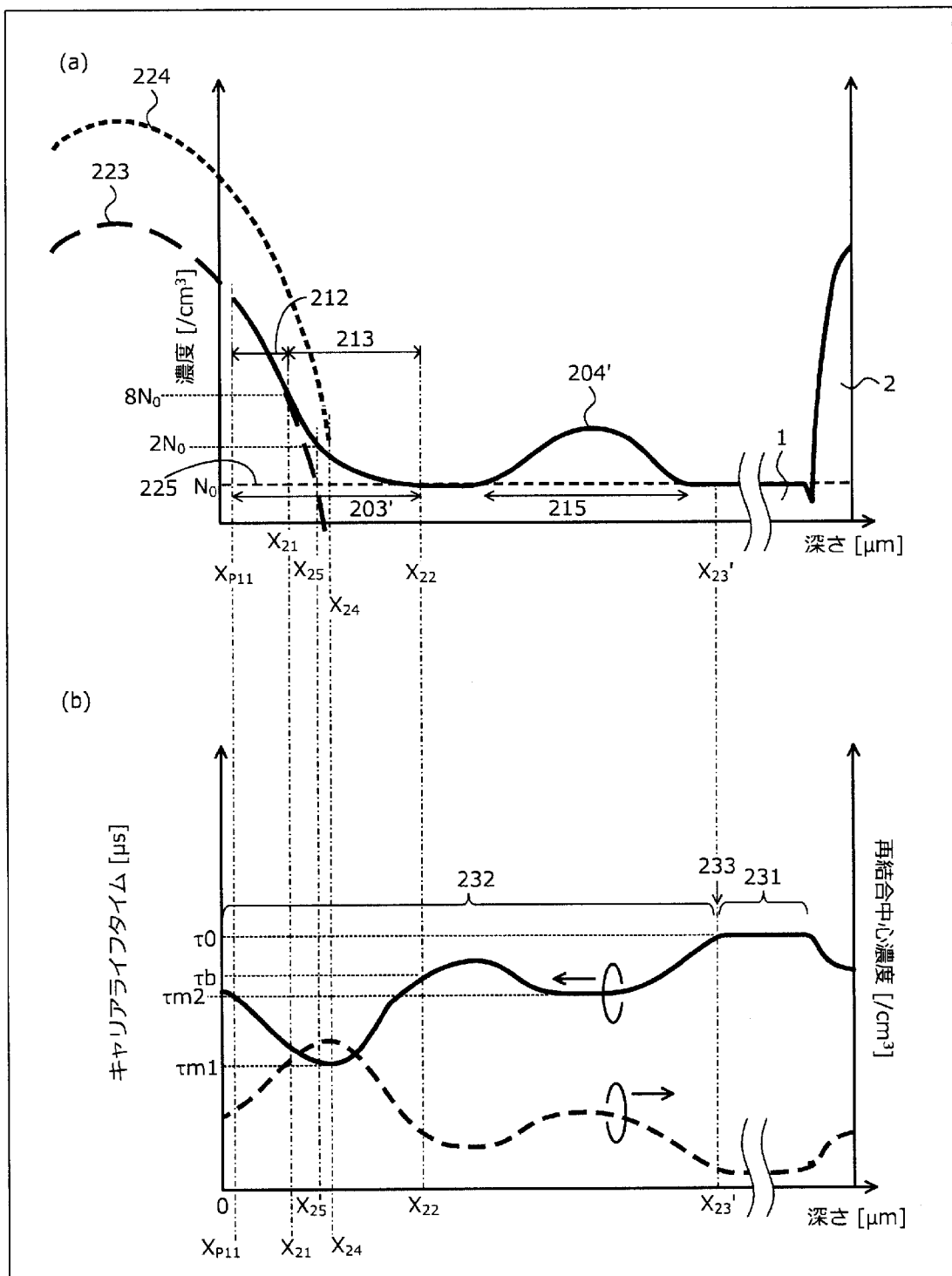




[図21]



[図22]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2017/041002

A. CLASSIFICATION OF SUBJECT MATTER

Int. Cl. H01L29/861 (2006.01) i, H01L21/329 (2006.01) i, H01L21/336 (2006.01) i, H01L29/739 (2006.01) i, H01L29/78 (2006.01) i, H01L29/868 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int. Cl. H01L29/861, H01L21/329, H01L21/336, H01L29/739, H01L29/78, H01L29/868

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996

Published unexamined utility model applications of Japan 1971-2017

Registered utility model specifications of Japan 1996-2017

Published registered utility model applications of Japan 1994-2017

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2010-283132 A (MITSUBISHI ELECTRIC CORP.) 16 December 2010, paragraphs [0014]-[0057], [0085], fig. 1-17 & US 2010/0308446 A1, paragraphs [0042]-[0087], 0118, fig. 1-17 & CN 101908558 A & DE 102010028978 A1 & KR 10-2010-0130944 A	1-4, 10-12 5-9, 13-21
Y	WO 2013/108911 A1 (FUJI ELECTRIC CO., LTD.) 25 July 2013, paragraphs [0065], [0091], fig. 13 & US 2014/0291723 A1, paragraphs [0084], [0108], fig. 13 & CN 103999225 A & EP 2806461 A1	1-4, 10-12



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

Date of mailing of the international search report

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2017/041002

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2013/168367 A1 (DENSO CORP.) 14 November 2013, paragraphs [0039]-[0041], fig. 2 & JP 2013-235890 A & US 2015/0061090 A1, paragraphs [0041]-[0043], fig. 2	1-21
A	WO 2007/055352 A1 (FUJI ELECTRIC DEVICE TECHNOLOGY CO., LTD.) 18 May 2007, paragraphs [0069]-[0080], fig. 12 & US 2008/0315364 A1, paragraphs [0122]-[0133], fig. 12 & CN 101305470 A	13-21

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. H01L29/861(2006.01)i, H01L21/329(2006.01)i, H01L21/336(2006.01)i, H01L29/739(2006.01)i,
H01L29/78(2006.01)i, H01L29/868(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. H01L29/861, H01L21/329, H01L21/336, H01L29/739, H01L29/78, H01L29/868

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2017年
日本国実用新案登録公報	1996-2017年
日本国登録実用新案公報	1994-2017年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y A	JP 2010-283132 A (三菱電機株式会社) 2010.12.16, 段落 0014-0057, 0085, 図 1-17 & US 2010/0308446 A1, 段落 0042-0087, 0118, 図 1-17 & CN 101908558 A & DE 102010028978 A1 & KR 10-2010-0130944 A	1-4, 10-12 5-9, 13-21
Y	WO 2013/108911 A1 (富士電機株式会社) 2013.07.25, 段落 0065, 0091, 図 13 & US 2014/0291723 A1, 段落 0084, 0108, 図 13 & CN 103999225 A & EP 2806461 A1	1-4, 10-12

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの	「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)	「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「O」 口頭による開示、使用、展示等に言及する文献	「&」 同一パテントファミリー文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願	

国際調査を完了した日

25.12.2017

国際調査報告の発送日

23.01.2018

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

綿引 隆

5 F

2934

電話番号 03-3581-1101 内線 3516

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	WO 2013/168367 A1 (株式会社デンソー) 2013. 11. 14, 段落 0039-0041, 図 2 & JP 2013-235890 A & US 2015/0061090 A1, 段落 0041-0043, 図 2	1-21
A	WO 2007/055352 A1 (富士電機デバイステクノロジー株式会社) 2007. 05. 18, 段落 0069-0080, 図 12 & US 2008/0315364 A1, 段落 0122-0133, 図 12 & CN 101305470 A	13-21