



(10) **DE 11 2018 002 029 T5** 2020.01.09

(12)

## Veröffentlichung

der internationalen Anmeldung mit der  
(87) Veröffentlichungs-Nr.: **WO 2018/234920**  
in der deutschen Übersetzung (Art. III § 8 Abs. 2  
IntPatÜG)

(51) Int Cl.: **G11C 29/04 (2006.01)**

(21) Deutsches Aktenzeichen: **11 2018 002 029.0**

(86) PCT-Aktenzeichen: **PCT/IB2018/054195**

(86) PCT-Anmeldetag: **11.06.2018**

(87) PCT-Veröffentlichungstag: **27.12.2018**

(43) Veröffentlichungstag der PCT Anmeldung  
in deutscher Übersetzung: **09.01.2020**

(30) Unionspriorität:  
**15/630,538**      **22.06.2017**      **US**

(74) Vertreter:  
**Richardt Patentanwälte PartG mbB, 65185  
Wiesbaden, DE**

(71) Anmelder:  
**International Business Machines Corporation,  
Armonk, N.Y., US**

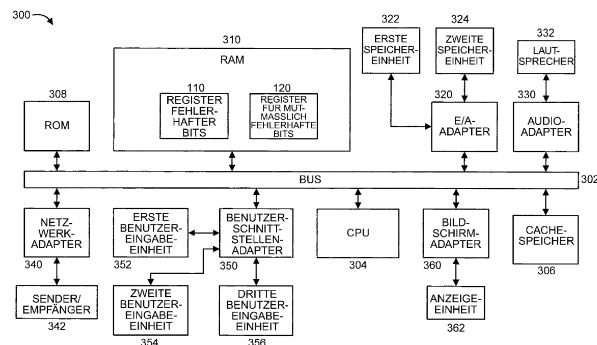
(72) Erfinder:  
**Worledge, Daniel, San Jose, CA, US; Debrosse,  
John Kenneth, Williston, Vt., US**

Prüfungsantrag gemäß § 44 PatG ist gestellt.

**Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen.**

(54) Bezeichnung: **REGISTER FEHLERHAFTER BITS FÜR EINEN SPEICHER**

(57) Zusammenfassung: Eine Speichereinheit enthält einen nichtflüchtigen Direktzugriff-Speicher. Der nichtflüchtige Speicher enthält ein Register mutmaßlich fehlerhafter Bits zum Speichern der Adressen von Bits, bei denen Fehler festgestellt worden sind. Der nichtflüchtige Speicher enthält ferner ein Register fehlerhafter Bits zum Speichern der Adressen von Bits, die (i) aufgrund eines ersten Fehlers in dem Register mutmaßlich fehlerhafter Bits gespeichert sind und bei denen (ii) zudem ein zweiter Fehler festgestellt wurde. Durch die Speichereinheit werden fehlerhafte Bits ermittelt, sodass diese ausgesondert werden können und somit Fehler während des Verwendens des nichtflüchtigen Direktzugriff-Speichers vermieden werden.



**Beschreibung****KURZDARSTELLUNG****TECHNISCHES GEBIET**

**[0001]** Die vorliegende Erfindung betrifft allgemein Speicher und insbesondere ein Register fehlerhafter Bits für einen Speicher.

**HINTERGRUND DER ERFINDUNG**

**[0002]** Einige mehrmals programmierbare nichtflüchtige Speicher haben den Nachteil einer charakteristischen Schreibfehlerrate. Das bedeutet, dass es bei jedem Schreiben eines Bits eine von null verschiedene Wahrscheinlichkeit gibt, dass das Bit nicht in den richtigen Bit-Zustand geschrieben wird. Üblicherweise wird die Fehlerrate für solche Fehler sehr niedrig angesetzt, zum Beispiel  $10^{-9}$  Fehler/Schreibvorgang oder weniger. Für viele Anwendungen reicht dies jedoch nicht aus, insbesondere, wenn einige Bits höhere Schreibfehlerraten als andere Bits haben. Im vorliegenden Zusammenhang bezieht sich der Begriff „fehlerhaftes Bit“ auf ein Bit mit einer höheren Schreibfehlerrate als bei anderen Bits, z.B. oberhalb eines Schwellenwertes anderer Bits und/oder oberhalb eines Schwellenwerts der Schreibfehlerrate. In diesem Fall führen die fehlerhaften Bits in der Praxis letztlich zu Fehlern.

**[0003]** Ein Verfahren zum Lösen dieses Problems besteht im Verwenden eines Fehlerkorrektur-Codes, durch den bestimmte Fehlerarten korrigiert werden können. Einige Codes können zum Beispiel einen Fehler, jedoch nicht zwei Fehler in einem 72 Bit langen Wort korrigieren. Wenn es jedoch fehlerhafte Bits mit ausreichend hohen Schreibfehlerraten gibt, kann dies schließlich zu einem nicht korrigierbaren Fehler (zum Beispiel zwei Fehler in einem Wort) führen.

**[0004]** Ein anderes Verfahren zum Lösen dieses Problems besteht darin, diese fehlerhaften Bits bereits während eines Einbrenntests zu erkennen und auszusondern (fuse-out). In einem Register für ausgesonderte Bits (fuse bit register) in dem Speicher sind die Adressen von Wörtern registriert, die während des Einbrenntests erkannte fehlerhafte Bits enthalten. Anhand dieser Adressen werden dann diese Wörter ausgesondert (fused out) und an deren Stelle redundante Wörter verwendet. Diese Vorgehensweise eignet sich jedoch oft nicht zum Lösen des Problems von Bits mit hoher Schreibfehlerrate. Zum Beispiel muss möglicherweise jedes Bit während des Einbrenntests  $10^9$ -mal geschrieben und gelesen werden, was zu lange dauern würde und zu aufwändig wäre.

**[0005]** Somit besteht ein Bedarf an einem Verfahren zum Verarbeiten von Bitfehlern in einem Speicher, durch das das obige Problem gelöst wird.

**[0006]** Gemäß einem Aspekt der vorliegenden Erfindung wird eine Speichereinheit bereitgestellt. Die Speichereinheit enthält einen nichtflüchtigen Direktzugriff-Speicher. Der nichtflüchtige Speicher enthält ein Register mutmaßlich fehlerhafter Bits zum Speichern der Adressen von Bits, bei denen Fehler festgestellt worden sind. Der nichtflüchtige Speicher enthält ferner ein Register fehlerhafter Bits, in dem Adressen von Bits gespeichert werden, die (i) in dem Register mutmaßlich fehlerhafter Bits aufgrund eines ersten Fehlers enthalten sind und bei denen (ii) auch ein zweiter Fehler festgestellt worden ist. Auf diese Weise löst die Speichereinheit das oben erwähnte Problem, dass einige Bits höhere Schreibfehlerraten als andere haben, und vermeidet Fehler beim Verwenden des nichtflüchtigen Direktzugriff-Speichers.

**[0007]** Auch ein entsprechendes computergestütztes Verfahren wird bereitgestellt.

**[0008]** Außerdem werden die folgenden bevorzugten Merkmale bereitgestellt.

**[0009]** Gemäß einer Ausführungsform dient das Register mutmaßlich fehlerhafter Bits zum Speichern der Adressen von Bits, bei denen die Fehler nach einem Einbrennprozess festgestellt wurden, und die Speichereinheit enthält ferner ein Hauptregister zum Ermitteln von Bits, bei denen während eines Einbrennprozesses Fehler festgestellt wurden. Auf diese Weise können durch die vorliegende Erfindung Einbrennfehler ausgesondert werden.

**[0010]** Gemäß einer Ausführungsform dienen das Hauptregister und das Register mutmaßlich fehlerhafter Bits als Register für ausgesonderte Bits. Auf diese Weise können fehlerhafte Bits ausgesondert werden, sodass diese nicht mehr verwendet werden.

**[0011]** Gemäß einer Ausführungsform sind das Hauptregister und das Register für ausgesonderte Bits in dem nichtflüchtigen Direktzugriff-Speicher enthalten. Auf diese Weise kann eine einzige Einheit verwendet werden, um die oben erwähnten Register bereitzustellen, wodurch das Verwenden anderer Einheiten zum Umsetzen der vorliegenden Erfindung vermieden wird.

**[0012]** Gemäß einem anderen Aspekt der vorliegenden Erfindung wird ein Speichersystem bereitgestellt. Das Speichersystem enthält ein Register fehlerhafter Bits zum Speichern der Adressen von Wörtern, die Bits enthalten, für die eine unzulässige Schreibfehlerrate festgestellt worden ist. Das Speichersystem enthält ferner ein Register mutmaßlich fehlerhafter Bits zum Ermitteln von fehlerhaften Bits, die in das Register fehlerhafter Bits geschrieben werden sollen. Das Speichersystem enthält ferner einen Prozessor. Der

Prozessor dient zum Suchen nach einer Adresse eines Bits, das mit dem Fehler in dem Register mutmaßlich fehlerhafter Bits in Zusammenhang steht, als Reaktion auf Feststellen eines Fehlers unter Verwendung eines Fehlerkorrektur-Codes. Der Prozessor dient ferner zum Entfernen der Adresse des mit dem Fehler in Zusammenhang stehenden Bits aus dem Register mutmaßlich fehlerhafter Bits und zum Schreiben der Adresse des mit dem Fehler in Zusammenhang stehenden Bits in das Register fehlerhafter Bits als Reaktion auf ein Vorliegen der Übereinstimmung. Auf diese Weise wird durch das Speichersystem das Problem der charakteristischen Schreibfehlerrate gelöst, indem die fehlerhaften Bits ermittelt und daraufhin ausgesondert werden können, sodass Fehler während des Verwendens des Speichersystems vermieden werden.

**[0013]** Auch ein entsprechendes computergestütztes Verfahren wird bereitgestellt.

**[0014]** Außerdem werden die folgenden bevorzugten Merkmale bereitgestellt.

**[0015]** Gemäß einer Ausführungsform dient der Prozessor zum Schreiben der Adresse des mit dem Fehler in Zusammenhang stehenden Bits in das Register mutmaßlich fehlerhafter Bits als Reaktion auf ein Fehlen der Übereinstimmung. Auf diese Weise können mutmaßlich fehlerhafte Bits ermittelt werden, um später zu entscheiden, ob sie in das Register fehlerhafter Bits aufgenommen werden sollen.

**[0016]** Gemäß einer Ausführungsform enthält das Speichersystem ferner ein Hauptregister zum Ermitteln von Bits, bei denen während eines Einbrennprozesses Fehler festgestellt worden sind. Auf diese Weise können durch die vorliegende Erfindung Einbrennfehler ausgesondert werden.

**[0017]** Gemäß einer Ausführungsform dienen das Hauptregister und das Register fehlerhafter Bits als Register für ausgesonderte Bits, und der Prozessor dient dazu, das Register für ausgesonderte Bits zum Aussondern als fehlerhaft bestimmter Wörter und zum Ersetzen jedes der als fehlerhaft bestimmten Wörter durch eine entsprechende redundante Adresse zu verwenden. Auf diese Weise können fehlerhafte Bits ausgesondert werden, sodass sie nicht mehr verwendet werden.

**[0018]** Gemäß einer Ausführungsform sind das Register fehlerhafter Bits, das Register mutmaßlich fehlerhafter Bits und das Hauptregister in ein und derselben nichtflüchtigen Speichereinheit enthalten. Auf diese Weise kann zum Bereitstellen der oben erwähnten Register eine einzige Einheit verwendet werden, sodass das Verwenden anderer Einheiten zum Umsetzen der vorliegenden Erfindung vermieden wird.

**[0019]** Diese sowie weitere Merkmale und Vorteile werden aus der folgenden detaillierten Beschreibung anschaulicher Ausführungsformen der Erfindung in Verbindung mit den beiliegenden Zeichnungen klar.

#### Figurenliste

**[0020]** Die folgende Beschreibung liefert Einzelheiten der bevorzugten Ausführungsformen unter Bezugnahme auf die folgenden Figuren, wobei:

**Fig. 1** einen Satz Register **100** gemäß einer Ausführungsform der vorliegenden Erfindung zeigt;

**Fig. 2** einen anderen Satz Register **200** gemäß einer Ausführungsform der vorliegenden Erfindung zeigt;

**Fig. 3** ein beispielhaftes Verarbeitungssystem **300** gemäß einer Ausführungsform der vorliegenden Erfindung zeigt, auf das die Grundgedanken der Erfindung anwendbar sind;

**Fig. 4** ein anderes beispielhaftes Verarbeitungssystem **400** gemäß einer Ausführungsform der vorliegenden Erfindung zeigt, auf das die Grundgedanken der Erfindung anwendbar sind;

**Fig. 5** noch ein weiteres beispielhaftes Verarbeitungssystem **500** gemäß einer Ausführungsform der vorliegenden Erfindung zeigt, auf das die Grundgedanken der Erfindung anwendbar sind;

**Fig. 6** ein beispielhaftes Verfahren **600** gemäß einer Ausführungsform der vorliegenden Erfindung zum Verarbeiten fehlerhafter Bits zeigt; und

die **Fig. 7** bis **Fig. 8** ein anderes beispielhaftes Verfahren **700** gemäß einer Ausführungsform der vorliegenden Erfindung zum Verarbeiten fehlerhafter Bits zeigen.

#### DETAILLIERTE BESCHREIBUNG

**[0021]** Die vorliegende Erfindung betrifft ein Register fehlerhafter Bits für einen Speicher. Im vorliegenden Zusammenhang wird mit dem Begriff „fehlerhaftes Bit“ ein Bit mit einem oder mehreren Fehlern bezeichnet.

**[0022]** Gemäß einer Ausführungsform wird durch die vorliegende Erfindung ein Verfahren zum Ermitteln und Aussondern fehlerhafter Bits in der Praxis bereitgestellt. Dadurch können Bits mit einer hohen Schreibfehlerrate im Normalbetrieb ermittelt und ausgesondert werden, sodass diese Bits nicht mehr verwendet werden.

**[0023]** Gemäß einer Ausführungsform werden zwei Register verwendet, das heißt ein Register fehlerhafter Bits und ein Register mutmaßlich fehlerhafter Bits. Gemäß einer anderen Ausführungsform werden drei Register verwendet, das heißt ein Hauptregister, ein

Register fehlerhafter Bits und ein Register mutmaßlich fehlerhafter Bits.

**[0024]** Fig. 1 zeigt einen Satz Register **100** gemäß einer Ausführungsform der vorliegenden Erfindung. Bei der Ausführungsform von Fig. 1 enthält der Satz Register **100** ein Register fehlerhafter Bits **110** und ein Register **120** mutmaßlich fehlerhafter Bits.

**[0025]** Fig. 2 zeigt einen anderen Satz Register **200** gemäß einer Ausführungsform der vorliegenden Erfindung. Bei der Ausführungsform von Fig. 2 enthält der Satz Register **200** ein Register fehlerhafter Bits **110**, ein Register **120** mutmaßlich fehlerhafter Bits und ein Hauptregister **230**. Das Hauptregister **230** und das Register fehlerhafter Bits **110** können ein Register **240** für ausgesonderte Bits bilden.

**[0026]** Somit unterscheidet sich der Satz Register **200** von Fig. 2 von dem Satz Register **100** von Fig. 1 dadurch, dass er das Hauptregister **230** enthält und aus dem Hauptregister **230** und dem Register fehlerhafter Bits **110** das Register **240** für ausgesonderte Bits bildet.

**[0027]** Gemäß den Fig. 1 und Fig. 2 kann das Register fehlerhafter Bits **110** aus dem nichtflüchtigen Speicher selbst gebildet werden. Das Register fehlerhafter Bits **110** wird während des Betriebs zum Aufzeichnen der Adresse von Wörtern verwendet, bei denen eine hohe Schreibfehlerrate festgestellt wurde. Beim Auffüllen des Registers fehlerhafter Bits **110** werden die ältesten Adressen (die zuallererst geschriebenen Adressen) in dem Register fehlerhafter Bits **110** durch nachfolgende Adressen überschrieben.

**[0028]** Das Register **120** für mutmaßlich fehlerhafte Bits kann auch aus dem nichtflüchtigen Speicher selbst gebildet werden. Das Register **120** wird zum Ermitteln der fehlerhaften Bits verwendet, die in das Register fehlerhafter Bits **110** geschrieben werden sollen. Jedes Mal, wenn mittels des Fehlerkorrektur-Codes ein Fehler festgestellt wird, wird in dem Register **120** für mutmaßlich fehlerhafte Bits nach der Adresse des fehlerhaften Bits gesucht. Wenn diese nicht gefunden wird, wird die Adresse dieses Bits in das Register **120** für mutmaßlich fehlerhafte Bits geschrieben. Wenn die Adresse jedoch gefunden wird, wird die Adresse dieses Bits aus dem Register **120** für mutmaßlich fehlerhafte Bits entfernt und die Adresse des dieses Bit enthaltenden Wortes in das Register fehlerhafter Bits **110** geschrieben. Wenn das Register **120** voll ist, werden die ältesten Adressen (die zuallererst geschriebenen Adressen) in dem Register **120** für mutmaßlich fehlerhafte Bits durch nachfolgende Adressen überschrieben.

**[0029]** Gemäß Fig. 2 kann das Hauptregister **230** aus einem einmal programmierbaren Speicher oder aus dem nichtflüchtigen Speicher selbst gebildet wer-

den. Das Hauptregister **230** muss thermisch hinreichend stabil sein, um Daten während des Hochtemperaturlötens des Chips zu speichern. Das Hauptregister **230** wird beim Einbrennprozess verwendet, um fehlerhafte Bits zu ermitteln (üblicherweise Bits, deren Fehler nicht auf eine hohe Schreibfehlerrate zurückzuführen ist, die zum Beispiel elektrisch kurzgeschlossen oder unterbrochen sind).

**[0030]** Das Register fehlerhafter Bits **110** und das Hauptregister **230** bilden gemeinsam das Register **240** für ausgesonderte Bits, das zum Aussondern fehlerhafter Wörter und zum Ersetzen derselben durch redundante Adressen verwendet wird.

**[0031]** Auf diese Weise werden durch die Sätze Register **100** und **200** in den Fig. 1 beziehungsweise 2 fehlerhafte Bits in der Praxis auf vorteilhafte Weise ermittelt und ausgesondert. Dadurch können Bits mit hoher Schreibfehlerrate im Normalbetrieb ermittelt und ausgesondert werden, sodass diese Bits nicht mehr verwendet werden und das oben erwähnte Problem der charakteristischen Schreibfehlerrate gelöst wird.

**[0032]** Fig. 3 zeigt eine beispielhafte Implementierung des Satzes Register **100** von Fig. 1. Insbesondere zeigt Fig. 3 ein beispielhaftes Verarbeitungssystem **300** mit dem Register fehlerhafter Bits **110** und dem Register **120** für mutmaßlich fehlerhafte Bits von Fig. 1 gemäß einer Ausführungsform der vorliegenden Erfindung, die in einem nichtflüchtigen Speicher enthalten sind.

**[0033]** Das Verarbeitungssystem **300** enthält mindestens einen Prozessor (CPU) **304**, der durch einen Systembus **302** (oder ein anderes Datenübertragungsmedium, das der Anschaulichkeit halber und als Beispiel hierin im Folgenden als „Systembus“ bezeichnet wird) funktionell mit anderen Komponenten verbunden ist. Ein Cache-Speicher **306**, ein Nur-Lese-Speicher (ROM) **308**, ein Direktzugriff-Speicher (RAM) **310**, ein Eingabe/Ausgabe- (E/A-) Adapter **320**, ein Audio-Adapter **330**, ein Netzwerk-Adapter **350** und ein Bildschirm-Adapter **360** sind funktionell mit dem Systembus **302** verbunden.

**[0034]** Bei der Ausführungsform von Fig. 3 enthält der RAM **310** das Register fehlerhafter Bits **110** und das Register **120** für mutmaßlich fehlerhafte Bits. Gemäß einer Ausführungsform wird der RAM **310** durch einen magnetoresistiven Spinmoment-RAM (RAM) mit magnetischen Tunnelübergängen realisiert. Die vorliegende Erfindung ist natürlich nicht auf den vorhergehenden RAM-Typ beschränkt, sodass gemäß den Lehren der vorliegenden Erfindung auch andere Typen von nichtflüchtigen Speichern verwendet werden können und dabei der Wesensgehalt der vorliegenden Erfindung gewahrt wird.

**[0035]** Eine erste Speichereinheit **322** und eine zweite Speichereinheit **324** sind durch den E/A-Adapter **320** funktionell mit dem Systembus **302** verbunden. Bei den Speichereinheiten **322** und **324** kann es sich um ein und denselben Typ oder um verschiedene Typen von Speichereinheiten handeln.

**[0036]** Ein Lautsprecher **332** ist durch den Audio-Adapter **330** funktionell mit dem Systembus **302** verbunden. Ein Sender/Empfänger **342** ist durch den Netzwerk-Adapter **340** funktionell mit dem Systembus **302** verbunden. Eine Anzeigeeinheit **362** ist durch den Bildschirm-Adapter **360** funktionell mit dem Systembus **302** verbunden.

**[0037]** Eine erste Benutzer-Eingabeeinheit **352**, eine zweite Benutzer-Eingabeeinheit **354** und eine dritte Benutzer-Eingabeeinheit **356** sind durch einen Benutzer-Schnittstellenadapter **350** funktionell mit dem Systembus **302** verbunden. Bei den Benutzer-Eingabeeinheiten **352**, **354** und **356** kann es sich eine beliebige Tastatur, eine Maus, ein Tastenfeld, eine Bilderfassungseinheit, eine Bewegungserfassungseinheit, ein Mikrofon, eine die Funktionalität von mindestens zwei der vorhergehenden Einheiten beinhalten- de Einheit und so weiter handeln. Es können natürlich auch andere Typen von Eingabeeinheiten verwendet werden, solange der Wesensgehalt der vorliegenden Erfindung erhalten bleibt. Die Benutzer-Eingabeeinheiten **352**, **354** und **356** können von ein und demselben Typ oder von verschiedenen Typen von Benutzer-Eingabeeinheiten sein. Die Benutzer-Eingabeeinheiten **352**, **354** und **356** dienen zum Eingeben von Daten in das System **300** und zum Ausgeben von Daten aus dem System **300**.

**[0038]** Für den Fachmann ist nachvollziehbar, dass das Verarbeitungssystem **300** natürlich auch andere (nicht gezeigte) Elemente enthalten sowie auf bestimmte Elemente verzichten kann. Dem Fachmann ist klar, dass das Verarbeitungssystem **300** je nach Ausgestaltung zum Beispiel verschiedene andere Eingabeeinheiten und/oder Ausgabeeinheiten enthalten kann. Zum Beispiel können verschiedene Typen von drahtlosen und/oder leitungsgebundenen Eingabe- und/oder Ausgabeeinheiten verwendet werden. Außerdem ist dem Fachmann einsichtig, dass zusätzliche Prozessoren, Controller, Speicher und so weiter in verschiedenen Anordnungen verwendet werden können. Diese sowie weitere Varianten des Verarbeitungssystems **300** sind dem Fachmann angesichts der Lehren der hierin bereitgestellten vorliegenden Erfindung einsichtig.

**[0039]** Die **Fig. 4** und **Fig. 5** zeigen entsprechende Ausführungsformen des Satzes Register **200** von **Fig. 2**. Insbesondere zeigt **Fig. 4** ein beispielhaftes Verarbeitungssystem **400** mit dem Register fehlerhafter Bits **110**, dem Register **120** für mutmaßlich fehlerhafte Bits und dem Hauptregister **230** von **Fig. 2**

gemäß einer Ausführungsform der vorliegenden Erfindung, die sämtlich in einem nichtflüchtigen Speicher enthalten sind. **Fig. 5** zeigt ein beispielhaftes Verarbeitungssystem **500** mit dem Register fehlerhafter Bits **110** und dem Register **120** für mutmaßlich fehlerhafte Bits von **Fig. 2** gemäß einer Ausführungsform der vorliegenden Erfindung, die in einem nichtflüchtigen Speicher enthalten sind, wobei das Hauptregister **230** von **Fig. 2** aus einem einmal programmierbaren Speicher gebildet ist.

**[0040]** Somit unterscheidet sich das Computer-Verarbeitungssystem **400** von **Fig. 4** insofern von dem Computer-Verarbeitungssystem **300** von **Fig. 3**, als es auch das Hauptregister **230** enthält, das in dem RAM **410** enthalten ist. Das Computer-Verarbeitungssystem **500** unterscheidet sich insofern von dem Computer-Verarbeitungssystem **300** von **Fig. 3**, als es auch das Hauptregister **230** enthält, das in einem einmal programmierbaren Speicher (und nicht in dem RAM **510**) enthalten ist. In Bezug auf die **Fig. 4** bis **Fig. 5** bilden das Hauptregister **230** und das Register fehlerhafter Bits **110** zusätzlich das Register **240** für ausgesonderte Bits.

**[0041]** Nunmehr wird ein Verfahren **600** unter Bezugnahme auf **Fig. 6** beschrieben. Es sollte einsichtig sein, dass das Verfahren **600** von **Fig. 6** unter Einbeziehen der folgenden durchgeführt werden kann: der Satz Register **100** von **Fig. 1**; und das Computer-Verarbeitungssystem **300** von **Fig. 3**. Ferner sollte einsichtig sein, dass das Verfahren **600** von **Fig. 6** auch unter Einbeziehen der folgenden durchgeführt werden kann, wobei das Hauptregister **230** nicht verwendet wird: der Satz Register **200** von **Fig. 2**; das Computer-Verarbeitungssystem **400** von **Fig. 4**; und das Computer-Verarbeitungssystem **500** von **Fig. 5**.

**[0042]** **Fig. 6** zeigt ein beispielhaftes Verfahren **600** zum Verarbeiten von fehlerhaften Bits gemäß einer Ausführungsform der vorliegenden Erfindung. An dem Verfahren **600** sind die folgenden beteiligt: ein Register fehlerhafter Bits (z.B. das Register fehlerhafter Bits **110** der **Fig. 1** und **Fig. 3**); und ein Register mutmaßlich fehlerhafter Bits (z.B. das Register **120** mutmaßlich fehlerhafter Bits der **Fig. 1** und **Fig. 3**).

**[0043]** In Schritt **610** werden (i) ein Register fehlerhafter Bits zum Speichern der Adressen von Wörtern, bei denen Bits mit einer unzulässigen Schreibfehler-rate festgestellt wurden, und (ii) ein Register mutmaßlich fehlerhafter Bits eingerichtet, um fehlerhafte Bits zu ermitteln, die in das Register fehlerhafter Bits geschrieben werden sollen. Gemäß einer Ausführungsform kann die unzulässige Schreibfehler-rate auf der Grundlage eines Schwellenwertes festgestellt werden. Gemäß einer Ausführungsform kann das Register mutmaßlich fehlerhafter Bits so eingerichtet werden, dass die zuallererst in das Register mutmaßlich fehlerhafter Bits geschriebene Adresse

als Reaktion darauf überschrieben wird, dass das Register mutmaßlich fehlerhafter Bits voll ist und eine Adresse darauf wartet, in das Register mutmaßlich fehlerhafter Bits geschrieben zu werden.

**[0044]** In Schritt **620** wird ermittelt, ob (z.B. unter Verwendung eines Fehlerkorrektur-Codes) ein Fehler festgestellt wurde. Wenn dies der Fall ist, wird das Verfahren in Schritt **630** fortgesetzt. Anderenfalls wird das Verfahren beendet.

**[0045]** In Schritt **630** wird nach Übereinstimmung mit einer Adresse eines Bits gesucht, das mit dem Fehler in dem Register mutmaßlich fehlerhafter Bits in Zusammenhang steht.

**[0046]** In Schritt **640** wird ermittelt, ob es eine Übereinstimmung gibt. Wenn dies der Fall ist, wird das Verfahren in Schritt **650** fortgesetzt. Anderenfalls wird das Verfahren in Schritt **660** fortgesetzt.

**[0047]** In Schritt **650** (Übereinstimmung vorhanden) wird die Adresse des Bits, das mit dem Fehler in Zusammenhang steht, aus dem Register mutmaßlich fehlerhafter Bits entfernt und in das Register fehlerhafter Bits geschrieben. Es ist davon auszugehen, dass das mit dem Fehler in Zusammenhang stehende Bit zwei Fehler aufweist, einen ersten Fehler, der dazu führt, dass die Adresse des Bits in das Register mutmaßlich fehlerhafter Bits geschrieben wird, und einen zweiten Fehler, der dazu führt, dass die Adresse des Bits in das Register fehlerhafter Bits geschrieben wird.

**[0048]** In Schritt **660** (keine Übereinstimmung) wird die Adresse des Bits, das mit dem Fehler in Zusammenhang steht, in das Register mutmaßlich fehlerhafter Bits geschrieben.

**[0049]** Nunmehr wird ein Verfahren **700** unter Bezugnahme auf die **Fig. 7** bis **Fig. 8** beschrieben. Es sollte einsichtig sein, dass das Verfahren **700** der **Fig. 7** bis **Fig. 8** durch Einbeziehen der folgenden durchgeführt werden kann: der Satz Register **200** von **Fig. 2**; das Computer-Verarbeitungssystem **400** von **Fig. 4**; und das Computer-Verarbeitungssystem **500** von **Fig. 5**.

**[0050]** Die **Fig. 7** bis **Fig. 8** zeigen ein anderes beispielhaftes Verfahren **700** zum Verarbeiten von fehlerhaften Bits gemäß einer Ausführungsform der vorliegenden Erfindung. An dem Verfahren **700** sind die folgenden beteiligt: ein Register fehlerhafter Bits (z.B. das Register fehlerhafter Bits **110** der **Fig. 2**, **Fig. 4** und **Fig. 5**); ein Hauptregister (z.B. das Hauptregister **230** der **Fig. 2**, **Fig. 4** und **Fig. 5**); und ein Register für ausgesonderte Bits (z.B. das Register **240** für ausgesonderte Bits der **Fig. 2**, **Fig. 4** und **Fig. 5**).

**[0051]** In Schritt **705** werden (i) ein Register fehlerhafter Bits zum Speichern der Adressen von Wörtern mit Bits, für die eine unzulässige Schreibfehler-rate festgestellt wurde, (ii) ein Register mutmaßlich fehlerhafter Bits zum Ermitteln von fehlerhaften Bits, die in das Register fehlerhafter Bits geschrieben werden sollen, und (iii) ein Hauptregister zum Ermitteln von Bits eingerichtet, die während eines Einbrennprozesses als fehlerhaft festgestellt wurden. Gemäß einer Ausführungsform kann die unzulässige Schreibfehler-rate auf der Grundlage eines Schwellenwertes festgestellt werden. Gemäß einer Ausführungsform können die während des Einbrennprozesses als fehlerhaft festgestellten Bits elektrischen Kurzschlüssen und elektrischen Leitungsunterbrechungen entsprechen. Gemäß einer Ausführungsform kann das Register mutmaßlich fehlerhafter Bits so eingerichtet werden, dass die zuallererst in das Register mutmaßlich fehlerhafter Bits geschriebenen Adressen als Reaktion darauf überschrieben werden, dass das Register mutmaßlich fehlerhafter Bits voll ist und eine Adresse darauf wartet, in das Register mutmaßlich fehlerhafter Bits geschrieben zu werden. Gemäß einer Ausführungsform kann das Register fehlerhafter Bits so eingerichtet werden, dass die zuallererst in das Register fehlerhafter Bits geschriebene Adresse als Reaktion darauf überschrieben wird, dass das Register fehlerhafter Bits voll ist und eine Adresse darauf wartet, in das Register fehlerhafter Bits geschrieben zu werden.

**[0052]** In Schritt **710** wird aus dem Hauptregister und dem Register fehlerhafter Bits ein Register für ausgesonderte Bits gebildet. Das Register für ausgesonderte Bits dient zum Aussondern von Wörtern, die als fehlerhaft bestimmt wurden, und zum Ersetzen der als fehlerhaft festgestellten Wörter durch eine entsprechende redundante Adresse.

**[0053]** In Schritt **715** werden unter Verwendung des Registers für ausgesonderte Bits die als fehlerhaft festgestellten Wörter ausgesondert und jeweils durch eine entsprechende redundante Adresse ersetzt.

**[0054]** In Schritt **720** wird ermittelt, ob ein Fehler (z.B. unter Verwendung eines Fehlerkorrektur-Codes) ermittelt wurde. Wenn dies der Fall ist, wird das Verfahren in Schritt **730** fortgesetzt. Anderenfalls wird das Verfahren beendet.

**[0055]** In Schritt **730** wird in dem Register mutmaßlich fehlerhafter Bits nach einer Übereinstimmung mit einer Adresse eines mit dem Fehler in Zusammenhang stehenden Bits gesucht.

**[0056]** In Schritt **740** wird ermittelt, ob eine Übereinstimmung vorliegt. Wenn dies der Fall ist, wird das Verfahren in Schritt **750** fortgesetzt. Anderenfalls wird das Verfahren in Schritt **760** fortgesetzt.

**[0057]** In Schritt **750** (Übereinstimmung vorhanden) wird die Adresse des mit dem Fehler in Zusammenhang stehenden Bits aus dem Register mutmaßlich fehlerhafter Bits entfernt und in das Register fehlerhafter Bits geschrieben. Es ist davon auszugehen, dass das mit dem Fehler in Zusammenhang stehende Bit zwei Fehler aufweist, einen ersten Fehler, der dazu führt, dass die Adresse des Bits in das Register mutmaßlich fehlerhafter Bits aufgenommen wird, und einen zweiten Fehler, der dazu führt, dass die Adresse des Bits in das Register fehlerhafter Bits aufgenommen wird.

**[0058]** In Schritt **760** (keine Übereinstimmung) wird die Adresse des mit dem Fehler in Zusammenhang stehenden Bits in das Register fehlerhafter Bits geschrieben.

**[0059]** Bei der vorliegenden Erfindung kann es sich um ein System, ein Verfahren und/oder ein Computerprogrammprodukt handeln. Das Computerprogrammprodukt kann (ein) durch einen Computer lesbare(s) Speichermedium (oder -medien) beinhalten, auf dem/denen durch einen Computer lesbare Programmanweisungen gespeichert ist/sind, um einen Prozessor dazu zu veranlassen, Aspekte der vorliegenden Erfindung auszuführen.

**[0060]** Bei dem durch einen Computer lesbaren Speichermedium kann es sich um eine physische Einheit handeln, die Anweisungen zur Verwendung durch ein System zur Ausführung von Anweisungen behalten und speichern kann. Bei dem durch einen Computer lesbaren Speichermedium kann es sich zum Beispiel um eine elektronische Speichereinheit, eine magnetische Speichereinheit, eine optische Speichereinheit, eine elektromagnetische Speichereinheit, eine Halbleiterspeichereinheit oder jede geeignete Kombination daraus handeln, ohne auf diese beschränkt zu sein. Zu einer nicht erschöpfenden Liste spezifischerer Beispiele des durch einen Computer lesbaren Speichermediums gehören die Folgenden: eine tragbare Computerdiskette, eine Festplatte, ein Direktzugriff-Speicher (RAM), ein Nur-Lese-Speicher (ROM), ein löschbarer programmierbarer Nur-Lese-Speicher (EPROM bzw. Flash-Speicher), ein statischer Direktzugriff-Speicher (SRAM), ein tragbarer Kompaktspeicherplatte-Nur-Lese-Speicher (CD-ROM), eine DVD (digital versatile disc), ein Speicher-Stick, eine Diskette, eine mechanisch codierte Einheit wie zum Beispiel Lochkarten oder gehobene Strukturen in einer Rille, auf denen Anweisungen gespeichert sind, und jede geeignete Kombination daraus. Ein durch einen Computer lesbares Speichermedium soll in der Verwendung hierin nicht als flüchtige Signale an sich aufgefasst werden, wie zum Beispiel Funkwellen oder andere sich frei ausbreitende elektromagnetische Wellen, elektromagnetische Wellen, die sich durch einen Wellenleiter oder ein anderes Übertragungsmedium ausbreiten (z.B.

ein Lichtwellenleiterkabel durchlaufende Lichtimpulse) oder durch einen Draht übertragene elektrische Signale.

**[0061]** Hierin beschriebene, durch einen Computer lesbare Programmanweisungen können von einem durch einen Computer lesbaren Speichermedium auf jeweilige Datenverarbeitungs/Verarbeitungseinheiten oder über ein Netzwerk wie zum Beispiel das Internet, ein lokales Netzwerk, ein Weitverkehrsnetz und/oder ein drahtloses Netzwerk auf einen externen Computer oder eine externe Speichereinheit heruntergeladen werden. Das Netzwerk kann Kupferübertragungskabel, Lichtwellenübertragungsleiter, drahtlose Übertragung, Leitwegrechner, Firewalls, Vermittlungseinheiten, Gateway-Computer und/oder Edge-Server aufweisen. Eine Netzwerkadapterkarte oder Netzwerkschnittstelle in jeder Datenverarbeitungs-/Verarbeitungseinheit empfängt durch einen Computer lesbare Programmanweisungen aus dem Netzwerk und leitet die durch einen Computer lesbaren Programmanweisungen zur Speicherung in einem durch einen Computer lesbaren Speichermedium innerhalb der entsprechenden Datenverarbeitungs/Verarbeitungs-Einheit weiter.

**[0062]** Bei durch einen Computer lesbaren Programmanweisungen zum Ausführen von Arbeitsschritten der vorliegenden Erfindung kann es sich um Assembler-Anweisungen, ISA-Anweisungen (Instruction-Set-Architecture), Maschinenanweisungen, maschinenabhängige Anweisungen, Mikrocode, Firmware-Anweisungen, zustandssetzende Daten oder entweder Quellcode oder Objektcode handeln, die in einer beliebigen Kombination aus einer oder mehreren Programmiersprachen geschrieben werden, darunter objektorientierte Programmiersprachen wie SMALLTALK, C++ o.ä. sowie herkömmliche prozedurale Programmiersprachen wie die Programmiersprache „C“ oder ähnliche Programmiersprachen. Die durch einen Computer lesbaren Programmanweisungen können vollständig auf dem Computer des Benutzers, teilweise auf dem Computer des Benutzers, als eigenständiges Software-Paket, teilweise auf dem Computer des Benutzers und teilweise auf einem fernen Computer oder vollständig auf dem fernen Computer oder Server ausgeführt werden. In letzterem Fall kann der entfernt angeordnete Computer mit dem Computer des Benutzers durch eine beliebige Art Netzwerk verbunden sein, darunter ein lokales Netzwerk (LAN) oder ein Weitverkehrsnetz (WAN), oder die Verbindung kann mit einem externen Computer hergestellt werden (zum Beispiel über das Internet unter Verwendung eines Internet-Diensteanbieters). In einigen Ausführungsformen können elektronische Schaltungen, darunter zum Beispiel programmierbare Logikschaltungen, vor Ort programmierbare Gatter-Anordnungen (FPGA, field programmable gate arrays) oder programmierbare Logikanordnungen (PLA, programma-

ble logic arrays) die durch einen Computer lesbaren Programmanweisungen ausführen, indem sie Zustandsinformationen der durch einen Computer lesbaren Programmanweisungen nutzen, um die elektronischen Schaltungen zu personalisieren, um Aspekte der vorliegenden Erfindung durchzuführen.

**[0063]** Aspekte der vorliegenden Erfindung sind hierin unter Bezugnahme auf Ablaufpläne und/oder Blockschaltbilder bzw. Schaubilder von Verfahren, Vorrichtungen (Systemen) und Computerprogrammprodukten gemäß Ausführungsformen der Erfindung beschrieben. Es wird darauf hingewiesen, dass jeder Block der Ablaufpläne und/oder der Blockschaltbilder bzw. Schaubilder sowie Kombinationen von Blöcken in den Ablaufplänen und/oder den Blockschaltbildern bzw. Schaubildern mittels durch einen Computer lesbare Programmanweisungen ausgeführt werden können.

**[0064]** Diese durch einen Computer lesbaren Programmanweisungen können einem Prozessor eines Universalcomputers, eines Spezialcomputers oder einer anderen programmierbaren Datenverarbeitungsvorrichtung bereitgestellt werden, um eine Maschine zu erzeugen, so dass die über den Prozessor des Computers bzw. der anderen programmierbaren Datenverarbeitungsvorrichtung ausgeführten Anweisungen ein Mittel zur Umsetzung der in dem Block bzw. den Blöcken der Ablaufpläne und/oder der Blockschaltbilder bzw. Schaubilder festgelegten Funktionen/Schritte erzeugen. Diese durch einen Computer lesbaren Programmanweisungen können auch auf einem durch einen Computer lesbaren Speichermedium gespeichert sein, das einen Computer, eine programmierbare Datenverarbeitungsvorrichtung und/oder andere Einheiten so steuern kann, dass sie auf eine bestimmte Art funktionieren, so dass das durch einen Computer lesbare Speichermedium, auf dem Anweisungen gespeichert sind, ein Herstellungsprodukt aufweist, darunter Anweisungen, welche Aspekte der/des in dem Block bzw. den Blöcken des Ablaufplans und/oder der Blockschaltbilder bzw. Schaubilder angegebenen Funktion/Schritts umsetzen.

**[0065]** Die durch einen Computer lesbaren Programmanweisungen können auch auf einen Computer, eine andere programmierbare Datenverarbeitungsvorrichtung oder eine andere Einheit geladen werden, um das Ausführen einer Reihe von Prozessschritten auf dem Computer bzw. der anderen programmierbaren Vorrichtung oder anderen Einheit zu verursachen, um einen auf einem Computer ausgeführten Prozess zu erzeugen, so dass die auf dem Computer, einer anderen programmierbaren Vorrichtung oder einer anderen Einheit ausgeführten Anweisungen die in dem Block bzw. den Blöcken der Ablaufpläne und/oder der Blockschaltbilder bzw. Schaubilder festgelegten Funktionen/Schritte umsetzen.

**[0066]** Die Ablaufpläne und die Blockschaltbilder bzw. Schaubilder in den Figuren veranschaulichen die Architektur, die Funktionalität und den Betrieb möglicher Ausführungen von Systemen, Verfahren und Computerprogrammprodukten gemäß verschiedenen Ausführungsformen der vorliegenden Erfindung. In diesem Zusammenhang kann jeder Block in den Ablaufplänen oder Blockschaltbildern bzw. Schaubildern ein Modul, ein Segment oder einen Teil von Anweisungen darstellen, die eine oder mehrere ausführbare Anweisungen zur Ausführung der bestimmten logischen Funktion(en) aufweisen. In einigen alternativen Ausführungen können die in den Blöcken angegebenen Funktionen in einer anderen Reihenfolge als in den Figuren gezeigt stattfinden. Zwei nacheinander gezeigte Blöcke können zum Beispiel in Wirklichkeit im Wesentlichen gleichzeitig ausgeführt werden, oder die Blöcke können manchmal je nach entsprechender Funktionalität in umgekehrter Reihenfolge ausgeführt werden. Es ist ferner anzumerken, dass jeder Block der Blockschaltbilder bzw. Schaubilder und/oder der Ablaufpläne sowie Kombinationen aus Blöcken in den Blockschaltbildern bzw. Schaubildern und/oder den Ablaufplänen durch spezielle auf Hardware beruhende Systeme umgesetzt werden können, welche die festgelegten Funktionen oder Schritte durchführen, oder Kombinationen aus Spezial-Hardware und Computeranweisungen ausführen.

**[0067]** Bei Bezugnahmen in der Beschreibung der vorliegenden Erfindung auf „eine bestimmte Ausführungsform“ oder „eine Ausführungsform“ sowie weitere Varianten ist davon auszugehen, dass ein bestimmtes Merkmal, eine bestimmte Struktur, Eigenschaft und so weiter, die in Verbindung mit der Ausführungsform beschrieben werden, in mindestens einer Ausführungsform der vorliegenden Erfindung enthalten sind. Somit betreffen nicht alle Fälle der Formulierung „gemäß einer bestimmten Ausführungsform“ oder „gemäß einer Ausführungsform“ an verschiedenen Stellen der Beschreibung nicht unbedingt nur ein und dieselbe Ausführungsform.

**[0068]** Es sollte einsichtig sein, dass bei Verwendung einer der folgenden Formulierungen „/“, „und/oder“ und „mindestens eines von“, zum Beispiel in den Fällen „**A/B**“, „**A und/oder B**“ und „mindestens eines von **A** und **B**“, entweder ausschließlich die Auswahl der ersten aufgeführten Option (**A**) oder ausschließlich die Auswahl der zweiten aufgeführten Option (**B**) oder die Auswahl beider Optionen (**A** und **B**) erfasst sein soll. Ein weiteres Beispiel besagt, dass bei Verwendung der Formulierungen „**A, B und/oder C**“ und „mindestens eines von **A, B** und **C**“ entweder ausschließlich die Auswahl der ersten aufgeführten Option (**A**) oder ausschließlich die Auswahl der zweiten aufgeführten Option (**B**) oder ausschließlich die Auswahl der dritten aufgeführten Option (**C**) oder ausschließlich die Auswahl der ersten und der zwei-

ten aufgeführten Option (**A** und **B**) oder ausschließlich die Auswahl der ersten und der dritten aufgeführten Option (**A** und **C**) oder ausschließlich die Auswahl der zweiten und der dritten aufgeführten Option (**B** und **C**) oder die Auswahl aller drei Optionen (**A** und **B** und **C**) erfasst sein soll. Dem Fachmann ist klar, dass diese Auswahl auf beliebig viele Einzelpositionen erweitert werden kann.

**[0069]** Nach der Beschreibung bevorzugter Ausführungsformen eines Systems und eines Verfahrens (die der Veranschaulichung dienen und keine Einschränkung darstellen sollen) wird darauf hingewiesen, dass ein Fachmann ausgehend von den obigen Lehren Änderungen und Varianten daran vornehmen kann. Deshalb sollte klar sein, dass an den einzelnen offenbarten Ausführungsformen Änderungen vorgenommen werden können, die innerhalb des Schutzzumfangs der Erfindung liegen, der durch die beiliegenden Ansprüche dargelegt wird. Nach dieser Beschreibung von Aspekten der Erfindung einschließlich der durch die Patentgesetze geforderten Einzelheiten und Ausführlichkeit wird nunmehr in den beiliegenden Ansprüchen dargelegt, wofür der Schutz durch die Patentschrift beansprucht und gewünscht wird.

### Patentansprüche

1. Speichereinheit, die aufweist:  
einen nichtflüchtigen Direktzugriff-Speicher, der enthält:  
ein Register mutmaßlich fehlerhafter Bits zum Speichern der Adressen von Bits, bei denen Fehler festgestellt wurden; und  
ein Register fehlerhafter Bits zum Speichern der Adressen von Bits, die aufgrund eines ersten Fehlers in dem Register mutmaßlich fehlerhafter Bits gespeichert sind und bei denen zudem (ii) ein zweiter Fehler festgestellt wurde.
2. Speichereinheit nach Anspruch 1, wobei das Register mutmaßlich fehlerhafter Bits zum Speichern der Adressen der Bits dient, bei denen Fehler nach einem Einbrennprozess festgestellt wurden, wobei die Speichereinheit ferner ein Hauptregister zum Ermitteln von Bits aufweist, bei denen Fehler während eines Einbrennprozesses festgestellt wurden.
3. Speichereinheit nach Anspruch 2, wobei das Hauptregister und das Register fehlerhafter Bits als Register für ausgesonderte Bits dienen.
4. Speichereinheit nach Anspruch 3, wobei das Hauptregister und das Register fehlerhafter Bits in dem nichtflüchtigen Direktzugriff-Speicher enthalten sind.
5. Speichereinheit nach Anspruch 2, wobei die während des Einbrennprozesses als fehlerhaft fest-

gestellten Bits elektrischen Kurzschlüssen und elektrischen Leitungsunterbrechungen entsprechen.

6. Speichereinheit nach Anspruch 2, wobei das Hauptregister in dem nichtflüchtigen Direktzugriff-Speicher enthalten ist.

7. Speichereinheit nach Anspruch 2, wobei das Hauptregister in einer einmal programmierbaren Speichereinheit enthalten ist.

8. Speichereinheit nach Anspruch 1, wobei es sich bei dem nichtflüchtigen Direktzugriff-Speicher um einen magnetoresistiven Spinnmoment-Direktzugriff-Speicher mit magnetischen Tunnelübergängen handelt.

9. Speichereinheit nach Anspruch 1, wobei eine zuallererst in das Register mutmaßlich fehlerhafter Bits geschriebene Adresse als Reaktion darauf überschrieben wird, dass das Register mutmaßlich fehlerhafter Bits voll ist und eine Adresse darauf wartet, in das Register mutmaßlich fehlerhafter Bits geschrieben zu werden.

10. Speichereinheit nach Anspruch 1, wobei eine zuallererst in das Register fehlerhafter Bits geschriebene Adresse als Reaktion darauf überschrieben wird, dass das Register fehlerhafter Bits voll ist und eine Adresse darauf wartet, in das Register fehlerhafter Bits geschrieben zu werden.

11. Computergestütztes Verfahren, das aufweist:  
Einrichten eines Registers für mutmaßlich fehlerhafte Bits in einem nichtflüchtigen Direktzugriff-Speicher zum Speichern der Adressen von Bits, bei denen Fehler festgestellt wurden; und  
Einrichten eines Registers fehlerhafter Bits in dem nichtflüchtigen Direktzugriff-Speicher zum Speichern der Bits, die (i) aufgrund eines ersten Fehlers in dem Register mutmaßlich fehlerhafter Bits gespeichert sind als auch bei denen zudem (ii) ein zweiter Fehler festgestellt wurde.

12. Computergestütztes Verfahren nach Anspruch 11, wobei das Register mutmaßlich fehlerhafter Bits zum Speichern der Adresse der Bits dient, bei denen die Fehler nach einem Einbrennprozess festgestellt wurden, und wobei das Verfahren ferner Einrichten eines Hauptregisters zum Ermitteln von Bits aufweist, die während eines Einbrennprozesses als fehlerhaft festgestellt wurden.

13. Computergestütztes Verfahren nach Anspruch 12, das ferner Einrichten des Hauptregisters und des Registers fehlerhafter Bits als Register für ausgesonderte Bits aufweist.

14. Computergestütztes Verfahren nach Anspruch 13, wobei das Hauptregister und das Register fehler-

hafter Bits in dem nichtflüchtigen Direktzugriff-Speicher enthalten sind.

15. Computergestütztes Verfahren nach Anspruch 12, wobei die während des Einbrennprozesses als fehlerhaft festgestellten Bits elektrischen Kurzschlüssen und elektrischen Leitungsunterbrechungen entsprechen.

16. Computergestütztes Verfahren nach Anspruch 12, wobei das Hauptregister in dem nichtflüchtigen Direktzugriff-Speicher eingerichtet ist.

17. Computergestütztes Verfahren nach Anspruch 12, wobei das Hauptregister in einer einmal programmierbaren Speichereinheit eingerichtet ist.

18. Computergestütztes Verfahren nach Anspruch 11, wobei es sich bei dem nichtflüchtigen Direktzugriff-Speicher um einen magnetoresistiven Spinmoment-Direktzugriff-Speicher mit magnetischen Tunnelübergängen handelt.

19. Speichersystem, das aufweist:  
ein Register fehlerhafter Bits zum Speichern der Adressen von Wörtern, die Bits mit einer unzulässigen Schreibfehlerrate enthalten;  
ein Register mutmaßlich fehlerhafter Bits zum Ermitteln von fehlerhaften Bits, die in das Register fehlerhafter Bits geschrieben werden sollen;  
einen Prozessor zum:  
Suchen nach einer Adresse eines mit dem Fehler in Zusammenhang stehenden Bits in dem Register mutmaßlich fehlerhafter Bits als Reaktion auf Feststellen eines Fehlers unter Verwendung eines Fehlerkorrektur-Codes, und  
Entfernen der Adresse des mit dem Fehler in Zusammenhang stehenden Bits aus dem Register mutmaßlich fehlerhafter Bits und, als Reaktion auf ein Vorliegen der Übereinstimmung, Schreiben der Adresse des mit dem Fehler in Zusammenhang stehenden Bits in das Register fehlerhafter Bits.

20. Speichersystem nach Anspruch 19, wobei der Prozessor dazu dient, die Adresse des mit dem Fehler in Zusammenhang stehenden Bits als Reaktion auf ein Fehlen der Übereinstimmung in das Register mutmaßlich fehlerhafter Bits zu schreiben.

21. Speichersystem nach Anspruch 19, das ferner ein Hauptregister zum Ermitteln von Bits dient, die während eines Einbrennprozesses als fehlerhaft festgestellt wurden.

22. Speichersystem nach Anspruch 21, wobei das Hauptregister und das Register fehlerhafter Bits als Register für ausgesonderte Bits dienen und wobei der Prozessor dazu dient, das Register für ausgesonderte Bits zum Aussondern als fehlerhaft ermittelter Wörter zu verwenden und jedes der als fehlerhaft ermit-

telten Wörter durch eine entsprechende redundante Adresse zu ersetzen.

23. Speichersystem nach Anspruch 19, wobei das Register fehlerhafter Bits, das Register mutmaßlich fehlerhafter Bits und das Hauptregister in ein und derselben nichtflüchtigen Speichereinheit enthalten sind.

24. Speichersystem nach Anspruch 19, wobei das Register fehlerhafter Bits und das Register mutmaßlich fehlerhafter Bits in ein und derselben nichtflüchtigen Speichereinheit enthalten sind und das Hauptregister in einer anderen nichtflüchtigen Speichereinheit enthalten ist.

25. Computergestütztes Verfahren, das aufweist:  
Einrichten (i) eines Registers fehlerhafter Bits zum Speichern der Adressen von Wörtern, die Bits mit einer unzulässigen Schreibfehlerrate enthalten, und (ii) eines Registers für mutmaßlich fehlerhafte Bits zum Ermitteln von fehlerhaften Bits, die in das Register mutmaßlich fehlerhafter Bits geschrieben werden sollen,  
wobei das Verfahren ferner beinhaltet, als Reaktion auf Feststellen eines Fehlers unter Verwendung eines Fehlerkorrektur-Codes nach einer Übereinstimmung mit einer Adresse eines mit dem Fehler in Zusammenhang stehenden Bits in dem Register mutmaßlich fehlerhafter Bits zu suchen, und  
wobei das Verfahren ferner beinhaltet, die Adresse des mit dem Fehler in Zusammenhang stehenden Bits aus dem Register mutmaßlich fehlerhafter Bits zu entfernen und in das Register fehlerhafter Bits zu schreiben.

Es folgen 8 Seiten Zeichnungen

Anhängende Zeichnungen

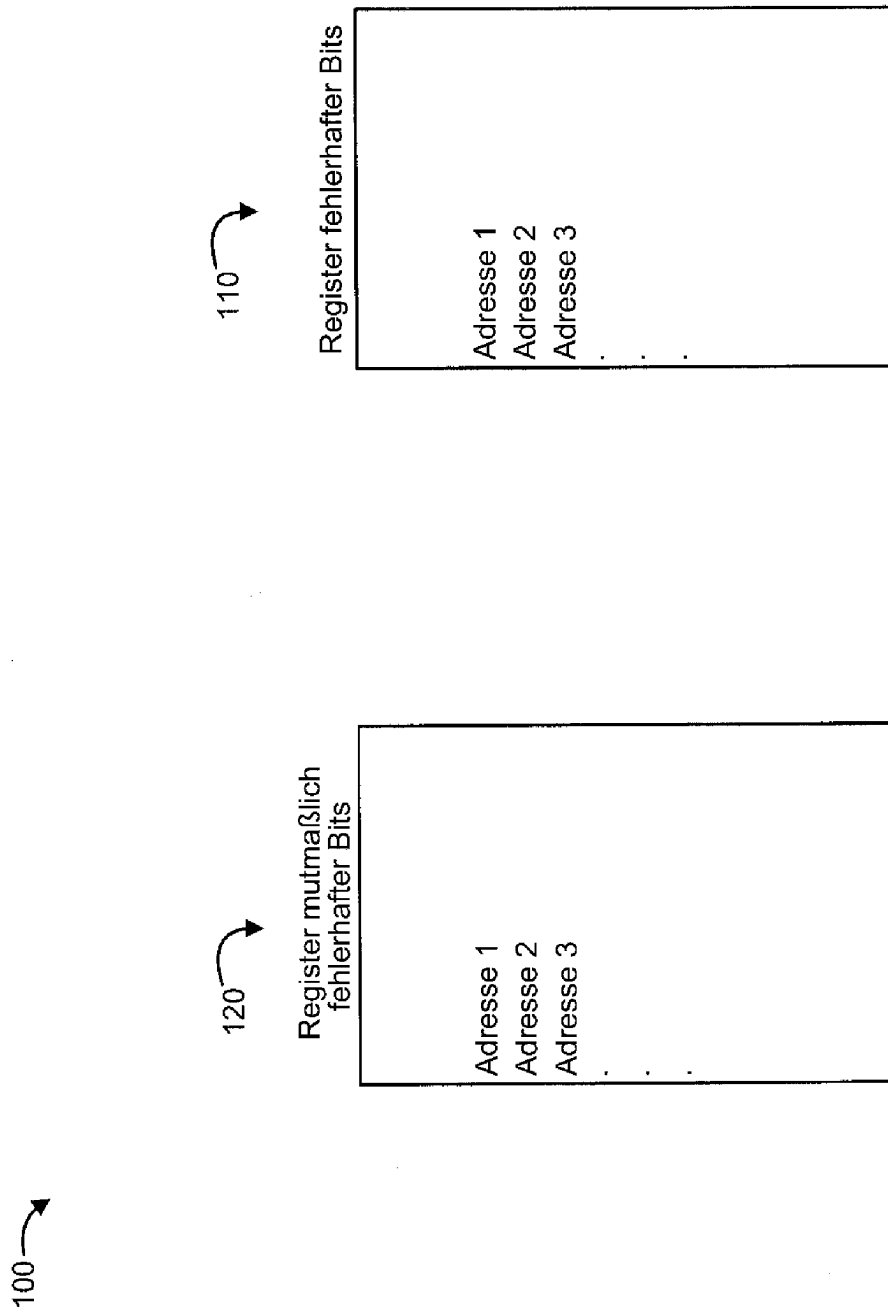


FIG. 1

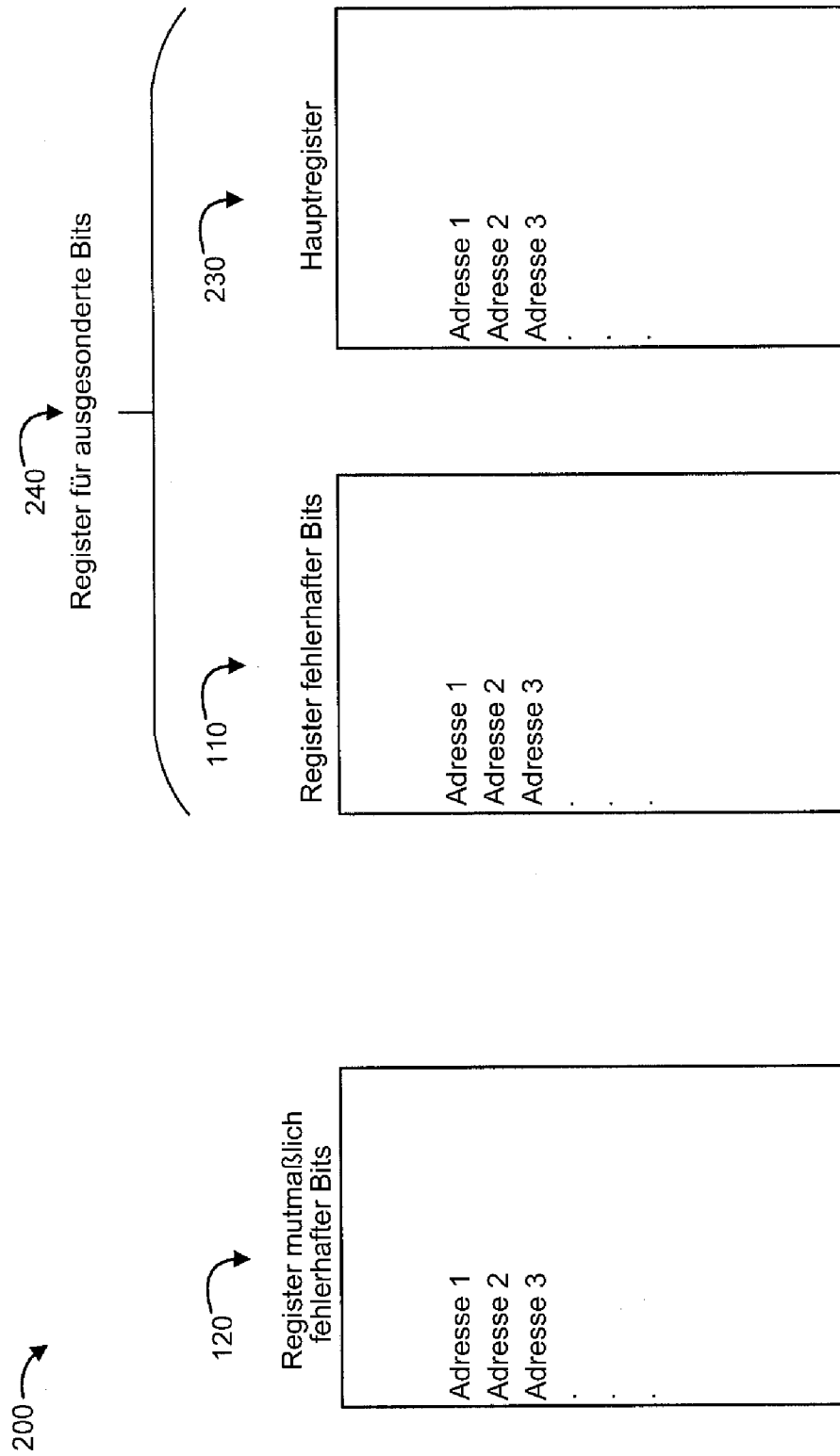


FIG. 2

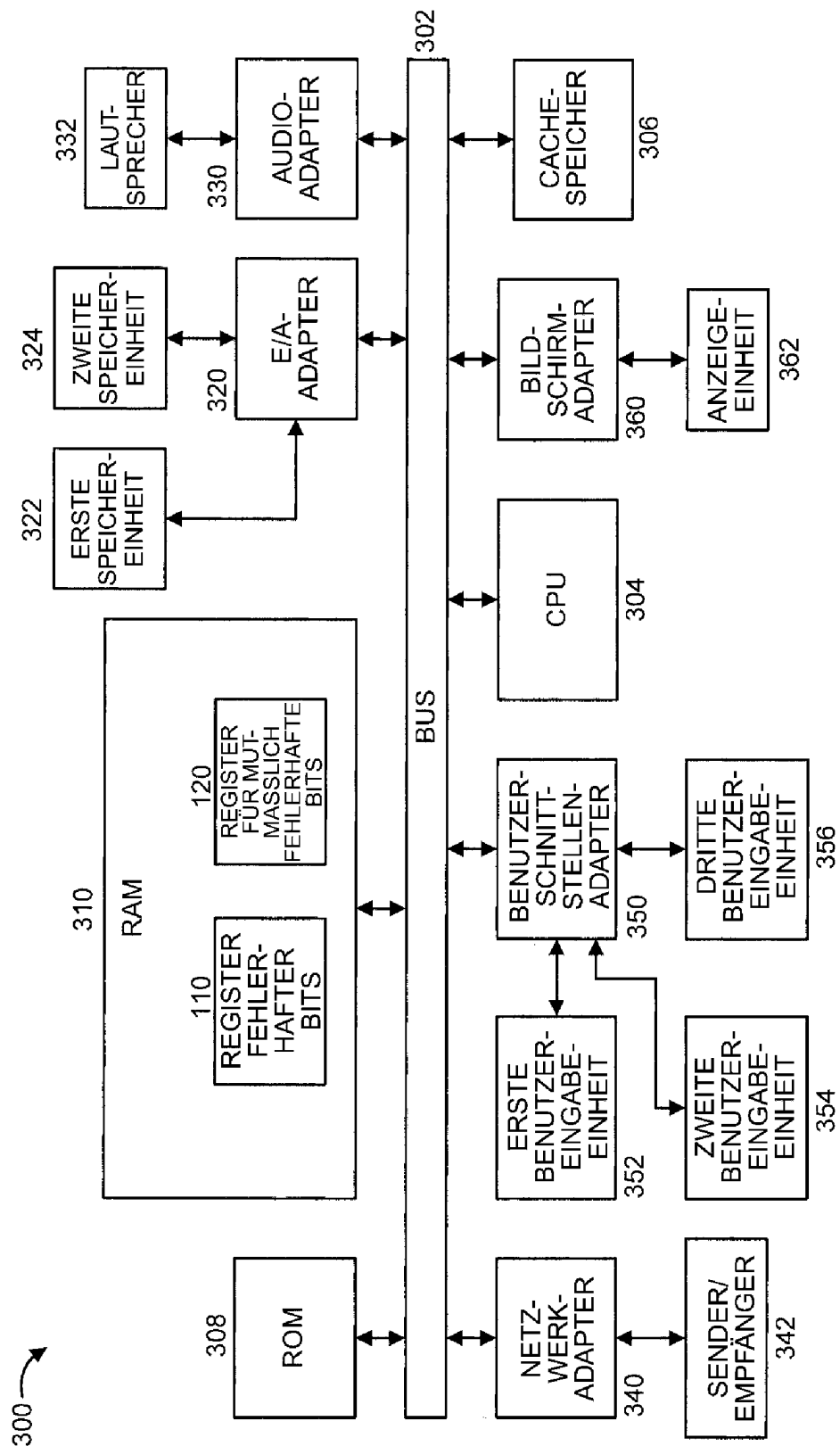


FIG. 3

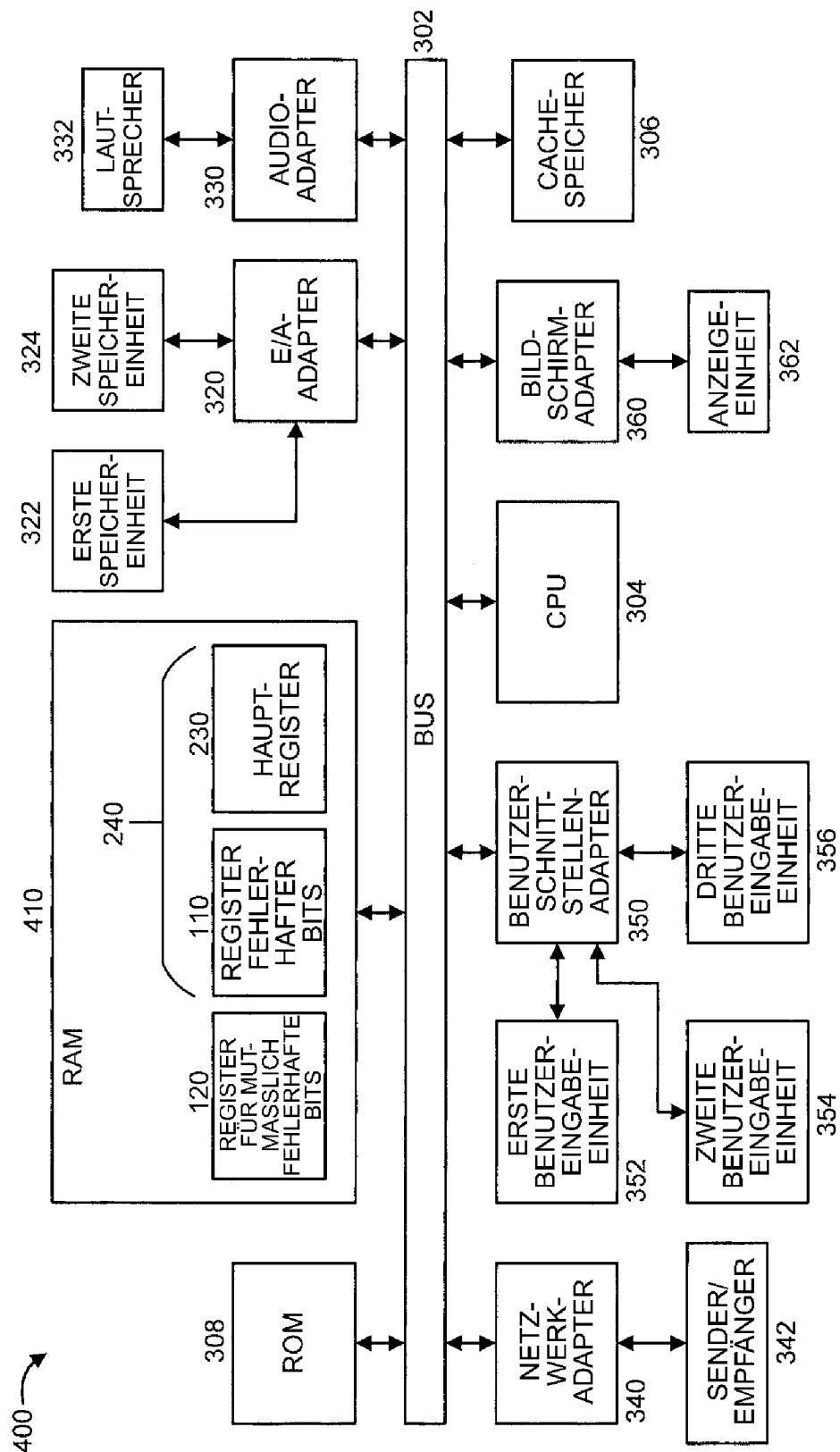


FIG. 4

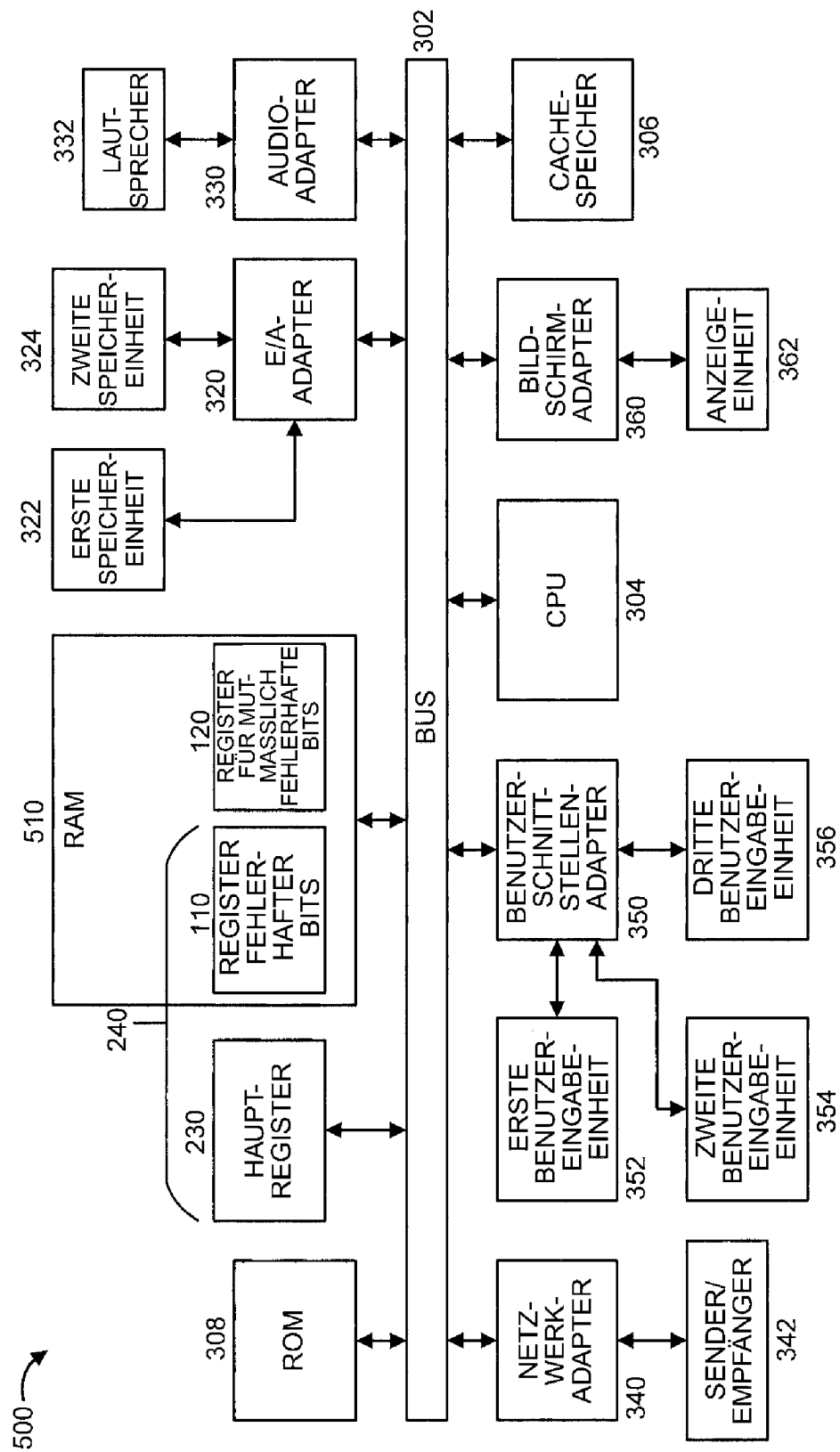


Fig. 5

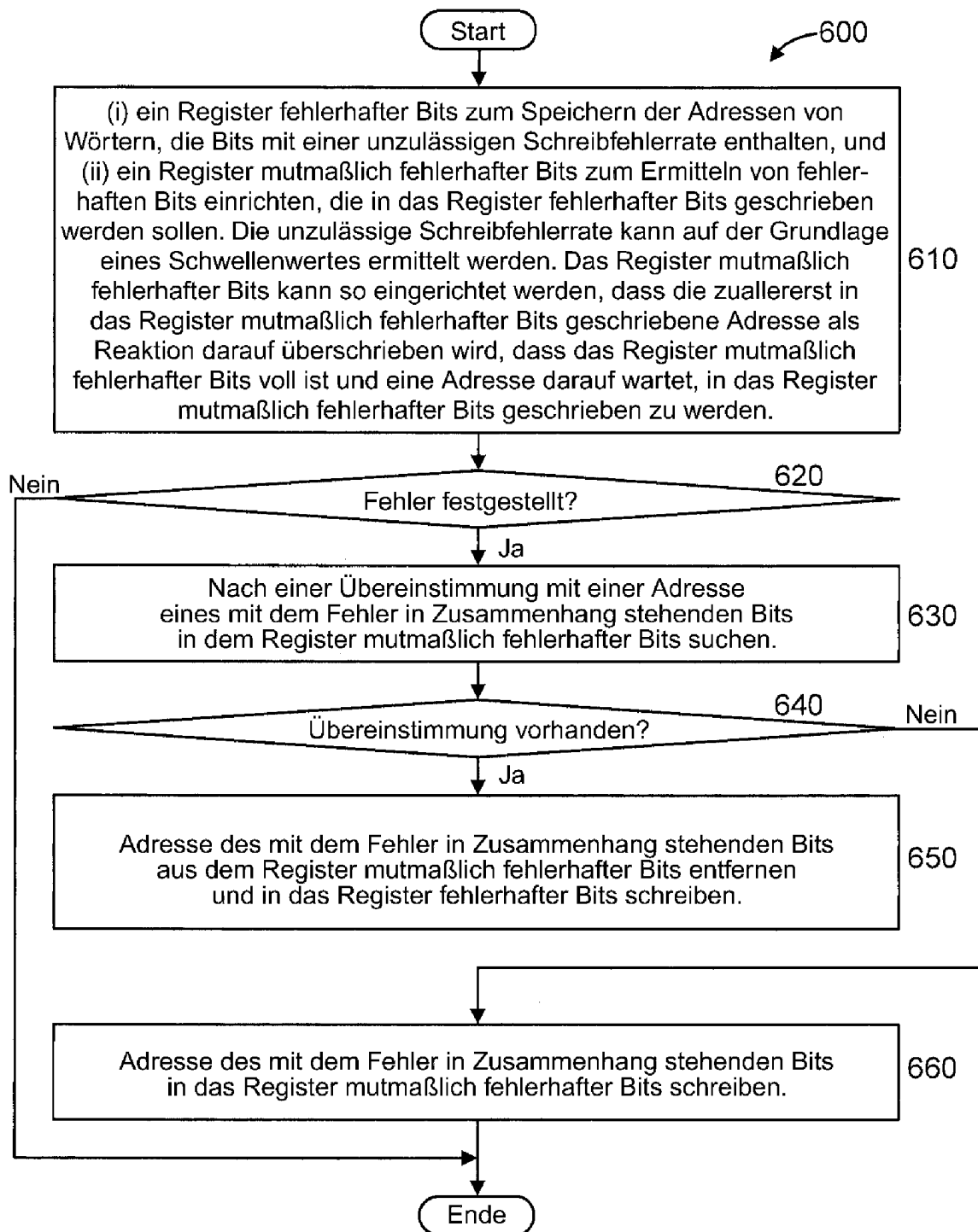
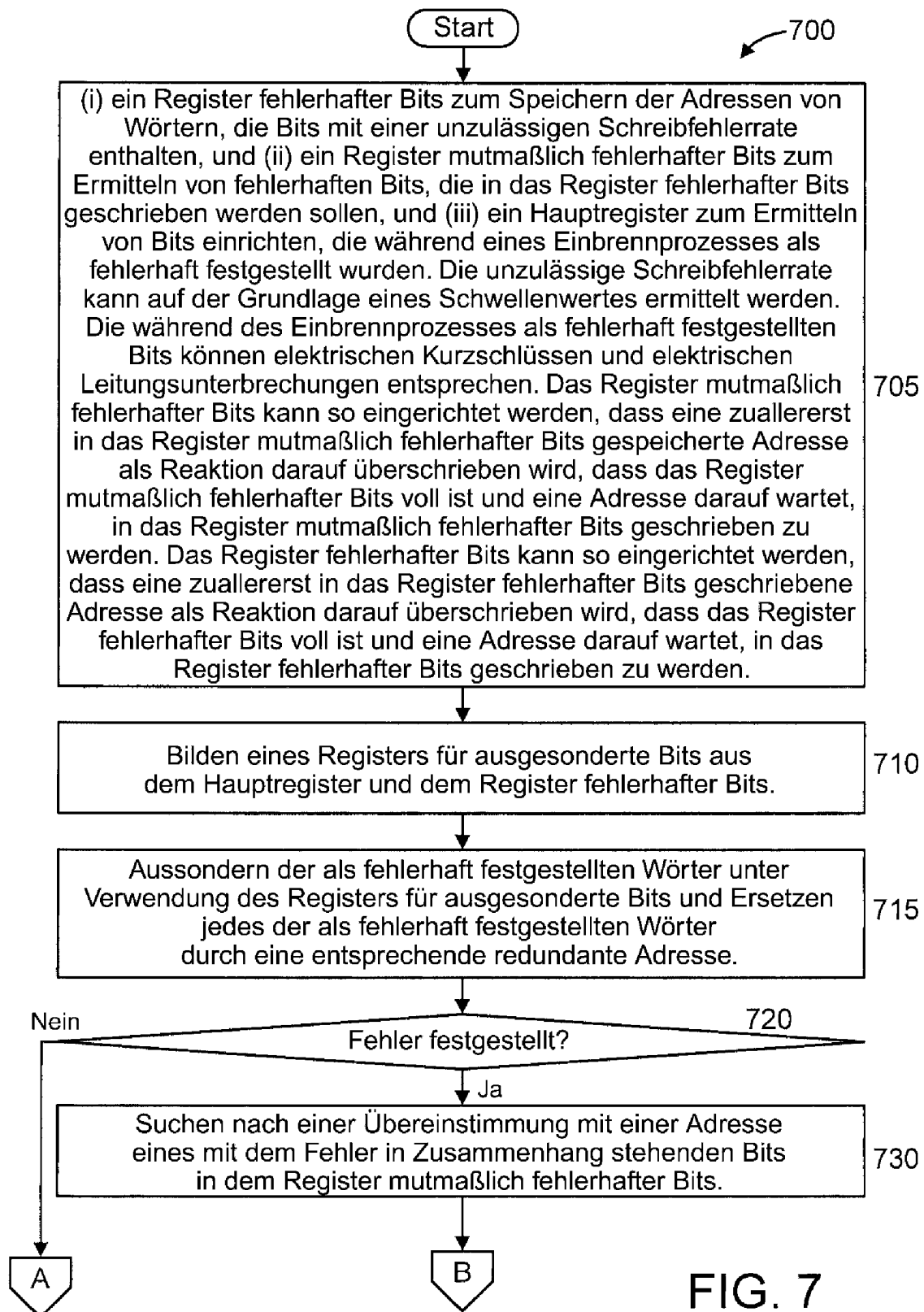


FIG. 6



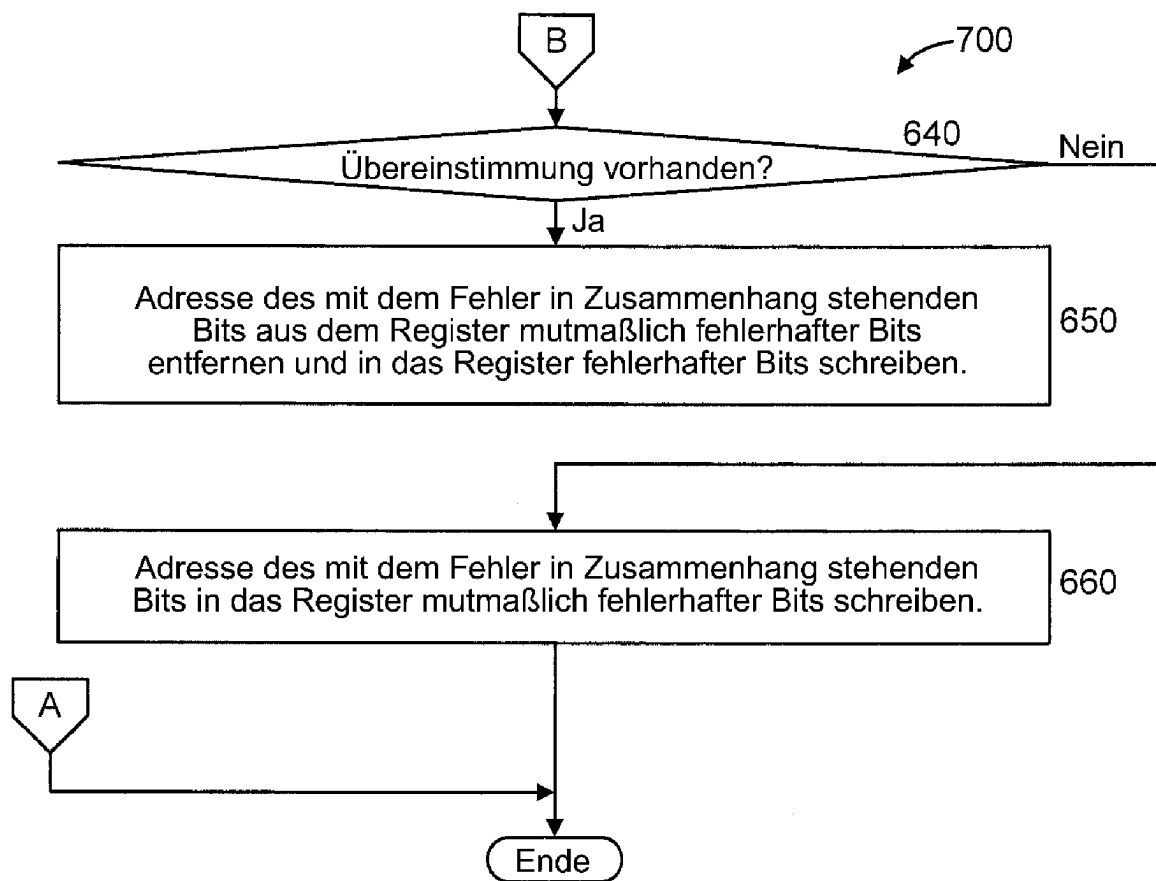


FIG. 8