

【公報種別】特許法第 17 条の 2 の規定による補正の掲載
 【部門区分】第 6 部門第 3 区分
 【発行日】令和 2 年 10 月 8 日 (2020.10.8)

【公表番号】特表 2019-525362 (P2019-525362A)
 【公表日】令和 1 年 9 月 5 日 (2019.9.5)
 【年通号数】公開・登録公報 2019-036
 【出願番号】特願 2019-511460 (P2019-511460)
 【国際特許分類】

G 0 6 F 11/10 (2006.01)

【 F I 】

G 0 6 F 11/10 6 6 2

【手続補正書】

【提出日】令和 2 年 8 月 21 日 (2020.8.21)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

メモリ回路のためのエラー補正コード (ECC) ハードウェアであって、
 書き込みデータから第 1 の ECC ビットを生成し、前記第 1 の ECC ビットと前記書き込みデータとを前記メモリ回路に書き込むための書き込み生成 (Gen) ECC ロジックを含む書き込み経路回路要素と、

前記メモリ回路からの読み出しデータを結合するためのチェック ECC ブロックを含む読み出し経路回路要素であって、前記チェック ECC ブロックが、読み出し生成 ECC ロジックと、前記読み出し生成 ECC ロジックに結合される XOR 回路とを含み、前記 XOR 回路が、前記メモリ回路の ECC 出力に結合するための入力と、単一ビットエラー補正 (SEC) ブロックに結合されるシンドロームデコードブロックにシンドローム信号を提供するための出力とを有し、前記シンドロームデコードブロックが、マルチビットエラー検出 (MED) 割り込み信号を生成する、前記読み出し経路回路要素と、

前記書き込み生成 ECC ロジックへの入力と直列に前記書き込みデータを受信するための第 1 の入力を有する第 1 のマルチプレクサ (MUX)、又は前記読み出し生成 ECC ロジックの入力と直列に前記メモリ回路から前記読み出しデータを受信するための第 1 の入力を有する第 2 の MUX と、

前記メモリ回路から前記第 1 の MUX の第 2 の入力に前記読み出しデータを結合するためのクロスカップリングコネクタ、又は前記書き込みデータを前記第 2 の MUX の第 2 の入力に結合するためのクロスカップリングコネクタと、

前記書き込み生成 ECC ロジックの出力を前記読み出し生成 ECC ロジックの出力と比較するための ECC ビットコンパレータと、
 を含む、ECC ハードウェア。

【請求項 2】

請求項 1 に記載の ECC ハードウェアであって、
 前記コンパレータの出力が、前記シンドロームデコードブロックへのイネーブル入力と前記 SEC ブロックへのイネーブル入力として結合される、ECC ハードウェア。

【請求項 3】

請求項 1 に記載の ECC ハードウェアであって、
 前記 ECC ハードウェアと前記メモリ回路とが、少なくとも半導体表面を有する共通基

板に形成される、ECCハードウェア。

【請求項4】

請求項1に記載のECCハードウェアであって、

前記ECCハードウェアが、前記第1のMUXと前記第2のMUXとを含む、ECCハードウェア。

【請求項5】

メモリ回路のためのエラー補正コード(ECC)ハードウェアであって、

書き込みデータから第1のECCビットを生成し、前記第1のECCビット及び前記書き込みデータを前記メモリ回路に書き込むための書き込み生成(Gen)ECCロジックを含む書き込み経路回路要素と、

前記メモリ回路からの読み出しデータを結合するためのチェックECCブロックを含む読み出し経路回路要素であって、前記チェックECCブロックが、読み出し生成ECCロジックと、前記読み出しECCブロックに結合されるXOR回路とを含み、前記XOR回路が、前記メモリ回路のECC出力に結合するための入力と、単一ビットエラー補正(SEC)ブロックに結合されるシンドロームデコードブロックにシンドローム信号を提供するための出力とを有し、前記シンドロームデコードブロックが、マルチビットエラー検出(MED)割り込み信号を生成する、前記読み出し経路回路要素と、

前記書き込み生成ECCロジックへの入力と直列に前記書き込みデータを受信するための第1の入力を有する第1のマルチプレクサ(MUX)と、

前記読み出し生成ECCロジックの入力と直列に前記メモリ回路から前記読み出しデータを受信するための第1の入力を有する第2のMUXと、

前記メモリ回路からの前記読み出しデータを前記第1のMUXの第2の入力に結合するための第1のクロスカップリングコネクタと、

前記書き込みデータを前記第2のMUXの第2の入力に結合するための第2のクロスカップリングコネクタと、

受信した前記書き込み生成ECCロジックの出力を前記読み出し生成ECCロジックの出力と比較するためのECCビットコンパレータと、

を含む、ECCハードウェア。

【請求項6】

請求項5に記載のECCハードウェアであって、

前記コンパレータの出力が、前記シンドロームデコードブロックへのイネーブル入力と前記SECブロックへのイネーブル入力として結合される、ECCハードウェア。

【請求項7】

請求項5に記載のECCハードウェアであって、

前記ECCハードウェアと前記メモリ回路とが、少なくとも半導体表面を有する共通基板に形成される、ECCハードウェア。

【請求項8】

メモリ回路のためのエラー補正コード(ECC)ハードウェアのための欠陥検出の方法であって、前記エラー補正コード(ECC)ハードウェアが、書き込み経路回路要素における書き込み生成(Gen)ECCロジックと読み出し経路回路要素における読み出し生成ECCロジックとを有し、前記方法が、

前記読み出し生成ECCロジックの出力を前記書き込み生成ECCロジックの出力と比較することと、

前記比較からの比較出力が、前記書き込み生成ECCロジックの出力の値が前記読み出し生成ECCロジックの出力の値と等しくないと判定する場合に、前記書き込み生成ECCロジックにおける又は前記読み出し生成ECCロジックにおける欠陥を検出することと、

、

前記欠陥が単一ビットエラーである場合に前記単一ビットエラーを補正し、前記欠陥がマルチビットエラーである場合にマルチビットエラー割り込み信号を送信することと、

を含む、方法。

【請求項 9】

請求項 8 に記載の方法であって、

前記比較出力をマルチビットエラー検出 (MED) 回路要素のイネーブル入力と単一ビットエラー補正 (SEC) ブロックのイネーブル入力として結合することを更に含み、

前記読み出し経路回路要素が、前記メモリ回路の ECC 出力に結合される別の入力を有する前記読み出し生成 ECC ロジックの出力に結合される XOR 回路を含み、前記 XOR 回路の出力が、前記 SEC ブロックとマルチビットエラー生成回路要素とに結合されるシンドロームデコードブロックにシンドローム出力を提供する、方法。

【請求項 10】

請求項 8 に記載の方法であって、

前記比較することと前記検出することとが、クロックサイクル毎に連続的に実施される、方法。

【請求項 11】

請求項 8 に記載の方法であって、

前記メモリ回路が、スタティックランダムアクセスメモリ (SRAM)、読み出し専用メモリ (ROM)、又はフラッシュメモリを含む、方法。

【請求項 12】

請求項 8 に記載の方法であって、

前記単メモリ回路が、先進運転支援システム (ADAS) のプロセッサのためのメモリである、方法。

【請求項 13】

先進運転支援システム (ADAS) であって、

シーンから画像データを生成する画像センサと、

ビデオ認識プロセッサとトランシーバとを含み、前記画像センサから前記画像データを受信するように結合される画像認識システムと、

前記画像認識システムに結合されるプロセッサコアを含むプロセッサブロックであって、前記プロセッサコアが、ECC メモリハードウェアとプロセッサメモリとを含む少なくとも 1 つの ECC メモリ回路を用いるように結合される、前記プロセッサブロックと、

を含み、

前記 ECC メモリハードウェアが、

書き込みデータから第 1 の ECC ビットを生成し、前記第 1 の ECC ビットと前記書き込みデータとを前記プロセッサメモリに書き込むための書き込み生成 (Gen) ECC ロジックを含む書き込み経路回路要素と、

前記プロセッサメモリからの読み出しデータを結合するためのチェック ECC ブロックを含む読み出し経路回路要素であって、前記チェック ECC ブロックが、読み出し生成 ECC ロジックと前記読み出し生成 ECC ロジックに結合される XOR 回路とを含み、前記 XOR 回路が、前記プロセッサメモリの ECC 出力に結合するための入力と、単一ビットエラー補正 (SEC) ブロックに結合されるシンドロームデコードブロックにシンドローム信号を提供するための出力とを有し、前記シンドロームデコードブロックが、マルチビットエラー検出 (MED) 割り込み信号を生成する、前記読み出し経路回路要素と、

前記書き込み生成 ECC ロジックへの入力と直列に前記書き込みデータを受信するための第 1 の入力を有する第 1 のマルチプレクサ (MUX)、又は、前記読み出し生成 ECC ロジックの入力と直列に前記プロセッサメモリから前記読み出しデータを受信するための第 1 の入力を有する第 2 の MUX と、

前記メモリ回路からの前記読み出しデータを前記第 1 の MUX の第 2 の入力に結合する、又は、前記書き込みデータを前記第 2 の MUX の第 2 の入力に結合するためのクロスカップリングコネクタと、

前記書き込み生成 ECC ロジックの出力を前記読み出し生成 ECC ロジックの出力と比較するための ECC ビットコンパレータと、

を含む、ADAS。

【請求項 14】

請求項 13 に記載の A D A S であって、
前記コンパレータの出力が、前記シンドロームデコードブロックへのイネーブル入力と前記 S E C ブロックへのイネーブル入力として結合される、A D A S。

【請求項 15】

請求項 13 に記載の A D A S であって、
前記 E C C メモリハードウェアと前記プロセッサメモリとが、少なくとも半導体表面を有する共通基板に形成される、A D A S。

【請求項 16】

請求項 13 に記載の A D A S であって、
前記 E C C メモリハードウェアが、前記第 1 の M U X と前記第 2 の M U X とを含む、A D A S。

【請求項 17】

請求項 13 に記載の A D A S であって、
前記プロセッサメモリが、スタティックランダムアクセスメモリ (S R A M)、読み出し専用メモリ (R O M)、又はフラッシュメモリを含む、A D A S。

【請求項 18】

請求項 16 に記載の A D A S であって、
前記 E C C メモリハードウェアと前記プロセッサメモリとが、少なくとも半導体表面を有する共通基板に形成される、A D A S。

【請求項 19】

請求項 18 に記載の A D A S であって、
共通基板と前記半導体表面とがいずれもシリコンを含む、A D A S。

【請求項 20】

請求項 13 に記載の A D A S であって、
前記画像センサがカラーカメラを含む、A D A S。