

POLSKA
RZECZPOSPOLITA
LUDOWA



URZĄD
PATEMTOUY
PRL

OPIS PATENTOWY 93 519

Patent dodatkowy
do patentu _____

Zgłoszono: 17.05.75 (P. 180498)

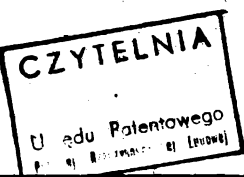
Pierwszeństwo: _____

Zgłoszenie ogłoszono: 22.05.76

Opis patentowy opublikowano: 30.10.1978

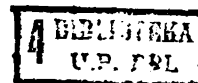
MKP G01s 9/44

Int. Cl.² G01S 9/44



Twórca wynalazku: Witold Czernecki

Uprawniony z patentu: Politechnika Warszawska,
Warszawa (Polska)



Sposób przetwarzania sygnału dopplerowskiego i cyfrowy układ pamięci do przetwarzania sygnału dopplerowskiego

Przedmiotem wynalazku jest sposób przetwarzania sygnału dopplerowskiego i cyfrowy układ pamięci do przetwarzania sygnału dopplerowskiego, stosowane zwłaszcza w radarowych miernikach prędkości pojazdów drogowych.

Znany jest radarowy sposób pomiaru prędkości pojazdów drogowych wykorzystujący radarowy miernik prędkości z analogowym układem pamięci. Mikrofalowy nadajnik wysyłający sygnał harmoniczny umieszcza się na poboczu jezdni. Oś charakterystyki kierunkowej anteny nadawczo-odbiorczej tworzy z osią jezdni kąt ostry na przykład równy 30 stopni. Sygnał odbierany, odbity od poruszającego się pojazdu, jest poddawany operacji mieszania z sygnałem nadajnika. Otrzymany sygnał małej częstotliwości, nazywany sygnałem dopplerowskim jest wzmacniany. Ze względu na złożony kształt powierzchni pojazdu oraz jego ruch obwiednia sygnału dopplerowskiego ma złożony i przypadkowy charakter.

W celu określenia prędkości pojazdu pożądane jest wyznaczenie wartości częstotliwości chwilowej sygnału dopplerowskiego w momencie, gdy pojazd przekracza oś wiązki antenowej. Za miarę tej częstotliwości przyjmuje się liczbę przekroczeń ustalonego poziomu progowego przez sygnał dopplerowski w tej jego części, w której przyjmuje on największe wartości, a występujące w przedziale czasu o stałej wartości T. Liczba przekroczeń jest ustalana drogą zliczania impulsów, występujących w tak zwanym impulsowym sygnale dopplerowskim, w którym każdy impuls odpowiada jednemu przekroczeniu poziomu progowego przez sygnał dopplerowski. Ze względu na przypadkowy charakter obwiedni sygnału dopplerowskiego w odpowiadającym mu sygnale impulsowym występują przedziały czasu, w których przyjmuje on wartość stałą. Ma to miejsce wtedy, gdy wartość obwiedni sygnału dopplerowskiego nie przekracza wartości poziomu progowego. Przedziały te, zwane zanikami, występują po ciągach impulsów oraz poprzedzają następne ciągi impulsów. Czas trwania zaników oraz ich rozmieszczenie są uzależnione od indywidualnych cech odbijającej powierzchni pojazdu oraz do wartości poziomu progowego.

Dotychczasowe rozwiązania analogowych układów pamięci wykorzystywały generatory impulsów podstrajane impulsowym sygnałem dopplerowskim, które w czasie trwania zaniku sygnału dopplerowskiego

pracowały z częstotliwością zbliżoną do tej, z jaką były przed zanikiem podstrajane. Sygnał wyjściowy tego generatora był traktowany jak przetworzony sygnał dopplerowski.

Wadą omawianego sposobu przetwarzania jest to, że liczba impulsów sygnału przetworzonego, występujących w czasie T , będąca miarą częstotliwości dopplerowskiej, a więc również prędkości pojazdu, jest obciążona błędem.

Celem wynalazku jest zwiększenie dokładności pomiaru prędkości pojazdów drogowych. Cel ten został osiągnięty za pomocą sposobu przetwarzania sygnału dopplerowskiego prowadzącego do otrzymania impulsowego przetworzonego sygnału dopplerowskiego. W czasie między zanikami ma on postać identyczną jak impulsowy sygnał dopplerowski, a w czasie trwania zaników jest utworzony przez ciąg impulsów o okresie powtarzania równym odstępowi czasu między dwoma ostatnimi impulsami poprzedzającymi zanik. Za oznakę wystąpienia zaniku przyjmuje się brak impulsu sygnału dopplerowskiego w czasie k -krotnie dłuższym, korzystnie 2-krotnie, od odstępu czasu między dwoma ostatnimi impulsami sygnału dopplerowskiego.

Przetwarzanie jest realizowane w cyfrowym układzie pamięci. Zawiera on licznik impulsów wzorcowych o okresie powtarzania T_{wz} , którego wyjście jest połączone z wejściem pamięci oraz z jednym z dwóch wejść każdego z dwóch komparatorów. Ich drugie wejścia są połączone z wyjściem pamięci. Logiczny układ decyzyjny, którego jedno z wyjść stanowi wyjście układu, ma drugie wyjście połączone z pamięcią a trzecie – z licznikiem impulsów wzorcowych. Natomiast jego wejścia są połączone odpowiednio z wyjściami dwóch wspomnianych wcześniej komparatorów, a trzecie jest wejściem układu.

Przedmiot wynalazku jest objaśniony na rysunku, obrazującym schemat blokowy cyfrowego układu pamięci do radarowego miernika prędkości.

Sposób przetwarzania sygnału dopplerowskiego polega na mierzeniu czasu między kolejnymi impulsami sygnału dopplerowskiego i porównywaniu każdej pary kolejno uzyskanych wyników. Zawsze wtedy, gdy kolejne wyniki różnią się nieznacznie, sygnał przetworzony ma postać sygnału dopplerowskiego. Po ostatnim impulsie występującym przed zanikiem stwierdza się, że uzyskiwany wynik przekracza pod względem wartości wynik otrzymany poprzednio. Stwierdzenie, że kolejny wynik przekracza k -krotnie wynik poprzedni powoduje wytworzenie impulsu na wyjściu i następnych impulsów w odstępach określonych przez przedostatni wynik pomiaru czasu między impulsami sygnału dopplerowskiego. Stan taki trwa do momentu wystąpienia pierwszego po zaniku impulsu sygnału dopplerowskiego.

Jak pokazano na rysunku cyfrowy układ pamięci do stosowania omawianego sposobu składa się z licznika 1, pamięci 2, komparatorów 3 i 4 oraz logicznego układu decyzyjnego 5.

Wyjście licznika zliczającego impulsy wzorcowe o okresie powtarzania T_{wz} jest połączone z wyjściem pamięci 2. Jednocześnie wyjścia licznika 1 i pamięci 2 są połączone z wejściami dwóch komparatorów 3 i 4. Wyjścia tych komparatorów są połączone z odpowiednimi wejściami logicznego układu decyzyjnego 5, którego trzecie wejście jest wejściem cyfrowego układu pamięci. Jedno wyjście logicznego układu decyzyjnego 5 jest połączone z licznikiem 1, drugie – z pamięcią 2 a trzecie stanowi wyjście układu pamięci.

Układ ten działa w sposób niżej opisany. Do wejścia układu jest doprowadzony impulsowy sygnał dopplerowski. Licznik 1 zlicza impulsy wzorcowe o okresie powtarzania T_{wz} . Każdy impuls, z wyjątkiem pierwszego występującego bezpośrednio po zaniku, pojawiający się na wejściu powoduje przeniesienie stanu licznika 1 do pamięci 2 a następnie zerowanie licznika 1 oraz wytworzenie impulsu na wyjściu. Komparator 4, spełniający rolę detektora zaników, sygnalizuje, czy liczba odpowiadająca stanowi licznika przekroczyła k -krotnie większą liczbę od tej, która odpowiada stanowi pamięci. Stwierdzenie takiej sytuacji jest interpretowane jako oznaka wystąpienia zaniku, a komparator 3 wraz z licznikiem 1 i pamięcią 2 tworzą programowany dzielnik częstotliwości, wytwarzający ciąg impulsów o okresie powtarzania wyznaczonym przez iloczyn liczby odpowiadającej stanowi pamięci 2 i okresu powtarzania impulsów wzorcowych. Jest on miarą odstępu czasu między dwoma ostatnimi impulsami na wejściu układu. Pierwszy impuls wejściowy występujący po zaniku zeruje licznik 1 nie zmieniając stanu pamięci 2, każdy następny impuls przenosi również stan licznika 1 do pamięci 2. Całością pracy układu steruje logiczny układ decyzyjny 5.

Zastrzeżenia patentowe

1. Sposób przetwarzania sygnału dopplerowskiego, z n a m i e n n y t y m, że w czasie trwania zaników sygnału dopplerowskiego przetworzony sygnał tworzy się w postaci ciągu impulsów o okresie powtarzania równym odstępowi czasu między dwoma ostatnimi impulsami występującymi w impulsowym sygnale dopplerowskim.

2. Sposób, według zastrz. 1, z n a m i e n n y t y m, że za oznakę wystąpienia zaniku przyjmuje się brak impulsu sygnału dopplerowskiego w przedziale czasu o wartości k -krotnie większej, korzystnie 2-krotnie, od wartości odstępu czasu między dwoma ostatnimi impulsami sygnału dopplerowskiego.

3. Cyfrowy układ pamięci do przetwarzania sygnału dopplerowskiego, z n a m i e n n y t y m, że posiada licznik impulsów wzorcowych (1) o okresie powtarzania (T_{wz}), którego wyjście jest połączone z wejściem pamięci (2) oraz z jednym z dwóch wejść komparatorów (3) i (4), których drugie wejścia są połączone z wyjściem pamięci (2), zaś logiczny układ decyzyjny (5), którego jedno z wyjść stanowi wyjście układu (W_y), drugim wyjściem jest połączony z licznikiem impulsów wzorcowych (1), a trzecim wyjściem jest połączony z pamięcią (2), przy czym jedno z wejść jest połączone z wyjściem komparatora (3) a drugie z wejść jest połączone z wyjściem komparatora (4), zaś trzecie wejście stanowi wejście układu (W_e).

