



(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。 Int. Cl. H01L 21/768 (2006.01)	(45) 공고일자 (11) 등록번호 (24) 등록일자	2007년04월18일 10-0708427 2007년04월10일
--	-------------------------------------	--

(21) 출원번호	10-2002-7009686	(65) 공개번호	10-2002-0074215
(22) 출원일자	2002년07월26일	(43) 공개일자	2002년09월28일
심사청구일자	2005년09월01일		
번역문 제출일자	2002년07월26일		
(86) 국제출원번호	PCT/US2000/025788	(87) 국제공개번호	WO 2001/56078
국제출원일자	2000년09월20일	국제공개일자	2001년08월02일

(81) 지정국 국내특허 : 일본, 대한민국,

EP 유럽특허 : 오스트리아, 벨기에, 스위스, 리히텐슈타인, 독일, 덴마크, 스페인, 프랑스, 영국, 그리스, 아일랜드, 이탈리아, 룩셈부르크, 모나코, 네덜란드, 포르투갈, 스웨덴, 핀란드, 사이프러스,

(30) 우선권주장 09/493,384 2000년01월28일 미국(US)

(73) 특허권자 어드밴스드 마이크로 디바이시즈, 인코포레이티드
미국 캘리포니아 94088-3453 서니베일 원 에이엠디 플레이스 메일 스톱68

(72) 발명자 박스테판키타이
미국텍사스78733오스틴씨클뷰드라이브10043

(74) 대리인 박장원

(56) 선행기술조사문헌
US5559055 A EP971409 A
WO00/41224 A US5953626 A
WO99/9593 A
* 심사관에 의하여 인용된 문헌

심사관 : 김상걸

전체 청구항 수 : 총 18 항

(54) 희생 유전층을 이용하여 구리 배선을 제조하는 방법

(57) 요약

본 발명은 구리 배선(1645) 형성 방법을 제공한다. 이 방법은 구조층(1100) 상에 희생 유전층(1120, 1130)을 형성하는 단계와; 상기 희생 유전층(1120, 1130) 내에 개구부(1220, 1230)를 형성하는 단계와; 그리고 상기 희생 유전층(1120, 1130) 상에, 그리고 상기 개구부(1220, 1230) 내에 구리층(1440)을 형성하는 단계를 포함한다. 이 방법은 상기 희생 유전층(1130) 상의 상기 구리층(1440)의 일부를 제거함으로써 상기 개구부(1220, 1230) 내에 상기 구리 배선(1645)를 형성

하는 단계를 더 포함한다. 이 방법은 상기 구조층(1100) 상의, 그리고 상기 구리 배선(1645)에 인접하는 상기 희생 유전층(1120, 1130)을 제거하는 단계와, 그리고 상기 구조층(1100) 상에, 그리고 상기 구리 배선(1645)에 인접하게 낮은 유전 상수의 유전층(1810)을 형성하는 단계를 더 포함한다.

대표도

도 18

특허청구의 범위

청구항 1.

구리 배선을 형성하기 위한 방법으로서,

구조층 위에 제 1 희생 유전층을 형성하는 단계와;

상기 제 1 희생 유전층 위에 식각 중지층을 형성하는 단계와, 여기서 상기 식각 중지층 내에는 식각 중지 개구부가 형성되며;

상기 제 1 희생 유전층 위에 그리고 상기 식각 중지층 위에 제 2 희생 유전층을 형성하는 단계와;

상기 제 1 희생 유전층 내에 제 1 개구부를 형성하고, 상기 제 2 희생 유전층 내에 제 2 개구부를 형성하는 단계와;

상기 제 1, 2 희생 유전층 위에, 그리고 상기 제 1, 2 개구부 내에 구리층을 형성하는 단계와;

상기 제 2 희생 유전층 위의 상기 구리층의 일부를 제거함으로써 구리 배선을 형성하여, 상기 구리 배선이 상기 제 1, 2 개구부 내에 남도록 하는 단계와;

상기 구조층 위의 그리고 상기 구리 배선에 인접하는 제 1, 2 희생 유전층을 제거하는 단계와; 그리고

상기 구조층 위에, 상기 구리 배선에 인접하는 유전 상수가 4 이하인 유전층을 형성하는 단계를 포함하는 것을 특징으로 하는 구리 배선을 형성하기 위한 방법.

청구항 2.

제 1 항에 있어서,

상기 유전 상수가 4 이하인 유전층을 평탄화하는 단계를 더 포함하는 것을 특징으로 하는 구리 배선을 형성하기 위한 방법.

청구항 3.

삭제

청구항 4.

제 1 항에 있어서,

상기 구리 배선의 적어도 일부 위에 마스크층 개구부를 얻기 위해, 상기 유전 상수가 4 이하인 유전층 위에 마스크층을 형성하고 패터닝하는 단계를 더 포함하는 것을 특징으로 하는 구리 배선을 형성하기 위한 방법.

청구항 5.

제 1 항에 있어서,

상기 유전 상수가 4 이하인 유전층을 형성하는 단계는 화학 기상 증착(CVD), 저압 CVD(LPCVD), 플라즈마 강화 CVD (PECVD), 스퍼터링, 물리 기상 증착(PVD) 및 스펀온 글래스중 하나를 이용하여 상기 유전 상수가 4 이하인 유전층을 형성하는 단계를 포함하는 것을 특징으로 하는 구리 배선을 형성하기 위한 방법.

청구항 6.

제 1 항에 있어서,

상기 제 1, 2 회생 유전층을 형성하는 단계는:

산화물, 옥시나이트라이드, 실리콘 이산화물, 질소 함유 산화물, 질소 도핑된 산화물, 실리콘 옥시나이트라이드, 및 높은 유전 상수(높은 K)의 티타늄 산화물, 탄탈 산화물, 바륨 스트론튬 티탄산염중 적어도 하나로부터 상기 제 1, 2 회생 유전층을 형성하는 단계와, 여기서 상기 K는 적어도 약 8이며; 그리고

화학 기상 증착(CVD), 저압 CVD (LPCVD), 플라즈마 엔헨스트 CVD (PECVD), 스퍼터링, 물리 기상 증착(PVD) 및 열 성장중 적어도 하나를 이용하여 상기 제 1, 2 회생 유전층을 형성하는 단계를 포함하는 것을 특징으로 하는 구리 배선을 형성하기 위한 방법.

청구항 7.

제 1 항에 있어서,

상기 제 1, 2 회생 유전층 내에 제 1, 2 개구부를 형성하는 단계는 각각 상기 식각 중지층 및 포토레지스트 마스크를 이용하여 상기 제 1, 2 회생 유전층 내에 상기 제 1, 2 개구부를 형성하는 단계를 포함하고, 상기 식각 중지층 및 상기 포토레지스트 마스크는 각각 상기 제 1, 2 회생 유전층 위에 형성되고 패터닝되는 것을 특징으로 하는 구리 배선을 형성하기 위한 방법.

청구항 8.

제 7 항에 있어서,

상기 포토레지스트 마스크 및 상기 식각 중지층을 이용하는 단계는 실리콘 나이트라이드로 형성되는 적어도 1개의 식각 중지층을 이용하는 단계를 포함하는 것을 특징으로 하는 구리 배선을 형성하기 위한 방법.

청구항 9.

제 1 항에 있어서,

상기 구리층을 형성하는 단계는 구리의 전기 화학적인 증착을 이용하여 상기 구리층을 형성하는 단계를 포함하는 것을 특징으로 하는 구리 배선을 형성하기 위한 방법.

청구항 10.

제 9 항에 있어서,

상기 구리의 전기 화학적인 증착을 이용하는 단계는 상기 구리의 전기 화학적인 증착 이전에 상기 제 2 개구부 내에 적어도 1개의 장벽층 및 구리 씨드층을 형성하는 단계를 포함하고,

상기 구리층의 일부를 제거하는 단계는 상기 구리의 전기 화학적인 증착 이후 화학 기계적인 연마를 이용하여 상기 구리를 평탄화하는 단계를 포함하는 것을 특징으로 하는 구리 배선을 형성하기 위한 방법.

청구항 11.

구리 배선을 형성하기 위한 방법으로서,

구조층 위에 제 1 회생 유전층을 형성하는 단계와;

상기 제 1 회생 유전층 위에 식각 중지층을 형성하는 단계와, 여기서 상기 식각 중지층 내에는 식각 중지 개구부가 형성되며;

상기 제 1 회생 유전층 위에 그리고 상기 식각 중지층 위에 제 2 회생 유전층을 형성하는 단계와;

상기 제 1 회생 유전층 내에 제 1 개구부를 형성하고, 상기 제 2 회생 유전층 내에 제 2 개구부를 형성하는 단계와;

상기 제 1, 2 회생 유전층 위에, 그리고 상기 제 1, 2 개구부 내에 적어도 1개의 장벽 금속층 및 구리 씨드층을 형성하는 단계와;

상기 구리 씨드층 위에 그리고 상기 적어도 1개의 장벽 금속층 위에 구리를 전기 화학적으로 증착하는 단계와;

상기 제 2 회생 유전층 위의 상기 구리, 상기 적어도 1개의 장벽 금속층 및 상기 구리 씨드층을 제거함으로써 구리 배선을 형성하여, 상기 구리 배선이 상기 제 1, 2 개구부 내에 남도록 하는 단계와;

상기 구조층 위의 그리고 상기 구리 배선에 인접하는 제 1, 2 회생 유전층을 제거하는 단계와; 그리고

상기 구조층 위에, 상기 구리 배선에 인접하는 유전 상수가 4 이하인 유전층을 형성하는 단계를 포함하는 것을 특징으로 하는 구리 배선을 형성하기 위한 방법.

청구항 12.

제 11 항에 있어서,

상기 유전 상수가 4 이하인 유전층을 평탄화하는 단계를 더 포함하는 것을 특징으로 하는 구리 배선을 형성하기 위한 방법.

청구항 13.

삭제

청구항 14.

제 11 항에 있어서,

상기 구리 배선의 적어도 일부 위에 마스크층 개구부를 얻기 위해, 상기 유전 상수가 4 이하인 유전층 위에 마스크층을 형성하고 패터닝하는 단계를 더 포함하는 것을 특징으로 하는 구리 배선을 형성하기 위한 방법.

청구항 15.

제 11 항에 있어서,

상기 유전 상수가 4 이하인 유전층을 형성하는 단계는 화학 기상 증착(CVD), 저압 CVD (LPCVD), 플라즈마 엔헨스트 CVD (PECVD), 스퍼터링, 물리 기상 증착(PVD) 및 스펀온 글래스중 하나를 이용하여 상기 유전 상수가 4 이하인 유전층을 형성하는 단계를 포함하는 것을 특징으로 하는 구리 배선을 형성하기 위한 방법.

청구항 16.

제 11 항에 있어서,

상기 제 1, 2 회생 유전층을 형성하는 단계는:

산화물, 옥시나이트라이드, 실리콘 이산화물, 질소 함유 산화물, 질소 도핑된 산화물, 실리콘 옥시나이트라이드, 및 높은 유전 상수(높은 K)의 티타늄 산화물, 탄탈 산화물, 바륨 스트론튬 티탄산염중 적어도 하나로부터 상기 제 1, 2 회생 유전층을 형성하는 단계와, 여기서 상기 K는 적어도 약 8이며; 그리고

화학 기상 증착(CVD), 저압 CVD (LPCVD), 플라즈마 엔헨스트 CVD (PECVD), 스퍼터링, 물리 기상 증착(PVD) 및 열 성장중 적어도 하나를 이용하여 상기 제 1, 2 회생 유전층을 형성하는 단계를 포함하는 것을 특징으로 하는 구리 배선을 형성하기 위한 방법.

청구항 17.

제 11 항에 있어서,

상기 제 1, 2 회생 유전층 내에 제 1, 2 개구부를 형성하는 단계는 각각 상기 식각 중지층 및 포토레지스트 마스크를 이용하여 상기 제 1, 2 회생 유전층 내에 상기 제 1, 2 개구부를 형성하는 단계를 포함하고, 상기 식각 중지층 및 상기 포토레지스트 마스크는 각각 상기 제 1, 2 회생 유전층 위에 형성되고 패터닝되는 것을 특징으로 하는 구리 배선을 형성하기 위한 방법.

청구항 18.

제 17 항에 있어서,

상기 포토레지스트 마스크 및 상기 식각 중지층을 이용하는 단계는 실리콘 나이트라이드로 형성되는 적어도 1개의 식각 중지층을 이용하는 단계를 포함하는 것을 특징으로 하는 구리 배선을 형성하기 위한 방법.

청구항 19.

제 11 항에 있어서,

상기 구리층, 상기 적어도 1개의 장벽 금속층 및 상기 구리 씨드층을 제거하는 단계는 상기 구리를 평탄화하는 단계를 포함하는 것을 특징으로 하는 구리 배선을 형성하기 위한 방법.

청구항 20.

제 19 항에 있어서,

상기 구리를 평탄화하는 단계는 화학 기계적인 연마를 이용하는 단계를 포함하는 것을 특징으로 하는 구리 배선을 형성하기 위한 방법.

명세서

기술분야

본 발명은 일반적으로 반도체 제조 기술에 관한 것으로서, 특히 구리로 접촉 개구 및 비아를 충전하여, 구리 배선 및 라인을 생성하는 기술에 관한 것이다.

배경기술

반도체 산업에서는, 예를 들어 마이크로프로세서, 메모리 디바이스 등과 같은 집적 회로 디바이스의 동작 속도의 증가가 끊임없이 요구되고 있다. 이는 소비자가 컴퓨터 및 전자 장치가 훨씬 더 빠른 속도로 동작하기를 원하기 때문이다. 이와 같은 속도 증가에 대한 요구는, 예를 들어 트랜지스터 등의 반도체 디바이스의 크기를 계속해서 감소시켜왔다. 즉, 전형적인 전계 효과 트랜지스터(FET)의 많은 구성요소들, 예를 들어 채널 길이, 접합 깊이, 게이트 유전체 두께 등이 감소되었다. 예를 들어, 이와 동등한 다른 모든 것들에 있어서, FET의 채널 길이가 작아질수록 트랜지스터가 보다 빠르게 동작한다. 따라서, 트랜지스터의 전체 속도를 증가시키기 위하여 전형적인 트랜지스터의 구성 요소뿐만 아니라, 이러한 트랜지스터를 통합하는 집적 회로 디바이스의 크기 또는 규모를 감소시키고자 끊임없이 시도되고 있다. 또한, 전형적인 트랜지스터의 구성 요소의 크기 또는 규모를 감소시키게 되면, 소정 양의 실제 웨이퍼 영역 상에서의 트랜지스터의 밀도 및 수가 증가되어 트랜지스터당 전체 비용뿐만 아니라 이러한 트랜지스터들을 통합하는 집적 회로 디바이스의 비용을 줄일 수 있게 된다.

그러나, 전형적인 트랜지스터의 구성 요소의 크기 또는 규모를 감소시키는 것은 또한, $N^+(P^+)$ 소스/드레인 영역 및 도핑된 다결정 실리콘(도핑된 폴리실리콘 또는 도핑된 폴리) 게이트 전도체 등과 같은 액티브 영역에 대한 접촉부의 전기적인 배선의 크기 및 단면 치수를 감소시킬 것을 요구한다. 전기적인 배선의 크기 및 단면 치수가 작아짐에 따라서 저항 및 전자 이동이 증가하게 된다. 저항 및 전자 이동의 증가는 많은 이유로 바람직하지 않다. 예를 들어, 저항이 증가하게 되면 디바이스 구동 전류 및 디바이스의 소스/드레인 전류를 감소시킬 수 있으며, 트랜지스터의 전체 속도 및 동작에 악영향을 미칠 수 있다. 또한, 전기적인 전류가 전류와 함께 AI 원자를 전달함으로써 전자 이동을 야기시키는 알루미늄(Al) 배선에 있어서의 전자 이동 효과는, AI 배선의 질을 저하시킬 수 있고, 또한 저항을 증가시키며, 심지어는 AI 배선의 단절 및/또는 갈라짐(delamination)을 야기시킬 수 있다.

반도체 회로에 대한 이상적인 배선 도체는 저비용이고, 패터닝이 용이하며, 낮은 저항을 갖고, 부식, 전자 이동 및 스트레스 이동에 대한 큰 저항력을 가지는 것이다. 최근의 반도체 제조 공정의 배선에서는 주로 알루미늄(Al)이 가장 빈번하게 이용되는데, 이는 Al이 예를 들어 구리(Cu) 보다 식각이 용이하고 싸기 때문이다. 그러나, Al은 불충분한 전자 이동 특성을 갖고 스트레스 이동에 민감하기 때문에, Al은 다른 금속과의 합금이 필요한 것이 일반적이다.

상기 설명한 바와 같이, 반도체 디바이스의 기하 구조가 작아지고 클럭 속도가 증가됨에 따라, 회로 금속화의 저항을 감소시키는 것이 더욱 바람직하게 되었다. 배선에 Al을 이용함으로써 가장 심각하게 절충되는 하나의 기준은 전도성에 대한 것이다. 이는 더 낮은 저항(Al은 20℃에서 $2.824 \times 10^{-6} \Omega\text{-cm}$ 의 저항을 갖는다)을 갖는 3개의 금속, 즉 (20℃에서) $1.59 \times 10^{-6} \Omega\text{-cm}$ 의 저항을 갖는 은(Ag), (20℃에서) $1.73 \times 10^{-6} \Omega\text{-cm}$ 의 저항을 갖는 구리(Cu) 및 (20℃에서) $2.44 \times 10^{-6} \Omega\text{-cm}$ 의 저항을 갖는 금(Au)이 다른 중요한 기준에서 불충분하기 때문이다. 예를 들어, 은은 상대적으로 값이 비싸고 쉽게 부식되며, 금은 매우 비싸고 식각이 어렵다. 은과 거의 같은 저항, 전자 이동의 면역성, (반도체 칩 내에서 서로 다른 물질의 다른 팽창 속도에 의해 발생하는 기계적인 스트레스에 대한 높은 면역성을 제공하는) 유연성 및 높은 용융점(Cu는 1083℃, Al은 660℃)을 갖는 구리가 대부분의 기준을 우수하게 만족시킨다. 그러나, Cu는 반도체 환경에서 식각하기가 어

럽다. Cu는 식각하기가 어렵기 때문에, 비아 및 금속 라인을 형성하는 대안적인 방안이 이용되어야 한다. 라인 및 비아를 위한 유전체 내의 트렌치와 같은 개구부의 식각 및 표면에 박아넣은(in laid) 금속 패턴의 형성으로 이루어지는 다마신(damascene) 방법이 서브-0.25 미크론(서브-0.25 μ) 디자인 룰의 Cu-금속화된 회로의 제조에 선도적이다.

보다 높은 디바이스 밀도로 결합되고, 이에 따라 Cu 배선 간의 거리가 감소된 Cu 배선의 보다 낮은 저항 및 더 높은 전도성 때문에, Cu 배선 간의 캐패시턴스를 증가시킬 수 있다. 이렇게 Cu 배선 간의 캐패시턴스가 증가하게 되면, 반도체 디바이스 회로 내에서의 RC 시간 지연을 증가시키고 과도 붕괴(transient decay) 시간을 더 길게 함으로써, 반도체 디바이스의 전체 동작 속도를 감소시킨다.

Cu 배선들 간의 증가된 캐패시턴스 문제에 대한 종래의 하나의 해결책은 "낮은 유전 상수" 또는 "낮은 K" 유전 물질을 이용하는 것으로서, 여기서 K는 다마신 기술을 이용하여 Cu 배선이 형성되는 층간 유전층(ILD's)에 대해 약 4 이하이다. 그러나, 낮은 K 유전 물질은 다마신 기술과 함께 이용하기는 어려운 물질이다. 예를 들어, 낮은 K 유전 물질은 다마신 기술에서 이용되는 식각 및 이후의 공정 단계 동안 손상되기 쉽다.

본 발명의 목적은 상기 설명된 하나 이상의 문제를 없애거나, 또는 적어도 줄이는 것이다.

발명의 상세한 설명

본 발명의 일 양상에서는, 구리 배선 형성 방법이 제공되는 바, 이 방법은 구조층 상에 희생 유전층을 형성하는 단계와; 상기 희생 유전층 내에 개구부를 형성하는 단계와; 그리고 상기 희생 유전층 상에, 그리고 상기 개구부 내에 구리층을 형성하는 단계를 포함한다. 이 방법은 상기 희생 유전층 상의 상기 구리층의 일부를 제거함으로써 상기 개구부 내에 상기 구리 배선을 형성하는 단계를 더 포함한다. 이 방법은 상기 구조층 상의, 그리고 상기 구리 배선에 인접하는 상기 희생 유전층을 제거하는 단계와, 그리고 상기 구조층 상에, 그리고 상기 구리 배선에 인접하게 낮은 유전 상수의 유전층을 형성하는 단계를 더 포함한다.

본 발명은 첨부 도면들을 참조하여 설명되는 하기의 상세한 설명으로부터 보다 명확해질 것이며, 도면에서 참조 부호(들) 내의 가장 왼쪽의 숫자(들)은 각 참조 부호가 나오는 첫 번째 도면을 나타낸다.

실시예

이하, 본 발명의 예시적인 실시예에 대해 설명한다. 명확성을 위해, 본원에서는 실제 구현의 모든 특징을 설명하지는 않는다. 물론, 주목할 사항으로서, 이러한 모든 실제 실시예의 개발시, 예를 들어 시스템 관련 제약 및 사업 관련 제약을 따르는 것과 같이, 개발자의 특정한 목표를 달성하기 위해서는, 구현마다 특정한 다양한 결정이 이루어져야 하는바, 이는 구현마다 달라질 것이다. 또한, 주목할 사항으로서, 이러한 개발 노력은 복잡하고 시간 소모적이지만, 그럼에도 불구하고 본원의 개시의 이득을 갖는 당업자에게는 일상적인 작업이다.

도 1 내지 도 20은 본 발명에 따른 반도체 디바이스 제조 방법의 예시적인 실시예들을 도시한다. 도면에서 반도체 디바이스의 많은 영역 및 구조가 매우 정확하고, 뚜렷한 구성 및 프로파일을 갖는 것으로 도시되기는 하였지만, 당업자라면 이러한 영역 및 구조는 실제로 도면에 표시된 것과 정확히 같지 않다는 것을 알 수 있을 것이다. 그럼에도 불구하고, 첨부 도면은 본 발명의 예시적인 예들을 제공하기 위하여 첨부된 것이다.

일반적으로, 본 발명은 반도체 디바이스의 제조에 관련된 것이다. 당업자라면 본 발명을 완전히 숙독한 후, 본 발명의 방법이 예를 들어 NMOS, PMOS, CMOS 등과 같은 많은 기술에 적용될 수 있으며, 그리고 한정하는 것은 아니지만 논리 디바이스, 메모리 디바이스 등을 포함하는 많은 디바이스에 용이하게 적용될 수 있다는 것을 알 수 있을 것이다.

도 1에 도시된 바와 같이, (전형적으로 실리콘 나이트라이드, Si_3N_4 또는 간단하게는 SiN으로 형성된) 식각 중지층(ESL)(110) 및 금속간 비아 연결부(140)가 반도체 기판과 같은 구조체(100) 상에 형성된다. 그러나, 본 발명은 예를 들어 실리콘 웨이퍼와 같은 반도체 기판의 표면 상에서의 Cu 기반 배선의 형성에 한정되지 않는다. 그보다는, 본 발명의 내용을 숙지할 때 당업자에게 명백해지는 바와 같이, 본 발명에 따라 형성되는 Cu 기반 배선은 이전에 형성된 반도체 디바이스들 및/또는 공정층, 예를 들어 트랜지스터들 또는 다른 유사한 구조체 상에 형성될 수 있다. 실제로, 본 발명은 이전에 형성된 공정층들의 상부에 공정층들을 형성하는 데에 이용될 수 있다. 구조체(100)는 실리콘 기판 또는 웨이퍼와 같은 반도체 물질

의 하부층이 될 수 있으며, 대안적으로는 금속 산화물 반도체 전계 효과 트랜지스터들(MOSFETs)의 층 등과 같은 반도체 디바이스들(예를 들어, 도 10 참조)의 하부층, 및/또는 금속 배선층 또는 층들(예를 들어, 도 9 참조) 및/또는 층간 유전(ILD)층 또는 층들 등이 될 수 있다.

도 1 내지 도 8에 도시된 본 발명에 따른 다양한 실시예들에 따른 단일-다마신 구리 공정 흐름에서, 제1 희생 유전층(120)이 구조체(100) 및 ESL(110) 상에, 그리고 상기 금속간 비아 연결부(140)에 인접하게 형성된다. 제2 희생 유전층(130)이 제1 희생 유전층(120) 및 금속간 비아 연결부(140) 상에 형성된다. 제1 희생 유전층(120)은 그 내에 배열된 금속간 비아 연결부(140)를 갖는다. 구조체(100)는 ("하드 마스크"로 공지되어 있으며, 전형적으로 실리콘 질화막, Si_3N_4 , 또는 간단하게는 SiN 으로 형성된) 식각 중지층(ESL)(110)을 갖는 바, 이 식각 중지층(110)은 구조체(100)와 제1 희생 유전층(120)의 사이에, 그리고 금속간 비아 연결부(140)에 인접하게 형성되고 패터닝된다. 필요한 경우, 제2 희생 유전층(130)은 기계 화학적인 평탄화(CMP)를 이용하여 평탄화될 수 있다.

제1 희생 유전층(120) 및 제2 희생 유전층(130)은 많은 유전 물질로부터 형성될 수 있으며, 이들 중 하나 또는 모두는, 예를 들어 산화물(예를 들어, Ge 산화물), 옥시나이트라이드(예를 들어, GaP 옥시나이트라이드), 실리콘 산화물(SiO_2), 질소-함유 산화물(예를 들어, 질소-함유 SiO_2), 질소-도핑된 산화물(예를 들어, N_2 -임플란트된 SiO_2), 실리콘 옥시나이트라이드($\text{Si}_x\text{O}_y\text{N}_z$) 등이 될 수 있다. 제1 희생 유전층(120) 및 제2 희생 유전층(130)은 또한 티타늄 산화물(Ti_xO_y , 예를 들어 TiO_2), 탄탈륨 산화물(Ta_xO_y , 예를 들어 Ta_2O_5), 바륨 스트론튬 티탄산염(BST, $\text{BaTiO}_3/\text{SrTiO}_3$) 등과 같은 어떠한 적절한 "높은 유전 상수" 또는 "높은 K" 물질로 형성될 수 있는 바, 여기서 K는 약 8 이상이다.

제1 희생 유전층(120) 및 제2 희생 유전층(130)은 이러한 층들을 형성하는 공지된 많은 기술, 예를 들어, 화학 기상 증착(CVD), 저압 CVD (LPCVD), 플라즈마-강화 CVD(PECVD), 스퍼터링, 물리 기상 증착(PVD), 열 성장 등에 의해 형성될 수 있다. 제1 희생 유전층(120) 및 제2 희생 유전층(130)은 각각 약 1000-2500Å 범위의 두께를 갖는다. 예시적인 일 실시예에서, 제1 희생 유전층(120) 및 제2 희생 유전층(130)은 각각 더 높은 처리량을 위하여 LPCVD 공정에 의해 블랭킷 증착되며 약 1000Å의 두께를 갖는 실리콘 산화물(SiO_2)로 이루어질 수 있다.

이후, 도 2에 도시된 바와 같이, 패터닝된 포토마스크(150)(도 1 및 도 2) 및 포토리소그래피를 이용하여 금속화 패틴이 형성된다. 예를 들어, 전도성 금속 라인들, 접촉 홀들, 비아 홀들 등을 위한 개구부(트렌치(220)와 같은)들이 제2 희생 유전층(130)(도 2) 내에 식각된다. 개구부(220)는, 예를 들어 식각 가스들로서 수소 브롬화물(BBr_3) 및 아르곤(Ar)을 이용하는 반응성 이온 식각(RIE)과 같은 공지된 많은 이방성 식각 기술을 이용하여 형성될 수 있다. 대안적으로, 예를 들어 식각 가스들로서 CHF_3 및 Ar 을 이용하는 RIE 공정이 이용될 수 있다. 많은 예시적인 실시예들에서는, 건식 식각이 또한 이용될 수 있다.

도 3에 도시된 바와 같이, 패터닝된 포토마스크(150)가 벗겨진 다음, 얇은 탄탈륨(Ta) 장벽 금속층(325A) 및 구리 씨드층(325B)이 기상 증착을 이용하여 전체 표면에 형성된다(도 3). 도 3에 도시된 바와 같이, Ta 장벽 금속층(325A) 및 Cu 씨드층(325B)은 제2 희생 유전층(130)의 상부 전체 표면(330)뿐만 아니라 트렌치(220)의 측면(340) 및 바닥 표면들(350)에 블랭킷 증착되어 전도성 표면(335)을 형성한다.

장벽 금속층(325A)은 탄탈륨 또는 탄탈륨 나이트라이드 등과 같은 적어도 하나의 장벽 금속 물질층으로 형성될 수 있다. 예를 들어, 장벽 금속층(325A)은 또한 티타늄 나이트라이드, 티타늄-텅스텐, 질화된 타타늄-텅스텐, 마그네슘 또는 다른 적절한 장벽 물질로 등가적으로 형성될 수 있다. 구리 씨드층(325B)은, 예를 들어 물리 기상 증착(PVD) 또는 화학 기상 증착(CVD)에 의해 하나 이상의 장벽 금속층들(325A)의 상부에 형성될 수 있다.

대부분의 구리 트렌치 충전은 종종 전기 도금 기술을 이용하여 이루어지는 바, 여기서 전도성 표면(335)은 전극(미도시)에 기계적으로 고정되어 전기적인 접촉을 형성하고, 구조체(100)는 이후 Cu 이온들을 포함하는 전해질 용액 내에 담궈진다. 이후, 전류는 웨이퍼 전해질 시스템을 통과하여, 전도성 표면(335) 상에서의 Cu 의 환원(reduction) 및 증착을 야기시킨다. 또한, 증착된 Cu 필름의 자기 평탄화 방법으로서 웨이퍼 전해질 시스템의 교류 바이어스가 고려되는데, 이는 고밀도 플라즈마(HDP) 테트라에틸 오쏘실리케이트(TEOS) 유전체 증착에서 이용되는 증착 식각 순환(deposit-etch cycling)과 유사하다.

도 4에 도시된 바와 같이, 이러한 공정은 전형적으로 전체 전도성 표면(335)에 걸쳐서 실질적으로 일정한 두께를 갖는 등각(conformal) Cu 코팅(440)을 형성한다. 도 5에 도시된 바와 같이, 일단 충분히 두꺼운 Cu 층(440)이 증착되면, Cu 층(440)은 화학 기계적인 연마(CMP) 기술을 이용하여 평탄화된다. CMP를 이용한 평탄화는 제2 희생 유전층(130)의 전체

상부 표면(330)으로부터 모든 Cu 및 Ta 장벽 금속을 제거함으로써, 도 5에 도시된 바와 같이 각각 하나 또는 그 이상의 장벽 금속층들(325A 및 325B)(도 3 및 4)의 나머지 부분들(525A 및 525B)에 인접하는 Cu-충진된 트렌치 내에만 Cu(440)를 남긴다.

도 6에 도시된 바와 같이, 제1 희생 유전층(120) 및 제2 희생 유전층(130)은, 예를 들어 습식 식각을 이용하여 제거됨으로써, 나머지 Cu-배선(645)을 남긴다. 습식 식각은 식각 중지층(ESL)(110)에서 중지된다. 많은 예시적인 실시예들에서는, 건식 식각 및/또는 플라즈마 식각이 또한 이용될 수 있다. 제1 희생 유전층(120) 및 제2 희생 유전층(130)은, 예를 들어 강한 인산(H_3PO_4)에 의한 스트리핑에 의해 선택적으로 제거될 수 있다. Cu-배선(645)은 Cu-충진된 트렌치(545) 내의, 그리고 하나 또는 그 이상의 장벽 금속층들(325A) 및 구리 씨드층(325B)(도 3 및 도 4)의 나머지 부분들(525A 및 525B)에 인접하는 Cu(440)와 그리고 금속간 비아 연결부(140)를 포함한다.

도 7에 도시된 바와 같이, "낮은 유전 상수" 또는 "낮은 K"(여기서 K는 약 4 이하)의 유전층(700)이 Cu-배선(645)에 인접하게, 그리고 ESL(110) 상에 형성된다. 낮은 K 유전층(700)은 이러한 층들을 형성하는 공지된 많은 기술, 예를 들어 화학 기상 증착(CVD), 저압 CVD (LPCVD), 플라즈마-강화 CVD(PECVD), 스퍼터링, 물리 기상 증착(PVD), 스피온 글래스 등에 의해 형성될 수 있으며, 예를 들어 약 2000-5000Å 범위의 두께를 갖는다.

낮은 K 유전층(700)은 많은 낮은 K 유전 물질로부터 형성될 수 있으며, 여기서 K는 약 4 이하이다. 이러한 물질의 예로는 적용 물질의 블랙 다이아몬드[®], 노벨러스 코랄[®], 얼라이트 신호의 나노글래스[®], JSR's LKD5104 등이 있다. 예시적인 일 실시예에서, 낮은 K 유전층(700)은 약 2500Å의 두께를 갖는 메틸렌 실리콘 수산화물로 이루어지며, 생산량을 높이기 위하여 LPCVD 공정에 의해 블랭킷 증착된다.

도 8에 도시된 바와 같이, 낮은 K 유전층(700)은 CMP 기술을 이용하여 평탄화되어, 평탄화된 낮은 K 유전층(810)을 형성한다. 이러한 평탄화는 Cu-배선(645)에 인접하는, 그리고 ESL(110) 상에만 낮은 K 유전층(810)을 남김으로써, Cu-배선층(800)을 형성한다. 이 Cu-배선층(800)은 평탄화된 낮은 K 유전층(810)에 인접하는 Cu-배선(645)을 포함한다. Cu-배선층(800)은 또한 ESL(110)을 포함한다. 도 8에 도시된 바와 같이, Cu-배선층(800)은 또한 ("하드 마스크"로서 공지되어 있으며, 전형적으로 실리콘 나이트라이드, Si_3N_4 , 또는 간단하게는 SiN으로 형성된) ESL(820)을 포함하는 바, 이 ESL(820)은 평탄화된 낮은 K 유전층(810) 상에, 그리고 Cu-배선(645)의 적어도 일부 상에 형성되고 패터닝된다.

도 9에 도시된 바와 같이, Cu-배선층(800)은 Cu-배선층(900)에 대한 구조체(100)와 유사한 하부 구조층이 될 수 있다. Cu-배선층(900)은 평탄화된 낮은 K 유전층(905)에 인접하는 Cu-충진된 트렌치(940) 및 금속간 비아 연결부(910)를 포함한다. 상기 Cu-배선층(900)은 또한 ("하드 마스크"로서 공지되어 있으며, 전형적으로 실리콘 나이트라이드, Si_3N_4 , 또는 간단하게는 SiN으로 형성된) ESL(820) 및/또는 ESL(920)을 포함하는 바, 이 ESL(920)은 평탄화된 낮은 K 유전층(905) 상에, 그리고 Cu-충진된 트렌치(940)의 적어도 일부 상에 형성되고 패터닝된다.

도 10에 도시된 바와 같이, MOS 트랜지스터(1010)가 Cu-배선층(1000)에 대한 하부 구조층(구조체(1100)와 유사)이 될 수 있다. Cu-배선층(1000)은 평탄화된 낮은 K 유전층(1040)에 인접하는 Cu-충진된 트렌치들(1020) 및 금속간 비아 연결부들(1030)을 포함한다.

도 11에 도시된 바와 같이, (전형적으로 실리콘 나이트라이드, Si_3N_4 또는 간단하게는 SiN으로 형성되는) 제1 식각 중지층(ESL)(1110) 및 제1 희생 유전층(1120)이 반도체 기판과 같은 구조체(1100) 상에 형성된다. 그러나, 본 발명은 예를 들어 실리콘 웨이퍼와 같은 반도체 기판의 표면 상에서의 Cu 기반 배선의 형성에 한정되지 않는다. 그보다는, 본 발명의 내용을 숙독할 때 당업자에게 명백해지는 바와 같이, 본 발명에 따라 형성된 Cu 기반 배선은 이전에 형성된 반도체 디바이스들 및/또는 공정층, 예를 들어 트랜지스터들 또는 다른 유사한 구조체 상에 형성될 수 있다. 실제로, 본 발명은 이전에 형성된 공정층들의 상부에 공정층들을 형성하는 데에 이용될 수 있다. 상기 구조체(1100)는 실리콘 기판 또는 웨이퍼와 같은 반도체 물질의 하부층이 될 수 있으며, 대안적으로는 금속 산화물 반도체 전계 효과 트랜지스터들(MOSFETs)의 층 등, 및/또는 금속 배선층 또는 층들(예를 들어, 도 19 참조) 및/또는 층간 유전(ILD)층 또는 층들 등과 같은 반도체 디바이스들(예를 들어, 도 20 참조)의 하부층이 될 수 있다.

도 11 내지 도 18에 도시된 본 발명에 따른 다양한 실시예들에 따른 이중 다마신 구리 공정 흐름에서, 제1 희생 유전층(1120)이 구조체(1100) 및 제1 ESL(1110) 상에 형성된다. 제2 희생 유전층(1130)이 제1 희생 유전층(1120) 및 제2 ESL(1115) 상에 형성된다. 도 12를 참조하여 하기에서 보다 상세히 설명되는 바와 같이, 제1 ESL(1110) 및 제2 ESL(1115)은 이중 다마신 구리 공정 흐름에서 형성된 구리 배선의 하위(비아) 부분을 정의한다. 구조체(1100)는 ("하드 마스크"로서

공지되어 있으며, 전형적으로 실리콘 나이트라이드, Si_3N_4 또는 간단하게는 SiN 으로 형성된) 제1 ESL(1110)을 갖는 바, 이 제1 ESL(1110)은 구조체(1100)와 제1 회생 유전층(1120) 간에서, 구조체(1100) 상에 형성되고 패터닝된다. 유사하게, 제 1 회생 유전층(1120)은 (전형적으로 SiN 으로 형성된) 제 2 ESL(1115)을 갖는 바, 이 제2 ESL(111)은 제1 회생 유전층(1120)과 제2 회생 유전층(1130)의 사이에서, 제2 유전층(1120) 상에 형성되고 패터닝된다. 필요한 경우, 제2 회생 유전층(1130)은 화학 기계적인 평탄화(CMP)를 이용하여 평탄화된다.

제1 회생 유전층(1120) 및 제2 회생 유전층(1130)은 많은 유전 물질로부터 형성될 수 있으며, 예를 들어 산화물(예를 들어, Ge 산화물), 옥시나이트라이드(예를 들어, GaP 옥시나이트라이드), 실리콘 산화물(SiO_2), 질소-함유 산화물(예를 들어, 질소-함유 SiO_2), 질소-도핑된 산화물(예를 들어, N_2 -임플란트된 SiO_2), 실리콘 옥시나이트라이드($\text{Si}_x\text{O}_y\text{N}_z$) 등이 될 수 있다. 제1 회생 유전층(1120) 및 제2 회생 유전층(1130)은 또한 티타늄 산화물(Ti_xO_y , 예를 들어 TiO_2), 탄탈륨 산화물(Ta_xO_y , 예를 들어 Ta_2O_5), 바륨 스트론튬 티탄산염(BST, $\text{BaTiO}_3/\text{SrTiO}_3$) 등과 같은 어떠한 적절한 "높은 유전 상수" 또는 "높은 K" 물질로 형성될 수 있는 바, 여기서 K는 약 8 이상이다.

제1 회생 유전층(1120) 및 제2 회생 유전층(1130)은 이러한 층들을 형성하는 공지된 많은 기술, 예를 들어, 화학 기상 증착(CVD), 저압 CVD (LPCVD), 플라즈마-강화 CVD(PECVD), 스퍼터링, 물리 기상 증착(PVD), 열 성장 등에 의해 형성될 수 있다. 제1 회생 유전층(1120) 및 제2 회생 유전층(1130)은 각각 약 1000-2500Å 범위의 두께를 갖는다. 예시적인 일 실시예에서, 제1 회생 유전층(1120) 및 제2 회생 유전층(1130)은 각각 더 높은 처리량을 위하여 LPCVD 공정에 의해 블랭킷 증착되며 약 1000Å의 두께를 갖는 실리콘 산화물(SiO_2)으로 형성될 수 있다.

이후, 도 12에 도시된 바와 같이, 패터닝된 포토마스크(1150)(도 11 및 도 12) 및 포토리소그래피를 이용하여 금속화 패턴이 형성된다. 예를 들어, 전도성 금속 라인, 접촉 홀, 비아 홀 등을 위한 비아(1120) 및 트렌치(1230)와 같은 제1 개구부 및 제2 개구부들이 각각 제1 회생 유전층(1120) 및 제2 회생 유전층(1130) 내로 식각된다(도 12). 제1 개구부(1220) 및 제2 개구부(1230)는, 예를 들어 식각 가스들로서 수소 브롬화물(BHr) 및 아르곤(Ar)을 이용하는 반응성 이온 식각(RIE)과 같은 공지된 많은 이방성 식각 기술을 이용하여 형성될 수 있다. 대안적으로, 예를 들어 식각 가스들로서 CHF_3 및 Ar을 이용하는 RIE 공정이 이용될 수 있다. 많은 예시적인 실시예들에서는, 건식 식각이 또한 이용될 수 있다.

도 13에 도시된 바와 같이, 패터닝된 포토마스크(1150)가 벗겨진 다음, 얇은 탄탈륨(Ta) 장벽 금속층(1325A) 및 구리 씨드층(1325B)이 기상 증착을 이용하여 전체 표면에 형성된다(도 13). 도 13에 도시된 바와 같이, Ta 장벽 금속층(1325A) 및 Cu 씨드층(1325B)은 제2 회생 유전층(1130)의 상부 전체 표면(1330)뿐만 아니라, 제1 개구부(1220) 및 제2 개구부(1230)의 측면(1340) 및 바닥 표면들(1350)에 블랭킷 증착되어, 전도성 표면(1335)을 형성한다.

장벽 금속층(1325A)은 탄탈륨 또는 탄탈륨 나이트라이드 등과 같은 적어도 하나의 장벽 금속 물질층으로 형성될 수 있다. 예를 들어, 장벽 금속층(1325A)은 또한 티타늄 나이트라이드, 티타늄-텅스텐, 질화된 타타늄-텅스텐, 마그네슘 또는 다른 적절한 장벽 물질로 등가적으로 형성될 수 있다. 구리 씨드층(1325B)은, 예를 들어 물리 기상 증착(PVD) 또는 화학 기상 증착(CVD)에 의해 하나 이상의 장벽 금속층들(1325A)의 상부에 형성될 수 있다.

대부분의 구리 트렌치-충진은 종종 전기 도금 기술을 이용하여 이루어지는 바, 여기서 전도성 표면(1335)은 전극(미도시)에 기계적으로 고정되어 전기적인 접촉을 형성하고, 구조체(1100)는 이후 Cu 이온들을 포함하는 전해질 용액 내에 담겨진다. 이후, 전류는 웨이퍼-전해질 시스템을 통과하여, 전도성 표면(1335) 상에서의 Cu의 환원 및 증착을 야기시킨다. 또한, 증착된 Cu 필름의 자기 평탄화 방법으로서 웨이퍼-전해질 시스템의 교류 바이어스가 고려되는데, 이는 고밀도 플라즈마(HDP) 테트라에틸 오쏘실리케이트(TEOS) 유전체 증착에서 이용되는 증착 식각 순환과 유사하다.

도 14에 도시된 바와 같이, 이러한 공정은 전형적으로 전체 전도성 표면(1335)에 걸쳐서 실질적으로 일정한 두께를 갖는 등각 Cu 코팅(1440)을 형성한다. 도 15에 도시된 바와 같이, 일단 충분히 두꺼운 Cu층(1440)이 증착되면, Cu층(1440)은 화학 기계적인 연마(CMP) 기술을 이용하여 평탄화된다. CMP를 이용한 평탄화는 제2 회생 유전층(1130)의 전체 상부 표면(1330)으로부터 모든 Cu 및 Ta 장벽 금속을 제거함으로써, 도 15에 도시된 바와 같이 각각 하나 또는 그 이상의 장벽 금속층들(1325A 및 1325B)(도 13 및 도 14)의 나머지 부분들(1525A 및 1525B)에 인접하는, Cu-충진된 트렌치 및 비아(1545) 내에만 Cu(1440)를 남긴다.

도 16에 도시된 바와 같이, 제1 회생 유전층(1120) 및 제2 회생 유전층(1130)은, 예를 들어 습식 식각을 이용하여 제거됨으로써, Cu 배선(1645)을 남긴다. 습식 식각은 식각 중지층(ESL)(1110)에서 중지된다. 많은 예시적인 실시예들에서는, 건식 식각 및/또는 플라즈마 식각이 또한 이용될 수 있다. 제1 회생 유전층(1120) 및 제2 회생 유전층(1130)은 또한, 예를

들어 강인산(H_3PO_4)을 이용한 스트리핑에 의해 선택적으로 제거될 수 있다. Cu-배선(1645)은 하나 또는 그 이상의 장벽 금속층들(1325A) 및 구리 씨드층(1325B)(도 13 및 도 14)의 나머지 부분들(1525A 및 1525B)에 인접하는, Cu-충진된 트렌치 및 비아(1545) 내의 Cu(1440)를 포함한다.

도 17에 도시된 바와 같이, "낮은 유전 상수" 또는 "낮은 K"(여기서 K는 약 4 이하)의 유전층(1700)이 Cu-배선(645)에 인접하게, 그리고 제1 ESL(1110) 상에 형성된다. 낮은 K 유전층(1700)은 이러한 층들을 형성하는 공지된 많은 기술, 예를 들어 화학 기상 증착(CVD), 저압 CVD (LPCVD), 플라즈마-강화 CVD(PECVD), 스퍼터링, 물리 기상 증착(PVD), 열 성장 등에 의해 형성될 수 있으며, 예를 들어 약 2000-5000Å 범위의 두께를 갖는다.

낮은 K 유전층(1700)은 많은 낮은 K 유전 물질로부터 형성될 수 있으며, 여기서 K는 약 4 이하이다. 이러한 물질의 예로는 적용 물질의 블랙 다이아몬드[®], 노벨러스 코랄[®], 얼라이드 신호의 나노글래스[®], JSR's LKD5104 등이 있다. 예시적인 일 실시예에서, 낮은 K 유전층(1700)은 약 2500Å의 두께를 갖는 메틸렌 실리콘 수산화물로 이루어지며, 생산량을 높이기 위하여 LPCVD 공정에 의해 블랭킷 증착된다.

도 18에 도시된 바와 같이, 낮은 K 유전층(1700)은 CMP 기술을 이용하여 평탄화되어, 평탄화된 낮은 K 유전층(1810)을 형성한다. 이러한 평탄화는 Cu-배선(1645)에 인접하는, 그리고 제1 ESL(1110) 상에만 낮은 K 유전층(1810)을 남김으로써, Cu-배선층(1800)을 형성한다. 이 Cu-배선층(1800)은 평탄화된 낮은 K 유전층(1810)에 인접하는 Cu-배선(1645)를 포함한다. Cu-배선층(1800)은 또한 제1 ESL(1110)을 포함한다. 도 18에 도시된 바와 같이, Cu-배선층(1800)은 또한 ("하드 마스크"로서 공지되어 있으며, 전형적으로 실리콘 나이트라이드, Si_3N_4 , 또는 간단하게는 SiN으로 형성된) 제3 ESL(1820)을 포함하는 바, 상기 제3 ESL(1820)은 평탄화된 낮은 K 유전층(1810) 상에, 그리고 Cu-배선(1645)의 적어도 일부 상에 형성되고 패터닝된다.

도 19에 도시된 바와 같이, Cu-배선층(1800)은 Cu-배선층(1900)에 대한 (구조체(1100)와 유사한) 하부 구조층이 될 수 있다. Cu-배선층(1900)은 평탄화된 낮은 K 유전층(1905)에 인접하는 Cu-충진된 트렌치(1940) 및 금속간 비아 연결부(1910)를 포함한다. 상기 Cu-배선층(1900)은 또한 ("하드 마스크"로서 공지되어 있으며, 전형적으로 실리콘 나이트라이드, Si_3N_4 또는 간단하게는 SiN으로 형성되는) 제3 ESL(1820) 및/또는 제4 ESL(1920)을 포함할 수 있으며, 상기 제4 ESL(1920)은 평탄화된 낮은 K 유전층(1905) 및 Cu-충진된 트렌치(1940)의 적어도 일부 상에 형성되고 패터닝된다. 대안적으로, Cu-배선층(1900)은 Cu-배선층(1800)과 유사하다. 예를 들어, Cu-배선층(1900)은 Cu-배선(1645)와 유사한 Cu-배선을 갖는다.

도 20에 도시된 바와 같이, MOS 트랜지스터(2010)가 Cu-배선층(1000)에 대한 (구조체(1100)와 유사한) 하부 구조층이 될 수 있다. Cu-배선층(1000)은 평탄화된 낮은 K 유전층(2040)에 인접하는 Cu-충진된 트렌치들 및 비아들(2020)을 포함한다.

도 11 내지 도 18에 도시된 본 발명의 다양한 실시예들에 따른 이중 다마신 구리 공정 흐름은, 장벽 금속층 및 Cu 씨드층을 형성하기 전에, 그리고 Cu 트렌치를 충전하기 전에, 보다 복잡한 패턴을 식각함으로써, Cu 트렌치 충전과 금속간 비아 연결부의 형성을 결합시킨다. 트렌치 식각은 (도 12의 제1 개구부(1220)와 같은) 비아홀이 식각될 때까지 계속된다. 도 13 내지 도 18에 도시된 본 발명의 다양한 실시예에 따른 이중 다마신 구리 공정 흐름의 나머지 부분은, 도 3 내지 도 8에 도시된 본 발명의 많은 실시예에 따른 대응하는 단일 다마신 구리 공정 흐름과 본질적으로 같다. 그러나, 전체적으로, 본 발명의 다양한 실시예에 따른 이중 다마신 공정 흐름은 공정 단계들의 수를 상당히 감소시키며, 바람직한 Cu 금속화 방법이다.

상기 설명된 구리 배선 형성 방법의 어떠한 실시예는, 전형적으로 종래의 다마신 기술에서 이용되는 일반적인 낮은 K 물질보다 훨씬 더 강력한 희생 유전 물질과 함께 종래의 다마신 공정 기술을 이용하여 구리 배선이 형성될 수 있게 한다. 이러한 희생 유전 물질은 종래의 낮은 K 물질보다, 종래의 다마신 기술의 식각 및 이후의 공정 단계들 동안 손상을 훨씬 덜 받는다. 구리 배선이 형성된 후 희생 유전 물질을 제거한 다음, 구리 배선에 인접하는 낮은 K 유전층을 형성함으로써, 종래의 다마신 공정 동안 낮은 K 유전층을 이용하여 구리 배선을 형성하는 어떠한 어려움도 없이, 인접하는 구리 배선들 간의 캐패시턴스 및 RC 지연을 줄이기 위하여 낮은 K 유전층을 이용하는 모든 장점들이 유지된다.

상기 개시된 특정 실시예들은 단지 예시적인 것으로서, 본 발명은 본원의 개시의 이익을 갖는 당업자에게 다르지만 명백한 방법으로 변형 및 실행될 수 있다. 또한, 본 발명은 본원에 개시된 구조 또는 설계의 세부적인 사항에 한정되지 않으며, 하기의 청구범위에 의해서만 규정된다. 따라서, 상기 개시된 특정 실시예들은 본 발명의 범위 및 원리 내에서 변형 또는 수정될 수 있다. 따라서, 본원에서 보호받고자 하는 권리는 하기의 청구범위에서 규정된다.

도면의 간단한 설명

도 1 내지 도 8은 본 발명의 다양한 실시예들에 따른 단일-다마신 구리 배선 공정 흐름을 개략적으로 도시한다.

도 9는 본 발명의 다양한 실시예에 따른 구리 배선의 다수의 층을 개략적으로 도시한다.

도 10은 MOS 트랜지스터의 소스/드레인 영역을 연결하는 본 발명의 다양한 실시예들에 따른 구리 배선들을 개략적으로 도시한다.

도 11 내지 도 18은 본 발명의 다양한 실시예에 따른 이중-다마신 구리 배선 공정 흐름을 개략적으로 도시한다.

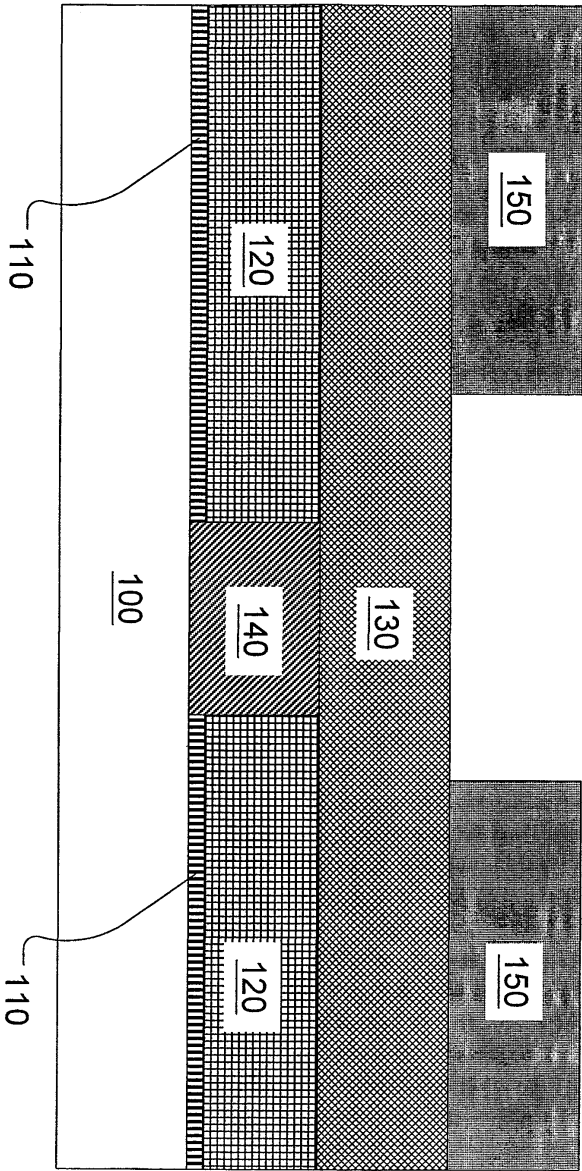
도 19는 본 발명의 다양한 실시예에 따른 구리 배선의 다수의 층을 개략적으로 도시한다.

도 20은 MOS 트랜지스터의 소스/드레인 영역을 연결하는 본 발명의 다양한 실시예들에 따른 구리 배선을 개략적으로 도시한다.

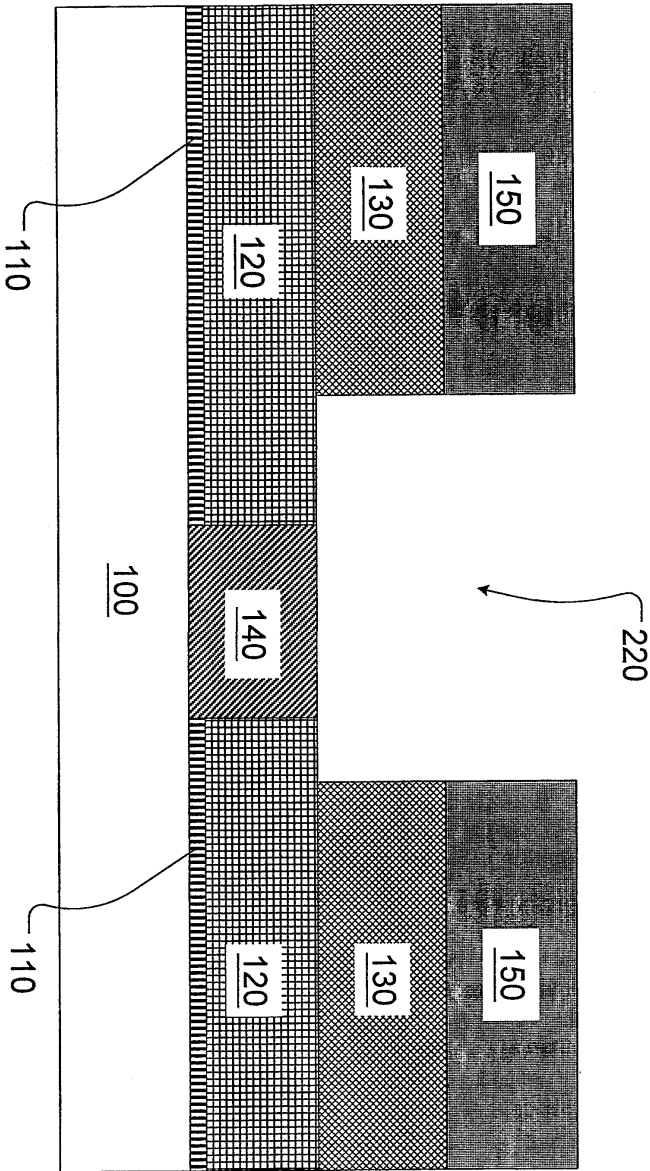
본 발명은 많은 변형 및 대안적인 형태를 가질 수 있지만, 도면에서는 특정한 실시예들이 예시적으로 도시되었으며, 상세한 설명에서도 이들에 대해 상세히 설명한다. 그러나, 이러한 특정 실시예들에 대한 설명은 본 발명을 개시된 형태로 한정하지 않으며, 본 발명은 첨부된 청구범위에 의해 규정되는 본 발명의 원리 및 범위 내에 있는 모든 변형, 등가 및 대안을 포함한다는 것을 알 수 있을 것이다.

도면

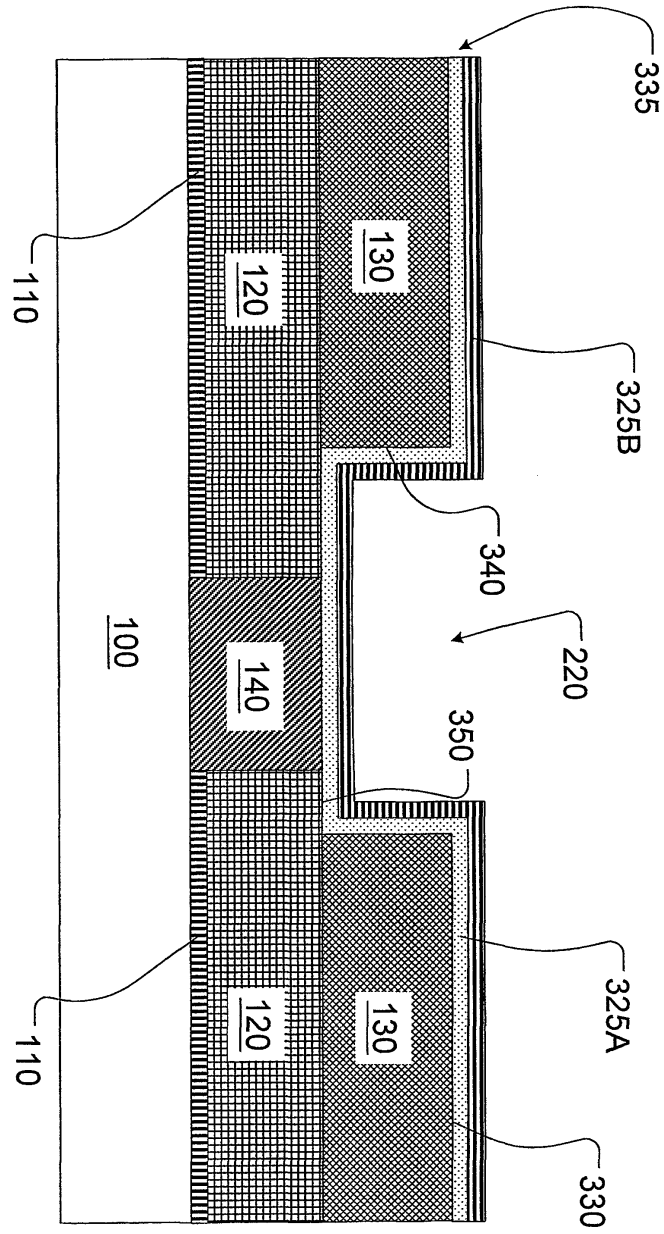
도면1



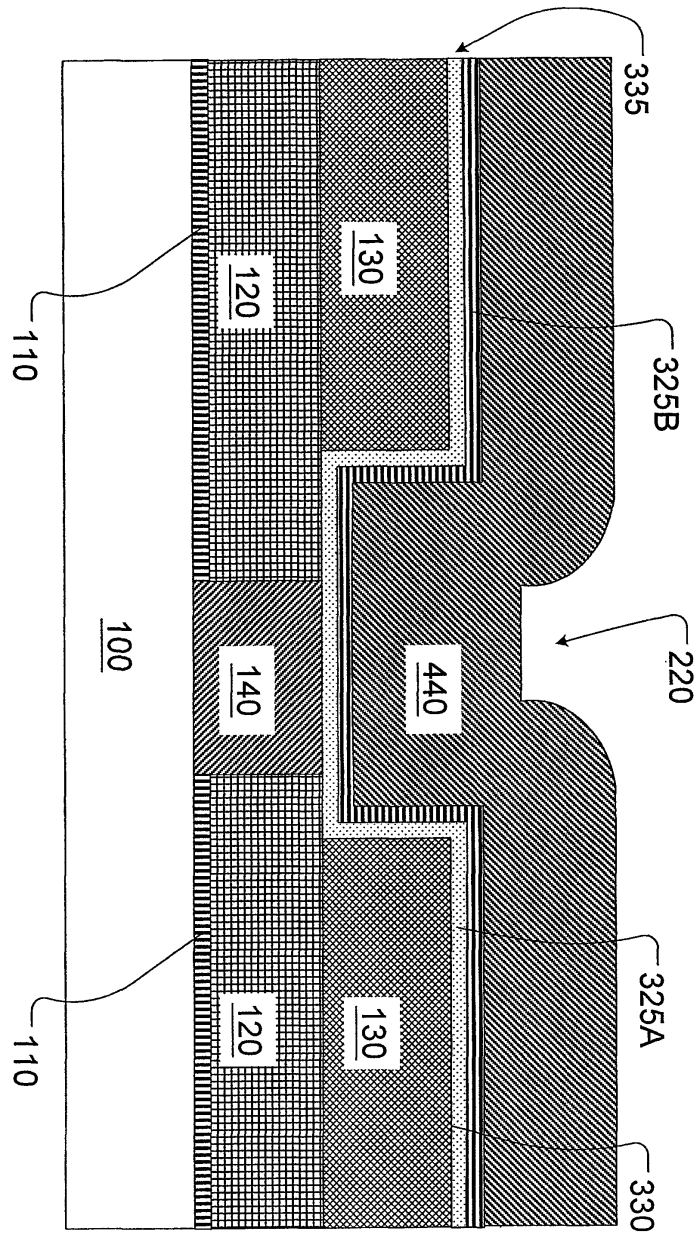
도면2



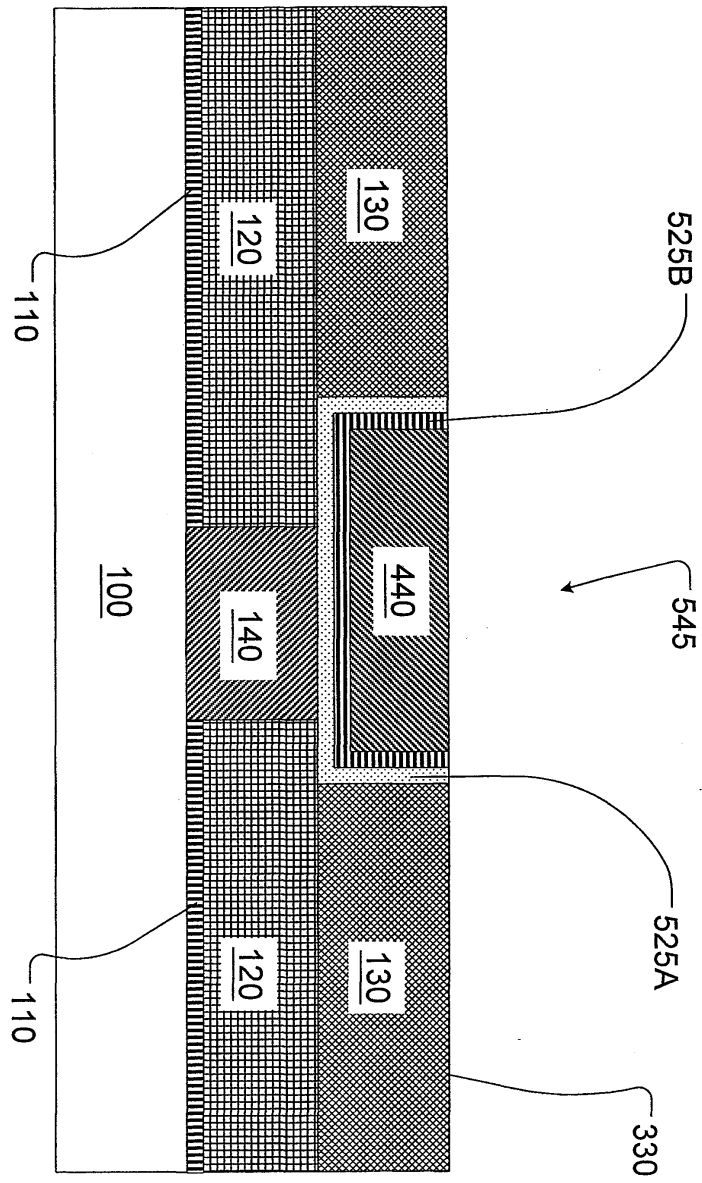
도면3



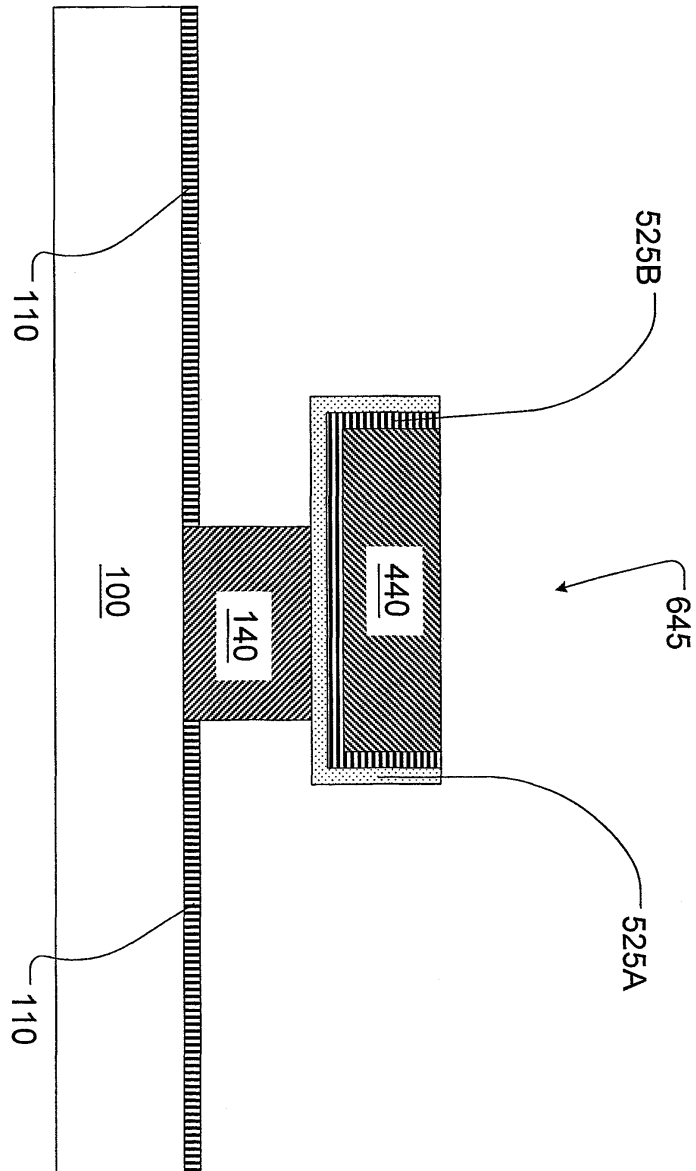
도면4



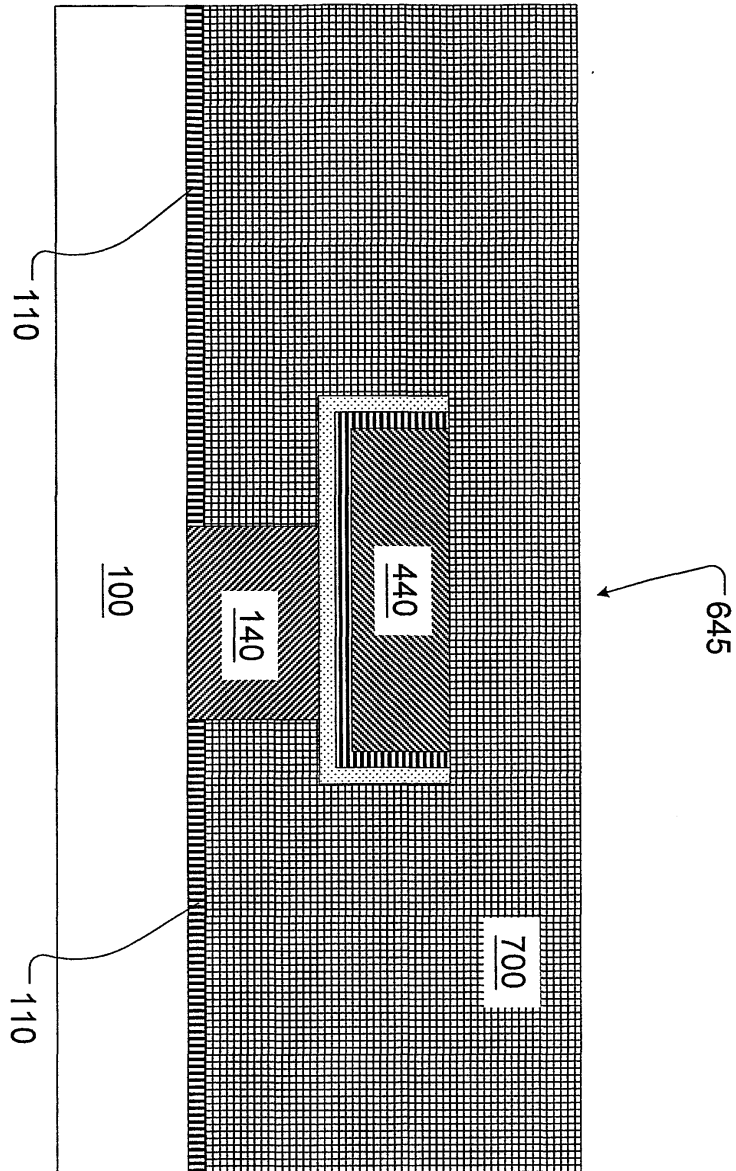
도면5



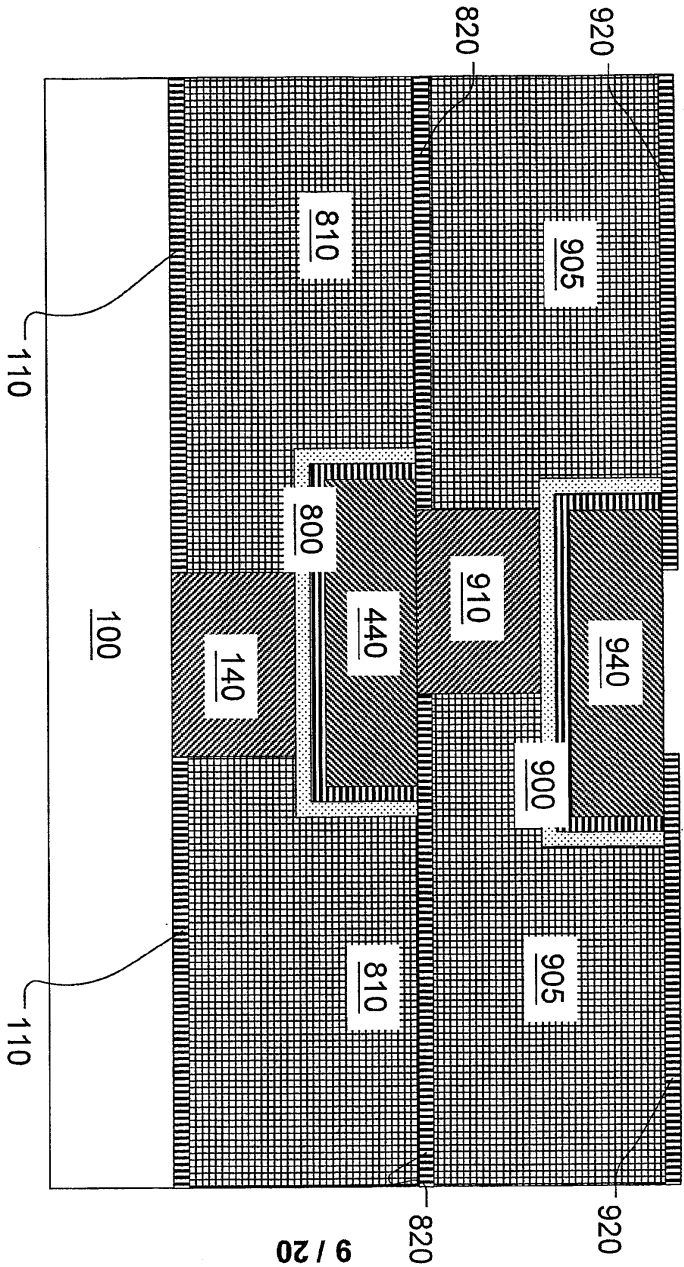
도면6



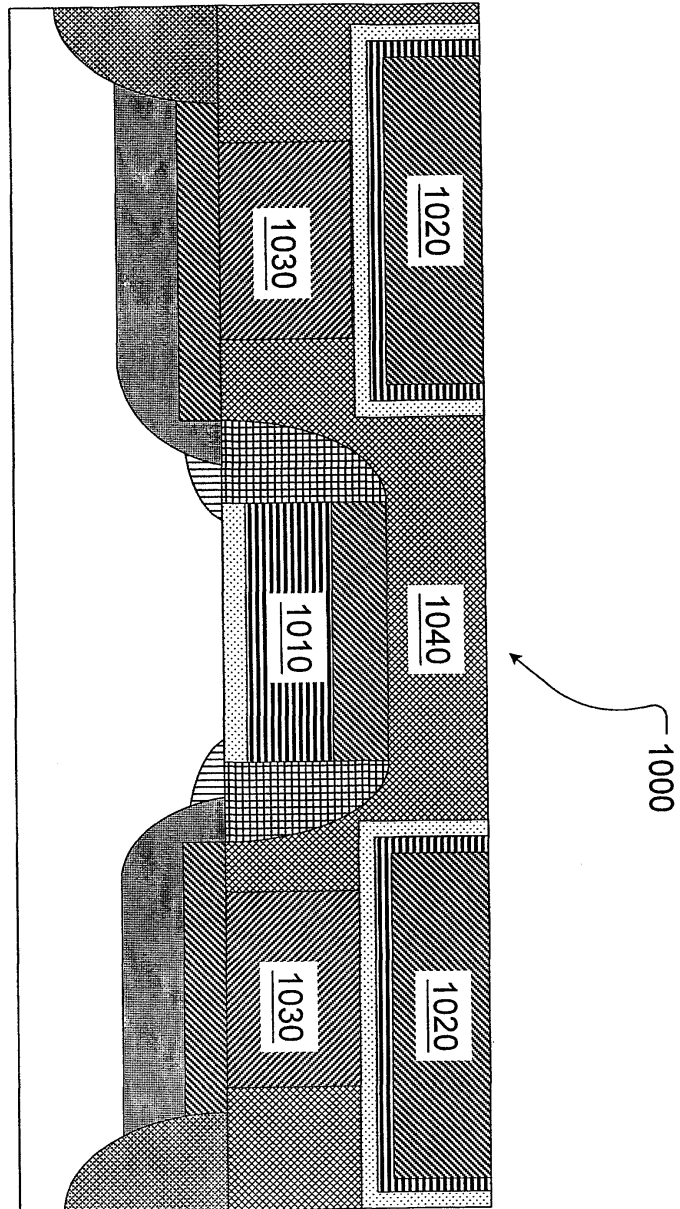
도면7



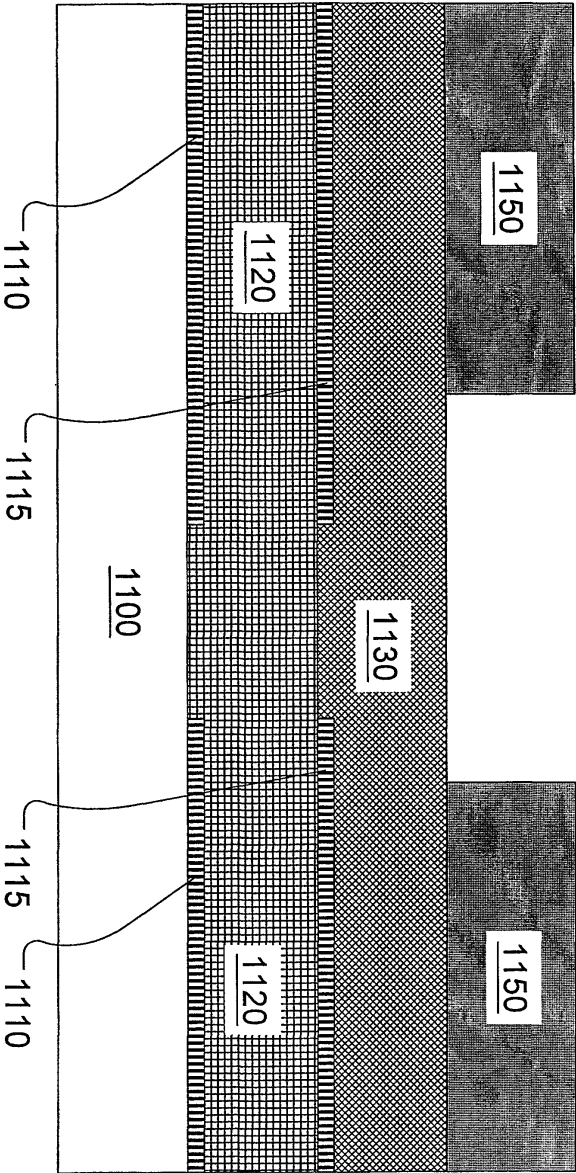
도면9



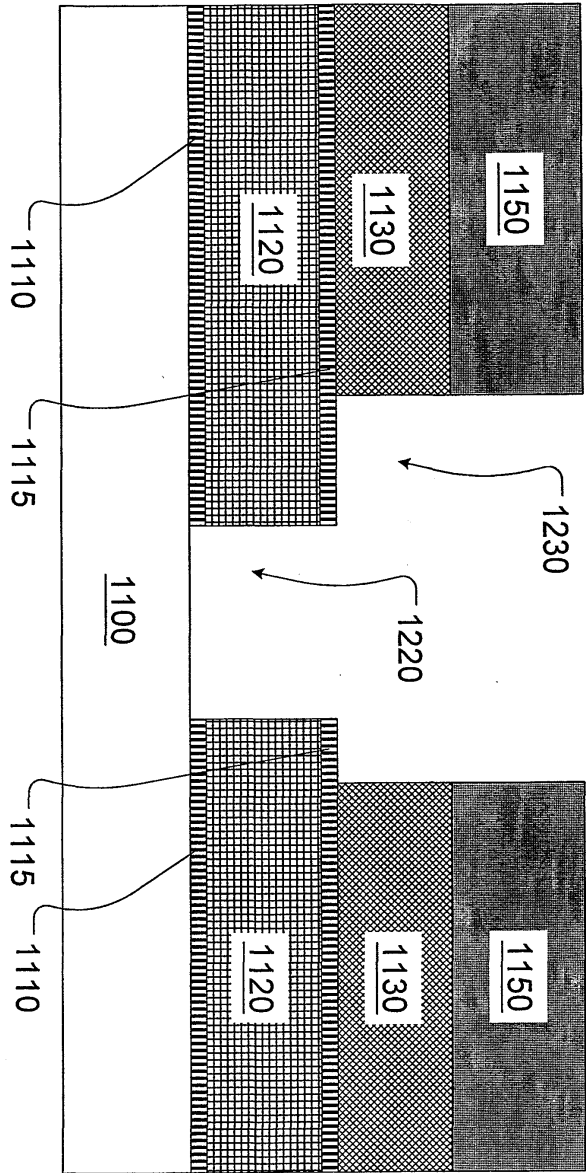
도면10



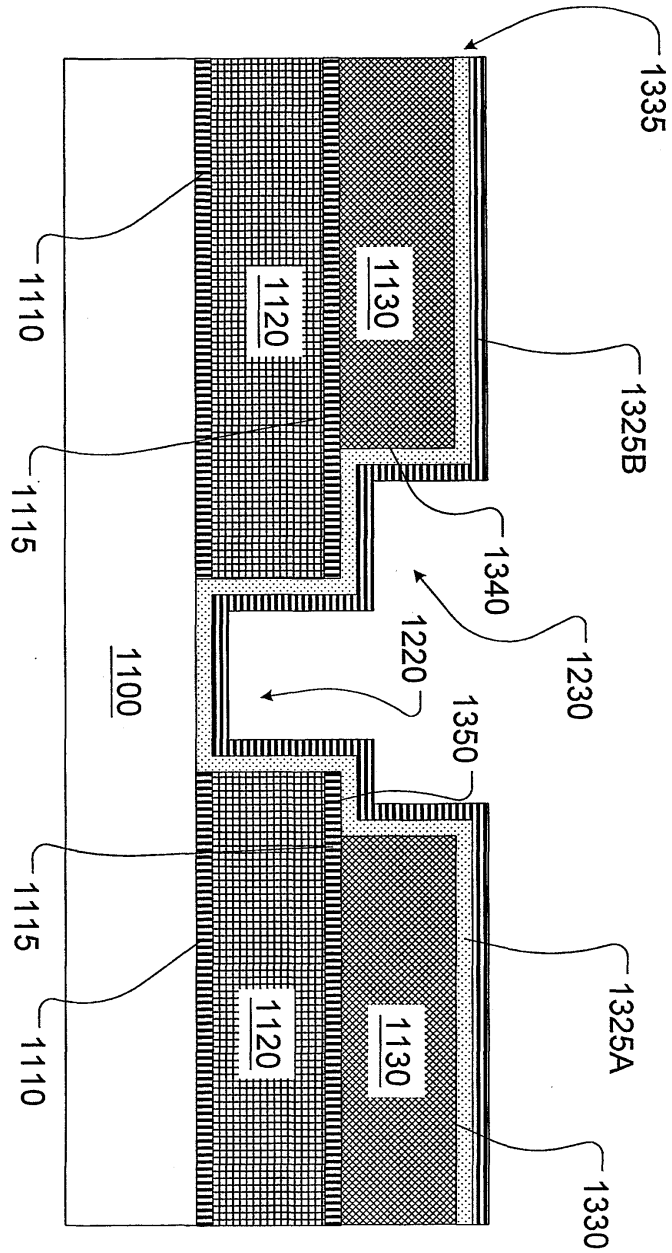
도면11



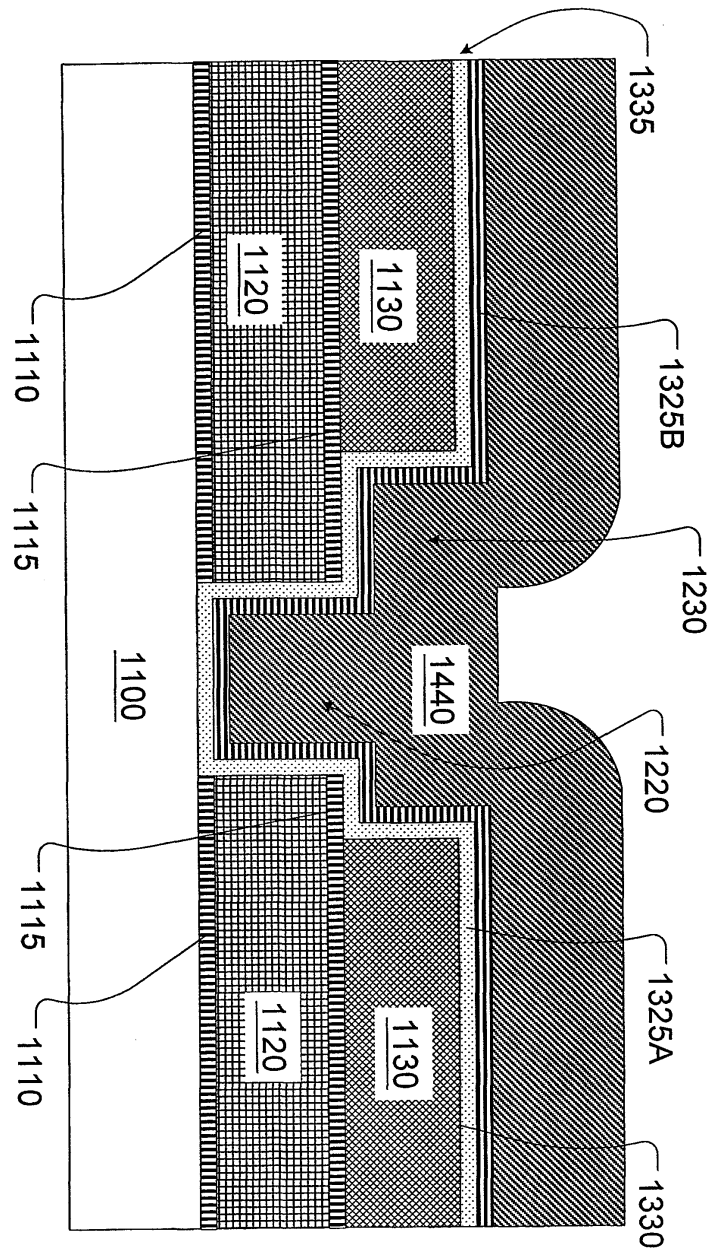
도면12



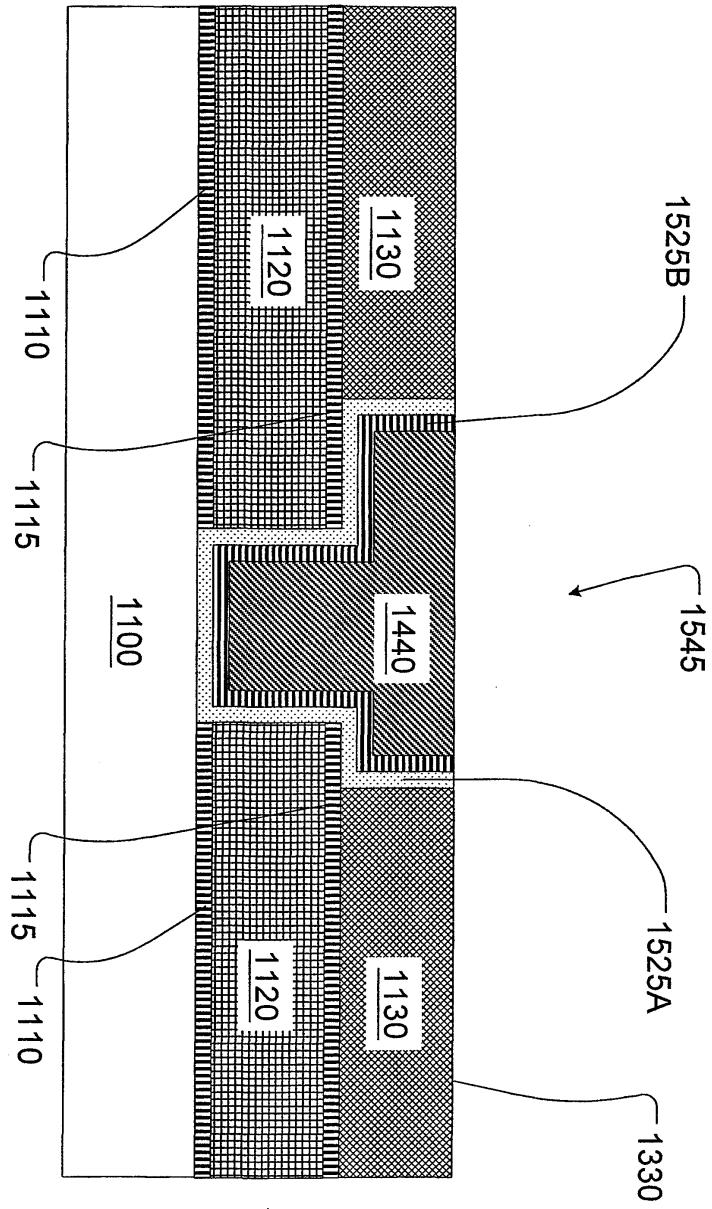
도면13



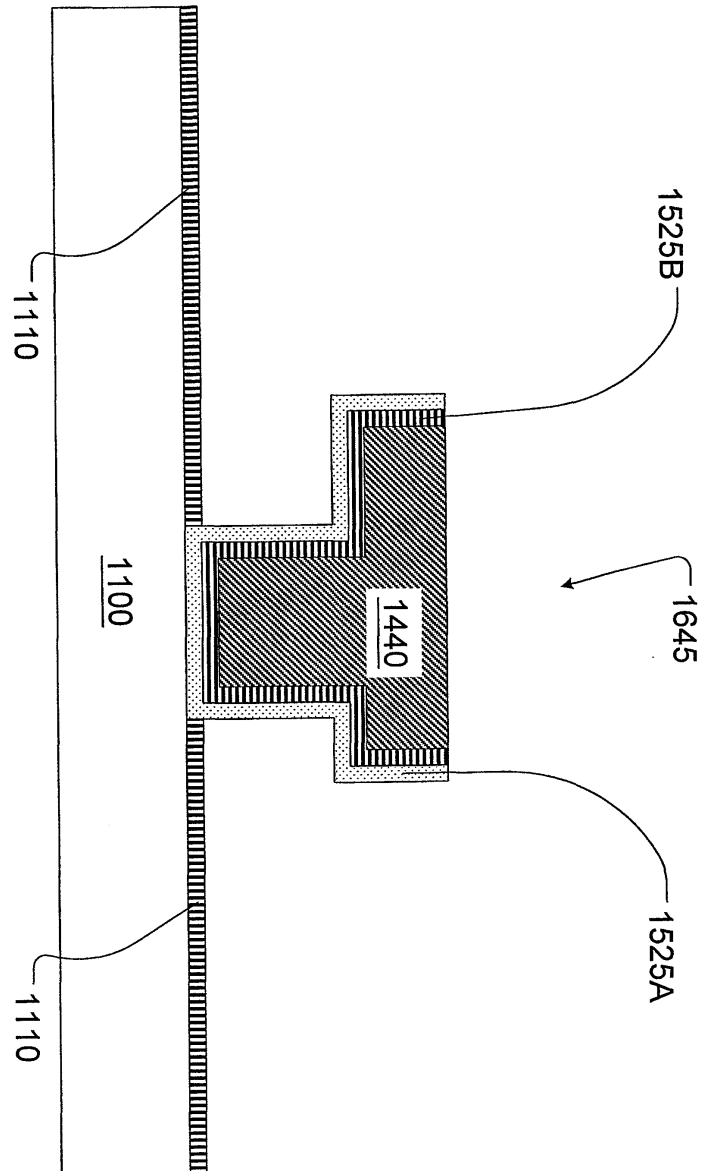
도면14



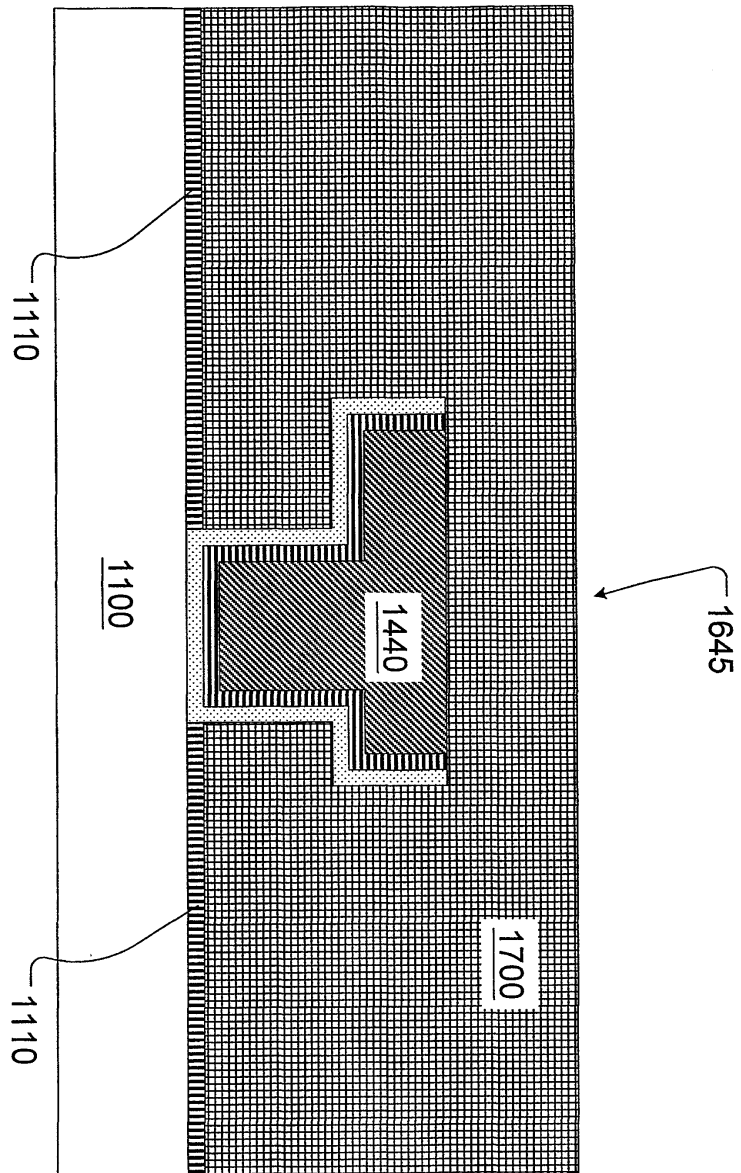
도면15



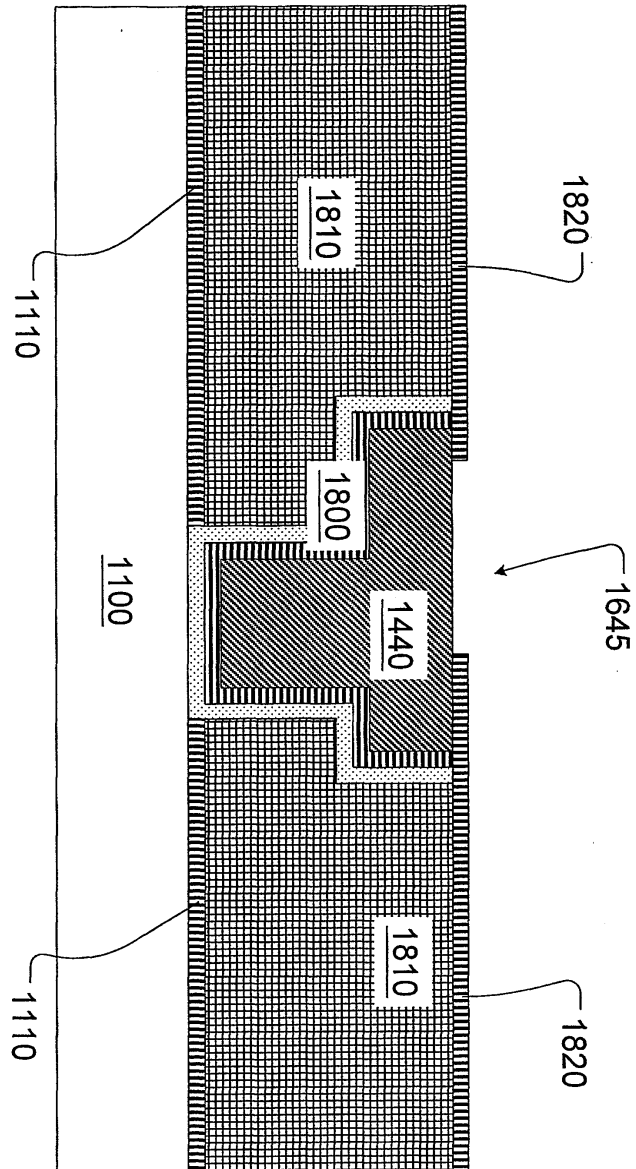
도면16



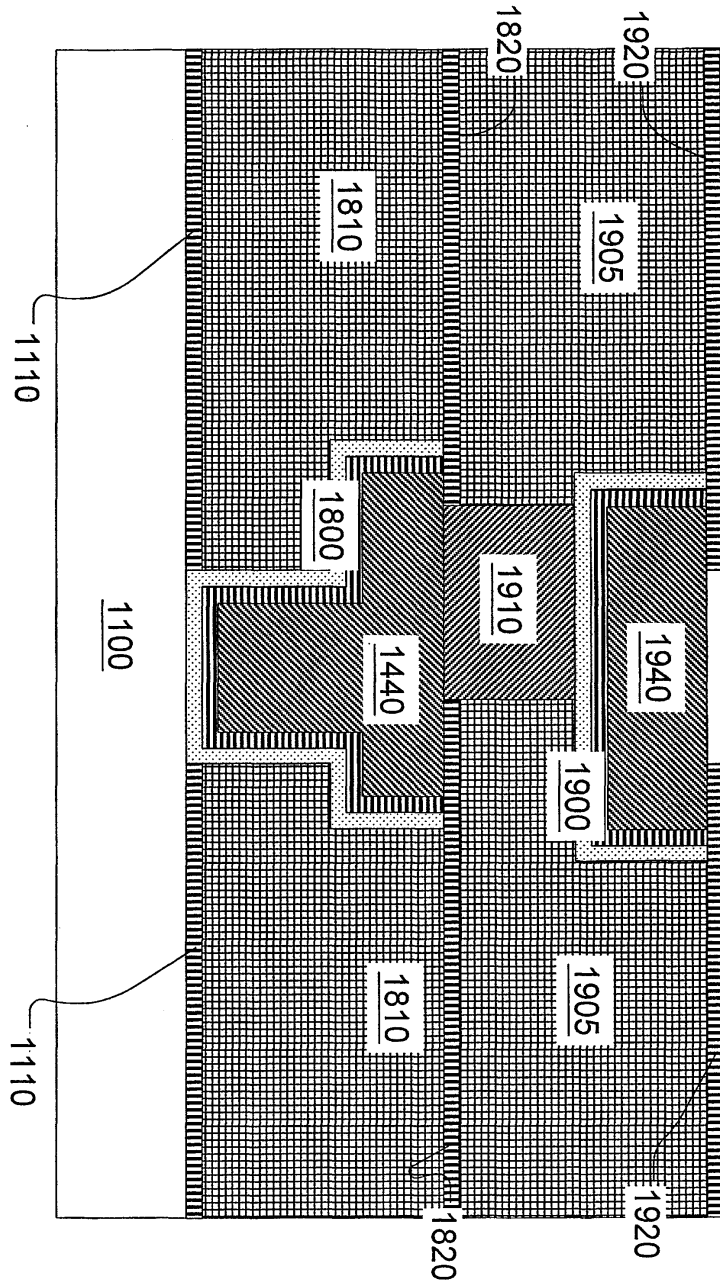
도면17



도면18



도면19



도면20

