

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2018年2月8日(08.02.2018)



(10) 国際公開番号

WO 2018/025580 A1

(51) 国際特許分類:

H01L 21/82 (2006.01) H01L 27/04 (2006.01)
H01L 21/822 (2006.01) H01L 27/06 (2006.01)
H01L 21/8234 (2006.01) H01L 27/092 (2006.01)
H01L 21/8238 (2006.01) H01L 29/06 (2006.01)

(21) 国際出願番号: PCT/JP2017/024918

(22) 国際出願日: 2017年7月7日(07.07.2017)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2016-151125 2016年8月1日(01.08.2016) JP

(71) 出願人: 株式会社ソシオネクスト(SOCIONEXT INC.) [JP/JP]; 〒2220033 神奈川県横浜市港北区新横浜二丁目10番23 Kanagawa (JP).

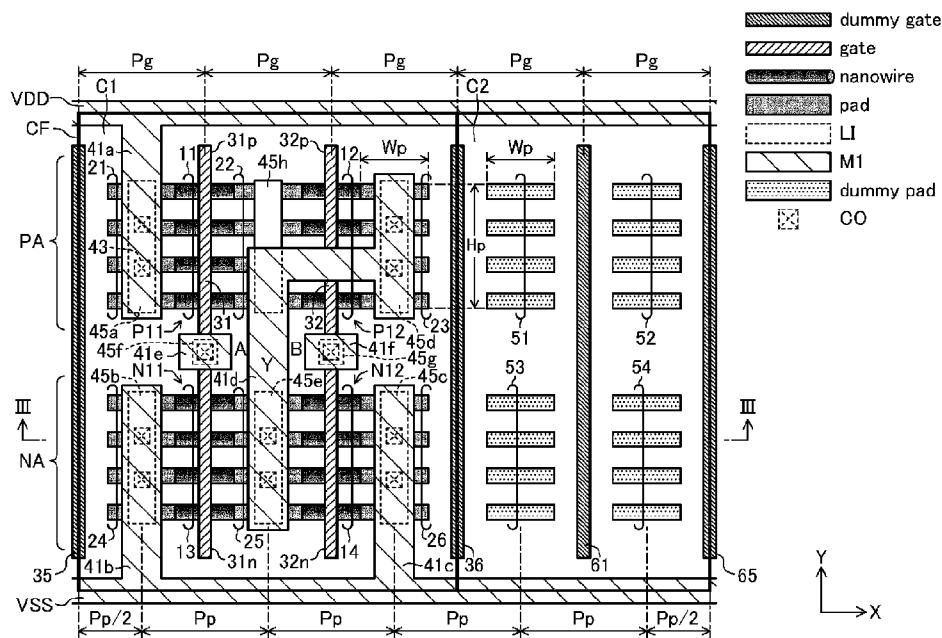
(72) 発明者: 新保 宏幸(SHIMBO Hiroyuki).

(74) 代理人: 特許業務法人前田特許事務所(MAEDA & PARTNERS); 〒5300004 大阪府大阪市北区堂島浜1丁目2番1号 新ダイビル23階 Osaka (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY,

(54) Title: SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

(54) 発明の名称: 半導体集積回路装置



(57) Abstract: Provided is a semiconductor integrated circuit device, using a nanowire FET, that has a layout configuration effective in facilitating easy manufacturing. A standard cell (C2) having no logical function is disposed adjacent to a standard cell (C1) having a logical function. The standard cell (C1) has nanowire FETs (P11, P12, N11, N12) having nanowires (11, 12, 13, 14) and pads (21, 22, 23, 24, 25, 26). The standard cell (C2) has dummy pads (51, 52, 53, 54) that are pads having no contribution to a logical function of the circuit.



MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,
NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

- 一 国際調査報告（条約第21条(3)）

(57) 要約：ナノワイヤFETを用いた半導体集積回路装置について、製造の容易化に有効なレイアウト構成を提供する。論理機能を有するスタンダードセル（C 1）に隣接して、論理機能を有しないスタンダードセル（C 2）が配置されている。スタンダードセル（C 1）は、ナノワイヤ（1 1， 1 2， 1 3， 1 4）およびパッド（2 1， 2 2， 2 3， 2 4， 2 5， 2 6）を有するナノワイヤFET（P 1 1， P 1 2， N 1 1， N 1 2）を備えており、スタンダードセル（C 2）は、回路の論理機能に寄与しないパッドであるダミーパッド（5 1， 5 2， 5 3， 5 4）を備えている。

明 細 書

発明の名称：半導体集積回路装置

技術分野

[0001] 本開示は、ナノワイヤFET (Field Effect Transistor) を用いたスタンダードセル（以下、適宜、単にセルともいう）を備えた半導体集積回路装置に関する。

背景技術

[0002] 半導体基板上に半導体集積回路を形成する方法として、スタンダードセル方式が知られている。スタンダードセル方式とは、特定の論理機能を有する基本的単位（例えば、インバータ、ラッチ、フリップフロップ、全加算器など）をスタンダードセルとして予め用意しておき、半導体基板上に複数のスタンダードセルを配置して、それらのスタンダードセルを配線で接続することによって、LSIチップを設計する方式のことである。

[0003] また、LSIの基本構成要素であるトランジスタは、ゲート長の縮小（スケーリング）により、集積度の向上、動作電圧の低減、および動作速度の向上を実現してきた。しかし近年、過度なスケーリングによるオフ電流と、それによる消費電力の著しい増大が問題となっている。この問題を解決するため、トランジスタ構造を従来の平面型から立体型に変更した立体構造トランジスタが盛んに研究されている。その1つとして、ナノワイヤFETが注目されている。

[0004] 非特許文献1，2には、ナノワイヤFETの製造方法の例が開示されている。

先行技術文献

非特許文献

[0005] 非特許文献1：S. Bangsaruntip, et al. “High performance and highly uniform gate-all-around silicon nanowire MOSFETs with wire size dependent scaling”, Electron Devices Meeting (IEDM), 2009 IEEE International

l

非特許文献2 : Isaac Laucer, et al. “Si Nanowire CMOS Fabricated with Minimal Deviation from RMG Fin FET Technology Showing Record Performance” , 2015 Symposium on VLSI Technology Digest of Technical Papers

発明の概要

発明が解決しようとする課題

[0006] これまで、ナノワイヤFETを用いたスタンダードセルの構造や、ナノワイヤFETを用いた半導体集積回路のレイアウトに関して、具体的な検討はまだなされていない。

[0007] 本開示は、ナノワイヤFETを用いた半導体集積回路装置に関するものであり、製造の容易化に有効なレイアウト構成を提供する。

課題を解決するための手段

[0008] 本開示の第1態様では、半導体集積回路装置は、ナノワイヤFET (Field Effect Transistor) を備え、論理機能を有する第1スタンダードセルと、前記第1スタンダードセルに第1方向において隣接して配置されており、論理機能を有しない第2スタンダードセルとを備え、前記ナノワイヤFETは、前記第1方向に延びる、1つ、または、並列に設けられた複数の、ナノワイヤと、前記ナノワイヤの前記第1方向における両端にそれぞれ設けられ、下面が前記ナノワイヤの下面よりも低い位置にあり、前記ナノワイヤと接続された一対のパッドとを備え、前記第2スタンダードセルは、回路の論理機能に寄与しないパッドである、ダミーパッドを備えている。

[0009] この態様によると、論理機能を有する第1スタンダードセルに隣接して、論理機能を有しない第2スタンダードセルが配置されている。第1スタンダードセルは、ナノワイヤおよびパッドを有するナノワイヤFETを備えており、第2スタンダードセルは、回路の論理機能に寄与しないパッドであるダミーパッドを備えている。このため、第1および第2スタンダードセルにおいて、パッドおよびダミーパッドを、規則的に配置することができる。これにより、半導体集積回路装置の製造ばらつきを抑制でき、歩留まりを向上さ

せることができる。

発明の効果

[0010] 本開示によると、ナノワイヤFETを用いた半導体集積回路装置において、製造ばらつきや性能ばらつきを抑制できるとともに、歩留まりを向上させることができる。

図面の簡単な説明

[0011] [図1]実施形態に係る半導体集積回路装置が備える回路ブロックのレイアウト例を示す平面図

[図2]実施形態におけるスタンダードセルのレイアウト構成を示す平面図

[図3]図2のスタンダードセルの断面図

[図4] (a) ~ (c) はフィラーセルのセル幅のバリエーションを示す平面図

[図5]実施形態におけるスタンダードセルの他のレイアウト構成を示す平面図

[図6]実施形態におけるスタンダードセルの他のレイアウト構成を示す平面図

[図7]実施形態におけるスタンダードセルの他のレイアウト構成を示す平面図

[図8]ダミーパッドを用いた容量セルのレイアウト構成を示す平面図

[図9]ダミーパッドを用いた容量セルの他の構成例を示す図であり、(a) はレイアウト構成を示す平面図、(b) は断面図

[図10]ダミーパッドを用いた容量セルの他のレイアウト構成を示す平面図

[図11]ダミーパッドを用いた容量セルの他の構成例を示す図であり、(a) はレイアウト構成を示す平面図、(b) は断面図

[図12] (a), (b) はダミーパッドを用いた容量セルの他のレイアウト構成を示す平面図

[図13] (a), (b) は図12の構成のセル幅を広げたバリエーションを示す平面図

[図14]図2のスタンダードセルのレイアウト構成の変形例

[図15]ナノワイヤFETの基本構造を示す模式図

[図16]ナノワイヤFETの基本構造示す模式図

発明を実施するための形態

[0012] 以下、実施の形態について、図面を参照して説明する。以下の実施の形態では、半導体集積回路装置は複数のスタンダードセルを備えており、この複数のスタンダードセルのうち少なくとも一部は、ナノワイヤFET（Field Effect Transistor）を備えるものとする。

[0013] 図15はナノワイヤFETの基本構造例を示す模式図である（ナノワイヤ全周ゲート（GAA：Gate All Around）FETともいう）。ナノワイヤFETとは、電流が流れる細いワイヤ（ナノワイヤ）を用いたFETである。ナノワイヤは例えばシリコンによって形成される。図15に示すように、ナノワイヤは、基板上において、水平方向すなわち基板と並行して延びるように形成されており、その両端が、ナノワイヤFETのソース領域およびドレイン領域となる構造物に接続されている。本願明細書では、ナノワイヤFETにおいて、ナノワイヤの両端に接続されており、ナノワイヤFETのソース領域およびドレイン領域となる構造物のことを、パッドと呼ぶ。図15では、シリコン基板の上にSTI（Shallow Trench Isolation）が形成されているが、ナノワイヤの下方（ハッチを付した部分）では、シリコン基板が露出している。なお実際には、ハッチを付した部分は熱酸化膜等で覆われている場合があるが、図15では簡略化のため、図示を省略している。

[0014] ナノワイヤは、その周囲が、シリコン酸化膜等の絶縁膜を介して、例えばポリシリコンからなるゲート電極によってぐるりと囲まれている。パッドおよびゲート電極は、基板表面上に形成されている。この構造により、ナノワイヤのチャネル領域は、上部、両側部、および、下部が全てゲート電極に囲まれているため、チャネル領域に均一に電界がかかり、これにより、FETのスイッチング特性が良好になる。

[0015] なお、パッドは、少なくともナノワイヤが接続されている部分はソース／ドレイン領域となるが、ナノワイヤが接続されている部分よりも下の部分は、必ずしもソース／ドレイン領域とはならない場合もある。また、ナノワイヤの一部（ゲート電極に囲まれていない部分）が、ソース／ドレイン領域となる場合もある。

[0016] また、図15では、ナノワイヤは、縦方向すなわち基板と垂直をなす方向において、2本配置されている。ただし、縦方向に配置するナノワイヤの本数は、2本に限られるものではなく、1本でもよいし、3本以上を縦方向に並べて配置してもよい。また、図15では、最も上のナノワイヤの上端とパッドの上端とは、高さがそろっている。ただし、これらの高さをそろえる必要はなく、パッドの上端が最も上のナノワイヤの上端よりも高くてもかまわない。

[0017] また、図16に示すように、基板の上面にBOX(Buried Oxide)が形成されており、このBOXの上にナノワイヤFETが形成される場合もある。

[0018] (実施の形態)

図1は実施形態に係る半導体集積回路装置が備える回路ブロックのレイアウト例を示す平面図である。図1のレイアウトでは、X方向(図面横方向、第1方向に相当する)に並ぶ複数のセルCが、セル列CRを構成している。そして、複数のセル列CRが、Y方向(図面縦方向、第2方向に相当する)に並べて配置されている。複数のセルCの中には、NANDゲート、NORゲート等の論理機能を有するセル(以下、適宜、論理セルという)の他に、フィラーセルCFLやセル列終端セル(End Capセルともいう)CECが含まれている。

[0019] ここで、「フィラーセル」は、論理機能を有しておらず、回路ブロックの論理機能に寄与せず、論理セルの間に配置されたセルのことをいう。また、「セル列終端セル」は、論理機能を有しておらず、回路ブロックの論理機能に寄与せず、セル列を終端させるために用いられるセルのことをいう。セル列終端セルを配置することによって、セル列におけるウェル領域をX方向において十分に広げることができる。これにより、セル列終端セルより内側にある論理セルのトランジスタをウェル端から遠ざけて、ウェル端近傍におけるトランジスタ特性の変動を回避することができる。

[0020] 本実施形態では、フィラーセルCFLおよびセル列終端セルCECに、ダミーパッド5が配置されている。ここで、「ダミーパッド」とは、回路の論

理機能に寄与しないパッド、言い換えると、ナノワイヤFETを構成するパッドと同様の構造からなり、かつ、回路ブロックの論理機能に寄与しない構造物のことをいう。

[0021] なお、図1では、論理セルのサイズおよびレイアウトは全て同一であるように図示している。ただし、実際のレイアウトはこれに限られるものではなく、どのような論理セルが配置されていてもよい。

[0022] また、本実施形態では、金属配線(M1)とパッド(pad)およびゲート配線(gate)との接続形態は、ローカル配線(L1)とコンタクトを介した接続としている。ただし、図1では、コンタクトの図示は省略している。

[0023] (フィラーセルの構成)

図2は図1の部分W1の拡大図であり、本実施形態におけるスタンダードセルのレイアウト構成を示す平面図である。図2において、スタンダードセルC1は、ナノワイヤFETを備え、論理機能(ここでは2入力NOR)を有している。また、スタンダードセルC2は、論理機能を有しないフィラーセルであり、スタンダードセルC1にX方向において隣接して配置されている。スタンダードセルC1、C2において、P型トランジスタ領域PAとN型トランジスタ領域NAとがY方向に並べて配置されている。また、金属配線層M1において、スタンダードセルC1、C2の上辺においてX方向に延びる、電源電位VDDを供給する配線VDDと、スタンダードセルC1、C2の下辺においてX方向に延びる、接地電位VSSを供給する配線VSSとが配置されている。

[0024] スタンダードセルC1は、P型トランジスタ領域PAにP型のナノワイヤFET P11、P12が設けられており、N型トランジスタ領域NAにN型のナノワイヤFET N11、N12が設けられている。ナノワイヤFET P11、P12は直列に接続されており、ナノワイヤFET N11、N12は並列に接続されている。ナノワイヤFET P11、P12、N11、N12はそれぞれ、X方向に延び、並列に設けられた複数の、ナノワイ

ヤ 1 1, 1 2, 1 3, 1 4 を備えている。ここでは、ナノワイヤ 1 1, 1 2, 1 3, 1 4 はそれぞれ、Y 方向において 4 本ずつ並べて設けられている。また後述するが、ナノワイヤ 1 1, 1 2, 1 3, 1 4 はそれぞれ、縦方向すなわち基板と垂直をなす方向において 2 本ずつ設けられており、合計で 8 本ずつ、設けられている。ナノワイヤ 1 1, 1 2, 1 3, 1 4 は、円柱状であり、基板上において水平方向すなわち基板と並行して延びており、例えばシリコンで形成されている。また、スタンダードセル C 1 には、ナノワイヤ 1 1, 1 2, 1 3, 1 4 と接続されたパッド 2 1, 2 2, 2 3, 2 4, 2 5, 2 6 が設けられている。パッド 2 1, 2 2, 2 3 は、少なくともナノワイヤ 1 1, 1 2 と接続された部分に P 型の不純物が導入されており、ナノワイヤ F E T P 1 1, P 1 2 のソース領域またはドレイン領域となる。パッド 2 4, 2 5, 2 6 は、少なくともナノワイヤ 1 3, 1 4 と接続された部分に N 型の不純物が導入されており、ナノワイヤ F E T N 1 1, N 1 2 のソース領域またはドレイン領域となる。

[0025] またここでは、パッド 2 1, 2 2, 2 3, 2 4, 2 5, 2 6 はそれぞれ、4 個ずつ、Y 方向に分離して形成されている。パッド 2 1 は、分離した 4 個の部分が、Y 方向に 4 本設けられたナノワイヤ 1 1 にそれぞれ接続されている。パッド 2 2 は、分離した 4 個の部分が、Y 方向に 4 本設けられたナノワイヤ 1 1 にそれぞれ接続され、また、Y 方向に 4 本設けられたナノワイヤ 1 2 にそれぞれ接続されている。パッド 2 3 は、分離した 4 個の部分が、Y 方向に 4 本設けられたナノワイヤ 1 2 にそれぞれ接続されている。パッド 2 4 は、分離した 4 個の部分が、Y 方向に 4 本設けられたナノワイヤ 1 3 にそれぞれ接続されている。パッド 2 5 は、分離した 4 個の部分が、Y 方向に 4 本設けられたナノワイヤ 1 3 にそれぞれ接続され、また、Y 方向に 4 本設けられたナノワイヤ 1 4 にそれぞれ接続されている。パッド 2 6 は、分離した 4 個の部分が、Y 方向に 4 本設けられたナノワイヤ 1 4 にそれぞれ接続されている。

[0026] 直列に接続されたナノワイヤ F E T P 1 1, P 1 2 はパッド 2 2 を共有

している。すなわち、ナノワイヤFET P11はナノワイヤ11と接続されたパッド21, 22を備えており、ナノワイヤFET P12はナノワイヤ12と接続されたパッド22, 23を備えている。また、並列に接続されたナノワイヤFET N11, N12はパッド25を共有している。すなわち、ナノワイヤFET N11はナノワイヤ13と接続されたパッド24, 25を備えており、ナノワイヤFET N12はナノワイヤ14と接続されたパッド25, 26を備えている。

[0027] また、スタンダードセルC1には、Y方向に直線状に延びる2本のゲート配線31, 32が配置されている。ゲート配線31は、ナノワイヤFET P11のゲート電極31pと、ナノワイヤ N11のゲート電極31nとを一体に形成したものであり、ナノワイヤ11, 13のX方向における所定範囲において、ナノワイヤ11, 13の周囲を囲うように設けられている。ゲート配線32は、ナノワイヤFET P12のゲート電極32pと、ナノワイヤ N12のゲート電極32nとを一体に形成したものであり、ナノワイヤ12, 14のX方向における所定範囲において、ナノワイヤ12, 14の周囲を囲うように設けられている。また、スタンダードセルC1の両方の側辺に、Y方向に延びるダミーゲート配線35, 36がそれぞれ配置されている。

[0028] また、金属配線層M1において、配線41a~41fが形成されている。配線41aは、配線VDDからY方向下向きに延びるように形成されており、ローカル配線45aを介してパッド21に接続されている。配線41bは、配線VSSからY方向上向きに延びるように形成されており、ローカル配線45bを介してパッド24に接続されている。配線41cは、配線VSSからY方向上向きに延びるように形成されており、ローカル配線45cを介してパッド26に接続されている。配線41dは、パッド23, 25を接続するものであり、ローカル配線45dを介してパッド23に接続されており、ローカル配線45eを介してパッド25に接続されている。配線41eは、ゲート配線31にローカル配線45fを介して接続される。配線41fは

、ゲート配線32にローカル配線45gを介して接続される。配線41d, 41e, 41fは、2入力NOR回路の出力Y、入力A、入力Bにそれぞれ対応する。また、パッド22上にローカル配線45hが設けられている。ローカル配線45hはパッド22に接続されているが、金属配線層M1の配線とは接続されていない。

[0029] なお、ここでは、金属配線41a～41fとパッド21, 23, 24, 25, 26およびゲート配線31, 32との接続形態は、ローカル配線45a, 45b, 45c, 45d, 45e, 45f, 45gとコンタクト43を介した接続としている。ただし、金属配線とパッドおよびゲート配線との接続形態は、コンタクトを介さずに、ローカル配線のみを介した接続としてもよいし、ローカル配線を介さずに、コンタクトのみを介した接続としてもよい。

[0030] 一方、スタンダードセルC2は、P型トランジスタ領域PAにダミーパッド51, 52が設けられており、N型トランジスタ領域NAにダミーパッド53, 54が設けられている。ここでは、ダミーパッド51, 52, 53, 54はそれぞれ、4個ずつ、Y方向に分離して形成されている。ダミーパッド51, 52は、パッド21, 22, 23と同様にP型の不純物が導入されており、ダミーパッド53, 54は、パッド24, 25, 26と同様にN型の不純物が導入されている。ダミーパッド51, 53とダミーパッド52, 54との間に、Y方向に延びるダミーゲート配線61が配置されている。また、スタンダードセルC2の、スタンダードセルC1と反対側の側辺に、Y方向に延びるダミーゲート配線65が配置されている。

[0031] 図3は図2の線III-IIIにおける断面図である。図3に示すように、金属配線層M1の配線41a～41fは、コンタクト43を介して、ローカル配線45a～45gに接続されている。コンタクト43は、金属配線層M1の配線41a～41fと一緒にデュアルダマシンプロセスによって形成される。なお、コンタクト43は、金属配線層M1の配線41a～41fとは別個に形成してもよい。また、金属配線層M1の配線41a～41fは、例えば

Cuからなり、その表面に、例えばタンタルまたは窒化タンタルを含むバリアメタル48が形成されている。ローカル配線45a~45gは、例えばタングステンからなり、その表面に、例えばチタンまたは窒化チタンを含むグルー膜47が形成されている。なお、ローカル配線45a~45gは、コバルトによって形成してもよい。この場合は、グルー膜47の形成を省いてもよい。また、パッド21~26の表面には、例えばニッケルやコバルト等からなるシリサイド膜49が形成されている。

[0032] 層間絶縁膜46a, 46bは、例えばシリコン酸化膜である。層間絶縁膜46cは、例えばSiOCやポーラス膜のような低誘電率膜である。なお、層間絶縁膜46cは、2またはそれ以上の積層構造となってもよい。

[0033] ゲート電極31p, 31n, 32p, 32nは、例えばポリシリコンによって形成される。なお、ゲート電極31p, 31n, 32p, 32nは、窒化チタン等の金属を含む材料によって形成されてもよい。また、ゲート絶縁膜は、例えばシリコン酸化膜であり、例えば熱酸化法によって形成される。なお、ゲート絶縁膜は、ハフニウム、ジルコニウム、ランタン、イットリウム、アルミニウム、チタンまたはタンタルの酸化物によって形成されてもよい。

[0034] 図3の断面図から分かるように、N型トランジスタ領域NAにおいて、パッド24, 25, 26の下面は、ナノワイヤ13, 14の下面よりも低い位置にある。また、ナノワイヤ13, 14の上面は、パッド24, 25, 26の上面と同じ高さにある。そして、ゲート電極31n, 32nは、ナノワイヤ13, 14の周囲をぐるりと囲むように形成されている。同様に、P型トランジスタ領域PAにおいて、パッド21, 22, 23の下面は、ナノワイヤ11, 12の下面よりも低い位置にある。また、ナノワイヤ11, 12の上面は、パッド21, 22, 23の上面と同じ高さにある。そして、ゲート電極31p, 32pは、ナノワイヤ11, 12の周囲をぐるりと囲むように形成されている。すなわち、ナノワイヤ11, 12, 13, 14に形成されるチャンネル領域の上面、両側面、下面の全てが、絶縁膜を介して、ゲート電

極 3 1 p, 3 2 p, 3 1 n, 3 2 n に囲われている。なお、ナノワイヤ 1 3, 1 4 の上面は、パッド 2 4, 2 5, 2 6 の上面よりも低い位置にあってもよいし、ナノワイヤ 1 1, 1 2 の上面は、パッド 2 1, 2 2, 2 3 の上面よりも低い位置にあってもよい。また、基板の上面に B O X (Buried Oxide) が形成されていてもよい。

[0035] 図 2 のレイアウトにおいて、ゲート配線 3 1, 3 2 およびダミーゲート配線 3 5, 3 6, 6 1, 6 5 は、X 方向において同一ピッチ P_g で配置されている。スタンダードセル C 1 のセル幅 (X 方向における寸法) はゲートピッチ P_g の 3 倍すなわち ($P_g \times 3$) であり、スタンダードセル C 2 のセル幅はゲートピッチ P_g の 2 倍すなわち ($P_g \times 2$) である。

[0036] また、図 2 のレイアウトにおいて、パッドおよびダミーパッドは、X 方向において、同一ピッチ P_p で配置されている。すなわち、P 型トランジスタ領域 P A において、パッド 2 1, 2 2, 2 3 およびダミーパッド 5 1, 5 2 はピッチ P_p で配置されており、また N 型トランジスタ領域 N A において、パッド 2 4, 2 5, 2 6 およびダミーパッド 5 3, 5 4 はピッチ P_p で配置されている。ゲート配線のピッチ P_g と、パッドのピッチ P_p とは等しい。すなわち、

$$P_p = P_g$$

である。

[0037] また、パッドおよびダミーパッドは、X 方向における寸法であるパッド幅 W_p は全て同一であり、Y 方向における寸法であるパッド高さ H_p も全て同一である。さらに、P 型トランジスタ領域 P A において、パッド 2 1, 2 2, 2 3 およびダミーパッド 5 1, 5 2 は Y 方向における配置位置が同一であり、N 型トランジスタ領域 N A において、パッド 2 4, 2 5, 2 6 およびダミーパッド 5 3, 5 4 は Y 方向における配置位置が同一である。

[0038] 上述した構成によると、論理セルであるスタンダードセル C 1 に隣接して、フィラーセルであるスタンダードセル C 2 が配置されている。そして、スタンダードセル C 1 は、ナノワイヤ 1 1, 1 2, 1 3, 1 4 およびパッド 2

1, 22, 23, 24, 25, 26を有するナノワイヤFET P11, P12, N11, N12を備えており、スタンダードセルC2は、ダミーパッド51, 52, 53, 54を備えている。スタンダードセルC2にダミーパッド51, …を設けることによって、スタンダードセルC1, C2において、パッド21, …およびダミーパッド51, …を、規則的に配置することができる。すなわち、フィラーセルにダミーパッドを設けることによって、ダミーパッドを含むパッドの配置が規則的になる。これにより、半導体集積回路装置の製造ばらつきを抑制でき、歩留まりを向上させることができる。

[0039] また、スタンダードセルC1のパッド23, 26は、スタンダードセルC2に存在するダミーパッド51, 53によって、隣接パッドまでの距離が所定値に定まる。すなわち、フィラーセルにダミーパッドを設けることによって、論理セルのセル端に最も近いパッドから隣接パッドまでの距離を所定値に定めることができる。これにより、ナノワイヤFETの性能の見積もり精度が向上する。

[0040] なお、上述した構成では、パッドおよびダミーパッドは、X方向において、同一ピッチ P_p で配置されているものとしたが、これに限られるものではない。また、パッドおよびダミーパッドは、X方向における寸法であるパッド幅 W_p は全て同一であり、Y方向における寸法であるパッド高さ H_p も全て同一であるものとしたが、これに限られるものではない。また、P型トランジスタ領域PAにおいて、パッドおよびダミーパッドはY方向における配置位置が同一であり、N型トランジスタ領域NAにおいて、パッドおよびダミーパッドはY方向における配置位置が同一であるものとしたが、これに限られるものではない。

[0041] 図4はフィラーセルのセル幅のバリエーションを示す平面図である。同図中、(a)はセル幅がゲートピッチの1倍のフィラーセル、(b)はセル幅がゲートピッチの3倍のフィラーセル、(c)はセル幅がゲートピッチの8倍のフィラーセルである。図4(a)～(c)に示すフィラーセルはいずれも、図2に示すスタンダードセルC2と同様に、ダミーパッド50とダミー

ゲート配線60とが配置されている。図2では、フィラーセルであるスタンダードセルC2はゲートピッチの2倍のセル幅を有しているが、論理セル間の空き領域の大きさに応じて、図4に示すようなセル幅の異なるフィラーセルを配置してもよい。

[0042] (フィラーセルの変形例その1)

図5は図2に示すレイアウト構成の変形例を示す平面図である。図5では、フィラーセルとして、図2のスタンダードセルC2に代えて、構成が異なるスタンダードセルC2Aが配置されている。図5では、図2と共通の構成要素には図2と同一の符号を付しており、ここではその詳細な説明を省略する場合がある。

[0043] スタンダードセルC2Aは、P型トランジスタ領域PAにダミーパッド51, 52が設けられており、N型トランジスタ領域NAにダミーパッド53, 54が設けられている。ここでは、ダミーパッド51, 52, 53, 54はそれぞれ、4個ずつ、Y方向に分離して形成されている。ダミーパッド51, 52は、パッド21, 22, 23と同様にP型の不純物が導入されており、ダミーパッド53, 54は、パッド24, 25, 26と同様にN型の不純物が導入されている。また、ダミーパッド51, 53とダミーパッド52, 54との間に、Y方向に延びるダミーゲート配線61が配置されており、また、スタンダードセルC1と反対側の側辺に、Y方向に延びるダミーゲート配線65が配置されている。

[0044] またスタンダードセルC2Aは、ダミーパッド51とダミーパッド52との間に、X方向に延び、並列に設けられた複数のナノワイヤ71が設けられており、また、ダミーパッド53とダミーパッド54との間に、X方向に延び、並列に設けられた複数のナノワイヤ72が設けられている。ここでは、ナノワイヤ71, 72はそれぞれ、Y方向において4本ずつ並べて設けられており、また、縦方向すなわち基板と垂直をなす方向において2本ずつ設けられており、合計で8本ずつ、設けられている。ナノワイヤ71, 72は、円柱状であり、基板上において水平方向すなわち基板と並行して延びており

、例えばシリコンで形成されている。ナノワイヤ71, 72のY方向における配置ピッチは、スタンダードセルC1のナノワイヤ11, 12, 13, 14のY方向における配置ピッチと同一である。また、ナノワイヤ71のY方向における配置位置は、スタンダードセルC1のナノワイヤ11, 12と同一であり、ナノワイヤ72のY方向における配置位置は、スタンダードセルC1のナノワイヤ13, 14と同一である。

[0045] なお、ナノワイヤ71, 72の本数は8本に限られるものではなく、また、スタンダードセルC1のナノワイヤ11, 12, 13, 14の本数と異なってもかまわない。また、ナノワイヤ71, 72のY方向における配置ピッチや配置位置は、スタンダードセルC1のナノワイヤ11, 12, 13, 14と同じでなくてもかまわない。

[0046] (フィラーセルの変形例その2)

図6は図2に示すレイアウト構成の変形例を示す平面図である。図6では、フィラーセルとして、図2のスタンダードセルC2に代えて、構成が異なるスタンダードセルC2Bが配置されている。図2と共通の構成要素には図2と同一の符号を付しており、ここではその詳細な説明を省略する場合がある。

[0047] スタンダードセルC2Bは、P型トランジスタ領域PAにダミーパッド51, 52が設けられており、N型トランジスタ領域NAにダミーパッド53, 54が設けられている。ここでは、ダミーパッド51, 52, 53, 54はそれぞれ、4個ずつ、Y方向に分離して形成されている。ダミーパッド51, 52は、パッド21, 22, 23と同様にP型の不純物が導入されており、ダミーパッド53, 54は、パッド24, 25, 26と同様にN型の不純物が導入されている。また、ダミーパッド51, 53とダミーパッド52, 54との間に、Y方向に延びるダミーゲート配線61が配置されており、また、スタンダードセルC1と反対側の側辺に、Y方向に延びるダミーゲート配線65が配置されている。

[0048] スタンダードセルC2Bは、ダミーパッド51とダミーパッド52との間

に、X方向に延び、並列に設けられた複数のナノワイヤ71が設けられており、また、ダミーパッド53とダミーパッド54との間に、X方向に延び、並列に設けられた複数のナノワイヤ72が設けられている。さらに、スタンダードセルC2Bは、ダミーゲート配線36とダミーパッド51との間に、X方向に延び、並列に設けられた複数のナノワイヤ73が設けられており、ダミーゲート配線65とダミーパッド52との間に、X方向に延び、並列に設けられた複数のナノワイヤ74が設けられており、ダミーパッド53とダミーゲート配線36との間に、X方向に延び、並列に設けられた複数のナノワイヤ75が設けられており、ダミーパッド54とダミーゲート配線65との間に、X方向に延び、並列に設けられた複数のナノワイヤ76が設けられている。ここでは、ナノワイヤ71, 72, 73, 74, 75, 76はそれぞれ、Y方向において4本ずつ並べて設けられており、また、縦方向すなわち基板と垂直をなす方向において2本ずつ設けられており、合計で8本ずつ、設けられている。ナノワイヤ71, 72, 73, 74, 75, 76は、円柱状であり、基板上において水平方向すなわち基板と並行して延びており、例えばシリコンで形成されている。ナノワイヤ71, 72, 73, 74, 75, 76のY方向における配置ピッチは、スタンダードセルC1のナノワイヤ11, 12, 13, 14のY方向における配置ピッチと同一である。また、ナノワイヤ71, 73, 74のY方向における配置位置は、スタンダードセルC1のナノワイヤ11, 12と同一であり、ナノワイヤ72, 75, 76のY方向における配置位置は、スタンダードセルC1のナノワイヤ13, 14と同一である。

[0049] なお、ナノワイヤ71, 72, 73, 74, 75, 76の本数は8本に限られるものではなく、また、スタンダードセルC1のナノワイヤ11, 12, 13, 14の本数と異なってもかまわない。また、ナノワイヤ71, 72, 73, 74, 75, 76のY方向における配置ピッチや配置位置は、スタンダードセルC1のナノワイヤ11, 12, 13, 14と同じでなくてもかまわない。

[0050] また、図5に示すスタンダードセルC2Aや図6に示すスタンダードセルC2Bについても、図4と同様に、セル幅のバリエーションを設けることができる。

[0051] (セル列終端セルの構成)

図7は図1の部分W2の拡大図であり、本実施形態におけるセル終端セルのレイアウト構成を示す平面図である。図7では、図2と共通の構成要素には図2と同一の符号を付しており、ここではその詳細な説明を省略する場合がある。図7において、スタンダードセルC1は、ナノワイヤFETを備え、論理機能（ここでは2入力NOR）を有している。スタンダードセルC1の構成は、図2のスタンダードセルC1と同様である。

[0052] スタンダードセルC3は、論理機能を有しないセル終端セルであり、スタンダードセルC1にX方向において隣接して配置されている。スタンダードセルC3を配置することによって、Nウェル領域NWをX方向において十分に広げることができる。これにより、スタンダードセルC1のトランジスタ（ナノワイヤFET）をウェル端から遠ざけて、ウェル端近傍におけるトランジスタ特性の変動を回避することができる。

[0053] また、スタンダードセルC3は、図2のスタンダードセルC2と同様に、ダミーパッド50と、ダミーゲート配線60とが設けられている。ここでは、ダミーパッド50はそれぞれ、4個ずつ、Y方向に分離して形成されている。ダミーパッド50は、X方向において、スタンダードセルC3のパッド21, 22, 23, 24, 25, 26と同一ピッチ P_p で配置されている。ダミーゲート配線60は、X方向において、スタンダードセルC3のゲート配線31, 32およびダミーゲート配線35, 36と同一ピッチ P_g で配置されている。スタンダードセルC3のセル幅は、ゲートピッチ P_g の4倍すなわち($P_g \times 4$)である。

[0054] セル終端セルにダミーパッドを設けることによって、フィラーセルにダミーパッドを設けた場合と同様の作用効果を得ることができる。すなわち、ダミーパッドを含むパッドの配置が規則的になるので、半導体集積回路装置の

製造ばらつきを抑制でき、歩留まりを向上させることができる。また、論理セルのセル端に最も近いパッドから隣接パッドまでの距離を所定値に定めることができるので、ナノワイヤFETの性能の見積もり精度が向上する。

[0055] なお、図7の構成では、スタンダードセルC3のセル幅はゲートピッチPgの4倍であるものとした。ただし、セル終端セルのセル幅はこれに限られるものではなく、図4で示したフィラーセルのバリエーションと同様に、様々なセル幅のセル終端セルを配置してもよい。また、図7の構成では、セル終端セルをセル列CRの図面右側の端部に配置しているが、図面左側の端部に、同様のセル終端セルを配置してもよい。

[0056] また、上述したフィラーセルの変形例と同様に、セル終端セルに関しても、変形例を適用してもよい。例えば図5のスタンダードセルC2Aのように、ダミーパッド同士の間、X方向に延びるナノワイヤを設けてもよい。また、図6のスタンダードセルC2Bのように、セル端に設けられたダミーゲート配線とこれに隣り合うダミーパッドとの間に、X方向に延びるナノワイヤを設けてもよい。

[0057] (ダミーパッドを用いた容量セル)

上述したダミーパッドは、電源電位で固定してもよい。これにより、ダミーパッドが電氣的にフローティング状態になることを回避できるので、回路の動作をより安定させることができる。また、P型トランジスタ領域のダミーパッドをVDDに固定し、N型トランジスタ領域のダミーパッドをVSSに固定してもよい。これにより、ダミーパッド間に容量が発生するため、このダミーパッドを有するフィラーセルやセル列終端セルは、容量セル、すなわち電源間デカップリングコンデンサとして機能する。したがって、電源電圧の安定化を図ることができる。

[0058] 図8はダミーパッドを用いた容量セルのレイアウト構成を示す平面図である。図8は一例として、セル幅がゲートピッチの2倍であるフィラーセルを示しており、例えば図2に示すスタンダードセルC2の代わりに配置される(図9～図12も同様)。図8の構成では、P型トランジスタ領域PAに設

けられたダミーパッド50aは、配線81aおよびローカル配線85aを介して、配線VDDと接続されている。ここでは、ダミーパッド50aはそれぞれ、4個ずつ、Y方向に分離して形成されている。また、N型トランジスタ領域NAに設けられたダミーパッド50bは、配線81bおよびローカル配線85bを介して、配線VSSと接続されている。ここでは、ダミーパッド50bはそれぞれ、4個ずつ、Y方向に分離して形成されている。すなわち、第1ダミーパッドとしてのダミーパッド50aは第1の電源電位としてのVDDに電位固定されており、第2ダミーパッドとしてのダミーパッド50bは第2の電源電位としてのVSSに電位固定されている。これにより、ダミーパッド50aとダミーパッド50bとの間に容量が発生するため（一点鎖線で図示している）、図8のフィラーセルは容量セルとして機能する。

[0059] 図9はダミーパッドを用いた容量セルの他の構成例を示す図であり、(a)はレイアウト構成を示す平面図、(b)は(a)の線A-A'における断面図である。図9の構成では、図8の構成と同様に、P型トランジスタ領域PAに設けられたダミーパッド50aは、配線81aおよびローカル配線85aを介して配線VDDと接続されており、また、N型トランジスタ領域NAに設けられたダミーパッド50bは、配線81bおよびローカル配線85bを介して配線VSSと接続されている。さらに、ダミーゲート配線91は、配線81cおよびローカル配線85cを介して、ダミーパッド50bと接続されている。すなわち、2個のダミーパッド50a間をY方向に延びるダミーゲート配線91は、VSSに電位固定されている。

[0060] このような構成により、ダミーパッド50aとダミーゲート配線91との間に、容量が発生する（図9(b)において一点鎖線で図示している）。したがって、図8の構成よりも、さらに大きな容量値を有する容量セルを実現できる。また、ダミーパッド50aとダミーゲート配線91との間の容量は、ゲート酸化膜を介した容量と比べて耐圧に優れている。

[0061] 図10はダミーパッドを用いた容量セルのレイアウト構成の他の例を示す平面図である。図10の構成では、図8の構成と同様に、P型トランジスタ

領域 P A に設けられたダミーパッド 5 0 a は、配線 8 1 a およびローカル配線 8 5 a を介して配線 V D D と接続されており、また、N 型トランジスタ領域 N A に設けられたダミーパッド 5 0 b は、配線 8 1 b およびローカル配線 8 5 b を介して配線 V S S と接続されている。さらに、図 1 0 の構成は、Y 方向に延びる同一直線上にあり、かつ、P 型トランジスタ領域 P A と N 型トランジスタ領域 N A とで分離されたダミーゲート配線 9 1 a, 9 1 b が配置されている。そして、ダミーゲート配線 9 1 a は、配線 8 1 d およびローカル配線 8 5 d を介して、ダミーパッド 5 0 b と接続されている。すなわち、第 1 ダミーゲート配線としてのダミーゲート配線 9 1 a は V S S に電位固定されている。一方、ダミーゲート配線 9 1 b は、配線 8 1 e およびローカル配線 8 5 e を介して、ダミーパッド 5 0 a と接続されている。すなわち、第 2 ダミーゲート配線としてのダミーゲート配線 9 1 b は V D D に電位固定されている。なお、ダミーゲート配線 9 1 a, 9 1 b は、同一直線上に配置されていなくてもよい。

[0062] このような構成により、ダミーパッド 5 0 a とダミーゲート配線 9 1 a との間に容量が発生し、また、ダミーパッド 5 0 b とダミーゲート配線 9 1 b との間に容量が発生する。すなわち、P 型トランジスタ領域 P A と N 型トランジスタ領域 N A とのそれぞれにおいて、耐圧に優れた大きな容量が構成される。したがって、図 9 の構成よりも、さらに大きな容量値を有する容量セルを実現できる。

[0063] 図 1 1 はダミーパッドを用いた容量セルの他の構成例を示す図であり、(a) はレイアウト構成を示す平面図、(b) は (a) の線 A - A' における断面図である。ただし、図 1 1 (b) は図の見やすさのために拡大している。図 1 1 の構成では、図 9 の構成と同様に、P 型トランジスタ領域 P A に設けられたダミーパッド 5 0 a は、配線 8 1 a およびローカル配線 8 5 a を介して配線 V D D と接続されており、また、N 型トランジスタ領域 N A に設けられたダミーパッド 5 0 b は、配線 8 1 b およびローカル配線 8 5 b を介して配線 V S S と接続されている。また、ダミーパッド 5 0 a 同士の間、X

方向に並列に延びる複数本のナノワイヤ 9 2 が設けられている。ここでは、ナノワイヤ 9 2 は、Y 方向において 3 本ずつ並べて設けられており、また、縦方向すなわち基板と垂直をなす方向において 2 本ずつ設けられており、合計で 6 本、設けられている。Y 方向に延びるゲート配線 9 3 は、ナノワイヤ 9 2 の周囲を、ゲート絶縁膜 9 4 を介して囲うように設けられている。ゲート配線 9 3 は、配線 8 1 c およびローカル配線 8 5 c を介して、ダミーパッド 5 0 b と接続されている。すなわち、ゲート配線 9 3 は V S S に電位固定されている。

[0064] このような構成により、ダミーパッド 5 0 a とゲート配線 9 3 との間、および、ナノワイヤ 9 2 とゲート配線 9 3 との間に、容量が発生する（図 1 1 (b) において一点鎖線で図示している）。したがって、図 9 の構成よりも、さらに大きな容量値を有する容量セルを実現できる。なお、図 1 1 の構成では、ナノワイヤ 9 2 の本数は 6 としたが、これに限られるものではない。

[0065] また、図 1 0 のように、ゲート配線が P 型トランジスタ領域 P A と N 型トランジスタ領域 N A とで分離された構成において、ダミーパッド 5 0 a 同士の間、および、ダミーパッド 5 0 b 同士の間、それぞれ、ナノワイヤを設けるようにしてもかまわない。これにより、P 型トランジスタ領域 P A と N 型トランジスタ領域 N A とのそれぞれにおいて、ゲート絶縁膜を介した容量が構成される。

[0066] 図 1 2 はダミーパッドを用いた容量セルの他の構成例を示す図である。図 1 2 において、(a) は図 9 の構成においてローカル配線 8 5 b を省いた構成、(b) は図 1 1 の構成においてローカル配線 8 5 b を省いた構成である。図 9 や図 1 1 の構成では、N 型トランジスタ領域 N A において、ダミーパッド 5 0 b、ダミーゲート配線 9 1、ゲート配線 9 3 はいずれも V S S に電位固定されており、このため容量は構成されていない。したがって、図 1 2 に示すように、ダミーパッド 5 0 b と配線 5 1 b とを接続するローカル配線 8 5 b は省いてもかまわない。

[0067] なお、図 8 ～図 1 2 では、セル幅がゲートピッチの 2 倍であるフィラーセ

ルを例にとって容量セルの構成を図示したが、ダミーパッドを有するセル列終端セルについても、同様に、容量セルを構成することができる。また、他のセル幅を有するフィラーセルやセル列終端セルについても、同様に、容量セルを構成することができる。

[0068] 図13は図12の構成のセル幅を広げたバリエーションを示す図である。

図13において、(a)は図12(a)の構成のセル幅をゲートピッチの6倍に広げた構成、(b)は図12(b)の構成のセル幅をゲートピッチの6倍に広げた構成である。

[0069] なお、上の説明では、ナノワイヤは円柱状であるものとしたが、ナノワイヤの形状はこれに限られるものではない。例えば、ナノワイヤの断面形状が楕円形や長円形であってもよいし、ナノワイヤが四角柱などの角柱状であってもかまわない。

[0070] また、上の説明では、ナノワイヤFETにおいて、パッドは、Y方向に複数本設けられたナノワイヤに対して、分離して、形成されるものとした。ただし、パッドは、Y方向に複数本設けられたナノワイヤに対して、一体に形成される場合もある。図14は図2のレイアウト構成の変形例である。図14では、パッド21, 22, 23, 24, 25, 26は、それぞれ、Y方向に4本ずつ設けられたナノワイヤ11, 12, 13, 14に対して、一体に形成されている。また、ダミーパッド51, 52, 53, 54は、それぞれ、一体に形成されている。

[0071] また、上の説明では、スタンダードセルにおいて、パッドの幅やパッド間隔は全て同一であるものとしたが、これに限られるものではない。例えばスタンダードセルは、幅が異なるパッドを備えていてもよいし、パッド間隔が異なっていてかまわない。この場合でも、パッドが同一ピッチで配置されていれば、規則的なパッドの配置パターンを実現することができる。また、P型トランジスタ領域とN型トランジスタ領域とにおいて、X方向におけるパッドの位置が一致していなくてもかまわない。ただし、一致している方が好ましい。

[0072] また、上の説明では、ゲート配線のピッチは、パッドのピッチと等しいものとしたが、これに限られるものではない。また、ゲート配線は、P型トランジスタ領域およびN型トランジスタ領域にわたって、Y方向に直線状に延びているものとしたが、これに限られるものではない。

産業上の利用可能性

[0073] 本開示では、ナノワイヤFETを用いた半導体集積回路装置について、製造の容易化に有効なレイアウト構成を提供するため、半導体集積回路装置の性能向上に有用である。

符号の説明

[0074] 5 ダミーパッド

11, 12, 13, 14 ナノワイヤ

21, 22, 23, 24, 25, 26 パッド

36 ダミーゲート配線

50 ダミーパッド

50a ダミーパッド (第1ダミーパッド)

50b ダミーパッド (第2ダミーパッド)

51, 52, 53, 54 ダミーパッド

65 ダミーゲート配線

71, 72, 73, 74, 75, 76 ナノワイヤ

91, 93 ダミーゲート配線

91a ダミーゲート配線 (第1ダミーゲート配線)

91b ダミーゲート配線 (第2ダミーゲート配線)

92 ナノワイヤ

93 ゲート配線

C スタANDARDセル

C1 第1スタANDARDセル

C2, C2A, C2B 第2スタANDARDセル

CFL フィラーセル

C E C セル列終端セル

P 1 1, P 1 2, N 1 1, N 1 2 ナノワイヤFET

請求の範囲

- [請求項1] ナノワイヤ F E T (Field Effect Transistor) を備え、論理機能を有する第 1 スタンダードセルと、
- 前記第 1 スタンダードセルに第 1 方向において隣接して配置されており、論理機能を有しない第 2 スタンダードセルとを備え、
- 前記ナノワイヤ F E T は、
- 前記第 1 方向に延びる、1 つ、または、並列に設けられた複数の、ナノワイヤと、
- 前記ナノワイヤの前記第 1 方向における両端にそれぞれ設けられ、下面が前記ナノワイヤの下面よりも低い位置にあり、前記ナノワイヤと接続された一対のパッドとを備え、
- 前記第 2 スタンダードセルは、
- 回路の論理機能に寄与しないパッドである、ダミーパッドを備えている
- ことを特徴とする半導体集積回路装置。
- [請求項2] 請求項 1 記載の半導体集積回路装置において、
- 前記ダミーパッドは、前記パッドと、前記第 1 方向の寸法であるパッド幅、前記第 1 方向と垂直をなす第 2 方向の寸法であるパッド高さ、および、前記第 2 方向における配置位置のうち少なくともいずれか 1 つが同一である
- ことを特徴とする半導体集積回路装置。
- [請求項3] 請求項 1 記載の半導体集積回路装置において、
- 前記ダミーパッドおよび前記パッドは、前記第 1 方向において、同一ピッチで配置されている
- ことを特徴とする半導体集積回路装置。
- [請求項4] 請求項 1 記載の半導体集積回路装置において、
- 前記ダミーパッドは、前記第 1 方向において並べて配置された第 1 および第 2 ダミーパッドを含み、

前記第2スタンダードセルは、

前記第1ダミーパッドと前記第2ダミーパッドとの間に設けられ、
前記第1方向に延びる、1つ、または、並列に設けられた複数の、ナノワイヤを備えている
ことを特徴とする半導体集積回路装置。

[請求項5]

請求項1記載の半導体集積回路装置において、

前記第2スタンダードセルは、

前記第1方向におけるセル端に配置されたダミーゲート配線と、
前記ダミーパッドと前記ダミーゲート配線との間に設けられ、前記
第1方向に延びる、1つ、または、並列に設けられた複数の、ナノワイヤとを備えている
ことを特徴とする半導体集積回路装置。

[請求項6]

請求項1記載の半導体集積回路装置において、

前記第1および第2スタンダードセルは、第1および第2の電源電位が与えられており、

前記ダミーパッドは、前記第1の電源電位が与えられている第1ダミーパッドを含む

ことを特徴とする半導体集積回路装置。

[請求項7]

請求項6記載の半導体集積回路装置において、

前記第1ダミーパッドは、前記第1方向に並ぶ2個のダミーパッドを含み、

前記第2スタンダードセルは、前記2個のダミーパッド同士の間を、
前記第1方向と垂直をなす第2方向に延びるダミーゲート配線を備え、

前記ダミーゲート配線は、前記第2の電源電位が与えられている
ことを特徴とする半導体集積回路装置。

[請求項8]

請求項6記載の半導体集積回路装置において、

前記第1ダミーパッドは、前記第1方向に並ぶ2個のダミーパッド

を含み、

前記第2スタンダードセルは、

前記2個のダミーパッド同士の上に設けられ、前記第1方向に延びる、1つ、または、並列に設けられた複数の、第2ナノワイヤと、

前記第1方向と垂直をなす第2方向に延び、前記第2ナノワイヤの前記第1方向における所定範囲において、前記第2ナノワイヤの周囲を囲うように設けられたゲート配線とを備え、

前記ゲート配線は、前記第2の電源電位が与えられていることを特徴とする半導体集積回路装置。

[請求項9]

請求項6記載の半導体集積回路装置において、

前記ダミーパッドは、前記第2の電源電位が与えられている第2ダミーパッドを含む

ことを特徴とする半導体集積回路装置。

[請求項10]

請求項9記載の半導体集積回路装置において、

前記第1ダミーパッドは、前記第1方向に並ぶ2個のダミーパッドを含み、

前記第2ダミーパッドは、前記第1方向に並ぶ2個のダミーパッドを含み、

前記第2スタンダードセルは、

前記第1ダミーパッドに含まれた前記2個のダミーパッド同士の間を、前記第1方向と垂直をなす第2方向に延びる、第1ダミーゲート配線と、

前記第2ダミーパッドに含まれた前記2個のダミーパッド同士の間を、前記第2方向に延びる、第2ダミーゲート配線とを備え、

前記第1ダミーゲート配線は、前記第2の電源電位が与えられており、

前記第2ダミーゲート配線は、前記第1の電源電位が与えられている

ことを特徴とする半導体集積回路装置。

[請求項11]

請求項10記載の半導体集積回路装置において、

前記第1ダミーゲート配線と前記第2ダミーゲート配線とは、前記第2方向に延びる同一直線上に、配置されている

ことを特徴とする半導体集積回路装置。

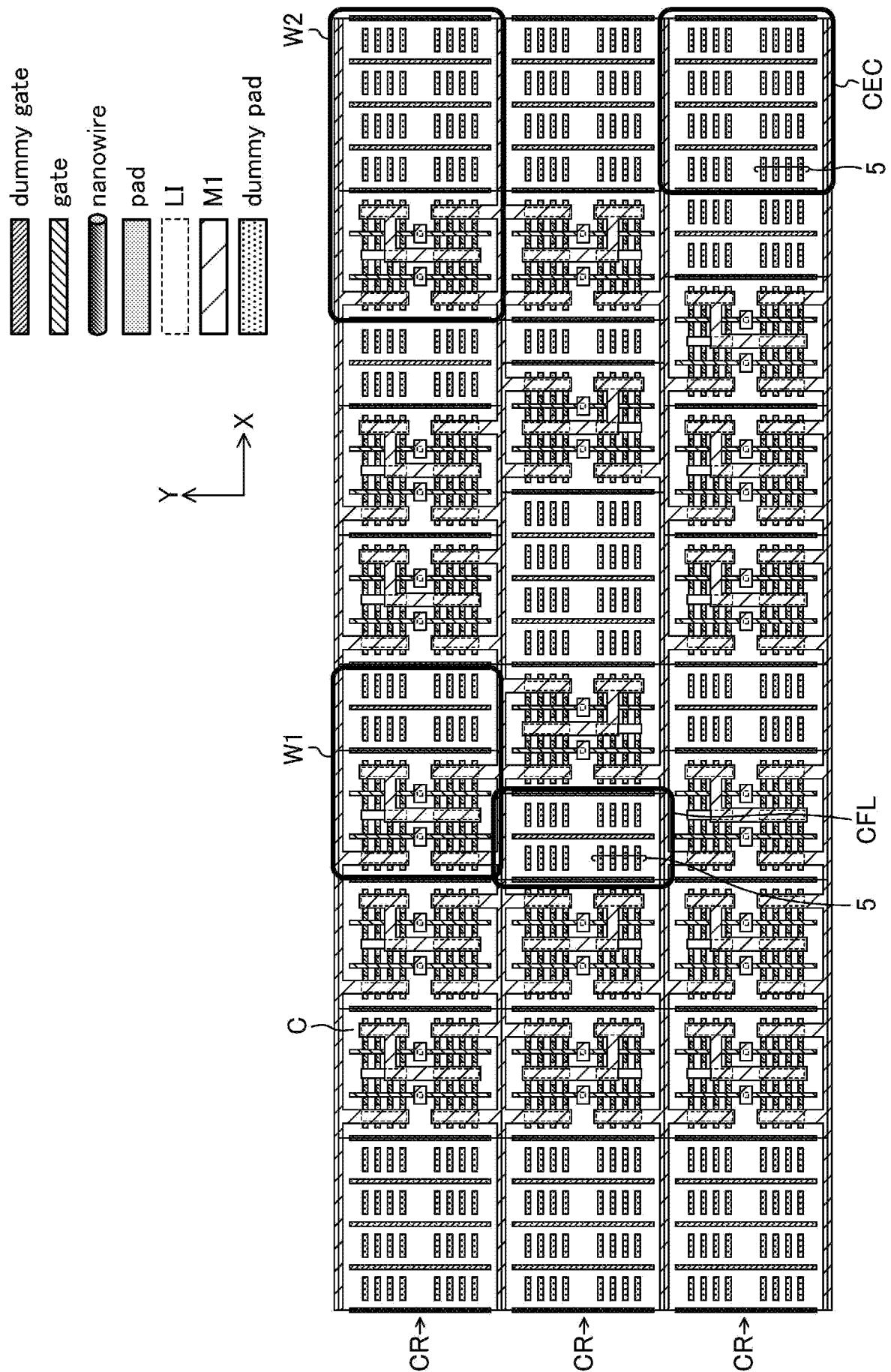
[請求項12]

請求項1～11のうちいずれか1項記載の半導体集積回路装置において、

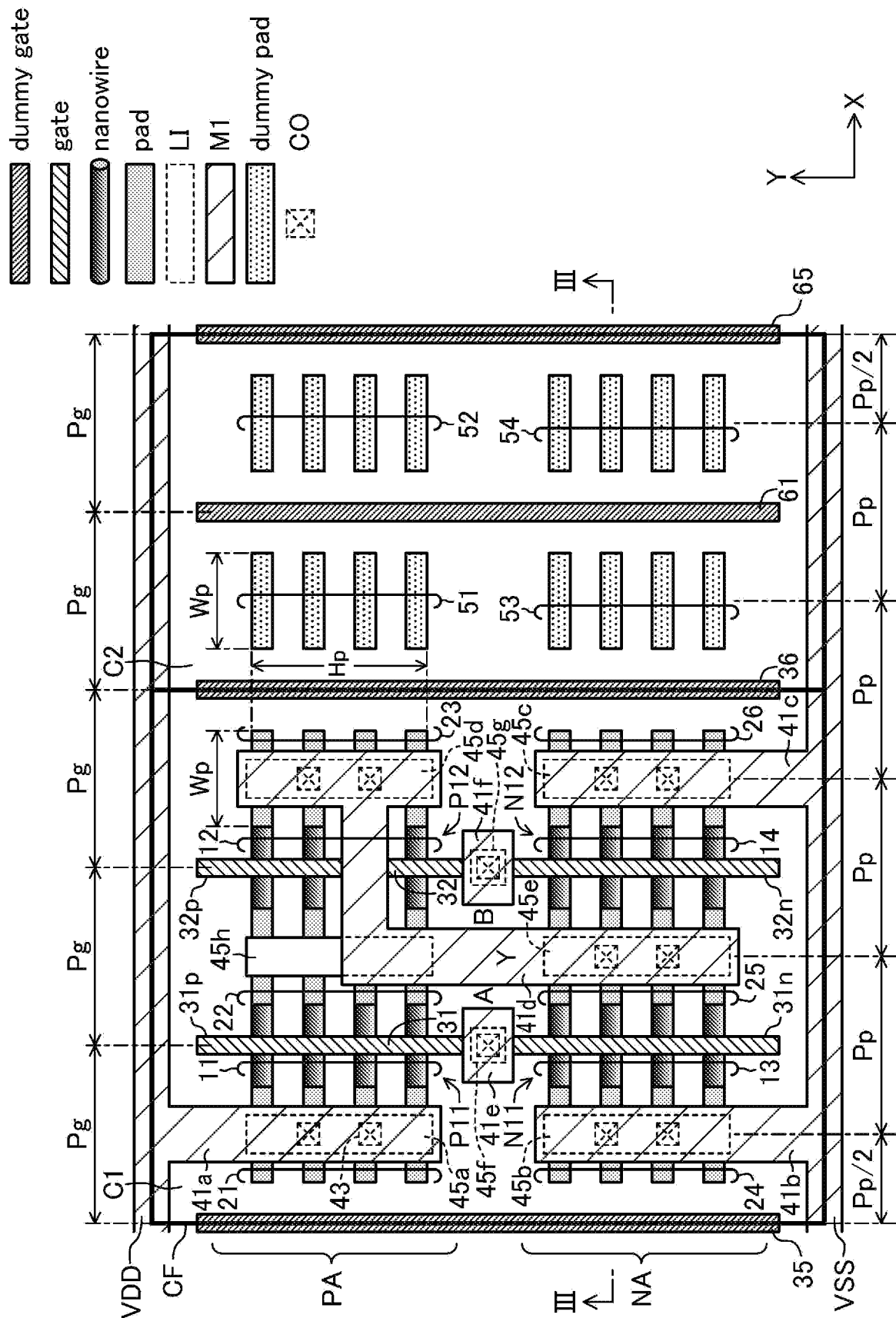
前記第2スタンダードセルは、フィラーセル、または、セル列終端セルである

ことを特徴とする半導体集積回路装置。

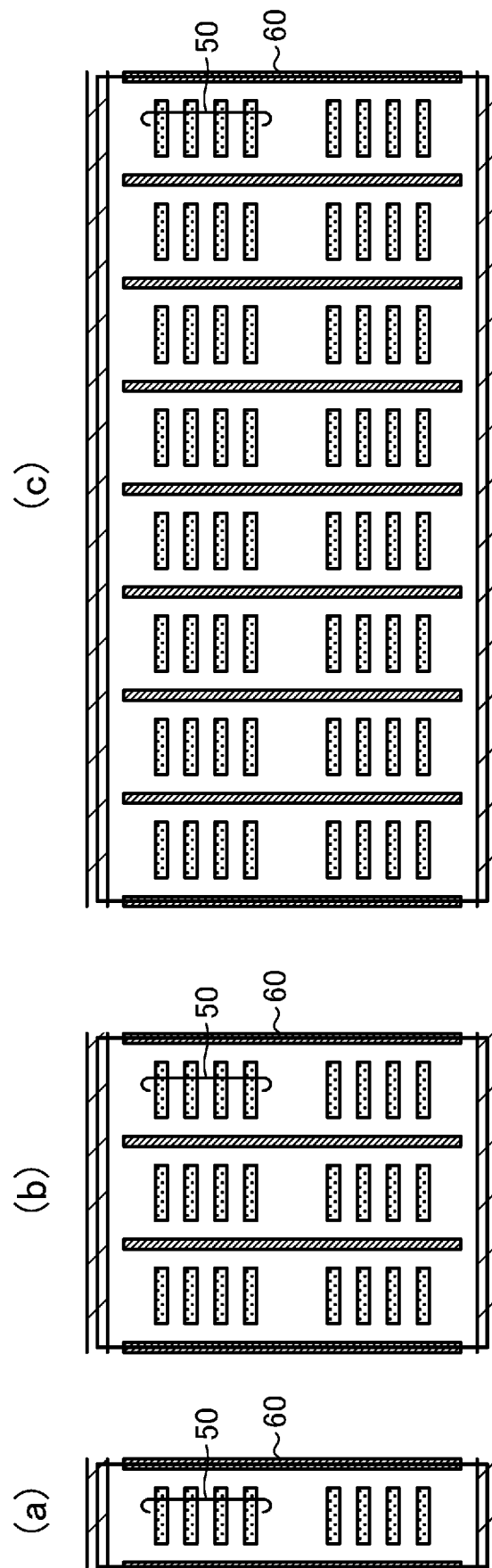
[図1]



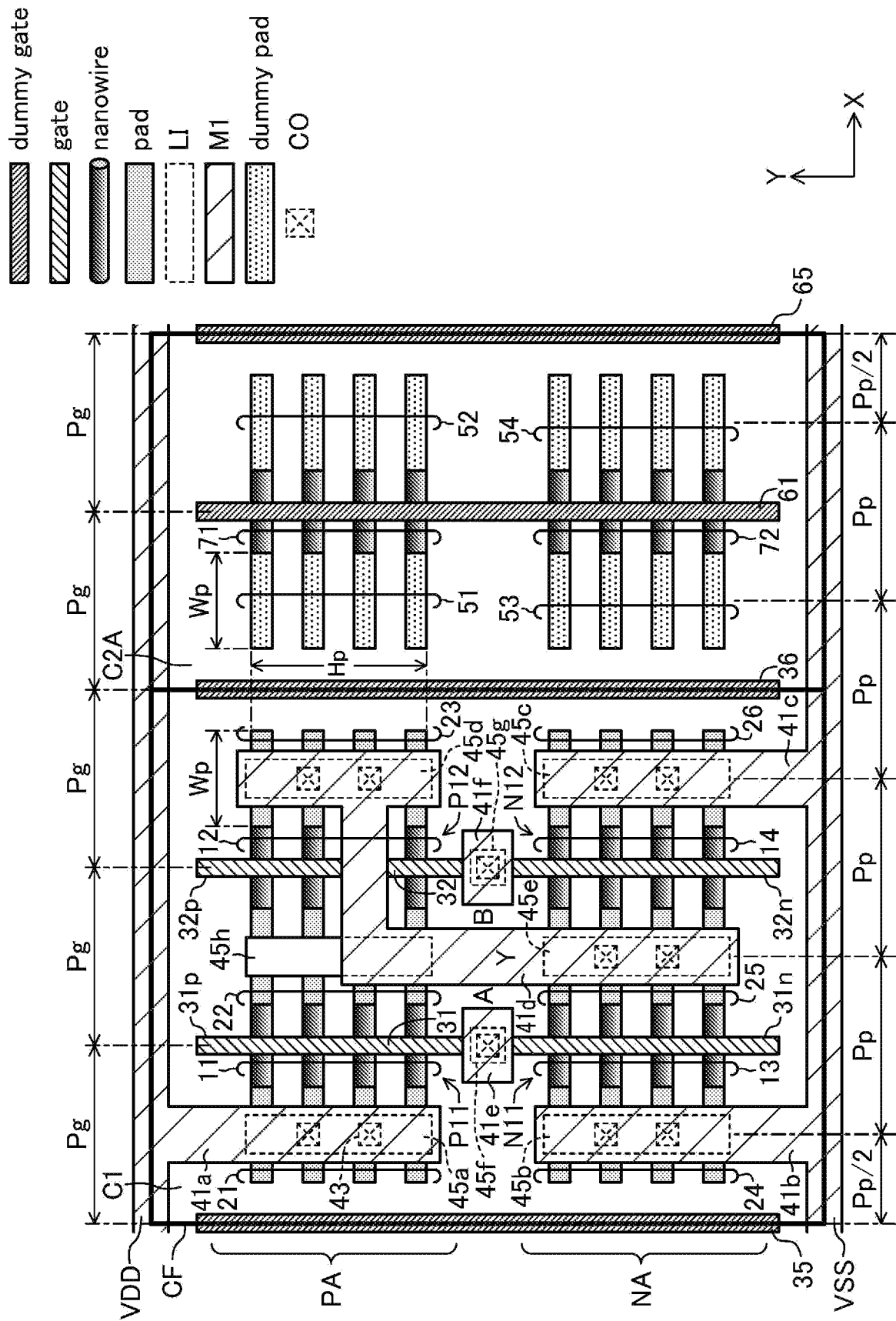
[図2]

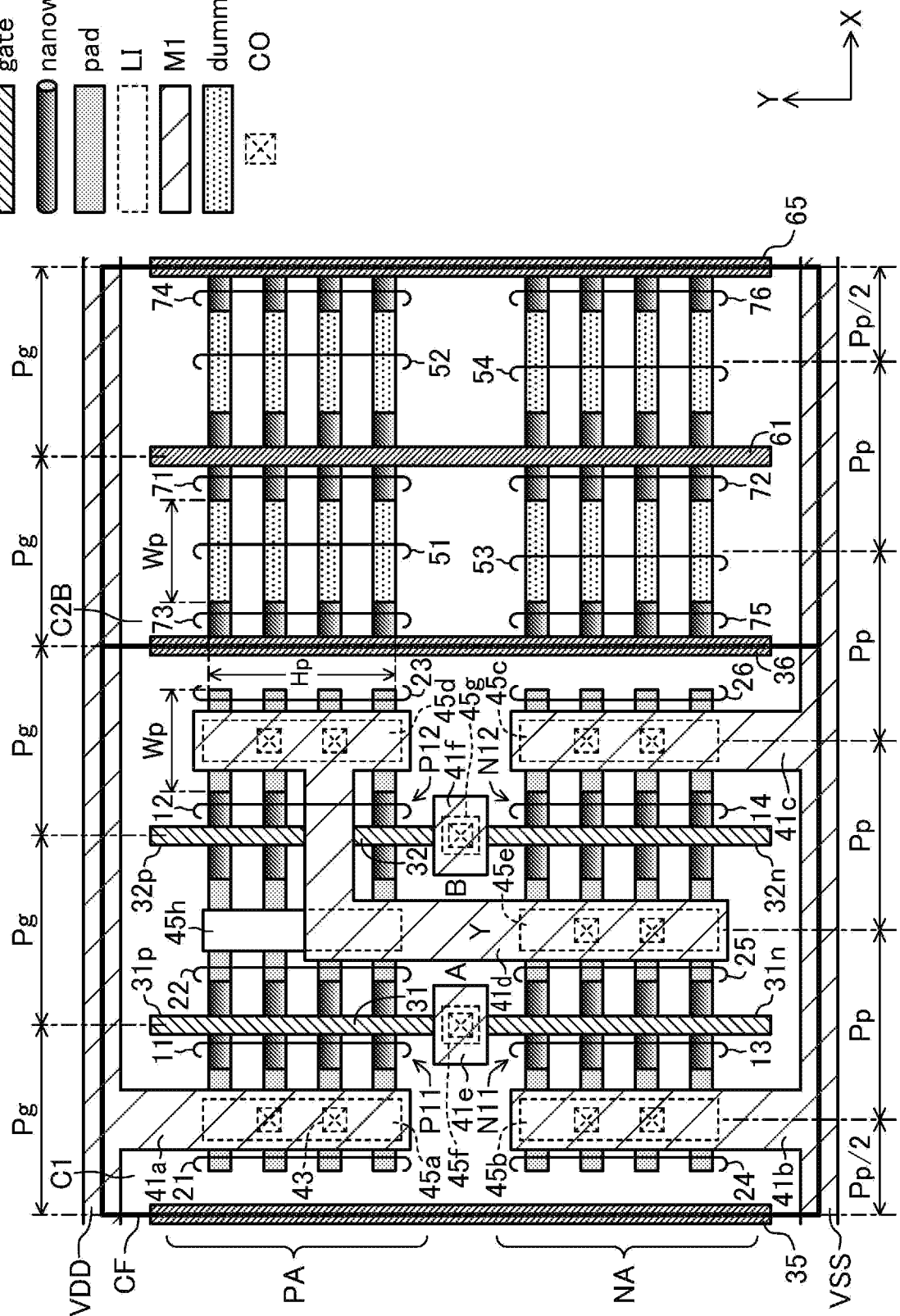


[図4]

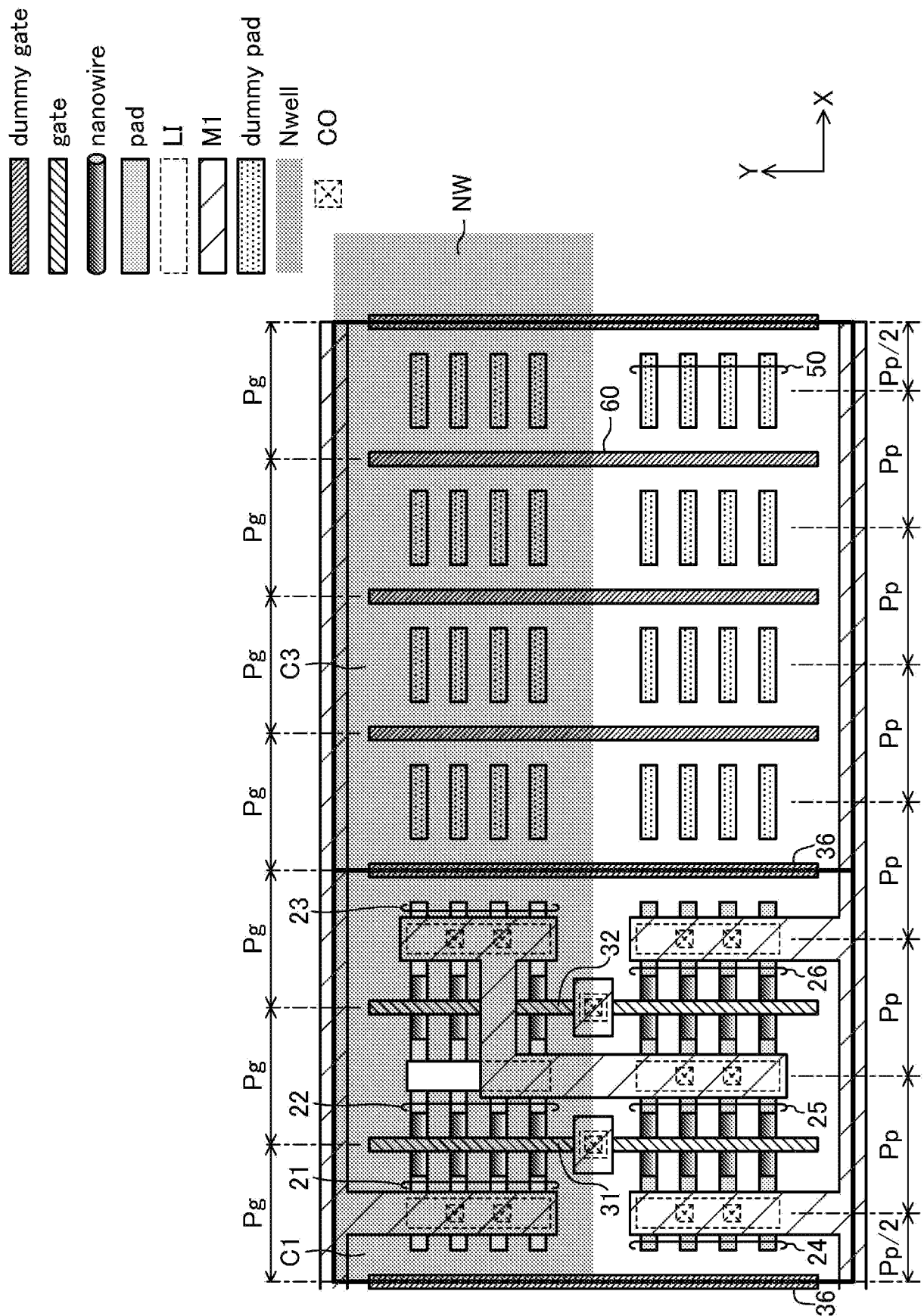


[図5]

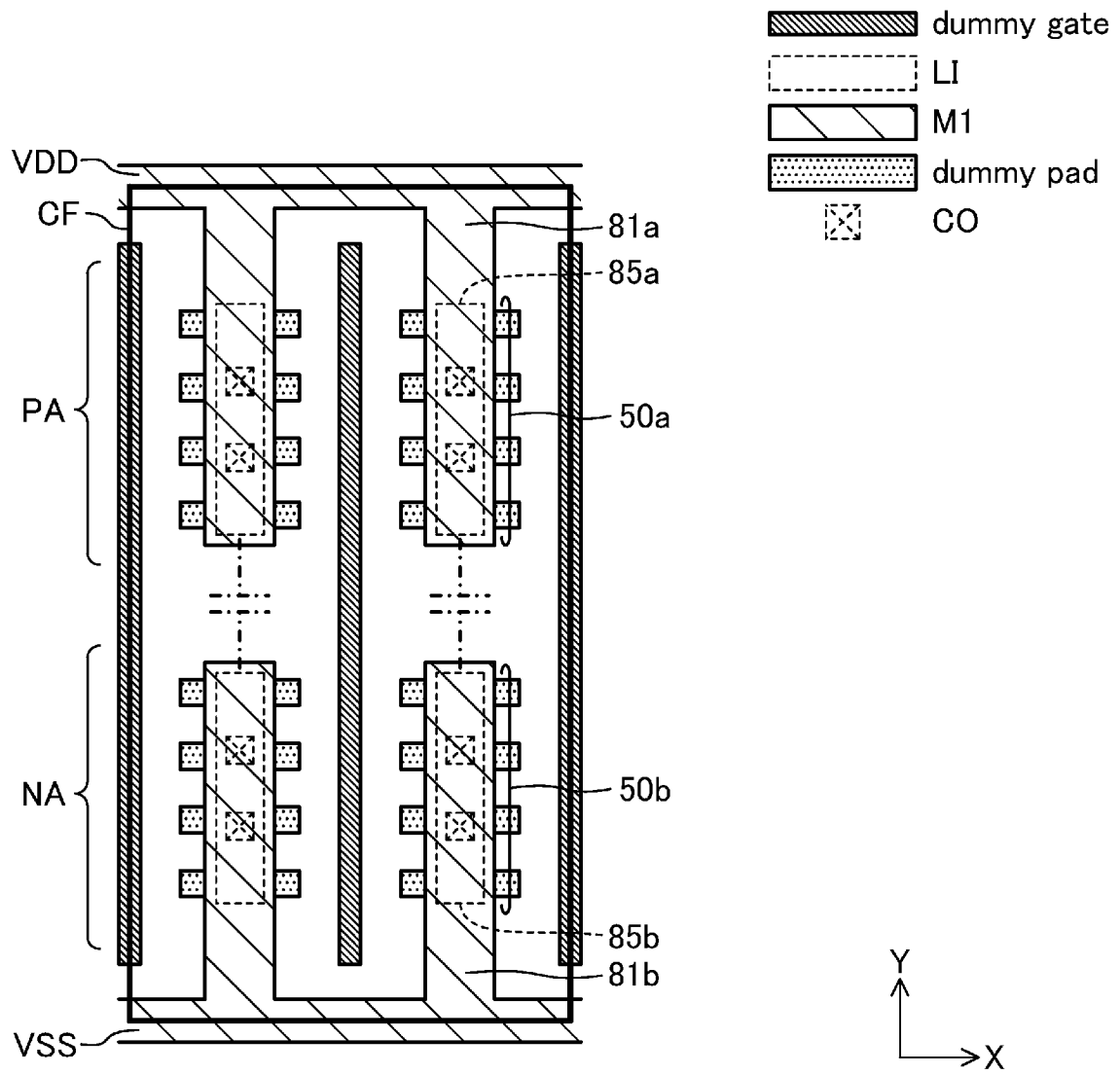




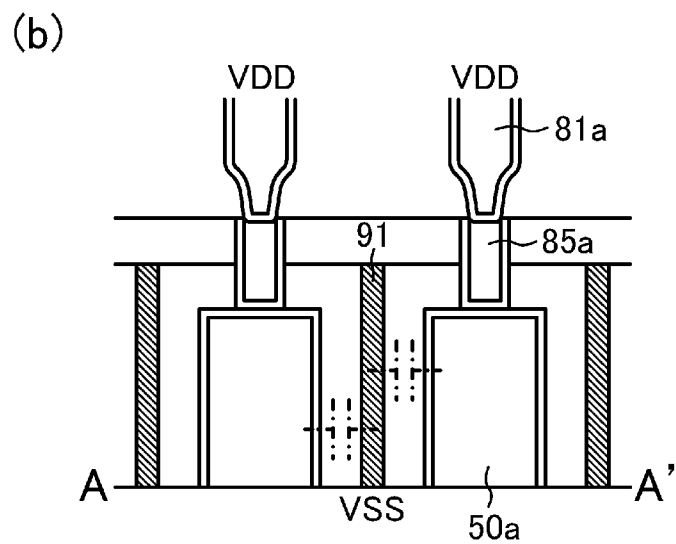
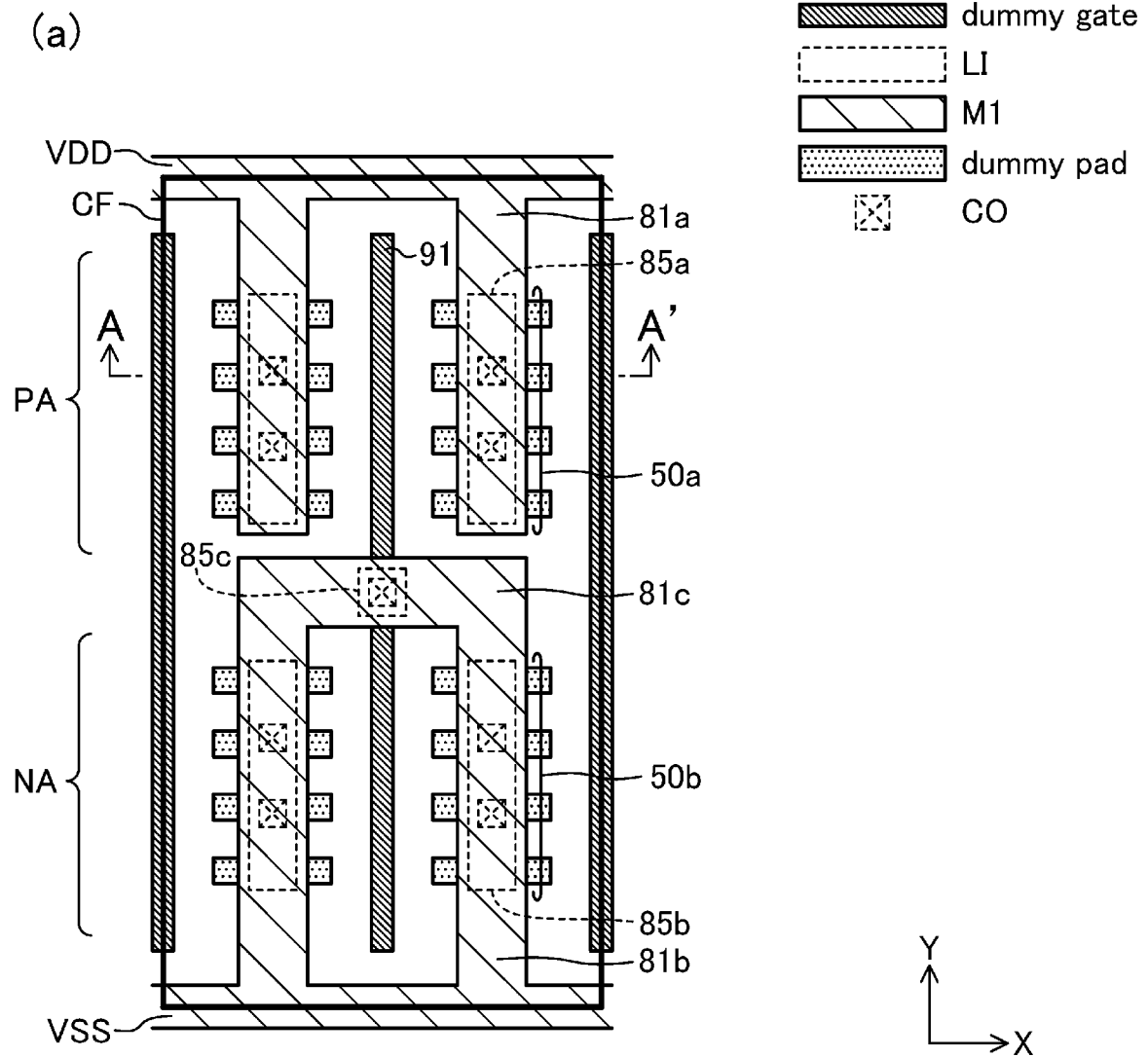
[図7]



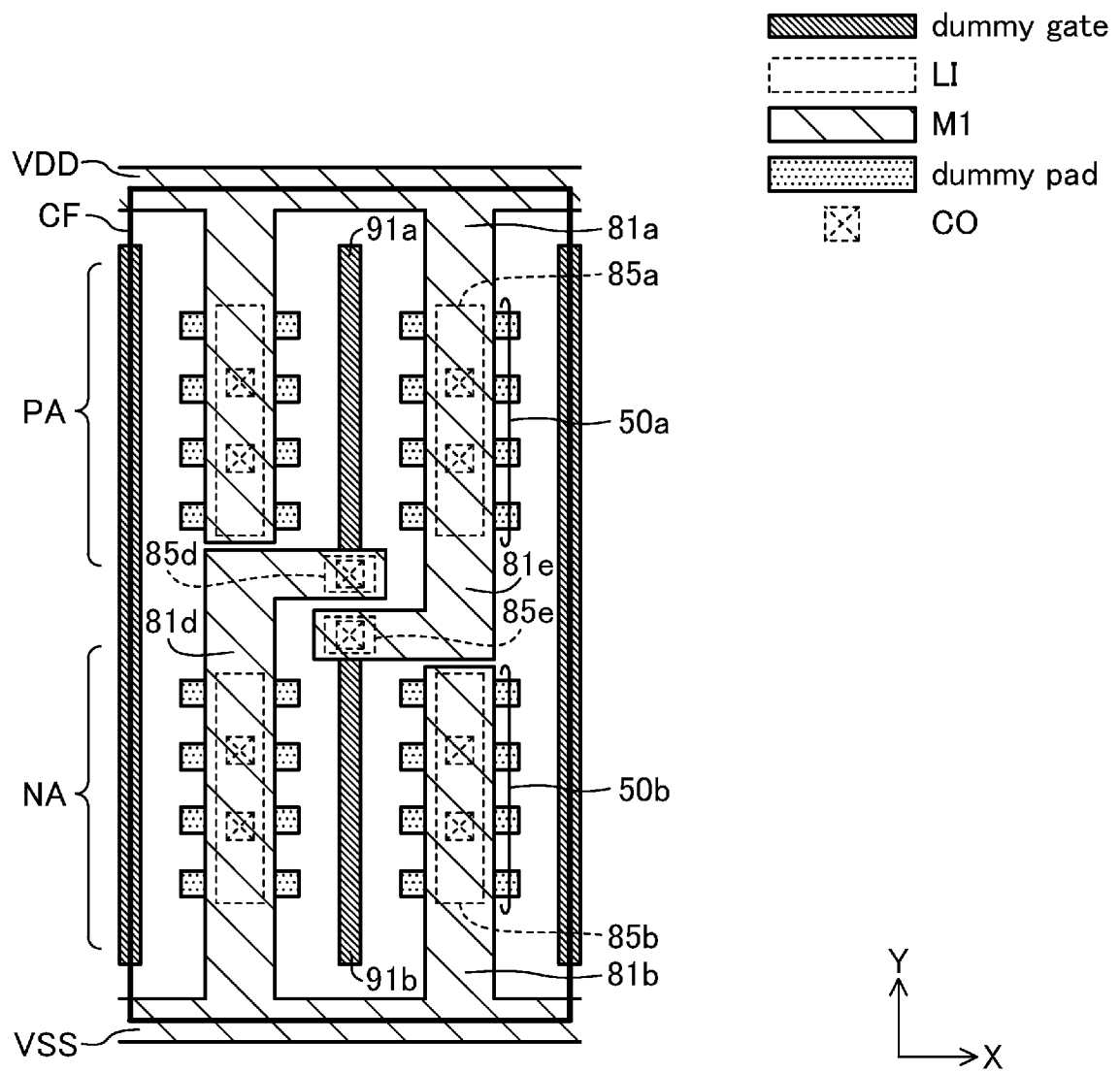
[図8]



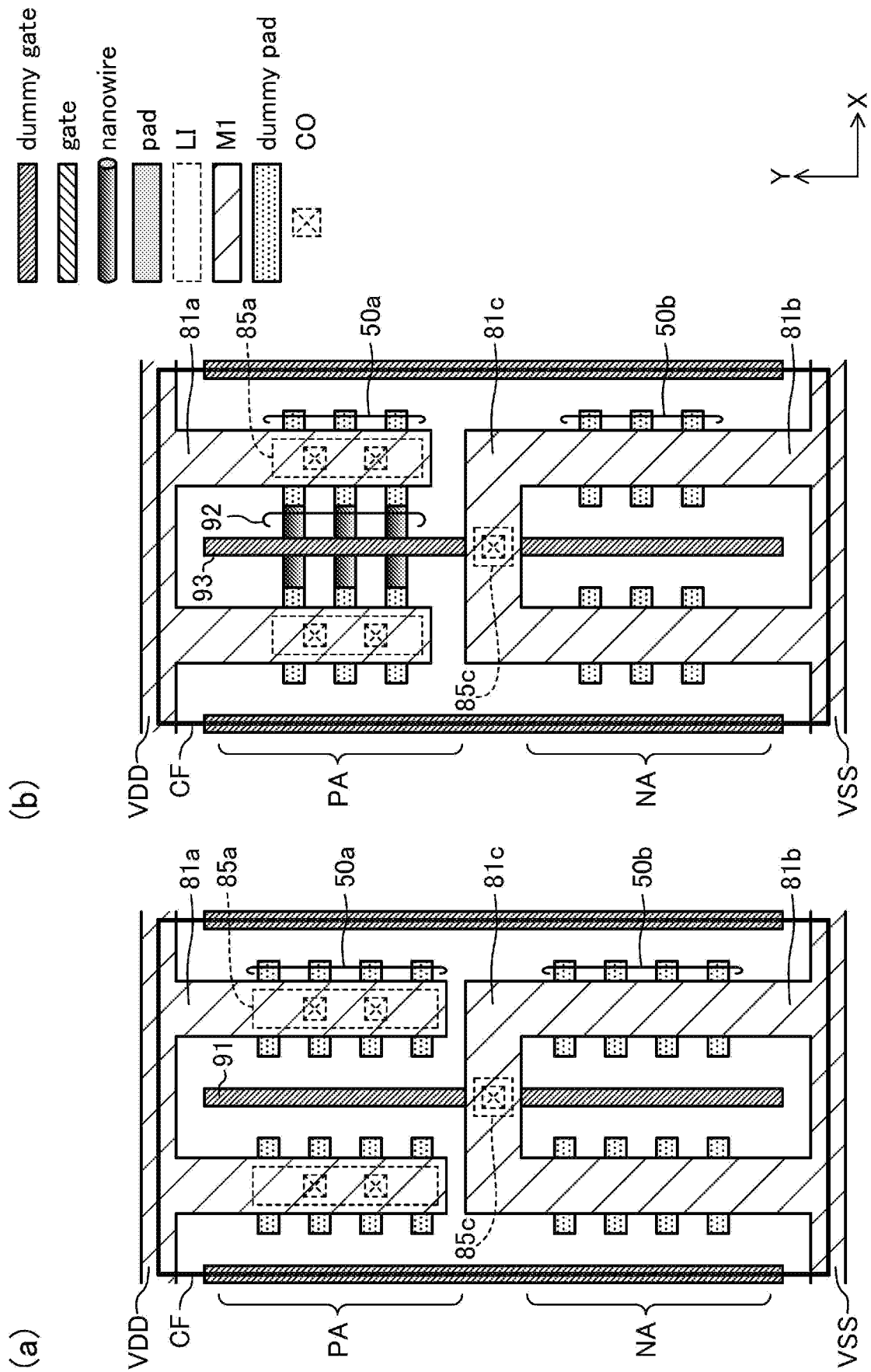
[図9]



[図10]

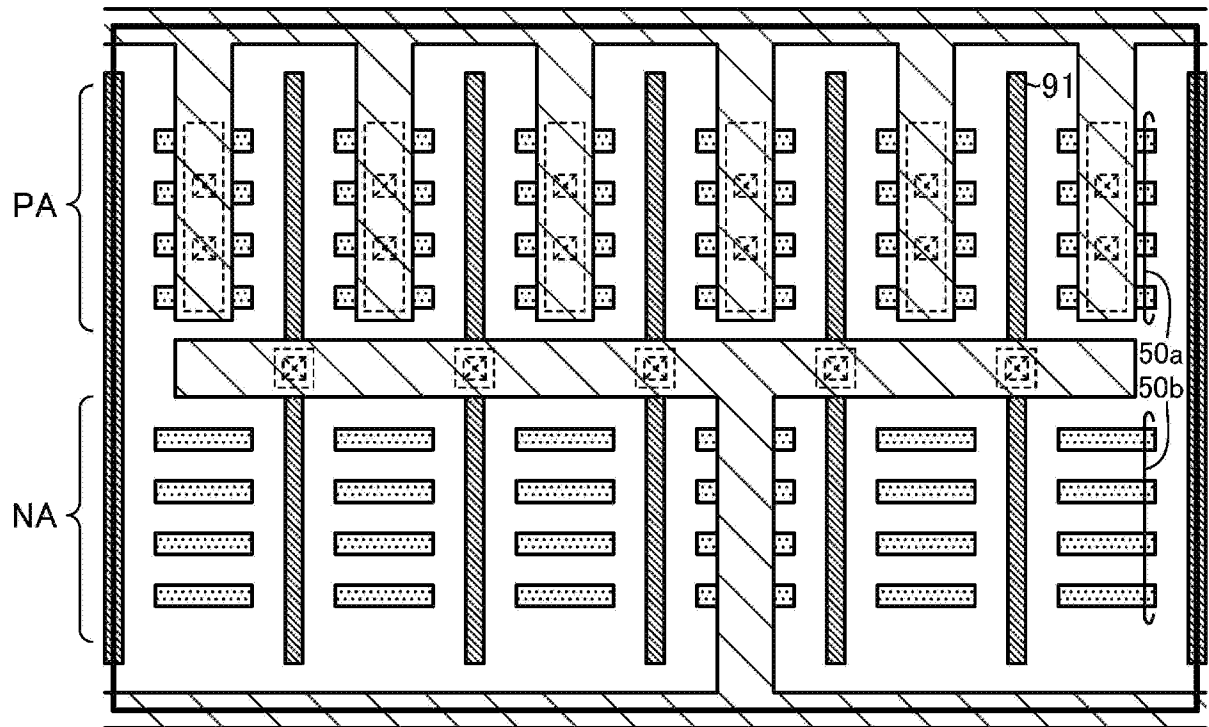


[図12]

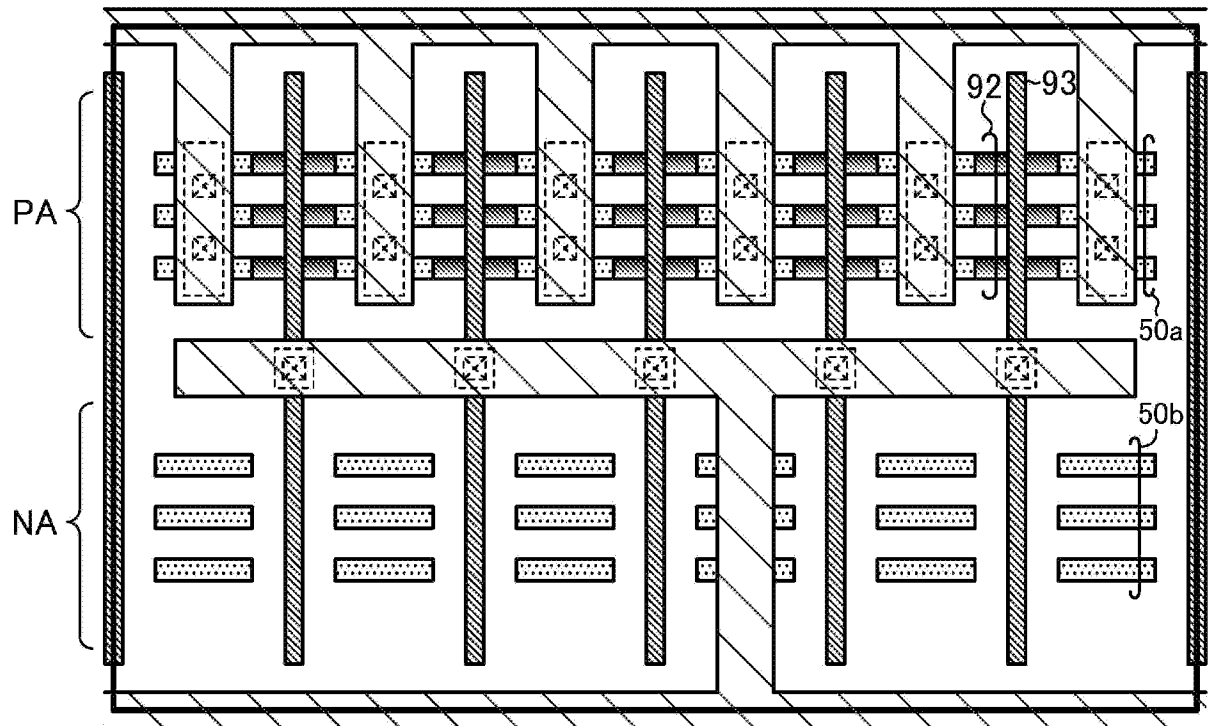


[図13]

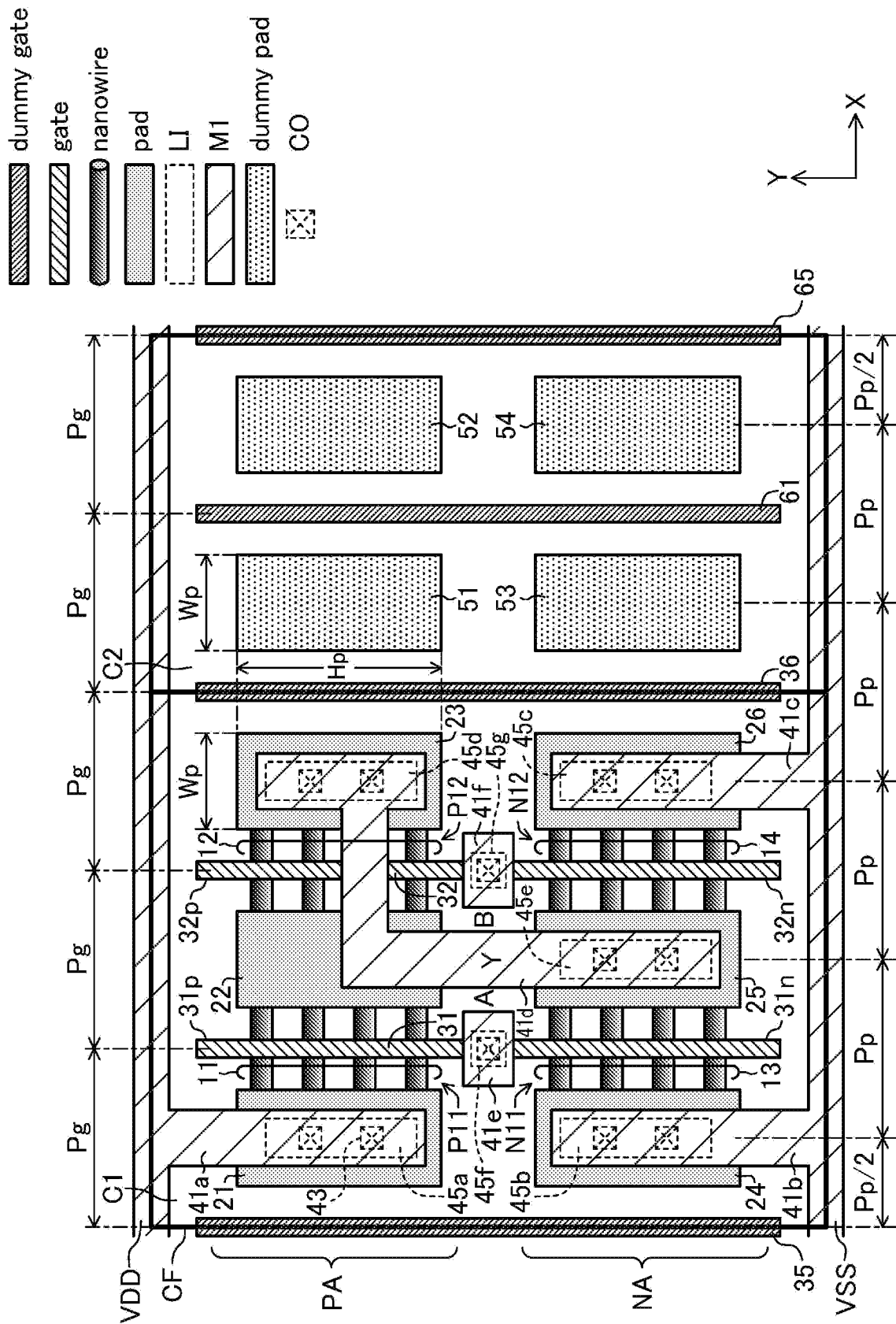
(a)



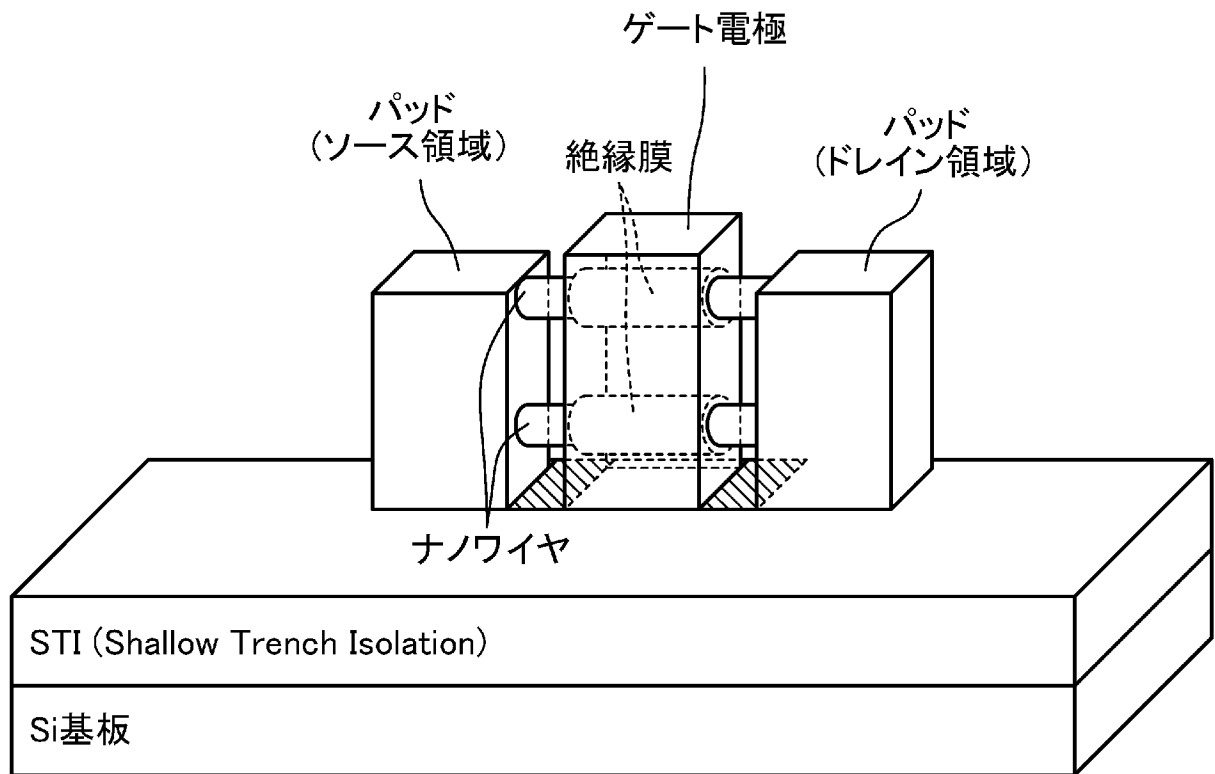
(b)



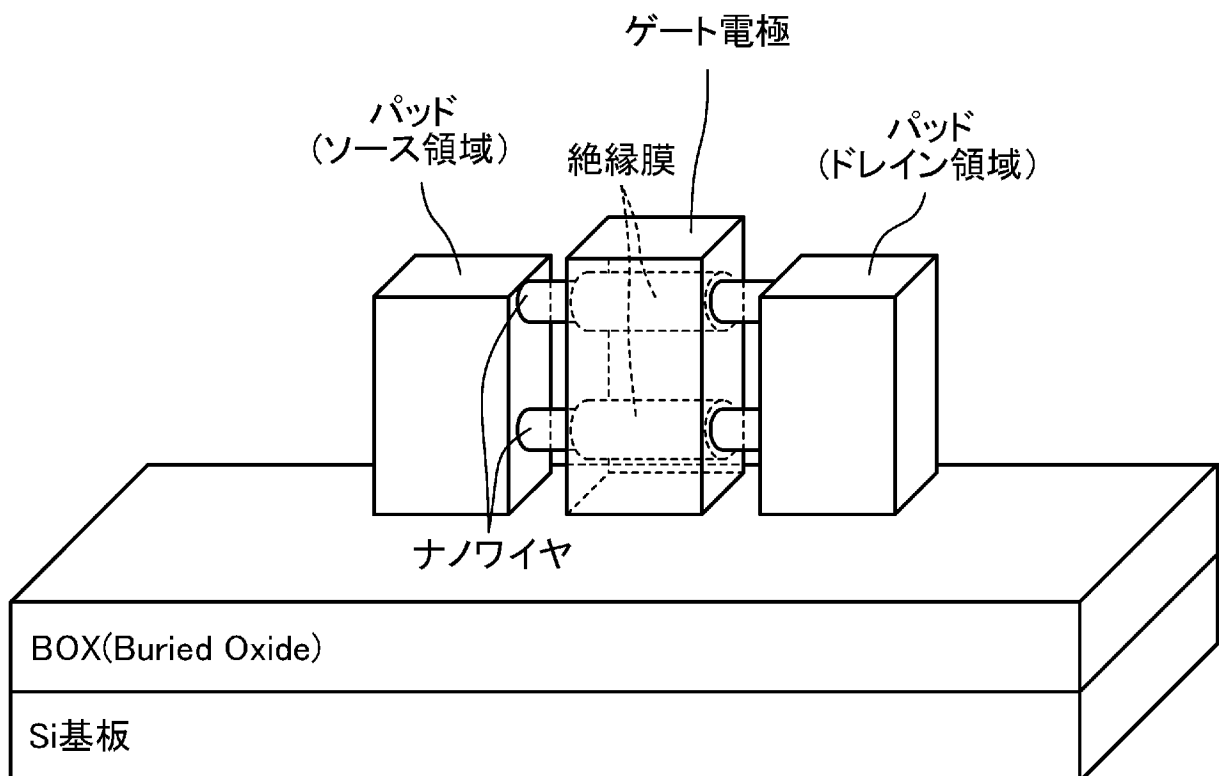
[図14]



[図15]



[図16]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2017/024918

A. CLASSIFICATION OF SUBJECT MATTER

H01L21/82(2006.01)i, H01L21/822(2006.01)i, H01L21/8234(2006.01)i,
H01L21/8238(2006.01)i, H01L27/04(2006.01)i, H01L27/06(2006.01)i,
H01L27/092(2006.01)i, H01L29/06(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/82, H01L21/822, H01L21/8234, H01L21/8238, H01L27/04, H01L27/06,
H01L27/092, H01L29/06

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2017
Kokai Jitsuyo Shinan Koho	1971-2017	Toroku Jitsuyo Shinan Koho	1994-2017

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	WO 2015/033490 A1 (Panasonic Corp.), 12 March 2015 (12.03.2015), paragraphs [0021] to [0040]; fig. 2 & US 2016/0190138 A1 paragraphs [0031] to [0050]; fig. 2 & CN 105531813 A	1-2, 4, 12 3, 5-11
Y A	JP 2015-019067 A (Samsung Electronics Co., Ltd.), 29 January 2015 (29.01.2015), paragraph [0093]; fig. 14 & US 2015/0014775 A1 paragraph [0120]; fig. 14 & DE 102014212359 A1 & CN 104282655 A & KR 10-2015-0007906 A & TW 201507159 A	1-2, 4, 12 3, 5-11

☒ Further documents are listed in the continuation of Box C.

— See patent family annex.

* Special categories of cited documents:

☐ document defining the general state of the art which is not considered to be of particular relevance

☐ earlier application or patent but published on or after the international filing date

☐ document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

☐ document referring to an oral disclosure, use, exhibition or other means

☐ document published prior to the international filing date but later than the priority date claimed

☐ later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

☒ document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

☐ document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

☐ document member of the same patent family

Date of the actual completion of the international search
14 September 2017 (14.09.17)

Date of mailing of the international search report
26 September 2017 (26.09.17)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2017/024918

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	WO 2009/150999 A1 (National Institute of Advanced Industrial Science and Technology), 17 December 2009 (17.12.2009), paragraphs [0014] to [0021]; fig. 19 & US 2011/0057163 A1 paragraphs [0063] to [0073]; fig. 19	1-2, 4, 12
Y	US 2016/0079358 A1 (TAIWAN SEMICONDUCTOR MANUFACTURING CO., LTD.), 17 March 2016 (17.03.2016), paragraph [0015]; fig. 1A & KR 10-2016-0032707 A	1-2, 4, 12
A	JP 2015-015502 A (Renesas Electronics Corp.), 22 January 2015 (22.01.2015), & US 2010/0044755 A1 & CN 101656253 A & TW 201017453 A	1-12

A. 発明の属する分野の分類 (国際特許分類 (IPC))			
Int.Cl. H01L21/82(2006.01)i, H01L21/822(2006.01)i, H01L21/8234(2006.01)i, H01L21/8238(2006.01)i, H01L27/04(2006.01)i, H01L27/06(2006.01)i, H01L27/092(2006.01)i, H01L29/06(2006.01)i			
B. 調査を行った分野			
調査を行った最小限資料 (国際特許分類 (IPC))			
Int.Cl. H01L21/82, H01L21/822, H01L21/8234, H01L21/8238, H01L27/04, H01L27/06, H01L27/092, H01L29/06			
最小限資料以外の資料で調査を行った分野に含まれるもの			
日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2017年 日本国実用新案登録公報 1996-2017年 日本国登録実用新案公報 1994-2017年			
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)			
C. 関連すると認められる文献			
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号	
Y A	WO 2015/033490 A1 (パナソニック株式会社) 2015.03.12, 段落 0021-0040, 図 2 & US 2016/0190138 A1, 段落 0031-0050, 図 2 & CN 105531813 A	1-2, 4, 12 3, 5-11	
Y A	JP 2015-019067 A (三星電子株式会社) 2015.01.29, 段落 0093, 図 14 & US 2015/0014775 A1, 段落 0120, 図 14 & DE 102014212359 A1 & CN 104282655 A & KR 10-2015-0007906 A & TW 201507159 A	1-2, 4, 12 3, 5-11	
☒ C 欄の続きにも文献が列挙されている。 ☐ パテントファミリーに関する別紙を参照。			
* 引用文献のカテゴリー 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」 口頭による開示、使用、展示等に言及する文献 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願 の日の後に公表された文献 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」 特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」 同一パテントファミリー文献			
国際調査を完了した日 14.09.2017		国際調査報告の発送日 26.09.2017	
国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号 100-8915 東京都千代田区霞が関三丁目 4 番 3 号		特許庁審査官 (権限のある職員) 市川 武宜	5 F 6 2 9 9
		電話番号 03-3581-1101	内線 3516

C (続き): 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	WO 2009/150999 A1 (独立行政法人産業技術総合研究所) 2009.12.17, 段落 0014-0021, 図 19 & US 2011/0057163 A1, 段落 0063-0073, 図 19	1-2, 4, 12
Y	US 2016/0079358 A1 (TAIWAN SEMICONDUCTOR MANUFACTURING CO. , LTD.) 2016.03.17, 段落 0015, 図 1A & KR 10-2016-0032707 A	1-2, 4, 12
A	JP 2015-015502 A (ルネサスエレクトロニクス株式会社) 2015.01.22 & US 2010/0044755 A1 & CN 101656253 A & TW 201017453 A	1-12