(19)日本国特許庁(JP)　(12)公開特許公報(A)　(11)特許出願公開番号
特開2007-243783
(P2007-243783A)
(43)公開日　平成19年9月20日(2007.9.20)

(51)Int.Cl.			F I			テーマコード（参考）
H03L	7/10	(2006.01)	H03L	7/10	D	5J106
G06F	1/04	(2006.01)	G06F	1/04	A	

審査請求 未請求　請求項の数 2　OL　（全 10 頁）

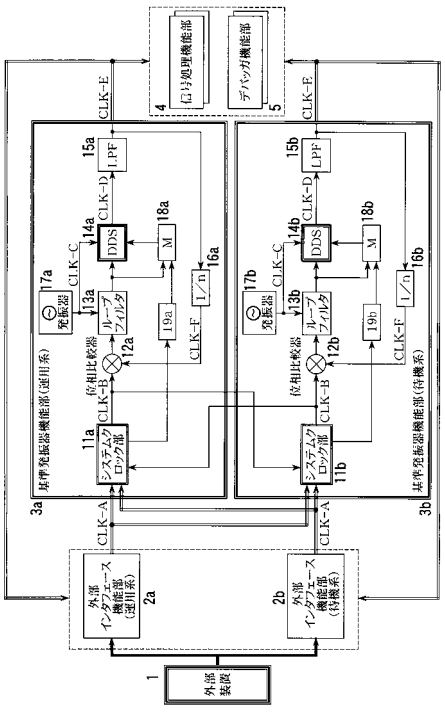
(21)出願番号　特願2006-65595(P2006-65595)
(22)出願日　平成18年3月10日(2006.3.10)

(71)出願人　000005223
富士通株式会社
神奈川県川崎市中原区上小田中４丁目１番１号
(74)代理人　100105337
弁理士　眞鍋　潔
(74)代理人　100072833
弁理士　柏谷　昭司
(74)代理人　100075890
弁理士　渡邊　弘一
(74)代理人　100110238
弁理士　伊藤　壽郎
(72)発明者　原　正憲
神奈川県川崎市中原区上小田中４丁目１番１号　富士通株式会社内

最終頁に続く

(54)【発明の名称】位相同期回路

(57)【要約】
【課題】入力クロック信号に位相同期化した出力クロック信号を得る為の位相同期回路に関し、特性の経年変化の影響を受けないようにする。
【解決手段】発振器１７の出力のクロック信号ＣＬＫ－ＣをＤＤＳ１４により分周して出力クロック信号ＣＬＫ－Ｅとし、この出力クロック信号又は出力信号を分周したクロック信号と入力クロック信号との位相を位相比較器１２により比較し、位相比較出力信号によりＤＤＳ１４を制御して、入力クロック信号ＣＬＫ－Ａに位相同期した出力クロック信号ＣＬＫ－Ｅを出力する位相同期回路であって、位相比較器１２の位相比較出力信号を、ループフィルタ１３を介してＤＤＳ１４に制御値として入力する制御値を所定期間経過毎に格納し、自走モード時に、格納してある制御値を読出して、ＤＤＳ１４に入力する不揮発性メモリ１８を設けたものである。
【選択図】図１



【特許請求の範囲】
【請求項１】
発振器の出力のクロック信号をＤＤＳにより分周して出力クロック信号とし、該出力クロック信号又は該出力信号を分周したクロック信号と入力クロック信号との位相を比較し、位相比較出力信号により前記ＤＤＳを制御して、前記入力クロック信号に位相同期した出力クロック信号を出力する位相同期回路に於いて、
前記位相比較器の位相比較出力信号を、ループフィルタを介して前記ＤＤＳに入力する制御値を格納し、自走モード時に前記制御値を読出して前記ＤＤＳに入力する不揮発性メモリを設けた
ことを特徴とする位相同期回路。
【請求項２】
入力クロック信号の断検出機能を有するシステムクロック部から前記入力クロック信号を位相比較器に入力し、発振器の出力のクロック信号をＤＤＳにより分周して出力クロック信号とし、該出力クロック信号又は該出力信号を分周したクロック信号を前記位相比較器に入力して位相を比較し、位相比較出力信号により前記ＤＤＳを制御して、前記入力クロック信号に位相同期した出力クロック信号を出力する位相同期回路に於いて、
前記位相比較器の位相比較出力信号を、ループフィルタを介して前記ＤＤＳに入力する制御値とし、該制御値を所定期間経過毎に格納し、前記システムクロック部による入力クロック信号の断検出による自走モード時に最新の格納制御値を読出して前記ＤＤＳに入力する不揮発性メモリを設けた
ことを特徴とする位相同期回路。
【発明の詳細な説明】
【技術分野】
【０００１】
本発明は、外部から供給されるクロック信号に位相同期したクロック信号を出力する位相同期回路に関する。
【背景技術】
【０００２】
位相同期回路は、各種の構成が知られており、例えば、入力された信号と電圧制御発振器の出力信号又はその出力信号を分周した信号との位相比較を行い、位相差に対応した制御電圧を電圧制御発振器に入力し、この電圧制御発振器の出力信号の位相を、入力された信号の位相に同期化させる構成が一般的である。又このような位相同期回路を用いて、伝送路等の外部から入力されたクロック信号に位相同期化したクロック信号を生成し、そのクロック信号に同期して、伝送路等によるデータの受信処理や送信処理を行う構成も知られている。例えば、図３に示すように、ネットワーク、伝送路等の外部装置３１から外部インタフェース機能部３３を介して基準発振器機能部３２にクロック信号を入力し、このクロック信号に位相同期したクロック信号を基準発振器機能部３２から出力して、装置内の外部インタフェース機能部３３、信号処理機能部３４、デバッガ機能部３５等に供給し、そのクロック信号に同期して、データ処理等を行う構成が知られている。
【０００３】
前述の基準発振器機能部３２は、例えば、図４に示す構成を有するものであり、３２は基準発振器機能部、３３は外部インタフェース機能部、４１は外部クロック信号を入力するシステムクロック部、４２は位相比較器、４３はループフィルタ、４４はＤＤＳ（ダイレクト・ディジタル・シンセサイザ）、４５は高周波雑音成分を除去するローパスフィルタ（ＬＰＦ）、４６は分周器（１／ｎ）、４７は高安定度の発振器、４８は電圧制御発振器（ＶＣＯ）、４９は制御電圧発生部（ＶＧ）を示す。又ＣＬＫ－Ａ～ＣＬＫ－Ｇは、各部のクロック信号を示す。
【０００４】
前述のように、図１に於ける伝送路等の外部装置３１からのクロック信号を、外部インタフェース機能部３３に入力すると、外部インタフェース機能部３３から基準発振器機能

部３２に入力クロック信号ＣＬＫ－Ａとして入力する。システムクロック部４１は、入力クロック信号ＣＬＫ－Ａの正常性をチェックし、正常の場合、入力クロック信号ＣＬＫ－Ａと同一のクロック信号ＣＬＫ－Ｂを位相比較器４２に入力する。位相比較器４２は、このクロック信号ＣＬＫ－Ｂと、分周器４６によりクロック信号ＣＬＫ－Ｂと同一周波数となるように分周したクロック信号ＣＬＫ－Ｆとの位相比較を行う。

【０００５】

又発振器４７の出力のクロック信号ＣＬＫ－ＣをＤＤＳ４４に入力し、位相比較器４２の位相比較出力信号を、ループフィルタ４３を介してＤＤＳ４４の制御信号として入力し、発振器４７の出力のクロック信号ＣＬＫ－Ｃを、ループフィルタ４３とＤＤＳ４４とに入力する。又位相比較器４２の位相比較出力信号を、ループフィルタ４２を介して、ＤＤＳ４４の制御信号として入力し、ＤＤＳ４４の分周比の制御を行い、入力クロック信号ＣＬＫ－Ａに位相同期化したクロック信号ＣＬＫ－Ｄを、高周波雑音成分を除去する為のローパスフィルタ４５を介して出力クロック信号ＣＬＫ－Ｅとし、外部インタフェース機能部３３等に供給する。

【０００６】

又出力クロック信号ＣＬＫ－Ｅの周波数が入力クロック信号ＣＬＫ－Ａと同一の周波数となるように、分周器４６により分周したクロック信号ＣＬＫ－Ｆを位相比較器４１に入力する。又電圧制御発振器１８からのクロック信号ＣＬＫ－Ｇを、位相比較器４２の位相比較タイミング信号として入力する。なお、出力クロック信号ＣＬＫ－Ｅを制御電圧発生部４９に入力し、その制御電圧発生部４９からの制御電圧を電圧制御発振器４８に入力する構成に於いて、電圧制御発振器４８を、固定の周波数のクロック信号ＣＬＫ－Ｇを出力する発振器とすることもできる。

【０００７】

前述の入力クロック信号ＣＬＫ－Ａは、例えば８ｋＨｚ、出力クロック信号ＣＬＫ－Ｅは、例えば８ＭＨｚとすることができる。この場合、分周器４６は、１／１０００の分周比の構成とすることになる。又位相比較器４２の位相比較タイミング信号とするクロック信号ＣＬＫ－Ｇは、例えば８０ｋＨｚとすることができる。又発振器４７の出力クロック信号ＣＬＫ－Ｃは、例えば１７ＭＨｚとすることができる。

【０００８】

又各種の電子回路に於いては、周囲環境や動作条件等の種々の条件により、特性が時間の経過に従って僅かであるが変化する。それによって、例えば、高精度に設定した周波数が変化する場合がある。このような出力周波数の変化を補正する従来例として、例えば、発振器に可変シンセサイザを接続し、発振器の出力周波数を可変シンセサイザにより所望の周波数として出力する構成に於いて、発振器の出力周波数は、運転開始から周囲環境等に応じて変化するから、発振器の特性変化を予測して、所定の期間経過毎の補正値をメモリに予め格納し、所定期間経過毎に、メモリから読出した補正値により可変シンセサイザを制御して、出力周波数の経年変化を補償する手段が提案されている（例えば、特許文献１参照）。

【特許文献１】特開昭６１－２２０５２６号公報

【発明の開示】

【発明が解決しようとする課題】

【０００９】

従来の位相同期回路は、図１及び図２に示すように、伝送路等の外部装置３１からの入力クロック信号ＣＬＫ－Ａに位相同期化する伝送路同期モードと、入力クロック信号ＣＬＫ－Ａが入力されない状態の自走モードとの何れかによる動作を行うものであり、伝送路同期モードの場合は、入力クロック信号ＣＬＫ－Ａに位相同期化したクロック信号ＣＬＫ－Ｅを出力することができるが、自走モードの場合は、基準となるクロック信号ＣＬＫ－Ａが入力されないので、例えば、工場出荷時に、発振器４７の初期特性を測定し、出力クロック信号ＣＬＫ－Ｅが所定の周波数となるように、ＤＤＳ４４の制御値を設定するものである。

【００１０】
例えば、出力周波数とＤＤＳ制御値との関係が、図５に示す場合、即ち、ＤＤＳ４４に対する制御値を初期固定値M_0により、所望の出力周波数f_{out}となるように設定しても、発振器４７の特性が時間経過に従って変化し、例えば、数年後には、初期固定値M_0による出力周波数が$f_{out}+\Delta f$に変化する。即ち、工場出荷時に特性を測定して所望の精度の出力クロック信号ＣＬＫ－Ｅとなるように設定しても、経過時間が長くなると、自走モードに於ける出力クロック信号ＣＬＫ－Ｅの精度が劣化する問題がある。
【００１１】
自走モードは、入力クロック信号ＣＬＫ－Ａ断の場合や、基準発振器機能部３２を含む装置の移設時等に於いて発生するものであり、ＤＤＳ４４の制御値を精度良く設定しても、自走モードとなった時に、図５に示すように、Δｆの周波数変化となる。このような問題点を回避する為には、再度工場等に於いて特性を測定し、ＤＤＳ４４の制御値を設定し直すか、或いは、その装置の設置個所に於いて、測定器類を運搬して、特性測定を行うことにより、ＤＤＳ４４の制御値の再設定処理を行うことが必要となる問題がある。又前述の特許文献１に示されているように、予め所定期間経過後の変化を予測した補正値をメモリに格納し、所定期間経過毎に、その補正値をメモリから読出して変化分を補正する手段は、総て同一の動作環境とは限らないから、確実な補正は困難である問題がある。
【００１２】
本発明は、前述の問題点を解決するものであり、経年劣化に対応したＤＤＳの制御値の自動更新を可能とすることを目的とする。
【課題を解決するための手段】
【００１３】
本発明の位相同期回路は、発振器の出力のクロック信号をＤＤＳにより分周して出力クロック信号とし、該出力クロック信号又は該出力信号を分周したクロック信号と入力クロック信号との位相を比較し、位相比較出力信号により前記ＤＤＳを制御して、前記入力クロック信号に位相同期した出力クロック信号を出力する位相同期回路に於いて、前記位相比較器の位相比較出力信号を、ループフィルタを介して前記ＤＤＳに入力する制御値を格納し、自走モード時に前記制御値を読出して前記ＤＤＳに入力する不揮発性メモリを設けたものである。
【００１４】
又入力クロック信号の断検出機能を有するシステムクロック部から前記入力クロック信号を位相比較器に入力し、発振器の出力のクロック信号をＤＤＳにより分周して出力クロック信号とし、該出力クロック信号又は該出力信号を分周したクロック信号を前記位相比較器に入力して位相を比較し、位相比較出力信号により前記ＤＤＳを制御して、前記入力クロック信号に位相同期した出力クロック信号を出力する位相同期回路に於いて、前記位相比較器の位相比較出力信号を、ループフィルタを介して前記ＤＤＳに入力する制御値とし、該制御値を所定期間経過毎に格納し、前記システムクロック部による入力クロック信号の断検出による自走モード時に最新の格納制御値を読出して前記ＤＤＳに入力する不揮発性メモリを設けたものである。
【発明の効果】
【００１５】
ＤＤＳの制御値を不揮発性メモリに格納し、入力クロック信号断の状態の自走モードに於いて、不揮発性メモリに格納した最新の制御値を読出してＤＤＳの制御値とすることにより、経年変化によっても自走モード時の出力クロック信号を、工場出荷時に調整して設定した特性に殆ど同一の特性として出力することができる。
【発明を実施するための最良の形態】
【００１６】
本発明の位相同期回路は、発振器の出力のクロック信号をＤＤＳにより分周して出力クロック信号とし、この出力クロック信号又は出力信号を分周したクロック信号と入力クロック信号との位相を位相比較器により比較し、位相比較出力信号によりＤＤＳを制御して

、入力クロック信号に位相同期した出力クロック信号を出力する位相同期回路であって、位相比較器の位相比較出力信号を、ループフィルタを介してＤＤＳに制御値として入力する制御値を所定期間経過毎に格納し、自走モード時に、格納してある制御値を読出して、ＤＤＳに入力する不揮発性メモリを設けたものである。

【実施例１】

【００１７】

図１は、本発明の実施例１の説明図であり、外部インタフェース機能部と基準発振器機能部とを、運用系と待機系との冗長構成とした場合を示す。なお、本発明は、運用系又は待機系の何れか一方のみを有する構成とすることも可能である。図１に於いて、１は伝送路等を含む外部装置，２ａ，２ｂは外部インタフェース機能部、３ａ，３ｂは基準発振器機能部、４は信号処理機能部、５はデバッガ機能部、１１ａ，１１ｂはシステムクロック部、１２ａ，１２ｂは位相比較器、１３ａ，１３ｂはループフィルタ、１４ａ，１４ｂはＤＤＳ、１５ａ，１５ｂはローパスフィルタ（ＬＰＦ）、１６ａ，１６ｂは分周器（１／ｎ）、１７ａ，１７ｂは発振器、１８ａ，１８ｂは不揮発性メモリ（Ｍ）（以下「メモリ」とする）、１９ａ，１９ｂはメモリ制御部を示す。

【００１８】

伝送路等の外部装置１からのクロック信号を、運用系と待機系との外部インタフェース機能部２ａ，２ｂにより受信し、それぞれ受信したクロック信号ＣＬＫ－Ａを運用系と待機系との基準発振器機能部３ａ，３ｂのシステムクロック部１１ａ，１１ｂに入力し、且つ運用系のシステムクロック部１１ａからのクロック信号ＣＬＫ－Ｂを待機系のシステムクロック部１１ｂに入力し、待機系のシステムクロック部１１ｂからのクロック信号ＣＬＫ－Ｂを運用系のシステムクロック部１１ａに入力する。なお位相比較器１２ａ，１２ｂに位相比較のタイミング信号を入力する為の発振器等については図示を省略している。以下、各部の記号の運用系を示すａと、待機系を示すｂとを省略して説明する。

【００１９】

システムクロック部１１は、運用系と待機系との外部インタフェース機能部２からのクロック信号ＣＬＫ－Ａを監視すると共に、運用系と待機系とのシステムクロック部１１からのクロック信号ＣＬＫ－Ｂについても相互に監視して、正常なクロック信号ＣＬＫ－Ｂを位相比較器１２に入力する。又所定期間経過毎にメモリ制御部１９に指示して、ループフィルタ１３からＤＤＳ１４に入力する制御値をメモリ１８に書込み、又外部装置１からのクロック信号が入力されない自走モードに於いて、メモリ制御部１９に指示して、メモリ１８に書込んである制御値を読出して、ＤＤＳ１４に入力する制御機能を含むものである。

【００２０】

又位相比較器１２は、クロック信号ＣＬＫ－Ｂ，ＣＬＫ－Ｆの位相を比較して、その位相比較出力信号を、ループフィルタ１３を介してＤＤＳ１４の制御値として入力する。又その制御値をメモリ１８に入力する。このメモリ１８は、フラッシュメモリ等の不揮発性メモリであり、前述のように、年数や月数等による所定期間毎に、ＤＤＳ１４に入力された制御値をメモリ制御部１９により順次書込む。又自走モード時には、前述のように、入力クロック信号断の検出を行ったシステムクロック部１１からの指示に従って、メモリ制御部１９によりメモリ１８から最新の制御値を読出して、ＤＤＳ１４に入力する。なお、メモリ１８から読出した制御値を、ループフィルタ１３を介してＤＤＳ１４に入力する構成とすることも可能である。又発振器１７の出力のクロック信号ＣＬＫ－ＣをＤＤＳ１４により分周し、ローパスフィルタ１５により高周波雑音成分を除去して出力クロック信号ＣＬＫ－Ｅとし、信号処理機能部４と、デバッガ機能部５と、外部インタフェース機能部２とに入力する。又その出力クロック信号ＣＬＫ－Ｅを分周器１６により分周して、位相比較器１２に入力するクロック信号ＣＬＫ－Ｆとする。

【００２１】

基準発振器機能部３又はこれを含む装置の工場出荷時等に於いて、発振器１７の特性を測定し、自走モードに於いて所定の周波数のクロック信号ＣＬＫ－Ｅを出力できるように

、ＤＤＳ１４の制御値をメモリ１８に初期制御値として設定する。この状態の装置の運用を開始する場合、外部装置１からのクロック信号が入力されない自走モードに於いては、メモリ１８に設定された初期制御値によりＤＤＳ１４が制御されるから、基準発振器機能部３の出力クロック信号ＣＬＫ－Ｅは、所望の周波数のクロック信号ＣＬＫ－Ｅとなり、各部に供給することができる。

【００２２】

又運用開始後の周囲環境の温度や湿度等の条件に対応して、各部の特性が変化する。又基準発振器機能部３の発振器１７についても同様に特性劣化が進行する。しかし、伝送路同期モードで運用中は、外部装置１からのクロック信号に位相同期化させるものであるから、発振器１７の特性変化による影響は、ＤＤＳ１４の制御によって出力クロック信号ＣＬＫ－Ｅには影響はない。このような状態に於いて、外部装置１からのクロック信号が断となった場合や、装置の移設時等の自走モードで動作する場合、メモリ制御部１９によりメモリ１８から最新の制御値を読出して、ＤＤＳ１４の制御値とする。それにより、伝送路同期モード時の出力クロック信号ＣＬＫ－Ｅと同様な運用開始初期時の精度の出力クロック信号ＣＬＫ－Ｅとすることができる。

【００２３】

図２は、動作説明図であり、横軸をＤＤＳ制御値、縦軸を発振器１７の出力周波数として示し、初期特性は、工場出荷時等に於けるもので、例えば、自走モード用制御値“１１１１”を初期値としてメモリ１８に格納する。それによるＤＤＳ制御値M_0により出力周波数f_{out}のクロック信号を出力することができる。そして運用開始からＸ年後、発振器１７の特性変化より、ＤＤＳ制御値を初期値のM_0として自走モードで運用すると、出力周波数は$f_{out}+\Delta f_x$となる。しかし、伝送路同期モードによる運用状態に於いては、ループフィルタ１３を介してＤＤＳ１４に入力される制御値を、“１１１２”として、出力周波数f_{out}を維持するように制御する。この時の制御値を自走モード用制御値として、メモリ１８に格納する。従って、Ｘ年経過後に、自走モードとなった場合、メモリ１８に格納された自走モード用制御値“１１１２”によるＤＤＳ制御値M_xによって、出力周波数はf_{out}に維持されることになる。

【００２４】

同様に、Ｙ年後、発振器１７の特性変化により、自走モードの場合に、ＤＤＳ制御値がM_xの場合、出力周波数は$f_{out}+\Delta f_y$となる。この場合の伝送路同期モードに於ける自走モード用制御値は“１１１３”であるとすると、これをメモリ１８に格納する。従って、Ｙ年経過後に自走モードとなった場合、メモリ１８に格納された自走モード用制御値“１１１３”によるＤＤＳ制御値M_yによって、出力周波数は初期状態と同一のf_{out}とすることができる。

【００２５】

又メモリ１８に対するＤＤＳ制御値を書込む時に、運用系の外部インタフェース機能部２ａからのクロック信号ＣＬＫ－Ａが正常の場合に、そのクロック信号ＣＬＫ－Ａと、そのクロック信号ＣＬＫ－Ａを基にした運用系のシステムクロック部１１ａからのクロック信号ＣＬＫ－Ｂと、待機系のシステムクロック部１１ｂからのクロック信号ＣＬＫ－Ｂとの３種類のクロック信号を比較して、２種類以上のクロック信号が許容周波数偏差ΔＦ以内の場合に、前述の所定期間経過毎のＤＤＳ制御値をメモリ１８に書込む制御を行い、その条件を満たさない状態の場合は、システムクロック部１２ａ，１２ｂ等の異常発生として、上位の監視装置（図示せず）に通知する。即ち、正常な状態に於ける所定期間経過毎のＤＤＳ制御値のみをメモリ１８ａ，１８ｂに格納する。

【００２６】

又前述のＤＤＳ制御値をメモリ１８に書込む時間間隔は、工場出荷時又は運用開始時からの年数、月数等による経過期間毎とするもので、例えば、システムクロック部１１或いはメモリ制御部１９に所定期間を設定し、カレンダ機能等により工場出荷時又は運用開始時からの経過期間の計測を行い、設定した所定期間経過毎に於けるＤＤＳ１４の制御値をメモリ１８に書込む構成とする実施例について説明しているが、発振器１７を主とした周

辺回路の特性変化の進行状況に応じて所定期間の設定を行うこともできる。例えば、周囲環境の温度が高い場合は、低い場合に比較して、特性変化が早くなるのが一般的であるから、周囲温度測定手段を設け、測定温度に対応して初期設定期間を変更することにより、特性変化の進行状況に対応することもできる。又伝送路同期モードによる運用中のＤＤＳ制御値の変化（ループフィルタ１３の出力信号の変化）が、所定の閾値を超えた時に、その時点の制御値をメモリ１８に書込むように制御することもできる。それにより、自走モードとなった場合に、少なくとも許容範囲内の出力周波数とすることができる。

【図面の簡単な説明】

【００２７】

【図１】本発明の実施例１の説明図である。

【図２】本発明の実施例１の動作説明図である。

【図３】クロック信号に従って動作する装置の説明図である。

【図４】従来例の基準発振器機能部の説明図である。

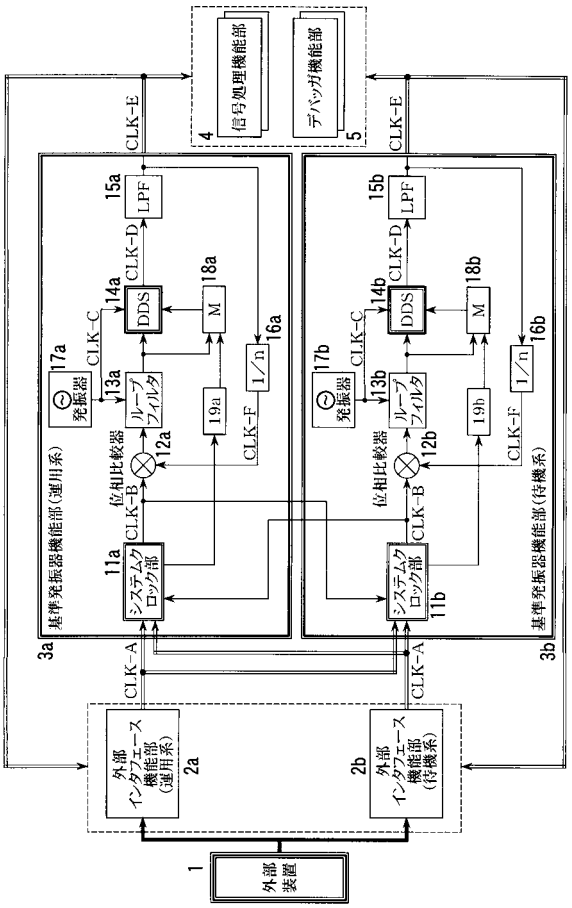
【図５】従来例の特性説明図である。

【符号の説明】

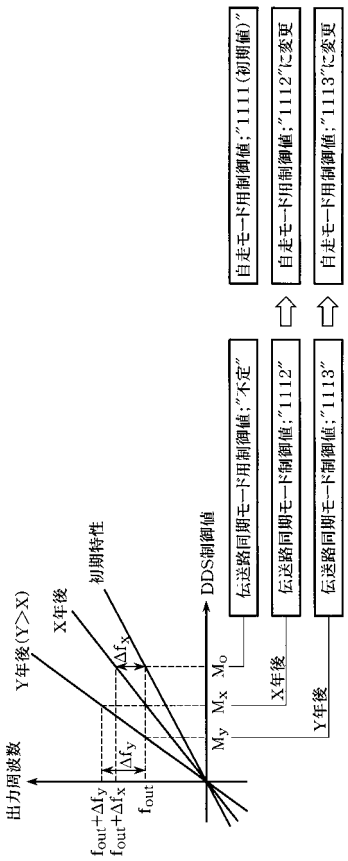
【００２８】

１　外部装置
２ａ，２ｂ　外部インタフェース機能部
３ａ，３ｂ　基準発振器機能部
４　信号処理機能部
５　デバッガ機能部
１１ａ，１１ｂ　システムクロック部
１２ａ，１２ｂ　位相比較器
１３ａ，１３ｂ　ループフィルタ
１４ａ，１４ｂ　ＤＤＳ
１５ａ，１５ｂ　ローパスフィルタ（ＬＰＦ）
１６ａ，１６ｂ　分周器（１／ｎ）
１７ａ，１７ｂ　発振器
１８ａ，１８ｂ　不揮発性メモリ（Ｍ）
１９ａ，１９ｂ　メモリ制御部

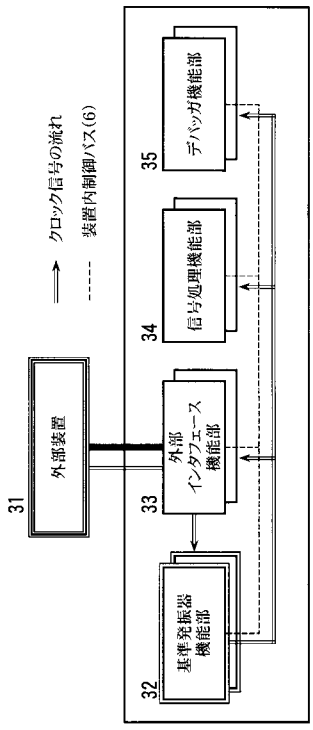
【図１】


外部装置
1
外部インタフェース機能部（運用系）
2a
外部インタフェース機能部（待機系）
2b
基準発振器機能部（運用系）
3a
基準発振器機能部（待機系）
3b
信号処理機能部
4
デバッガ機能部
5
CLK-A
CLK-B
CLK-C
CLK-D
CLK-E
CLK-F
システムクロック部
11a
11b
位相比較器
12a
12b
ループフィルタ
13a
13b
発振器
17a
17b
DDS
14a
14b
LPF
15a
15b
M
18a
18b
1／n
16a
16b
19a
19b

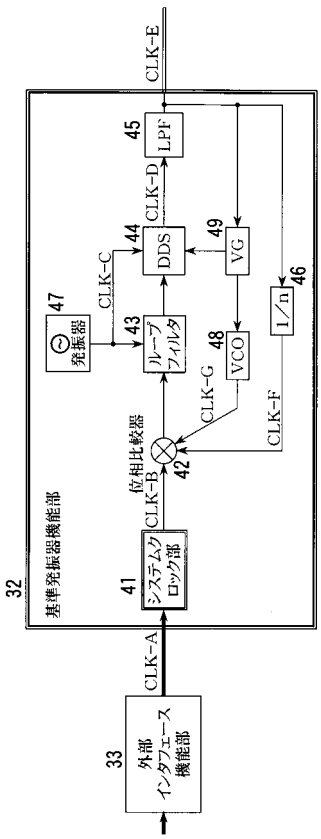
【図２】


出力周波数
Y年後（Y>X）
X年後
初期特性
DDS制御値
$f_{out}+\Delta f_y$
$f_{out}+\Delta f_x$
f_{out}
Δf_y
Δf_x
M_y
M_x
M_o
伝送路同期モード用制御値："不定"
伝送路同期モード用制御値："1112"
伝送路同期モード用制御値："1113"
自走モード用制御値："1111（初期値）"
自走モード用制御値："1112"に変更
自走モード用制御値："1113"に変更
X年後
Y年後

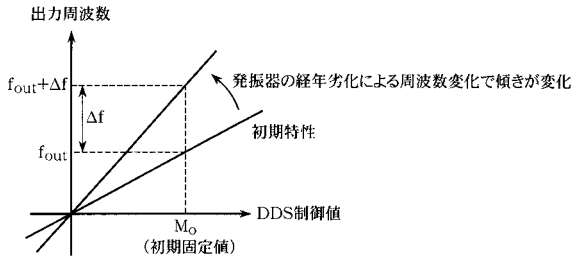
【図３】


クロック信号の流れ
装置内制御バス(6)
外部装置
31
外部インタフェース機能部
33
基準発振器機能部
32
信号処理機能部
34
デバッガ機能部
35

【図４】


外部インタフェース機能部
33
CLK-A
基準発振器機能部
32
システムクロック部
41
位相比較器
42
CLK-B
CLK-C
CLK-D
CLK-E
CLK-F
CLK-G
ループフィルタ
43
発振器
47
DDS
44
LPF
45
VCO
48
VG
49
1／n
46

【図５】


出力周波数
$f_{out}+\Delta f$
Δf
f_{out}
発振器の経年劣化による周波数変化で傾きが変化
初期特性
DDS制御値
M_O
（初期固定値）

フロントページの続き

(72)発明者　小林　祐介
神奈川県川崎市中原区上小田中４丁目１番１号　富士通株式会社内

Ｆターム(参考) 5J106 AA04 AA05 BB03 CC01 CC15 CC21 CC38 CC41 CC52 DD25
DD33 GG01 HH01 HH10 KK11 KK15