

公告本

申請日期	88.12.3
案 號	88121180
類 別	H01L 27/15

A4
C4

(以上各欄由本局填註)

463374

發明專利說明書

一、發明 名稱	中 文	可電氣抹除可程式隨機存取記憶體單元及其製造方法
	英 文	"EEPROM MEMORY CELL AND METHOD OF FABRICATING THE SAME"
二、發明 人	姓 名	1. 佐佐木 勝人 2. 辻村 勉
	國 籍	均日本
	住、居所	均日本國滋賀縣野洲郡野洲町大字市三宅800番地
三、申請人	姓 名 (名稱)	美商萬國商業機器公司
	國 籍	美國
	住、居所 (事務所)	美國紐約州阿蒙市新果園路
	代 表 人 名 姓	傑拉德 羅森賽

463374

(由本局填寫)

承辦人代碼：
大類：
IPC分類：

A6
B6

本案已向：

國(地區) 申請專利，申請日期： 案號： ☐有 ☐無主張優先權

日本 1999年1月12日 特願平11-5037 ☒有 ☐無主張優先權

有關微生物已寄存於： 寄存日期： 寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝訂線

經濟部智慧財產局員工消費合作社印製

五、發明說明(1)

[發明範圍]

本發明與一EEPROM(可電氣抹除可程式唯讀記憶體)記憶單元及其製造方法有關，且特別是與一種新奇的可電氣抹除可程式唯讀記憶體記憶單元有關。

[背景技術]

傳統的大量儲存快閃可電氣抹除可程式唯讀記憶體1，通常有一使用如圖10所示二個複矽(複晶矽)層的電閘2和3之堆疊的MOSFET(金屬氧化物半導體場效電晶體，以下稱為CGFET共閘極場效電晶體)之單元結構。在此結構中的一電荷儲存部分相當於漂浮電閘2，而一般電子經由一隧道氧化物薄膜4注入/汲出。由於此結構包括二個複矽層的電閘2和3，所以製造程序複雜。此外，由於複雜的製造程序，難以確保可靠度。

另一方面，包括一個複矽層的一電閘之裝置的典型範例，是如圖11所顯示之MNOS(金屬氮氧化物半導體)記憶單元5。MNOS記憶單元5包括複矽的二個電閘6和7，和一矽氮化物(Si_3N_4)層8和一用作為電閘絕緣薄膜之薄的加熱氧化矽薄膜9。當電荷透過隧道效應，儲存在矽氮化物層8和加熱氧化的矽薄膜9間的介面附近所形成的陷阱中時，資料寫入此記憶單元中或從其中抹除。由於此記憶單元包括在相同平面上排列的二個電閘6和7，其間的區域大到難以達成較高的整合性。

本發明的申請人在提出本申請案之前，搜尋了有關的技術，並發現與此型態的一種改良的MNOS記憶單元有關之

五、發明說明(2)

發明，其揭露在國家出版品的翻譯版本第8-506693號(PCT/US93/05669)中。在這本出版品中所揭露的發明，與包括如圖12(a)和12(b)中所示之一單一複矽層的快閃可電氣抹除可程式唯讀記憶體單元130有關，且此單元130包括一(存取)電晶體158和一可電氣抹除可程式唯讀記憶體電晶體162。可電氣抹除可程式唯讀記憶體電晶體162包括一漂浮電閘160和一控制電閘142，所以電荷能用與上述傳統記憶單元相同的方式儲存在漂浮電閘160中。在此快閃可電氣抹除可程式唯讀記憶體單元130中，存取電晶體158、可電氣抹除可程式唯讀記憶體電晶體162、和控制電閘142形成一電容器170，配置在相同的平面上。因此，快閃可電氣抹除可程式唯讀記憶體單元130佔用一比傳統的可電氣抹除可程式唯讀記憶體記憶單元更大的整合區域，其對達成高封裝密度是不利。

此快閃可電氣抹除可程式唯讀記憶體單元130的結構，包括(存取)電晶體158和可電氣抹除可程式唯讀記憶體電晶體162。此外，快閃可電氣抹除可程式唯讀記憶體單元130包括漂浮電閘160和控制電閘142，且電荷儲存在漂浮電閘160中。

[本發明解決的問題]

本發明的一個目的在於用包括單一複矽層的電閘結構實施一種記憶單元，以便簡化製造程序，提高生產力並降低記憶單元的製造成本。

本發明的另一目的在於，用一種簡單架構實施一記憶單

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明⁽³⁾)

元、並減少此記憶單元的面積，以便達成高整合性。

本發明還有另一目的在於，藉由利用 DHE (drain channel hot electrons) 和 GIDL (gate induced drain leakage) 以形成一種優良的記憶單元。

[解決問題的手段]

作為研究消除上述缺點的結果，本發明人終於完成本發明。本發明的可電氣抹除可程式唯讀記憶體有一 MOSFET 結構，包含一源極區域和一汲極區域形成在一基體之一表面上；一通道區域定義在該源極區域和該汲極區域間該基體的該表面上；且一電閘氧化物薄膜和一電閘形成在該通道區域之間，因此它如同一記憶體般運作。此可電氣抹除可程式唯讀記憶體記憶單元的一電荷儲存部分，是形成在該汲極區域附近的一隧道氧化物薄膜，且該汲極區域和該電閘氧化物薄膜(和其上的電閘)間最好形成有一大的重疊區域，以便容易地產生一 GIDL。在此可電氣抹除可程式唯讀記憶體記憶單元中，資料透過補抓電閘氧化物薄膜中的熱電子寫入，而資料透過將電洞注入到電閘氧化物薄膜之內抹除。另外，資料透過觀察在一負電壓應用到電閘下汲極區域中的 GIDL 之變化，從此可電氣抹除可程式唯讀記憶體記憶單元讀出。

[本發明較佳具體實施例]

現在，依照本發明之一種可電氣抹除可程式唯讀記憶體記憶單元的一具體實施例、和製造該可電氣抹除可程式唯讀記憶體記憶單元之方法，將參照伴隨的圖式詳細描述。

五、發明說明(4)

如圖1所示，依照此具體實施例之一可電氣抹除可程式唯讀記憶體記憶單元10包含一基體12；一源極區域14和一汲極區域16形成在該基體12的表面上；一通道區域18定義在該源極區域14和該汲極區域16間之該基體12的該表面上；一電閘氧化物薄膜20形成在該通道區域18上，以便與該源極區域14和該汲極區域16部分重疊；且一包括複矽的電閘22形成在該電閘氧化物薄膜20上。

更精確地說，該基體12最好是一p型矽基體。當使用一n型矽基體時，一p井層形成在該n型基體上。在該基體12的該表面上，該源極區域14和該汲極區域16透過離子植入，由大體上對稱的二個 n^+ 區域形成。離子植入在電閘氧化物薄膜20和電閘22形成之後實施，且在該電閘22(和其下的電閘氧化物薄膜20)與該 n^+ 區域間的該等重疊區域，即該源極區域14和該汲極區域16，由於雜質離子的擴散而形成。

該電閘氧化物薄膜20最好是以一透過加熱氧化該矽基體12的該表面形成的一加熱氧化的矽薄膜、一透過在預先決定的氣體例如一 N_2O 氣體中加熱氧化該基體12的該表面，形成之一加熱氧化的合成薄膜、一氮化物薄膜、或一氮氧化物薄膜製成。此外，該電閘22透過在電閘氧化物薄膜20上沉澱一複矽薄膜、並透過與該氧化物薄膜一起光蝕刻該複矽薄膜成為所需要的形狀而形成。

如此製造的可電氣抹除可程式唯讀記憶體記憶單元10與MOSFET有相同的結構，只包含一單一複矽層。爲了要

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明(5)

如一記憶單元般操作具有此結構的可電氣抹除可程式唯讀記憶體記憶單元10，資料應該寫入到該可電氣抹除可程式唯讀記憶體記憶單元10中、及從其中抹除與讀取。

首先，可電氣抹除可程式唯讀記憶體記憶單元10的一寫入運作，藉由設定汲極區域16的電位 V_d 、和電閘22的電位 V_g 在一高電壓，同時源極區域14的電位 V_s 保持在接地進行。因此，熱電子從通道區域18補抓到汲極區域16附近的電閘氧化物薄膜20中。

可電氣抹除可程式唯讀記憶體記憶單元10的一抹除運作，藉由維持電閘22的電位 V_g 在接地或一負電壓、和維持汲極區域16的電位 V_d 在一高電壓、與維持源極區域14的電位 V_s 開路進行。其機制如下：當一高電壓應用於汲極區域16時，電洞由於band-to-band隧道效應而產生於直接在電閘22下面的汲極區域16中，且那些電洞被基體12的電場加速，如此引起累增崩潰。結果，熱電洞產生成注入到電閘氧化物薄膜20中。因此，電閘氧化物薄膜20中所補抓的電子被電性中和。

其次，可電氣抹除可程式唯讀記憶體記憶單元10的一讀取運作，藉由以電閘22的電位 V_g 設定在一負電壓，汲極區域16的電位 V_d 設定在一高電壓，和源極區域14的電位 V_s 開路或保持在接地讀取汲極區域16中造成的GIDL引起的汲極電流 I_d 之變化進行。改變汲極電流 I_d 的GIDL由電閘氧化物薄膜20的電荷控制。當電子被補抓到時，GIDL是數百pA或更多，而當電子被抹除時，GIDL是幾個

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(6)

pA。因此，在寫入和抹除運作之前和之後取得的電流之間，可獲得一二位數電流差額。因此，在實際使用的快閃可電氣抹除可程式唯讀記憶體記憶單元10中，從這個GIDL得到的汲極電流之差額，由一感應放大器擴大以便區別位元資料中的0和1。

由於此可電氣抹除可程式唯讀記憶體記憶單元10是一種具有包括僅一個複矽層之電閘22的簡單架構之記憶單元，因此可簡化製造程序、增進生產力、並降低製造成本。此外，由於此可電氣抹除可程式唯讀記憶體記憶單元10只包括一個電閘22，記憶單元的面積能減到最少，而實施高度整合。舉例來說，可電氣抹除可程式唯讀記憶體記憶單元佔用傳統堆疊的記憶單元所佔用區域的大約80到90%的區域。此外，可電氣抹除可程式唯讀記憶體記憶單元10藉由在一寫入運作中利用DHE (drain channel hot electrons)、在一抹除運作中利用DHI (drain hole injection)、和一讀取運作中利用GIDL (gate induced drain leakage)操作，而因此不需要提供特別的單元結構。因此，可電氣抹除可程式唯讀記憶體記憶單元10在形成一種優良的記憶單元方面是有利的。

至此為止描述了依照本發明可電氣抹除可程式唯讀記憶體記憶單元的基本結構之一具體實施例，但本發明不受限於上述的具體實施例。

舉例來說，在另一可電氣抹除可程式唯讀記憶體記憶單元24中，在一電閘22和一汲極區域26之間的重疊區域，

五、發明說明(7)

最好比如圖2中所示在電閘22和源極區域14之間的重疊區域更大。當在電閘22和汲極區域26之間的重疊區域如此較大時，GIDL較容易地產生在汲極區域26中，其增進可電氣抹除可程式唯讀記憶體記憶單元24的效率。

具有上述結構的可電氣抹除可程式唯讀記憶體記憶單元24之製造如下：首先，在經由一普遍的方法於一基體12上形成一電閘氧化物薄膜20和電閘22之後，將離子以直角植入到基體12之內以形成一源極區域14和汲極區域26。其後，離子斜角地至少對準電閘22和汲極區域26之間的重疊區域，植入到基體12中的汲極區域26之內。以這種方式，電閘22和汲極區域26之間的重疊區域可製作成較大。

或者，即使在電閘22和汲極區域26間的重疊區域大體上維持在如電閘22和源極區域14間的重疊區域一般的大小時，離子可斜角地植入到基體12中的汲極區域26之內，以便在汲極區域26中形成一比在源極區域14中以更高濃度摻雜的擴散層。也是在此情況中，GIDL更容易地在汲極區域26中產生，因此增進了可電氣抹除可程式唯讀記憶體記憶單元24的效率。

而且，在還有的另一可電氣抹除可程式唯讀記憶體記憶單元28中，一 P^+ 層30或一 P^- 層最好如圖3中所示形成在一基體12和源極與汲極區域14和16之間。至少在汲極區域16和基體12之間形成 P^+ 層30或 P^- 層就足夠了。 P^+ 層30或 P^- 層可透過已知的方法形成。當 P^+ 層30或 P^- 層形成時，

五、發明說明⁽⁸⁾

可抑制短通道效應且可增進產生熱電子的效率。

至此已參照那些圖式描述依照本發明的可電氣抹除可程式唯讀記憶體記憶單元和製造可電氣抹除可程式唯讀記憶體記憶單元的方法，然而本發明可經由進一步改良上述基本結構加以實施。除此之外，上述的具體實施例可適當地結合。熟知該項技藝人士之知識基礎下於不脫離本發明範疇與精神可對具體實施例進行各種改變、替代和修改。

[範例]

製造一種具有如圖1和4中所顯示結構的可電氣抹除可程式唯讀記憶體記憶單元。在一矽基體12上，藉由加熱氧化形成一電閘氧化物薄膜20。電閘氧化物薄膜20的厚度是100Å。此外，複矽沉澱為一電閘22然後並形成所需要的形狀。其後，一源極區域14和一汲極區域16藉由以一般的方法用電閘22當成一遮罩植入離子而形成。一通道區域18因而形成，有0.7 μm的通道寬度W和0.8 μm的通道長度L。

此可電氣抹除可程式唯讀記憶體記憶單元10的讀取電流特性在一寫入運作之後檢查。如圖5(a)所示，於其中9V和6V的電壓分別應用於電閘22和汲極區域16同時以源極區域14接地的一讀取運作每100 μs進行一次。然後，如圖5(c)所示，以源極區域14開路同時以3V的電壓應用於汲極區域16、0.0 V，-1.0 V，-2.0 V和-3.0 V的電壓連續地應用於電閘22，並測量一讀取電流(汲極電流)Id。如圖6所示，較大的讀取電流Id藉由應用一較大的負

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明⁽⁹⁾

電壓當成電閘電壓 V_g 而獲得。

此外，可電氣抹除可程式唯讀記憶體記憶單元10的讀取電流特性在一抹除運作之後檢查。如圖5(b)所示，電閘22接地，且電洞以8.5 V和100 μ s的電壓脈衝注入汲極區域16之內。其後，以上述和圖5(c)所示相同的方式，以源極區域14開路並以3 V的電壓應用於汲極區域16，0.0 V，-1.0 V，-2.0 V和-3.0 V的電壓連續地應用於電閘22，然後測量讀取電流(汲極電流) I_d 。結果顯示在圖6中。從圖6明顯地，與應用於電閘22的電壓無關，所獲得的讀取電流 I_d 有確實不變的值。

更進一步，檢查可電氣抹除可程式唯讀記憶體記憶單元10的寫入特性。在如圖5(a)所示的條件之下，寫入運作每5 μ s進行五次。分別地，以源極區域14開路且以3 V和-3 V的電壓應用於汲極區域16和電閘22，每一寫入運作進行一讀取運作。以此方式，測量讀取電流 I_d 。結果顯示在圖7。從圖7明顯的，當寫入運作的次數增加時，讀取電流 I_d 增加，其表示資料適當地寫入。

此外，檢查可電氣抹除可程式唯讀記憶體記憶單元10的抹除特性。在如圖5(b)所示的那些條件下，抹除運作每10 μ s進行七次。以源極區域14開路且分別地以3 V和-3 V的電壓應用於汲極區域16和電閘22，每一讀取運作進行一抹除運作。以此方式，測量讀取電流 I_d 。結果顯示在圖8。從圖8明顯的，每一次進行抹除運作，讀取電流 I_d 減少，其表示資料適當地抹除。

五、發明說明(10)

此外，檢查可電氣抹除可程式唯讀記憶體記憶單元10的寫入/抹除耐久性。一寫入運作和一抹除運作交替地重複。在進行預定次數的寫入運作之後，進行一讀取運作並測量讀取電流 I_d 。接著，在進行預定次數的抹除運作之後，進行一讀取運作並測量讀取電流 I_d 。寫入運作，抹除運作和讀取運作在如上述相同的條件下進行。結果顯示在圖9。從圖9明顯的，雖然讀取電流 I_d 在寫入運作之後增加，由100個測量所獲得的結果看來，在寫入/抹除耐久性中沒有實際問題。

然後，檢查可電氣抹除可程式唯讀記憶體記憶單元10的資料保存特性。在資料寫入記憶單元10之後，記憶單元10在250°C加熱30分鐘，並檢查加熱前、後所獲得讀取電流的變化。結果顯示在表1。如比較的範例，傳統的堆疊可電氣抹除可程式唯讀記憶體的電荷保留特性列在表1中。本可電氣抹除可程式唯讀記憶體記憶單元在250°C加熱30分鐘的保存特性是優良的。

[表 1]

	加熱前	加熱後	變化比率
具體實施例 1	199 pA	197 pA	-1.0%
具體實施例 2	223 pA	220 pA	-1.3%
比較範例 1	3.87 V	3.79 V	-2.1%
比較範例 2	4.00 V	3.93 V	-1.8%

以上述資料為基礎，一般確認依照本發明的可電氣抹除可程式唯讀記憶體記憶單元如同一最基本的記憶單元般運

五、發明說明(11)

作。

[發明的優點]

本發明的可電氣抹除可程式唯讀記憶體記憶單元有一MOSFET結構，包含一源極區域和一汲極區域形成在一基體的表面上之；一通道區域定義在源極區域和汲極區域之間的基體表面上；一電閘氧化物薄膜形成在該通道區域上；和一包含複矽的電閘形成在該電閘氧化物薄膜上。由於可電氣抹除可程式唯讀記憶體記憶單元具有只包含一複矽層的結構，因此可簡化製造程序、增進生產力、並降低製造成本。

此外，由於本發明的可電氣抹除可程式唯讀記憶體記憶單元有一簡單架構，並只包括在一平面中的一個電閘，所以它在形成一優良的記憶單元方面是有利的。因此，記憶單元的面積可充份地減到最少，而可實施高度整合。

圖式概述：

圖1是依照本發明一個具體實施例之可電氣抹除可程式唯讀記憶體記憶單元的概要斷面圖。

圖2是依照本發明另一個具體實施例之可電氣抹除可程式唯讀記憶體記憶單元的概要斷面圖。

圖3是依照本發明再另一個具體實施例之可電氣抹除可程式唯讀記憶體記憶單元的概要斷面圖。

圖4是圖1的可電氣抹除可程式唯讀記憶體記憶單元的概要平面圖。

圖5(a)到5(c)分別是說明本發明的可電氣抹除可程式唯

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明 (12)

讀記憶體記憶單元的寫入運作、抹除運作和讀取運作之圖式。

圖6是表示在本發明的可電氣抹除可程式唯讀記憶體記憶單元中於進行寫入和抹除運作之後所獲得的讀取電流之圖式。

圖7是表示本發明可電氣抹除可程式唯讀記憶體記憶單元的寫入特性之圖式。

圖8是表示本發明可電氣抹除可程式唯讀記憶體記憶單元的抹除特性之圖式。

圖9是表示本發明可電氣抹除可程式唯讀記憶體記憶單元的寫入/抹除耐久性之圖式。

圖10是傳統快閃可電氣抹除可程式唯讀記憶體記憶單元的概要斷面圖。

圖11是傳統MNOS記憶單元的概要斷面圖。

圖12(a)和12(b)分別是另一傳統MNOS記憶單元的概要平面圖和概要斷面圖。

[圖式的參考符號]

10, 24, 28 : 可電氣抹除可程式唯讀記憶體記憶單元

12 : 基體(p型矽基體或p井)

14 : 源極區域

16, 26 : 汲極區域

18 : 通道區域

20 : 電閘氧化物薄膜

22 : 電閘

30 : P⁺層

四、中文發明摘要(發明之名稱: 可電氣抹除可程式隨機存取記憶體單元及其製造方法)

[目的]

本發明的一個目的在於實現一種包括單一複矽層的記憶單元,以便簡化記憶單元的製造程序、增進生產力並降低製造成本。本發明另外一個目的在於用一簡單架構實現記憶單元、及減小記憶單元的面積,以便達到高度整合。本發明還有的另一目的在於,藉由利用 DHE (drain channel hot electrons, 汲極通道熱電子)和 GIDL (gate induced drain leakage, 電閘感應汲極洩漏)來組成一種精細的記憶單元。

[組成]

一種可電氣抹除可程式唯讀記憶體 (EEPROM) 記憶單元

英文發明摘要(發明之名稱: "EEPROM MEMORY CELL AND METHOD OF)
FABRICATING THE SAME")

[Object]

An object of the present invention is to realize a memory cell including a single polysilicon layer so as to simplify the fabrication process, improve the productivity and lower the fabrication cost of the memory cell. Another object of the present invention is to realize a memory cell with a simple structure as well as to reduce the area of the memory cell so as to attain high integration. Still another object of the present invention is to form a fine memory cell by utilizing DHE (drain channel hot electrons) and GIDL (gate induced drain leakage).

[Constitution]

An EEPROM memory cell 10 includes a substrate 12; a source region

四、中文發明摘要(發明之名稱:)

10, 包括一基體12; 一源極區域14和一汲極區域16, 形成在基體12的一個表面上; 一通道區域18, 定義在源極區域14和汲極區域16間基體12的表面上; 一電閘氧化物薄膜20, 形成在通道區域18上, 以便部分與源極區域14和汲極區域16重疊; 和一含有複矽的電閘22, 形成在電閘氧化物薄膜20上。

(請先閱讀背面之注意事項再填寫本頁各欄)

裝
訂
線

英文發明摘要(發明之名稱:)

14 and a drain region 16 formed on a surface of the substrate 12; a channel region 18 defined on the surface of the substrate 12 between the source region 14 and the drain region 16; a gate oxide film 20 formed on the channel region 18 so as to partly overlap with the source region 14 and the drain region 16; and a gate 22 including polysilicon formed on the gate oxide film 20.

[Selected Drawings] Figure 1

六、申請專利範圍

1. 一種可電氣抹除可程式唯讀記憶體 (EEPROM) 記憶單元，包含：
 - 一基體；
 - 一源極區域和一汲極區域，形成在該基體的一個表面上；
 - 一通道區域，定義在該源極區域和該汲極區域間該基體的表面上；
 - 一電閘氧化物薄膜，形成在該通道區域上，以便部分與該源極區域和該汲極區域重疊；和
 - 一含有複矽的電閘，形成在該電閘氧化物薄膜上。
2. 如申請專利範圍第 1 項之可電氣抹除可程式唯讀記憶體記憶單元，其中在該電閘氧化物薄膜和該汲極區域之間的重疊區域，比在該電閘氧化物薄膜和該源極區域之間的重疊區域更大。
3. 如申請專利範圍第 1 或第 2 項之可電氣抹除可程式唯讀記憶體記憶單元，其中該汲極區域包括一以比該源極區域中的擴散層更高的濃度摻入的擴散層。
4. 如申請專利範圍第 1 項或第 2 項之可電氣抹除可程式唯讀記憶體記憶單元，其中該源極區域和該汲極區域由一 n^- 層組成。
5. 如申請專利範圍第 3 項之可電氣抹除可程式唯讀記憶體記憶單元，其中該源極區域和該汲極區域由一 n^+ 層組成。
6. 如申請專利範圍第 4 項之可電氣抹除可程式唯讀記憶體

(請先閱讀背面之注意事項再填寫本頁)

訂

六、申請專利範圍

記憶單元，其中 P^+ 層或 P^- 層至少形成在該汲極區域和該基體之間。

7. 如申請專利範圍第1項之可電氣抹除可程式唯讀記憶體記憶單元，其中該電閘氧化物薄膜是一透過加熱氧化該矽基體的表面形成之加熱氧化的矽薄膜、或一透過在一預先決定的氣體中加熱氧化該基體的表面形成之合成物薄膜。
8. 如申請專利範圍第1項之可電氣抹除可程式唯讀記憶體記憶單元，其中一寫入運作係透過在該汲極區域的附近補抓該電閘氧化物薄膜中的電子來進行。
9. 如申請專利範圍第8項之可電氣抹除可程式唯讀記憶體記憶單元，其中一抹除運作係透過，藉由在該汲極區域的附近將電洞注入該電閘氧化物薄膜之內，中和所補抓到的電子來進行。
10. 如申請專利範圍第1項之可電氣抹除可程式唯讀記憶體記憶單元，其中一讀取運作係透過應用一負電壓於該電閘、並讀取該汲極區域中所引發因GIDL (gate induced drain leakage)而來的一汲極電流之改變來進行。
11. 一種製造可電氣抹除可程式唯讀記憶體記憶單元之方法，包含步驟：

在一基體上形成一電閘氧化物薄膜和一電閘；

透過以直角將離子植入該基體內，形成一源極區域和一汲極區域；和

(請先閱讀背面之注意事項再填寫本頁)

訂

六、申請專利範圍

斜向地將離子植入該基體中的該汲極區域之內。

(請先閱讀背面之注意事項再填寫本頁)

訂

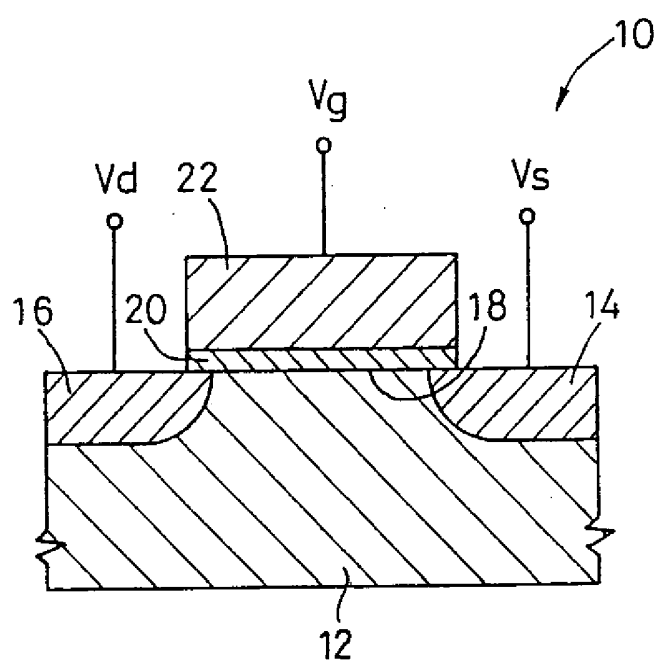


圖 1

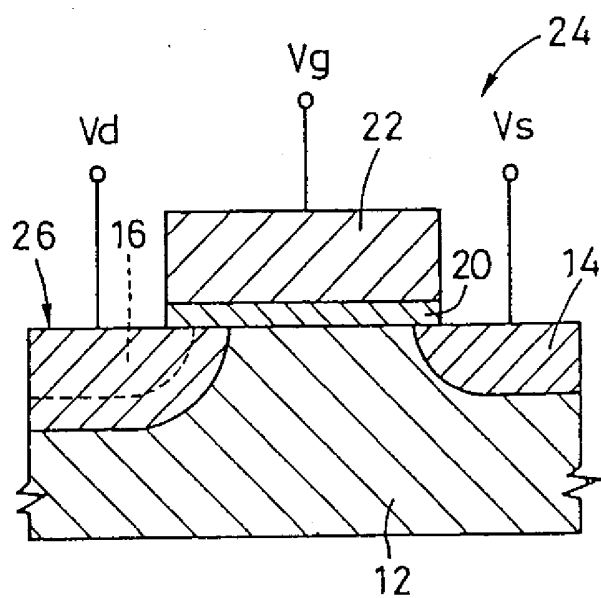


圖 2

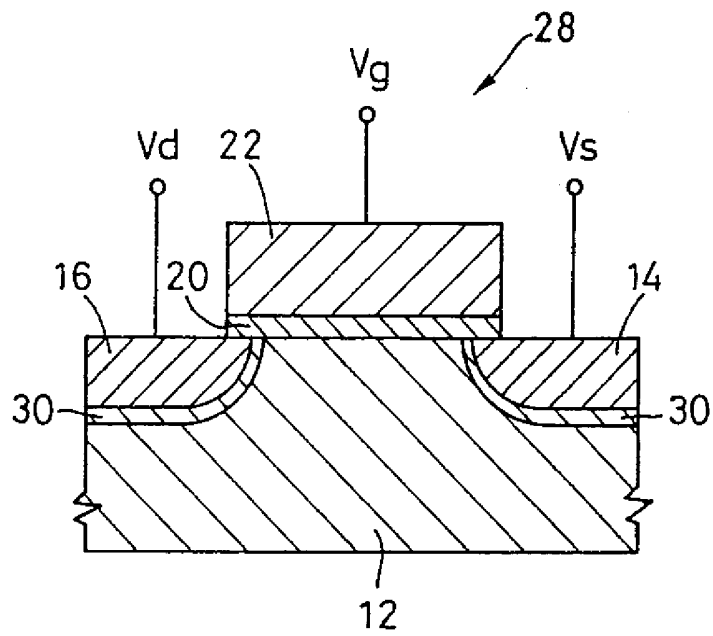


圖 3

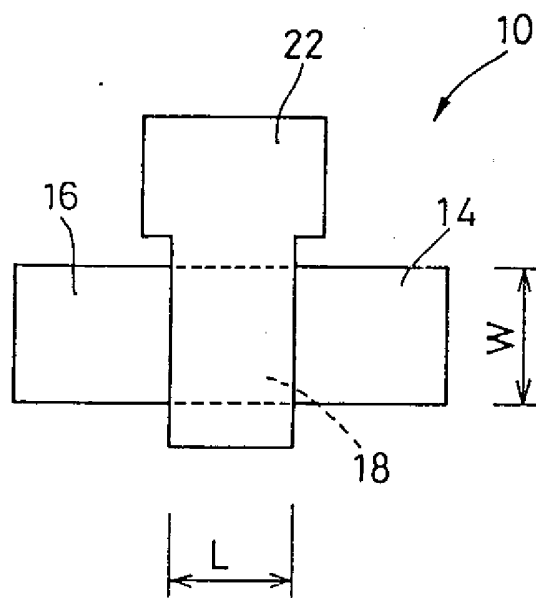


圖 4

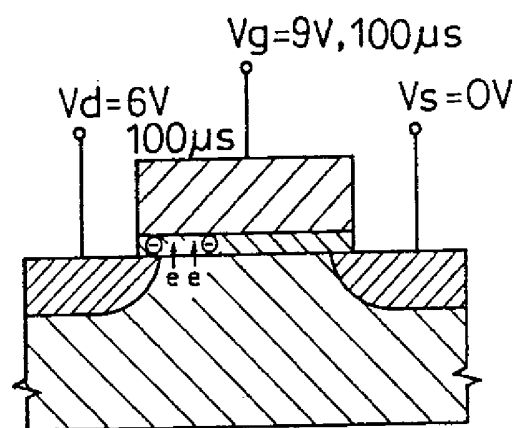


圖 5(a)

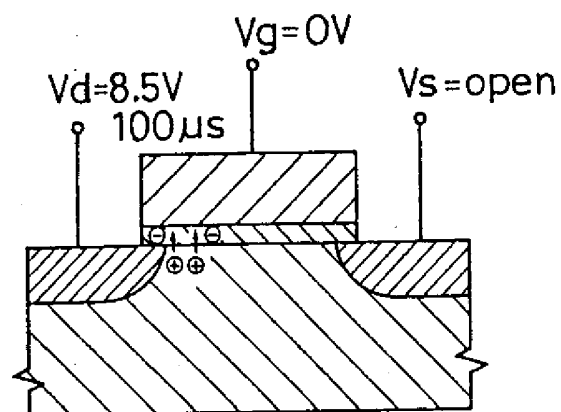


圖 5(b)

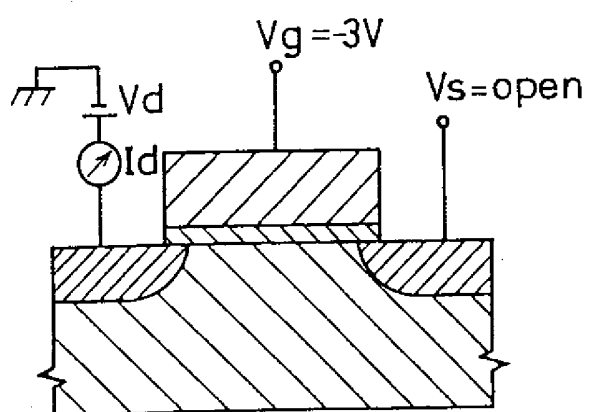
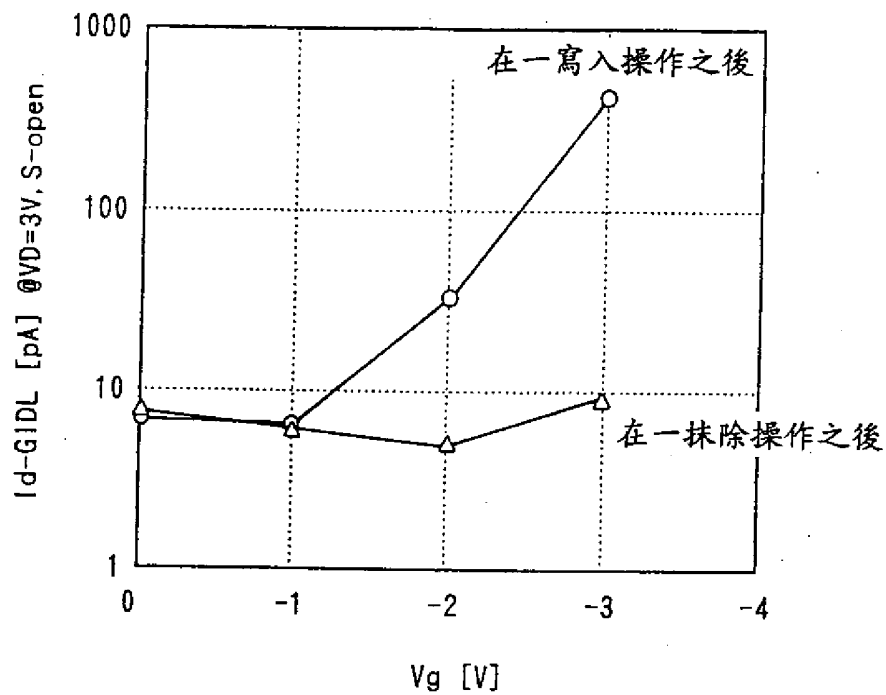


圖 5(c)



V_g [V]	I_d (寫入) [pA]	I_d (抹除) [pA]
0.0	7.1	7.9
-1.0	7.0	6.7
-2.0	34.5	5.8
-3.0	372.0	9.4

寫入	抹除	讀取
$V_D=6V, 100\mu s$	$V_D=8.5V, 100\mu s$	$V_D=3V$
$V_G=9V, 100\mu s$	$V_G=0V$	$V_G=-3V$
$V_S=0V$	S-Open	S-Open

圖 6

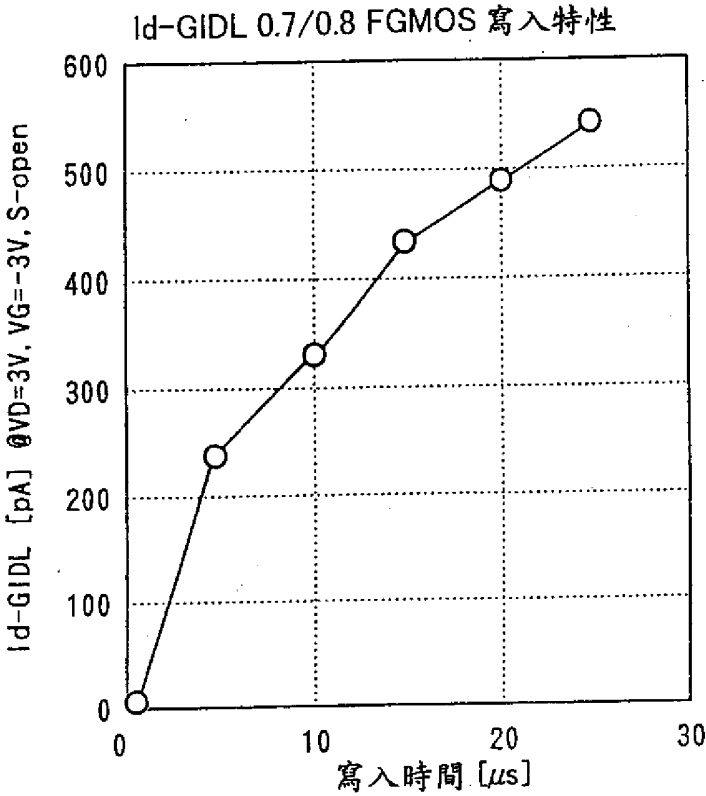


圖 7

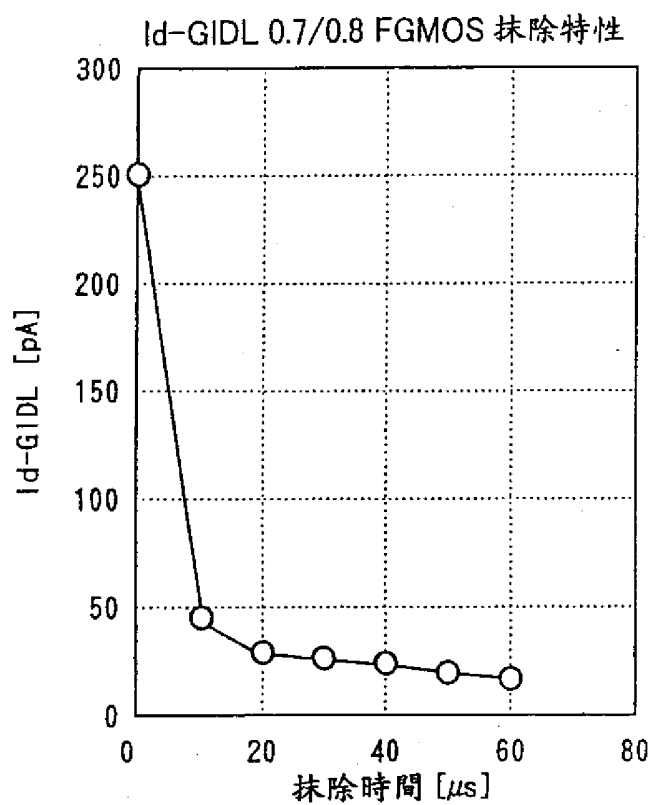


圖 8

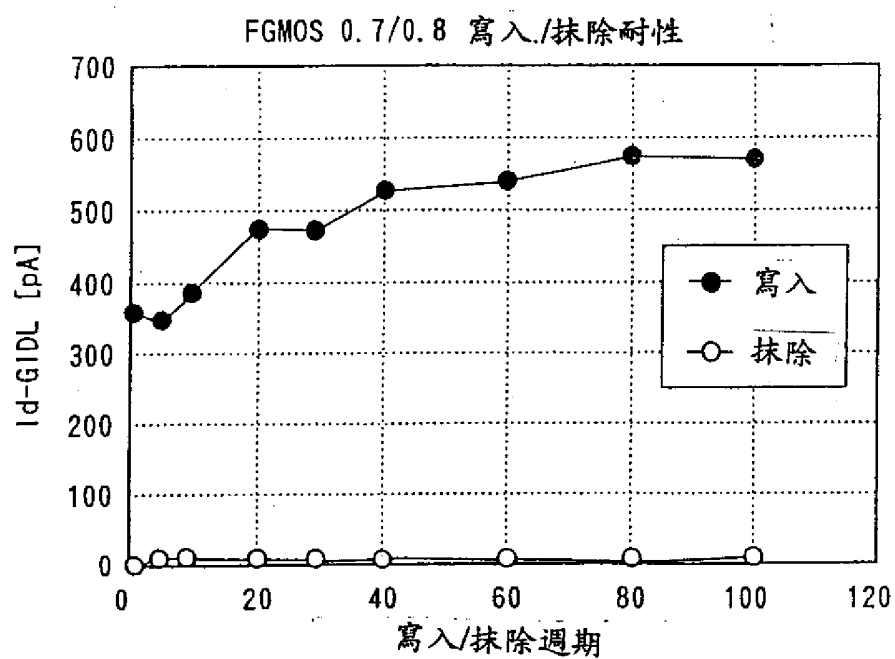


圖 9

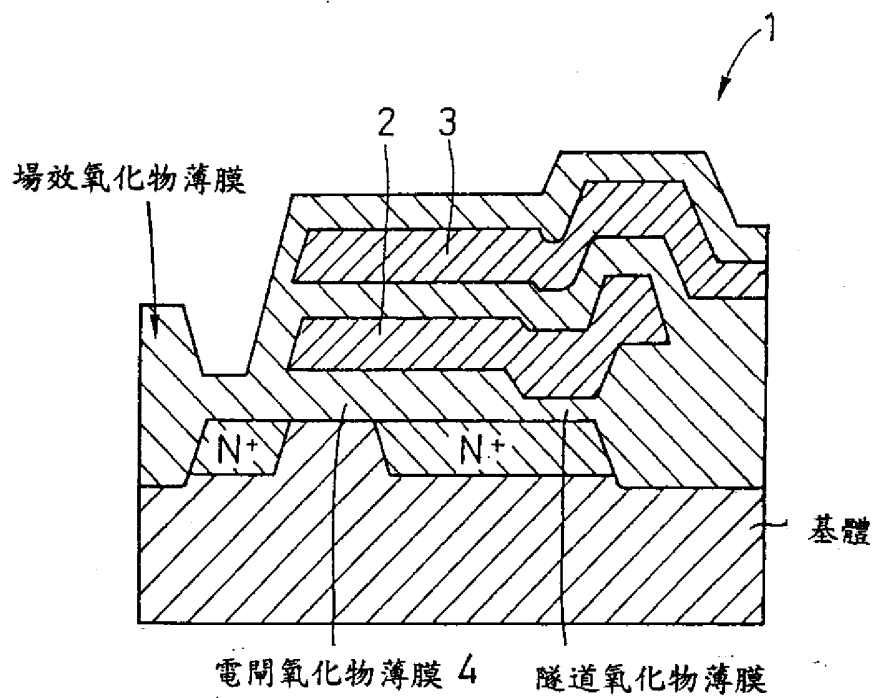


圖 10

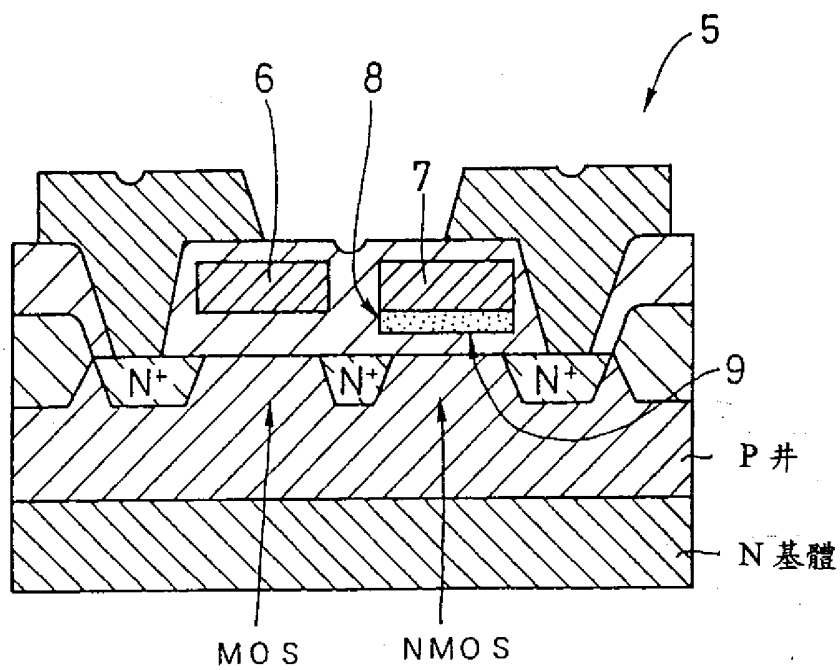


圖 11

六、申請專利範圍

1. 一種可電氣抹除可程式唯讀記憶體 (EEPROM) 記憶單元，包含：
 - 一基體；
 - 一源極區域和一汲極區域，形成在該基體的一個表面上；
 - 一通道區域，定義在該源極區域和該汲極區域間該基體的表面上；
 - 一電閘氧化物薄膜，形成在該通道區域上，以便部分與該源極區域和該汲極區域重疊；和
 - 一含有複矽的電閘，形成在該電閘氧化物薄膜上。
2. 如申請專利範圍第 1 項之可電氣抹除可程式唯讀記憶體記憶單元，其中在該電閘氧化物薄膜和該汲極區域之間的重疊區域，比在該電閘氧化物薄膜和該源極區域之間的重疊區域更大。
3. 如申請專利範圍第 1 或第 2 項之可電氣抹除可程式唯讀記憶體記憶單元，其中該汲極區域包括一以比該源極區域中的擴散層更高的濃度摻入的擴散層。
4. 如申請專利範圍第 1 項或第 2 項之可電氣抹除可程式唯讀記憶體記憶單元，其中該源極區域和該汲極區域由一 n^- 層組成。
5. 如申請專利範圍第 3 項之可電氣抹除可程式唯讀記憶體記憶單元，其中該源極區域和該汲極區域由一 n^+ 層組成。
6. 如申請專利範圍第 4 項之可電氣抹除可程式唯讀記憶體

(請先閱讀背面之注意事項再填寫本頁)

訂