



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2011년03월24일
(11) 등록번호 10-1024796
(24) 등록일자 2011년03월17일

(51) Int. Cl.

H03L 7/093 (2006.01) H03L 7/091 (2006.01)

(21) 출원번호 10-2008-7023791

(22) 출원일자(국제출원일자) 2007년03월30일

심사청구일자 2008년09월29일

(85) 번역문제출일자 2008년09월29일

(65) 공개번호 10-2008-0099867

(43) 공개일자 2008년11월13일

(86) 국제출원번호 PCT/JP2007/057693

(87) 국제공개번호 WO 2007/114501

국제공개일자 2007년10월11일

(30) 우선권주장

JP-P-2006-00100614 2006년03월31일 일본(JP)

(56) 선행기술조사문현

GB2112236 A*

JP평성10173642 A

JP2002353807 A

JP2004235858 A

*는 심사관에 의하여 인용된 문현

(73) 특허권자

니혼 텐파 고교 가부시끼가이샤

일본국 도쿄도 시부야구 사사즈카 1조메 50방 1고

(72) 발명자

오니시, 나오끼

일본 350-1321 사이따마깽 사야마시 오아자 가미 히로세 1275-2 사야마 플랜트 니혼 텐파 고교 가부시끼가이샤 내

와까마쓰, 슈이찌

일본 350-1321 사이따마깽 사야마시 오아자 가미 히로세 1275-2 사야마 플랜트 니혼 텐파 고교 가부시끼가이샤 내

시오바라, 쯔요시

일본 350-1321 사이따마깽 사야마시 오아자 가미 히로세 1275-2 사야마 플랜트 니hon 텐파 고교 가부시끼가이샤 내

(74) 대리인

이중희, 장수길

전체 청구항 수 : 총 4 항

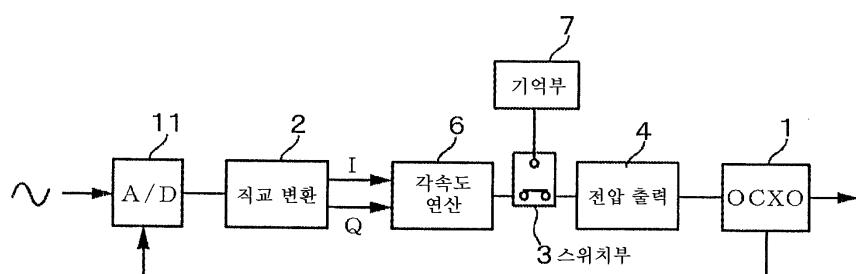
심사관 : 김기완

(54) PLL 장치

(57) 요 약

본 발명의 목적은, 외부로부터의 기준 주파수 신호에 전압 제어 발진부로부터의 주파수 신호를 동기시켜 출력하는 PLL 장치에서, 외부로부터의 기준 신호에 문제점이 발생하여도 주파수의 변동을 억제할 수 있도록 하는 것에 있다. 구체적인 해결 수단으로서는, 외부로부터의 기준 주파수 신호의 신호 레벨을 감시하고, 그 신호 레벨이 설정 범위 내일 때에는, 위상차 데이터 작성 수단에 의해 작성된 위상차에 관한 데이터를 이용하여 PLL 제어를 행하지만, 상기 신호 레벨이 설정 범위를 벗어난 때에는, 신호의 공급이 정지 또는 이상이 일어난 것이라고 인식하여 기억부에 기억되어 있는 위상차에 관한 데이터, 예를 들면 측정되어 있는 최신의 데이터 또는 미리 작성해둔 데이터로 절환하여 PLL 제어를 행한다.

대 표 도 - 도1



특허청구의 범위

청구항 1

공급된 제어 전압에 따른 주파수의 주파수 신호를 발진하는 전압 제어 발진부와,
 외부로부터의 기준 주파수 신호의 위상과 전압 제어 발진부로부터의 주파수 신호의 위상과의 위상차를
 취출하고, 이 위상차에 관한 데이터를 디지털값으로서 구하는 위상차 데이터 작성 수단과,
 상기 위상차에 관한 데이터에 기초하여 제어 전압을 생성하기 위한 제어 전압용 신호를 출력하는 출력 수단과,
 상기 제어 전압용 신호에 기초하여 제어 전압을 전압 제어 발진부에 공급하는 아날로그 회로와,
 상기 위상차에 관한 데이터가 기억되어 있는 기억부와,
 외부로부터의 기준 주파수 신호 레벨을 감시하기 위한 감시 수단과,
 상기 감시 수단에서 감시된 신호 레벨이 설정 범위 내일 때에는, 위상차 데이터 작성 수단에 의해 작성된 위상
 차에 관한 데이터를 출력 수단에 공급하고, 감시 수단에서 감시된 신호 레벨이 설정 레벨 설정 범위로부터 벗어
 나 있을 때에는, 상기 기억부에 기억되어 있는 위상차에 관한 데이터를 출력 수단에 공급하는 절환 수단
 을 구비하며,
 상기 위상차 데이터 작성 수단은,
 전압 제어 발진부로부터의 주파수 신호에 기초하여, 외부로부터의 기준 주파수 신호를 샘플링하여 그 샘플링값
 을 디지털 신호로서 출력하는 아날로그/디지털 변환부와,
 상기 디지털 신호를 직교 변환부에 의해 직교 변환 처리하여, 상기 주파수 신호와 표준 신호의 위상차에 상당하
 는 위상의 벡터를 복소 표시하였을 때의 실수 부분 및 허수 부분을 취출하는 직교 변환부와,
 상기 직교 변환부에서 얻어진 상기 실수 부분 및 허수 부분의 각 시계열 데이터에 기초하여 벡터의 각속도를 연
 산하는 각속도 연산부
 를 구비하며,
 상기 위상차에 관한 데이터는, 각속도 연산부에서 연산된, 상기 위상차의 변화분에 대응하는 벡터의 각속도인
 것을 특징으로 하는 PLL 장치.

청구항 2

제1항에 있어서,

상기 신호 레벨이 설정 범위 내일 때에는, 위상차 데이터 작성 수단에 의해 작성된 위상차에 관한 데이터는, 출력 수단에 공급됨과 함께 기억부에 기억되며, 이렇게 하여 기억부에는 최신의 위상차에 관한 데이터가
 축적되고, 상기 신호 레벨이 설정 레벨 설정 범위로부터 벗어나 있을 때에는 기억부에 축적된 데이터가 출력부
 에 공급되는 것을 특징으로 하는 PLL 장치.

청구항 3

삭제

청구항 4

제1항에 있어서,

상기 위상차에 관한 데이터는, 외부로부터의 기준 주파수 신호의 위상과 전압 제어 발진부로부터의 주파수 신호
 의 위상의 위상차에 상당하는 데이터인 것을 특징으로 하는 PLL 장치.

청구항 5

제1항에 있어서,

상기 출력 수단은, 상기 위상차에 관한 데이터에 대응하는 듀티비로 펄스열을 출력하는 펄스폭 변조부인 것을

특징으로 하는 PLL 장치.

명세서

기술분야

[0001]

본 발명은, 외부로부터의 기준 주파수 신호에 전압 제어 발진부로부터의 주파수 신호를 동기시켜 출력하는 PLL(Phase Locked Loop) 장치에 관한 것이다.

배경기술

[0002]

이동체 통신이나 지상 디지털 방송 등의 기지국에서는, 주파수 기준 신호에 대하여 높은 주파수 안정도가 요구되고 있다. 한편 표준 신호는, 세슘 주파수 표준 발진기, 루비듐 표준 발진기 등에 의해 얻어지지만, 이들 표준 신호는 일반적으로 고가이기 때문에, 각 기지국에서는 표준 신호를 분배하여 사용하고 있다. 분배된 표준 신호는 예를 들면 PLL 회로의 위상 비교의 레퍼런스 신호로서 사용되며, 이 PLL 회로로부터 예를 들면 필요로 되는 주파수의 기준 클럭 신호 등의 기준 신호가 얻어진다.

[0003]

PLL 회로는, 일반적으로 도 14에 도시한 바와 같이 표준 신호(101)와, 전압 제어 발진기(Voltage Controlled Oscillator)(102)의 출력 신호를 분주 회로(103)에서 분주한 신호를 위상 비교기(104)에 의해 비교하고, 그 위상차에 따른 신호를 차지 펌프(105)로부터 얻어, 그 출력을 루프 필터(106)를 통하여 전압 제어 발진기(102)에 공급하고, 이렇게 하여 PLL 제어를 행하여 정밀도가 높은 신호 생성을 행하고 있다.

[0004]

그런데 외부로부터 도입하는 표준 신호(외부의 기준 주파수 신호)가 소실되면 출력 주파수가 점프하고, PLL 회로가 방송국의 송신 장치에 사용되고 있는 경우에는, 예를 들어 그 소실이 순간적인 것이었다고 하더라도, 배신화상에 대하여 전압 제어 발진기를 표준 신호에 동기시키고 있는 경우에는 전압 제어가 자주하게 되어, 전압 제어의 주파수 안정성은 그만큼 높지 않기 때문에, 방송에 문제점이 발생된다.

[0005]

표준 신호의 소실 원인으로서는, 케이블의 열화, 케이블의 커넥터의 접속의 문제점, 메인더너스의 작업원이 접촉해서는 안될 부분에 잘못하여 접촉한 경우 등을 예로 들 수 있다. 또한 표준 신호의 소실 외에 케이블의 열화에 의해 표준 신호의 레벨이 저하되는 경우도 있으며, 이 경우에는 본래의 위상차를 취출할 수 없어, 역시 출력 주파수가 흐트러진다고 하는 과제도 있다.

[0006]

그런데, 예를 들면 기지국에서의 주파수 기준 신호에 대해서는 점점 고정밀도성이 요구되고 있다. 예를 들면 본 발명자는, 1Hz 이하의 주파수 분해능이 있는 주파수 신시사이저의 개발에 착수하고 있지만, 이와 같은 기기에 대해서는, 기준 클럭 신호에 대해서는 매우 높은 주파수 안정도가 요구되고, 종래의 PLL 회로로는 대응이 곤란한 사정이 있다.

[0007]

또한 특히 문헌 1에는, PLL 회로에서, 위상 비교 결과에 기초하여 주파수조정 연산 회로에 의해 위상차가 제로로 되도록 제어값을 출력함과 함께, 이 제어값을 정기적으로 메모리에 기입하고, 이 기입된 제어값을 중심으로 하여, 미리 구해 놓은 + 제어값과 - 제어값에 기초하여 제어 범위의 상한, 하한을 구하고, 이와 같이 하여 기준 클럭의 안정도가 악화하여도 동기 클럭이 정확하게 출력되도록 한 기술이 기재되어 있다. 이 기술은 본 발명과 마찬가지로 PLL 루프의 도중 연산값을 메모리에 기억해 놓고, 이 값을 읽어낸다고 하는 방법을 채용하고 있지만, 본 발명은, 목적으로, 그 방법의 조립 방법도 완전히 상이하여, 전술한 과제를 해결할 수 있는 것은 아니다.

[0008]

[특허 문헌 1] 일본 특허 공개 제2002-353807호 공보

[0009]

<발명의 개시>

[0010]

본 발명은, 이와 같은 사정하에 이루어진 것이며, 외부로부터의 기준 주파수 신호에 문제점이 발생하여도 주파수의 변동을 억제할 수 있는 PLL 장치를 제공하는 것이다.

[0011]

본 발명의 PLL 장치는, 공급된 제어 전압에 따른 주파수의 주파수 신호를 발진하는 전압 제어 발진부와, 외부로부터의 기준 주파수 신호의 위상과 전압 제어 발진부로부터의 주파수 신호의 위상과의 위상차를 취출하고, 이 위상차에 관한 데이터를 디지털 값으로서 구하는 위상차 데이터 작성 수단과, 이 위상차에 관한 데이터에 기초하여 제어 전압을 생성하기 위한 제어 전압용 신호를 출력하는 출력 수단과, 상기 제어 전압용 신호에 기초하여 제어 전압을 전압 제어 발진부에 공급하는 아날로그 회로와, 상기 위상차에 관한 데이터가 기억되어 있는 기억부와, 외부로부터의 기준 주파수 신호의 신호 레벨을 감시하기 위한 감시 수단과, 이 감시 수단에서 감시된 신

호 레벨이 설정 범위 내일 때에는, 위상차 데이터 작성 수단에 의해 작성된 위상차에 관한 데이터를 출력 수단에 공급하고, 감시 수단에서 감시된 신호 레벨이 설정 레벨 설정 범위로부터 벗어나 있을 때에는, 상기 기억부에 기억되어 있는 위상차에 관한 데이터를 출력 수단에 공급하는 절환 수단을 구비한 것을 특징으로 한다.

[0012] 본 발명에서, 「위상차에 관한 데이터」란, 예를 들면 종래부터의 PLL 장치에서 적용되어 있는 위상 비교부에 의해 취출된 양자의 위상차에 상당하는 데이터가 상당하지만, 위상차 그 자체 외에 위상차의 변화분의 경우도 포함된다. 본 발명자는, 후술하는 실시 형태에서 상술하지만, 새로운 방식의 PLL 장치를 개발하고 있으며, 이 경우에는, 위상차 데이터 작성 수단은, 전압 제어 발진부로부터의 주파수 신호에 기초하여, 외부로부터의 기준 주파수 신호를 샘플링하여 그 샘플링값을 디지털 신호로서 출력하는 아날로그/디지털 변환부와, 상기 디지털 신호를 직교 변환부에 의해 직교 변환 처리하여, 상기 주파수 신호와 표준 신호의 위상차에 상당하는 위상의 벡터를 복소 표시할 때의 실수 부분 및 허수 부분을 취출하는 직교 변환부와, 이 직교 변환부에서 얻어진 상기 실수 부분 및 허수 부분의 각 시계열 데이터에 기초하여 벡터의 각속도를 연산하는 각속도 연산부를 구비하고, 상기 위상차에 관한 데이터는, 각속도 연산부에서 연산된 상기 위상차의 변화분에 대응하는 벡터의 각속도이다. 또한 기억부에 기억되는, 각속도 연산부에서 연산된 벡터의 각속도는, 각속도의 연산값 바로 그것에 한하지 않고, 예를 들면 이 연산값의 적분값 등도 포함된다.

[0013] 본 발명의 보다 구체적인 양태로서는, 상기 신호 레벨이 설정 범위 내일 때에는, 위상차 데이터 작성 수단에 의해 작성된 위상차에 관한 데이터는, 출력 수단에 공급됨과 함께 기억부에 기억되고, 이렇게 하여 기억부에는 최신의 위상차에 관한 데이터가 축적되고, 상기 신호 레벨이 설정 레벨 설정 범위로부터 벗어나 있을 때에는 기억부에 축적된 데이터가 출력부에 공급되도록 할 수 있다. 또한 상기 기억부에 기억되어 있는 위상차에 관한 데이터로서는, 미리 외부에서 작성된 데이터, 예를 들면 장치를 제조할 때에 오퍼레이터가 작성한 데이터이어도 된다.

[0014] 상기 출력 수단의 예로서는, 상기 위상차에 관한 데이터에 대응하는 듀티비로 펄스열을 출력하는 펄스폭 변조부를 예로 들 수 있다.

[0015] 본 발명은, 외부로부터의 기준 주파수 신호의 신호 레벨을 감시하고, 그 신호 레벨이 설정 범위 내일 때에는, 위상차 데이터 작성 수단에 의해 작성된 위상차에 관한 데이터를 이용하여 PLL 제어를 행하지만, 상기 신호 레벨이 설정 범위로부터 벗어나 있을 때 예를 들면 상한값보다도 높거나 또는 하한값보다도 낮을 때에는, 신호의 공급이 정지되거나 또는 과입력(레벨 이상)인 것으로 인식하여 기억부에 기억되어 있는 위상차에 관한 데이터, 예를 들면 축적하고 있는 최신의 데이터 또는 미리 작성해 둔 데이터로 절환하여 PLL 제어를 행하도록 하고 있으므로, 외부로부터의 기준 주파수 신호에 문제점이 생겨도 주파수의 변동을 억제할 수 있는 효과가 있다.

도면의 간단한 설명

[0016] 도 1은, 본 발명에 따른 PLL 장치의 개략을 나타내는 블록도.

[0017] 도 2는, 본 발명에 따른 PLL 장치의 실시 형태의 전체 구성을 나타내는 블록도.

[0018] 도 3은, 외부의 기준 주파수 신호와 전압 제어 발진부의 주파수 신호의 위상차와, 이 위상차를 갖는 벡터와의 관계를 나타내는 설명도.

[0019] 도 4는, 상기의 실시 형태에 이용되는 보정 처리부를 나타내는 구성도.

[0020] 도 5는, 벡터가 느슨하였을 때에 검출 오차가 생기는 모습을 나타내는 설명도.

[0021] 도 6은, 상 전후하는 타이밍에서 샘플링한 벡터의 위상차(각속도)를 나타내는 설명도.

[0022] 도 7은, 상기의 실시 형태에 이용되는 각속도 연산부를 나타내는 구성도.

[0023] 도 8은, PWM 제어부의 출력과 OCXO의 입력 전압의 관계를 나타내는 설명도.

[0024] 도 9는, PWM의 입력값과 OCXO의 입력 전압의 관계를 나타내는 특성도.

[0025] 도 10은, 외부의 기준 주파수 신호와 전압 제어 발진부의 주파수 신호의 위상차에 변화가 없을 때의 샘플링의 모습과 벡터를 나타내는 설명도.

[0026] 도 11은, 외부의 기준 주파수 신호와 전압 제어 발진부의 주파수 신호의 위상차에 변화가 있을 때의 샘플링의 모습과 벡터를 나타내는 설명도.

- [0027] 도 12는, 외부의 기준 주파수 신호가 정상인 경우 및 소실된 경우에서의 각각의 PLL 장치의 동작을 나타내는 플로우도.
- [0028] 도 13은, 본 발명을 실시하지 않은 경우의 OCXO의 주파수 안정도 특성을 나타내는 특성도.
- [0029] 도 14는, 본 발명을 실시한 경우의 OCXO의 주파수 안정도 특성을 나타내는 특성도.
- [0030] 도 15는, 종래의 PLL 장치를 나타내는 블록도.
- [0031] <발명을 실시하기 위한 측량의 형태>
- [0032] 본 발명은 종래의 PLL 장치에도 적용할 수 있지만, 이 실시 형태에서는, 본 발명자가 개발한 신규의 원리에 기초하여 동작하는 PLL 장치에 적용된 예를 나타낸다. 우선 도 1을 참조하면서 본 발명의 동작 원리에 대하여 간단히 개략적인 설명을 해 둔다. 이 예에서는, 외부로부터의 표준 신호, 예를 들면 세슘 주파수 표준 발진기, 루비듐 표준 발진기 등에 의해 얻어진 표준 신호인 예를 들면 10MHz의 정현파 신호에 기초하여 40MHz의 예를 들면 구형파인 주파수 신호를 얻고 있다. 이 주파수 신호는 구형파에 한하지 않고 정현파 신호이어도 된다. 본 발명의 동작 원리는 다음과 같다. 우선 전압 제어 발진기 예를 들면 항온조를 갖는 첨부 수정 발진기(OCXO)로부터 40MHz의 구형파인 주파수 신호에 의해 A/D(아날로그/디지털) 변환부(11)에 의해 표준 신호를 샘플링하고, 디지털 신호를 얻는다.
- [0033] 다음에 이 디지털 신호를 직교 변환부(2)에 의해 직교 변환 처리하고, 표준 신호와 전압 제어 발진부(1)로부터의 주파수 신호(이하 클럭 신호라고도 함)와의 위상차를 나타내는 실수 부분(실수축 성분(I)) 및 허수 부분(허수축 성분(Q)), 즉 상기 위상차에 상당하는 위상의 벡터를 복소 표시하였을 때의 실수 부분(I) 및 허수 부분(Q)을 취출한다. 그리고 각속도 연산부(3)에 의해 상기 벡터의 각속도를 연산(검출)하고, 전압 출력부(4)에 의해 이 각속도에 대응하는 제어 전압(직류 전압)을 생성하고, 전압 제어 발진부(1)는 이 제어 전압에 대응하는 주파수 신호를 출력한다. 따라서 상기 표준 신호와 전압 제어 발진부(1)의 주파수 신호의 위상차가 변화하면, 상기 벡터가 회전하므로, 그 회전을 멈추도록 수정 발진기의 출력 주파수가 컨트롤되게 된다. 즉, 도 1의 회로는 PLL을 구성하고 있으며, 상기 위상차가 로크되면, 표준 신호가 10MHz로 안정되어 있으면, 전압 제어 발진부(1)의 주파수 신호도 40MHz로 안정되게 된다.
- [0034] 그리고 통상적으로는, 각속도 연산부(3)에 의해 연산된 벡터의 각속도(상기 위상차의 변화분)를 전압 출력부(4)에 출력하지만, 표준 신호가 소실하였다고 판단하였을 때에는, 스위치부(3)를 절환하여 기억부(7) 내에 기억되어 있는 벡터의 각속도를 전압 출력부(4)에 출력한다.
- [0035] 이하에 본 발명의 실시 형태의 상세 내용을 설명한다. 도 2에서, 점선으로 둘러싼 20으로 나타내는 부분은, 컴퓨터의 내부에 설치되어 있으며, 후술하는 PWM 신호를 생성하는 부위까지는 소프트웨어에 의해 실행된다. 직교 변환부(캐리어 리무브)(2)는, 이 예에서는 표준 신호(10) 및 전압 제어 발진부(1)로부터의 주파수 신호가 각각 10MHz 및 40MHz이며, 1:4의 관계에 있으므로, A/D 변환부(11)로부터의 디지털 신호에 순차적으로 +1, +1을 곱셈함으로써, 상기 실수 부분(I) 및 허수 부분(Q)의 조가 취출되고, 계속해서 순차적으로 -1, -1을 곱셈함으로써 상기 실수 부분(I) 및 허수 부분(Q)의 조가 취출되며, 이 연산 처리를 반복함으로써, 표준 신호(10) 및 전압 제어 발진부(1)로부터의 주파수 신호의 위상차를 감시할 수 있다.
- [0036] 이 연산의 모습을 도 3에 나타내면, 표준 신호(10)에 대한 샘플링의 타이밍이 θ만큼 늦고 있는 것으로 하고, 주파수의 관계가 1:4를 유지하고 있는 경우에는, 도 3의 (a)에 도시한 바와 같이 샘플링의 타이밍은 ○표시로 기재하게 된다. 따라서 처음의 2개의 샘플링값에 각각 +1을 곱한 값의 조는, 도 3의 (b)에 도시한 바와 같이, I축(실수축)으로부터 -θ만큼 위상이 어긋난 벡터의 실수 부분 및 허수 부분으로 된다. 또한 다음의 2개의 샘플링값에 각각 -1을 곱한 값의 조에 대해서도, I축(실수축)으로부터 -θ만큼 위상이 어긋난 벡터의 실수 부분 및 허수 부분으로 된다. 즉 이들 샘플링의 사이에 상기 위상차가 θ로 일정하면, 상기 벡터는 멈춰 있게 된다.
- [0037] 직교 변환부(2)는, 이 예에서는 전술한 연산을 행하기 위해서, 전압 제어 발진부(1)로부터의 주파수 신호에 의해 스위치(21)를 순차적으로 절환함과 함께, 절환된 한쪽의 라인에서 곱셈부(22)에 의해 A/D 변환부(11)의 출력에 대하여 +1과 -1을 교대로 곱셈함으로써 상기 실수 부분을 취득하고, 또한 절환된 다른 쪽의 라인에서 곱셈부(23)에 의해 A/D 변환부(11)의 출력에 대하여 +1과 -1을 교대로 곱셈함으로써 상기 허수 부분을 입력하도록 구성되어 있다. 직교 변환부(2)의 후단에는 필터(24)가 설치되어 있다. 이 필터(24)는, 고조파 성분을 제거하는 기능을 갖는다.
- [0038] 필터(24)의 후단에는, 상기 벡터의 실수 부분인 I값과 벡터의 허수 부분인 Q값에 대하여 각각 보정 처리하기 위

한 보정 처리부(5)가 설치되어 있다. 이 보정 처리부(5)는, 상기 I값 및 Q값을 각각 벡터의 스칼라량으로 나누어 셈함으로써, 벡터의 단위 길이당 I값 및 Q값을 구하는 처리를 행한다. 즉, 벡터에 부호 V를 할당하면, 보정 처리부(5)는 도 4에 도시한 바와 같이, I값과 Q값을 각각 2승하여 가산하고, 그 가산값의 평방근을 산출하여 벡터 V의 스칼라량 $|V|$ 을 구하고, I값 및 Q값을 $|V|$ 로 나눔으로써 구성되어 있다.

[0039] 이와 같이 I값 및 Q값을 보정하는 이유는 다음과 같다. 이 실시 형태에서는, 벡터 V가 얼마만큼 회전하였는지 (상기 위상차가 얼마만큼 변화하였는지)를 산출하는 데 있어서, 도 5에 도시한 바와 같이 n번째의 샘플링에 의해 구한 벡터 V(n)과 (n-1)번째의 샘플링에 의해 구한 벡터 V(n-1)을 연결하는 벡터 ΔV 를 포함하는 인자에 의해 평가하고 있다. 이 때문에 예를 들면 표준 신호의 파형의 흔들림 등에 의해 벡터가 말하자면 느슨하여 ΔV 가 $\Delta V'$ 로 되면, ΔV 와 벡터의 회전량 $\Delta \Phi$ 와의 대응 관계가 허물어져서, 벡터의 각속도의 검출값의 신뢰성을 손상시킬 우려가 있다. 따라서 전술한 바와 같이 보정 처리를 행함으로써, 각 타이밍에서의 I값 및 Q값이 벡터의 단위 길이에 대응하는 값으로서 갖춰지므로, 벡터의 느슨함의 영향을 배제할 수 있다.

[0040] 또한 도 2에 도시한 바와 같이 상기 보정 처리부(5)의 후단에는, 벡터의 각속도를 구하기 위한 각속도 연산부(6)가 설치되어 있다. 이 각속도 연산부(6)는, 벡터의 각속도를 구하는 기능을 갖추고 있으므로, 결국 상기 위상차의 변화분을 검출하는 기능을 갖추고 있게 된다. 각속도 연산부(6)에 대하여 도 6 및 도 7을 참조하여 설명하면, 도 6에 도시한 바와 같이, (n-1)번째의 샘플링에 의해 구한 벡터 V(n-1)과 n번째의 샘플링에 의해 구한 벡터 V(n)=V(n-1)+ ΔV 가 이루는 각도 $\Delta \Phi$ 는, 상수를 K로 하면, 벡터의 각속도(주파수)가 샘플링 주파수보다도 충분히 작으면, 수학식 4에 의해 근사할 수 있다. 다만 $\Delta \Phi$ 는, V(n)의 위상 $\Phi(n)$ 과 V(n-1)의 위상 $\Phi(n-1)$ 의 차이며, 또한 imag는 허수 부분, $\text{conj}\{V(n)\}$ 은 V(n)의 공액 벡터이다.

수학식 1

$$\Delta \Phi = K \cdot \text{imag}[\Delta V \cdot \text{conj}\{V(n)\}]$$

[0041] 여기서 I값 및 Q값에 대하여 n번째의 샘플링에 대응하는 값을 각각 I(n) 및 Q(n)으로 하면, ΔV 및 $\text{conj}\{V(n)\}$ 은 복소 표시하면 각각 수학식 2 및 수학식 3으로 표현된다.

수학식 2

$$\Delta V = \Delta I + j \Delta Q$$

수학식 3

$$\text{conj}\{V(n)\} = I(n) - j Q(n)$$

[0042] 다만 ΔI 는 $I(n) - I(n-1)$ 이며, ΔQ 는 $Q(n) - Q(n-1)$ 이다. 수학식 2 및 수학식 3을 수학식 1에 대입하여 정리하면, $\Delta \Phi$ 는 수학식 4로 표현되게 된다.

수학식 4

$$\Delta \Phi = \Delta Q \cdot I(n) - \Delta I \cdot Q(n)$$

[0043] 상기 각속도 연산부(6)는, 이 수학식 7의 연산을 행하여 $\Delta \Phi$ 의 근사값을 구하는 것이다, 그 구성은 도 7에 도시한 바와 같다. 각속도 연산부(6)에 입력된 I값이 n번째의 샘플링에 대응하는 값인 I(n)인 것으로 하면, 레지스터(61)에는, 하나 전의 타이밍인 (n-1)번째의 샘플링에 대응하는 I(n-1)이 유지되어 있으며, 이들이 대조 회로부(62)에서 대조되어 I(n)과 I(n-1)의 차분 ΔI 가 취출되고, I(n) 및 ΔI 가 연산부(65)에 입력된다. 또한 Q값에 대해서도 레지스터(63) 및 대조 회로부(64)에 의해 마찬가지로 처리되어 Q(n) 및 ΔQ 가 연산부(65)에 입력된다. 그리고 연산부(65)에서는, 수학식 4의 연산을 행하여 $\Delta \Phi$ 를 구한다. 상세하게는 연산부(65)의 연산 결과는 $\Delta \Phi$ 로서 평가한 것이다.

[0044] 여기서 벡터 V(n-1)과 V(n)이 구해지면 이 사이의 각도 $\Delta \Phi$ 를 구하는 방법 또는 평가하는 방법은 다양한 수학적 방법을 사용할 수 있으며, 본 발명은, 전술한 방법에 한정되는 것은 아니다.

[0045] 도 2로 되돌아가, 상기 각속도 연산부(6)의 후단에는, 각속도 연산부(6)에서 연산된 각속도를 적분하는 적분 회

로부(71)와, 이 적분 회로부(71)로부터의 적분값을 평활화 처리하기 위한 래그리드 필터(72)와, 래그리드 필터(72)로부터의 출력값에 기초하여 PWM 제어된 펄스열을 출력하는 PWM 제어부(73)가 이 순서대로 설치되어 있다. 또한 도 2의 스위치부(3) 등에 대해서는 후술한다. PWM 제어부(73)는, 래그리드 필터(72)로부터의 출력값에 기초하여 듀티비가 제어된 펄스열을 출력하는 기능을 갖는 것이며, 예를 들면 100ms마다 상기 출력 값에 따른 듀티비의 펄스열을 출력한다.

[0050] PWM 제어부(73)의 후단에는, 아날로그 루프 필터(12)가 설치되고, 이 아날로그 루프 필터(12)는, PWM 제어부(73)로부터의 펄스열을 적분하여 직류 전압으로 평활화하고, 수정 발진기(1)의 제어 단자에 공급하는 역할을 한다. PWM 제어부(73) 및 아날로그 루프 필터(12)는, 도 1에 대응시키면 전압 출력부(4)에 상당한다.

[0051] 여기서 PWM 제어부(73) 및 아날로그 루프 필터(12)에 관하여 보다 구체적으로 설명해 두면, 도 8에 도시한 바와 같이 예를 들면 벡터의 각속도가 제로이면(상기 위상차에 변화가 없으면), 래그리드 필터(72)로부터의 출력값에 기초하여 듀티비 50%의 펄스열이 예를 들면 100ms만큼 PWM 제어부(73)로부터 출력된다. 이 펄스열의 레벨이 4V인 것으로 하면, 아날로그 루프 필터(12)의 출력 전압 즉 수정 발진기(1)의 입력 전압은 50%에 대응하는 +2V로 된다. 그리고 벡터가 회전하면, 그 각속도에 따른 듀티비의 펄스열이 PWM 제어부(73)로부터 출력되게 된다. PWM 제어부(73)의 입력값과 아날로그 루프 필터(12)의 출력값의 관계는, 예를 들면 도 9에 나타낼 수 있다. 도 9에서 획축은, 벡터가 회전한 각도에 대응하는 값이다.

[0052] 이상에서, 이 실시 형태에서의 직교 변환부(2)로부터 적분 회로부(71)에 이르기까지의 블록은, 특허청구범위에서 말하는 「외부로부터의 기준 주파수 신호의 위상과 전압 제어 발진부로부터의 주파수 신호의 위상과의 위상차를 취출하고, 이 위상차에 관한 데이터를 디지털값으로서 구하는 위상차 데이터 작성 수단」에 상당하며, 각속도 연산부(6)에서 연산된 각속도 즉 상기 위상차의 변화분은, 「위상차에 관한 데이터」에 상당한다. 또한 이 위상차의 변화분을 적분하여 출력하고 있지만, 이 적분값도 위상차의 변화분에 상당하는 것이며, 적분 회로부(71)의 입출력측에서 용어를 바꿀 의미는 없다고 생각된다.

[0053] 그리고 상기 적분 회로부(71)와 래그리드 필터(72)의 사이에는, 스위치부(3)가 설치되고, 이 스위치부(3)는, 래그리드 필터(72)에의 입력 신호가 상기 적분 회로부(71)와 CPU 인터페이스(81)의 사이에서 절환하기 위한 것이다. CPU 인터페이스(81)는 CPU(83)에 접속되며, CPU(83)에 의해 불휘발 메모리(84)로부터 읽어낸 데이터가 CPU 인터페이스(81)를 통하여 스위치부(3)에 공급된다.

[0054] 또한 이 스위치부(3)의 절환을 행하기 위한 레벨 감시부(82)가 설치되어 있다. 이미 설명한 보정 처리부(5)에서는, 도 4에 도시한 바와 같이 벡터 V의 스칼라량 $|V|$ 가 구해지지만, 스칼라량 $|V|$ 에 대응하는 (I^2+Q^2) 의 평방근은 외부로부터의 기준 주파수 신호인 표준 신호(10)의 진폭에 대응하고 있다. 따라서 레벨 감시부(82)는, I^2+Q^2 의 값을 감시하고, 이 값이 설정 범위 내일 때에는 원하는 진폭인 표준 신호가 보내져 있으므로 래그리드 필터(72)의 입력을 상기 적분 회로부(71) 측으로 절환해 놓고, I^2+Q^2 의 값이 설정 범위로부터 벗어났을 때에는 표준 신호의 진폭 이상이 일어나고 있거나 또는 표준 신호가 소실된 것이라고 판단하여 래그리드 필터(72)의 입력을 상기 불휘발 메모리(84) 측으로 절환한다. 도 2에서는, 스위치부(3)에 의해 절환이 행해지도록 기재하고 있지만, 소프트웨어로 처리하고 있으므로, 실제로는 데이터의 판독을 절환하고 있다. 또한 레벨 감시부(82)에서의 레벨 판단의 임계값은, 설정 범위의 하한값과 상한값으로 이루어지고, 하한값 및 상한값은 각각 예를 들면 예를 들면 -5dB 및 +5dB로 각각 설정되지만, 이 임계값은 시스템에 의해 이상이라고 판단되는 레벨에 따라서 변하게 된다.

[0055] 여기서 불휘발 메모리(84) 내의 데이터에 관하여 설명하면, 스위치부(3)가 적분 회로부(71) 측으로 전환되어 있을 때에는, 적분 회로부(71)의 적분값은 래그리드 필터(72) 내의 레지스터에 공급되고, 래그리드 필터(72)는 이 레지스터 내의 데이터에 기초하여 처리를 행한다. 또한 이 레지스터내의 데이터는, CPU 인터페이스(81) 및 CPU(83)를 경유하여 불휘발 메모리(84)에 기입된다. 불휘발 메모리(84)에 기입되는 데이터수는 예를 들면 3바이트분이지만, 이 수는 내부 연산의 비트수에 따라 변하게 된다. 그리고 불휘발 메모리(84)에서는 순차적으로 오래된 데이터가 폐기되고, 최신의 데이터가 공급된다.

[0056] 이상과 같이 이 실시 형태의 구성을 복록화하여 설명하였지만, 실제의 연산 또는 데이터 처리는, 소프트웨어에 의해 실행된다.

[0057] 다음으로 전술한 실시 형태의 작용에 대하여 설명한다. 전압 제어 발진부(1)로부터의 구형파 또는 정현파인 40MHz의 주파수 신호가 외부로부터의 10MHz의 표준 신호를 샘플링하고, 그 샘플링값이 직교 변환부(2)에 공급된다.

직교 변환부(2)에서는 이미 설명한 바와 같이 40MHz의 클럭에 의해 스위치(21)가 I값과 Q값 측으로 교대로 절환되므로, 20MHz의 클럭에 의해 I값과 Q값의 조가 취출되게 된다. 이 I값 및 Q값은, 전압 제어 발진부(1)로부터의 40MHz의 주파수 신호와 10MHz의 표준 신호의 위상차 θ 를 갖는 벡터를 복소 평면상에서 나타내었을 때의 해당 벡터 V의 실수축 성분 및 허수축 성분에 상당하는 것이다. 그리고 이들 I값과 Q값이 각각 필터(24)에 의해 고역 성분 제거의 처리가 이루어지고, 이어서 보정 처리부(5)에서 이미 설명한 바와 같이 I값과 Q값으로 결정되는 벡터 V의 보정 처리(도4, 도 5 참조)가 이루어진다. 그리고 이 I값과 Q값의 시계열 데이터에 기초하여, 도 7에 도시한 바와 같이 각속도 연산부(6)에서 벡터 V의 각속도 $\Delta\Phi$ 가 구해진다. 이 경우, $\Delta\Phi$ 가 충분히 작고, $\sin \Delta\Phi = \Delta\Phi$ 인 것으로 하여 취급하고 있기 때문에, 어떤 타이밍에서의 벡터 V(n-1)과 다음의 타이밍(이 타이밍은 20MHz의 클럭의 타이밍임)에서의 벡터 V(n)을 연결하는 벡터 ΔV 의 길이에 의해 각속도 $\Delta\Phi$ 를 평가하고 있다.

[0058] 한편 레벨 감시부(82)에 의해 이미 설명한 바와 같이 I^2+Q^2 의 값을 평가 값으로 하여 표준 신호의 신호 레벨을 감시하고, I^2+Q^2 의 값이 설정 범위 내이면 표준 신호는 정상적으로 공급되어 있는 것으로 하여, 스위치부(3)가 적분 회로부(71) 측으로 전환되어 있다. 따라서 적분 회로부(71)에서 적분된 각속도 $\Delta\Phi$ 의 적분값은 래그리드 필터(72)에 출력되어 평활화 처리되고, 그 값에 대응하는 듀티비의 펄스열이 PWM 제어부(73)에서 생성된다. 이 펄스열이 아날로그 루프 필터에 의해 적분되어 제어 전압인 직류 전압이 생성되고, 이 직류 전압에 의해 전압 제어 발진부(1)의 출력 주파수가 컨트롤된다.

[0059] 이제, 외부로부터의 표준 신호가 10MHz로 안정되어 있는 것으로 하면, 전압 제어 발진부(1)의 출력 주파수가 40MHz인 경우에는, 도 3의 (a)에 도시한 바와 같이 표준 신호의 1사이클 내의 4개의 샘플링 포인트는, 각각 0도, 90도, 180도, 270도에 대하여 θ 만큼 위상이 어긋난 위치에 있다. 따라서 이 경우에는, 표준 신호와 전압 제어 발진부(1)의 주파수 신호는, 위상차가 θ 로 일정하며, 상기 벡터 V는 도 3의 (b)에 도시한 바와 같이 정지하고 있다. 여기서 도면의 기재를 간단화하기 위하여 θ 를 제로로 하여 설명을 진행하면, 상기 위상차가 제로로 일정하면, 샘플링의 타이밍은 도 10의 (a)에 도시한 바와 같이 되어, I값, Q값의 조는, (0, 1)로 되고, 벡터 V는 실수축에 대하여 90도의 위치에 정지하고 있다. 따라서 벡터 V의 각속도는 제로이기 때문에, PWM 제어부(73)로부터는, 듀티비 50%의 펄스열이 출력되고, 전압 제어 발진부(1)에는 2V의 전압이 공급되어, 그 출력 주파수는 40MHz로 된다.

[0060] 여기서 전압 제어 발진기(1)의 출력 주파수가 40MHz보다도 낮게 되었다고 하면 도 11의 (a)에 도시한 바와 같이, 지금까지 0도, 90도, 180도, 270도이었던 샘플링의 타이밍이 0도, $\Delta\Phi$, 90도+2 $\Delta\Phi$, 180도+3 $\Delta\Phi$, 270도+4 $\Delta\Phi$ 로 되고, 벡터 V는 도 11의 (b)에서 나타낸 바와 같이 각속도 $\Delta\Phi$ 로 우측으로 회전하기 시작한다. 또한 20MHz의 클럭 타이밍에서 벡터가 취출되므로, 각속도는 $\Delta\Phi/25\text{ns}$ 이지만, 편의상 $\Delta\Phi$ 로서 기재한다. 그리고 이 각속도 $\Delta\Phi$ 에 대응하여 상기 듀티비가 커져서, 전압 제어 발진부(1)의 입력 전압이 증가하고, 그 출력 주파수가 각속도 $\Delta\Phi$, 즉 위상차의 변화분 $\Delta\Phi$ 에 대응하는 양만큼 증가하고, 이렇게 하여 전압 제어 발진부(1)의 출력 주파수가 40MHz로 로크되게 된다.

[0061] 한편, 표준 신호가 트러블에 의해 입력되지 않게 되었다고 하면, I^2+Q^2 의 값이 설정값으로부터 벗어나므로 즉 하한값보다도 낮아지므로, 레벨 감시부(82)는 스위치부(3)를 불휘발 메모리(84) 측으로 절환한다. 불휘발 메모리(84)에는 이미 설명한 바와 같이 그 때까지의 최신 데이터, 즉 각속도 $\Delta\Phi$ 의 적분값의 시계열 데이터가 기입되어 있으므로, 이 최신 데이터를 읽어내어, 래그리드 필터(72)에 공급해 간다.

[0062] 도 12에는, 표준 신호의 신호 레벨의 크기와 불휘발 메모리(84) 및 래그리드 필터(72)의 데이터 처리를 대응시킨 플로우를 나타내고 있다. 즉, 프로그램에 의해 직전까지의 운전 상태에 대하여, 적분 회로부(71)의 적분값을 사용하는 통상 모드와 불휘발 메모리(84) 내의 데이터를 사용하는 내부 데이터 사용 모드 중 어느 것에 의해 처리되어 있는지를 판단한다(스텝 S1). 예를 들면 장치의 기동 시에서는 통상 모드에서 스타트하도록 설정되어 있다. 이 모드는 플래그 등에 의해 식별할 수 있다. 그리고 통상 모드에서 운전되어 있다고 판단되면, 레벨 감시부(82)에 의해 표준 신호의 레벨이 설정 범위 내인지의 여부가 판단되고(스텝 S2), 설정 범위 내이면 통상 모드로서 인식하여(스텝 S3), 적분 회로부(71)로부터의 적분값을 즉 래그리드 필터(72) 내의 레지스터에 유지된 데이터를 불휘발 메모리(84)에 기억함(스텝 S4)과 함께 래그리드 필터(72)에서 처리한다(스텝 S5).

[0063] 또한 스텝 S2에서 표준 신호의 레벨이 설정 범위로부터 벗어나 있다고 판단되면, 불휘발 메모리(84)로부터 데이터를 읽어내고, 읽어낸 데이터를 래그리드 필터(72)에 공급한다(스텝 S7 및 S9). 다시 스텝 S1로 되돌아가면, 이 때에는 내부 데이터 사용 모드이기 때문에 스텝 S10으로 진행하고, 레벨 감시부(82)에 의해 사이크신호의 레

벨이 설정 범위 내인지의 여부가 판단된다. 이 경우, 표준 신호의 레벨은 하한값보다도 작으므로 스텝 S7로 진행하고, 이하 순차적으로 불휘발 메모리로부터 데이터가 읽어내어져 간다. 즉, 래그리드 필터(72) 내의 레지스터 내에는 항상 최신의 데이터가 유지되어 있으므로, 적분 회로부(71)로부터의 출력을 정지함으로써, 그 이후에는 레지스터 내의 데이터를 사이클릭하게 읽어냄으로써 최신의 데이터가 사용되게 된다.

[0064] 여기서 표준 신호의 공급이 복귀하여 그 레벨이 설정 범위에 들어가면, 스텝 S10으로부터 스텝 S3으로 진행하고, 불휘발 메모리(84) 내의 데이터 대신에 적분 회로부(71)의 적분값이 래그리드 필터(72)에 공급된다. 이상과 같은 일련의 동작에서, 표준 신호의 신호 레벨이 설정 범위 내로부터 벗어나면, 표시부(도시 생략)에는 표준 신호의 소실 또는 이상에 대응하는 표시가 이루어지고, 표준 신호의 신호 레벨이 설정 범위 내로 되돌아가면, 복귀에 대응하는 표시가 이루어진다.

[0065] 전술한 실시 형태에 의하면, 외부로부터의 기준 주파수 신호인 표준 신호와 전압 제어 발진부(1)로부터의 클럭의 위상차의 변화분에 대응하는 최신 데이터를 기억부인 불휘발 메모리(84)에 입력해 두고, 표준 신호의 신호 레벨이 설정 범위로부터 벗어나 있다고 판단하였을 때에는, 표준 신호의 공급이 정지되었거나 표준 신호에 이상이 일어난 것이라고 인식하여 각속도 연산값(위상차의 변화 분)의 적분값의 출력을 멈추고, 대신에 기억부에 기억되어 있는 최신 데이터로 절환하여 PLL 제어를 행하도록 하고 있으므로, 표준 신호에 문제점이 생기더라도 주파수의 변동을 억제할 수 있어, 예를 들면 이동체 기지국이나 방송국의 송신을 안정적으로 행할 수 있다.

[0066] 또한 본 발명에서는, 스위치부(3)를 예를 들면 CPU(83) 측으로부터 강제적으로 절환할 수 있도록 하여도 되며, 이 경우에는 다음의 이점이 있다. 적분 회로부(71)의 출력값은, 전압 제어 발진부(1)인 OCX0의 주파수의 경시 변화 등에 의해 변화하는 경우가 있지만, 적분 회로부(71)의 출력값을 불휘발성 메모리(84)에 기억해 두면, 장치의 전원이 끊어지고, 재기동하였을 때에 불휘발성 메모리(84)로부터 데이터를 읽어내어 래그리드 필터(72) 내의 레지스터에 재기입함으로써, 전원 오프시의 상태로 복귀시킬 수 있어, 즉 최신 조정 상태로부터 재기동할 수 있어 주파수 오차를 저감할 수 있다. 또한 외부로부터의 표준 신호가 절단되어 있는 경우이더라도 전원 오프시의 상태로 복귀시킬 수 있다.

[0067] 또한 불휘발 메모리(84) 내의 데이터를 변경함으로써 전압 제어 발진부(1)의 발진 주파수를 변경할 수 있으므로, 제조 단계에서의 단체 주파수 조정을 데이터의 설정이라고 하는 소프트웨어적인 조작으로 행할 수 있다.

[0068] 전술한 예에서는, 불휘발 메모리(84)에 적분 회로부(81)로부터의 최신의 데이터를 기억하고 있었다. 이 방법은 래그리드 필터(72) 내의 레지스터 내의 데이터를 그대로 사용할 수 있는 이점이 있지만, 본 발명에서는, 적분 회로부(81)로부터의 시계열 데이터에 대응하는 적절한 데이터를 미리 작성해 두고서 이것을 불휘발 메모리(84) 내에 기억해 놓고, 이 데이터를 래그리드 필터(72)가 읽어내도록 하여도 된다. 또는 래그리드 필터(72)로부터의 시계열 데이터에 대응하는 적절한 데이터를 미리 작성해 두고서 이것을 불휘발 메모리(84) 내에 기억해 놓고, 이 데이터를 표준 신호의 레벨이 설정 범위로부터 벗어났다고 판단하였을 때에, PWM 제어부(73)에 입력되는 데이터를 래그리드 필터(72)로부터의 출력 대신에 불휘발 메모리(84)로부터의 데이터를 사용하도록 하여도 된다.

[0069] 여기서 전술한 실시 형태에서의 PLL 제어 방식의 이점에 대해서도 설명해 두면, 이 장치는, A/D 변환부(11)에 의해 전압 제어 발진부(1)로부터의 주파수 신호에 의해 외부로부터의 표준 신호를 샘플링하고, 그 샘플링값을 직교 처리하여 이미 설명한 벡터를 얻고, 그 벡터를 감시하도록 하고 있다. 따라서 전압 제어 발진부(1)로부터의 주파수 신호와 표준 신호의 위상차를 디지털값으로 취급하고 있으므로, 그 비트수를 조정함으로써, 위상차를 고정밀도로 일정화할 수가 있고, 표준 신호가 높은 주파수 안정도를 구비하고 있으면, 매우 높은 주파수 안정도를 구비한 원하는 주파수의 주파수 신호를 얻을 수 있다.

[0070] 도 12에 OCX0의 주파수 안정도 특성을 나타내면, OCX0는 단시간의 안정도는 좋지만, 시간이 경과하면 안정도가 나빠지는 경향이 있다. 이것에 대하여 OCX0를 전술한 실시 형태로 조립함으로써, 도 13에 도시한 바와 같이 장기간 안정도가 단기 안정도와 같이 양호해지는 것을 알 수 있다.

[0071] 또한 본 발명은, 표준 신호의 주파수와 전압 제어 발진부의 출력 주파수가 1:4로 한정되는 것은 아니다. 이 비율은 임의이지만, 전압 제어 발진부의 출력 주파수는 표준 신호의 주파수의 2배 이상인 것이 필요하다. 양자의 주파수가 1:4 이외인 경우에서도 표본화 정리에 기초하여 주파수를 선택함으로써 I값 및 Q값을 구할 수 있다. 즉, 일반적으로는 직교 변환부(캐리어 리무브)는, A/D 변환기(11)로부터의 디지털 신호에 의해 특정되는 정현파 신호에 대하여 주파수가 $\omega_0 t / 2\pi$ (각속도가 $\omega_0 t$)인 정현파 신호에 의해 직교 겹파를 행하고, A/D 변환기(11)의 디지털 신호에 의해 특정되는 주파수 신호의 주파수와 겹파에 이용하는 정현파 신호의 주파수의 차의 주파수에

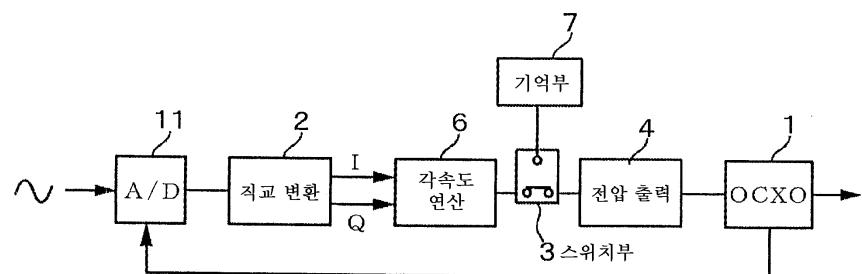
서 회전하는 벡터를 취출할 수 있다. 보다 상세하게는 이 벡터를 복소 표시하였을 때의 실수 부분 및 허수 부분을 취출할 수 있다. 구체적으로는 캐리어 리무브는, A/D 변환기(11)의 출력 라인을 분기하고, 상기 정현파 신호에 대하여 $\cos(\omega_0 t)$ 을 곱셈하는 곱셈부와 상기 정현파 신호에 대하여 $-\sin(\omega_0 t)$ 을 곱셈하는 곱셈부와, 이들 곱셈부의 후단에 각각 설치된 로우 패스 필터로 구성할 수 있다.

[0072]

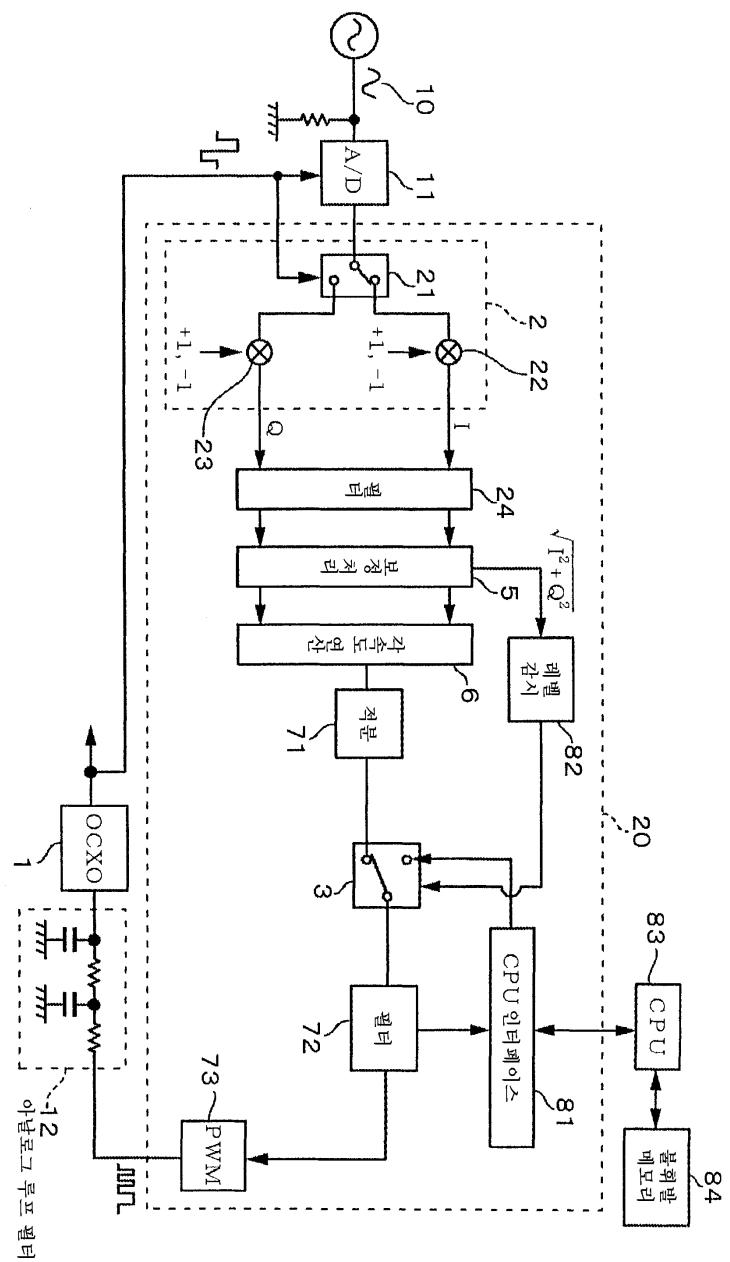
본 발명은, 종래의 PLL 장치에도 적용할 수 있다. 예를 들면 도 15에 도시한 PLL 회로에서 위상 비교기(104)의 후단의 차지 펌프(105)에 상당하는 처리를 디지털 처리에 의해 행하도록 하고, 디지털 처리부 내에 위상 비교기(104)의 위상 비교값에 상당하는 디지털값의 최신 데이터를 기억부에 기억해 둔다. 그리고 예를 들면 외부 클럭(표준 신호)의 신호 레벨을 감시하고, 그 레벨이 작아 졌을 때에는 앞의 실시 형태와 마찬가지로, 기억부 내의 데이터를 이용하여, 그 데이터에 대응하는 제어 전압을 전압 제어 발신부(102)에 공급하도록 할 수 있다. 이 경우, 특히 청구의 범위의 「위상차에 관한 데이터」란, 위상차에 상당하는 데이터인 것으로 된다.

도면

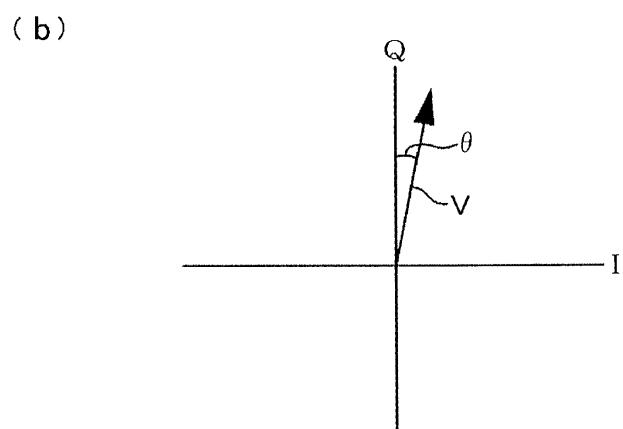
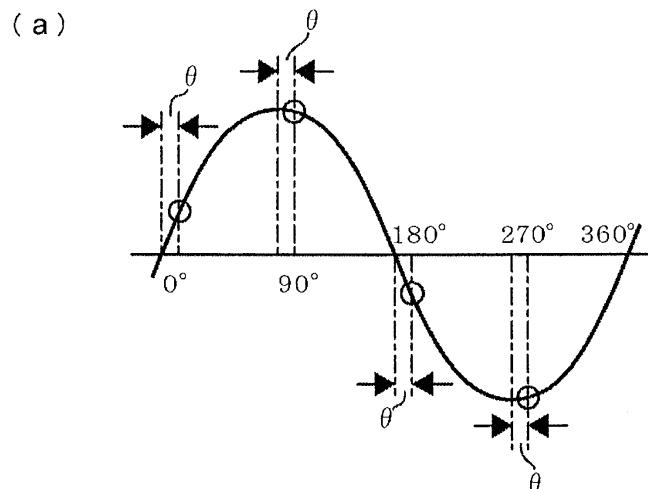
도면1



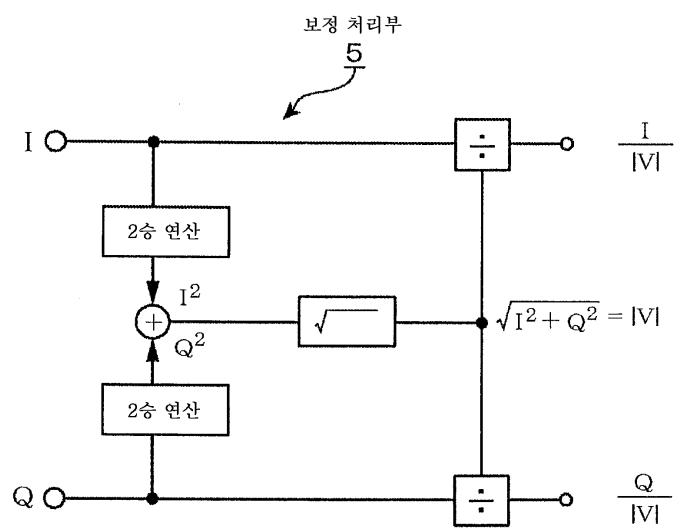
도면2



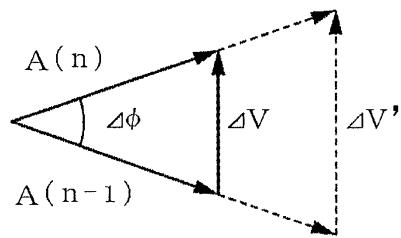
도면3



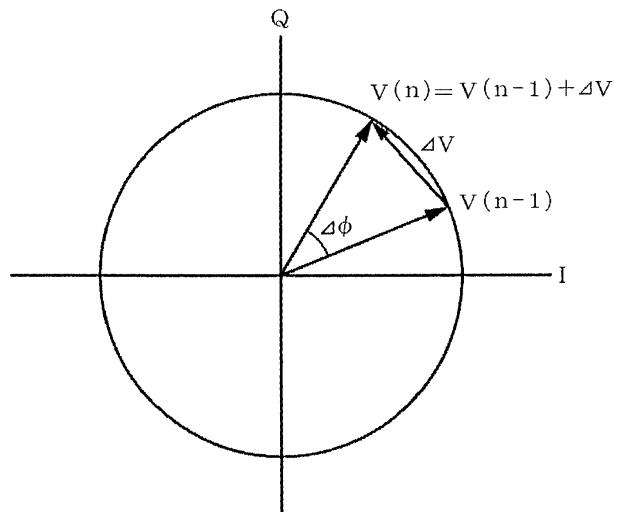
도면4



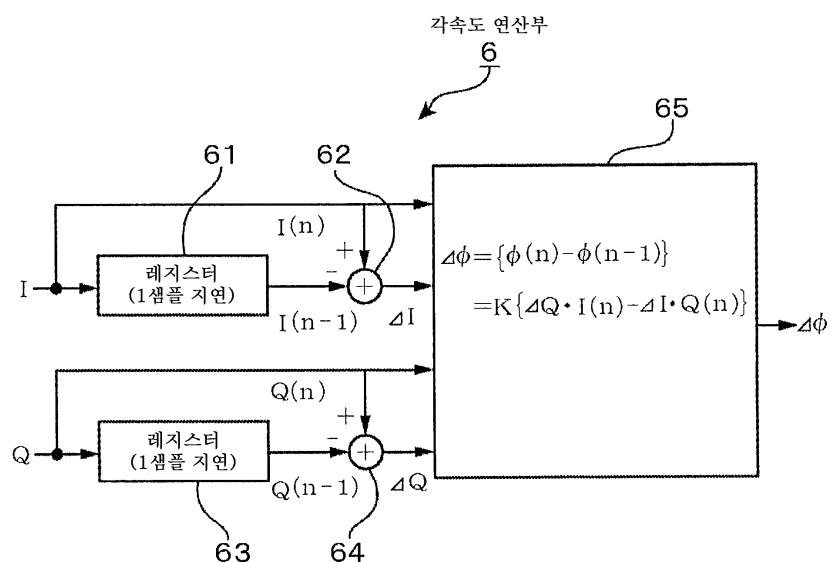
도면5



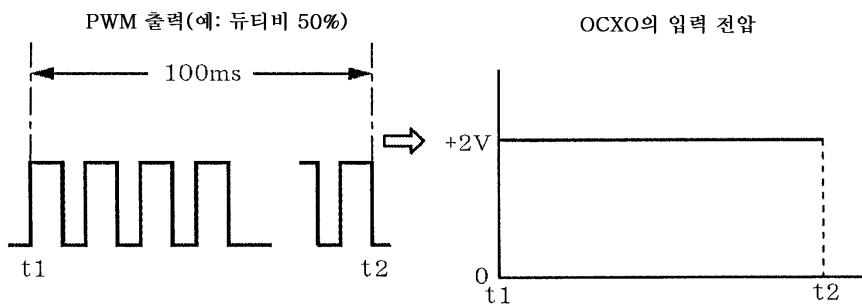
도면6



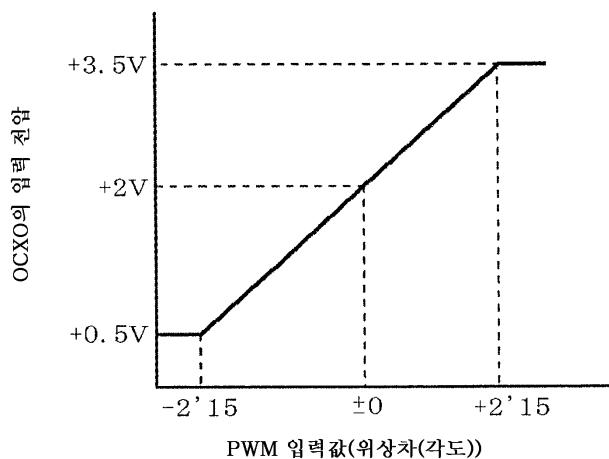
도면7



도면8

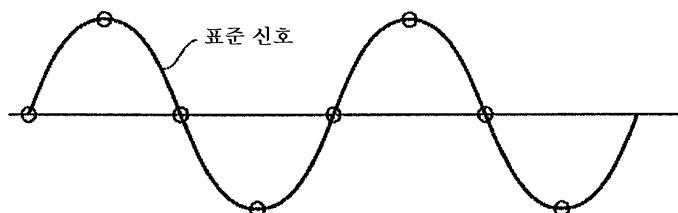


도면9

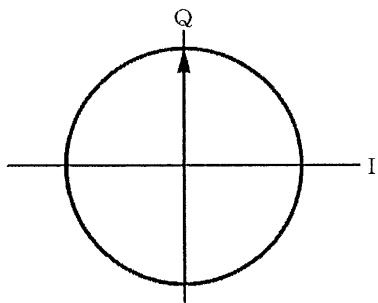


도면10

(a) 40MHz일 때

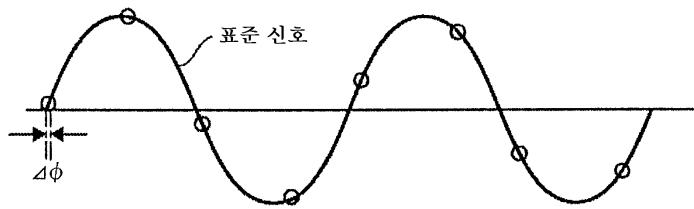


(b)

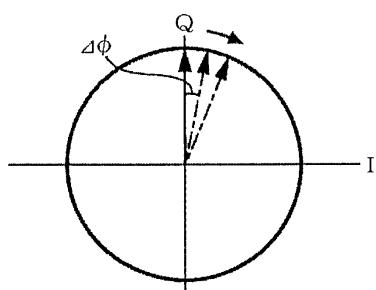


도면11

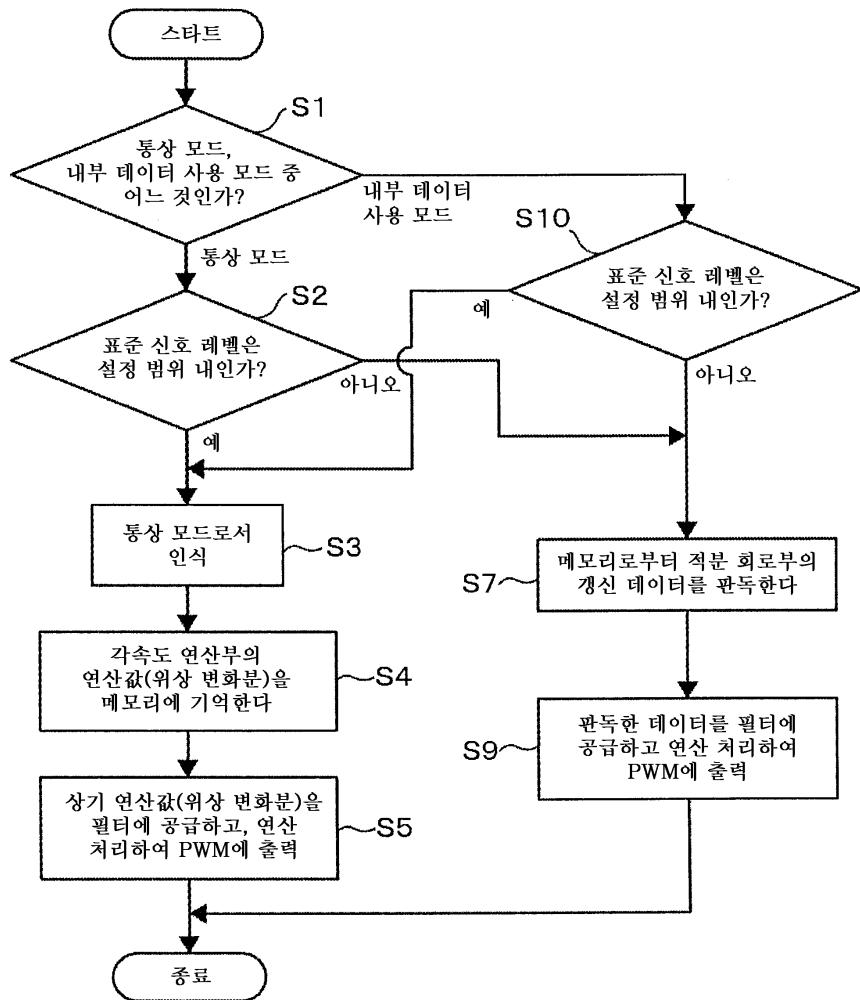
(a) 40MHz보다도 낮게 되었을 때



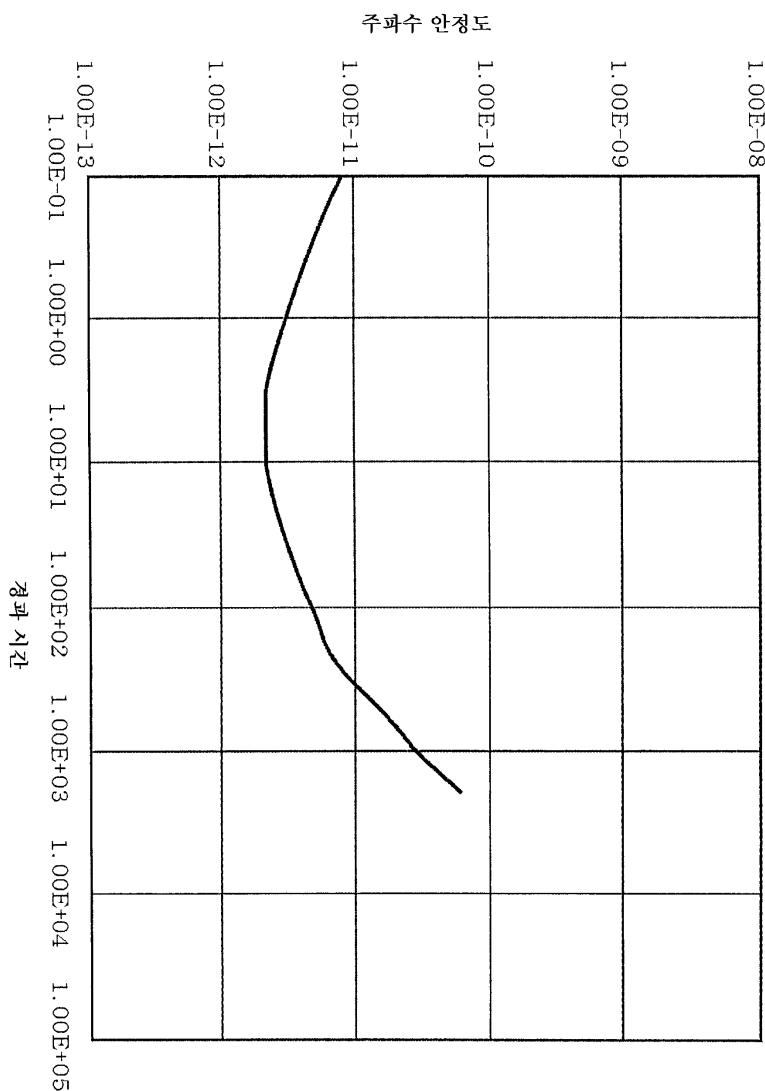
(b)



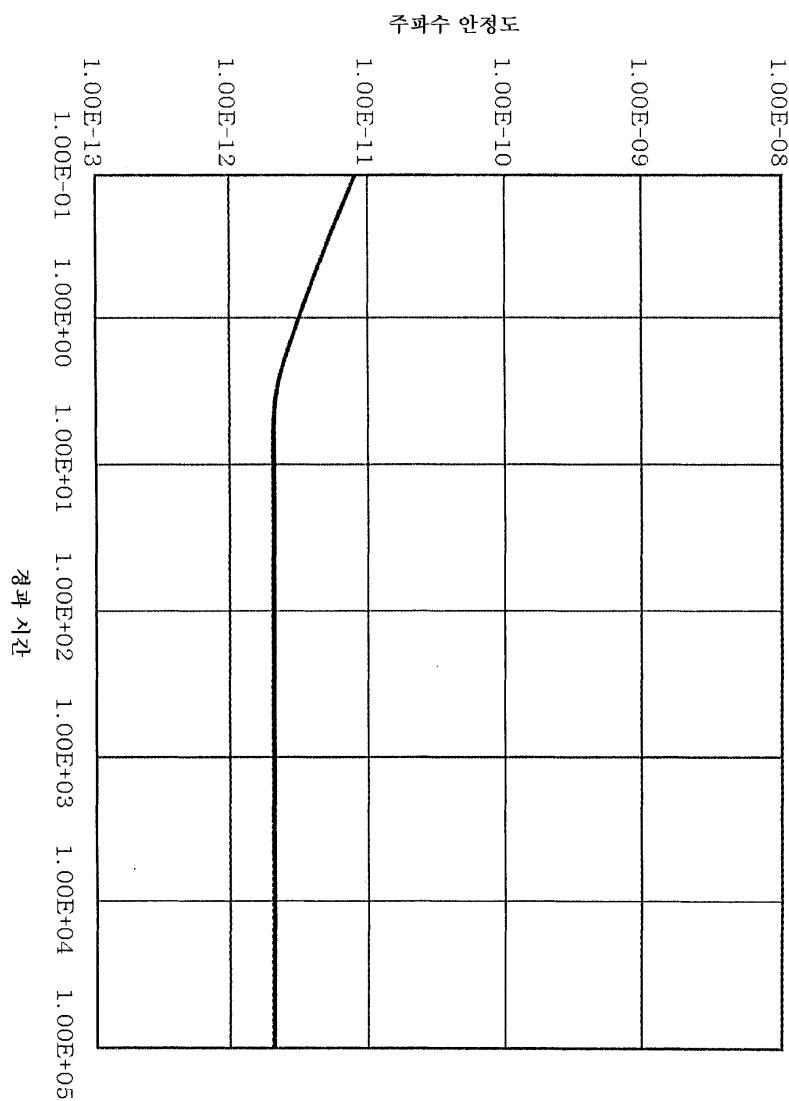
도면12



도면13



도면14



도면15

