

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4426438号
(P4426438)

(45) 発行日 平成22年3月3日(2010.3.3)

(24) 登録日 平成21年12月18日(2009.12.18)

(51) Int.Cl.

F I

HO 1 L 21/336 (2006.01)
 HO 1 L 29/786 (2006.01)
 HO 1 L 29/417 (2006.01)
 HO 1 L 21/285 (2006.01)

HO 1 L 29/78 6 1 6 K
 HO 1 L 29/50 M
 HO 1 L 21/285 P
 HO 1 L 29/78 6 1 8 A
 HO 1 L 29/78 6 1 3 A

請求項の数 2 (全 11 頁) 最終頁に続く

(21) 出願番号 特願2004-502343 (P2004-502343)
 (86) (22) 出願日 平成15年4月17日(2003.4.17)
 (65) 公表番号 特表2005-531131 (P2005-531131A)
 (43) 公表日 平成17年10月13日(2005.10.13)
 (86) 国際出願番号 PCT/US2003/012022
 (87) 国際公開番号 W02003/094219
 (87) 国際公開日 平成15年11月13日(2003.11.13)
 審査請求日 平成18年4月17日(2006.4.17)
 (31) 優先権主張番号 10/137,562
 (32) 優先日 平成14年5月2日(2002.5.2)
 (33) 優先権主張国 米国(US)

(73) 特許権者 505005049
 スリーエム イノベイティブ プロパティ
 ズ カンパニー
 アメリカ合衆国, ミネソタ州 55133
 -3427, セント ポール, ポスト オ
 フィス ボックス 33427, スリーエ
 ム センター
 (74) 代理人 100099759
 弁理士 青木 篤
 (74) 代理人 100077517
 弁理士 石田 敬
 (74) 代理人 100087413
 弁理士 古賀 哲次
 (74) 代理人 100111903
 弁理士 永坂 友康

最終頁に続く

(54) 【発明の名称】 トランジスタの製造方法

(57) 【特許請求の範囲】

【請求項 1】

ゲート電極、ゲート誘電体、半導体層、ソース電極およびドレイン電極を、基板に固定されたシャドウマスクにある単一アパーチャを通して基板上に蒸着させる工程を含む、トランジスタの製造方法であって、前記アパーチャが少なくとも2つの対向縁部を有しており、前記ゲート電極、ゲート誘電体、半導体層、ソース電極およびドレイン電極の形状が前記アパーチャおよび前記基板に対する蒸着源の位置により画定されており、前記ソース電極およびドレイン電極は、前記基板に対して法線ではない角度をなして配置された前記蒸着源から蒸着される、方法。

【請求項 2】

ゲート電極、ゲート誘電体、ソース電極およびドレイン電極を基板上に形成する工程と、第1の半導体材料と第2の半導体材料を基板に固定されたシャドウマスクにある単一アパーチャを通して蒸着する工程とを含む、相補トランジスタ回路エレメントの製造方法であって、前記各半導体材料の少なくとも一部が前記もう一方の半導体材料と重ならないように前記アパーチャが少なくとも2つの対向縁部を有しており、前記第1の半導体材料と第2の半導体材料は、前記基板に対して法線ではない角度をなして配置された蒸着源から蒸着される、方法。

【発明の詳細な説明】

【技術分野】

【0001】

10

20

本発明は、シャドウマスクを用いたトランジスタの製造方法に関する。他の態様において、本発明はシャドウマスクを含むトランジスタに関する。

【背景技術】

【0002】

従来より、フォトリソグラフィがトランジスタおよび回路のパターニングに用いられている。しかしながら、比較的高コストであることから、低コスト大面積用途にフォトリソグラフィを用いることは望ましくない。従って、低コストのパターニング技術の開発にしのぎが削られている。印刷方法およびメカニカルシャドウマスクを用いる等、低コスト大面積用途の様々なパターニング技術が提案されてきたが、問題がある。

【0003】

公知のメカニカルシャドウマスク技術は、一般に、マスクレベルの予備画定／予備形成システムを用いるものである。各マスクレベルは、前の層と整合するように正確に配置させなければならない。剛性のシャドウマスクをウェブ取扱い基板を覆うように所望のレベルの正確性（通常、約5 μm ）で位置合せすることは、低コスト高スループットの環境では難しい。

【0004】

さらに、処理条件および基板材料によっては、トランジスタ基板が処理中に膨張したまたは収縮する恐れがある。基板のサイズがある限界値を超えて変わると、基板に既になされたシャドウマスクレベルを後に位置合せできなくなる。この問題は、動的パターニングプロセスを用いたり、または剛性シャドウマスクに大きな許容度を設計することによって排除できるが、いずれの解決策も理想的ではない。動的パターニングプロセスは、コストがかかる上に遅く、大きな設計許容度は、最終的に回路の性能を減じる可能性がある。

【発明の開示】

【発明が解決しようとする課題】

【0005】

前述のことを鑑みて、多数のレベルを整合する難しさを排除して、低コスト大面積の用途のトランジスタを経済的にパターニングすることが必要とされている。さらに、処理中に基板と同時に変形するシャドウマスクがあると有利である。

【課題を解決するための手段】

【0006】

簡潔に述べると、一態様において、本発明は、固定されたシャドウマスク（すなわち、基板に対して固定されたシャドウマスク）を用いてトランジスタをパターニングする方法を提供するものである。本方法によれば、ソース電極およびドレイン電極フィーチャーを固定されたシャドウマスクにある単一アパーチャを通して基板上に（すなわち、基板に直接、または基板上のその他フィーチャーまたは層に）堆積させる工程が含まれ、アパーチャが少なくとも2つの対向縁部を有しており、フィーチャーの形状がアパーチャおよび基板に対するソース材料の位置により画定されている。シャドウマスクは基板に永続的に固定されているのが好ましく、シャドウマスクは基板に永続的に固定されていて、シャドウマスクは基板材料よりも低モジュラスの弾性を有する材料からできているのがより好ましい。

【0007】

上述した方法によれば、各層を画定するのに単一のシャドウマスクを用いることによりトランジスタフィーチャー層の位置ずれの問題が排除される。ウェブ取扱い基板上で、各トランジスタを画定するのに単一のシャドウマスクを用いると、必要な整合ステップの数が減って、スループットが増大する。さらに、本発明の方法の少なくともいくつかによれば、永続的に固定されたシャドウマスクを用いるパターニング技術が提供される。これらのシャドウマスクは、基板と同時に変形するため、処理中に基板の収縮または膨張により生じる問題を受けにくい。

【0008】

このように、本発明の方法の態様は、多数のフィーチャーレベルを整合する難しさを排

10

20

30

40

50

除して、低コスト大面積の用途のトランジスタを経済的にパターンニングする業界の必要性を満たすものである。

【 0 0 0 9 】

他の態様において、本発明は、金属酸化物半導体（CMOS）エレメントのような相補トランジスタ回路エレメントに用いるのに互いに近接したn - チャネルおよびp - チャネル相補半導体材料を堆積する方法を提供するものである。本方法によれば、ゲート電極、ゲート誘電体、ソース電極およびドレイン電極フィーチャーを基板上に形成する工程と、第1の半導体材料と第2の半導体材料を固定されたシャドウマスクにある単一アパーチャを通して堆積する工程が含まれ、各半導体材料の少なくとも一部が他の半導体材料と重ならないように前記アパーチャが少なくとも2つの対向縁部を有している。本方法は、多数のマスクを用いるトランジスタの多数のフィーチャーレベルを整合するのに関連した難しさを排除するものである。

10

【 0 0 1 0 】

さらに他の態様において、本発明はまた、基板に永続的に固定されたシャドウマスクを含むトランジスタと、物品を含む装置も提供する。

【発明を実施するための最良の形態】

【 0 0 1 1 】

トランジスタを製造する本発明の方法は、固定されたシャドウマスクにある単一アパーチャを通して基板にトランジスタフィーチャーを堆積（蒸着）する工程を含む。特に有用な種類のトランジスタ装置、薄膜トランジスタ（TFT）には、一般に、ゲート電極フィーチャー、ゲート電極フィーチャーに近接するゲート誘電体フィーチャー、ゲート誘電体フィーチャーに近接するソース電極およびドレイン電極フィーチャー、およびゲート誘電体フィーチャーに近接し、かつソースおよびドレイン電極フィーチャーに近接する半導体層を含む（例えば、S・M・スゼ（S・M・Sze）、半導体装置の物理学（Physics of Semiconductor Devices）第2版、ジョン・ウィリー・アンド・サンズ（John Wiley and Sons）492ページ、ニューヨーク（1981年）を参照のこと）。図1に示すように、トランジスタ10は、基板22に固定した角度で保持された蒸着源20、30からシャドウマスク18の単一アパーチャ16を通してソース電極12およびドレイン電極14フィーチャーを蒸着することにより（すなわち、角度付き蒸着）本発明に従って製造できることを見出した。さらに、トランジスタのゲート電極24およびゲート誘電体26フィーチャーおよび半導体層28は、トランジスタ全体が単一のシャドウマスクを用いて製造されるよう、同じ単一アパーチャ16を通して蒸着可能である。単一のシャドウマスクを利用することによって、多数のフィーチャーレベルのトランジスタを多数のシャドウマスクを用いて整合する難しさが排除される。

20

30

【 0 0 1 2 】

シャドウマスクのアパーチャおよび基板に対するソース材料の位置がトランジスタフィーチャーの形状を画定する。アパーチャは頂部より底部（すなわち、基板に近接するアパーチャの部分）が広い方が好ましい。システムの幾何形状を適切に設計すれば、角度付き蒸発により蒸着されたソース電極およびドレイン電極フィーチャーは、シャドウマスクの対向縁部の高さおよびソースから基板法線までの角度により決まる正確に定義されたチャネル長により分離される。一般に、シャドウマスクの対向縁部は、実質的に平行で実質的に直線である。

40

【 0 0 1 3 】

処理中マスクが基板と同時に変形するよう、シャドウマスクは基板に永続的に固定されているのが好ましい。

【 0 0 1 4 】

ソース電極およびドレイン電極フィーチャーは、ソース電極およびドレイン電極フィーチャーが間にギャップ（またはチャネル）を有するように形成されるよう、基板に対して一般的に法線ではないある角度をなして配置された1つ以上の源から蒸着される。ソース

50

およびドレイン電極フィーチャーは、各電極フィーチャーの蒸着間で源に対して基板を動かす（例えば、基板を約180°回転させる）ことにより、単一源から蒸着される。通常、基板は、基板面内で実質的に動かすが、正確に基板面内にある必要はない。代わりに、ソースおよびドレイン電極フィーチャーは、アパーチャの対向縁部に配置された別個の源から蒸着させてもよい。

【0015】

一般に、ソース電極およびドレイン電極フィーチャーは、約5～約50μm（好ましくは約5～約20μm）のチャンネル長がそれらを分離するように蒸着させる。ゲート誘電体フィーチャーは、源を異なる角度で、または基板から異なる距離で用いることにより、ゲート電極フィーチャーによりカバーされる領域とは異なる領域（例えば、広い）を覆うように蒸着されてもよい。ゲート誘電体フィーチャーは、ソースおよびドレイン電極とゲート電極間の短絡を防ぐために、ゲート電極フィーチャーを完全にカバーするのが好ましい。これは、ゲート電極フィーチャーの源よりも基板近くにゲート誘電体フィーチャーの源を配置することにより行うことができる。

【0016】

永続的なシャドウマスクを作成するための一般的な処理手順においては、厚膜ドライまたはウェットレジストを、トランジスタ基板に適用したり、フォトリソグラフィーによりパターンニングする。単一源を用いる場合には、基板を回転固定具に保持することができる。図2aにおいて、ゲート電極フィーチャー24、誘電体フィーチャー26および任意で半導体層28（図示せず）を基板22に垂直の源20から蒸着してもよい。ソース電極12およびドレイン電極14フィーチャーは、基板に対して固定された角度で源30により蒸着される。ソース電極フィーチャー12（またはドレイン電極フィーチャー14）を蒸着した後、図2bに示すように、シャッターを閉じ、基板を180°回転させ、シャッターを開き、図2cに示すように、他の電極フィーチャーを蒸着する。代わりに、ソース電極フィーチャーおよびドレイン電極フィーチャーは、アパーチャの逆の側に配置された別個の源から蒸着させることもできる。

【0017】

上述した方法を用いて製造された複数のトランジスタを単一基板上に蒸着させることができる。複数のトランジスタを接続して回路を形成することができる。装置間の相互接続は、トランジスタのパターンニング前にパターンニングすることができる。

【0018】

本発明の他の実施形態によれば、CMOS回路設計に用いられる互いに近接したp-チャンネルおよびn-チャンネル相補型半導体を蒸着することができる。ゲート電極フィーチャー24、ゲート誘電体フィーチャー26、ソース電極12およびドレイン電極14フィーチャーは、図3aに示すように業界に知られた標準的な方法を用いてパターンニングすることができる。相補半導体材料（すなわち、第1の半導体層32および第2の半導体層34）は、シャドウマスク18にある単一アパーチャを通して角度付きソース30から蒸着されて、図3bに示すように、各半導体フィーチャーの少なくとも一部が他の半導体フィーチャーと重ならないように半導体フィーチャーを形成する。アパーチャは少なくとも2つの対向縁部を有する。蒸着源は、基板に対してある角度で保持され、異なる蒸着半導体材料は中央では重ならない。

【0019】

本発明のさらに他の実施形態において、除去可能なシャドウマスク40を用いて、図4に示すように、トランジスタ10のフィーチャーをパターンニングする。除去可能なシャドウマスクもまた再使用可能であるのが好ましい。除去可能なシャドウマスクを用いることによって（フィーチャー蒸着およびマスク除去後）、実質的に平面の基板が得られ、シャドウマスクを基板に固定させたままとするとより後の処理工程で用いやすい場合もある。

【0020】

本発明の方法により製造されたトランジスタを用いて、トランジスタを含む様々な電子

10

20

30

40

50

装置を作成することができる。物品はゲート電極、ゲート誘電体、ソース電極およびドレイン電極フィーチャー、半導体層、基板、および基板に永続的に固定されたシャドウマスクを含む。シャドウマスクは、好ましくは、頂部より底部が広いアパーチャを有している。ソースおよびドレイン電極フィーチャーは、半導体層の上または下のいずれにあってもよいが、上部にあるのが好ましい。

【0021】

ゲート誘電体フィーチャーは、ゲート電極フィーチャーによりカバーされる面積よりも広い面積をカバーするのが好ましい。これは、誘電体フィーチャーの源を、ゲート電極フィーチャーの源よりも基板近くに配置することにより行うことができる。ゲート誘電体フィーチャーがゲート電極フィーチャーを完全にカバーしているのが好ましい。

10

【0022】

他の実施形態において、物品はゲート電極、ゲート誘電体、ソース電極およびドレイン電極フィーチャー、第1の半導体フィーチャー、第2の半導体フィーチャー、基板、およびアパーチャを含む永続的に固定されたシャドウマスクを有している。本実施形態において、前記各半導体フィーチャーの少なくとも一部は他の半導体フィーチャーと重なっていない。

【0023】

本発明の物品は、集積シャドウマスクおよび様々な電子システムを有する複数のトランジスタを含む集積回路に用いることができる。かかるシステムとしては、例えば、無線周波数識別(RFID)タグ(例えば、K.フィンケンツェラー(K. Finkenzerler)、RFIDハンドブック(RFID Handbook)、ジョン・ウィリー・アンド・サンズ(John Wiley and Sons)ニューヨーク(1999年)に記載されている)、センサ装置、ディスプレイ装置(例えば、パーソナルコンピュータ、携帯電話または手持形装置に用いられる)(例えば、S.シェール(S. Sherr)、電子ディスプレイ(Electronic Displays)、ジョン・ウィリー・アンド・サンズ(John Wiley and Sons)201~340頁、ニューヨーク(1993年)に記載されている)等が挙げられる。

20

【0024】

シャドウマスク

トランジスタフィーチャーは、固定されたシャドウマスクにある単一アパーチャを通して蒸着される。アパーチャは少なくとも2つの対向縁部を有する。本方法に好適なシャドウマスクは、トランジスタ製造前にトランジスタ基板上に(またはその一部として)永続的に固定または構築してもよい。かかるシャドウマスクは、ウェットまたはドライフィルムフォトリソグラフィをはじめとするフォトリソグラフィを含み、従来のフォトリソグラフィにより作成される(例えば、B.エル・カレー(B. El-Kareh)、半導体処理技術の基礎(Fundamentals of Semiconductor Processing Technologies)、クルーベルアカデミックパブリッシャーズ(Kluwer Academic Publishers)、169~252頁ボストン(1995年)に記載されている)。ドライフィルムフォトリソグラフィはローラで適用することができる。あるいは、シャドウマスクを除去可能としてもよい。除去可能シャドウマスクもまた再使用可能であるのが好ましい。除去可能シャドウマスクを作成するのに好適な材料としては、シリコンのような結晶材料、銅および銅のような金属材料、ポリイミド、ポリエステル、ポリスチレン、ポリメチルメタクリレート、ポリカーボネートのようなポリマー材料、またはこれらの組み合わせが例示される。除去可能なシャドウマスクは、マスクを形成する材料を無傷のままとしながら、一般的に、アパーチャが配置される材料を除去することによって作成される。除去可能なシャドウマスクは、従来の機械加工、微細加工、ダイヤモンド加工、レーザーアブレーションまたは化学、プラズマまたはイオンビームエッチング(一般的に、フォトリソグラフィにより定義される)をはじめとする様々な技術によりパターンニングされる。電子放電または電蝕加工とも呼ばれている電気放電加工(EDM)は、シャドウマスクを作成するのに用いることのできる周知の技術である

30

40

50

。EDMは、電極ツール（例えば、ワイヤ）とワークピース間にアークを形成する電気放電の経路において材料を腐食する。

【0025】

結晶材料のウェハ（例えば、シリコン、ゲルマニウムまたはヒ化ガリウム）は、除去可能で、角度蒸発用に再利用可能なマスクを作成するのに非常に好適である。適切な厚さ（例えば、約100～200μm）の両側を研磨したシリコンウェハは、広く利用可能である。シャドウマスクは、フォトリソグラフィーおよびエッチングをはじめとする周知のプロセスにより作成することができる（例えば、B. El-Kareh（B. El-Kareh）、半導体処理技術の基礎（Fundamentals of Semiconductor Processing Technologies）、クルーベルアカデミックパブリッシャーズ（Kluwer Academic Publishers）、169～252頁ボストン（1995年）に記載されている）。アパーチャのパターンを、異方性ウェットケミカルエッチング（例えば、マークマドウ（Marc Madou）、微細加工の原理（Fundamentals of Microfabrication）、CRCプレス（CRC Press）168～176頁（1997年）に記載されている）または異方性イオンエッチング（例えば、米国特許第5,501,893号明細書を参照）をはじめとする適切な技術によりウェハを通してエッチングしてよい。

【0026】

基板

一般に、基板は、製造、試験および/または使用中に、トランジスタを支持する。基板は任意でトランジスタに電気的機能を与えることもできる。有用な基板材料としては、有機および無機材料が挙げられる。例えば、基板は、無機ガラス、セラミックホイル、ポリマー材料（例えば、アクリル、エポキシ、ポリアミド、ポリカーボネート、ポリイミド、ポリケトン、ポリ（オキシ-1,4-フェニレンオキシ-1,4-フェニレンカルボニル-1,4-フェニレン）（ポリ（エーテルエーテルケトン）またはPEEKと呼ばれることもある）、ポリノルボルネン、ポリフェニレンオキシド、ポリ（エチレンナフタレンジカルボキシレート）（PEN）、ポリ（エチレンテレフタレート）（PET）、ポリ（硫化フェニレン）（PPS）、充填ポリマー材料（例えば、ファイバー強化プラスチック（FRP））およびコート金属ホイルを含むことができる。基板は可撓性であるのが好ましい（すなわち、1メートル未満の直径を有するロールに巻き付けることができる）。

【0027】

ゲート電極フィーチャー

ゲート電極フィーチャーは、任意の有用な導電性材料で作成することができる。例えば、ゲート電極フィーチャーは、ドーブドシリコンまたは、アルミニウム、クロム、金、銀、ニッケル、パラジウム、白金、タンタルまたはチタンのような金属を含むことができる。例えば、ポリアニリンまたはポリ（3,4-エチレンジオキシチオペン）/ポリ（スチレンスルホネート）（PEDOT: PSS）のような導電性ポリマーもまた用いることができる。さらに、これらの材料の合金、組み合わせたもの、および多層も有用である。トランジスタの中には、同じ材料でゲート電極機能と、基板の支持機能も与えることができるものがある。例えば、ドーブドシリコンは、ゲート電極フィーチャーとして機能し、かつトランジスタの支持をすることができる。

【0028】

ゲート誘電体フィーチャー

ゲート誘電体フィーチャーは、通常、ゲート電極フィーチャーに近接配置されている。このゲート誘電体フィーチャーは、ゲート電極フィーチャーをトランジスタ装置のバランスから電気的に絶縁している。ゲート誘電体フィーチャーに有用な材料は、例えば、無機絶縁材料を含むことができる。

【0029】

ゲート誘電体フィーチャーに有用な材料としては、具体的に、ストロンチエート、タンタレート、チタネート、ジルコネート、酸化アルミニウム、酸化シリコン、酸化タンタル

、酸化チタン、窒化シリコン、チタン酸バリウム、チタン酸バリウムストロンチウム、チタン酸バリウムジルコネート、セレン化亜鉛および硫化亜鉛が挙げられる。さらに、これらの材料の合金、組み合わせたもの、および多層もゲート誘電体フィーチャーに用いることができる。

【0030】

ソース電極およびドレイン電極フィーチャー

ソース電極およびドレイン電極フィーチャーは、ゲート誘電体フィーチャーによりゲート電極フィーチャーから分離されており、半導体層はソース電極およびドレイン電極フィーチャーの上または下とすることができる。ソース電極およびドレイン電極フィーチャーは、任意の有用な導電性材料とすることができる。有用な材料としては、ゲート電極フィーチャーについて上述した材料の大半が含まれ、例えば、アルミニウム、バリウム、カルシウム、クロム、金、銀、ニッケル、パラジウム、白金、チタン、ポリアニリン、PEDOT: PSS、その他導電性ポリマー、これらの合金、これらの組み合わせおよびこれらの多層が挙げられる。当業界で知られているとおり、これらの材料のいくつかは、電子導電性半導体材料と共に用いるのに適しており、その他のものは、貫通導通材料と共に用いるのに適している。

10

【0031】

半導体層

半導体層は、有機または無機半導体材料を含んでいてもよい。有用な無機半導体材料としては、アモルファスシリコン、硫化カドミウム、セレン化カドミウムおよびテルルが挙げられる。有用な有機半導体材料としては、アセン類およびこれらの置換誘導体が挙げられる。具体的には、アントラセン、ナフタレン、テトラセン、ペンタセンおよび置換ペンタセン（好ましくはペンタセンまたは置換ペンタセン）が挙げられる。その他の例としては、半導体ポリマー、ペリレン、フラーレン、フタロシアニン、オリゴチオフェンおよびこれらの置換誘導体が挙げられる。

20

【0032】

アセン類の置換誘導体としては、少なくとも1個の電子供与基、ハロゲン原子またはこれらの組み合わせ、またはベンゾ - アネレーテッドアセンまたはポリベンゾ - アネレーテッドアセンで置換されたアセン類が挙げられ、これらは、任意で、少なくとも1個の電子供与基、ハロゲン原子またはこれらの組み合わせで置換されている。電子供与基は、1 ~ 24個の炭素原子を有するアルキル、アルコキシまたはチオアルコキシ基から選択される。好ましいが、これらに限られるものではないアルキル基としては、メチル、エチル、n - プロピル、イソプロピル、n - ブチル、sec - ブチル、n - ペンチル、n - ヘキシル、n - ヘプチル、2 - メチルヘキシル、2 - エチルヘキシル、n - オクチル、n - ノニル、n - デシル、n - ドデシル、n - オクタデシルおよび3, 5, 5 - トリメチルヘキシルが例示される。

30

【0033】

置換ペンタセンおよびこれらの製造方法は、両者とも2001年9月26日に出願された同時係属出願、米国特許出願第09/966, 954号明細書および米国特許出願第09/966, 961号明細書に教示されている。

40

【0034】

ベンゾ - アネレーテッドおよびポリベンゾ - アネレーテッドアセンの詳細については、例えば、NISTスペシャルパブリケーション (Special Publication) 922「多環芳香族炭化水素構造指数 (Polycyclic Aromatic Hydrocarbon Structure Index)」米国政府印刷局 (U.S. Govt. Printing Office)、サンダー (Sander) およびワイズ (Wise) (1997年) にある。

【0035】

半導体層が第1の半導体材料と第2の半導体材料を含むとき、例えば、CMOS回路設計のときは、両半導体材料は無機であってもよいし、または少なくとも1つ（または両方

50

）の半導体材料が有機であってもよい（例えば、米国特許第5,625,199号明細書を参照）。CMOS回路設計に有用な材料としては、上記した半導体材料が挙げられる。半導体材料の少なくとも1つは、ペンタセン、置換ペンタセンまたはアモルファスシリコンを含むのが好ましく、一方の半導体材料がアモルファスシリコンで他方の半導体材料がペンタセンまたは置換ペンタセンであるのがより好ましい。

【実施例】

【0036】

本発明の目的および利点を以下の実施例によりさらに説明するが、これらの実施例に挙げられた特定の材料および量、その他条件および詳細は本発明を不当に限定するものではない。

10

【0037】

アパーチャを画定する一連のリブを有するシャドウマスクを、ドライフィルムフォトリジストを用いて作成した。シャドウマスクリブは、2層の100マイクロメートルのドライフィルムレジスト（マサチューセッツ州、マルボロ、フォレストストリート455のシップリー社L.L.C（Shipley Company, L.L.C., 455 Forest Street, Marlborough, MA）より入手可能なシップリーラミナー（Shipley Laminar）5040）を熱酸化シリコンウェハ上にラミネートし、適切なリソグラフィーマスクを通してレジストをUV露光して作成した。露光したレジストをメーカーの仕様書に従って処理した。得られたリブの高さおよび幅はそれぞれ約190および約135マイクロメートルであり、リブの中心から中心までの間隔は約300マイクロメートルであった。

20

【0038】

シャドウマスクを基板上に形成した。基板は、単結晶<100>配向シリコンウェハ（カリフォルニア州、サンホセのシリコンバレーマイクロエレクトロニクス（Silicon Valley Microelectronics（San Jose, California））より入手したもの）の酸化シリコン側から構成されていて、1000層の高温熱酸化シリコンが前部にあり、5000層のアルミニウム金属蒸気がウェハ裏側に蒸着されていた。1mmのラインおよび間隔の金属ホイルマスクを、ラインをリブに垂直にして、ドライフィルムシャドウマスクの上部に配置し、別個のトランジスタを画定した。ソースおよびドレイン電極（Au）を、まず一方の電極セット上に蒸着し、マスクされたウェハを180°回転させ、他方の電極セットに蒸着することにより、マスクされたウェハの酸化シリコン層上に角度蒸着した。角度を設定して、ソース電極とドレイン電極の間のチャンネル長を約20マイクロメートルとした。得られた試料を、半導体層を蒸着する前に、ヘキサメチルジシラザン（HMDS）に室温で10分間露出した。

30

【0039】

ペンタセン（アルドリッチケミカル（Aldrich Chemical）より入手可能）を3ゾーン炉（アイオワ州、デビュークのバーンステッドターモリン（Barnstead Thermolyne, Dubuque, Iowa）製サーモリン79500管状炉（Thermolyne 79500 tube furnace））を用いて減圧下で、一定フローの窒素ガスを流して精製した。精製したペンタセンを、真空（約 10^{-6} トル（または 1.33×10^{-4} Pa））下で昇華により、400の厚さまで65に保持されたHMDS処理済試料表面（すなわち、ソースおよびドレイン電極およびその間のギャップ）上に蒸着した。

40

【0040】

共通ゲート電極として作用するアルミニウム層を備えた得られた薄膜トランジスタ（FT）のトランジスタ性能を、業界に知られた、例えば、S.M.スゼ（S.M. Sze）、半導体装置の物理学（Physics of Semiconductor Devices）422頁、ジョン・ウィリー・アンド・サンズ（John Wiley and Sons）、ニューヨーク（1981年）に示されているような技術を用いて、室温および空気中で試験した。例えば、ゲート-ソースバイアスレベル0V~60Vでのドレ

50

イン電流 I_D 対ドレイン電圧 V_D のプロットによれば、TFT が完全に機能していたことを示している。半導体パラメータアナライザー（カリフォルニア州サンホセのヒューレット・パカード（Hewlett-Packard (San Jose, CA)）製型番 4145A）を用いた。

【0041】

本発明の様々な修正および変更は、本発明の範囲および技術思想から逸脱することなく当業者に明白であろう。本発明は、本明細書に挙げた例示の実施形態および実施例に不当に限定されるものではなく、かかる実施例および実施形態は例証のためにだけ示されるものであって、本発明は請求の範囲によってのみ限定されるものと考えられる。

【図面の簡単な説明】

【0042】

【図1】本発明の実施形態を示す。

【図2a】永続的に固定されたシャドウマスクを用いた電極フィーチャーの角度付き蒸着の一般的な手順を示す。

【図2b】永続的に固定されたシャドウマスクを用いた電極フィーチャーの角度付き蒸着の一般的な手順を示す。

【図2c】永続的に固定されたシャドウマスクを用いた電極フィーチャーの角度付き蒸着の一般的な手順を示す。

【図3a】CMOS回路設計に用いられる互いに近接した相補型半導体を蒸着可能な本発明の実施形態を示す。

【図3b】CMOS回路設計に用いられる互いに近接した相補型半導体を蒸着可能な本発明の実施形態を示す。

【図4】除去可能なシャドウマスクによる本発明の実施形態を示す。

【図1】

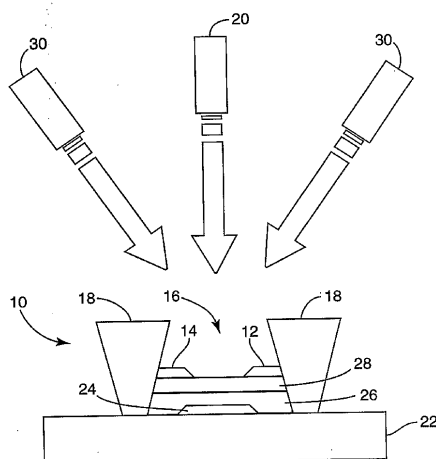


Fig. 1

【図2a】

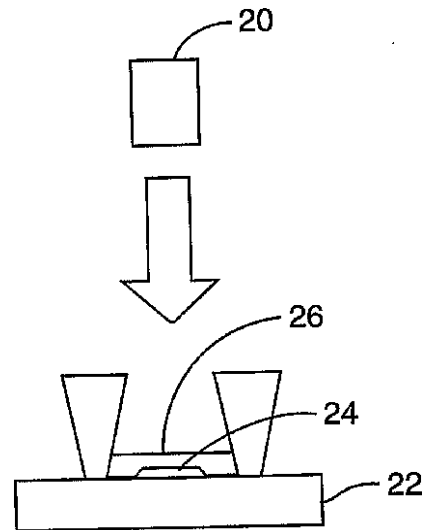


Fig. 2a

【図2b】

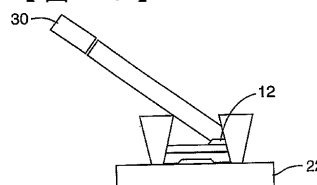
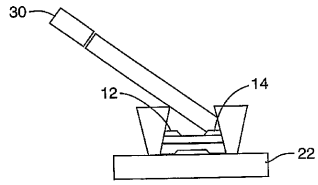
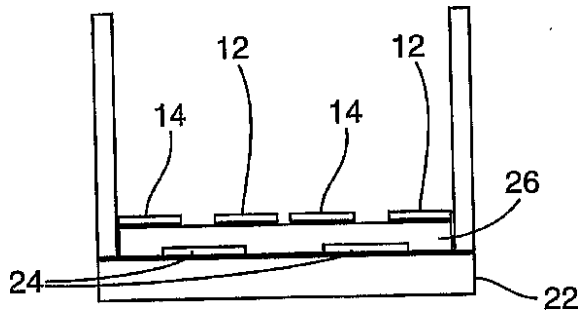


Fig. 2b

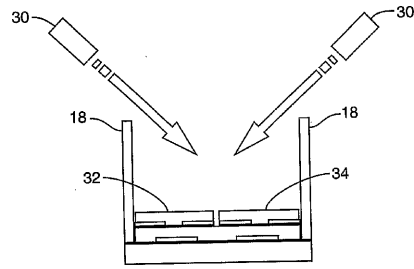
【図 2 c】

**Fig. 2c**

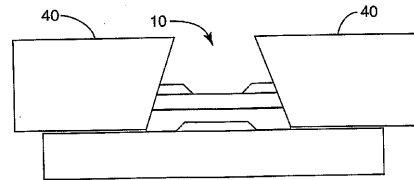
【図 3 a】

**Fig. 3a**

【図 3 b】

**Fig. 3b**

【図 4】

**Fig. 4**

フロントページの続き

(51)Int.Cl. F I
H 0 1 L 29/78 6 2 7 C

(74)代理人 100082898

弁理士 西山 雅也

(72)発明者 テイス, スティーブン ディー.

アメリカ合衆国, ミネソタ 5 5 1 3 3 - 3 4 2 7, セント ポール, ポスト オフィス ボックス 3 3 4 2 7

(72)発明者 バウド, ポール エフ.

アメリカ合衆国, ミネソタ 5 5 1 3 3 - 3 4 2 7, セント ポール, ポスト オフィス ボックス 3 3 4 2 7

(72)発明者 ハーゼ, マイケル エー.

アメリカ合衆国, ミネソタ 5 5 1 3 3 - 3 4 2 7, セント ポール, ポスト オフィス ボックス 3 3 4 2 7

(72)発明者 テイス, シルバ ケー.

アメリカ合衆国, ミネソタ 5 5 1 3 3 - 3 4 2 7, セント ポール, ポスト オフィス ボックス 3 3 4 2 7

審査官 小出 輝

(56)参考文献 特開2002-009254(JP, A)

特開平06-267886(JP, A)

特開平9-274452(JP, A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/336

H01L 21/285

H01L 29/417

H01L 29/786