

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2011 年 12 月 8 日(08.12.2011)

PCT

(10) 国際公開番号
WO 2011/151992 A1

- (51) 国際特許分類:
G06F 17/50 (2006.01) H05K 3/00 (2006.01)
- (21) 国際出願番号: PCT/JP2011/002872
- (22) 国際出願日: 2011 年 5 月 24 日(24.05.2011)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2010-128246 2010 年 6 月 3 日(03.06.2010) JP
- (71) 出願人 (米国を除く全ての指定国について): 株式会社村田製作所 (Murata Manufacturing Co., Ltd.) [JP/JP]; 〒6178555 京都府長岡京市東神足 1 丁目 1 〇 番 1 号 Kyoto (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 山本 秀俊 (YAMAMOTO, Hidetoshi) [JP/JP]; 〒6178555 京都府長岡京市東神足 1 丁目 1 〇 番 1 号 株式会社村田製作所内 Kyoto (JP). 五十棲 勇介 (ISOZUMI, Yusuke) [JP/JP]; 〒6178555 京都府長岡

京市東神足 1 丁目 1 〇 番 1 号 株式会社村田製作所内 Kyoto (JP). 齊藤 耕太 (SAITO, Kota) [JP/JP]; 〒6178555 京都府長岡京市東神足 1 丁目 1 〇 番 1 号 株式会社村田製作所内 Kyoto (JP).

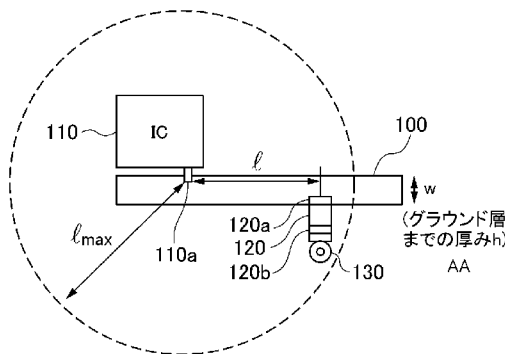
- (74) 代理人: 上田 和弘 (UEDA, Kazuhiro); 〒1020074 東京都千代田区九段南 3 丁目 7 番 1 3 号 九段小家ビル 7 階 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW,

[続葉有]

(54) Title: METHOD OF SUPPORTING ARRANGEMENT OF CAPACITOR AND CAPACITOR ARRANGEMENT SUPPORTING DEVICE

(54) 発明の名称: コンデンサ配置支援方法及びコンデンサ配置支援装置

[図4]



(57) Abstract: Provided is a method of supporting the arrangement of capacitor capable of setting the suitable arrangement of decoupling capacitor more easily without the repetition of trial and error. User input data such as the width (w) of power source wiring (100), the thickness (h) of dielectric between the power source wiring (100) and the ground plane, the ESL_{cap} of capacitor (120), the target frequency (f_T) or target impedance (Z_T) of IC (110) and so on are accepted in step (S200). In the next step (S202), the maximum permissible wire length (l_{max}) of the power source wiring (100) is calculated on the basis of the following formula (11) using the accepted width (w) of power source wiring (100), the thickness (h) of dielectric, the ESL_{cap} of capacitor (120), and the target impedance (Z_T) of IC (110) at target frequency (f_T). In step S204, the calculated maximum permissible wire length (l_{max}) is displayed.

(57) 要約:

[続葉有]

$$l_{max} \cong 0.4 \frac{Z_T - 2\pi f_T ESL_{cap}}{f_T \left(\frac{h}{w} \right)^{0.5}} \times 10^6 \quad \dots (11)$$

AA (THICKNESS (h) UP TO GROUND LAYER)



MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア
(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ
(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR,
GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT,
NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI

(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR,
NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

試行錯誤を重ねることなく、より簡易に、デカップリングコンデンサの適切な配置を設定することが可能なコンデンサ配置支援方法を提供する。ステップ S 200 では、ユーザから入力される、電源配線 (100) の幅 w 、該電源配線 (100) とグランドプレーンとの間の誘電体の厚み h 、コンデンサ (120) の ESL_{cap} 、IC (110) のターゲット周波数 f_T やターゲットインピーダンス Z_T などのデータが受け付けられる。続くステップ S 202 では、受け付けられた電源配線 (100) の幅 w 、誘電体の厚み h 、コンデンサ (120) の ESL_{cap} 、ターゲット周波数 f_T における IC (110) のターゲットインピーダンス Z_T から、次式 (11) に基づいて、電源配線 (100) の最大許容配線長 l_{max} が演算される。ステップ S 204 では、算出された最大許容配線長 l_{max} が表示される。

明 細 書

発明の名称：

コンデンサ配置支援方法及びコンデンサ配置支援装置

技術分野

[0001] 本発明は、コンデンサ配置支援方法及びコンデンサ配置支援装置に関する。

背景技術

[0002] デジタル回路では、デジタルIC（以下、単に「IC」という）の電源インピーダンスを下げるとともに、ノイズを除去するために、ICの電源端子周辺にデカップリングコンデンサ（以下、単に「コンデンサ」ともいう）が使用される（例えば非特許文献1参照）。通常、電圧変動を抑制する観点から、電源インピーダンスは低い方がよく、よってデカップリングコンデンサのインピーダンスも低い方が望ましいため、ICが必要とする電源インピーダンスに応じて十分な静電容量を持ったコンデンサが使用される。ところが、数MHz以上の高周波領域では、コンデンサが持つ微小な等価直列インダクタンス（ESL（Equivalent Series Inductance）、以下「ESL_{cap}」という）の影響により、静電容量だけではインピーダンスが下がらなくなる。このため、ESL_{cap}の小さいコンデンサが高周波領域では適している。

[0003] また、高周波領域では、ESL_{cap}の他に、ICの電源端子とコンデンサとをつなぐ配線のインダクタンス（以下「ESL_{pcb}」という）も問題となる（例えば非特許文献2参照）。このため、図13に示されるように、電源インピーダンスは、通常、数MHz（図13では約4.3MHz）を境にして、低周波側では、コンデンサの静電容量により周波数が高くなるにしたがって低くなるが、高周波側では、周波数が高くなるほど高くなる傾向を示す。高周波側でインピーダンスが高くなる主要因としては、上述したESL_{cap}とESL_{pcb}が挙げられる。よって、数MHz以上の高周波領域で低い電源インピ

ーダンスを得るためには、 ESL_{cap} と ESL_{pcb} とを低減する必要がある。

先行技術文献

特許文献

- [0004] 非特許文献1：矢口貴宏、「プリント配線板のパワーインテグリティ設計」、エレクトロニクス実装学会誌、vol. 12、No. 3、2009
- 非特許文献2：久保寺忠、「高速デジタル回路実装ノウハウ」、CQ出版社、2002、第8章

発明の概要

発明が解決しようとする課題

- [0005] ところで、配線のインダクタンス ESL_{pcb} は、簡単な計算では導出できないため、電源インピーダンスを目標値（以下「ターゲットインピーダンス」という）以下になるように設計する際の支障となっていた。また、電源インピーダンスをターゲットインピーダンス以下となるように設計するには、コンデンサの配置も問題となる。これは、コンデンサの配置によって、ICとコンデンサとをつなぐ配線の形状が異なるため、 ESL_{pcb} が異なるためである。
- [0006] そのため、従来の手法では、一旦コンデンサの配置を決めた後、電源インピーダンスを計算し、電源インピーダンスがターゲットインピーダンスを満たさない場合は、コンデンサの配置を変更し、再度電源インピーダンスを計算するなどの試行錯誤が必要であった。また、このようにコンデンサの配置を適切に変更するには熟練した技術が必要であった。そのため、これらの要因が、電子回路基板の開発期間の短縮やコスト削減の妨げとなっていた。そこで、試行錯誤を重ねることなく、簡易に、コンデンサの適切な配置を設定することができる技術が望まれていた。
- [0007] 本発明は、上記問題点を解消する為になされたものであり、試行錯誤を重ねることなく、より簡易に、コンデンサの適切な配置を設定することが可能なコンデンサ配置支援方法及びコンデンサ配置支援装置を提供することを目

的とする。

課題を解決するための手段

- [0008] 本発明に係るコンデンサ配置支援方法は、ＩＣの電源端子とコンデンサとを接続する電源配線の幅、及び該電源配線とグランドプレーンとの間に設けられる誘電体の厚みに基づいて、該電源配線の単位長さ当たりのインダクタンスを演算する単位インダクタンス演算ステップと、電源配線の単位長さ当たりのインダクタンス及び電源配線の配線長に応じて定まる電源配線のインダクタンスから求められるインピーダンスと、コンデンサのインピーダンスとの合成インピーダンスが、ターゲット周波数におけるＩＣのターゲットインピーダンス以下となる電源配線の配線長を取得する配線長取得ステップとを備えることを特徴とする。
- [0009] また、本発明に係るコンデンサ配置支援装置は、ＩＣの電源端子とコンデンサとを接続する電源配線の幅、及び該電源配線とグランドプレーンとの間に設けられる誘電体の厚みに基づいて、該電源配線の単位長さ当たりのインダクタンスを演算する単位インダクタンス演算手段と、電源配線の単位長さ当たりのインダクタンス及び電源配線の配線長に応じて定まる電源配線のインダクタンスから求められるインピーダンスと、コンデンサのインピーダンスとの合成インピーダンスが、ターゲット周波数におけるＩＣのターゲットインピーダンス以下となる電源配線の配線長を取得する配線長取得手段とを備えることを特徴とする。
- [0010] 本発明に係るコンデンサ配置支援方法又はコンデンサ配置支援装置によれば、電源配線の幅、及び該電源配線とグランドプレーンとの間に設けられる誘電体の厚みに基づいて、該電源配線の単位長さ当たりのインダクタンスが算出される。よって、高度なシミュレーションなどを用いることなく、簡易に電源配線のインダクタンスを求めることができる。また、電源配線の単位長さ当たりのインダクタンス及び電源配線の配線長に応じて定まる電源配線のインダクタンスから求められるインピーダンスと、コンデンサのインピーダンスとの合成インピーダンスが、ターゲット周波数におけるＩＣのターゲ

ットインピーダンス以下となる電源配線の配線長が取得される。すなわち、コンデンサの配置可能な範囲を予め把握した上で、配置を設定することができる。よって、試行錯誤を重ねることなく、より簡易に、コンデンサの適切な配置を設定することが可能となる。その結果、コンデンサが実装される配線基板の開発期間を短縮でき、開発コストを低減することが可能となる。

[0011] 本発明に係るコンデンサ配置支援方法では、単位インダクタンス演算ステップにおいて、次式（１）に基づいて、電源配線の単位長さ当たりのインダクタンス L_0 （ H/m 、以下同じ）を演算することが好ましい。

[数1]

$$L_0 = \frac{\mu_0}{\pi} \left(\frac{h}{w} \right)^{0.6} \quad \dots (1)$$

ただし、 h （ m 、以下同じ）は誘電体の厚み、 w （ m 、以下同じ）は電源配線の幅、 μ_0 は真空の透磁率

[0012] また、本発明に係るコンデンサ配置支援装置では、単位インダクタンス演算手段が、次式（１）に基づいて、電源配線の単位長さ当たりのインダクタンス L_0 を演算することが好ましい。

[数2]

$$L_0 = \frac{\mu_0}{\pi} \left(\frac{h}{w} \right)^{0.6} \quad \dots (1)$$

ただし、 h は誘電体の厚み、 w は電源配線の幅、 μ_0 は真空の透磁率

[0013] この場合、比較的簡易な式（１）を用いることにより、電源配線の単位長さ当たりのインダクタンス L_0 を求めることができる。よって、高度なシミュレーションなどを用いることなく、より簡易に電源配線のインダクタンスを求めることが可能となる。

[0014] 本発明に係るコンデンサ配置支援方法では、単位インダクタンス演算ステップにおいて、次式（２）に基づいて、電源配線の単位長さ当たりのインダクタンス L_0 を演算することが好ましい。

[数3]

$$L_0 = \frac{\mu_0}{\pi} \sqrt{\frac{h}{w}} \quad \dots (2)$$

ただし、 h は誘電体の厚み、 w は電源配線の幅、 μ_0 は真空の透磁率

[0015] また、本発明に係るコンデンサ配置支援装置では、単位インダクタンス演算手段が、次式(2)に基づいて、電源配線の単位長さ当たりのインダクタンス L_0 を演算することが好ましい。

[数4]

$$L_0 = \frac{\mu_0}{\pi} \sqrt{\frac{h}{w}} \quad \dots (2)$$

ただし、 h は誘電体の厚み、 w は電源配線の幅、 μ_0 は真空の透磁率

[0016] この場合、高度なべき乗計算が不要なため、より簡易に電源配線の単位長さ当たりのインダクタンスを求めることができる。

[0017] 本発明に係るコンデンサ配置支援方法では、コンデンサのインピーダンスが、該コンデンサの等価直列インダクタンスから求められることが好ましい。

[0018] また、本発明に係るコンデンサ配置支援装置では、コンデンサのインピーダンスが、該コンデンサの等価直列インダクタンスから求められることが好ましい。

[0019] このようにすれば、コンデンサのインピーダンスを算出する際に、等価直列インダクタンス(ESL_{eq})のみを考慮すればよいので、演算がより簡単になる。

[0020] 本発明に係るコンデンサ配置支援方法は、ICの電源端子とコンデンサとを接続する電源配線の幅、該電源配線とグランドプレーンとの間に設けられる誘電体の厚み、コンデンサのインピーダンス、及び、ターゲット周波数におけるICのターゲットインピーダンスの入力を受付ける入力ステップと、入力ステップにおいて入力された、電源配線の幅 w 、誘電体の厚み h 、コンデンサのインピーダンス Z (Ω 、以下同じ)、ターゲット周波数 f_T (Hz

、以下同じ)におけるICのターゲットインピーダンス Z_T (Ω 、以下同じ)から、次式(3)に基づいて、電源配線の最大許容配線長 l_{max} (m、以下同じ)を演算する最大許容配線長演算ステップと、

[数5]

$$l_{max} = \frac{Z_T - Z_c}{2\pi f_T \frac{\mu_0}{\pi} \left(\frac{h}{w}\right)^{0.6}} \quad \dots (3)$$

ただし、 μ_0 は真空の透磁率

最大許容配線長演算ステップにおいて算出された最大許容配線長を表示する表示ステップとを備えることを特徴とする。

[0021] また、本発明に係るコンデンサ配置支援装置は、ICの電源端子とコンデンサとを接続する電源配線の幅、該電源配線とグランドプレーンとの間に設けられる誘電体の厚み、コンデンサのインピーダンス、及び、ターゲット周波数におけるICのターゲットインピーダンスの入力を受付ける入力手段と、入力手段により入力された、電源配線の幅 w 、誘電体の厚み h 、コンデンサのインピーダンス Z_c 、ターゲット周波数 f_T におけるICのターゲットインピーダンス Z_T から、次式(3)に基づいて、電源配線の最大許容配線長 l_{max} を演算する最大許容配線長演算手段と、

[数6]

$$l_{max} = \frac{Z_T - Z_c}{2\pi f_T \frac{\mu_0}{\pi} \left(\frac{h}{w}\right)^{0.6}} \quad \dots (3)$$

ただし、 μ_0 は真空の透磁率

最大許容配線長演算手段により算出された最大許容配線長を表示する表示手段とを備えることを特徴とする。

[0022] 本発明に係るコンデンサ配置支援方法、又はコンデンサ配置支援装置によれば、電源配線の幅や誘電体の厚みなどの所定のデータが入力されると、上式(3)から、電源配線の最大許容配線長、すなわち、コンデンサを配置す

ることが可能な範囲が直接算出されて表示される。よって、試行錯誤を重ねることなく、より簡易に、コンデンサの適切な配置を設定することが可能となる。その結果、コンデンサが実装される配線基板の開発期間をより短縮でき、開発コストをより低減することが可能となる。

[0023] 本発明に係るコンデンサ配置支援方法では、最大許容配線長演算ステップにおいて、上式（３）に代えて、次式（４）に基づいて、最大許容配線長 l_{max} を演算することが好ましい。

[数7]

$$l_{max} = \frac{Z_T - Z_c}{2\pi f_T \frac{\mu_0}{\pi} \sqrt{\frac{h}{w}}} \quad \dots (4)$$

[0024] また、本発明に係るコンデンサ配置支援装置では、最大許容配線長演算手段が、上式（３）に代えて、次式（４）に基づいて、最大許容配線長 l_{max} を演算することが好ましい。

[数8]

$$l_{max} = \frac{Z_T - Z_c}{2\pi f_T \frac{\mu_0}{\pi} \sqrt{\frac{h}{w}}} \quad \dots (4)$$

[0025] この場合、高度なべき乗計算が不要なため、より簡易に最大許容配線長を求めることができる。

[0026] 本発明に係るコンデンサ配置支援方法では、最大許容配線長演算ステップにおいて、

[数9]

$$\frac{1}{2\pi \frac{\mu_0}{\pi}} = 0.4 \times 10^6 \quad \dots (5)$$

ただし、 μ_0 は真空の透磁率（ $4\pi \times 10^{-7}$ ）

として最大許容配線長を演算することが好ましい。

[0027] また、本発明に係るコンデンサ配置支援装置では、最大許容配線長演算手

段が、

[数10]

$$\frac{1}{2\pi \frac{\mu_0}{\pi}} = 0.4 \times 10^6 \quad \dots (5)$$

ただし、 μ_0 は真空の透磁率（ $4\pi \times 10^{-7}$ ）

として最大許容配線長を演算することが好ましい。

[0028] このようにすれば、最大許容配線長を求めるための演算式がより簡略化されるため、演算をより簡易に行うことができる。

[0029] 本発明に係るコンデンサ配置支援方法では、最大許容配線長演算ステップにおいて、コンデンサのインピーダンス Z_c を

[数11]

$$Z_c = 2\pi f E S L_{cap} \quad \dots (6)$$

ただし、 $E S L_{cap}$ はコンデンサの等価直列インダクタンス

として最大許容配線長を演算することが好ましい。

[0030] また、本発明に係るコンデンサ配置支援装置では、最大許容配線長演算手段が、コンデンサのインピーダンス Z_c を

[数12]

$$Z_c = 2\pi f E S L_{cap} \quad \dots (6)$$

ただし、 $E S L_{cap}$ はコンデンサの等価直列インダクタンス

として最大許容配線長を演算することが好ましい。

[0031] このようにすれば、最大許容配線長を演算する際に、コンデンサのインピーダンスに関し、等価直列インダクタンス（ $E S L_{cap}$ ）のみを考慮すればよいため、演算がより簡単になる。

発明の効果

[0032] 本発明によれば、試行錯誤を重ねることなく、より簡易に、コンデンサの適切な配置を設定することが可能となる。

図面の簡単な説明

- [0033] [図1] 第 1 実施形態に係るコンデンサ配置支援装置の構成を示すブロック図である。
- [図2] 電源配線の一例を示す図である。
- [図3] 合成インピーダンスを説明するための図である。
- [図4] 電源配線の最大許容配線長を示す図である。
- [図5] 第 1 実施形態に係るコンデンサ配置支援装置による配線長取得処理の処理手順を示すフローチャートである。
- [図6] 第 2 実施形態に係るコンデンサ配置支援装置の構成を示すブロック図である。
- [図7] 第 2 実施形態に係るコンデンサ配置支援装置による最大許容配線長演算処理の処理手順を示すフローチャートである。
- [図8] 実施例 1 の測定結果を示す図である。
- [図9] 実施例 2 の測定結果を示す図である。
- [図10] 実施例 3 の測定結果を示す図である。
- [図11] 実施例 4 の測定結果を示す図である。
- [図12] 実施例 5 の測定結果を示す図である。
- [図13] 電源インピーダンスの周波数特性を示す図である。

発明を実施するための形態

- [0034] 以下、図面を参照して本発明の好適な実施形態について詳細に説明する。なお、各図において、同一要素には同一符号を付して重複する説明を省略する。

- [0035] (第 1 実施形態)

まず、図 1 を用いて、第 1 実施形態に係るコンデンサ配置支援装置 1 の構成について説明する。図 1 は、コンデンサ配置支援装置 1 の構成を示すブロック図である。

- [0036] コンデンサ配置支援装置 1 は、電源配線の幅や電源配線とグランドプレーンとの間の誘電体の厚みなどの所定のデータに基づいて、ターゲットインピ

ーダンス以下となるように、デカップリングコンデンサを配置することができる範囲（電源配線長）を提示することにより、配線基板の設計を支援するものである。そのために、コンデンサ配置支援装置 1 は、入力部 10、情報処理ユニット 20、及び、表示部 30 を備えている。また、情報処理ユニット 20 は、単位インダクタンス演算部 21、及び配線長取得部 22 を有している。以下、各構成について詳細に説明する。

[0037] なお、ここでは、図 2 に示される電源配線 100 にコンデンサ 120 を配置する場合を例にして説明する。電源配線 100 は、例えば銅箔などから形成されている。電源配線 100 は、グランドプレーンに対して誘電体（基板）を介してマイクロストリップ線路状に形成されている。電源配線 100 の幅を w 、電源配線 100 とグランドプレーンとの間に設けられた誘電体の厚み（電源配線 100 とグランドプレーンとの基板厚み方向の距離）を h とする。電源配線 100 には、デジタル IC 110 の電源端子 110a 及びコンデンサ 120 の第 1 端子 120a が接続される。なお、コンデンサ 120 の第 2 端子 120b は、ビア 130 を介してグランドプレーンに接続される。

[0038] コンデンサ 120 は、IC 110 の動作に必要な電気を供給するとともに、電源配線 100 を経由して入り込むノイズや、IC 110 の動作により発生するノイズを除去する。ここで、コンデンサ 120 は、数 MHz 以下の低周波域のインピーダンスを下げるに十分な静電容量を持ち、かつ数 MHz 以上の高周波域のインピーダンスを下げることを妨げる ESL_{cap} を持つものとする。また、IC 110 の電源に要求されるターゲットインピーダンス Z_T と、このターゲットインピーダンス Z_T を満足させる周波数の上限（ターゲット周波数 f_T ）は予め開示されているものとする。

[0039] 入力部 10 は、例えば、キーボードやタッチパネルなどから構成され、ユーザから入力される電源配線 100 の幅 w （m、以下同じ）、電源配線 100 とグランドプレーンとの間の誘電体の厚み h （m、以下同じ）、コンデンサ 120 のインピーダンス Z_c （ Ω 、以下同じ）（又は ESL_{cap} （H、以下

同じ))、IC110のターゲット周波数 f_T (Hz、以下同じ) やターゲットインピーダンス Z_T (Ω 、以下同じ) などのデータを受け付ける。なお、これらのデータは、予め入力され、メモリに記憶されていてもよい。

[0040] 情報処理ユニット20は、入力部10により受け付けられた電源配線100の幅 w や誘電体の厚み h などのデータから、演算式に従ってコンデンサ120を配置することができる範囲(配線長)を演算するものである。情報処理ユニット20は、受け付けられた入力データに対して演算処理を行うマイクロプロセッサ、該マイクロプロセッサに各処理を実行させるためのプログラム(演算式を含む)やデータを記憶するROM、演算結果などの各種データを一時的に記憶するRAM等により構成されている。情報処理ユニット20では、ROMに記憶されているプログラムが、マイクロプロセッサによって実行されることにより、単位インダクタンス演算部21及び配線長取得部22の機能が実現される。

[0041] 単位インダクタンス演算部21は、IC110の電源端子110aとコンデンサ120とを接続する電源配線100の断面寸法、すなわち、電源配線100の幅 w 、及び誘電体の厚み h から、次式(1)に基づいて、電源配線100の単位長さ当たりのインダクタンス L_0 (H/m、以下同じ)を演算する。

[数13]

$$L_0 = \frac{\mu_0}{\pi} \left(\frac{h}{w} \right)^{0.6} \cdots (1)$$

ただし、 μ_0 は真空の透磁率

すなわち、単位インダクタンス演算部21は、請求の範囲に記載の単位インダクタンス演算手段として機能する。なお、算出された電源配線100の単位長さ当たりのインダクタンス L_0 は、配線長取得部22に出力される。

[0042] 配線長取得部22は、電源配線100の単位長さ当たりのインダクタンス L_0 及び電源配線100の配線長 l (m、以下同じ)に応じて定まる電源配線100のインダクタンスから求められるインピーダンス Z_0 と、コンデンサ1

20のインピーダンス Z_c との合成インピーダンス（以下「電源インピーダンス」ともいう） Z_{all} （ Ω 、以下同じ）を求める。また、配線長取得部22は、求められた合成インピーダンス Z_{all} が、ターゲット周波数 f_T におけるIC110のターゲットインピーダンス Z_T 以下となる電源配線100の配線長 l を取得する。すなわち、配線長取得部22は、請求の範囲に記載の配線長取得手段として機能する。以下、より具体的に説明する。

[0043] IC110の電源インピーダンス Z_{all} （ Ω 、以下同じ）の高周波部分は、図3に示すように、IC110とコンデンサ120とをつなぐ電源配線100のインピーダンス Z_p （ Ω 、以下同じ）と、コンデンサ120のインピーダンス Z_c とを直列接続したインピーダンスで近似することができる。ここで、電源配線100のインピーダンス Z_p は、コンデンサ120が接続されている場合、電源配線100の長さが波長に比べて十分短い高周波域では、電源配線100の単位長さ当たりのインダクタンス L_0 に電源配線100の配線長 l （ m 、以下同じ）を乗算した値で近似することができる。これは、数MHz以上の高周波域ではコンデンサ120がショートとみなせるためである。

[0044] そこで、式（1）を元に、電源インピーダンス Z_{all} をインピーダンスの大きさだけを考慮して計算すると、次式（7）のようになる。

[数14]

$$Z_{all} = Z_p + Z_c = 2\pi f l \frac{\mu_0}{\pi} \left(\frac{h}{w} \right)^{0.6} + Z_c \quad \dots (7)$$

[0045] 式（7）を変形して、電源配線100の配線長（コンデンサ120とIC110の電源端子110aとの距離） l について求めると、次式（8）のようになる。

[数15]

$$l = \frac{Z_{all} - Z_c}{2\pi f \frac{\mu_0}{\pi} \left(\frac{h}{w} \right)^{0.6}} \quad \dots (8)$$

[0046] 式（8）から、電源インピーダンス Z_{all} を、ターゲット周波数 f_T におい

て、ターゲットインピーダンス Z_T よりも小さくするには、電源配線 100 の配線長 l を次式 (3) の最大許容配線長 $l_{\max}$ (m、以下同じ) 以下にすればよいことがわかる。

[数16]

$$l_{\max} = \frac{Z_T - Z_c}{2\pi f_T \frac{\mu_0}{\pi} \left(\frac{h}{w}\right)^{0.6}} \quad \dots (3)$$

[0047] すなわち、図4に示されるように、電源配線 100 の配線長 l を、式 (3) から求められた最大許容配線長 $l_{\max}$ 以下とすることにより、電源インピーダンスがターゲットインピーダンス Z_T 以下になるようにコンデンサ 120 の配置を設定することができる。

[0048] ここで、 μ_0 に数値 ($4\pi \times 10^{-7}$) を代入し、概数で表し、式 (3) を簡略化すると、次式 (9) となる。

[数17]

$$l_{\max} \cong 0.4 \frac{Z_T - Z_c}{f_T \left(\frac{h}{w}\right)^{0.6}} \times 10^6 \quad \dots (9)$$

[0049] また、数MHz以上の高周波域では、コンデンサ 120 のインピーダンス Z_c は、 ESL_{cap} (H、以下同じ) に支配されると考えられるため、次式 (6) で表すことができる。

[数18]

$$Z_c = 2\pi f ESL_{cap} \quad \dots (6)$$

[0050] ここで、式 (6) を上式 (3) に反映させると、次式 (10) となる。

[数19]

$$l_{\max} = \frac{Z_T - 2\pi f_T ESL_{cap}}{2\pi f_T \frac{\mu_0}{\pi} \left(\frac{h}{w}\right)^{0.6}} \quad \dots (10)$$

[0051] 一方、式 (6) を上式 (9) に反映させると、次式 (11) となる。

[数20]

$$l_{\max} \cong 0.4 \frac{Z_T - 2\pi f_T ESL_{cap}}{f_T \left(\frac{h}{w} \right)^{0.6}} \times 10^6 \quad \dots (11)$$

[0052] よって、上式（３）に代えて、より簡略化された上式（９）（１０）又は（１１）を用いて最大許容配線長 $l_{\max}$ を演算し、電源配線１００の配線長 l が最大許容配線長 $l_{\max}$ 以下となるようにコンデンサ１２０を配置することによっても、電源インピーダンスがターゲットインピーダンス Z_T 以下になるように設計することができる。なお、算出された最大許容配線長 $l_{\max}$ は、表示部３０に出力される。

[0053] 表示部３０は、例えば、ＬＣＤディスプレイなどから構成され、入力部１０によって受け付けられた入力データや、最大許容配線長 $l_{\max}$ などの演算結果を表示する。

[0054] 次に、図５を参照しつつ、コンデンサ配置支援装置１の動作、及びコンデンサ配置支援方法について説明する。図５は、コンデンサ配置支援装置１による配線長取得処理の処理手順を示すフローチャートである。

[0055] ステップＳ１００では、ユーザから入力される電源配線１００の幅 w 、電源配線１００とグランドプレーンとの間の誘電体の厚み h 、コンデンサ１２０のインピーダンス Z_C （又は ESL_{cap} ）、ＩＣ１１０のターゲット周波数 f_T やターゲットインピーダンス Z_T などのデータが受け付けられる。

[0056] 次に、ステップＳ１０２（請求の範囲に記載の単位インダクタンス演算ステップに相当）では、ステップＳ１００で受け付けられた、ＩＣ１１０の電源端子１１０ａとコンデンサ１２０とを接続する電源配線１００の幅 w 、及び誘電体の厚み h から、次式（１）に基づいて、電源配線１００の単位長さ当たりのインダクタンス L_0 が演算される。

[数21]

$$L_0 = \frac{\mu_0}{\pi} \left(\frac{h}{w} \right)^{0.6} \quad \dots (1)$$

[0057] 続くステップS 1 0 4（請求の範囲に記載の配線長取得ステップに相当）では、まず、ステップS 1 0 2で算出された電源配線 1 0 0の単位長さ当たりのインダクタンス L_0 、及び電源配線 1 0 0の配線長 l に応じて定まる電源配線 1 0 0のインダクタンスから求められるインピーダンス Z_p と、コンデンサ 1 2 0のインピーダンス Z_c との合成インピーダンス（電源インピーダンス） Z_{all} が求められる。そして、求められた合成インピーダンス Z_{all} が、ターゲット周波数 f_T における I C 1 1 0のターゲットインピーダンス Z_T 以下となる電源配線 1 0 0の配線長 l が取得される。

[0058] より具体的には、まず、電源配線 1 0 0の単位長さ当たりのインダクタンス L_0 （上式（1））を元に、合成インピーダンス Z_{all} を計算すると次式（7）となる。

[数22]

$$Z_{all} = Z_p + Z_c = 2\pi f l \frac{\mu_0}{\pi} \left(\frac{h}{w} \right)^{0.6} + Z_c \quad \dots (7)$$

[0059] 次に、式（7）を変形して、電源配線 1 0 0の配線長 l について求めると、次式（8）となる。

[数23]

$$l = \frac{Z_{all} - Z_c}{2\pi f \frac{\mu_0}{\pi} \left(\frac{h}{w} \right)^{0.6}} \quad \dots (8)$$

[0060] そして、電源インピーダンス Z_{all} を、ターゲット周波数 f_T において、ターゲットインピーダンス Z_T よりも小さくするために要求される、電源配線 1 0 0の配線長 l の最大許容配線長 l_{max} が次式（3）から取得される。

[数24]

$$l_{max} = \frac{Z_T - Z_c}{2\pi f_T \frac{\mu_0}{\pi} \left(\frac{h}{w} \right)^{0.6}} \quad \dots (3)$$

[0061] なお、ステップS 1 0 4では、式（3）に代えて、より簡略化された上式

(9) (10) 又は (11) を用いて、配線長 l の最大許容配線長 l_{max} を取得してもよい。

[0062] 続くステップ S106 では、ステップ S104 で取得された最大許容配線長 l_{max} などの結果が表示される (図4参照)。

[0063] 本実施形態によれば、電源配線100の幅 w 、及び電源配線100とグラウンドプレーンとの間に設けられた誘電体の厚み h に基づいて、電源配線100の単位長さ当たりのインダクタンス L_0 が算出される。よって、高度なシミュレーションなどを用いることなく、簡易に電源配線100のインダクタンスを求めることができる。また、電源配線100の単位長さ当たりのインダクタンス L_0 及び電源配線100の配線長 l に応じて定まる電源配線100のインダクタンスから求められるインピーダンス Z_0 と、コンデンサ120のインピーダンス Z_c との合成インピーダンス $Z_{0||c}$ が、ターゲット周波数 f_T における IC110のターゲットインピーダンス Z_T 以下となる電源配線100の配線長 l が取得される。すなわち、コンデンサ120の配置可能な範囲を予め把握した上で、配置を設定することができる。よって、試行錯誤を重ねることなく、より簡易に、コンデンサ120の適切な配置を設定することが可能となる。その結果、コンデンサ120が実装される配線基板の開発期間を短縮でき、開発コストを低減することが可能となる。

[0064] また、本実施形態によれば、比較的簡易な上式(1)を用いることにより、電源配線100の単位長さ当たりのインダクタンス L_0 を求めることができる。よって、高度なシミュレーションなどを用いることなく、より簡易に電源配線100のインダクタンスを求めることが可能となる。

[0065] また、本実施形態によれば、コンデンサ120のインピーダンスを、上式(6)で置き換えることができるため、コンデンサ120のインピーダンスを算出する際に、 $ESL_{0,p}$ のみを考慮すればよく、演算をより簡単にすることができる。

[0066] 次に、第1実施形態の変形例について説明する。上式(1)は、比較的精度が要求されない場合には、次式(2)のように簡略化することができる。

[数25]

$$L_0 = \frac{\mu_0}{\pi} \sqrt{\frac{h}{w}} \quad \dots (2)$$

そのため、上式（１）に代えて、式（２）を用いて電源配線１００の単位長さ当たりのインダクタンス L_0 を算出してもよい。

[0067] また、式（２）を元に、上述した各式（３）（７）（８）（９）～（１１）を変形すると、次のように表される。すなわち、上式（７）は、次式（１２）となる。

[数26]

$$Z_{all} = Z_p + Z_c = 2\pi f l \frac{\mu_0}{\pi} \sqrt{\frac{h}{w}} + Z_c \quad \dots (12)$$

[0068] 上式（８）は、次式（１３）となる。

[数27]

$$l = \frac{Z_{all} - Z_c}{2\pi f \frac{\mu_0}{\pi} \sqrt{\frac{h}{w}}} \quad \dots (13)$$

[0069] 上式（３）は、次式（４）となる。

[数28]

$$l_{\max} = \frac{Z_T - Z_c}{2\pi f_T \frac{\mu_0}{\pi} \sqrt{\frac{h}{w}}} \quad \dots (4)$$

[0070] 上式（９）は、次式（１４）となる。

[数29]

$$l_{\max} \cong 0.4 \frac{Z_T - Z_c}{f_T \sqrt{\frac{h}{w}}} \times 10^6 \quad \dots (14)$$

[0071] 上式（１０）は、次式（１５）となる。

[数30]

$$l_{\max} = \frac{Z_T - 2\pi f_T ESL_{cap}}{2\pi f_T \frac{\mu_0}{\pi} \sqrt{\frac{h}{w}}} \quad \dots (15)$$

[0072] 上式 (11) は、次式 (16) となる。

[数31]

$$l_{\max} \cong 0.4 \frac{Z_T - 2\pi f_T ESL_{cap}}{f_T \sqrt{\frac{h}{w}}} \times 10^6 \quad \dots (16)$$

[0073] そのため、上式 (3) に代えて、式 (4) (14) ~ (16) のいずれかを用いて最大許容配線長 $l_{\max}$ を算出してもよい。

[0074] 本変形例によれば、高度なべき乗計算が不要なため、演算をより簡易に行うことができる。

[0075] (第2実施形態)

次に、図6を用いて、第2実施形態に係るコンデンサ配置支援装置2の構成について説明する。図6は、コンデンサ配置支援装置2の構成を示すブロック図である。なお、図6において第1実施形態と同一又は同等の構成要素については同一の符号が付されている。

[0076] コンデンサ配置支援装置2は、情報処理ユニット20が、単位インダクタンス演算部21及び配線長取得部22に代えて、最大許容配線長演算部23を備えている点で、上述したコンデンサ配置支援装置1と異なっている。その他の構成は、上述したコンデンサ配置支援装置1と同一または同様であるので、ここでは詳細な説明を省略する。なお、本実施形態において、入力部10は請求の範囲に記載の入力手段として機能し、表示部30は請求の範囲に記載の表示手段として機能する。

[0077] 最大許容配線長演算部23は、入力部10により入力された、電源配線100の幅 w 、電源配線100とグランドプレーンとの間に設けられた誘電体の厚み h 、コンデンサ120のインピーダンス Z_c (又は ESL_{cap})、ターゲット周波数 f_T におけるIC110のターゲットインピーダンス Z_T から、

次式（３）に基づいて、電源配線１００の最大許容配線長 l_{max} を演算する。

[数32]

$$l_{max} = \frac{Z_T - Z_c}{2\pi f_T \frac{\mu_0}{\pi} \left(\frac{h}{w}\right)^{0.6}} \quad \dots (3)$$

すなわち、最大許容配線長演算部２３は、請求の範囲に記載の最大許容配線長演算手段として機能する。

[0078] なお、上式（３）に代えて、より簡略化された上式（９）（１０）又は（１１）を用いて最大許容配線長 l_{max} を算出してもよい。また、算出された最大許容配線長 l_{max} などの演算結果は、表示部３０によって表示される。

[0079] 次に、図７を参照しつつ、コンデンサ配置支援装置２の動作、及びコンデンサ配置支援方法について説明する。図７は、コンデンサ配置支援装置２による最大配線長演算処理の処理手順を示すフローチャートである。

[0080] ステップＳ２００では、ユーザから入力される電源配線１００の幅 w 、電源配線１００とグランドプレーンとの間の誘電体の厚み h 、コンデンサ１２０のインピーダンス Z_c （又は ESL_{cap} ）、ＩＣ１１０のターゲット周波数 f_T やターゲットインピーダンス Z_T などのデータが受け付けられる。

[0081] ステップＳ２０２（請求の範囲に記載の最大許容配線長演算ステップに相当）では、ステップＳ２００で受け付けられた、電源配線１００の幅 w 、誘電体の厚み h 、コンデンサ１２０のインピーダンス Z_c （又は ESL_{cap} ）、ターゲット周波数 f_T におけるＩＣ１１０のターゲットインピーダンス Z_T から、次式（３）（又は上式（９）（１０）（１１））に基づいて、電源配線１００の最大許容配線長 l_{max} が演算される。

[数33]

$$l_{max} = \frac{Z_T - Z_c}{2\pi f_T \frac{\mu_0}{\pi} \left(\frac{h}{w}\right)^{0.6}} \quad \dots (3)$$

設計者は、配線長 l が最大許容配線長 l_{max} 以下になるようにコンデンサ１２

0を配置することにより、電源インピーダンスがターゲットインピーダンス Z_T 以下となるように設計することができる。

[0082] 続くステップS204では、ステップS202で算出された最大許容配線長 l_{max} などの結果が表示される（図4参照）。

[0083] 本実施形態によれば、電源配線100の幅 w や誘電体の厚み h などの所定のデータが入力されると、上式（3）から、電源配線100の最大許容配線長 l_{max} 、すなわち、コンデンサ120を配置することが可能な範囲が直接算出されて表示される。よって、試行錯誤を重ねることなく、より簡易に、コンデンサ120の適切な配置を設定することが可能となる。その結果、コンデンサ120が実装される配線基板の開発期間をより短縮でき、開発コストをより低減することが可能となる。

[0084] また、本実施形態によれば、真空の透磁率 μ_0 を概数で表し、上式（3）を簡略化することにより、最大許容配線長 l_{max} を求めるための演算式をより簡略化することができ、演算をより簡易に行うことが可能となる。

[0085] 本実施形態によれば、コンデンサ120のインピーダンス Z_c を上式（6）で置き換えることにより、コンデンサ120のインピーダンスを算出する際に、 ESL_{cap} のみを考慮すればよくなるため、演算をより簡易に行うことが可能となる。

[0086] ここで、本実施形態に係るコンデンサ配置支援装置2又はコンデンサ配置支援方法の効果を確認するために、電源配線100の幅 w 、誘電体の厚み h 、ターゲット周波数 f_T 、及びターゲットインピーダンス Z_T を変えて、最大許容配線長 l_{max} を演算するとともに、その演算結果に応じてコンデンサ120を配置して電源インピーダンスを測定した（実施例1～5）。図8～図12に、実施例1～5のインピーダンスの測定結果を示す。図8～図12に示されたグラフの横軸は周波数（MHz）であり、縦軸はインピーダンス（ Ω ）である。なお、測定では、 $1\mu F$ の積層セラミックコンデンサを用いた。また、演算では ESL_{cap} を $0.6nH$ とし、次式（11）を用いて最大許容配線長 l_{max} を求めた。

[数34]

$$l_{\max} \cong 0.4 \frac{Z_T - 2\pi f_T ESL_{cap}}{f_T \left(\frac{h}{w} \right)^{0.6}} \times 10^6 \quad \dots (11)$$

[0087] (実施例 1)

実施例 1 では、4 層の多層基板を想定し、幅 w が 1 mm、グランドプレーンとの距離（誘電体の厚み） h が 0.4 mm の電源配線 100 において、ターゲット周波数 f_T が 150 MHz でターゲットインピーダンス Z_T が 2 Ω 以下となるように設計した。式 (11) による演算結果では、最大許容配線長 $l_{\max}$ は 6.6 mm と求められた。これに応じて、測定では IC110 の電源端子 110a から 6.0 mm の位置にコンデンサ 120 を配置した。その結果、測定された電源インピーダンスは、図 8 に示されるように、150 MHz で 1.9 Ω であり、ターゲットインピーダンス Z_T 以下となっていることが確認された。

[0088] (実施例 2)

実施例 2 では、両面基板を想定し、幅 w が 1 mm、グランドプレーンとの距離（誘電体の厚み） h が 1.2 mm の電源配線 100 において、ターゲット周波数 f_T が 50 MHz でターゲットインピーダンス Z_T が 1.5 Ω 以下となるように設計した。式 (11) による演算結果では、最大許容配線長 $l_{\max}$ は 9.4 mm と求められた。これに応じて、測定では IC110 の電源端子 110a から 9.0 mm の位置にコンデンサ 120 を配置した。その結果、測定された電源インピーダンスは、図 9 に示されるように、50 MHz で 1.4 Ω であり、ターゲットインピーダンス Z_T 以下となっていることが確認された。

[0089] (実施例 3)

実施例 3 では、6 層の多層基板を想定し、幅 w が 2 mm、グランドプレーンとの距離（誘電体の厚み） h が 0.2 mm の電源配線 100 において、ターゲット周波数 f_T が 100 MHz でターゲットインピーダンス Z_T が 1 Ω 以

下となるように設計した。式（１１）による演算結果では、最大許容配線長 l_{max} は 9.9 mm と求められた。これに応じて、測定では IC 110 の電源端子 110a から 9.0 mm の位置にコンデンサ 120 を配置した。その結果、測定された電源インピーダンスは 100 MHz で 0.9 Ω であり、ターゲットインピーダンス Z_T 以下となっていることが確認された。

[0090] （実施例 4）

実施例 4 では、大電流が通電される電源配線を想定し、幅 w が 5 mm、グランドプレーンとの距離（誘電体の厚み） h が 0.2 mm の電源配線 100 において、ターゲット周波数 f_T が 70 MHz でターゲットインピーダンス Z_T が 0.8 Ω 以下となるよう設計した。式（１１）による演算結果では、最大許容配線長 l_{max} は 21.1 mm と求められた。これに応じて、測定では IC 110 の電源端子 110a から 21.0 mm の位置にコンデンサ 120 を配置した。その結果、測定された電源インピーダンスは 70 MHz で 0.73 Ω であり、ターゲットインピーダンス Z_T 以下となっていることが確認された。

[0091] （実施例 5）

実施例 5 では、さらに大電流が流される電源配線を想定し、幅 w が 10 mm、グランドプレーンとの距離（誘電体の厚み） h が 0.2 mm である電源配線 100 において、ターゲット周波数 f_T が 80 MHz でターゲットインピーダンス Z_T が 0.7 Ω 以下となるよう設計した。式（１１）による演算結果では、最大許容配線長 l_{max} は 20.8 mm と求められた。これに応じて、測定では IC 110 の電源端子 110a から 21.0 mm の位置にコンデンサを配置した。その結果、測定された電源インピーダンスは 80 MHz で 0.67 Ω であり、ターゲットインピーダンス Z_T 以下となっていることが確認された。以上のように、本実施形態によれば、様々な電源配線の断面寸法（幅 w 、誘電体の厚み h ）、ターゲットインピーダンス Z_T に対して適切な最大許容配線長 l_{max} が得られることが確認された。

[0092] ところで、上述したように、上式（１）は、比較的精度が要求されない場

合には、次式（２）のように簡略化することができる。

[数35]

$$L_0 = \frac{\mu_0}{\pi} \sqrt{\frac{h}{w}} \quad \dots (2)$$

[0093] そこで、式（２）を用いると、上述した式（１１）は、次式（１６）と変形することができる。

[数36]

$$l_{\max} \cong 0.4 \frac{Z_T - 2\pi f_T ESL_{cap} \times 10^6}{f_T \sqrt{\frac{h}{w}}} \quad \dots (16)$$

よって、式（１６）を用いて最大許容配線長 $l_{\max}$ を算出する構成としてもよい。

[0094] ここで、式（１６）を用いて、上述した実施例１～実施例５の条件で最大許容配線長 $l_{\max}$ を演算した結果（区別するために、以下「最大許容配線長 $l_{\max 2}$ 」という）と、式（１１）により演算した結果との比較を、表１に示す。

[0095] [表1]

条件					$l_{\max}$ (mm)	$l_{\max 2}$ (mm)	違い $l_{\max 2}/l_{\max}$
	w (mm)	h (mm)	Z_T (Ω)	f_T (MHz)			
実施例1	1	0.4	2	150	6.6	6.0	0.90
実施例2	1	1.2	1.5	50	9.4	9.5	1.01
実施例3	2	0.2	1	100	9.9	7.8	0.79
実施例4	5	0.2	0.8	70	21.0	15.2	0.72
実施例5	10	0.2	0.7	80	20.7	14.0	0.68

[0096] 表１に示されるように、最大許容配線長 $l_{\max}$ と比較して、より簡易な演算

で求めることができる最大許容配線長 l_{max2} は、演算結果が若干小さくなる傾向がある。しかしながら、最大許容配線長 l_{max2} に従ってコンデンサ 120 を配置した場合には、電源インピーダンスが小さい方向、すなわち安全サイドへ動くため、許容することができる。

[0097] このように、上式 (16) を用いた場合には、上式 (11) を用いたときと比較して、精度が若干落ちるものの、容易に演算を行うことができるため、より簡易にコンデンサ 120 の適切な配置を設定することができる。

[0098] 以上、本発明の実施の形態について説明したが、本発明は、上記実施形態に限定されるものではなく種々の変形が可能である。例えば、上記第 2 実施形態の変形例では、上式 (16) を用いて最大許容配線長 l_{max2} を算出したが、式 (16) に代えて、上式 (4) (14) 又は (15) を用いてもよい。また、例えば、電源配線 100 の形状などは上記実施形態には限られない。

符号の説明

- [0099] 1, 2 コンデンサ配置支援装置
- 10 入力部
 - 20 情報処理ユニット
 - 21 単位インダクタンス演算部
 - 22 配線長取得部
 - 23 最大許容配線長演算部
 - 30 表示部
 - 100 電源配線
 - 110 IC
 - 120 コンデンサ
 - 130 ビア

請求の範囲

[請求項1] I Cの電源端子とコンデンサとを接続する電源配線の幅、及び該電源配線とグラウンドプレーンとの間に設けられる誘電体の厚みに基づいて、該電源配線の単位長さ当たりのインダクタンスを演算する単位インダクタンス演算ステップと、

前記電源配線の単位長さ当たりのインダクタンス及び前記電源配線の配線長に応じて定まる前記電源配線のインダクタンスから求められるインピーダンスと、前記コンデンサのインピーダンスとの合成インピーダンスが、ターゲット周波数における前記 I Cのターゲットインピーダンス以下となる前記電源配線の配線長を取得する配線長取得ステップと、を備えることを特徴とするコンデンサ配置支援方法。

[請求項2] 前記単位インダクタンス演算ステップでは、次式（1）に基づいて、前記電源配線の単位長さ当たりのインダクタンス L_0 を演算することを特徴とする請求項 1 に記載のコンデンサ配置支援方法。

[数1]

$$L_0 = \frac{\mu_0}{\pi} \left(\frac{h}{w} \right)^{0.6} \quad \dots (1)$$

ただし、hは誘電体の厚み、wは電源配線の幅、 μ_0 は真空の透磁率

[請求項3] 前記単位インダクタンス演算ステップでは、次式（2）に基づいて、前記電源配線の単位長さ当たりのインダクタンス L_0 を演算することを特徴とする請求項 1 に記載のコンデンサ配置支援方法。

[数2]

$$L_0 = \frac{\mu_0}{\pi} \sqrt{\frac{h}{w}} \quad \dots (2)$$

ただし、hは誘電体の厚み、wは電源配線の幅、 μ_0 は真空の透磁率

[請求項4] 前記コンデンサのインピーダンスは、該コンデンサの等価直列イン

ダクタンスから求められることを特徴とする請求項 1 ～ 3 のいずれか 1 項に記載のコンデンサ配置支援方法。

[請求項5]

I C の電源端子とコンデンサとを接続する電源配線の幅、該電源配線とグランドプレーンとの間に設けられる誘電体の厚み、前記コンデンサのインピーダンス、及び、ターゲット周波数における前記 I C のターゲットインピーダンスの入力を受付ける入力ステップと、

前記入力ステップにおいて入力された、前記電源配線の幅 w 、前記誘電体の厚み h 、前記コンデンサのインピーダンス Z_c 、ターゲット周波数 f_T における前記 I C のターゲットインピーダンス Z_T から、次式 (3) に基づいて、前記電源配線の最大許容配線長 l_{max} を演算する最大許容配線長演算ステップと、

[数3]

$$l_{max} = \frac{Z_T - Z_c}{2\pi f_T \frac{\mu_0}{\pi} \left(\frac{h}{w}\right)^{0.6}} \quad \dots (3)$$

ただし、 μ_0 は真空の透磁率

前記最大許容配線長演算ステップにおいて算出された前記最大許容配線長を表示する表示ステップと、を備えることを特徴とするコンデンサ配置支援方法。

[請求項6]

前記最大許容配線長演算ステップでは、前記式 (3) に代えて、次式 (4) に基づいて、前記最大許容配線長 l_{max} を演算することを特徴とする請求項 5 に記載のコンデンサ配置支援方法。

[数4]

$$l_{max} = \frac{Z_T - Z_c}{2\pi f_T \frac{\mu_0}{\pi} \sqrt{\frac{h}{w}}} \quad \dots (4)$$

[請求項7]

前記最大許容配線長演算ステップでは、

[数5]

$$\frac{1}{2\pi \frac{\mu_0}{\pi}} = 0.4 \times 10^6 \quad \dots (5)$$

として前記最大許容配線長を演算することを特徴とする請求項5又は6に記載のコンデンサ配置支援方法。

[請求項8] 前記最大許容配線長演算ステップでは、前記コンデンサのインピーダンス Z_c を

[数6]

$$Z_c = 2\pi f E S L_{cap} \quad \dots (6)$$

ただし、 $E S L_{cap}$ はコンデンサの等価直列インダクタンスとして前記最大許容配線長を演算することを特徴とする請求項5～7のいずれか1項に記載のコンデンサ配置支援方法。

[請求項9] ICの電源端子とコンデンサとを接続する電源配線の幅、及び該電源配線とグラウンドプレーンとの間に設けられる誘電体の厚みに基づいて、該電源配線の単位長さ当たりのインダクタンスを演算する単位インダクタンス演算手段と、

前記電源配線の単位長さ当たりのインダクタンス及び前記電源配線の配線長に応じて定まる前記電源配線のインダクタンスから求められるインピーダンスと、前記コンデンサのインピーダンスとの合成インピーダンスが、ターゲット周波数における前記ICのターゲットインピーダンス以下となる前記電源配線の配線長を取得する配線長取得手段と、を備えることを特徴とするコンデンサ配置支援装置。

[請求項10] 前記単位インダクタンス演算手段は、次式(1)に基づいて、前記電源配線の単位長さ当たりのインダクタンス L_0 を演算することを特徴とする請求項9に記載のコンデンサ配置支援装置。

[数7]

$$L_0 = \frac{\mu_0}{\pi} \left(\frac{h}{w} \right)^{0.6} \quad \dots (1)$$

ただし、 h は誘電体の厚み、 w は電源配線の幅、 μ_0 は真空の透磁率

[請求項11] 前記単位インダクタンス演算手段は、次式（2）に基づいて、前記電源配線の単位長さ当たりのインダクタンス L_0 を演算することを特徴とする請求項9に記載のコンデンサ配置支援手段。

[数8]

$$L_0 = \frac{\mu_0}{\pi} \sqrt{\frac{h}{w}} \quad \dots (2)$$

ただし、 h は誘電体の厚み、 w は電源配線の幅、 μ_0 は真空の透磁率

[請求項12] 前記コンデンサのインピーダンスは、該コンデンサの等価直列インダクタンスから求められることを特徴とする請求項9～11のいずれか1項に記載のコンデンサ配置支援装置。

[請求項13] ICの電源端子とコンデンサとを接続する電源配線の幅、該電源配線とグランドプレーンとの間に設けられる誘電体の厚み、前記コンデンサのインピーダンス、及び、ターゲット周波数における前記ICのターゲットインピーダンスの入力を受付ける入力手段と、

前記入力手段により入力された、前記電源配線の幅 w 、前記誘電体の厚み h 、前記コンデンサのインピーダンス Z_c 、ターゲット周波数 f_T における前記ICのターゲットインピーダンス Z_T から、次式（3）に基づいて、前記電源配線の最大許容配線長 l_{max} を演算する最大許容配線長演算手段と、

[数9]

$$l_{max} = \frac{Z_T - Z_c}{2\pi f_T \frac{\mu_0}{\pi} \left(\frac{h}{w}\right)^{0.6}} \quad \dots (3)$$

ただし、 μ_0 は真空の透磁率

前記最大許容配線長演算手段により算出された前記最大許容配線長

を表示する表示手段と、を備えることを特徴とするコンデンサ配置支援装置。

[請求項14] 前記最大許容配線長演算手段は、前記式(3)に代えて、次式(4)に基づいて、前記最大許容配線長 l_{max} を演算することを特徴とする請求項13に記載のコンデンサ配置支援装置。

[数10]

$$l_{max} = \frac{Z_T - Z_c}{2\pi f_T \frac{\mu_0}{\pi} \sqrt{\frac{h}{w}}} \quad \dots (4)$$

[請求項15] 前記最大許容配線長演算手段は、

[数11]

$$\frac{1}{2\pi \frac{\mu_0}{\pi}} = 0.4 \times 10^6 \quad \dots (5)$$

として前記最大許容配線長を演算することを特徴とする請求項13又は14に記載のコンデンサ配置支援装置。

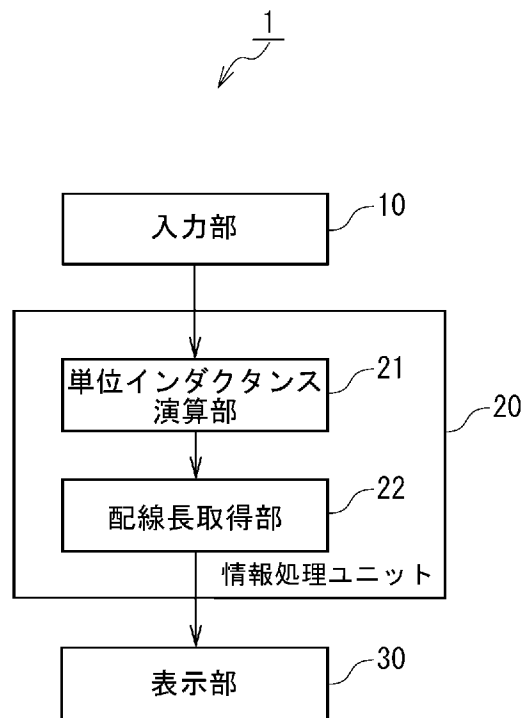
[請求項16] 前記最大許容配線長演算手段は、前記コンデンサのインピーダンス Z_c を

[数12]

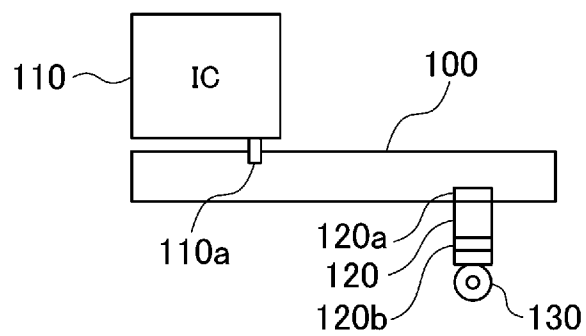
$$Z_c = 2\pi f ESL_{cap} \quad \dots (6)$$

ただし、 ESL_{cap} はコンデンサの等価直列インダクタンスとして前記最大許容配線長を演算することを特徴とする請求項13～15のいずれか1項に記載のコンデンサ配置支援装置。

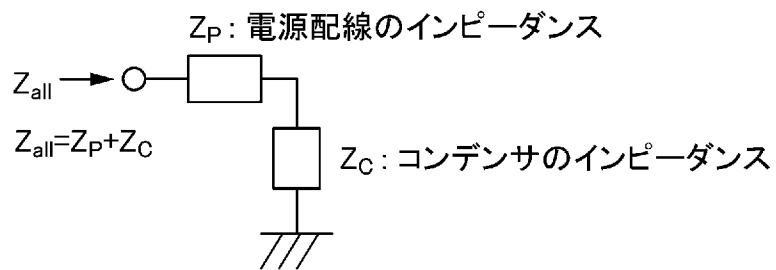
[図1]



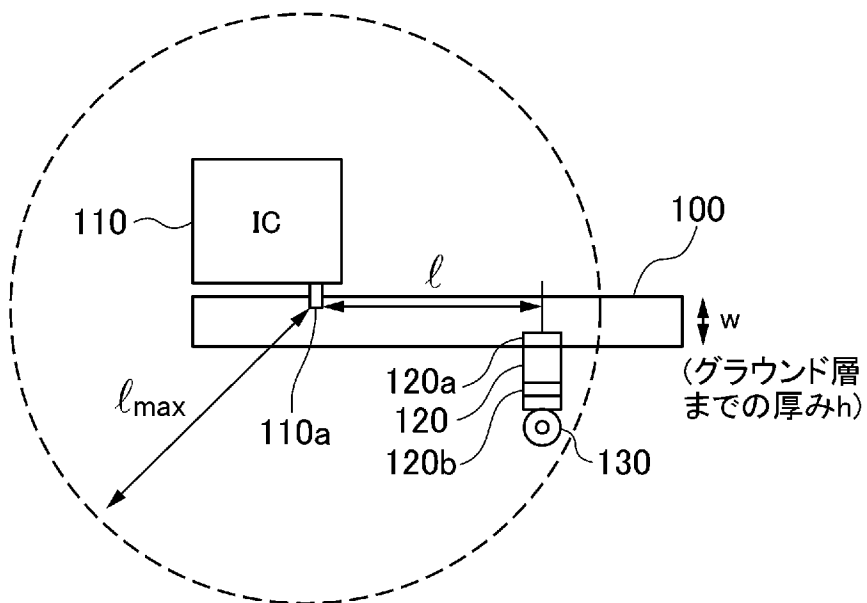
[図2]



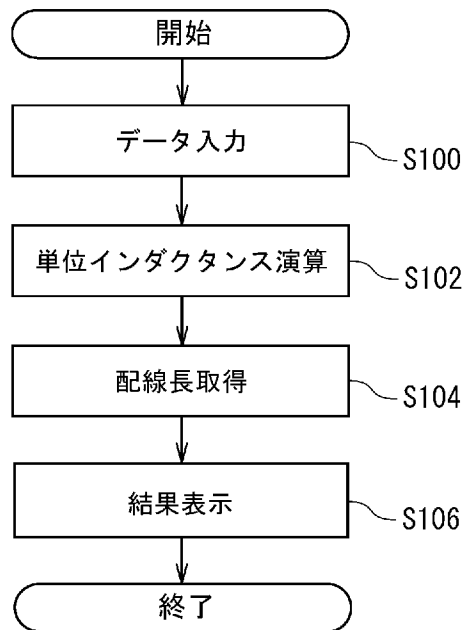
[図3]



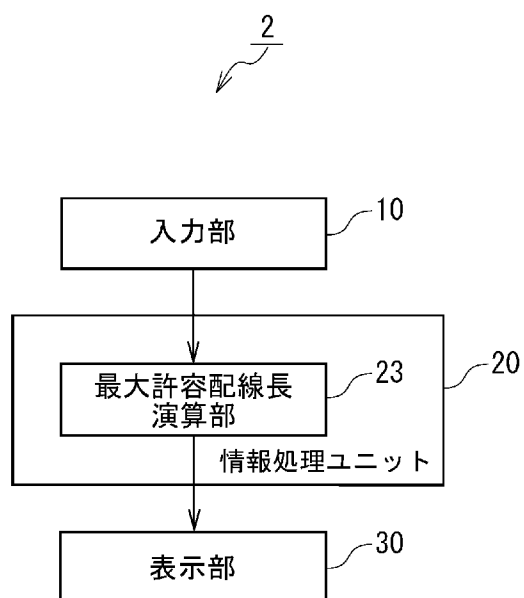
[図4]



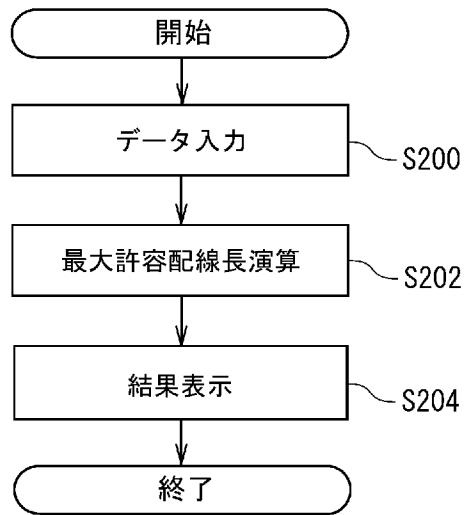
[図5]



[図6]

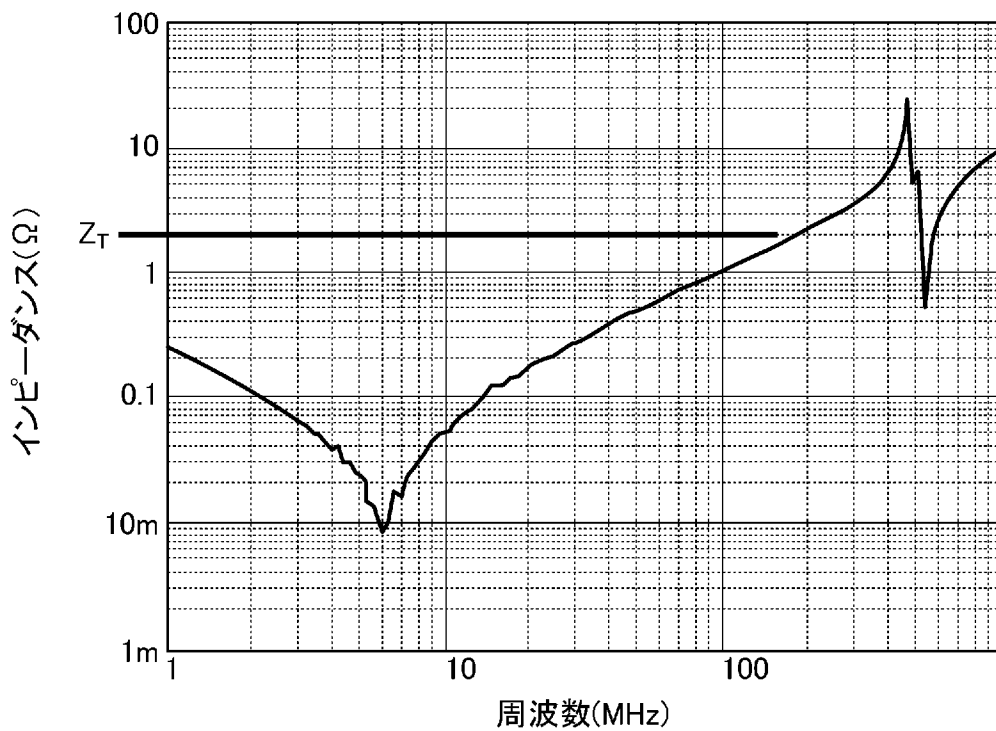


[図7]



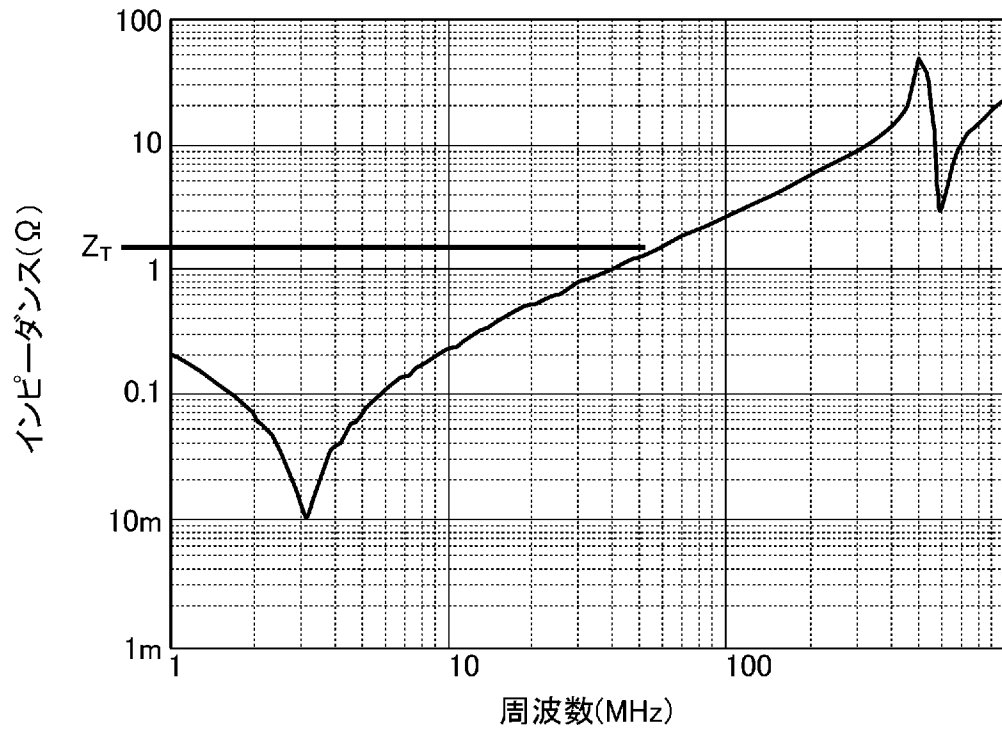
[図8]

$w=1\text{mm}$ $h=0.4\text{mm}$ の配線寸法で $Z_T=2\Omega$ $f_T=150\text{MHz}$ を狙ったとき
⇒ l_{max} の計算結果 6.6mm に対し、 6mm の位置で測定



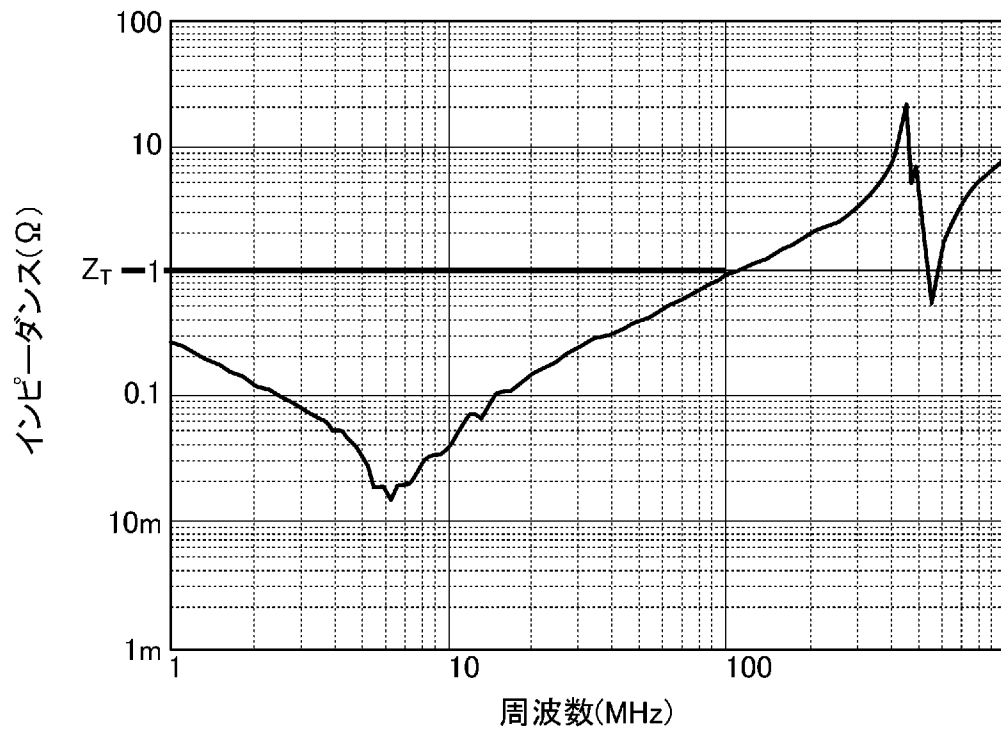
[図9]

$w=1\text{mm}$ $h=1.2\text{mm}$ の配線寸法で $Z_T=1.5\ \Omega$ $f_T=50\text{MHz}$ を狙ったとき
 $\Rightarrow \ell_{\text{max}}$ の計算結果 9.4mm に対し、9mm の位置で測定



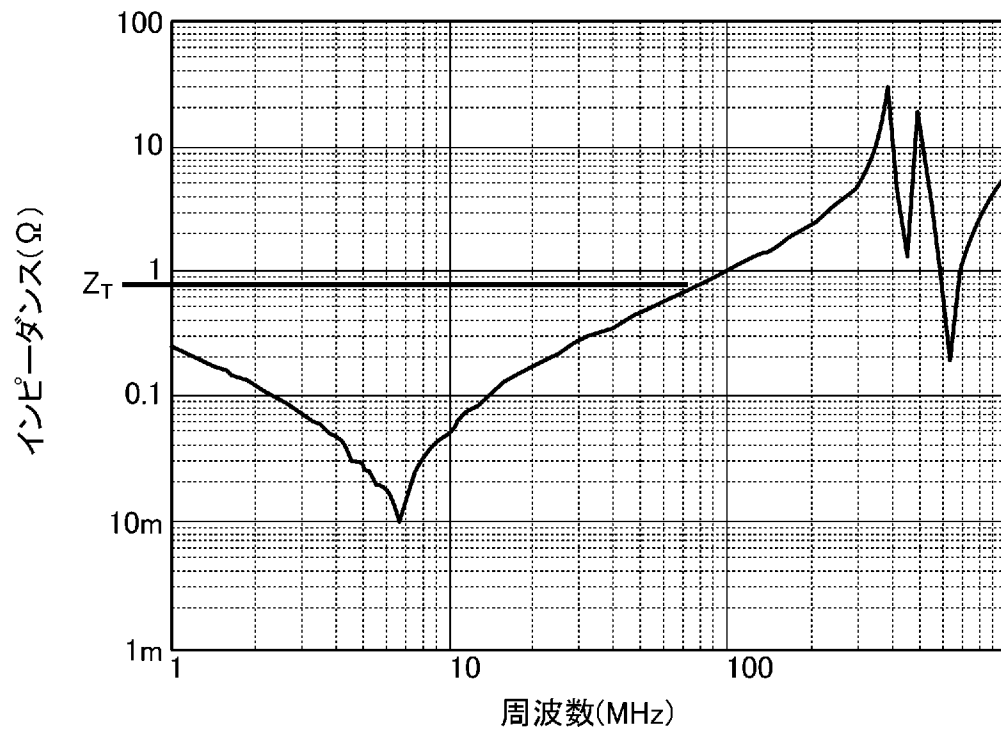
[図10]

$w=2\text{mm}$ $h=0.2\text{mm}$ の配線寸法で $Z_T=1\ \Omega$ $f_T=100\text{MHz}$ を狙ったとき
 $\Rightarrow \ell_{\text{max}}$ の計算結果 9.9mm に対し、 9mm の位置で測定



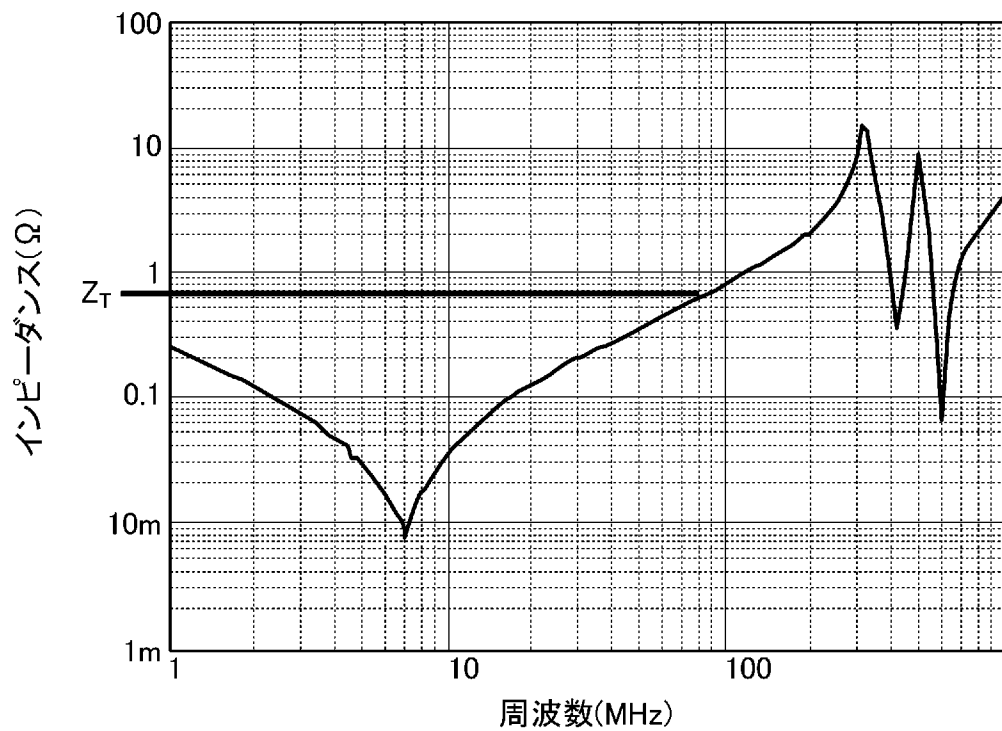
[図11]

$w=5\text{mm}$ $h=0.2\text{mm}$ の配線寸法で $Z_T=0.8\ \Omega$ $f_T=70\text{MHz}$ を狙ったとき
 $\Rightarrow l_{\text{max}}$ の計算結果 21.1mm に対し、 21mm の位置で測定

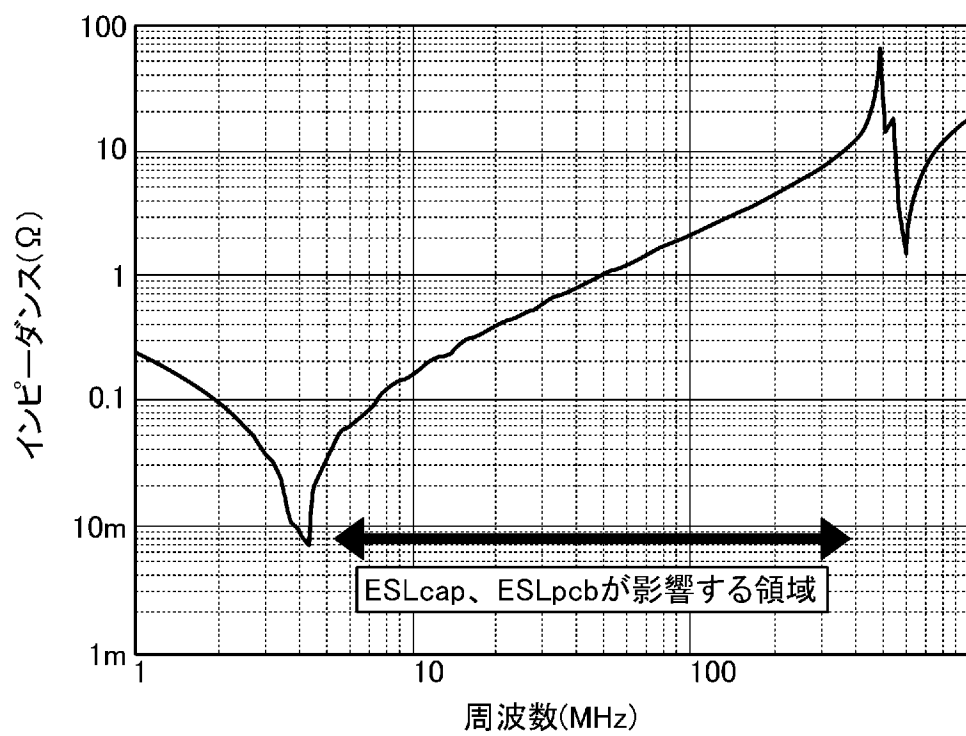


[図12]

$w=10\text{mm}$ $h=0.2\text{mm}$ の配線寸法で $Z_T=0.7\ \Omega$ $f_T=80\text{MHz}$ を狙ったとき
 $\Rightarrow \ell_{\text{max}}$ の計算結果 20.8mm に対し、 21mm の位置で測定



[図13]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/002872

A. CLASSIFICATION OF SUBJECT MATTER

G06F17/50 (2006.01) i, H05K3/00 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G06F17/50, H05K3/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2011

Kokai Jitsuyo Shinan Koho 1971-2011 Toroku Jitsuyo Shinan Koho 1994-2011

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CiNii, JSTPlus (JDreamII)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2007-234853 A (Matsushita Electric Industrial Co., Ltd.), 13 September 2007 (13.09.2007), paragraphs [0012] to [0028]; fig. 1 to 4 (Family: none)	1-16
Y	JP 2007-299268 A (Sharp Corp.), 15 November 2007 (15.11.2007), paragraphs [0013], [0025] to [0031]; fig. 6 (Family: none)	1-16
Y	JP 2005-321864 A (Fujitsu Ltd.), 17 November 2005 (17.11.2005), paragraphs [0046] to [0049] (Family: none)	4, 8, 12, 16

☒ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
02 August, 2011 (02.08.11)Date of mailing of the international search report
09 August, 2011 (09.08.11)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/002872

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2009-230694 A (NEC Corp.), 08 October 2009 (08.10.2009), paragraphs [0090] to [0098]; fig. 6 & US 2009/0248343 A1 & CN 101546353 A	4, 8, 12, 16

A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. G06F17/50(2006.01)i, H05K3/00(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. G06F17/50, H05K3/00

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 1 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 1 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 1 年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

CiNii, JSTPlus(JDreamII)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2007-234853 A (松下電器産業株式会社) 2007.09.13, 段落【0012】 - 【0028】, 第 1-4 図 (ファミリーなし)	1-16
Y	JP 2007-299268 A (シャープ株式会社) 2007.11.15, 段落【0013】, 【0025】 - 【0031】, 第 6 図 (ファミリーなし)	1-16

☒ C 欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

0 2 . 0 8 . 2 0 1 1

国際調査報告の発送日

0 9 . 0 8 . 2 0 1 1

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官 (権限のある職員)

松 浦 功

5 H

4 6 8 9

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 3 1

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2005-321864 A (富士通株式会社) 2005.11.17, 段落【0046】 - 【0049】 (ファミリーなし)	4, 8, 12, 16
Y	JP 2009-230694 A (日本電気株式会社) 2009.10.08, 段落【0090】 - 【0098】, 第6図 & US 2009/0248343 A1 & CN 101546353 A	4, 8, 12, 16