

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第6258322号
(P6258322)

(45) 発行日 平成30年1月10日(2018.1.10)

(24) 登録日 平成29年12月15日(2017.12.15)

(51) Int.Cl. F I
HO4B 1/40 (2015.01) HO4B 1/40
HO3K 17/693 (2006.01) HO3K 17/693 A

請求項の数 10 (全 14 頁)

(21) 出願番号	特願2015-526741 (P2015-526741)	(73) 特許権者	595020643
(86) (22) 出願日	平成25年8月9日(2013.8.9)		クアルコム・インコーポレイテッド
(65) 公表番号	特表2015-530798 (P2015-530798A)		QUALCOMM INCORPORATED
(43) 公表日	平成27年10月15日(2015.10.15)		ED
(86) 国際出願番号	PCT/US2013/054416		アメリカ合衆国、カリフォルニア州 92
(87) 国際公開番号	W02014/026158		121-1714、サン・ディエゴ、モア
(87) 国際公開日	平成26年2月13日(2014.2.13)		ハウス・ドライブ 5775
審査請求日	平成28年7月21日(2016.7.21)	(74) 代理人	100108855
(31) 優先権主張番号	13/570,908		弁理士 蔵田 昌俊
(32) 優先日	平成24年8月9日(2012.8.9)	(74) 代理人	100109830
(33) 優先権主張国	米国 (US)		弁理士 福原 淑弘
		(74) 代理人	100158805
			弁理士 井関 守三
		(74) 代理人	100194814
			弁理士 奥村 元宏

最終頁に続く

(54) 【発明の名称】 オフ状態の静電容量低減を持つマルチ投入アンテナスイッチ

(57) 【特許請求の範囲】

【請求項1】

装置であって、

アンテナに接続された複数の第1のステージスイッチと、および、

前記複数の第1のステージスイッチに接続された複数の第2のステージスイッチと、各第1のステージスイッチは、前記アンテナに接続された複数の切り替え可能な信号パスを形成するために1つ以上の第2のステージスイッチに直列に接続され、前記複数の切り替え可能な信号パスは、選択された第2のステージスイッチに接続された選択された第1のステージスイッチより低いブレイクダウン電圧を有する前記選択された第2のステージスイッチを含む少なくとも1つの低い電力信号パスを有する、

を備え、

前記複数の第1のステージスイッチおよび前記複数の第2のステージスイッチの各々は、回路のサイズおよび費用を低減するためにより低いブレイクダウン電圧のデバイスを用いるように、および前記装置の全てのオフ状態の静電容量を低減するように構成される、装置。

【請求項2】

前記複数の切り替え可能な信号パスは、1つ以上の静電容量値を有する1つ以上の接続されていない信号パスを備え、それぞれ、前記1つ以上の静電容量値は、前記装置の全てのオフ状態の静電容量を形成するために結合する、請求項1に記載の装置。

【請求項3】

前記第 1 のおよび第 2 のステージスイッチと連結するスイッチ制御信号を生成するように構成されたコントローラをさらに備え、前記スイッチ制御信号は、選択された切り替え可能な信号パスを有効または無効にするためのいずれかの前記第 1 のおよび第 2 のステージスイッチをオープンまたはクローズするように構成される、請求項 1 に記載の装置。

【請求項 4】

前記コントローラは、受信されたアンテナ制御信号から前記スイッチ制御信号を生成するように構成される、請求項 3 に記載の装置。

【請求項 5】

前記第 1 のおよび第 2 のステージスイッチは、PMOS または NMOS トランジスタを備えるセットから選択された 1 つ以上のトランジスタを含む統合スイッチとして構成される、請求項 1 に記載の装置。

10

【請求項 6】

前記複数の第 1 のステージスイッチは、2 つの第 2 のステージスイッチグループに直列に接続された 2 つの第 1 のステージスイッチを含み、それぞれ、各第 2 のステージスイッチグループは、選択された一部の第 2 のステージスイッチを有する、請求項 1 に記載の装置。

【請求項 7】

前記装置の全てのオフ状態の静電容量は、前記装置の複数のスイッチブランチに関連する静電容量値の並列静電容量の組み合わせから決定され、各スイッチブランチは、1 つ以上の第 2 のステージスイッチに直列に接続された選択された第 1 のステージスイッチを有する、請求項 1 に記載の装置。

20

【請求項 8】

複数の第 1 のステージスイッチと、複数の第 2 のステージスイッチとを有するアンテナスイッチを動作するための方法であって、

第 1 のステージスイッチ制御信号および第 2 のステージスイッチ制御信号を生成することと、

前記第 1 のステージスイッチ制御信号を使用してアンテナに接続された前記複数の第 1 のステージスイッチを切り替えることと、および、

前記第 2 のステージスイッチ制御信号を使用して前記複数の第 1 のステージスイッチに接続された前記複数の第 2 のステージスイッチを切り替えることと、各第 1 のステージスイッチは、前記アンテナに接続された複数の切り替え可能な信号パスを形成するために 1 つ以上の第 2 のステージスイッチに直列に接続され、

30

ここにおいて、前記切り替えることは、選択された第 2 のステージスイッチに接続された選択された第 1 のステージスイッチより低いブレイクダウン電圧を有する前記選択された第 2 のステージスイッチを含む少なくとも 1 つの低い電力信号パスを有効にするために前記複数の第 1 のおよび第 2 のステージスイッチを切り替えることを備える、

を備え、

前記複数の第 1 のステージスイッチおよび前記複数の第 2 のステージスイッチの各々は、回路のサイズおよび費用を低減するためにより低いブレイクダウン電圧のデバイスを用いるように、および前記アンテナスイッチの全てのオフ状態の静電容量を低減するように構成される、方法。

40

【請求項 9】

前記生成することは、アンテナ制御信号から前記第 1 のステージスイッチ制御信号および前記第 2 のステージスイッチ制御信号を生成することを備える、請求項 8 に記載の方法。

【請求項 10】

1 つ以上の静電容量値を有する 1 つ以上の接続されていない信号パスを形成するために前記複数の第 1 のおよび第 2 のステージスイッチを切り替えることをさらに備え、それぞれ、前記 1 つ以上の静電容量値は、前記複数の第 1 のおよび第 2 のステージスイッチに関連する全てのオフ状態の静電容量を形成するために結合する、請求項 8 に記載の方法。

50

【発明の詳細な説明】

【技術分野】

【0001】

【0001】 本願は、一般に電子回路のオペレーションおよび設計に、特に、アンテナスイッチのオペレーションおよび設計に関する。

【背景技術】

【0002】

【0002】 従来のマルチ投入アンテナスイッチ (multi-throw antenna switch) は、アンテナから多様な電力レベルを有する複数の信号を受信し、および適切な処理電気回路にこれらの信号を向ける (direct) ように動作する。アンテナスイッチの投入 (antenna switch throw) の数を増加することは、オフ状態のスイッチパスに現われる大きい静電容量が原因で、高周波で高投入ロス (high insertion loss) を招く。加えて、各スイッチパスは異なる信号電力レベルに対処することが必要であり得るが、従来のアンテナスイッチにおけるすべてのスイッチは、最も高く予期された信号電力に対処するように典型的に設計され、その結果費用および回路のサイズを増加させている。

10

【0003】

【0003】 よって、マルチ投入アンテナスイッチが、縮小された回路のサイズおよびより低い費用、低投入ロス、のためのオフ状態の静電容量低減 (off-state capacitance reduction) を有することを開示される。

20

【図面の簡単な説明】

【0004】

【0004】 ここに説明される前述の態様は、添付図面と合わせられた場合、下記の説明を参照することによりいっそう容易に明確になるであろう。

【図1】 【0005】 図1は、従来のマルチ投入アンテナスイッチを示す。

【図2】 【0006】 図2は、新規のマルチ投入アンテナスイッチの例示的な実施形態を示す。

【図3】 【0007】 図3は、その関連するオフ状態の静電容量を図示するスイッチの例示的な実施形態を示す。

【図4】 【0008】 図4は、コントローラの例示的な実施形態を示す。

【図5】 【0009】 図5は、オフ状態の静電容量を低減するための多数のステージを有するアンテナスイッチを動作するための例示的な方法を示す。

30

【図6】 【0010】 図6は、アンテナスイッチ装置の例示的な実施形態を示す。

【発明を実施するための形態】

【0005】

【0011】 添付図面と結びついて以下に記載される詳細な説明は、本発明の例示的な実施形態の説明として意図され、本発明が実現されることができると解釈されるべきではない。この説明の全体にわたって使用される「例示的 (exemplary)」という用語は、「例、実例、または例示としての役割を果たすこと」を意味し、他の例示的な実施形態に対して、必ずしも好ましいまたは有利であると解釈されるべきではない。詳細な説明は、本発明の例示的な実施形態の全体的な理解を提供することの目的で特定の詳細を含む。本発明の例示的な実施形態は、これらの特定の詳細なしに実現され得ることが当業者に明確であろう。いくつかの実例では、ここに表される例示的な実施形態の新規性を曖昧にすることを避けるために、周知の構造およびデバイスがブロック図の形式で示される。

40

【0006】

【0012】 図1は、従来のマルチ投入アンテナスイッチ100を示す。アンテナスイッチ100は、アンテナ104に接続する各スイッチを持っている複数の個別のスイッチ102から成る。スイッチ102の出力106は、多様な送信および受信回路 (示されていない) に接続される。

【0007】

50

[0013] オペレーションの間、複数のスイッチのうちの1つは、複数の送信/受信回路のうちの1つへのアンテナ104の接続を有効にする(enable)ことを可能にされるまたは「クローズされる(closed)」。スイッチ100の構成に起因して、すべての個別のスイッチ102は、一般にシステムにおいて最も高い電力に対処するように設計される。これは、各スイッチが、大型および高価でありうる高いブレイクダウン電圧のデバイス(high breakdown voltage device)を備えることを意味する。そのうえ、あるスイッチがクローズする場合、残りのオープンなスイッチはオフ状態の静電容量を提供する。スイッチ102の並列な構成は、オープンなスイッチ102のオフ状態の静電容量が、アンテナポートに現われる大きい静電容量値を形成するために結合することになり、従って大きい投入口をもたらしことを意味する。

10

【0008】

[0014] 図2は、新規のマルチ投入アンテナスイッチ200の例示的な実施形態を示す。例えば、スイッチ200は、ワイヤレスデバイスにおける使用に適している。スイッチ200は、アンテナ202と連結する第1のステージスイッチ224および第1のステージスイッチ224と連結する第2のステージスイッチ226を備え、アンテナ202に接続された複数の信号パスを形成する。例えば、第1のステージスイッチ224は、アンテナ202と連結する3つの第1のステージスイッチ(SW_CM1、SW_CM2、SW_CM3)を備える1つの第1のステージスイッチグループ204を含む。第2のステージスイッチ226は、各グループにおいて複数の第2のステージスイッチを備える、3つの第2のステージスイッチグループ206、208、および210を含む。例えば、グループ206は、スイッチ(SW_CM1_1、SW_CM1_2、SW_CM1_3、SW_CM1_4)を含み、グループ208は、スイッチ(SW_CM2_1、SW_CM2_2、SW_CM2_3)を含み、およびグループ210は、スイッチ(SW_CM3_1、SW_CM3_2、SW_CM3_3)を含む。

20

【0009】

[0015] 第2のステージスイッチグループ206、208、および210は、それぞれ、多様な送信および受信回路(示されていない)に接続された、スイッチ出力212、214、および216を有する。例示的な実施形態では、第2のステージスイッチグループ206、208、および210におけるスイッチは、アンテナポート228でオフ状態の静電容量を低減するために、第1のステージスイッチグループ204中のスイッチと連結する。スイッチ200が、いずれかの数の第2のステージスイッチグループと連結するいずれかの数の第1のステージスイッチグループを含むように構成され得ることは認識されるべきである。

30

【0010】

[0016] スイッチ200を制御するように動作するコントローラ218が提供される。コントローラ218は、ベースバンドプロセッサのように、ワイヤレスデバイスにおける別のエンティティからアンテナ制御信号220を受信する。例示的な実施形態では、1つのステージ1の制御信号(Stage1_g1)および3つのステージ2の制御信号(Stage2_g1、Stage2_g2、およびStage2_g3)を備える4つの制御信号を生成するために、アンテナ制御信号220はコントローラ218によって使用される。4つの制御信号は、図2において図示されるように、スイッチグループ204、206、208、および210におけるスイッチのオペレーションを制御するために接続される。例示的な実施形態では、各制御信号は、多数の制御ビットを備え、各ビットは、対応するスイッチをオープンするまたはクローズするために使用される。コントローラ218は、スイッチ200において使用され得るいずれかの数のスイッチグループを制御するためにいずれかの数の制御信号を生成するように構成されることができる。

40

【0011】

[0017] オペレーションの間、1つ以上の第1のステージスイッチ224および1つ以上の第2のステージスイッチ226は、ワイヤレスデバイスにおける選択された送信/受信電気回路とアンテナ202間の1つ以上の信号パスを提供するために、有効にされるま

50

たは「クローズにされる。」スイッチ200の構成に起因して、残りのオフ状態の（またはオープン）のスイッチは、低投入口を有するスイッチ200をもたらし低減された静電容量値を提供するために結合する。例えば、第2のステージスイッチ226および第1のステージスイッチ224の選択されたスイッチがクローズされる場合、接続されていない信号パスにおける残りのオープンなスイッチは、図1において示される従来のマルチ投入アンテナスイッチより低いオフ状態の静電容量を提供するために結合する。例えば、パス222におけるスイッチSW__CM1およびSW__CM1__1がクローズされ、残りのスイッチがオープンである場合、アンテナポート228における全てのオフ状態の静電容量は、以下に示される並列な組み合わせの静電容量A、BおよびCから判断されることができ、それは、(A//B//C)として表現されることができる。

10

【0012】

A (SW__CM1__XXと呼ばれる)並列に結合されるグループ206における残りのクローズされていないスイッチの静電容量

B (SW__CM2__XXと呼ばれる)並列に結合されるグループ208のクローズされていないスイッチの静電容量に直列に(in series)結合される第1のステージスイッチSW__CM2の静電容量

C (SW__CM3__XXと呼ばれる)グループ210のクローズされていないスイッチの静電容量に直列に結合される第1のステージスイッチSW__CM3の静電容量。

【0013】

[0018] 上記のオフ状態の静電容量の結果は、従来のスイッチ100より低く、それは、 $[(n-1) * (SW_CMX_XX)]$ に等しいオフ状態の静電容量を有し、この場合、nは、アンテナポートにおけるスイッチの投入の総数に等しい。多様な例示的な実施形態では、スイッチ200の構成は、SP14Tまたは16Tのような、大きい数のスイッチの投入を有するアンテナスイッチに拡張(extended to)されることができる。

20

【0014】

[0019] 例示的な実施形態では、第1のステージスイッチグループ204における個別のスイッチは、システムにおいて最も高い電力に対処するように設計され、それは、第1のステージスイッチグループ204における各スイッチが高いブレイクダウン電圧のデバイスを備えることを意味する。しかしながら、第2のステージスイッチグループ206、208、および210は、さらなる効率性のための高いブレイクダウン電圧(高い電力)と低いブレイクダウン電圧(低い電力)のデバイスの両方を備える。例えば、第2のステージスイッチグループ206におけるスイッチは、高い電力信号パスと連結する出力212を有し、それゆえに高いブレイクダウン電圧のデバイスを備える。しかしながら、第2のステージスイッチグループ208、210におけるスイッチは、低い電力信号パスと連結する出力214、216を有し、それゆえにこれらのスイッチが、サイズおよび費用を節約するための低いブレイクダウン電圧のデバイスを備える。従って、少なくとも1つのスイッチのグループ(すなわち、この例におけるグループ208および210)が、典型的に従来のアンテナスイッチにおいて使用される大きいデバイスよりも、より低い費用、およびより小さいサイズを有する低いブレイクダウン電圧のデバイスで構成することができるため、スイッチ200は、低減された費用および回路のサイズを提供する。スイッチ200によって形成される信号パスの予期される信号電力に基づいて、高いブレイクダウン電圧および低いブレイクダウン電圧のデバイスの任意の組み合わせが、スペースを節約し、費用を低減するために用いられることができることは認識されるべきである。

30

40

【0015】

[0020] それゆえに、一般に、スイッチ200の全てのオフ状態の静電容量は、複数のスイッチブランチのうちのオープンなスイッチに関連する静電容量の並列静電容量の組み合わせ(parallel capacitance combination)から決定され、そこで、各スイッチブランチは、第1のステージスイッチおよび第1のステージスイッチが直列に接続される、すべての第2のステージスイッチを含む。例えば、スイッチブランチ230は、第1のステージスイッチ(SW__CM3)および第2のステージスイッチ(SW__CM3__1、SW__

50

CM3__2、SW__CM3__3)を含む。従って、各スイッチブランチは、そのオープンなスイッチから決定される静電容量を有し、スイッチの全てのオフ状態の静電容量は、すべてのスイッチブランチに関連する静電容量の並列静電容量の組み合わせから決定される。

【0016】

[0021] そのうえ、1つ以上のスイッチが、より低い電力信号のために設計された低いブレイクダウン電圧のデバイス(すなわち、1.8Vデバイス)を備え得るため、スイッチ200のサイズおよび費用は、低減されることができる。加えて、より低いブレイクダウン電圧のデバイスは、より高いブレイクダウン電圧のデバイスより低いオン抵抗(on-resistance: R_{on})も提供する。従って、スイッチグループが、より低いブレイクダウン電圧のデバイスを使用するように設計されるにつれ、スイッチ200のオフ状態の静電容量はさらに低減される。

10

【0017】

[0022] 例示的な実施形態では、アンテナスイッチ200は、1つの第1のステージスイッチグループ(204)および3つの第2のステージスイッチグループ(206、208、および210)を備える。しかしながら、他の配列が、多様な実施形態の範囲内で可能であり、これらの他の配列は、さらに低いオフ状態の静電容量でさえも提供し得ることは認識されるべきである。それゆえに、スイッチの構成は、図2に示される例示的な実施形態に限定されるわけではなく、任意の数の第2のステージスイッチグループに接続されたいずれかの数の第1のステージスイッチグループを提供するように設計または構成され得る。各構成は、サイズおよび費用を低減するために適切な低いブレイクダウン電圧のデバイスを用いるように、およびスイッチのオフ状態の静電容量を低減するように設計されることができる。

20

【0018】

[0023] 従って、多様な例示的な実施形態では、新規のマルチ投入アンテナスイッチ200は、従来のアンテナスイッチと比較される場合、オフ状態の静電容量を低減する。そのうえ、スイッチ200の構成は、低投入口が達成しやすいよう、より低いブレイクダウン電圧のデバイスを使用する低い電力パスを提供し、追加的なオフ状態の静電容量低減と低減された回路のサイズおよび費用を提供する。

【0019】

[0024] 図3は、その関連するオフ状態の静電容量を図示するスイッチ300の例示的な実施形態を示す。例えば、スイッチ300は、統合スイッチ(integrated switch)を形成するために集積回路をインプリメントされるNMOSまたはPMOSトランジスタのうちの1つを備える。従って、スイッチ300は、図2に示されるアンテナスイッチ200におけるいずれかのスイッチとしての使用に適している。スイッチ300は、スイッチ端末間に現われる複数の内部静電容量(internal capacitance)を備える。例えば、静電容量 C_{DS} は、ソースとドレイン端末間に現われる。スイッチ300の全てのオフ状態の静電容量(C_{TOTAL})は、内部静電容量の組み合わせから決定される。従って、アンテナスイッチ200のいずれかの個別のスイッチの全てのオフ状態の静電容量(C_{TOTAL})は、下記の式から決定されることができる。

30

40

【0020】

$$C_{TOTAL} = C_{DS} + (C_{GS} // C_{GD}) + (C_{BS} // C_{DB})$$

[0025] 図4は、コントローラ218の例示的な実施形態を示す。コントローラ218は、すべてがバス408を介して通信するために連結された、ステージ2のインタフェース406、ステージ1のインタフェース404、プロセッサ402、を備える。コントローラ218は、単に1つのインプリメンテーションに過ぎず、他のインプリメンテーションが可能であることは認識されるべきである。

【0021】

[0026] ステージ1のインタフェース404は、コントローラ218が、オープンであるまたはクローズされるステージ1のスイッチを選択することを可能にするように動作す

50

る、ハードウェアおよび/またはハードウェア実行ソフトウェア (hardware executing software) を備える。例えば、ステージ 1 のインタフェース 404 は、1 つ以上のステージ 1 のスイッチをそれぞれ制御するために使用されることができる 1 つ以上のビットを備える Stage 1_g1 の制御信号を出力する。ステージ 1 のインタフェース 404 は、バス 408 を使用してプロセッサ 402 と通信することによって制御される。

【0022】

[0027] ステージ 2 のインタフェース 406 は、コントローラ 218 が、オープンであるまたはクローズされるステージ 2 のスイッチを選択することを可能にするように動作する、ハードウェアおよび/またはハードウェア実行ソフトウェアを備える。例えば、ステージ 2 のインタフェース 406 は、ステージ 2 のスイッチの 1 つ以上のグループをそれぞれ制御するために使用されることができる 1 つ以上のビットを備える、Stage 2_g1、Stage 2_g2、および Stage 2_g3 の制御信号を出力する。ステージ 2 のインタフェース 406 は、バス 408 を使用するプロセッサ 402 のオペレーションによって制御される。

10

【0023】

[0028] プロセッサ 402 は、CPU、プロセッサ、ゲートアレイ、ハードウェア論理、メモリ要素、および/またはハードウェア実行ソフトウェアのうちの少なくとも 1 つを備える。例えば、プロセッサ 402 は、内部メモリに記憶されるまたは取り込まれる命令を実行する。プロセッサ 402 は、ここに説明される機能を実施するためにステージ 1 のインタフェース 404 およびステージ 2 のインタフェース 406 を制御するように動作する。

20

【0024】

[0029] 例示的な実施形態では、プロセッサ 402 は、ベースバンドプロセッサまたは他のエンティティからアンテナ制御信号 220 を受信し、オープンなスイッチに関連するオフ状態の静電容量を低減する間、所望のアンテナ信号パスを有効にするための適切なスイッチをクローズするおよびオープンするためにスイッチ制御信号 Stage 1_g1、Stage 2_g1、Stage 2_g2、および Stage 2_g3 を生成するためのアンテナ制御信号 220 に基づいてステージ 1 のインタフェース 404 およびステージ 2 のインタフェース 406 を制御するように動作する。コントローラ 218 は図 4 に示されるインプリメンテーションに限定されるわけではなく、他の例示的な実施形態では、コントローラは、アンテナスイッチの構成に基づいて必要に応じて多少 (more or less) ステージ 1 およびステージ 2 の制御信号を生成するように動作することは認識されるべきである。

30

【0025】

[0030] 図 5 は、オフ状態の静電容量を低減するための多数のステージを有するアンテナスイッチを動作するための例示的な方法 500 を示す。例えば、方法 500 は、図 2 に示されるコントローラ 218 による使用に適している。1 つのインプリメンテーションでは、プロセッサ 402 は、以下に説明される機能を実施するためにコントローラ 218 を制御するための命令またはコードの 1 つ以上のセットを実行する。

【0026】

[0031] ブロック 502 において、アンテナ制御信号は、プロセッサ 402 によって受信される。例示的な実施形態では、プロセッサ 402 は、デバイスにおけるベースバンドプロセッサからアンテナ制御信号 220 を受信する。プロセッサ 402 は、アンテナ 200 の各ステージおよびスイッチグループのためのスイッチの制御設定を決定するためにアンテナ制御信号を使用する。例えば、アンテナ制御信号は、どの信号パスが有効および/または無効であるべきかを示す。プロセッサ 402 は、適切な信号パスをアクティベートするおよび非アクティベートするために、適切なステージ 1 およびステージ 2 のスイッチを有効にするおよび/または無効にするために、ステージ 1 のインタフェース 404 およびステージ 2 のインタフェース 406 と通信する。

40

【0027】

50

[0032] ブロック504において、ステージ1の制御信号は、適切なステージ1のスイッチをオープンするまたはクローズするために生成される。例えば、ステージ1のインタフェース404は、ステージ1のスイッチを有効/無効にするために連結するStage1_g1信号を出力する。

【0028】

[0033] ブロック506において、ステージ2の制御信号は、適切なステージ2のスイッチをオープンするまたはクローズするために生成される。例えば、ステージ2のインタフェース406は、ステージ2のスイッチを有効/無効にするために連結するStage2_g1、Stage2_g2、およびStage2_g3信号を出力する。

【0029】

[0034] それゆえに、方法500は、低減された投入ロスを提供するためのオフ状態の静電容量を低減するために多数のステージを有するアンテナスイッチを動作させるための方法を提供する。方法500は、単に1つのインプリメンテーションに過ぎず、方法500のオペレーションは、他のインプリメンテーションが可能であるように、再配置されるまたはそうでなければ修正され得ることは認識されるべきである。

【0030】

[0035] 図6は、アンテナスイッチ装置600の例示的な実施形態を示す。例えば、装置600は、図2に示されるアンテナスイッチ200としての使用に適している。ある態様では、スイッチ装置600は、ここに説明される機能を提供するように構成された1つ以上のモジュールによってインプリメントされる。例えば、ある態様では、各モジュールは、ハードウェアおよび/またはハードウェア実行ソフトウェアを備える。

【0031】

[0036] 装置600は、第1のステージスイッチ制御信号および第2のステージスイッチ制御信号を生成するための手段(602)を備える第1のモジュールを備え、それは、ある態様ではコントローラ218を備える。

【0032】

[0037] 装置600は、第1のステージスイッチ制御信号を使用してアンテナに接続された複数の第1のステージスイッチを切り替えるための手段(604)を備える第2のモジュールも備え、それは、ある態様では1つ以上の第1のステージスイッチ224を備える。

【0033】

[0038] 装置600は、第2のステージスイッチ制御信号を使用して複数の第1のステージスイッチに接続された複数の第2のステージスイッチを切り替えるための手段(606)を備える第3のモジュールも備え、各第1のステージスイッチは、アンテナに接続された複数の切り替え可能な信号パスを形成するために1つ以上の第2のステージスイッチに直列に接続され、それは、態様では、1つ以上の第2のステージスイッチ226を備える。

【0034】

[0039] 当業者は、情報および信号が、様々な異なる技術および技法のうちのいずれを使用しても表され得る、または処理され得ることを理解するであろう。例えば、上の説明の全体にわたって言及され得るデータ、命令、コマンド、情報、信号、ビット、シンボル、およびチップは、電圧、電流、電磁波、磁場または磁性粒子、光場または光粒子、あるいはそれらの任意の組み合わせによって表され得る。トランジスタタイプおよび技術は、同じ結果を達成するために置き換えられ得る、再配列され得る、またはそうでなければ修正され得ることはさらに認識される。例えば、PMOSトランジスタを用いて示される回路は、NMOSトランジスタを使用するために修正され得、その反対も同様である。従って、ここに開示された増幅器は、様々なトランジスタタイプおよび技術を使用して実現され得、図面において図示されるそれらのトランジスタタイプおよび技術に限定されるわけではない。例えば、BJT、GaAs、MOSFET、または任意の他のトランジスタ技術のようなトランジスタタイプが使用され得る。

10

20

30

40

50

【 0 0 3 5 】

[0040] 当業者はさらに、ここに開示された実施形態と結びついて説明された多様な実例となる論理ブロック、モジュール、回路、およびアルゴリズムステップが、電子ハードウェア、コンピュータソフトウェア、または両方の組み合わせとしてインプリメントされ得ることを理解するであろう。ハードウェアおよびソフトウェアのこの互換性をはっきりと図示するために、多様な実例となるコンポーネント、ブロック、モジュール、回路、およびステップが、概してそれらの機能性の観点から上記で説明されている。そのような機能性が、ハードウェアまたはソフトウェアとしてインプリメントされるかどうかは、全システムに課される特定のアプリケーションおよび設計制約次第である。当業者は、各特定のアプリケーションに関する様々な方法で、説明された機能性をインプリメントし得るが、そのようなインプリメンテーションの決定は、本発明の例示的な実施形態の範囲から逸脱を引き起こすとして解釈されるべきでない。

10

【 0 0 3 6 】

[0041] ここに開示された実施形態と結びついて説明された多様な実例となる論理ブロック、モジュール、および回路は、汎用プロセッサ、デジタル信号プロセッサ(DSP)、特定用途向け集積回路(ASIC)、フィールドプログラマブルゲートアレイ(FPGA)または他のプログラマブル論理デバイス、ディスクリートゲートまたはトランジスタ論理、ディスクリートハードウェアコンポーネント、あるいはここに説明された機能を実施するように設計されるそれらの任意の組み合わせでインプリメントまたは実施され得る。汎用プロセッサは、マイクロプロセッサであり得るが、代替として、このプロセッサは、任意の従来プロセッサ、コントローラ、マイクロコントローラ、またはステートマシンであり得る。プロセッサはまた、コンピューティングデバイスの組み合わせ、例えば、DSPとマイクロプロセッサ、複数のマイクロプロセッサ、DSPコアと関連した1つ以上のマイクロプロセッサ、または任意の他のそのような構成との組み合わせ、としてインプリメントされ得る。

20

【 0 0 3 7 】

[0042] ここに開示された実施形態と結びついて説明されたアルゴリズムまたは方法のステップは、ハードウェアにおいて、プロセッサによって実行されるソフトウェアモジュールにおいて、またはそれら2つの組み合わせにおいて、直接具現化され得る。ソフトウェアモジュールは、ランダムアクセスメモリ(RAM)、フラッシュメモリ、読み出し専用メモリ(ROM)、電気的プログラマブルROM(EPROM)、電気的消去可能プログラマブルROM(EEPROM)、レジスタ、ハードディスク、リムーバブルディスク、CD-ROM、または当該技術分野において既知である任意の他の形式の記憶媒体において存在し得る。例示的な記憶媒体は、プロセッサが、記憶媒体から情報を読み取り、および記憶媒体に情報を書き込むことができるようなプロセッサと連結する。代替として、記憶媒体は、プロセッサに一体化され得る。プロセッサおよび記憶媒体は、ASICに存在し得る。ASICは、ユーザ端末に存在し得る。代替として、プロセッサおよび記憶媒体は、ユーザ端末におけるディスクリートコンポーネントとして存在し得る。

30

【 0 0 3 8 】

[0043] 1つ以上の例示的な実施形態では、説明された機能は、ハードウェア、ソフトウェア、ファームウェア、またはそれらの任意の組み合わせでインプリメントされ得る。ソフトウェアでインプリメントされる場合、その機能は、コンピュータ読み取り可能な媒体における1つ以上の命令またはコードとして記憶または送信され得る。コンピュータ読み取り可能な媒体は、1つの場所から別の場所へのコンピュータプログラムの転送を容易にする任意の媒体を含む通信媒体および非一時的なコンピュータ記憶媒体の両方を含む。非一時的な記憶媒体は、コンピュータによってアクセスされることができる任意の利用可能な媒体であり得る。限定ではなく例示として、そのようなコンピュータ読み取り可能な媒体は、RAM、ROM、EEPROM(登録商標)、CD-ROMまたは他の光ディスク記憶装置、磁気ディスク記憶装置または他の磁気記憶デバイス、あるいは、命令またはデータ構造の形式で所望のプログラムコードを搬送または記憶するために使用されること

40

50

ができ、コンピュータによってアクセスされることができる任意の他の媒体を備えることができる。また、任意の接続は厳密に、コンピュータ読み取り可能な媒体と称される。例えば、ソフトウェアが、ウェブサイト、サーバ、または同軸ケーブル、光ファイバケーブル、ツイストペア、デジタル加入者線(DSL)、または赤外線、無線、およびマイクロ波のようなワイヤレス技術を使用する他の遠隔ソースから送信される場合、同軸ケーブル、光ファイバケーブル、ツイストペア、DSL、または赤外線、無線、およびマイクロ波のようなワイヤレス技術は、媒体の定義に含まれる。ここで使用される場合、ディスク(disk)およびディスク(disc)は、コンパクトディスク(CD)、レーザーディスク(登録商標)、光ディスク、デジタル多用途ディスク(DVD)、フロッピー(登録商標)ディスク、およびブルーレイ(登録商標)ディスクを含み、この場合ディスク(disk)は大抵、データを磁氣的に再生する一方、ディスク(disc)はレーザでデータを光学的に再生する。上記の組み合わせも、コンピュータ読み取り可能な媒体の範囲内に含まれるべきである。

10

【0039】

[0044] 開示された例示的な実施形態の説明は、いかなる当業者であっても本発明を製造または使用することを可能にするように提供される。これらの例示的な実施形態への多様な修正は、当業者に容易に明確であることとなり、ここに定義された一般的な原理は、本発明の趣旨または範囲から逸脱することなく、他の実施形態に適用され得る。従って、本発明は、ここに示された例示的な実施形態に限定されることは意図されず、ここに開示された原理および新規の特徴と一致する最も広い範囲を認められるべきである。

20

以下に、本願出願の当初の特許請求の範囲に記載された発明を付記する。

[C1]

装置であって、

アンテナに接続された複数の第1のステージスイッチと、および、

前記複数の第1のステージスイッチに接続された複数の第2のステージスイッチと、各第1のステージスイッチは、前記アンテナに接続された複数の切り替え可能な信号パスを形成するために1つ以上の第2のステージスイッチに直列に接続される、を備える、上記装置。

[C2]

前記複数の切り替え可能な信号パスは、選択された第2のステージスイッチに接続された選択された第1のステージスイッチより低いブレイクダウン電圧を有する前記選択された第2のステージスイッチを含む少なくとも1つの低い電力信号パスを有する、C1に記載の装置。

30

[C3]

前記複数の切り替え可能な信号パスは、1つ以上の静電容量値を有する1つ以上の接続されていない信号パスを備え、それぞれ、前記1つ以上の静電容量値は、前記装置の全てのオフ状態の静電容量を形成するために結合する、C1に記載の装置。

[C4]

前記第1のおよび第2のステージスイッチと連結するスイッチ制御信号を生成するように構成されたコントローラをさらに備え、前記スイッチ制御信号は、選択された切り替え可能な信号パスを有効または無効にするためのいずれかの前記第1のおよび第2のステージスイッチをオープンまたはクローズするように構成される、C1に記載の装置。

40

[C5]

前記コントローラは、受信されたアンテナ制御信号から前記スイッチ制御信号を生成するように構成される、C4に記載の装置。

[C6]

前記第1のおよび第2のステージスイッチは、PMOSおよびNMOSトランジスタを備えるセットから選択された1つ以上のトランジスタを含む統合スイッチとして構成される、C1に記載の装置。

[C7]

50

前記複数の第1のステージスイッチは、2つの第2のステージスイッチグループに直列に接続された2つの第1のステージスイッチを含み、それぞれ、各第2のステージスイッチグループは、選択された一部の前記第2のステージスイッチを有する、C1に記載の装置。

[C8]

前記装置の全てのオフ状態の静電容量は、前記装置の複数のスイッチブランチに関連する静電容量値の並列静電容量の組み合わせから決定され、各スイッチブランチは、1つ以上の第2のステージスイッチに直列に接続された選択された第1のステージスイッチを有する、C1に記載の装置。

[C9]

方法であって、

第1のステージスイッチ制御信号および第2のステージスイッチ制御信号を生成することと、

前記第1のステージスイッチ制御信号を使用してアンテナに接続された複数の第1のステージスイッチを切り替えることと、および、

前記第2のステージスイッチ制御信号を使用して前記複数の第1のステージスイッチに接続された複数の第2のステージスイッチを切り替えることと、各第1のステージスイッチは、前記アンテナに接続された複数の切り替え可能な信号パスを形成するために1つ以上の第2のステージスイッチに直列に接続される、
を備える、上記方法。

[C10]

前記生成することは、アンテナ制御信号から前記第1のステージスイッチ制御信号および前記第2のステージスイッチ制御信号を生成することを備える、C9に記載の方法。

[C11]

選択された第2のステージスイッチに接続された選択された第1のステージスイッチより低いブレイクダウン電圧を有する前記選択された第2のステージスイッチを含む少なくとも1つの低い電力信号パスを有効にするために前記複数の第1のおよび第2のステージスイッチを切り替えることをさらに備える、C9に記載の方法。

[C12]

1つ以上の静電容量値を有する1つ以上の接続されていない信号パスを形成するために前記複数の第1のおよび第2のステージスイッチを切り替えることをさらに備え、それぞれ、前記1つ以上の静電容量値は、前記複数の第1のおよび第2のステージスイッチに関連する全てのオフ状態の静電容量を形成するために結合する、C9に記載の方法。

[C13]

装置であって、

第1のステージスイッチ制御信号および第2のステージスイッチ制御信号を生成するための手段と、

前記第1のステージスイッチ制御信号を使用してアンテナに接続された複数の第1のステージスイッチを切り替えるための手段と、および、

前記第2のステージスイッチ制御信号を使用して前記複数の第1のステージスイッチに接続された複数の第2のステージスイッチを切り替えるための手段と、各第1のステージスイッチは、前記アンテナに接続された複数の切り替え可能な信号パスを形成するために1つ以上の第2のステージスイッチに直列に接続される、
を備える、上記装置。

[C14]

生成するための前記手段は、アンテナ制御信号から前記第1のステージスイッチ制御信号および前記第2のステージスイッチ制御信号を生成するための手段を備える、C13に記載の装置。

[C15]

選択された第2のステージスイッチに接続された選択された第1のステージスイッチよ

10

20

30

40

50

り低いブレイクダウン電圧を有する前記選択された第2のステージスイッチを含む少なくとも1つの低い電力信号パスを有効にするために前記複数の第1のおよび第2のステージスイッチを切り替えるための手段をさらに備える、C 1 3に記載の装置。

[C 1 6]

1つ以上の静電容量値を有する1つ以上の接続されていない信号パスを形成するために前記複数の第1のおよび第2のステージスイッチを切り替えるための手段をさらに備え、それぞれ、前記1つ以上の静電容量値は、前記装置の全てのオフ状態の静電容量を形成するために結合する、C 1 3に記載の装置。

[C 1 7]

前記第1のおよび第2のステージスイッチは、PMOSおよびNMOSトランジスタを備えるセットから選択された1つ以上のトランジスタを含む統合スイッチとして構成される、C 1 3に記載の装置。

10

【図1】

図1

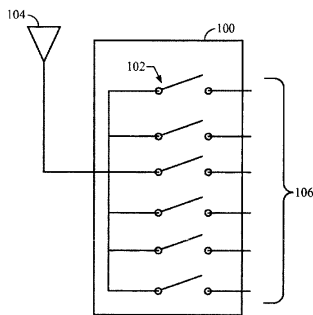


FIG. 1
従前の技術

【図2】

図2

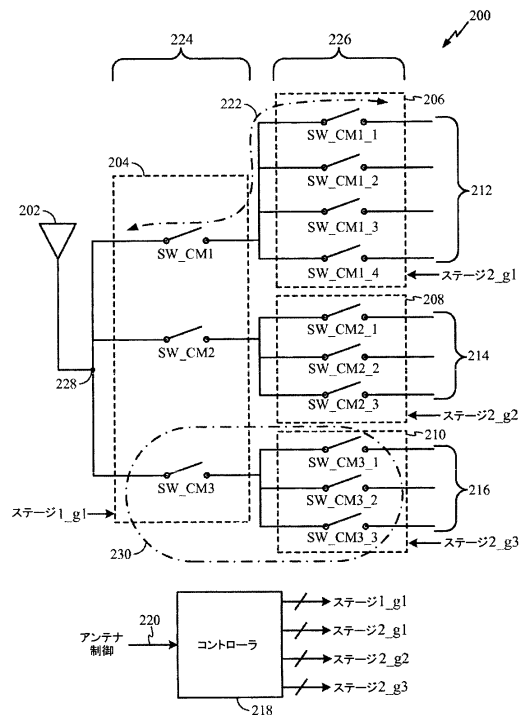


FIG. 2

【図3】

図3

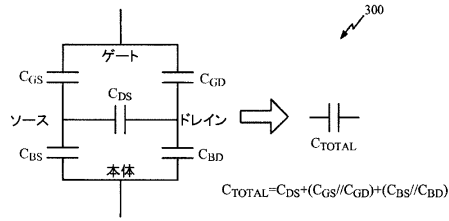


FIG. 3

$$C_{TOTAL} = C_{DS} + (C_{GS} // C_{GD}) + (C_{BS} // C_{BD})$$

【図5】

図5

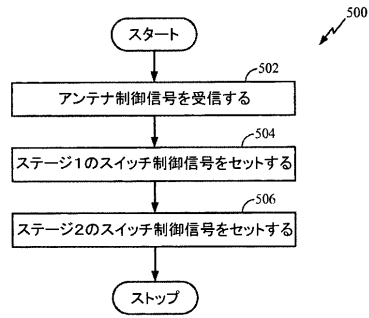


FIG. 5

【図4】

図4

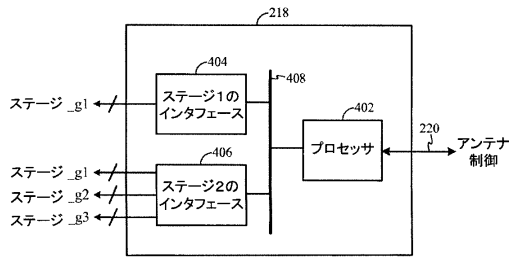


FIG. 4

【図6】

図6

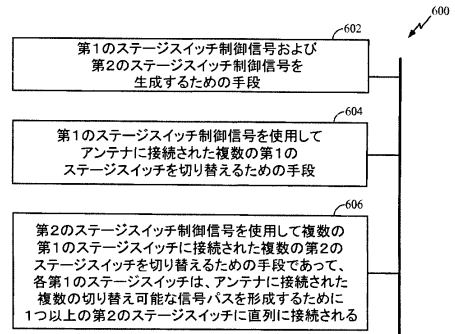


FIG. 6

フロントページの続き

- (72)発明者 アーン、ミンシク
アメリカ合衆国、カリフォルニア州 9 2 1 2 1、サン・ディエゴ、モアハウス・ドライブ 5 7
7 5
- (72)発明者 リ、チャン - ホ
アメリカ合衆国、カリフォルニア州 9 2 1 2 1、サン・ディエゴ、モアハウス・ドライブ 5 7
7 5
- (72)発明者 ハドジクリストス、アリストテレ
アメリカ合衆国、カリフォルニア州 9 2 1 2 1、サン・ディエゴ、モアハウス・ドライブ 5 7
7 5

審査官 木村 貴俊

- (56)参考文献 特開2007 - 129571 (JP, A)
特開2009 - 165077 (JP, A)
特開2005 - 136948 (JP, A)

- (58)調査した分野(Int.Cl., DB名)
H03K17/00 - 17/70
H04B1/38 - 1/58