



## [12] 发明专利申请公开说明书

[21] 申请号 02809133.7

H01L 21/8247 H01L 29/788  
H01L 21/336 H01L 21/28

[43] 公开日 2004 年 6 月 16 日

[11] 公开号 CN 1505841A

[22] 申请日 2002.3.11 [21] 申请号 02809133.7

[30] 优先权

[32] 2001.5.1 [33] US [31] 09/847,810

[86] 国际申请 PCT/US2002/007307 2002.3.11

[87] 国际公布 WO2002/089214 英 2002.11.7

[85] 进入国家阶段日期 2003.10.30

[71] 申请人 爱特梅尔股份有限公司

地址 美国加利福尼亚州

[72] 发明人 B·洛耶克

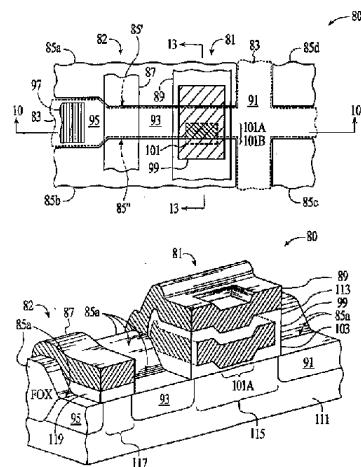
[74] 专利代理机构 上海专利商标事务所  
代理人 李家麟

权利要求书 5 页 说明书 10 页 附图 8 页

[54] 发明名称 具有不对称薄窗的 EEPROM 单元

[57] 摘要

非易失存储单元(80)构成具有电荷传递窗(101)，其电荷传递区(101A)小于用来构制该单元的最小分辨特征尺寸。将窗(101)构成最小特征尺寸，但其布设位置将它部分置于单元的沟道区内，而且部分置于场氧化物垒壁(85b)内。窗(101A)位于沟道区内的部分不跨越沟道宽度到达相对的场氧化物垒壁(85a)，而且不沿着沟道区长度到达相对放置的任一源区(91)和漏区(93)。窗(101)内的氧化物经平坦深蚀刻，露出沟道区的衬底(111)。然后在窗(101)内，包括窗(101B)包围场氧化物垒壁(85b)的部分，生产薄的隧道效应氧化物。



1. 一种存储单元，其特征在于包括：

场氧化物，其隔开两相对的垒壁限定了所述存储单元有源区的宽度极限，所述场氧化物位于第一导电率型衬底上；

扩散入所述衬底并穿过单元沿宽度方向从一个场氧化物垒壁延伸到相对场氧化物垒壁的源区；

扩散入所述衬底并与在其间极限沟道区的所述源区隔开的漏区，所述漏区具有邻接所述相对场氧化物垒壁的相对两端，所述源区与漏区为与所述第一导电率型相对的第二导电率型；

覆盖所述沟道的第一栅氧化物；

从所述沟道内延伸到所选一个所述场氧化物垒壁的氧化物窗区，所述氧化物窗区不延伸到相对的场氧化物垒壁，也不延伸到所述源区与漏区，所述氧化物窗区的特征在于在所述沟道区上限定第一区域的所述第一栅氧化物中有一凹口，并在所述选择的场氧化物垒壁上限定第二区域的所述选择的场氧化物垒壁中有一凹口；

覆盖所述第一栅氧化物的导电浮栅层，所述第一栅氧化物包括所述氧化物窗区的所有所述第一区域。

2. 权项 1 的存储单元，其中所述第一区域整个位于所述沟道区内，不接触所述源区、漏区和所述相对的场氧化物垒壁，所述第一区域内的所述第一栅氧化物区还有对 Fowler-Nordheim 隧道效应传导的厚度。

3. 权项 2 的存储单元，其中所述第一区域内所述第一栅氧化物区的厚度小于 80Å。

4. 权项 1 的存储单元，其中所述氧化物窗区的至少一个尺度由制造所述存储单元所使用的制造设备的最小特征尺寸分辨率限定，所述第一区域包围的面积小于所述氧化物窗的面积。

5. 权项 1 的存储单元，其特征在于在所述导电浮栅层上方还具有至少一块介质膜，在所述至少一块介质膜上还有一导电控制栅层。

6. 权项 5 的存储单元，其中所述窗区在所述浮栅层、所述至少一块介质膜和所述控制栅层中形成一矩形凹槽，所述矩形凹槽以上脊与下平面为特征，所述下平面被所述上脊整个封闭在所述沟道区内的三个侧面上。

7. 权项 5 的存储单元，其中所述导电控制栅层延伸超过所述相对的场氧化物垒壁。

8. 权项 7 的存储单元，其中所述导电浮栅层部分重叠所述相对的场氧化物垒壁。

9. 权项 8 的存储单元，其中所述浮栅层和所述控制栅层均为多晶硅层。

10. 权项 1 的存储单元，其中所述场氧化物垒壁至少部分置入所述衬底。

11. 一种制作存储单元的方法，所述存储单元的电荷传递区尺度小于由用来制作所述存储单元的制造设备所限定的最小加工特征尺寸，其特征在于所述方法包括：

形成场氧化物区，其隔开而相对的垒壁限定了所述存储单元有源区的宽度极限，所述场氧化物形成在第一导电率型衬底上；

在由所述相对的场氧化物垒壁限定的所述有源区内，构建第一栅氧化物；

限定尺度等于所述最小加工特征尺寸的窗区，所述窗区被限定成部分包围所述有源区，而且只部分包围选择的一个所述场氧化物区，所述窗区在所述有源区内的部分是电荷传递区，而窗区在所述选择的场氧化物区内的部分为非电荷传递区；

蚀去在所述限定窗区内的氧化物，被蚀去的量基本上等于所述第一栅氧化物的厚度，从而在所述窗区内露出所述衬底；

在所述窗区的所述电荷传递和非电荷传递两区内生长隧道氧化物，所述隧道氧化物至多为所述第一栅氧化物的一半厚；

在所述第一栅氧化物上敷设第一多晶硅条层，并从一个所述场氧化物垒壁延伸到相对的场氧化物垒壁，所述第一多晶硅条部分重叠所述相对的两个场氧化物垒壁，所述第一多晶硅条完全覆盖所述窗区的所述电荷传递区，使所述电荷传递区不延伸到所述第一多晶硅条的边界；

用至少一块介质膜覆盖所述第一多晶硅条层；

在至少一块介质膜和所述第一多晶硅条层上敷设第二多晶硅条层，所述第二多晶硅条层延伸超过所述两个场氧化物区；

在所述第一和第二多晶硅条层的任一侧作离子注入而构成源区与漏区，所述漏区与源区远离所述窗区的所述电荷传递区。

12. 权项 11 的方法，其中用湿腐蚀步骤除去所述窗区内的氧化物。

13. 权项 11 的方法，其中用干腐蚀步骤除去所述窗区内的氧化物。

14. 权项 11 的方法，其中所述窗区内的氧化物结合应用湿法与干法腐蚀步骤除去。

15. 权项 11 的方法，其用掩膜限定所述窗区。

16. 权项 11 的方法，其中所述隧道氧化物在所述有源区内生长到小于 80Å 厚度。

17. 权项 11 的方法，其中所述第一栅氧化物小于 400Å。

18. 权项 11 的方法，其中所述第一与第二多晶硅条层经各自离子注而导电。

19. 权项 11 的方法，其特征在于还包括在敷设所述第一多晶硅条层之后和形成所述第二栅氧化物之前的阈值调节离子注入，所述阈值调节离子注入施加于所述第一多晶硅条层下面的有源区。

20. 权项 11 的方法，其中所述第二多晶硅条层在所述有源区的长度比所述第一多晶硅条层更大，所述第二多晶硅层条延伸覆盖所述第一多晶硅条一侧并覆盖一部分所述有源区。

21. 权项 18 的方法，其特征在于还包括沿所述第一多晶硅条层不被所述第二多晶硅条层覆盖的一侧注入衬底的离子，所述离子注入先于构建源区、漏区而应用的所述离子注入步骤，所述离子注入比用于所述构建源区、漏区的离子注入步骤的离子浓度更低。

22. 一种制作可按比例缩小的非易失存储单元的方法，其特征在于所述方法包括：

选一个受制于由用来制作所述存储单元的制造设备限定的最小加工特征尺寸的比例系数；

对第一正电源轨应用所述比例系数，并对第二正电源轨应用较大的比例系数，所述第二电源轨约比所述第一电源轨大三倍；

根据所述第二正电源轨值确定电荷传递区尺度，所述电荷传递区尺度小于由用来制作所述存储单元的制造设备所限定的最小加工特征尺寸；

形成场氧化物后，其隔开而相对的垒壁限定所述存储单元有源区的宽度极限，所述场氧化物形成在第一导电率型衬底上；

在所述相对的场氧化物垒壁所限定的所述有源区内，构成第一栅氧化物；

限定尺度等于所述最小加工特征尺寸的窗区，所述窗区被限定为部分包围所述有源区而且只部分地包围选择的一个所述场氧化物区，所述窗区在所述

有源区内的部分是所述电荷传递区，而窗区在所述选择的场氧化物区内的部分为非电荷传递区；

蚀去所述限定的窗区内的氧化物，蚀去的氧化物量基本上等于所述第一栅氧化物的厚度，从而在所述窗区内露出所述衬底；

在所述窗区的所述电荷传递与非电荷传递两个区内生长隧道氧化物，所述隧道氧化物至多为所述第一栅氧化物的一半厚；

在所述第一栅氧化物上敷设第一多晶硅条层并从一个所述场氧化物垒壁延伸到相对的场氧化物垒壁，所述第一多晶硅条部分地重叠所述相对的两个场氧化物垒壁，所述第一多晶硅条完全覆盖所述窗区的所述电荷传递区，使所述电荷传递区不延伸到所述第一多晶硅条的边界，所述第一多晶硅条层的长度尺度与所述存储单元有源区的所述宽度极限正交，所述多晶硅条的长度是所述选择的比例系数的基础；

用第二栅氧化物覆盖所述第一多晶硅条层；

在所述第二栅氧化物和所述第一多晶硅条层上敷设第二多晶硅条层，所述第二多晶硅条层延伸超过所述两个场氧化物区；

在所述第一和第二多晶硅条层的任一侧执行构制源区、漏区的离子注入步骤，所述漏区、源区远离所述窗区的所述电荷传递区。

23. 权项 22 的方法，其中所述窗区用掩膜限定。

24. 权项 22 的方法，其中在所述有源区内生长所述隧道氧化物，厚度小于 80Å。

25. 权项 22 的方法，其中所述第一栅氧化物小于 400Å。

26. 权项 22 的方法，其中所述第一和第二多晶硅条层各自经离子注入而导电。

27. 权项 22 的方法，其特征在于在敷设所述第一多晶硅条层之后且在形成所述第二栅氧化物之前，还包括阈值调节离子注入，所述阈值调节离子注入应用于所述第一多晶硅条层下面的有源区。

28. 权项 22 的方法，其中所述第二多晶硅条层在所述有源区内的长度比所述第一多晶硅条层更大，所述第二多晶硅条层延伸覆盖所述第一多晶硅条一侧并覆盖一部分所述有源区。

29. 权项 28 的方法，其特征在于还包括沿所述第一多晶硅条层来被所述第二多晶硅条层覆盖的一侧注入衬底的离子，所述离子注入先于应用构成源

区、漏区的所述离子注入步骤，所述离子注入比用于构成源区、漏区的所述离子注入步骤的离子浓度更低。

30. 权项 22 的方法，其中构成源区、漏区的所述离子注入步骤是垂直注入，所述源区漏区与所述第一和第二多晶硅条层自对准。

## 具有不对称薄窗的 EEPROM 单元

### 技术领域

本发明涉及浮栅非易失电可改写存储单元，尤其涉及一种超小型存储单元及其制作方法。

### 发明背景

非易失存储单元一般用氧化物窗口对浮栅传递电荷，存储单元的逻辑状态由浮栅电荷的存在与否决定，对浮栅的电荷传递率取决于施加的电压电位、氧化物窗的相对尺寸、氧化物窗厚度等。

非易失存储单元工作时要求不止一个参考离电位  $V_{cc}$  源电压，还要求至少一个高的编程和抹除的电压  $V_{pp}$ ，例如约有 15—16 伏，通常是  $V_{cc}$  幅值的二三倍。由于集成电路器件如包含存储晶体管与选择晶体管的单元按比例缩小，不仅其连续元件的尺度缩小了，而且其施加电压也必须减小，以便保持器件正常工作，不损害按比例缩小的器件。在非易失存储单元中，不能过分降低程序与抹除电压  $V_{pp}$ ，因为它必须保持高于  $V_{cc}$  一定的预定大边际。通过单元设计使它要求相对高的  $V_{pp}$  电压以造成编程与抹除操作，可减少单元被标准  $V_{cc}$  电压轨不利的编程或抹除的机会，在应用相对低的参考电压  $V_{cc1}$  的小型器件与应用相对更高参考电压  $V_{cc2}$  的大型器件相接时尤其如此。若大型器件较高的参考电压  $V_{cc2}$  与较小器件的程序与抹除电压  $V_{pp}$  的电位相当，则较小器件的存储单元的数据会被无意中改变。因此，较小器件的程序与抹除电压  $V_{pp}$  必须保持高于  $V_{cc1}$  或  $V_{cc2}$  的安全边际。

由于单元尺寸缩小了，故参考电压  $V_{cc}$  和  $V_{pp}$  的作用扩大了。若不减小  $V_{cc}$  与  $V_{pp}$  的幅值，则按比例缩小的单元像施加了更高电压那样工作，导致单元的性能和可靠性劣化。在非易失存储器情况下，由于按比例缩小的存储单元的  $V_{pp}$  值保持相对高，随着存储单元尺寸缩小，就扩大了电荷传递氧化物窗的影响，例如氧化物窗的单位面积电荷传递量可能保持不变，或甚至随着浮栅、控制栅与漏区的缩小而增大，这会造成存储单元不均匀的比例，导致有限的可允许比例量。为补偿  $V_{pp}$  相对更强的影响，应设想将氧化物窗尺寸缩

得比单元的其它元件更小。然而，最小氧化物窗通常受制于用来构建存储单元的制造设备的最小特征尺寸辨度，这对氧化物窗可实现的最小尺寸设置了不能再缩小的有限极限。

使按比例缩小构成存储单元进一步复杂化的在于单元本身的复杂结构。通常希望氧化物窗位于选择晶体管与存储晶体管之间，这在形成单元时要求多个掩蔽步骤，当试图构成按比例缩小的非易失存储单元时，构成了氧化物窗有限尺寸的问题。

参照图 1 的非易失存储晶体管，它是存储单元的一体化部件，与一般 MOS 晶体管的相似之处在于在衬底 15 中包括源区 11 和漏区 12。源区 11 与漏区 12 间的区域限定了存储晶体管的沟道区长度。堆栅非易失存储晶体管的特征在于栅氧化物 23 上浮栅 19 上方的控制栅 21，而栅氧化物 23 覆盖着沟道区 17，而且部分覆盖了源区 11 与漏区 12。浮栅 19 与控制栅 21 由共聚氧化物分开。一般电可改写非易失存储单元更显著的特征在于氧化物窗 27，可通过其对浮栅 19 传递电荷。实际上，氧化物窗 27 的尺寸限定了单元的电荷传递区的尺寸。如下所述，该特征是构制最小特征尺寸存储单元的一个障碍。

参照图 2，沿图 1 中线 2-2 的截面图表明晶体管构建在两个相对场氧化物区 29 之间，场氧化物区 29 的间距限定了存储晶体管的宽度方向。图示的浮栅 19 跨越沟道区宽度，部分覆盖了场氧化物区 29。同样地，把控制栅 21 构成垂直于存储晶体管长度延伸的多晶硅条。此时覆盖漏区 12 的氧化物窗 27，从一个场氧化物区 29 延伸到另一个场氧化物区 29。

在转让给本发明受让人的美国专利 No.5,086,325 中更全面描述的这一单元结构，利用场氧化物区 29 间的最小间距限定的氧化物窗的宽度，简化了单元的存储晶体管结构。该结构历来可得出小尺寸的单元，不过随着单元尺寸进一步缩小，为保持政党的比例性能，必须使场氧化物区 29 一起更靠近。但已发现，由于场氧化物区 29 靠得极近，会出现使窗氧化物变形的氧化物皱纹，导致单元过早失效，从而限制了该结构允许的按比例缩小量。

参照图 3，美国专利 No.5,904,524 解决了这个问题，方法是将其氧化物窗 31 从限定单元沟道宽度的场氧化物区 33 与 35 之间移出。该单元由三个有源区 41、43 和 45 限定。存储单元的源区、漏区与沟道区均在有源区 43 内，控制栅 47 耦接有源区 41 里的浮栅 49，而浮栅 49 覆盖着有源区 43 里的沟道区，而且覆盖了有源区 45 里的氧化物窗 31。由于沟道区在有源区 43 里，而氧化

物窗 31 不在有源区 43 中，故场氧化物区 33 与 35 相互能靠得更近以形成小宽度沟道，不会使氧化物窗 31 起皱。据'524 专利称，由于氧化物窗 31 不再受单元沟宽变窄的影响，故这样更容易按比例缩小存储单元。但该单元结构要求三个相邻的有源区 41、43 和 45 用插入的场氧化物区 33 和 35 隔离，因而不是极密微的结构。

参照图 4，在已转让步给本发明受让人的美国专用 No.5,066,992 中讨论的一种不同的单元结构，示出了其氧化物窗 51 的一面对准源区栅 53 和控制栅 55 的存储单元。氧化物窗 51 的宽度仍跨过沟道宽度延伸，因而单元的小型化还是受制于周围的场氧化物区（未示出）的接近状况。然而，通过放置浮栅 53 和控制栅 55，可调节氧化物窗 51 的长度，因为浮栅 53 是用掩膜形成的，而掩膜限定了浮栅 53 和下面的氧化物窗 51，自动将氧化物窗 51 对准就位。该工艺有利于单元按比例缩小，尤其有利于氧化物窗沿长度方向按比例缩小。

美国专利 No.5,953,254 提出了一种类似的方法，但其氧化物窗并不跨越整个单元宽度延伸到能及相对的两个场氧化物区，据'254 专利介绍，若氧化物窗不与任一场氧化物区为界，可改进浮栅的电容耦合，但这必然增大场氧化物区之间可允许的距离，因为它必须保持与氧化物窗分开。为缩小宽度尺寸并维持正常的按比例缩小性能，该方法反对将相对的场氧化物区靠得更近。

美国专利 No.5,972,752 提出一种非易失存储单元，其氧化物窗可以做得比所用制造设备的最小特征尺寸分辨率可能实现的更小。据称，这样使氧化物窗按比例缩小成获得更小的单元。参照图 5，专利'751 的存储单元具有源区 61、漏区 63 和位于其间的沟道区 65。浮栅 67 和控制栅 69 覆盖沟道区 65，并部分覆盖提升块 71。栅氧化物 75 包括氧化物窗 77，它跨过单元宽度从一个场氧化物（未示出）延伸到相对的场氧化物区（未示出）。但通过用提升块 71 对氧化物窗构制高度受控的掩膜，可将氧化物窗 77 的长度做得比制造设备的最小尺寸分辨率更小。

参照图 6，'752 专利介绍，先在源区漏区 61 和 63 上面敷设提升块 71，然后在露出表面生成氧化物 73，其中包括的提升块 71 露出的侧面与衬底 79 露出的表面。接着该结构覆盖一层向下蚀刻形成侧壁衬垫 81 的原绝缘材料，侧壁衬垫 81 覆盖沟道区中大部分氧化物层 73，但氧化物层 73 的窄区露在侧壁衬垫 81 之间，该氧化物窄条被深蚀刻成氧化物窗 77。在图 7 中，除去侧壁衬垫 81，敷设第一和第二多晶硅层 67 与 69，再把这些多晶硅层蚀刻成图 5 所

示的浮栅 67 和控制栅 69。

虽然'752 专利的单元无实现的氧化物窗的长度尺寸小于设备的最小特征尺寸分辨率可实现的尺寸，但它要求复杂得多的制造加工。再者，按比例缩小的氧化物窗所必需的提升声导致型面不规则的存储单元，由于制造加工层数的增多，进一步劣化了单元的完整性。另外，并未解决氧化物窗因要求隔离氧化物区紧靠在一起以缩小单元宽度而造成的劣化。

本发明的一个目的是提供一种存储单元结构，该结构便于按比例缩小其电荷传递区而无需复杂的处理步骤。

本发明的另一个目的是提供一种构制存储单元的方法，使限定单元宽度的隔离场氧化物区紧靠在一起而正确地按比例缩小，且不劣化氧化物窗。

本发明的再一个目的是提供一种构制存储单元的方法，其电荷传递区的尺寸小于用来构制该单元的制造设备的最小特征尺寸分辨率可实现的尺寸。

## 发明内容

上述诸目的在一种制作非易失存储单元结构的方法中得以实现，其中它的氧化物窗的尺寸保持有限，但氧化物窗传递电荷的部分可以减到小于所用制造设备最小特征尺寸分辨率的尺寸。其实现方法是把固定尺寸的氧化物窗定位成不跨越单元宽度从一个场氧化物区延伸到另一场氧化物区，其位置控制着允许通过它传递的电荷量。实现方法是将氧化物窗构成使其第一部分只覆盖两个相对的场氧化物窗区之一，其余部分敷设在沟道区内，但不跨越它延伸，这样在氧化物窗内就有效地形成一条缝，通过移动氧化物窗的位置可以调节该缝的尺寸。构建在场氧化物区上方的氧化物窗的所有部分都不能用于将电荷传到浮栅，只能用氧化物窗位于沟道区的部分传递电荷。这样，构成的有效电荷传递区小于氧化物窗，也小于制造设备最小特征尺寸分辨率可实现的尺寸。在该方法中，由于只有小部分氧化物窗用于电荷传递，故相对固定的氧化物窗尺寸并不影响非易失单元的按比例缩小。另外，由于氧化物窗不跨越相对的场氧化物区延伸，故场氧化物区可紧靠在一起，不会对氧化物窗的电荷传递部分造成有害影响。

安置氧化物窗时应注意到该氧化物窗一般为矩形。通常，该矩形的长边跨越非易失单元宽度延伸，而短边沿单元长度对准。但为了妥善地控制单元的电荷传递部，较佳的设备将氧化物窗转 90 度，使长边沿单元长度对准，短边

沿单元宽度对准。在该方法中，需要时，氧化物窗的短边不跨越沟道宽度延伸，使场氧化物区靠得更紧。

### 附图简介

图 1 是现有技术堆栅非易失存储单元的剖视图。

图 2 是沿图 1 现有技术非易失存储单元的线 2-2 的截面图。

图 3 是另一现有技术存储单元的透视图。

图 4 是配有选择晶体管的现有技术存储单元的剖视图。

图 5—7 示出构制现有技术存储单元的各种处理步骤，该存储单元的隧道氧化物长度小于用于构制该存储单元的制造设备的最小分辨率可实现的长度。

图 8 和 9 示出本发明存储单元的布设图。

图 10 是部分构成的本发明存储单元的透视图。

图 11 是本发明配有选择晶体管的存储单元的透视图。

图 12 是图 8 的存储单元沿线 10-10 截取的剖视图。

图 13 是图 8 的存储单元沿线 13-13 截取的剖视图。

图 14—19 示出制作本发明存储单元的各种处理步骤。

图 20 是本发明第一实施例的存储单元的剖视图。

图 21 是本发明第二实施例的存储单元的剖视图。

### 实施本发明的较佳方式

参照图 8，图示为本发明非易失存储单元 80 的布局俯视图。本例中，该存储单元示成包括与选择晶体管 82 串接的存储晶体管 81，存储单元的有源区用虚线 83 画出。如本领域所周知，IC 的有源区定义为衬底上形成了有源器件即晶体管与电阻器等电路元件的表面区。有源区被用作垒壁以在有源区 83 之间提供电气隔离的绝缘场氧化物区 85a~85d 包围。多种形式的场氧化物 85 已为本领域共知，但目前较佳的结构对硅或 LOCOS、场氧化物区 85 实行了局部氧化，应该理解，根据器件要求，其它场氧化物结构如浅的隔离（STI）等也同样适用。

如图所示，多晶硅条 87 与 89 穿过有源区 83 部分覆盖场氧化物区 85。通常，多晶硅条起到晶体管控制栅的作用，而多晶硅条任一侧未被覆盖的有源

区在适当掺杂后起到晶体管的源区、漏区的作用。本例中，多晶硅条 89 构成存储晶体管 81 的控制栅，多晶硅条 87 构成选择晶体管 82 的控制栅。同样地，有源区 83 的截面 91 起到存储晶体管 81 的源区的作用，有源区 83 的截面 95 起到选择晶体管 82 的漏区的作用。漏区 95 的阴影区 97 指触点位置。有源区 83 的截面 93 起到存储晶体管 81 的漏区和选择晶体管 82 的源区的作用。在多晶硅条 87 与 89 下面，场氧化物区 85a 与 85b 的相对边界限定了选择晶体管 82 和存储晶体管 81 的宽度，这些相对边界分别用箭头 85' 与 85'' 指示。

控制栅 89 下面的有源区构成存储晶体管 81 的沟道区。同样地，多晶硅条 87 通过栅氧化物与有源区 83 分开，而多晶硅条 87 下面的有源区构成选择晶体管 82 的沟道区。存储晶体管 81 还包括多晶硅条 89 下面的绝缘浮栅 99。浮栅 99 也用多晶硅制作，之所以考虑为浮动，是因为它密封在绝缘氧化物中，防止它与其相邻的导电元件有直接的物理与电气接触。例如，其上面通过共聚氧化物（未示出）与多晶硅条 89 绝缘，其侧端通过覆盖的场氧化物区绝缘，而其下面通过栅氧化物与有源区 83 绝缘。

如上所述，通过把电荷移入和移出浮栅 99，数据被存入存储晶体管 81，另因浮栅 99 被密封，故必须构建一条可控通路以进入另一隔离的浮栅 99。该可控通路实际上称为“窗”，通常构建在浮栅 99 下面的栅氧化物中。窗的构建方法是在栅氧化物内划出框区，并使框内氧化物变薄，或在框内形成薄的氧化物。框内氧化物做得很薄，足以让它保持其绝缘品质，其电场势垒可通过施加大电场  $V_{pp}$  来克服，不会严重损害氧化物窗 101。施加适量  $V_{pp}$ ，电荷通过该薄的氧化物窗 101 可控地移入和移出浮栅 99。在本发明中，氧化物窗 101 的构建尤其令人关注。

一般在试图按比例缩小非易失存储单元 80 尤其是非易失晶体管 81 的尺寸时，氧化物窗 101 有一个问题。通过氧化物窗移动的电荷量取决于若干因素，包括氧化物窗厚度、其面积和两端的电压势，例如若保持晶体管的漏区源电压不变而缩小其沟长尺寸，沿缩短沟道的平均电场将更大，导致增益损失并增强热载流子效应。还会出现电子迁移与穿通故障等其它问题。因此，器件按比例缩小的原则是施加电压要与器件尺寸的缩小一起降低。换言之，器件按比例缩小了，应该降低  $V_{cc}$  与  $V_{dd}$  值，否则器件的性能会劣化，器件自身会受损。

不幸的是，为保持与其它参数标定的兼容性，加在氧化物窗两端的电压一

般不能按比例缩小得如希望的那么多。由于 V<sub>pp</sub> 较之非易失晶体管按比例缩小的物理尺寸如它的宽度、长度、氧化物窗厚度、浮栅尺寸等保持相对高，若允许 V<sub>pp</sub> 以与晶体管的物理尺寸和电荷浓度的缩小的正常比例降低，就必须比要求更多地减小氧化物窗的面积来补偿相对更大的电场。减小氧化物窗尺寸限制了通过它传递的电荷量，因而补偿了相对大 V<sub>pp</sub> 值的更高的电场。减小浮栅下面的隧道氧化物面积，还增大了电容耦合比。对于高耦合比的存储单元，电子从浮栅传递到源区/漏区的速度很快，因而具有较佳的编程特性。然而，用于构建存储单元 80 的制造设备的最小特征尺寸分辨率，限制了氧化物窗 101 的最小尺寸。

另外，由于缩小了非易失晶体管的尺寸，就必须减小其沟宽尺寸。如上所述，非易失存储晶体管 81 的宽度由相对的场氧化物区 85a 与 85b 限定。因此，由于晶体管 81 按比例缩小了，为了减小其宽度，场氧化物区 85a 与 85b 要求紧靠在一起。但如上所述，若场氧化物窗从一个相对的场氧化物区 85a 跨到另一区 85b，而且场氧化物壁 85a 与 85b 靠得太近，其品质就劣化了。

本发明通过改变氧化物窗 101 的布设，解决了以上两个问题。要求按比例缩小的氧化物窗尺寸小于用来生产非易失晶体管的制造设备的最小特征尺寸分辨率，这是因为通常把非易失存储晶体管 81 的物理尺寸按比例缩小到制造设备极限的缘故，例如希望把晶体管的沟长定为制造设备的最小特征尺寸分辨率，并且相应地把最小沟长当作标定参照来标定所有其它参数。如上所述，为维持正常工作，氧化物窗 101 必须小于存储晶体管按比例缩小的倍数。由于晶体管的按比例缩小倍数以标定的沟长为基础，而沟长标定为制造设备的最小特征尺寸分辨率，因此氧化物窗要求比制造设备最小特征尺寸分辨率更小的尺寸。然而，氧化物窗 101 被定义为氧化物的薄区，而该氧化物 101 薄区的最小尺寸限于由制造设备最小特征尺寸分辨率所决定的一固定值。

为了补偿最小尺寸限于大于正常按比例缩小所需值的固定值的氧化物窗 101，本发明安排了氧化物窗 101 的安置，使氧化物窗 101 的第一区域 101A 部分伸入存储晶体管 81 的沟道区，而第二区域 101B 覆盖场氧化物区 85b。第一区域 101A 构成电荷传递区，第二区域 101B 构成氧化物窗 101 的非电荷传递区 101B。氧化物窗 101 只接触一个场氧化物区 85b，使它在按比例缩小存储晶体管 81 宽度时不受相对场氧化物区 85a 与 85b 紧靠在一起的不利影响。再者，电荷传递区 101A 整个位于存储晶体管 81 的沟道区内，不接触任一源

区 91、漏区 93 或相对的场氧化物区 85A。虽然氧化物窗 101 仍具有被制造设备最小特征尺寸分辨度限制的较大尺寸，但通过限制其电荷传递区 101A 的面积，减小了氧化物窗的有效尺寸。氧化物窗 101 的非电荷传递区 101B 由于完全驻留在绝缘的场氧化物区 85b 内，故不能传递电荷。若希望进一步缩小场氧化物窗 101 的电荷传递区 101A，则可将场氧化物窗 101 更移向场氧化物区 85b。同样地，若要增大电荷传递区 101A，则将氧化物窗 101 更移向相对的场氧化物区 85A，但氧化物窗 101 最好不能及相对的场氧化物区 85a。应该理解，准确地电荷传递区 101A 的面积可能不完全确定，这是对准误差造成氧化物窗 101A 略有变动的缘故，但一般在设计单元布设时都考虑了这种失准情况，最终的结构保持在本发明的精神内。还要指出，电荷传递窗 101 为矩形，长边平行于晶体管的长度尺度，氧化物窗的短边平行于沟道的宽度尺度，这有利于放置氧化物窗而无需扩展沟道宽度。

参照图 9，与图 8 类似的所有元件都带同样的标号并如上所述。本例中，氧化物窗 101 移得更接近场氧化物 85b，得到更小的电荷传递区 101A，因而可进一步按比例缩小非易失存储单元 80 的诸物理参数而不面对出自氧化物窗 101 可实现最小尺寸的任何限制。

参照图 10，图示为本发明部分构制的存储晶体管 81 的透视图。与图 8 类似的所有元件均标以同样的标号并且如上所述。图示有源区 83 包含扩散入衬底 111 的掺杂区，该掺杂区供选用，通常包括在内以调节晶体管的阈压，并帮助有源区内电场的成形。限定有源区 83 宽度的场氧化物区 85a 与 85b 不以标度绘制，用于示出它们的 LOCOS 结构，其特征在于场氧化物区在有源区 83 边界变窄为一点。场氧化物区 85 的这种变窄一般称为“鸟嘴”。图示的栅氧化物 103 在有源区 83 上方。如图 8 所示，栅氧化物 103 把浮栅 99 与有源区 83 表面限定的沟道区分开。虚线 107 与 109 分别指示源区 91 和漏区 93 侵入栅氧化物 103 下面的沟道区，由制造过程中各个加热阶段的扩展造成。

如图所示，氧化物窗 101 部分位于有源区 83 的沟道区，部分在场氧化物区 85b 上方。氧化物窗 101 的特征在于蚀刻处理（如湿蚀刻、干蚀刻或组合蚀刻），将目标框区内的栅氧化物 103 和场氧化物区 85b 的氧化物变薄，然后在目标框区内建立一薄层氧化物。位于沟道区内的氧化物窗 101 部分是它的电荷传递区 101A，其特征是较佳地小于  $80\text{Å}$  的薄氧化物 105，适合电荷的 Fowler、Nordheim 隧道效应。氧化物窗 101 位于场氧化物区 85b 的部分是它

的非电荷传递区 101B。

参照图 11，图示为沿箭头 10 截取的图 8 中存储单元 80 的截面透视图。隧道区 115 在栅氧化物 103 下面，而栅氧化物 103 在浮栅 99 下面；隧道区 117 在栅氧化物 119 下面，栅氧化物 119 在控制栅 87 下面。在栅氧化物 103 内，图示电荷传递区 101A 以氧化物薄区为特征，这在栅氧化物 103 中形成一沿覆盖电荷传递区 101A 的层扩展的凹槽。例如，浮栅 99、其聚氧化物 113 和控制栅 89 在它们的结构中有一类似的凹槽。按图 8 的示例布设，图 11 的存储单元 80 示出部分覆盖场氧化物区 85a 的浮栅 99 和延伸超过场氧化物区 85a 的控制栅 89。同样地，选择晶体管 82 的控制栅 87 也延伸超过场氧化物区 85a。此外，导电区 91、93 和 95 均示为包括衬底 111 内的掺杂区。需要的话，为增大隧道效应氧化物下面的浓度，电荷传递区 101A 可以合适量掺杂。

参照图 12，图示为图 11 中存储单元的剖视图，与图 11 中相似的所有元件都标以同样标号且如上所述。图示的存储单元 80 包括与选择晶体管 82 串接的非易失晶体管 81，区 91 较佳地起到非易失晶体管 81 源区的作用，区 95 起到选择晶体管 87 漏区的作用，区 93 起到非易失晶体管 81 漏区与选择晶体管 82 源区的作用。图 12 突出了非易失晶体管 81 的推迭结构。图示的氧化物窗的电荷传递区 101A 完全驻留在由浮栅 99 和控制栅 89 限定的沟道区内。另外，图示在栅氧化物 103、浮栅 99、共聚氧化物 113 与控制栅 89 的堆层中，氧化物窗 101 构成一凹槽 121，该凹槽由氧化物窗的电荷传递截面 101A 造成。共聚氧化物 113 包括介质膜或组合的介质膜。

图 13 示出沿箭头 13-13 的图 8 和 11 中的存储单元的剖视图，较佳地突出了氧化物窗 101 的结构。如图所示，控制栅 89 跨越相对的场氧化物区 85A 与 85B。同样地，浮栅 99 部分从场氧化物区 85A 跨到场氧化物区 85B，通过共聚氧化物 113 与控制栅 89 隔离。栅氧化物 103 使浮栅 99 与衬底 111 内的有源区沟道区分开。如图所示，氧化物窗 101 包括将浮栅 99 与沟道区分离的第一电荷传递区 101A 和部分跨越场氧化物区 85B 的第二非电荷传递区 101B。氧化物窗 101 造成扩展堆件的凹槽 121，该堆件包括栅氧化物 103、浮栅 99、共聚氧化物 113 与控制栅 89。

图 14—19 示出构建本发明非易失晶体管的各种处理步骤。在图 14—19 中，标号 A，如在图 14A 中，指示沿图 8 中箭头 13-13 的视图，而标号 B，如在图 14B 中，表示沿图 7 中箭头 10-10 的视图。

参照图 14，在清洁和光洁了衬底 111 表面而且构制了任何所需的阱结构之后，构成场氧化物区 85。需要时，可在衬底 111 内构建埋式 N<sup>+</sup>区（未示出），然后埋入单元以限定有源区，较佳地单元埋置在 90keV 与 7 度角下不转动地包括 75As+8.5E11。

在图 15 中，构成单元氧化物或栅氧化物 103，较佳厚度为 390Å，然后对表面作湿腐蚀，在栅氧化物 103 中形成直达衬底 111 的开口 131，如图 16 所示。开口 131 的形状与位置可利用掩蔽步骤的光刻胶 104 限定。开口 131 从有源区 83 延伸到场氧化物区 85D。

参照图 17，接着在开口 131 中生长一薄层氧化物，形成氧化物窗 101，薄层的较佳厚度约 76Å。如前所述，氧化物窗 101 包括第一电荷传递区 101A 和第二非电荷传递区 101B。薄层在有源区 83 内生长的部分构成第一部分 101A，薄层在场氧化物区 85B 中生长的部分构成第二部分。

参照图 18，接着把第一多晶硅层 99 敷设在栅氧化物 103、氧化物窗 101 和场氧化物区 85A 与 85B 上。第一多晶硅层 99 可作离子注入，再深蚀刻成只是部分地从场氧化物区 85A 延伸到 85B。为调节单元的阈压，通过第一多晶硅层 99 对沟道区作阈值调节注入，较佳地在 45keV 与 7 度下为 11B+4E11。

参照图 19，形成覆盖该单元的共聚氧化物 113，接着敷设第二多晶硅层 89，较佳地延伸超过场氧化物 85A 与 85B。该第二多晶硅层 89 将起到浮栅单元控制栅的作用，同样作离子注入以调节其导电率。共聚氧化物 113 把浮栅多晶硅层 99 与控制栅多晶硅 89 分开。由图 19B 可见，第二多晶硅层有选择地做成延伸超过第一多晶硅层 99 的长度而搁在衬底 111 上。此时，氧化物 103 将第二多晶硅层 89 与衬底 111 分开。此外，在准备构建略掺杂的漏区结构时，可作任选角度的注入 133。

在图 20 中，通过将控制栅 89 和浮栅 99 用作掩模的垂向注入 135，构成源区 91 和漏区 93，注入在 25keV 下较佳为 31P+4.0E13。图 21 表示，需要时可将控制栅与浮栅构成相互对准，而源区 91 和漏区 93 可以选择性构成带或不带轻度掺杂的漏区（LDD）结构（漏区为 93A），此时，源区 91 与漏区 93 二者都与包含浮栅 99 和控制栅 89 的栅堆自对准。

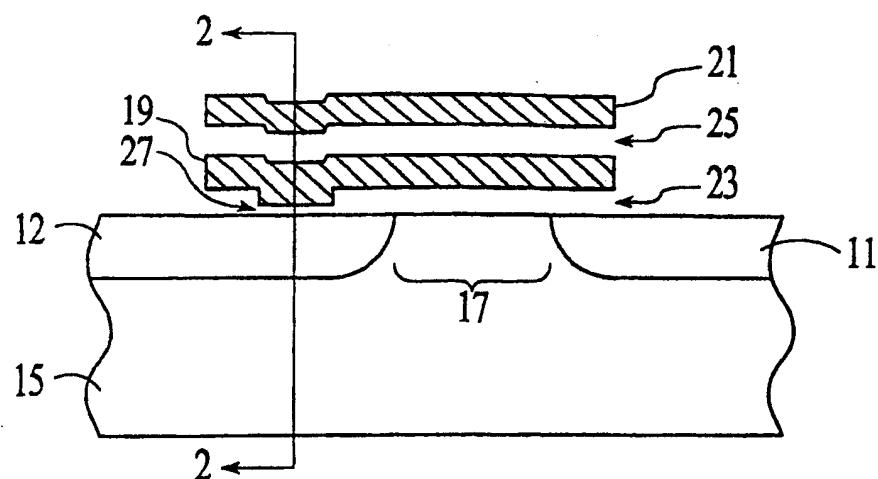


图 1  
原有技术

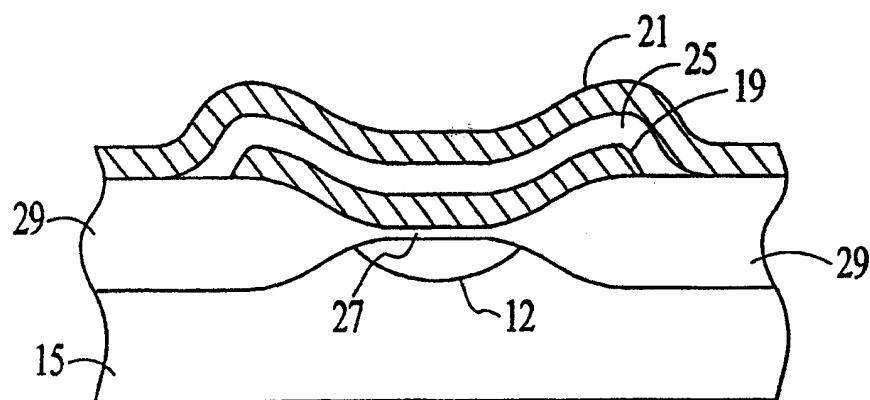


图 2  
原有技术

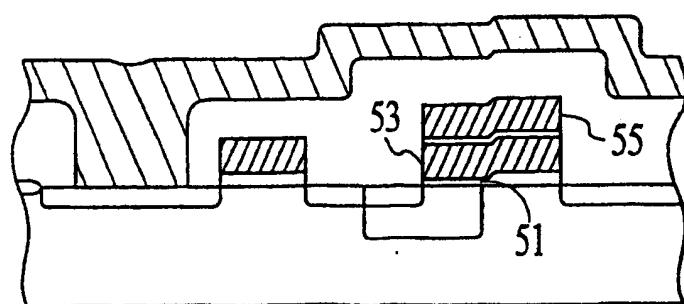


图 4  
原有技术

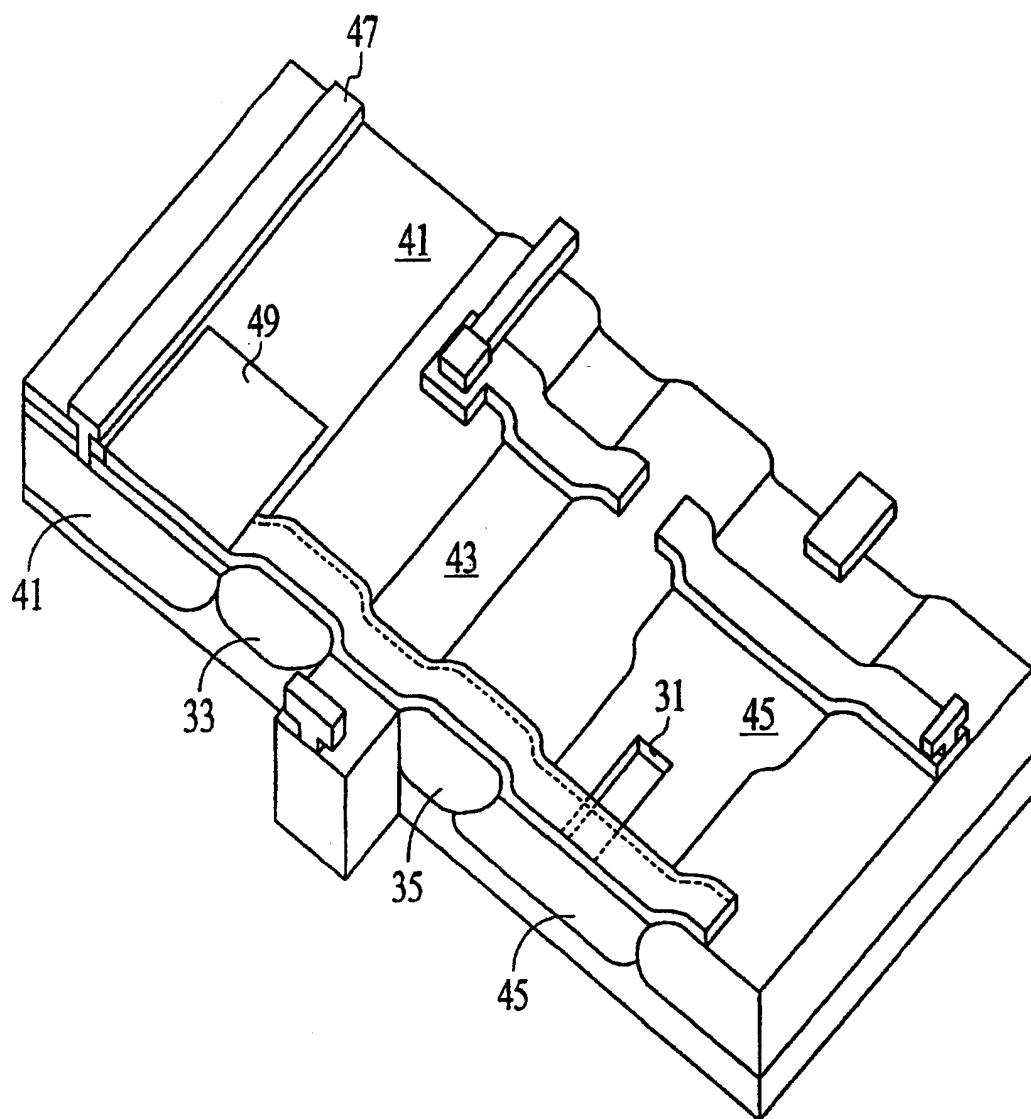


图 3  
原有技术

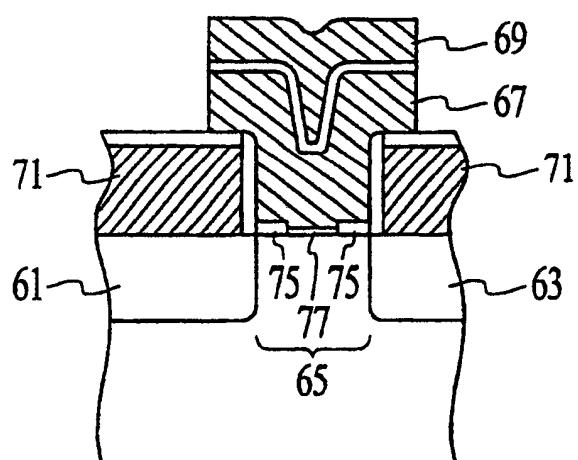


图 5  
原有技术

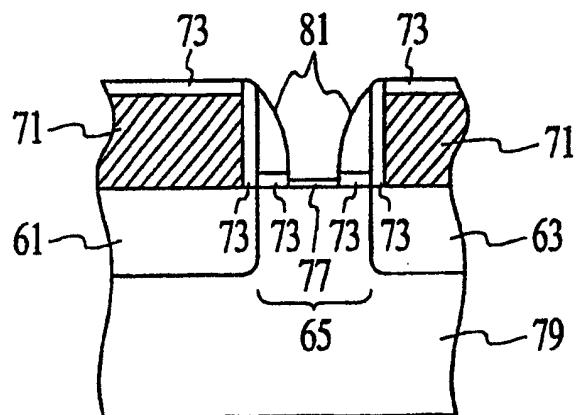


图 6  
原有技术

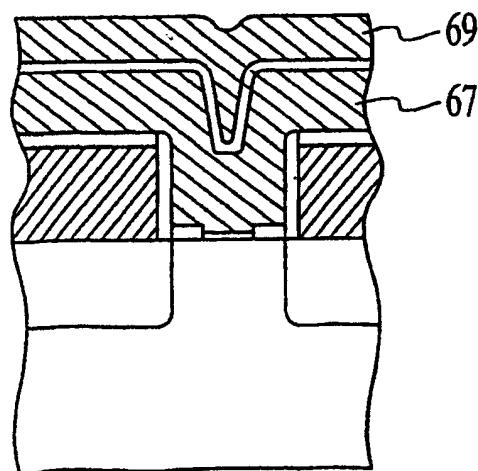


图 7  
原有技术

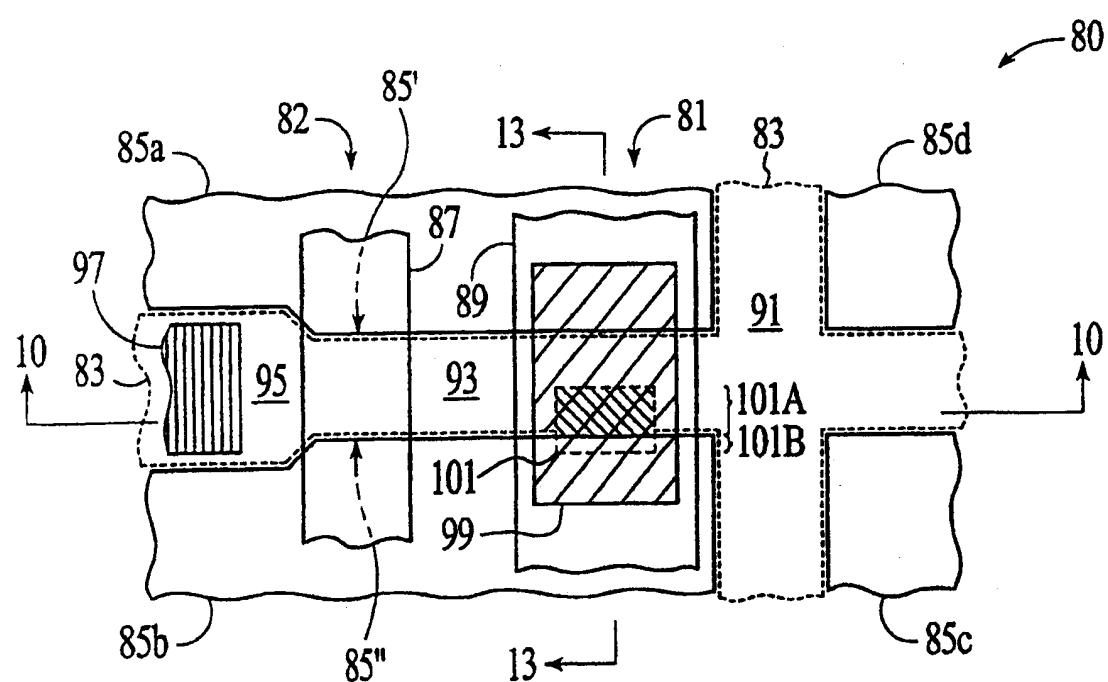


图 8

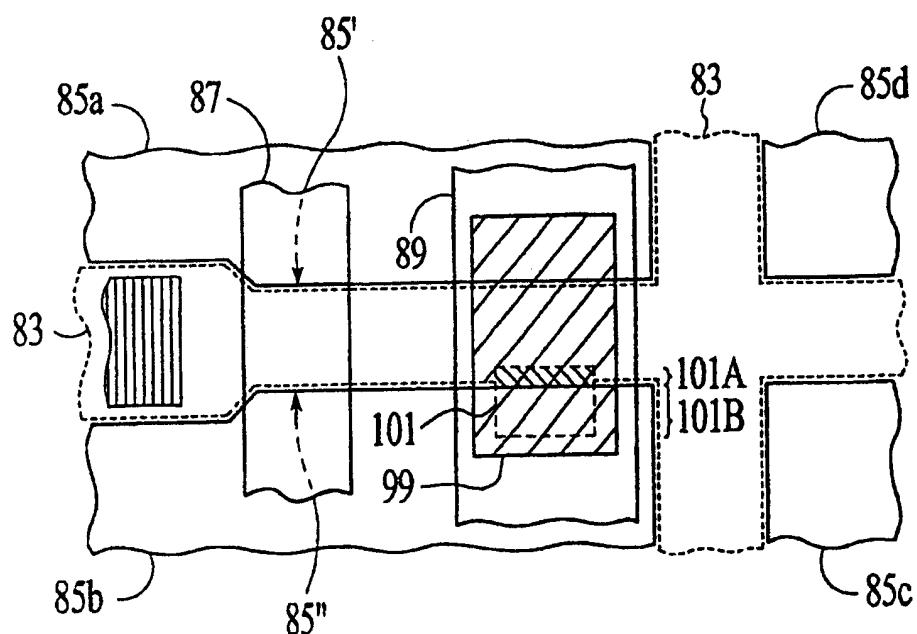


图 9

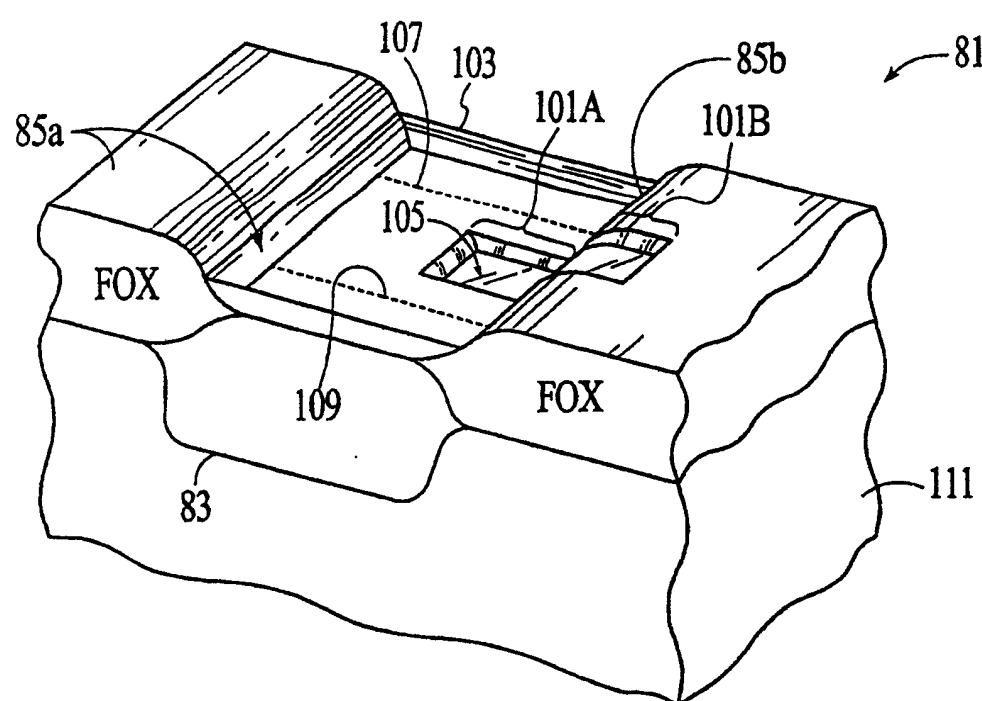


图 10

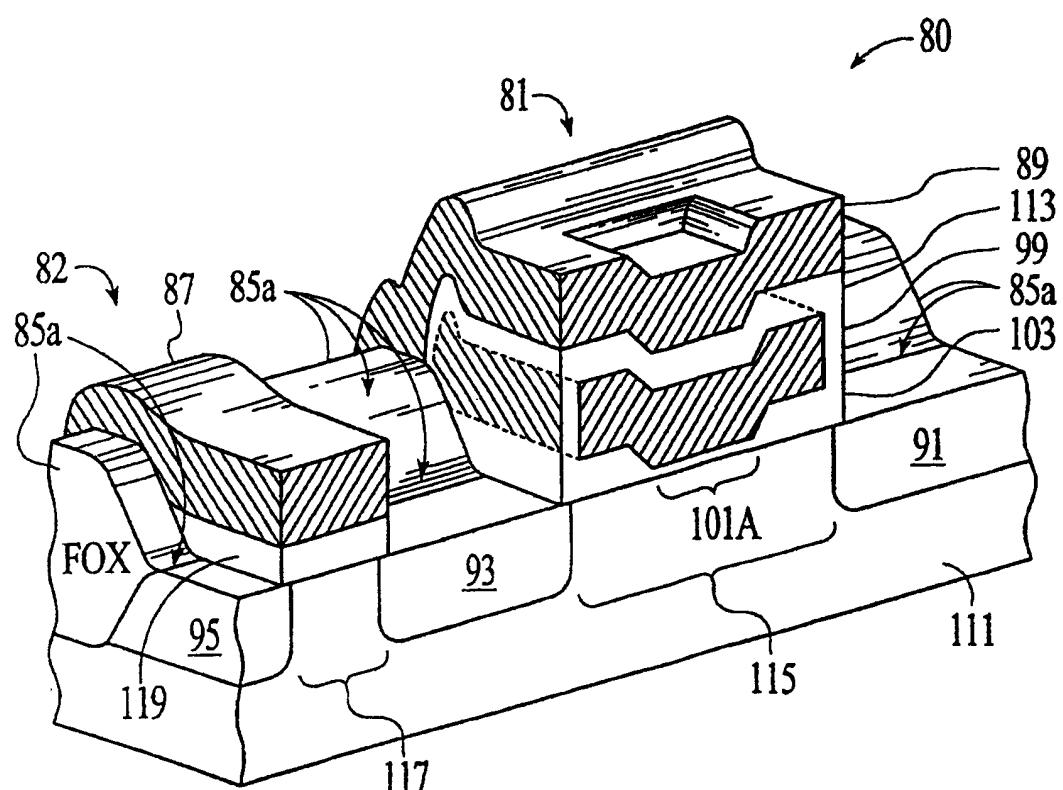


图 11

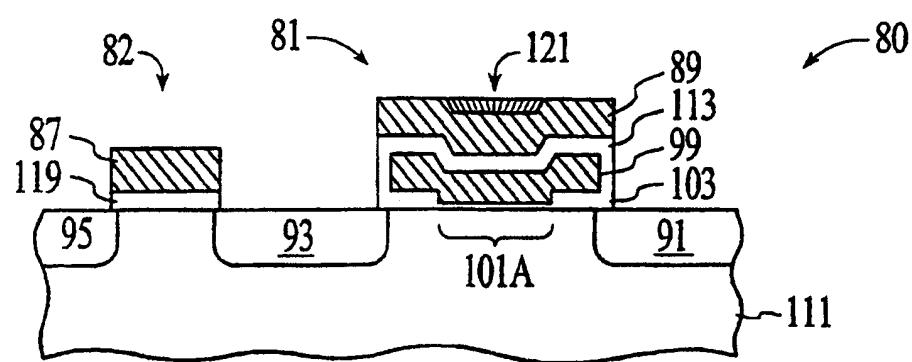


图 12

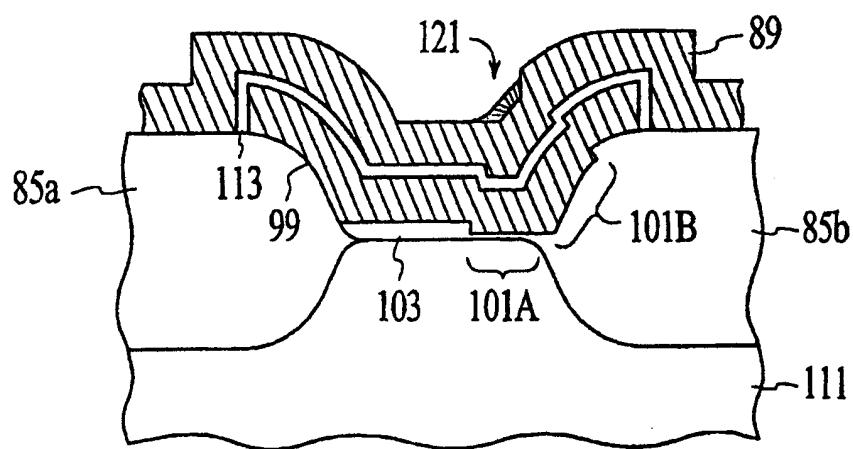


图 13

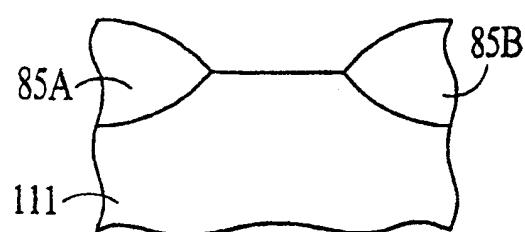


图 14A

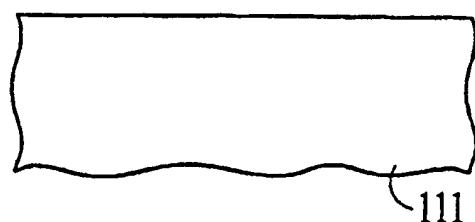


图 14B

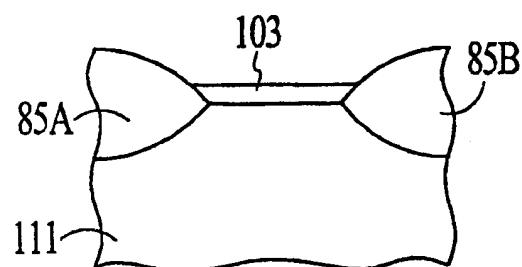


图 15A

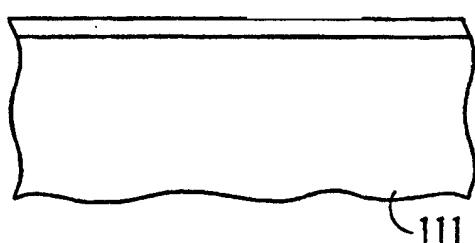


图 15B

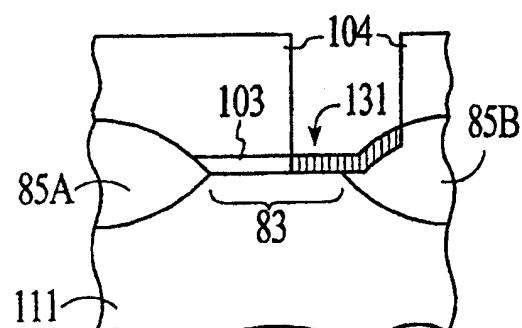


图 16A

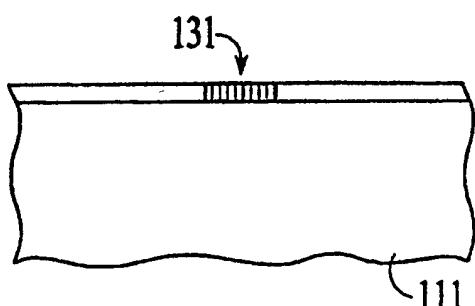


图 16B

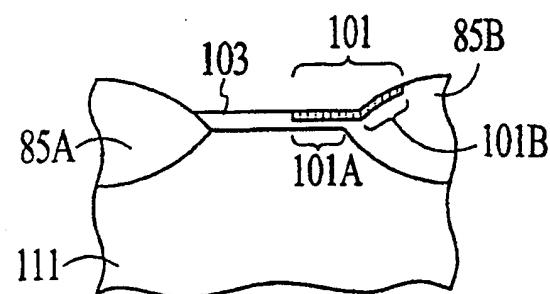


图 17A

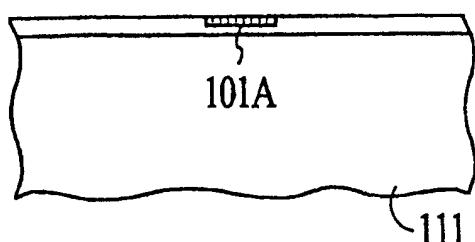


图 17B

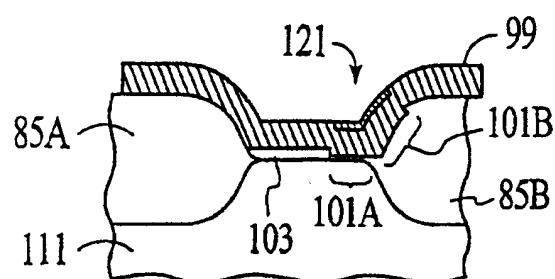


图 18A

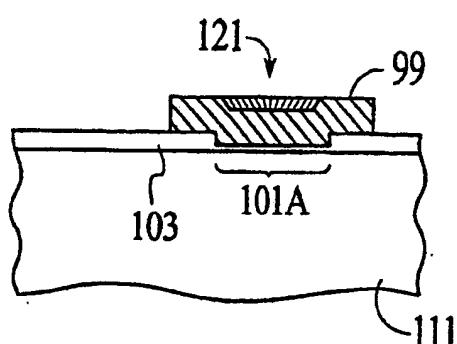


图 18B

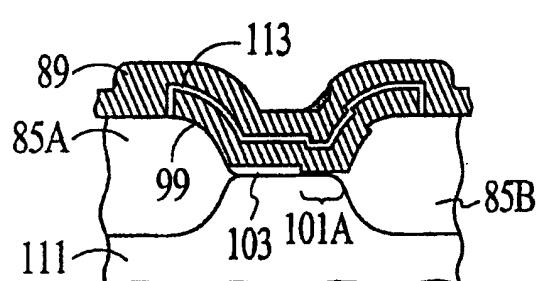


图 19A

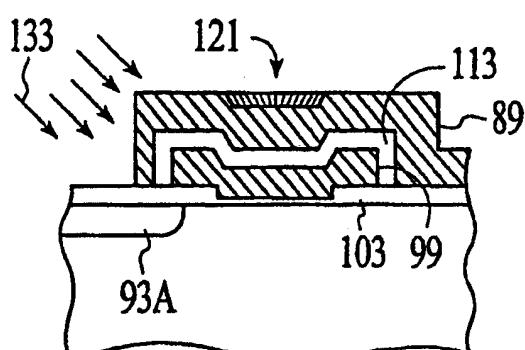


图 19B

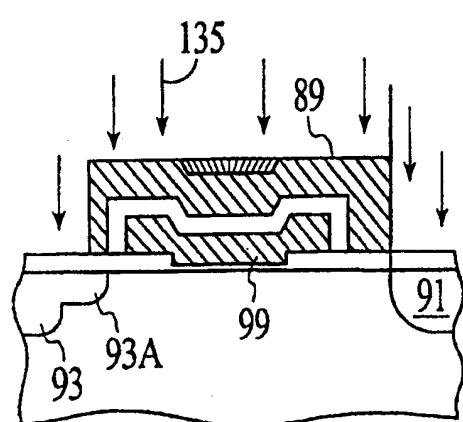


图 20

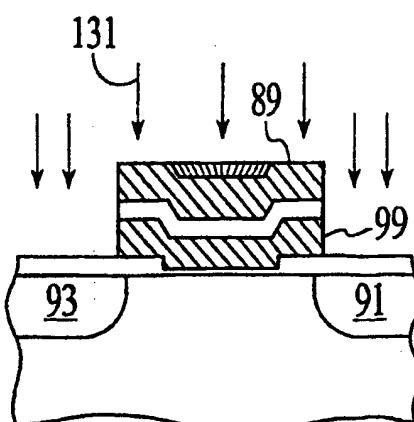


图 21