

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2022年2月3日(03.02.2022)



(10) 国際公開番号

WO 2022/024813 A1

(51) 国際特許分類:

H01L 21/28 (2006.01) *H01L 29/78* (2006.01)
H01L 29/06 (2006.01) *H01L 29/12* (2006.01)
H01L 29/41 (2006.01) *H01L 21/336* (2006.01)
H01L 29/417 (2006.01)

(21) 国際出願番号: PCT/JP2021/026791

(22) 国際出願日: 2021年7月16日(16.07.2021)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

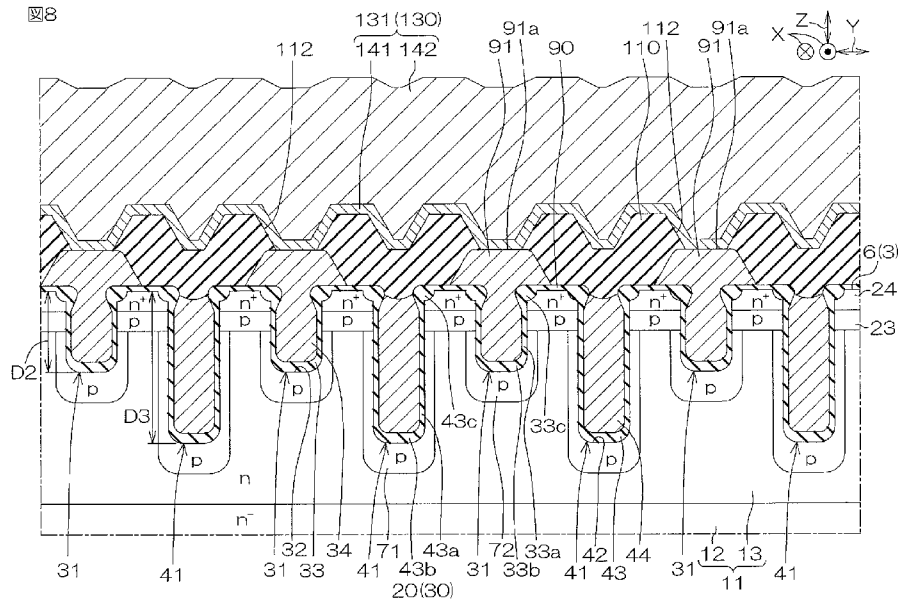
(30) 優先権データ:
特願 2020-131044 2020年7月31日(31.07.2020) JP

(71) 出願人: ローム株式会社 (ROHM CO., LTD.)
[JP/JP]; 〒6158585 京都府京都市右京区西院
溝崎町 2 1 番地 Kyoto (JP).

(72) 発明者: 森 誠悟(MORI, Seigo); 〒6158585 京都
府京都市右京区西院溝崎町 2 1 番地 ローム株
式会社内 Kyoto (JP). 山本 兼司(YAMAMOTO,
Kenji); 〒6158585 京都府京都市右京区西院溝
崎町 2 1 番地 ローム株式会社内 Kyoto (JP).
白神 弘章(SHIRAGA, Hiroaki); 〒6158585 京都
府京都市右京区西院溝崎町 2 1 番地 ローム
株式会社内 Kyoto (JP). 中野 佑紀(NAKANO,
Yuki); 〒6158585 京都府京都市右京区西院
溝崎町 2 1 番地 ローム株式会社内 Kyoto
(JP). 美濃出 圭悟(MINODE, Keigo); 〒6158585

(54) Title: SiC SEMICONDUCTOR DEVICE

(54) 発明の名称: SiC半導体装置



(57) Abstract: This SiC semiconductor device contains: an SiC chip that has a main surface; a trench gate structure that is formed in the main surface; a trench source structure that is formed in the main surface and is spaced apart from the trench gate structure in one direction; an insulation film that covers the trench gate structure and the trench source structure on the main surface; a gate main surface electrode that is formed on the insulation film; and a gate wiring that is drawn out from the gate main surface electrode over the insulation film so as to cross the trench gate structure and the trench source

京都府京都市右京区西院溝崎町 2 1 番地
ローム株式会社内 Kyoto (JP).

(74) 代理人: 特許業務法人 あい特許事務所 (AI ASSOCIATION OF PATENT AND TRADEMARK ATTORNEYS); 〒5410054 大阪府大阪市中央区南本町二丁目 6 番 1 2 号 サンマリオン N B F タワー 2 1 階 Osaka (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

structure in the one direction, that is electrically connected to the trench gate structure by passing through the insulation film, and that faces the trench source structure with the insulation film therebetween.

(57) 要約: S i C 半導体装置は、主面を有する S i C チップと、前記主面に形成されたトレンチゲート構造と、前記トレンチゲート構造から一方方向に離間して前記主面に形成されたトレンチソース構造と、前記主面の上で前記トレンチゲート構造および前記トレンチソース構造を被覆する絶縁膜と、前記絶縁膜の上に形成されたゲート主面電極と、前記一方方向に前記トレンチゲート構造および前記トレンチソース構造を横切るように前記ゲート主面電極から前記絶縁膜の上に引き出され、前記絶縁膜を貫通して前記トレンチゲート構造に電氣的に接続され、前記絶縁膜を挟んで前記トレンチソース構造に対向するゲート配線と、を含む。

明 細 書

発明の名称：S i C半導体装置

技術分野

[0001] この出願は、2020年7月31日に日本国特許庁に提出された特願2020-131044号に対応しており、この出願の全開示はここに引用により組み込まれる。本発明は、S i C半導体装置に関する。

背景技術

[0002] 特許文献1は、半導体基板、半導体基板に形成されたトレンチゲート構造、および、トレンチゲート構造に隣り合うように半導体基板に形成されたトレンチソース構造を備えた半導体装置を開示している。

先行技術文献

特許文献

[0003] 特許文献1：米国特許出願公開第2017/0040423号明細書

発明の概要

発明が解決しようとする課題

[0004] 本発明の一実施形態は、信頼性を向上できるS i C半導体装置を提供する。

課題を解決するための手段

[0005] 本発明の一実施形態は、主面を有するS i Cチップと、前記主面に形成されたトレンチゲート構造と、前記トレンチゲート構造から一方方向に離間して前記主面に形成されたトレンチソース構造と、前記主面の上で前記トレンチゲート構造および前記トレンチソース構造を被覆する絶縁膜と、前記絶縁膜の上に形成されたゲート主面電極と、前記一方方向に前記トレンチゲート構造および前記トレンチソース構造を横切るように前記ゲート主面電極から前記絶縁膜の上に引き出され、前記絶縁膜を貫通して前記トレンチゲート構造に電氣的に接続され、前記絶縁膜を挟んで前記トレンチソース構造に対向するゲート配線と、を含む、S i C半導体装置を提供する。

[0006] 本発明の一実施形態は、主面を有するS i Cチップと、前記主面に形成され、平面視において一方方向に延びるトレンチゲート構造と、前記一方方向に前記トレンチゲート構造から間隔を空けて前記主面に形成され、平面視において前記一方方向に延びる中間トレンチソース構造と、前記トレンチゲート構造および前記中間トレンチソース構造を被覆する絶縁膜と、前記絶縁膜の上に形成され、前記絶縁膜を貫通して前記トレンチゲート構造に電氣的に接続されたゲート配線と、前記ゲート配線から間隔を空けて前記絶縁膜の上に形成され、前記絶縁膜を貫通して前記中間トレンチソース構造に電氣的に接続されたソース配線と、を含む、S i C半導体装置を提供する。

[0007] 本発明における上述の、またはさらに他の目的、特徴および効果は、添付図面を参照して次に述べる実施形態の説明により明らかにされる。

図面の簡単な説明

[0008] [図1]図1は、本発明の第1実施形態に係るS i C半導体装置を示す平面図である。

[図2]図2は、図1に示すII-II線に沿う断面をS i Cチップ内の構造を省略して示す断面図である。

[図3]図3は、図1に示すS i Cチップの第1主面をS i Cチップ内の構造を省略して示す平面図である。

[図4]図4は、図3に示す第1主面をS i Cチップに作りこまれた構造を簡略化して示す平面図である。

[図5]図5は、図4に示す第1主面の要部を拡大した平面図である。

[図6]図6は、図5に示すトランジスタ領域の端部を拡大した平面図である。

[図7]図7は、図5に示すトランジスタ領域の内方部を拡大した平面図である。

。

[図8]図8は、図6に示すVIII-VIII線に沿う断面図である。

[図9]図9は、図6に示すIX-IX線に沿う断面図である。

[図10]図10は、図6に示すX-X線に沿う断面図である。

[図11]図11は、図6に示すXI-XI線に沿う断面図である。

[図12]図12は、図7に示すXII-XII線に沿う断面図である。

[図13]図13は、図5に示す第1周縁領域の角部を拡大した平面図である。

[図14]図14は、図13に示すXIV-XIV線に沿う断面図である。

[図15]図15は、図13に示すXV-XV線に沿う断面図である。

[図16]図16は、図5に示す第1周縁領域の端部を拡大した平面図である。

[図17]図17は、図5に示す第1周縁領域の内方部を拡大した平面図である。

。

[図18]図18は、図16に示すXVIII-XVIII線に沿う断面図である。

[図19]図19は、図16に示すXIX-XIX線に沿う断面図である。

[図20]図20は、図16に示すXX-XX線に沿う断面図である。

[図21]図21は、図17に示すXXI-XXI線に沿う断面図である。

[図22]図22は、図1に示すXXII-XXII線に沿う断面図である。

[図23]図23は、図1に示すXXIII-XXIII線に沿う断面図である。

[図24]図24は、図1に示すXXIV-XXIV線に沿う断面図である。

[図25]図25は、図1に示すXXV-XXV線に沿う断面図である。

[図26]図26は、図1に示すXXVI-XXVI線に沿う断面図である。

[図27]図27は、主面電極の構造を説明するための平面図である。

[図28]図28は、第2無機絶縁膜の構造を説明するための平面図である。

[図29A]図29Aは、図1に示すSiC半導体装置の製造方法の一例を示す断面図である。

[図29B]図29Bは、図29Aの後の工程を示す断面図である。

[図29C]図29Cは、図29Bの後の工程を示す断面図である。

[図29D]図29Dは、図29Cの後の工程を示す断面図である。

[図29E]図29Eは、図29Dの後の工程を示す断面図である。

[図29F]図29Fは、図29Eの後の工程を示す断面図である。

[図29G]図29Gは、図29Fの後の工程を示す断面図である。

[図29H]図29Hは、図29Gの後の工程を示す断面図である。

[図29I]図29Iは、図29Hの後の工程を示す断面図である。

[図29J]図29Jは、図29Iの後の工程を示す断面図である。

[図29K]図29Kは、図29Jの後の工程を示す断面図である。

[図29L]図29Lは、図29Kの後の工程を示す断面図である。

[図29M]図29Mは、図29Lの後の工程を示す断面図である。

[図29N]図29Nは、図29Mの後の工程を示す断面図である。

[図29O]図29Oは、図29Nの後の工程を示す断面図である。

[図29P]図29Pは、図29Oの後の工程を示す断面図である。

[図29Q]図29Qは、図29Pの後の工程を示す断面図である。

[図29R]図29Rは、図29Qの後の工程を示す断面図である。

[図29S]図29Sは、図29Rの後の工程を示す断面図である。

[図29T]図29Tは、図29Sの後の工程を示す断面図である。

[図29U]図29Uは、図29Tの後の工程を示す断面図である。

[図29V]図29Vは、図29Uの後の工程を示す断面図である。

[図30]図30は、図5に対応し、第1参考実施形態（first reference preferred embodiment）に係るSiC半導体装置を示す平面図である。

[図31A]図31Aは、図30に示すSiC半導体装置の製造方法の一例を示す断面図である。

[図31B]図31Bは、図31Aの後の工程を示す断面図である。

[図31C]図31Cは、図31Bの後の工程を示す断面図である。

[図31D]図31Dは、図31Cの後の工程を示す断面図である。

[図32]図32は、図6に対応し、第2参考実施形態（second reference preferred embodiment）に係るSiC半導体装置を示す平面図である。

[図33]図33は、図32に示すXXXIII-XXXIII線に沿う断面図である。

[図34]図34は、図6に対応し、本発明の第2実施形態に係るSiC半導体装置を示す平面図である。

[図35]図35は、図34に示すXXXV-XXXV線に沿う断面図である。

[図36]図36は、図34に示すXXXVI-XXXVI線に沿う断面図である。

[図37]図37は、図34に示すXXXVII-XXXVII線に沿う断面図である。

[図38]図38は、図16に対応し、図34に示すSiC半導体装置を示す平面図である。

[図39]図39は、図38に示すXXXIX-XXXIX線に沿う断面図である。

[図40]図40は、図38に示すXL-XL線に沿う断面図である。

[図41]図41は、図38に示すXLI-XLI線に沿う断面図である。

発明を実施するための形態

[0009] 図1は、本発明の第1実施形態に係るSiC半導体装置1を示す平面図である。図2は、図1に示すII-II線に沿う断面をSiCチップ2内の構造を省略して示す断面図である。図3は、図1に示すSiCチップ2の第1主面3をSiCチップ2内の構造を省略して示す平面図である。

[0010] 図1～図3を参照して、SiC半導体装置1は、この形態（this embodiment）では、六方晶のSiC（炭化シリコン）単結晶からなるSiCチップ2を含む電子部品である。また、SiC半導体装置1は、この形態では、SiC-MISFET（Metal Insulator Semiconductor Field Effect Transistor）を含む半導体スイッチングデバイスである。六方晶のSiC単結晶は、2H（Hexagonal）-SiC単結晶、4H-SiC単結晶、6H-SiC単結晶等を含む複数種のポリタイプを有している。この形態では、SiCチップ2が4H-SiC単結晶からなる例を示すが、他のポリタイプを除外するものではない。

[0011] SiCチップ2は、直方体形状に形成されている。SiCチップ2は、一方側の第1主面3、他方側の第2主面4、ならびに、第1主面3および第2主面4を接続する第1～第4側面5A～5Dを有している。第1主面3は、機能デバイスが形成されるデバイス面である。第2主面4は、機能デバイスが形成されない非デバイス面である。第1主面3および第2主面4は、それらの法線方向Zから見た平面視（以下、単に「平面視」という。）において四角形状に形成されている。第1主面3および第2主面4は、平面視において正形状または長形状に形成されていてもよい。

[0012] 第1主面3および第2主面4は、SiC単結晶のc面に面している。c面

は、SiC単結晶のシリコン面（ (0001) 面）およびカーボン面（ $(000-1)$ 面）を含む。第1主面3はシリコン面に面し、第2主面4はカーボン面に面していることが好ましい。第1主面3および第2主面4は、 c 面に対して所定のオフ方向に所定の角度で傾斜したオフ角を有していてもよい。オフ方向は、SiC単結晶の a 軸方向（ $[11-20]$ 方向）であることが好ましい。オフ角は、 0° を超えて 10° 以下であってもよい。オフ角は、 5° 以下であることが好ましい。オフ角は、 2° 以上 4.5° 以下であることが特に好ましい。

[0013] 第2主面4は、研削痕およびアニール痕（具体的にはレーザ照射痕）のいずれか一方または双方を有する粗面からなってもよい。アニール痕は、非晶質化したSiC、および／または、金属とシリサイド化（合金化）したSiC（具体的にはSi）を含んでいてもよい。第2主面4は、少なくともアニール痕を有するオーミック面からなることが好ましい。

[0014] 第1側面5Aおよび第2側面5Bは、第1主面3に沿う第1方向Xに延び、第1方向Xに交差（具体的には直交）する第2方向Yに対向している。第3側面5Cおよび第4側面5Dは、第2方向Yに延び、第1方向Xに対向している。この形態では、第1方向XがSiC単結晶の m 軸方向（ $[1-100]$ 方向）であり、第2方向YがSiC単結晶の a 軸方向である。つまり、第1側面5Aおよび第2側面5Bは、SiC単結晶の a 面によって形成され、第3側面5Cおよび第4側面5Dは、SiC単結晶の m 面によって形成されている。第1～第4側面5A～5Dは、第1主面3の周縁および第2主面4の周縁をそれぞれ形成している。

[0015] 第1～第4側面5A～5Dは、ダイシングブレードによる切削によって形成された研削痕を有する研削面からなってもよいし、レーザ光照射によって形成された改質層を有する劈開面からなってもよい。改質層は、具体的には、SiCチップ2の結晶構造の一部が別の性質に改質した領域からなる。つまり、改質層は、密度、屈折率または機械的強度（結晶強度）、もしくは、その他の物理的特性がSiCチップ2とは異なる性質に改質された

領域からなる。改質層は、非晶質層、熔融再硬化層、欠陥層、絶縁破壊層または屈折率変化層のうちの少なくとも1つの層を含んでいてもよい。

[0016] 第1～第4側面5A～5Dが劈開面からなる場合、第1側面5Aおよび第2側面5Bは、オフ角に起因する傾斜角を有する傾斜面を形成していてもよい。オフ角に起因する傾斜角は、法線方向Zを 0° としたとき、当該法線方向Zに対する角度である。第1側面5Aおよび第2側面5Bは、法線方向Zに対してSiC単結晶のc軸方向（ $[0001]$ 方向）に沿って延びる傾斜面を形成していてもよい。

[0017] オフ角に起因する傾斜角は、オフ角とほぼ等しい。オフ角に起因する傾斜角は、 0° を超えて 10° 以下（好ましくは 2° 以上 4.5° 以下）であってもよい。第3側面5Cおよび第4側面5Dは、オフ方向（a軸方向）に延びているため、オフ角に起因する傾斜角を有さない。第3側面5Cおよび第4側面5Dは、第2方向Y（a軸方向）および法線方向Zに平面的に延びている。第3側面5Cおよび第4側面5Dは、具体的には、第1主面3および第2主面4に対してほぼ垂直に形成されている。

[0018] 第1主面3は、活性面6（active surface）、外側面7（outer surface）および第1～第4接続面8A～8D（connecting surface）を有している。活性面6、外側面7および第1～第4接続面8A～8Dは、第1主面3において活性台地9（active mesa）を区画している。活性面6が第1面と称され、外側面7が第2面と称され、活性台地9が台地と称されてもよい。

[0019] 活性面6は、トレンチ絶縁ゲート型のMISFETが形成された面である。活性面6は、第1主面3の周縁（第1～第4側面5A～5D）から内方に間隔を空けて形成されている。活性面6は、第1方向Xおよび第2方向Yに延びる平坦面を有している。活性面6は、平面視において第1主面3の周縁に平行な4辺を有する四角形状に形成されている。活性面6の角部は、この形態では、外側面7側に向かう湾曲状に面取り（具体的にはR面取り）されている。したがって、活性面6は、この形態では、平面視において四隅が湾曲した四角形状に形成されている。

[0020] 外側面 7 は、活性面 6 外に位置し、活性面 6 から S i C チップ 2 の厚さ方向（第 2 主面 4 側）に第 1 深さ D 1 で窪んでいる。つまり、外側面 7 は、活性面 6 に対して第 2 主面 4 側に位置している。外側面 7 は、平面視において活性面 6 に沿って延びる帯状に形成されている。外側面 7 は、具体的には、平面視において活性面 6 を取り囲む環状（具体的には四角環状）に形成されている。

[0021] 外側面 7 は、第 1 方向 X および第 2 方向 Y に延びる平坦面を有し、活性面 6 に対してほぼ平行に形成されている。外側面 7 は、第 1 ～第 4 側面 5 A ～ 5 D に連通している。外側面 7 の第 1 深さ D 1 は、0.5 μ m 以上 10 μ m 以下であってもよい。第 1 深さ D 1 は、5 μ m 以下であることが好ましい。第 1 深さ D 1 は、2.5 μ m 以下であることが特に好ましい。

[0022] 第 1 ～第 4 接続面 8 A ～ 8 D は、法線方向 Z に延び、活性面 6 および外側面 7 を接続している。第 1 接続面 8 A は第 1 側面 5 A 側に位置し、第 2 接続面 8 B は第 2 側面 5 B 側に位置し、第 3 接続面 8 C は第 3 側面 5 C 側に位置し、第 4 接続面 8 D は第 4 側面 5 D 側に位置している。第 1 接続面 8 A および第 2 接続面 8 B は、第 1 方向 X に延び、第 2 方向 Y に対向している。第 3 接続面 8 C および第 4 接続面 8 D は、第 2 方向 Y に延び、第 1 方向 X に対向している。第 1 接続面 8 A および第 2 接続面 8 B は S i C 単結晶の a 面に面し、第 3 接続面 8 C および第 4 接続面 8 D は S i C 単結晶の m 面に面している。

[0023] 第 1 ～第 4 接続面 8 A ～ 8 D は、活性面 6 および外側面 7 に対してほぼ垂直に形成されていてもよい。この場合、四角柱状の活性台地 9 が第 1 主面 3 に区画される。第 1 ～第 4 接続面 8 A ～ 8 D は、活性面 6 から外側面 7 に向かって斜め下り傾斜していてもよい。この場合、四角錘台状の活性台地 9 が第 1 主面 3 に区画される。第 1 ～第 4 接続面 8 A ～ 8 D の傾斜角度は、90° 以上 135° 以下であってもよい。第 1 ～第 4 接続面 8 A ～ 8 D の傾斜角度は、S i C チップ 2 内において第 1 ～第 4 接続面 8 A ～ 8 D が活性面 6 との間で成す角度である。第 1 ～第 4 接続面 8 A ～ 8 D の傾斜角度は、9

5°以下であることが好ましい。

[0024] SiC半導体装置1は、SiCチップ2の第2主面4の表層部に形成されたn型（第1導電型）の第1半導体領域10を含む。第1半導体領域10は、MISFETのドレインを形成している。第1半導体領域10は、ドレイン領域と称されてもよい。第1半導体領域10は、厚さ方向にほぼ一定のn型不純物濃度を有している。第1半導体領域10のn型不純物濃度は、 $1 \times 10^{18} \text{ cm}^{-3}$ 以上 $1 \times 10^{21} \text{ cm}^{-3}$ 以下であってもよい。

[0025] 第1半導体領域10は、外側面7から第2主面4側に間隔を空けて第2主面4の表層部に形成されている。第1半導体領域10は、第2主面4の表層部の全域に形成され、第2主面4および第1～第4側面5A～5Dから露出している。つまり、第1半導体領域10は、第2主面4および第1～第4側面5A～5Dの一部を有している。

[0026] 第1半導体領域10の厚さは、 $5 \mu\text{m}$ 以上 $300 \mu\text{m}$ 以下であってもよい。第1半導体領域10の厚さは、典型的には、 $50 \mu\text{m}$ 以上 $250 \mu\text{m}$ 以下である。第1半導体領域10の厚さは、第2主面4の研削によって調整される。第1半導体領域10は、この形態では、n型の半導体基板（SiC基板）によって形成されている。

[0027] SiC半導体装置1は、SiCチップ2の第1主面3の表層部に形成されたn型の第2半導体領域11を含む。第2半導体領域11は、第1半導体領域10に電氣的に接続され、第1半導体領域10と共にMISFETのドレインを形成している。第2半導体領域11は、ドリフト領域と称されてもよい。第2半導体領域11は、第1半導体領域10のn型不純物濃度未満のn型不純物濃度を有している。第2半導体領域11のn型不純物濃度は、 $1 \times 10^{15} \text{ cm}^{-3}$ 以上 $1 \times 10^{18} \text{ cm}^{-3}$ 以下であってもよい。

[0028] 第2半導体領域11は、第1主面3の表層部の全域に形成され、第1主面3および第1～第4側面5A～5Dから露出している。第2半導体領域11は、具体的には、活性面6、外側面7および第1～第4接続面8A～8Dから露出している。第2半導体領域11は、第1主面3および第1～第4側面

5 A～5 Dの一部を有している。第2半導体領域11の厚さは、 $5\mu\text{m}$ 以上 $20\mu\text{m}$ 以下であってもよい。第2半導体領域11の厚さは、活性面6を基準とする厚さである。第2半導体領域11は、この形態では、n型のエピタキシャル層（SiCエピタキシャル層）によって形成されている。

[0029] 第2半導体領域11は、第1半導体領域10側から第1主面3に向けてn型不純物濃度が増加（具体的には漸増）する濃度勾配を有していることが好ましい。つまり、第2半導体領域11は、第1半導体領域10側に位置する比較的低濃度な第1濃度領域12（低濃度領域）、および、第1主面3側に位置し、第1濃度領域12よりも高濃度な第2濃度領域13（高濃度領域）を有していることが好ましい。

[0030] 第1濃度領域12は、外側面7に対して第1半導体領域10側に位置し、第1～第4側面5 A～5 Dから露出している。第2濃度領域13は、第1濃度領域12に対して第1主面3側に位置し、活性面6、外側面7および第1～第4接続面8 A～8 Dから露出している。第1濃度領域12のn型不純物濃度は、 $1 \times 10^{15} \text{ cm}^{-3}$ 以上 $1 \times 10^{17} \text{ cm}^{-3}$ 以下であってもよい。第2濃度領域13のn型不純物濃度は、 $1 \times 10^{16} \text{ cm}^{-3}$ 以上 $1 \times 10^{18} \text{ cm}^{-3}$ 以下であってもよい。

[0031] SiC半導体装置1は、SiCチップ2において第1半導体領域10および第2半導体領域11の間に介在するn型の第3半導体領域14（濃度遷移領域）を含む。第3半導体領域14は、第1半導体領域10および第2半導体領域11に電氣的に接続され、第1半導体領域10および第2半導体領域11と共にMISFETのドレインを形成している。第3半導体領域14は、バッファ領域と称されてもよい。第3半導体領域14は、第1半導体領域10のn型不純物濃度から第2半導体領域11のn型不純物濃度に向けてn型不純物濃度が低下（具体的には漸減）する濃度勾配を有している。

[0032] 第3半導体領域14は、第1半導体領域10および第2半導体領域11の間の全域に介在し、第1～第4側面5 A～5 Dから露出している。つまり、第3半導体領域14は、第1～第4側面5 A～5 Dの一部を有している。第

3半導体領域14の厚さは、 $1\mu\text{m}$ 以上 $10\mu\text{m}$ 以下であってもよい。第3半導体領域14は、この形態では、n型のエピタキシャル層（SiCエピタキシャル層）によって形成されている。

[0033] 図4は、図3に示す第1主面3をSiCチップ2に作りこまれた構造を簡略化して示す平面図である。図5は、図4に示す第1主面3の要部を拡大した平面図である。

[0034] 図4および図5を参照して、SiC半導体装置1は、活性面6に設定されたトランジスタ領域20を含む。トランジスタ領域20は、アクティブ領域と称されてもよい。トランジスタ領域20は、この形態では、活性面6に1つだけ設定されている。つまり、SiC半導体装置1は、この形態では、単一のトランジスタ領域20を含むディスクリートデバイスからなる。トランジスタ領域20は、この形態では、第1接続面8Aおよび第2接続面8Bから内方に間隔を空けて活性面6の中央部に設定されている。トランジスタ領域20は、第1～第4接続面8A～8Dに平行な4辺を有する四角形状に設定されている。

[0035] SiC半導体装置1は、活性面6においてトランジスタ領域20外の領域に設定された複数の周縁領域21、22を含む。複数の周縁領域21、22は、具体的には、第1周縁領域21および第2周縁領域22を含む。第1周縁領域21は、第1接続面8Aおよびトランジスタ領域20の間の領域において第3接続面8Cおよび第4接続面8Dの間を第1方向Xに延びる帯状に設定されている。第1周縁領域21は、第2方向Yにトランジスタ領域20に対向している。第2周縁領域22は、第2接続面8Bおよびトランジスタ領域20の間の領域において第3接続面8Cおよび第4接続面8Dの間を第1方向Xに延びる帯状に設定されている。第2周縁領域22は、第2方向Yにトランジスタ領域20を挟んで第1周縁領域21に対向している。

[0036] 図6は、図5に示すトランジスタ領域20の端部を拡大した平面図である。図7は、図5に示すトランジスタ領域20の内方部を拡大した平面図である。図8は、図6に示すVIII-VIII線に沿う断面図である。図9は、図6に示

すIX-IX線に沿う断面図である。図10は、図6に示すX-X線に沿う断面図である。図11は、図6に示すXI-XI線に沿う断面図である。図12は、図7に示すXII-XII線に沿う断面図である。

[0037] 図6～図12を参照して、SiC半導体装置1は、活性面6の表層部に形成されたp型（第2導電型）のボディ領域23を含む。ボディ領域23は、MISFETのボディダイオードの一部を形成している。ボディ領域23のp型不純物濃度は、 $1 \times 10^{16} \text{ cm}^{-3}$ 以上 $1 \times 10^{18} \text{ cm}^{-3}$ 以下であってもよい。ボディ領域23は、具体的には、活性面6の全域において第2半導体領域11の表層部に形成されている。ボディ領域23は、さらに具体的には、第2濃度領域13の表層部に形成され、第1濃度領域12の一部を挟んで第1半導体領域10（第3半導体領域14）に対向している。

[0038] SiC半導体装置1は、活性面6においてボディ領域23の表層部に形成されたn型のソース領域24を含む。ソース領域24は、MISFETのソースを形成している。ソース領域24は、第2半導体領域11（第2濃度領域13）のn型不純物濃度を超えるn型不純物濃度を有している。ソース領域24のn型不純物濃度は、 $1 \times 10^{18} \text{ cm}^{-3}$ 以上 $1 \times 10^{21} \text{ cm}^{-3}$ 以下であってもよい。

[0039] ソース領域24は、この形態では、活性面6の全域においてボディ領域23の表層部に形成されている。ソース領域24は、ボディ領域23の底部から活性面6側に間隔を空けて形成されている。ソース領域24は、ボディ領域23内において第2半導体領域11（第2濃度領域13）とMISFETのチャネルを形成する。ソース領域24は、必ずしも活性面6の全域に形成されている必要はなく、活性面6においてチャネルを形成すべき領域（たとえばトランジスタ領域20）のみに形成されていてもよい。

[0040] SiC半導体装置1は、トランジスタ領域20（活性面6の内方部）において活性面6に形成されたトランジスタ構造30を含む。トランジスタ構造30は、活性面6に形成された複数のトレンチゲート構造31（a plurality of trench gate structures）を含む。複数のトレンチゲート構造31（the

trench gate structures) は、M I S F E T のゲートを形成している。複数のトレンチゲート構造 3 1 には、ゲート電位が付与される。複数のトレンチゲート構造 3 1 は、ボディ領域 2 3 におけるチャネルのオンオフを制御する。

[0041] 複数のトレンチゲート構造 3 1 は、平面視において第 1 ～第 4 接続面 8 A ～8 D から間隔を空けて活性面 6 の内方部に形成されている。複数のトレンチゲート構造 3 1 は、平面視において第 1 方向 X に延びる帯状（長形状）にそれぞれ形成され、第 2 方向 Y に間隔を空けて形成されている。複数のトレンチゲート構造 3 1 は、平面視において第 1 方向 X に延びるストライプ状に形成されている。複数のトレンチゲート構造 3 1 は、平面視において活性面 6 の中央部を第 2 方向 Y に通過するラインを第 1 方向 X に横切っていることが好ましい。

[0042] 複数のトレンチゲート構造 3 1 は、第 1 幅 W 1 をそれぞれ有している。第 1 幅 W 1 は、各トレンチゲート構造 3 1 が延びる方向に直交する方向（つまり第 2 方向 Y）の幅である。第 1 幅 W 1 は、0.1 μ m 以上 3 μ m 以下であってもよい。第 1 幅 W 1 は、0.5 μ m 以上 1.5 μ m 以下であることが好ましい。

[0043] 複数のトレンチゲート構造 3 1 は、第 2 方向 Y に第 1 間隔 P 1 を空けて配列されている。第 1 間隔 P 1 は、第 2 方向 Y に近接する 2 つのトレンチゲート構造 3 1 の間の距離である。第 1 間隔 P 1 は、第 1 幅 W 1 を超えている（ $W 1 < P 1$ ）ことが好ましい。第 1 間隔 P 1 は、0.4 μ m 以上 5 μ m 以下であってもよい。第 1 間隔 P 1 は、0.8 μ m 以上 3 μ m 以下であることが好ましい。

[0044] 各トレンチゲート構造 3 1 は、第 2 深さ D 2 を有している。第 2 深さ D 2 は、外側面 7 の第 1 深さ D 1 未満（ $D 2 < D 1$ ）である。第 2 深さ D 2 は、0.1 μ m 以上 3 μ m 以下であってもよい。第 2 深さ D 2 は、0.5 μ m 以上 2 μ m 以下であることが好ましい。各トレンチゲート構造 3 1 のアスペクト比 $D 2 / W 1$ は、1 以上 5 以下であることが好ましい。アスペクト比 D 2

／W 1 は、第 1 幅 W 1 に対する第 2 深さ D 2 の比である。アスペクト比 D 2
／W 1 は、1.5 以上であることが特に好ましい。

[0045] 各トレンチゲート構造 3 1 は、側壁および底壁を含む。各トレンチゲート構造 3 1 の側壁のうち長辺を形成する部分は、S i C 単結晶の a 面によって形成されている。各トレンチゲート構造 3 1 の側壁のうち短辺を形成する部分は、S i C 単結晶の m 面によって形成されている。各トレンチゲート構造 3 1 の底壁は、S i C 単結晶の c 面によって形成されている。

[0046] 各トレンチゲート構造 3 1 は、ほぼ一定の開口幅を有する垂直形状に形成されていてもよい。各トレンチゲート構造 3 1 は、底壁に向かって狭まる開口幅を有する先細り形状に形成されていてもよい。各トレンチゲート構造 3 1 の底壁は、第 2 主面 4 に向かう湾曲形状に形成されていることが好ましい。むろん、各トレンチゲート構造 3 1 の底壁は、活性面 6 に平行な平坦面を有していてもよい。

[0047] 各トレンチゲート構造 3 1 は、ボディ領域 2 3 およびソース領域 2 4 を横切って第 2 半導体領域 1 1 に至るように活性面 6 に形成されている。各トレンチゲート構造 3 1 は、具体的には、第 2 半導体領域 1 1 の底部から活性面 6 側に間隔を空けて形成され、第 2 半導体領域 1 1 の一部を挟んで第 1 半導体領域 1 0（第 3 半導体領域 1 4）に対向している。各トレンチゲート構造 3 1 は、この形態では、第 2 濃度領域 1 3 に形成され、第 2 濃度領域 1 3 の一部を挟んで第 1 濃度領域 1 2 に対向している。各トレンチゲート構造 3 1 の側壁は、第 2 半導体領域 1 1、ボディ領域 2 3 およびソース領域 2 4 に接している。各トレンチゲート構造 3 1 の底壁は、第 2 半導体領域 1 1 に接している。

[0048] 複数のトレンチゲート構造 3 1 は、ゲートトレンチ 3 2、ゲート絶縁膜 3 3 およびゲート電極 3 4 をそれぞれ含む。以下、1 つのトレンチゲート構造 3 1 について説明する。ゲートトレンチ 3 2 は、トレンチゲート構造 3 1 の側壁および底壁を形成している。側壁および底壁は、ゲートトレンチ 3 2 の壁面（内壁および外壁）を形成している。

- [0049] ゲートトレンチ 3 2 の開口エッジ部は、活性面 6 からゲートトレンチ 3 2 に向かって斜め下り傾斜している。開口エッジ部は、活性面 6 およびゲートトレンチ 3 2 の側壁の接続部である。開口エッジ部は、この形態では、SiC チップ 2 に向かって窪んだ湾曲状に形成されている。開口エッジ部は、ゲートトレンチ 3 2 の内方に向かう湾曲状に形成されていてもよい。
- [0050] ゲート絶縁膜 3 3 は、ゲートトレンチ 3 2 の内壁に膜状に形成され、ゲートトレンチ 3 2 内においてリセス空間を区画している。ゲート絶縁膜 3 3 は、ゲートトレンチ 3 2 の内壁において第 2 半導体領域 1 1、ボディ領域 2 3 およびソース領域 2 4 を被覆している。ゲート絶縁膜 3 3 は、酸化シリコン膜、窒化シリコン膜および酸窒化シリコン膜のうちの少なくとも 1 つを含む。ゲート絶縁膜 3 3 は、この形態では、酸化シリコン膜からなる単層構造を有している。
- [0051] ゲート絶縁膜 3 3 は、第 1 部分 3 3 a、第 2 部分 3 3 b および第 3 部分 3 3 c を含む。第 1 部分 3 3 a は、ゲートトレンチ 3 2 の側壁を被覆している。第 2 部分 3 3 b は、ゲートトレンチ 3 2 の底壁を被覆している。第 3 部分 3 3 c は、開口エッジ部を被覆している。第 3 部分 3 3 c は、この形態では、開口エッジ部においてゲートトレンチ 3 2 の内方に向けて湾曲状に膨出している。
- [0052] 第 1 部分 3 3 a の厚さは、10 nm 以上 100 nm 以下であってもよい。第 2 部分 3 3 b は、第 1 部分 3 3 a の厚さを超える厚さを有していてもよい。第 2 部分 3 3 b の厚さは、50 nm 以上 200 nm 以下であってもよい。第 3 部分 3 3 c は、第 1 部分 3 3 a の厚さを超える厚さを有している。第 3 部分 3 3 c の厚さは、50 nm 以上 200 nm 以下であってもよい。むしろ、一様な厚さを有するゲート絶縁膜 3 3 が形成されていてもよい。
- [0053] ゲート電極 3 4 は、ゲート絶縁膜 3 3 を挟んでゲートトレンチ 3 2 に埋設されている。ゲート電極 3 4 は、ゲート絶縁膜 3 3 を挟んで第 2 半導体領域 1 1、ボディ領域 2 3 およびソース領域 2 4 に対向している。ゲート電極 3 4 は、ゲートトレンチ 3 2 から露出した電極面を有している。ゲート電極 3

4の電極面は、ゲートトレンチ32の底壁に向かって窪んだ湾曲状に形成され、ゲート絶縁膜33の第3部分33cによって狭められている。

[0054] ゲート電極34には、ゲート電位が付与される。ゲート電極34は、ゲート絶縁膜33を介してボディ領域23におけるチャネルのオンオフを制御する。ゲート電極34は、導電性ポリシリコンからなることが好ましい。ゲート電極34は、n型不純物が添加されたn型ポリシリコン、および／または、p型不純物が添加されたp型ポリシリコンを含んでいてもよい。

[0055] トランジスタ構造30は、活性面6に形成された複数の第1トレンチソース構造41 (a plurality of first trench source structures) を含む。複数の第1トレンチソース構造41 (the first trench source structures) には、ソース電位が付与される。ソース電位は、M I S F E Tの動作基準となる基準電位であってもよい。複数の第1トレンチソース構造41は、第2方向Yに複数のトレンチゲート構造31に隣り合うように活性面6にそれぞれ形成されている。複数の第1トレンチソース構造41は、具体的には、活性面6において近接する2つのトレンチゲート構造31の間の領域に各トレンチゲート構造31から間隔を空けてそれぞれ形成されている。

[0056] 複数の第1トレンチソース構造41は、平面視において第1方向Xに延びる帯状にそれぞれ形成され、1つのトレンチゲート構造31を挟み込む態様で第2方向Yに間隔を空けて形成されている。複数の第1トレンチソース構造41は、平面視において第1方向Xに延びるストライプ状に形成されている。

[0057] 複数の第1トレンチソース構造41は、平面視において活性面6の中央部を第2方向Yに通過するラインを第1方向Xに横切っていることが好ましい。各第1トレンチソース構造41は、この形態では、第1方向Xに関して、各トレンチゲート構造31の長さを超える長さを有している。複数の第1トレンチソース構造41は、平面視において各トレンチゲート構造31の端部を第2方向Y側から第1方向Xに横切っている。

[0058] 複数の第1トレンチソース構造41は、平面視において活性面6の周縁（

第3接続面8Cおよび第4接続面8D)および各トレンチゲート構造31の端部の間の領域に第2方向Yに対向する部分をそれぞれ含む。複数の第1トレンチソース構造41は、第3接続面8Cおよび第4接続面8Dのうちの少なくとも一方から露出している。複数の第1トレンチソース構造41は、この形態では、第3接続面8Cおよび第4接続面8Dの双方から露出している。つまり、複数の第1トレンチソース構造41は、第3接続面8Cおよび第4接続面8Dを貫通している。

[0059] 複数の第1トレンチソース構造41は、第2幅W2をそれぞれ有している。第2幅W2は、各第1トレンチソース構造41が延びる方向に直交する方向(つまり第2方向Y)の幅である。第2幅W2は、 $0.1\mu\text{m}$ 以上 $3\mu\text{m}$ 以下であってもよい。第2幅W2は、 $0.5\mu\text{m}$ 以上 $1.5\mu\text{m}$ 以下であることが好ましい。第2幅W2は、第1幅W1を超えていてもよいし($W1 < W2$)、第1幅W1以下($W1 \geq W2$)であってもよい。第2幅W2は、この形態では、第1幅W1とほぼ等しい($W1 \div W2$)。第2幅W2は、第1幅W1の値の $\pm 10\%$ 以内の範囲の値を有していることが好ましい。

[0060] 各第1トレンチソース構造41は、第3深さD3を有している。第3深さD3は、トレンチゲート構造31の第2深さD2($D2 < D3$)を超えている。第3深さD3は、第2深さD2の1.5倍以上3倍以下であることが好ましい。第3深さD3は、この形態では、外側面7の第1深さD1とほぼ等しい($D1 \div D3$)。つまり、各第1トレンチソース構造41は、外側面7、第3接続面8Cおよび第4接続面8Dに連通している。第3深さD3は、第1深さD1の値の $\pm 10\%$ 以内の範囲の値を有していることが好ましい。

[0061] 第3深さD3は、 $0.5\mu\text{m}$ 以上 $10\mu\text{m}$ 以下であってもよい。第3深さD3は、 $5\mu\text{m}$ 以下であることが好ましい。第3深さD3は、 $2.5\mu\text{m}$ 以下であることが特に好ましい。各第1トレンチソース構造41のアスペクト比 $D3/W2$ は、1以上5以下であることが好ましい。アスペクト比 $D3/W2$ は、第2幅W2に対する第3深さD3の比である。アスペクト比 $D3/W2$ は、2以上であることが特に好ましい。

- [0062] 複数の第1トレンチソース構造41は、複数のトレンチゲート構造31から第2方向Yに第2間隔P2を空けて配列されている。第2間隔P2は、第2方向Yに近接する1つのトレンチゲート構造31および1つの第1トレンチソース構造41の間の距離である。第2間隔P2は、第1間隔P1の4分の1以上かつ第1間隔P1の2分の1以下 ($1/4 \times P1 \leq P2 \leq 1/2 \times P1$) であることが好ましい。
- [0063] 第2間隔P2は、0.1 μm 以上2.5 μm 以下であってもよい。第2間隔P2は、0.5 μm 以上1.5 μm 以下であることが好ましい。第2間隔P2は、トレンチゲート構造31の第1幅W1未満 ($P2 < W1$) であることが好ましい。第2間隔P2は、第1トレンチソース構造41の第2幅W2未満 ($P2 < W2$) であることが好ましい。むろん、第2間隔P2は、第1幅W1および第2幅W2以上であってもよい。
- [0064] 各第1トレンチソース構造41は、側壁および底壁を含む。各第1トレンチソース構造41の側壁は、SiC単結晶のa面によって形成されている。各第1トレンチソース構造41の側壁は、第3接続面8Cおよび第4接続面8Dに連通している。各第1トレンチソース構造41の底壁は、SiC単結晶のc面によって形成されている。各第1トレンチソース構造41の底壁は、外側面7に連通している。
- [0065] 各第1トレンチソース構造41は、ほぼ一定の開口幅を有する垂直形状に形成されていてもよい。各第1トレンチソース構造41は、底壁に向かって狭まる開口幅を有する先細り形状に形成されていてもよい。各第1トレンチソース構造41の底壁は、第2主面4に向かう湾曲形状に形成されていることが好ましい。むろん、各第1トレンチソース構造41の底壁は、活性面6に平行な平坦面を有していてもよい。
- [0066] 各第1トレンチソース構造41は、ボディ領域23およびソース領域24を横切って第2半導体領域11に至るように活性面6に形成されている。各第1トレンチソース構造41は、具体的には、第2半導体領域11の底部から活性面6側に間隔を空けて形成され、第2半導体領域11の一部を挟んで

第1半導体領域10（第3半導体領域14）に対向している。各第1トレンチソース構造41は、この形態では、第2濃度領域13に形成され、第2濃度領域13の一部を挟んで第1濃度領域12に対向している。

[0067] 各第1トレンチソース構造41の側壁は、第2半導体領域11、ボディ領域23およびソース領域24に接している。各第1トレンチソース構造41の底壁は、第2半導体領域11に接している。各第1トレンチソース構造41は、この形態では、各トレンチゲート構造31よりも深く形成されている。つまり、各第1トレンチソース構造41の底壁は、各トレンチゲート構造31の底壁に対して第2半導体領域11（第2濃度領域13）の底部側に位置している。

[0068] 複数の第1トレンチソース構造41は、ソーストレンチ42、ソース絶縁膜43およびソース電極44をそれぞれ含む。各第1トレンチソース構造41のソーストレンチ42、ソース絶縁膜43およびソース電極44は、「第1ソーストレンチ」、「第1ソース絶縁膜」および「第1ソース電極」と称されてもよい。以下、1つの第1トレンチソース構造41について説明する。

[0069] ソーストレンチ42は、第1トレンチソース構造41の側壁および底壁を形成している。側壁および底壁は、ソーストレンチ42の壁面（内壁および外壁）を形成している。ソーストレンチ42の開口エッジ部は、活性面6からソーストレンチ42に向かって斜め下り傾斜している。開口エッジ部は、活性面6およびソーストレンチ42の側壁の接続部である。開口エッジ部は、この形態では、SiCチップ2に向かって窪んだ湾曲状に形成されている。開口エッジ部は、ソーストレンチ42の内方に向かう湾曲状に形成されていてもよい。

[0070] ソース絶縁膜43は、ソーストレンチ42の内壁に膜状に形成され、ソーストレンチ42内においてリセス空間を区画している。ソース絶縁膜43は、ソーストレンチ42の内壁において第2半導体領域11、ボディ領域23およびソース領域24を被覆している。ソース絶縁膜43は、酸化シリコン

膜、窒化シリコン膜および酸窒化シリコン膜のうちの少なくとも1つを含む。ソース絶縁膜43は、この形態では、酸化シリコン膜からなる単層構造を有している。

[0071] ソース絶縁膜43は、第1部分43a、第2部分43bおよび第3部分43cを含む。第1部分43aは、ソーストレンチ42の側壁を被覆している。第1部分43aは、具体的には、ソーストレンチ42の任意の領域（具体的には後述するコンタクト領域70が形成された領域）においてソーストレンチ42の開口端から底壁側に間隔を空けてソーストレンチ42の側壁を被覆し、ソーストレンチ42の側壁から第1主面3の表層部を露出させている。

[0072] 第1部分43aは、活性面6の周縁部側では、ソーストレンチ42の側壁の全域を被覆している。第2部分43bは、ソーストレンチ42の底壁を被覆している。第3部分43cは、第1部分43aが形成された領域外において、ソーストレンチ42の開口エッジ部を被覆している。第3部分43cは、この形態では、開口エッジ部においてソーストレンチ42の内方に向けて湾曲状に膨出している。

[0073] 第1部分43aの厚さは、10nm以上100nm以下であってもよい。第2部分43bは、第1部分43aの厚さを超える厚さを有していてもよい。第2部分43bの厚さは、50nm以上200nm以下であってもよい。第3部分43cは、第1部分43aの厚さを超える厚さを有している。第3部分43cの厚さは、50nm以上200nm以下であってもよい。むろん、一様な厚さを有するソース絶縁膜43が形成されていてもよい。

[0074] ソース電極44は、ソース絶縁膜43を挟んでソーストレンチ42に埋設されている。ソース電極44は、ソース絶縁膜43を挟んで、第2半導体領域11、ボディ領域23およびソース領域24に対向している。ソース電極44は、ソース絶縁膜43の第1部分43aが形成された部分において、ソース絶縁膜43から露出した上端部を有している。ソース電極44の上端部は、ソーストレンチ42およびソース絶縁膜43の間で、SiCチップ2の

厚さ方向に窪んだりセスを区画している。

- [0075] ソース電極 4 4 は、ソーストレンチ 4 2 から露出した電極面を有している。ソース電極 4 4 の電極面は、ソーストレンチ 4 2 の底壁に向かって窪んだ湾曲状に形成されている。ソース電極 4 4 の電極面は、活性面 6 の周縁部側において絶縁膜の第 3 部分 4 3 c によって狭められている。
- [0076] ソース電極 4 4 には、ソース電位が印加される。ソース電極 4 4 は、導電性ポリシリコンからなることが好ましい。ソース電極 4 4 は、n 型不純物が添加された n 型ポリシリコン、および／または、p 型不純物が添加された p 型ポリシリコンを含んでいてもよい。ソース電極 4 4 は、ゲート電極 3 4 と同一の導電材料を含むことが好ましい。
- [0077] トランジスタ構造 3 0 は、複数の第 2 トレンチソース構造 5 1 (a plurality of second trench source structures) を含む。第 2 トレンチソース構造 5 1 は、中間トレンチソース構造 (intermediate trench source structure) と称されてもよい。複数の第 2 トレンチソース構造 5 1 (the second trench source structures) には、ソース電位が付与される。
- [0078] 複数の第 2 トレンチソース構造 5 1 は、活性面 6 の周縁および複数のトレンチゲート構造 3 1 の間の領域にそれぞれ形成されている。複数の第 2 トレンチソース構造 5 1 は、具体的には、活性面 6 において第 3 接続面 8 C および複数のトレンチゲート構造 3 1 の間の領域、ならびに、第 4 接続面 8 D および複数のトレンチゲート構造 3 1 の間の領域にそれぞれ形成されている。複数の第 2 トレンチソース構造 5 1 は、活性面 6 において近接する 2 つの第 1 トレンチソース構造 4 1 の間の領域に、トレンチゲート構造 3 1 および当該 2 つの第 1 トレンチソース構造 4 1 から間隔を空けてそれぞれ形成されている。
- [0079] 複数の第 2 トレンチソース構造 5 1 は、具体的には、1 つの第 1 トレンチソース構造 4 1 を挟み込む態様で第 2 方向 Y に間隔を空けて配列され、第 1 方向 X に複数のトレンチゲート構造 3 1 に一対一の対応関係でそれぞれ対向している。つまり、各第 2 トレンチソース構造 5 1 は、第 1 方向 X にトレン

チゲート構造 3 1 に対向し、第 2 方向 Y に第 2 トレンチソース構造 5 1 に対向している。

[0080] また、複数の第 2 トレンチソース構造 5 1 は、対応する 1 つのトレンチゲート構造 3 1 を第 1 方向 X の両サイドから挟み込むように、第 3 接続面 8 C 側の領域および第 4 接続面 8 D 側の領域にそれぞれ配列されている。複数の第 2 トレンチソース構造 5 1 は、平面視において第 1 方向 X に延びる帯状にそれぞれ形成されている。複数の第 2 トレンチソース構造 5 1 は、平面視において第 1 方向 X に延びるストライプ状に形成されている。

[0081] 第 3 接続面 8 C 側に位置する複数の第 2 トレンチソース構造 5 1 は第 3 接続面 8 C から露出し、第 4 接続面 8 D 側に位置する複数の第 2 トレンチソース構造 5 1 は第 4 接続面 8 D から露出している。つまり、複数の第 2 トレンチソース構造 5 1 は、配置に応じて、第 3 接続面 8 C および第 4 接続面 8 D のいずれか一方を貫通するように形成されている。

[0082] 複数の第 2 トレンチソース構造 5 1 は、第 1 方向 X に関して複数のトレンチゲート構造 3 1 の長さ未満の長さを有している。第 1 方向 X に配列された 1 つのトレンチゲート構造 3 1 および 2 つの第 2 トレンチソース構造 5 1 について見ると、2 つの第 2 トレンチソース構造 5 1 の総長さは、1 つのトレンチゲート構造 3 1 の長さ未満である。このような構造は、チャンネル長を確保する上で有効である。

[0083] 複数の第 2 トレンチソース構造 5 1 は、第 1 トレンチソース構造 4 1 と同様に、第 2 幅 W_2 および第 3 深さ D_3 (アスペクト比 D_3/W_2) をそれぞれ有している。また、複数の第 2 トレンチソース構造 5 1 は、第 1 トレンチソース構造 4 1 と同様に、第 2 方向 Y に第 2 間隔 P_2 を空けて配列されている。

[0084] 複数の第 2 トレンチソース構造 5 1 は、複数のトレンチゲート構造 3 1 から第 1 方向 X に第 3 間隔 P_3 を空けて配列されている。第 3 間隔 P_3 は、第 1 方向 X に近接する 1 つのトレンチゲート構造 3 1 および 1 つの第 2 トレンチソース構造 5 1 の間の距離である。第 3 間隔 P_3 は、複数のトレンチゲート

ト構造 31 の第 1 間隔 P1 の 4 分の 1 以上かつ第 1 間隔 P1 以下 ($1/4 \times P1 \leq P3 < P1$) であることが好ましい。第 3 間隔 P3 は、第 1 間隔 P1 の 2 分の 1 以下 ($P3 \leq 1/2 \times P1$) であることが好ましい。

[0085] 第 3 間隔 P3 は、0.1 μm 以上 2.5 μm 以下であってもよい。第 3 間隔 P3 は、0.5 μm 以上 1.5 μm 以下であることが好ましい。第 3 間隔 P3 は、トレンチゲート構造 31 および第 1 トレンチソース構造 41 の第 2 間隔 P2 とほぼ等しい ($P2 \div P3$) ことが好ましい。第 3 間隔 P3 は、第 2 間隔 P2 の値の $\pm 10\%$ 以内の範囲の値を有していることが好ましい。

[0086] 各第 2 トレンチソース構造 51 は、側壁および底壁を含む。各第 2 トレンチソース構造 51 の長辺を形成する側壁は、SiC 単結晶の a 面によって形成されている。各第 2 トレンチソース構造 51 の短辺を形成する側壁は、SiC 単結晶の m 面によって形成されている。各第 2 トレンチソース構造 51 の側壁は、第 3 接続面 8C および第 4 接続面 8D のいずれか一方に連通している。各第 2 トレンチソース構造 51 の底壁は、SiC 単結晶の c 面によって形成されている。各第 2 トレンチソース構造 51 の底壁は、外側面 7 に連通している。

[0087] 各第 2 トレンチソース構造 51 は、ほぼ一定の開口幅を有する垂直形状に形成されていてもよい。各第 2 トレンチソース構造 51 は、底壁に向かって狭まる開口幅を有する先細り形状に形成されていてもよい。各第 2 トレンチソース構造 51 の底壁は、第 2 主面 4 に向かう湾曲形状に形成されていることが好ましい。むろん、各第 2 トレンチソース構造 51 の底壁は、活性面 6 に平行な平坦面を有していてもよい。

[0088] 各第 2 トレンチソース構造 51 は、ボディ領域 23 およびソース領域 24 を横切って第 2 半導体領域 11 に至るように活性面 6 に形成されている。各第 2 トレンチソース構造 51 は、具体的には、第 2 半導体領域 11 の底部から活性面 6 側に間隔を空けて形成され、第 2 半導体領域 11 の一部を挟んで第 1 半導体領域 10 (第 3 半導体領域 14) に対向している。各第 2 トレンチソース構造 51 は、この形態では、第 2 濃度領域 13 に形成され、第 2 濃

度領域 1 3 の一部を挟んで第 1 濃度領域 1 2 に対向している。

[0089] 各第 2 トレンチソース構造 5 1 の側壁は、第 2 半導体領域 1 1、ボディ領域 2 3 およびソース領域 2 4 に接している。各第 2 トレンチソース構造 5 1 の底壁は、第 2 半導体領域 1 1 に接している。各第 2 トレンチソース構造 5 1 は、この形態では、各トレンチゲート構造 3 1 よりも深く形成されている。つまり、各第 2 トレンチソース構造 5 1 の底壁は、各トレンチゲート構造 3 1 の底壁に対して第 2 半導体領域 1 1（第 2 濃度領域 1 3）の底部側に位置している。

[0090] 複数の第 2 トレンチソース構造 5 1 は、第 1 トレンチソース構造 4 1 と同様に、ソーストレンチ 4 2、ソース絶縁膜 4 3 およびソース電極 4 4 をそれぞれ含む。各第 2 トレンチソース構造 5 1 のソーストレンチ 4 2、ソース絶縁膜 4 3 およびソース電極 4 4 は、「第 2 ソーストレンチ」、「第 2 ソース絶縁膜」および「第 2 ソース電極」と称されてもよい。

[0091] 各第 2 トレンチソース構造 5 1 では、ソース絶縁膜 4 3 の第 3 部分 4 3 c がソーストレンチ 4 2 の開口エッジ部の全域に形成されている。その他、第 2 トレンチソース構造 5 1 のソーストレンチ 4 2、ソース絶縁膜 4 3 およびソース電極 4 4 についての説明は、第 1 トレンチソース構造 4 1 のソーストレンチ 4 2、ソース絶縁膜 4 3 およびソース電極 4 4 についての説明がそれぞれ適用される。

[0092] 図 1 3 は、図 5 に示す第 1 周縁領域 2 1 の角部を拡大した平面図である。図 1 4 は、図 1 3 に示す XIV-XIV 線に沿う断面図である。図 1 5 は、図 1 3 に示す XV-XV 線に沿う断面図である。図 1 6 は、図 5 に示す第 1 周縁領域 2 1 の端部を拡大した平面図である。図 1 7 は、図 5 に示す第 1 周縁領域 2 1 の内方部を拡大した平面図である。図 1 8 は、図 1 6 に示す XVIII-XVIII 線に沿う断面図である。

[0093] 図 1 9 は、図 1 6 に示す XIX-XIX 線に沿う断面図である。図 2 0 は、図 1 6 に示す XX-XX 線に沿う断面図である。図 2 1 は、図 1 7 に示す XXI-XXI 線に沿う断面図である。第 2 周縁領域 2 2 側（第 2 接続面 8 B 側）の構造は第 1 周

縁領域 21 側（第 1 接続面 8 A 側）の構造と同様であるので、以下では、第 1 周縁領域 21 側（第 1 接続面 8 A 側）の構造を例にとって説明する。

[0094] 図 5、図 13～図 21 を参照して、SiC 半導体装置 1 は、活性面 6 において第 1 周縁領域 21（活性面 6 の周縁部）に形成されたダミー構造 60 を含む。ダミー構造 60 は、MISFET として動作しない領域であり、ダミートランジスタ構造と称されてもよい。ダミー構造 60 は、この形態では、第 1 ダミー構造 60 A および第 2 ダミー構造 60 B を含む。

[0095] 第 1 ダミー構造 60 A は、第 1 周縁領域 21 において活性面 6 の周縁（第 1 接続面 8 A）およびトランジスタ構造 30 の間の領域に形成されている。第 1 ダミー構造 60 A は、第 1 周縁領域 21 において活性面 6 の最縁部（第 1 接続面 8 A に近接する領域）に形成されている。第 2 ダミー構造 60 B は、第 1 周縁領域 21 においてトランジスタ構造 30 および第 1 ダミー構造 60 A の間の領域に形成されている。

[0096] 第 1 ダミー構造 60 A は、第 2 方向 Y に関して第 1 ダミー幅 WD1 を有している。第 2 ダミー構造 60 B は、第 2 方向 Y に関して第 2 ダミー幅 WD2 を有している。第 2 ダミー幅 WD2 は任意であるが、第 1 ダミー幅 WD1 を超えている ($WD1 < WD2$) ことが好ましい。第 2 ダミー幅 WD2 は、第 1 ダミー幅 WD1 の 5 倍以下 ($WD2 < 5 \times WD1$) であることが好ましい。第 2 ダミー幅 WD2 は、第 1 ダミー幅 WD1 の 3 倍以下 ($WD2 < 3 \times WD1$) であることが特に好ましい。

[0097] ダミー構造 60 は、第 1 ダミー構造 60 A および第 2 ダミー構造 60 B のうちの少なくとも一方を含んでいればよく、必ずしも第 1 ダミー構造 60 A および第 2 ダミー構造 60 B の双方を同時に含む必要はない。ダミー構造 60 は、第 1 ダミー構造 60 A または第 2 ダミー構造 60 B からなるシングルダミー構造を有していてもよい。ダミー構造 60 は、少なくとも第 1 ダミー構造 60 A を含むことが好ましい。ダミー構造 60 は、第 1 ダミー構造 60 A および第 2 ダミー構造 60 B の双方を含むことが最も好ましい。

[0098] 第 1 ダミー構造 60 A は、活性面 6 に形成された少なくとも 1 つの第 1 ダ

ミートレンチソース構造 6 1 を含む。第 1 ダミー構造 6 0 A は、この形態では、複数の第 1 ダミートレンチソース構造 6 1 (a plurality of first dummy trench source structures) を含む。第 1 ダミートレンチソース構造 6 1 の個数は任意であるが、10 個以上 50 個以下であることが好ましい。第 1 ダミー幅 WD 1 は、第 1 ダミートレンチソース構造 6 1 の個数によって調整される。第 1 ダミートレンチソース構造 6 1 の個数は、25 個以下であることが特に好ましい。この場合、第 1 周縁領域 2 1 に起因するトランジスタ領域 2 0 の面積の低下を抑制できる。

[0099] 複数の第 1 ダミートレンチソース構造 6 1 (the first dummy trench source structures) には、ソース電位が付与される。複数の第 1 ダミートレンチソース構造 6 1 は、平面視において第 1 方向 X に延びる帯状にそれぞれ形成され、互いに隣り合うように第 2 方向 Y に間隔を空けて連続的に配列されている。複数の第 1 ダミートレンチソース構造 6 1 は、平面視において第 1 方向 X に延びるストライプ状に形成されている。

[0100] 複数の第 1 ダミートレンチソース構造 6 1 は、平面視において活性面 6 の中央部を第 2 方向 Y に通過するラインを第 1 方向 X に横切っていることが好ましい。各第 1 ダミートレンチソース構造 6 1 は、この形態では、第 1 方向 X に関して、各トレンチゲート構造 3 1 の長さを超える長さを有している。複数の第 1 ダミートレンチソース構造 6 1 は、平面視において各トレンチゲート構造 3 1 の端部を第 2 方向 Y 側から第 1 方向 X に横切っている。

[0101] 複数の第 1 ダミートレンチソース構造 6 1 は、平面視において活性面 6 の周縁 (第 3 接続面 8 C および第 4 接続面 8 D) および各トレンチゲート構造 3 1 の端部の間の領域に第 2 方向 Y に対向する部分をそれぞれ含む。複数の第 1 ダミートレンチソース構造 6 1 は、第 2 方向 Y に複数のトレンチゲート構造 3 1、複数の第 1 トレンチソース構造 4 1 および複数の第 2 トレンチソース構造 5 1 に対向している。

[0102] 複数の第 1 ダミートレンチソース構造 6 1 は、第 3 接続面 8 C および第 4 接続面 8 D のうちの少なくとも一方からそれぞれ露出している。複数の第 1

ダミートレンチソース構造 6 1 は、この形態では、第 3 接続面 8 C および第 4 接続面 8 D の双方からそれぞれ露出している。つまり、複数の第 1 ダミートレンチソース構造 6 1 は、第 1 トレンチソース構造 4 1 と同様に、第 3 接続面 8 C および第 4 接続面 8 D を貫通している。

[0103] 複数の第 1 ダミートレンチソース構造 6 1 は、第 1 トレンチソース構造 4 1 と同様に、第 2 幅 W_2 および第 3 深さ D_3 （アスペクト比 D_3/W_2 ）をそれぞれ有している。つまり、各第 1 ダミートレンチソース構造 6 1 は、外側面 7、第 3 接続面 8 C および第 4 接続面 8 D に連通している。

[0104] 複数の第 1 ダミートレンチソース構造 6 1 は、互いに第 2 方向 Y に第 4 間隔 P_4 を空けて配列されている。第 4 間隔 P_4 は、第 2 方向 Y に近接する 2 つの第 1 ダミートレンチソース構造 6 1 の間の距離である。第 4 間隔 P_4 は、第 1 間隔 P_1 の 4 分の 1 以上かつ第 1 間隔 P_1 の 2 分の 1 以下（ $1/4 \times P_1 \leq P_4 \leq 1/2 \times P_1$ ）であることが好ましい。

[0105] 第 4 間隔 P_4 は、 $0.1 \mu\text{m}$ 以上 $2.5 \mu\text{m}$ 以下であってもよい。第 4 間隔 P_4 は、 $0.5 \mu\text{m}$ 以上 $1.5 \mu\text{m}$ 以下であることが好ましい。第 4 間隔 P_4 は、トレンチゲート構造 3 1 の第 1 幅 W_1 未満（ $P_4 < W_1$ ）であることが好ましい。第 4 間隔 P_4 は、第 1 ダミートレンチソース構造 6 1 の第 2 幅 W_2 未満（ $P_4 < W_2$ ）であることが好ましい。むろん、第 4 間隔 P_4 は、第 1 幅 W_1 および第 2 幅 W_2 以上であってもよい。

[0106] 第 4 間隔 P_4 は、トレンチゲート構造 3 1 および第 1 トレンチソース構造 4 1 の第 2 間隔 P_2 とほぼ等しい（ $P_2 \div P_4$ ）ことが好ましい。第 4 間隔 P_4 は、第 2 間隔 P_2 の値の $\pm 10\%$ 以内の範囲の値を有していることが好ましい。第 4 間隔 P_4 は、トレンチゲート構造 3 1 および第 2 トレンチソース構造 5 1 の第 3 間隔 P_3 とほぼ等しい（ $P_3 \div P_4$ ）ことが好ましい。第 4 間隔 P_4 は、第 3 間隔 P_3 の値の $\pm 10\%$ 以内の範囲の値を有していることが好ましい。

[0107] 各第 1 ダミートレンチソース構造 6 1 は、側壁および底壁を含む。各第 1 ダミートレンチソース構造 6 1 の側壁は、SiC 単結晶の a 面によって形成

されている。各第1ダミートレンチソース構造61の側壁は、第3接続面8Cおよび第4接続面8Dに連通している。各第1ダミートレンチソース構造61の底壁は、SiC単結晶のc面によって形成されている。各第1ダミートレンチソース構造61の底壁は、外側面7に連通している。

[0108] 各第1ダミートレンチソース構造61は、ほぼ一定の開口幅を有する垂直形状に形成されていてもよい。各第1ダミートレンチソース構造61は、底壁に向かって狭まる開口幅を有する先細り形状に形成されていてもよい。各第1ダミートレンチソース構造61の底壁は、第2主面4に向かう湾曲形状に形成されていることが好ましい。むろん、各第1ダミートレンチソース構造61の底壁は、活性面6に平行な平坦面を有していてもよい。

[0109] 各第1ダミートレンチソース構造61は、ボディ領域23およびソース領域24を横切って第2半導体領域11に至るように活性面6に形成されている。各第1ダミートレンチソース構造61は、具体的には、第2半導体領域11の底部から活性面6側に間隔を空けて形成され、第2半導体領域11の一部を挟んで第1半導体領域10（第3半導体領域14）に対向している。各第1ダミートレンチソース構造61は、この形態では、第2濃度領域13に形成され、第2濃度領域13の一部を挟んで第1濃度領域12に対向している。

[0110] 各第1ダミートレンチソース構造61の側壁は、第2半導体領域11、ボディ領域23およびソース領域24に接している。各第1ダミートレンチソース構造61の底壁は、第2半導体領域11に接している。各第1ダミートレンチソース構造61は、この形態では、各トレンチゲート構造31よりも深く形成されている。つまり、各第1ダミートレンチソース構造61の底壁は、各トレンチゲート構造31の底壁に対して第2半導体領域11（第2濃度領域13）の底部側に位置している。

[0111] 複数の第1ダミートレンチソース構造61は、第1トレンチソース構造41と同様に、ソーストレンチ42、ソース絶縁膜43およびソース電極44をそれぞれ含む。各第1ダミートレンチソース構造61のソーストレンチ4

2、ソース絶縁膜43およびソース電極44は、「第1ダミーソーストレンチ」、「第1ダミーソース絶縁膜」および「第1ダミーソース電極」と称されてもよい。

[0112] 各第1ダミートレンチソース構造61では、ソース絶縁膜43の第3部分43cがソーストレンチ42の開口エッジ部の全域に形成されている。その他、第1ダミートレンチソース構造61のソーストレンチ42、ソース絶縁膜43およびソース電極44についての説明は、第1トレンチソース構造41のソーストレンチ42、ソース絶縁膜43およびソース電極44についての説明がそれぞれ適用される。

[0113] 第2ダミー構造60Bは、活性面6に形成された少なくとも1つのダミートレンチゲート構造62、および、ダミートレンチゲート構造62に隣り合うように活性面6に形成された少なくとも1つの第2ダミートレンチソース構造63を含む。第2ダミー構造60Bは、この形態では、複数のダミートレンチゲート構造62 (a plurality of dummy trench gate structures) および複数の第2ダミートレンチソース構造63 (a plurality of second dummy trench source structures) を含む。

[0114] 複数のダミートレンチゲート構造62 (the dummy trench gate structures) および複数の第2ダミートレンチソース構造63 (the second dummy trench source structures) は、2つダミートレンチゲート構造62を配列始点および配列終点として、第2方向Yに間隔を空けて交互に配列されている。つまり、第2ダミー構造60Bは、この形態では、2つのダミートレンチゲート構造62を配列始点および配列終点とするトレンチ構造群によって定義されている。第2ダミー構造60Bは、トランジスタ構造30の第1トレンチソース構造41から第2間隔P2を空けて形成され、第1ダミー構造60Aの第1ダミートレンチソース構造61から第4間隔P4 (第2間隔P2) を空けて形成されている。

[0115] ダミートレンチゲート構造62の個数は任意であるが、トレンチゲート構造31の個数未満であることが好ましい。ダミートレンチゲート構造62の

個数は、10個以上50個以下であってもよい。ダミートレンチゲート構造62の個数は、25個以下であることが好ましい。第2ダミートレンチソース構造63の個数は任意であるが、第1トレンチソース構造41の個数未満であることが好ましい。第2ダミートレンチソース構造63の個数は、10個以上50個以下であってもよい。第2ダミートレンチソース構造63の個数は、25個以下であることが好ましい。

[0116] ダミートレンチゲート構造62および第2ダミートレンチソース構造63の総数は、第1ダミー構造60Aの第1ダミートレンチソース構造61の総数を超えていることが好ましい。ダミートレンチゲート構造62および第2ダミートレンチソース構造63の総数は、50個以下であることが好ましい。この場合、第1周縁領域21に起因するトランジスタ領域20の面積の低下を抑制できる。

[0117] 複数のダミートレンチゲート構造62は、トレンチゲート構造31とは異なり、MISFETのゲートを形成しない。複数のダミートレンチゲート構造62には、ソース電位が付与される。したがって、複数のダミートレンチゲート構造62に起因するチャネルの形成が抑制されている。複数のダミートレンチゲート構造62は、平面視において第1方向Xに延びる帯状にそれぞれ形成され、第2方向Yに間隔を空けて配列されている。複数のダミートレンチゲート構造62は、平面視において第1方向Xに延びるストライプ状に形成されている。

[0118] 複数のダミートレンチゲート構造62は、平面視において活性面6の中央部を第2方向Yに通過するラインを第1方向Xに横切っていることが好ましい。各ダミートレンチゲート構造62は、この形態では、第1方向Xに関して各トレンチゲート構造31の長さを超える長さを有している。複数のダミートレンチゲート構造62は、平面視において各トレンチゲート構造31の端部を第2方向Y側から第1方向Xに横切っている。

[0119] 複数のダミートレンチゲート構造62は、平面視において活性面6の周縁（第3接続面8Cおよび第4接続面8D）および各トレンチゲート構造31

の端部の間の領域に第2方向Yに対向する部分を含む。複数のダミートレンチゲート構造62は、第2方向Yに複数のトレンチゲート構造31、複数の第1トレンチソース構造41、複数の第2トレンチソース構造51および複数の第1ダミートレンチソース構造61に対向している。

[0120] 複数のダミートレンチゲート構造62は、第3接続面8Cおよび第4接続面8Dのうちの少なくとも一方から露出している。複数のダミートレンチゲート構造62は、この形態では、第3接続面8Cおよび第4接続面8Dの双方からそれぞれ露出している。つまり、複数のダミートレンチゲート構造62は、第1トレンチソース構造41と同様に、第3接続面8Cおよび第4接続面8Dを貫通している。

[0121] 複数のダミートレンチゲート構造62は、トレンチゲート構造31と同様に、第1幅W1および第2深さD2（アスペクト比 $D2/W1$ ）をそれぞれ有している。つまり、各ダミートレンチゲート構造62は、外側面7から活性面6側に間隔を空けて第3接続面8Cおよび第4接続面8Dに連通している。また、複数のダミートレンチゲート構造62は、トレンチゲート構造31と同様に、第2方向Yに第1間隔P1を空けて配列されている。

[0122] 各ダミートレンチゲート構造62は、側壁および底壁を含む。各ダミートレンチゲート構造62の側壁は、SiC単結晶のa面によって形成されている。各ダミートレンチゲート構造62の側壁は、第3接続面8Cおよび第4接続面8Dに連通している。各ダミートレンチゲート構造62の底壁は、SiC単結晶のc面によって形成されている。各ダミートレンチゲート構造62の底壁は、第3接続面8Cおよび第4接続面8Dに連通している。

[0123] 各ダミートレンチゲート構造62は、ほぼ一定の開口幅を有する垂直形状に形成されていてもよい。各ダミートレンチゲート構造62は、底壁に向かって狭まる開口幅を有する先細り形状に形成されていてもよい。各ダミートレンチゲート構造62の底壁は、第2主面4に向かう湾曲形状に形成されていることが好ましい。むろん、各ダミートレンチゲート構造62の底壁は、活性面6に平行な平坦面を有していてもよい。

- [0124] 各ダミートレンチゲート構造 6 2 は、ボディ領域 2 3 およびソース領域 2 4 を横切って第 2 半導体領域 1 1 に至るように活性面 6 に形成されている。各ダミートレンチゲート構造 6 2 は、具体的には、第 2 半導体領域 1 1 の底部から活性面 6 側に間隔を空けて形成され、第 2 半導体領域 1 1 の一部を挟んで第 1 半導体領域 1 0（第 3 半導体領域 1 4）に対向している。
- [0125] 各ダミートレンチゲート構造 6 2 は、この形態では、第 2 濃度領域 1 3 に形成され、第 2 濃度領域 1 3 の一部を挟んで第 1 濃度領域 1 2 に対向している。各ダミートレンチゲート構造 6 2 の側壁は、第 2 半導体領域 1 1、ボディ領域 2 3 およびソース領域 2 4 に接している。各ダミートレンチゲート構造 6 2 の底壁は、第 2 半導体領域 1 1 に接している。
- [0126] 複数のダミートレンチゲート構造 6 2 は、トレンチゲート構造 3 1 と同様に、ゲートトレンチ 3 2、ゲート絶縁膜 3 3 およびゲート電極 3 4 をそれぞれ含む。各ダミートレンチゲート構造 6 2 のゲートトレンチ 3 2、ゲート絶縁膜 3 3 およびゲート電極 3 4 は、「ダミーゲートトレンチ」、「ダミーゲート絶縁膜」および「ダミーゲート電極」と称されてもよい。ダミートレンチゲート構造 6 2 のゲートトレンチ 3 2、ゲート絶縁膜 3 3 およびゲート電極 3 4 についての説明は、トレンチゲート構造 3 1 のゲートトレンチ 3 2、ゲート絶縁膜 3 3 およびゲート電極 3 4 についての説明がそれぞれ適用される。
- [0127] 複数の第 2 ダミートレンチソース構造 6 3 には、ソース電位が付与される。複数の第 2 ダミートレンチソース構造 6 3 は、第 2 方向 Y に複数のダミートレンチゲート構造 6 2 に隣り合うように活性面 6 にそれぞれ形成されている。複数の第 2 ダミートレンチソース構造 6 3 は、具体的には、活性面 6 において近接する 2 つのダミートレンチゲート構造 6 2 の間の領域に各ダミートレンチゲート構造 6 2 から間隔を空けてそれぞれ形成されている。
- [0128] 複数の第 2 ダミートレンチソース構造 6 3 は、さらに具体的には、平面視において第 1 方向 X に延びる帯状にそれぞれ形成され、1 つのダミートレンチゲート構造 6 2 を挟み込む態様で第 2 方向 Y に間隔を空けて形成されてい

る。複数の第2ダミートレンチソース構造63は、平面視において第1方向Xに延びるストライプ状に形成されている。複数の第2ダミートレンチソース構造63は、平面視において活性面6の中央部を第2方向Yに通過するラインを第1方向Xに横切っていることが好ましい。

[0129] 複数の第2ダミートレンチソース構造63は、この形態では、第1方向Xに関して、複数のトレンチゲート構造31の長さを超える長さを有している。複数の第2ダミートレンチソース構造63は、平面視において複数のトレンチゲート構造31の端部を第2方向Y側から第1方向Xに横切っている。複数の第2ダミートレンチソース構造63は、平面視において活性面6の周縁（第3接続面8Cおよび第4接続面8D）および各ダミートレンチゲート構造62の端部の間の領域に第2方向Yに対向する部分を含む。第2ダミートレンチソース構造63は、第2方向Yに複数のトレンチゲート構造31、複数の第1トレンチソース構造41、複数の第2トレンチソース構造51、複数の第1ダミートレンチソース構造61および複数のダミートレンチゲート構造62に対向している。

[0130] 複数の第2ダミートレンチソース構造63は、第3接続面8Cおよび第4接続面8Dのうちの少なくとも一方から露出している。複数の第2ダミートレンチソース構造63は、この形態では、第3接続面8Cおよび第4接続面8Dの双方からそれぞれ露出している。つまり、複数の第2ダミートレンチソース構造63は、第3接続面8Cおよび第4接続面8Dを貫通している。

[0131] 複数の第2ダミートレンチソース構造63は、第1トレンチソース構造41と同様に、第2幅W2および第3深さD3（アスペクト比 $D3/W2$ ）をそれぞれ有している。つまり、第1トレンチソース構造41と同様に、各第2ダミートレンチソース構造63は、外側面7、第3接続面8Cおよび第4接続面8Dに連通している。また、複数の第2ダミートレンチソース構造63は、第1トレンチソース構造41と同様に、第2方向Yに第2間隔P2を空けて配列されている。

[0132] 各第2ダミートレンチソース構造63は、側壁および底壁を含む。各第2

ダミートレンチソース構造 6 3 の側壁は、S i C 単結晶の a 面によって形成されている。各第 2 ダミートレンチソース構造 6 3 の側壁は、第 3 接続面 8 C および第 4 接続面 8 D に連通している。各第 2 ダミートレンチソース構造 6 3 の底壁は、S i C 単結晶の c 面によって形成されている。各第 2 ダミートレンチソース構造 6 3 の底壁は、外側面 7 に連通している。

[0133] 各第 2 ダミートレンチソース構造 6 3 は、ほぼ一定の開口幅を有する垂直形状に形成されていてもよい。各第 2 ダミートレンチソース構造 6 3 は、底壁に向かって狭まる開口幅を有する先細り形状に形成されていてもよい。各第 2 ダミートレンチソース構造 6 3 の底壁は、第 2 主面 4 に向かう湾曲形状に形成されていることが好ましい。むろん、各第 2 ダミートレンチソース構造 6 3 の底壁は、活性面 6 に平行な平坦面を有していてもよい。

[0134] 各第 2 ダミートレンチソース構造 6 3 は、ボディ領域 2 3 およびソース領域 2 4 を横切って第 2 半導体領域 1 1 に至るように活性面 6 に形成されている。各第 2 ダミートレンチソース構造 6 3 は、具体的には、第 2 半導体領域 1 1 の底部から活性面 6 側に間隔を空けて形成され、第 2 半導体領域 1 1 の一部を挟んで第 1 半導体領域 1 0（第 3 半導体領域 1 4）に対向している。各第 2 ダミートレンチソース構造 6 3 は、この形態では、第 2 濃度領域 1 3 に形成され、第 2 濃度領域 1 3 の一部を挟んで第 1 濃度領域 1 2 に対向している。

[0135] 各第 2 ダミートレンチソース構造 6 3 の側壁は、第 2 半導体領域 1 1、ボディ領域 2 3 およびソース領域 2 4 に接している。各第 2 ダミートレンチソース構造 6 3 の底壁は、第 2 半導体領域 1 1 に接している。各第 2 ダミートレンチソース構造 6 3 は、この形態では、各ダミートレンチゲート構造 6 2 よりも深く形成されている。つまり、各第 2 ダミートレンチソース構造 6 3 の底壁は、各ダミートレンチゲート構造 6 2 の底壁に対して第 2 半導体領域 1 1（第 2 濃度領域 1 3）の底部側に位置している。

[0136] 複数の第 2 ダミートレンチソース構造 6 3 は、第 1 トレンチソース構造 4 1 と同様に、ソーストレンチ 4 2、ソース絶縁膜 4 3 およびソース電極 4 4

をそれぞれ含む。各第2ダミートレンチソース構造63のソーストレンチ42、ソース絶縁膜43およびソース電極44は、「第2ダミーソーストレンチ」、「第2ダミーソース絶縁膜」および「第2ダミーソース電極」と称されてもよい。

[0137] 各第2ダミートレンチソース構造63では、ソース絶縁膜43の第3部分43cがソーストレンチ42の開口エッジ部の全域に形成されている。その他、第2ダミートレンチソース構造63のソーストレンチ42、ソース絶縁膜43およびソース電極44についての説明は、第1トレンチソース構造41のソーストレンチ42、ソース絶縁膜43およびソース電極44についての説明がそれぞれ適用される。

[0138] 図6～図12を再度参照して、SiC半導体装置1は、トランジスタ領域20の活性面6の表層部に形成された複数のp型のコンタクト領域70 (a plurality of contact regions) を含む。複数のコンタクト領域70 (the contact regions) は、複数の第1トレンチソース構造41に沿う領域にそれぞれ形成され、複数の第2トレンチソース構造51に沿う領域には形成されていない。複数のコンタクト領域70は、ボディ領域23のp型不純物濃度を超えるp型不純物濃度をそれぞれ有している。複数のコンタクト領域70のp型不純物濃度は、 $1 \times 10^{18} \text{ cm}^{-3}$ 以上 $1 \times 10^{21} \text{ cm}^{-3}$ 以下であってもよい。

[0139] 複数のコンタクト領域70は、平面視において各第1トレンチソース構造41に対して一対多の対応関係でそれぞれ形成されている。複数のコンタクト領域70は、平面視において各第1トレンチソース構造41に沿って間隔を空けて形成され、各第1トレンチソース構造41を部分的に露出させている。複数のコンタクト領域70は、この形態では、平面視において第1方向Xに延びる帯状にそれぞれ形成されている。複数のコンタクト領域70は、第1方向Xに隣り合う2つのコンタクト領域70の間の距離を超える長さをそれぞれ有していることが好ましい。

[0140] 1つの第1トレンチソース構造41を被覆する複数のコンタクト領域70

は、近接した別の第1トレンチソース構造41を被覆する複数のコンタクト領域70と第2方向Yに一对一の対応関係でそれぞれ対向している。つまり、複数のコンタクト領域70は、この形態では、平面視において全体として第1方向Xおよび第2方向Yに間隔を空けて行列状に配列されている。

[0141] 1つの第1トレンチソース構造41を被覆する複数のコンタクト領域70は、近接した別の第1トレンチソース構造41を被覆する複数のコンタクト領域70に対して第1方向Xにハーフピッチ分だけずれて配列されていてもよい。つまり、複数のコンタクト領域70は、平面視において全体として第1方向Xおよび第2方向Yに間隔を空けて千鳥状に配列されていてもよい。

[0142] 複数のコンタクト領域70は、この形態では、平面視において活性面6の周縁（第3接続面8Cおよび第4接続面8D）から複数の第1トレンチソース構造41の内方部に間隔を空けて形成されている。複数のコンタクト領域70は、具体的には、第1トレンチソース構造41の端部および最外のコンタクト領域70の距離が第1方向Xに隣り合う2つのコンタクト領域70の間の距離よりも大きくなるように活性面6の内方部に形成されている。

[0143] 複数のコンタクト領域70は、この形態では、複数の第1トレンチソース構造41において複数の第2トレンチソース構造51に対向する部分には形成されていない。また、複数のコンタクト領域70は、複数の第1トレンチソース構造41において複数のトレンチゲート構造31の端部に対向する部分には形成されていない。

[0144] 複数のコンタクト領域70は、活性面6から露出している。複数のコンタクト領域70は、トレンチゲート構造31から第1トレンチソース構造41側に間隔を空けて形成されている。各コンタクト領域70は、第2半導体領域11（第2濃度領域13）の底部から活性面6側に間隔を空けて形成され、第2半導体領域11の一部を挟んで第1半導体領域10（第3半導体領域14）に対向している。各コンタクト領域70は、第2半導体領域11（第2濃度領域13）において各第1トレンチソース構造41の側壁および底壁を被覆している。複数のコンタクト領域70は、各第1トレンチソース構造

4 1 の側壁においてボディ領域 2 3 に電氣的に接続されている。

[0145] SiC 半導体装置 1 は、トランジスタ領域 2 0 の活性面 6 の表層部に形成された複数の p 型のウェル領域 7 1 (a plurality of well regions) を含む。複数のウェル領域 7 1 (the well regions) は、複数の第 1 トレンチソース構造 4 1 に沿う領域にそれぞれ形成されている。複数のウェル領域 7 1 は、各コンタクト領域 7 0 の p 型不純物濃度未満の p 型不純物濃度をそれぞれ有している。複数のウェル領域 7 1 の p 型不純物濃度は、ボディ領域 2 3 の p 型不純物濃度を超えていることが好ましい。複数のウェル領域 7 1 の p 型不純物濃度は、 $1 \times 10^{16} \text{ cm}^{-3}$ 以上 $1 \times 10^{18} \text{ cm}^{-3}$ 以下であってもよい。

[0146] 複数のウェル領域 7 1 は、複数の第 1 トレンチソース構造 4 1 に対して一対一の対応関係でそれぞれ形成されている。各ウェル領域 7 1 は、平面視において各第 1 トレンチソース構造 4 1 に沿って延びる帯状に形成され、第 3 接続面 8 C および第 4 接続面 8 D から露出している。各ウェル領域 7 1 は、トレンチゲート構造 3 1 から第 1 トレンチソース構造 4 1 側に間隔を空けて形成され、トレンチゲート構造 3 1 を露出させている。

[0147] 各ウェル領域 7 1 は、各第 1 トレンチソース構造 4 1 の側壁および底壁を被覆している。各ウェル領域 7 1 は、複数のコンタクト領域 7 0 を挟んで各第 1 トレンチソース構造 4 1 を被覆している。つまり、各ウェル領域 7 1 は、複数のコンタクト領域 7 0 を挟んで各第 1 トレンチソース構造 4 1 を直接被覆する部分、および、複数のコンタクト領域 7 0 を挟んで各第 1 トレンチソース構造 4 1 を被覆する部分を含む。各ウェル領域 7 1 は、各第 1 トレンチソース構造 4 1 の側壁においてボディ領域 2 3 に電氣的に接続されている。

[0148] 各ウェル領域 7 1 のうち各第 1 トレンチソース構造 4 1 の底壁を被覆する部分の厚さは、各ウェル領域 7 1 のうち各第 1 トレンチソース構造 4 1 の側壁を被覆する部分の厚さを超えていることが好ましい。各ウェル領域 7 1 のうち各第 1 トレンチソース構造 4 1 の側壁を被覆する部分の厚さは、各第 1

トレンチソース構造 4 1 の側壁の法線方向の厚さである。各ウェル領域 7 1 のうち各第 1 トレンチソース構造 4 1 の底壁を被覆する部分の厚さは、各第 1 トレンチソース構造 4 1 の底壁の法線方向の厚さである。

[0149] 複数のウェル領域 7 1 は、この形態では、複数の第 2 トレンチソース構造 5 1 に沿う領域にもそれぞれ形成されている。複数のウェル領域 7 1 は、複数の第 2 トレンチソース構造 5 1 に対して一対一の対応関係でそれぞれ形成されている。各ウェル領域 7 1 は、平面視において各第 2 トレンチソース構造 5 1 に沿って延びる帯状に形成されている。第 3 接続面 8 C 側の各第 2 トレンチソース構造 5 1 に沿う各ウェル領域 7 1 は、第 3 接続面 8 C から露出している。第 4 接続面 8 D 側の各第 2 トレンチソース構造 5 1 に沿う各ウェル領域 7 1 は、第 4 接続面 8 D から露出している。

[0150] 各ウェル領域 7 1 は、トレンチゲート構造 3 1 から第 2 トレンチソース構造 5 1 側に間隔を空けて形成され、トレンチゲート構造 3 1 を露出させている。各ウェル領域 7 1 は、各第 2 トレンチソース構造 5 1 の側壁および底壁を被覆している。各ウェル領域 7 1 は、各第 2 トレンチソース構造 5 1 を直接被覆している。各ウェル領域 7 1 は、各第 2 トレンチソース構造 5 1 の側壁においてボディ領域 2 3 に電氣的に接続されている。

[0151] 各ウェル領域 7 1 のうち各第 2 トレンチソース構造 5 1 の底壁を被覆する部分の厚さは、各ウェル領域 7 1 のうち各第 2 トレンチソース構造 5 1 の側壁を被覆する部分の厚さを超えていることが好ましい。各ウェル領域 7 1 のうち各第 2 トレンチソース構造 5 1 の側壁を被覆する部分の厚さは、各第 2 トレンチソース構造 5 1 の側壁の法線方向の厚さである。各ウェル領域 7 1 のうち各第 2 トレンチソース構造 5 1 の底壁を被覆する部分の厚さは、各第 2 トレンチソース構造 5 1 の底壁の法線方向の厚さである。

[0152] 各ウェル領域 7 1 は、第 2 半導体領域 1 1（第 2 濃度領域 1 3）の底部から活性面 6 側に間隔を空けて形成され、第 2 半導体領域 1 1 の一部を挟んで第 1 半導体領域 1 0（第 3 半導体領域 1 4）に対向している。つまり、各ウェル領域 7 1 は、第 2 半導体領域 1 1（第 2 濃度領域 1 3）に電氣的に接続

されている。

- [0153] 複数のウェル領域 7 1 の底部は、複数の第 1 トレンチソース構造 4 1 の底壁および複数の第 2 トレンチソース構造 5 1 の底壁に対してほぼ一定の深さで形成されていることが好ましい。複数のウェル領域 7 1 は、第 2 半導体領域 1 1（第 2 濃度領域 1 3）と p n 接合部を形成し、S i C チップ 2 の幅方向および深さ方向に空乏層を拡げる。複数のウェル領域 7 1 は、トレンチ絶縁ゲート型の M I S F E T を p n 接合ダイオードの構造に近づけ、S i C チップ 2 内の電界を緩和する。
- [0154] 複数のウェル領域 7 1 は、トレンチゲート構造 3 1 の底壁に空乏層がオーバーラップするように形成されていることが好ましい。複数のウェル領域 7 1 の間に介在する第 2 濃度領域 1 3 は、J F E T（Junction Field Effect Transistor）抵抗を削減する。複数のウェル領域 7 1 の下方に位置する第 2 濃度領域 1 3 は、電流拡がり抵抗を削減する。第 1 濃度領域 1 2 は、このような構造において、S i C チップ 2 の耐圧を高める。
- [0155] S i C 半導体装置 1 は、活性面 6 の表層部において複数のトレンチゲート構造 3 1 に沿う領域にそれぞれ形成された複数の p 型のゲートウェル領域 7 2（a plurality of gate well regions）を含む。複数のゲートウェル領域 7 2（the gate well regions）は、複数のコンタクト領域 7 0 の p 型不純物濃度未満の p 型不純物濃度を有している。各ゲートウェル領域 7 2 の p 型不純物濃度は、ボディ領域 2 3 の p 型不純物濃度を超過していることが好ましい。各ゲートウェル領域 7 2 の p 型不純物濃度は、 $1 \times 10^{16} \text{ cm}^{-3}$ 以上 $1 \times 10^{18} \text{ cm}^{-3}$ 以下であってもよい。各ゲートウェル領域 7 2 の p 型不純物濃度は、各ウェル領域 7 1 の p 型不純物濃度とほぼ等しいことが好ましい。
- [0156] 複数のゲートウェル領域 7 2 は、複数のトレンチゲート構造 3 1 に対して一対一の対応関係でそれぞれ形成されている。各ゲートウェル領域 7 2 は、平面視において各トレンチゲート構造 3 1 に沿って延びる帯状に形成されている。各ゲートウェル領域 7 2 は、第 1 トレンチソース構造 4 1 からトレンチゲート構造 3 1 側に間隔を空けて形成されている。各ゲートウェル領域 7

2は、各トレンチゲート構造31の側壁および底壁を被覆している。各ゲートウェル領域72は、各トレンチゲート構造31の側壁においてボディ領域23に電氣的に接続されている。

[0157] 各ゲートウェル領域72は、第2半導体領域11（第2濃度領域13）の底部から第1主面3側に間隔を空けて形成され、第2半導体領域11の一部を挟んで第1半導体領域10（第3半導体領域14）に対向している。各ゲートウェル領域72は、この形態では、第2濃度領域13に形成され、第2濃度領域13の一部を挟んで第1濃度領域12に対向している。

[0158] 各ゲートウェル領域72のうち各トレンチゲート構造31の底壁を被覆する部分の厚さは、各ゲートウェル領域72のうち各トレンチゲート構造31の側壁を被覆する部分の厚さを超えていることが好ましい。各ゲートウェル領域72のうち各トレンチゲート構造31の側壁を被覆する部分の厚さは、各トレンチゲート構造31の側壁の法線方向の厚さである。各ゲートウェル領域72のうち各トレンチゲート構造31の底壁を被覆する部分の厚さは、トレンチゲート構造31の底壁の法線方向の厚さである。

[0159] 複数のゲートウェル領域72の底部は、複数のウェル領域71の底部に対してトレンチゲート構造31の底壁側に位置している。複数のゲートウェル領域72の底部は、複数のトレンチゲート構造31の底壁に対して、ほぼ一定の深さで形成されていることが好ましい。複数のゲートウェル領域72は、第2半導体領域11（第2濃度領域13）とpn接合部を形成し、SiCチップ2の幅方向および深さ方向に空乏層を拡げる。複数のゲートウェル領域72は、トレンチ絶縁ゲート型のMISFETをpn接合ダイオードの構造に近づけ、SiCチップ2内の電界を緩和する。

[0160] 図13～図21を再度参照して、SiC半導体装置1は、第1周縁領域21の活性面6の表層部に形成された複数のp型のダミーコンタクト領域73（a plurality of dummy contact regions）を含む。複数のダミーコンタクト領域73（the dummy contact regions）は、第2ダミー構造60Bの複数の第2ダミートレンチソース構造63に沿う領域にそれぞれ形成され、第1

ダミー構造 60A の複数の第 1 ダミートレンチソース構造 61 に沿う領域には形成されていない。

[0161] 複数のダミーコンタクト領域 73 は、ボディ領域 23 の p 型不純物濃度を超える p 型不純物濃度をそれぞれ有している。複数のダミーコンタクト領域 73 の p 型不純物濃度は、 $1 \times 10^{18} \text{ cm}^{-3}$ 以上 $1 \times 10^{21} \text{ cm}^{-3}$ 以下であってもよい。複数のダミーコンタクト領域 73 の p 型不純物濃度は、複数のウェル領域 71 の p 型不純物濃度を超えていることが好ましい。複数のダミーコンタクト領域 73 の p 型不純物濃度は、複数のコンタクト領域 70 の p 型不純物濃度とほぼ等しいことが好ましい。

[0162] 複数のダミーコンタクト領域 73 は、平面視において各第 2 ダミートレンチソース構造 63 に対して一対多の対応関係で形成されている。複数のダミーコンタクト領域 73 は、平面視において各第 2 ダミートレンチソース構造 63 に沿って間隔を空けて形成され、各第 2 ダミートレンチソース構造 63 を部分的に露出させている。複数のダミーコンタクト領域 73 は、この形態では、平面視において第 1 方向 X に延びる帯状にそれぞれ形成されている。複数のダミーコンタクト領域 73 は、第 1 方向 X に隣り合う 2 つのダミーコンタクト領域 73 の間の距離を超える長さを有していることが好ましい。

[0163] 1 つの第 2 ダミートレンチソース構造 63 を被覆する複数のダミーコンタクト領域 73 は、近接した別の第 2 ダミートレンチソース構造 63 を被覆する複数のダミーコンタクト領域 73 と第 2 方向 Y に一対一の対応関係でそれぞれ対向している。つまり、複数のダミーコンタクト領域 73 は、この形態では、平面視において全体として第 1 方向 X および第 2 方向 Y に間隔を空けて行列状に配列されている。複数のダミーコンタクト領域 73 は、この形態では、平面視において第 2 方向 Y に複数のコンタクト領域 70 に対向している。

[0164] 1 つの第 2 ダミートレンチソース構造 63 を被覆する複数のダミーコンタクト領域 73 は、近接した別の第 2 ダミートレンチソース構造 63 を被覆する複数のダミーコンタクト領域 73 に対して第 1 方向 X にハーフピッチ分だ

けずれて配列されていてもよい。つまり、複数のダミーコンタクト領域 7 3 は、平面視において全体として第 1 方向 X および第 2 方向 Y に間隔を空けて千鳥状に配列されていてもよい。この場合、複数のダミーコンタクト領域 7 3 は、平面視において第 2 方向 Y に複数のコンタクト領域 7 0 に対向していてもよい。

[0165] 複数のダミーコンタクト領域 7 3 は、この形態では、平面視において活性面 6 の周縁（第 3 接続面 8 C および第 4 接続面 8 D）から複数の第 2 ダミートレンチソース構造 6 3 の内方部に間隔を空けて形成されている。複数のダミーコンタクト領域 7 3 は、具体的には、第 2 ダミートレンチソース構造 6 3 の端部および最外のダミーコンタクト領域 7 3 の距離が第 1 方向 X に隣合う 2 つのダミーコンタクト領域 7 3 の間の距離よりも大きくなるように活性面 6 の内方部に形成されている。

[0166] 複数のダミーコンタクト領域 7 3 は、この形態では、複数の第 2 ダミートレンチソース構造 6 3 において複数の第 2 トレンチソース構造 5 1 に対向する部分には形成されていない。また、複数のダミーコンタクト領域 7 3 は、複数の第 2 ダミートレンチソース構造 6 3 において複数のトレンチゲート構造 3 1 の端部に対向する部分には形成されていない。つまり、複数のダミーコンタクト領域 7 3 は、複数のコンタクト領域 7 0 と同様の態様で第 2 ダミートレンチソース構造 6 3 に沿って形成されている。

[0167] 複数のダミーコンタクト領域 7 3 は、活性面 6 から露出している。複数のダミーコンタクト領域 7 3 は、ダミートレンチゲート構造 6 2 から第 2 ダミートレンチソース構造 6 3 側に間隔を空けて形成されている。各ダミーコンタクト領域 7 3 は、第 2 半導体領域 1 1（第 2 濃度領域 1 3）の底部から活性面 6 側に間隔を空けて形成され、第 2 半導体領域 1 1 の一部を挟んで第 1 半導体領域 1 0（第 3 半導体領域 1 4）に対向している。各ダミーコンタクト領域 7 3 は、第 2 半導体領域 1 1（第 2 濃度領域 1 3）において各第 2 ダミートレンチソース構造 6 3 の側壁および底壁を被覆している。複数のダミーコンタクト領域 7 3 は、各第 2 ダミートレンチソース構造 6 3 の側壁にお

いてボディ領域 23 に電氣的に接続されている。

[0168] SiC 半導体装置 1 は、第 1 周縁領域 21 の活性面 6 の表層部に形成された複数の p 型のダミーウェル領域 74 (a plurality of dummy well regions) を含む。複数のダミーウェル領域 74 (the dummy well regions) は、複数のダミーコンタクト領域 73 の p 型不純物濃度未満の p 型不純物濃度をそれぞれ有している。複数のダミーウェル領域 74 の p 型不純物濃度は、ボディ領域 23 の p 型不純物濃度を超えていることが好ましい。複数のダミーウェル領域 74 の p 型不純物濃度は、 $1 \times 10^{16} \text{ cm}^{-3}$ 以上 $1 \times 10^{18} \text{ cm}^{-3}$ 以下であってもよい。複数のダミーウェル領域 74 の p 型不純物濃度は、複数のウェル領域 71 の p 型不純物濃度とほぼ等しいことが好ましい。

[0169] 複数のダミーウェル領域 74 は、第 1 ダミー構造 60A において複数の第 1 ダミートレンチソース構造 61 に沿う領域にそれぞれ形成されている。複数のダミーウェル領域 74 は、複数の第 1 ダミートレンチソース構造 61 に対して一対一の対応関係でそれぞれ形成されている。各ダミーウェル領域 74 は、具体的には、近接した第 1 ダミートレンチソース構造 61 から間隔を空けて対応する第 1 ダミートレンチソース構造 61 をそれぞれ被覆している。

[0170] 各ダミーウェル領域 74 は、平面視において各第 1 ダミートレンチソース構造 61 に沿って延びる帯状に形成され、第 3 接続面 8C および第 4 接続面 8D から露出している。各ダミーウェル領域 74 は、各第 1 ダミートレンチソース構造 61 の側壁および底壁を被覆している。各ダミーウェル領域 74 は、各第 1 ダミートレンチソース構造 61 を直接被覆している。各ダミーウェル領域 74 は、各第 1 ダミートレンチソース構造 61 の側壁においてボディ領域 23 に電氣的に接続されている。

[0171] 各ダミーウェル領域 74 のうち各第 1 ダミートレンチソース構造 61 の底壁を被覆する部分の厚さは、各ダミーウェル領域 74 のうち各第 1 ダミートレンチソース構造 61 の側壁を被覆する部分の厚さを超えていることが好ましい。各ダミーウェル領域 74 のうち各第 1 ダミートレンチソース構造 61

の側壁を被覆する部分の厚さは、各第1ダミートレンチソース構造61の側壁の法線方向の厚さである。各ダミーウェル領域74のうち各第1ダミートレンチソース構造61の底壁を被覆する部分の厚さは、各第1ダミートレンチソース構造61の底壁の法線方向の厚さである。

[0172] 複数のダミーウェル領域74は、この形態では、第2ダミー構造60Bにおいて複数の第2ダミートレンチソース構造63に沿う領域にもそれぞれ形成されている。複数のダミーウェル領域74は、複数の第2ダミートレンチソース構造63に対して一対一の対応関係でそれぞれ形成されている。各ダミーウェル領域74は、ダミートレンチゲート構造62から第2ダミートレンチソース構造63側に間隔を空けて対応する第2ダミートレンチソース構造63をそれぞれ被覆している。

[0173] 各ダミーウェル領域74は、平面視において各第2ダミートレンチソース構造63に沿って延びる帯状に形成され、第3接続面8Cおよび第4接続面8Dから露出している。各ダミーウェル領域74は、各第2ダミートレンチソース構造63の側壁および底壁を被覆している。各ダミーウェル領域74は、複数のダミーコンタクト領域73を挟んで各第2ダミートレンチソース構造63を被覆している。

[0174] つまり、各ダミーウェル領域74は、複数のダミーコンタクト領域73を挟んで各第2ダミートレンチソース構造63を直接被覆する部分、および、複数のダミーコンタクト領域73を挟んで各第2ダミートレンチソース構造63を被覆する部分を含む。各ダミーウェル領域74は、各第2ダミートレンチソース構造63の側壁においてボディ領域23に電氣的に接続されている。

[0175] 各ダミーウェル領域74のうち各第2ダミートレンチソース構造63の底壁を被覆する部分の厚さは、各ダミーウェル領域74のうち各第2ダミートレンチソース構造63の側壁を被覆する部分の厚さを超えていることが好ましい。各ダミーウェル領域74のうち各第2ダミートレンチソース構造63の側壁を被覆する部分の厚さは、各第2ダミートレンチソース構造63の側

壁の法線方向の厚さである。各ダミーウェル領域 7 4 のうち各第 2 ダミートレンチソース構造 6 3 の底壁を被覆する部分の厚さは、各第 2 ダミートレンチソース構造 6 3 の底壁の法線方向の厚さである。

[0176] 各ダミーウェル領域 7 4 は、第 2 半導体領域 1 1（第 2 濃度領域 1 3）の底部から活性面 6 側に間隔を空けて形成され、第 2 半導体領域 1 1 の一部を挟んで第 1 半導体領域 1 0（第 3 半導体領域 1 4）に対向している。つまり、各ダミーウェル領域 7 4 は、第 2 半導体領域 1 1（第 2 濃度領域 1 3）に電氣的に接続されている。複数のダミーウェル領域 7 4 の底部は、複数の第 1 ダミートレンチソース構造 6 1 の底壁および複数の第 2 ダミートレンチソース構造 6 3 の底壁に対してほぼ一定の深さで形成されていることが好ましい。

[0177] 複数のダミーウェル領域 7 4 の底部は、複数のウェル領域 7 1 の底部とほぼ等しい深さで形成されていることが好ましい。複数のダミーウェル領域 7 4 は、第 2 半導体領域 1 1（第 2 濃度領域 1 3）と p n 接合部を形成し、S i C チップ 2 の幅方向および深さ方向に空乏層を拡げる。複数のダミーウェル領域 7 4 は、トレンチ絶縁ゲート型の M I S F E T を p n 接合ダイオードの構造に近づけ、S i C チップ 2 内の電界を緩和する。複数のダミーウェル領域 7 4 は、ダミートレンチゲート構造 6 2 の底壁に空乏層がオーバーラップするように形成されていることが好ましい。

[0178] S i C 半導体装置 1 は、活性面 6 の表層部において複数のダミートレンチゲート構造 6 2 に沿う領域にそれぞれ形成された複数の p 型のダミーゲートウェル領域 7 5 (a plurality of dummy gate well regions) を含む。複数のダミーゲートウェル領域 7 5 (the dummy gate well regions) は、ボディ領域 2 3 の p 型不純物濃度を超える p 型不純物濃度を有している。各ダミーゲートウェル領域 7 5 の p 型不純物濃度は、複数のダミーコンタクト領域 7 3 の p 型不純物濃度未満であることが好ましい。各ダミーゲートウェル領域 7 5 の p 型不純物濃度は、 $1 \times 10^{16} \text{ cm}^{-3}$ 以上 $1 \times 10^{18} \text{ cm}^{-3}$ 以下であってもよい。各ダミーゲートウェル領域 7 5 の p 型不純物濃度は、各ゲート

ウェル領域 7 2 の p 型不純物濃度とほぼ等しいことが好ましい。

[0179] 複数のダミーゲートウェル領域 7 5 は、複数のダミートレンチゲート構造 6 2 に対して一対一の対応関係でそれぞれ形成されている。各ダミーゲートウェル領域 7 5 は、平面視において各ダミートレンチゲート構造 6 2 に沿って延びる帯状に形成されている。各ダミーゲートウェル領域 7 5 は、第 2 ダミートレンチソース構造 6 3 からダミートレンチゲート構造 6 2 側に間隔を空けて形成されている。各ダミーゲートウェル領域 7 5 は、各ダミートレンチゲート構造 6 2 の側壁および底壁を被覆している。各ダミーゲートウェル領域 7 5 は、各ダミートレンチゲート構造 6 2 の側壁においてボディ領域 2 3 に電氣的に接続されている。

[0180] 各ダミーゲートウェル領域 7 5 は、第 2 半導体領域 1 1（第 2 濃度領域 1 3）の底部から第 1 主面 3 側に間隔を空けて形成され、第 2 半導体領域 1 1 の一部を挟んで第 1 半導体領域 1 0（第 3 半導体領域 1 4）に対向している。各ダミーゲートウェル領域 7 5 は、この形態では、第 2 濃度領域 1 3 に形成され、第 2 濃度領域 1 3 の一部を挟んで第 1 濃度領域 1 2 に対向している。

[0181] 各ダミーゲートウェル領域 7 5 のうち各ダミートレンチゲート構造 6 2 の底壁を被覆する部分の厚さは、各ダミーゲートウェル領域 7 5 のうち各ダミートレンチゲート構造 6 2 の側壁を被覆する部分の厚さを超えていることが好ましい。各ダミーゲートウェル領域 7 5 のうち各ダミートレンチゲート構造 6 2 の側壁を被覆する部分の厚さは、各ダミートレンチゲート構造 6 2 の側壁の法線方向の厚さである。各ダミーゲートウェル領域 7 5 のうち各ダミートレンチゲート構造 6 2 の底壁を被覆する部分の厚さは、ダミートレンチゲート構造 6 2 の底壁の法線方向の厚さである。

[0182] 複数のダミーゲートウェル領域 7 5 の底部は、複数のダミーウェル領域 7 4 の底部に対してダミートレンチゲート構造 6 2 の底壁側に位置している。複数のダミーゲートウェル領域 7 5 の底部は、複数のダミートレンチゲート構造 6 2 の底壁に対して、ほぼ一定の深さで形成されていることが好ましい。

。複数のダミーゲートウェル領域 75 の底部は、複数のゲートウェル領域 72 の底部とほぼ等しい深さに形成されていることが好ましい。

[0183] 複数のダミーゲートウェル領域 75 は、第 2 半導体領域 11（第 2 濃度領域 13）と p n 接合部を形成し、S i C チップ 2 の幅方向および深さ方向に空乏層を拡げる。複数のダミーゲートウェル領域 75 は、トレンチ絶縁ゲート型の M I S F E T を p n 接合ダイオードの構造に近づけ、S i C チップ 2 内の電界を緩和する。

[0184] 図 22 は、図 1 に示す XXII-XXII 線に沿う断面図である。図 23 は、図 1 に示す XXIII-XXIII 線に沿う断面図である。図 24 は、図 1 に示す XXIV-XXIV 線に沿う断面図である。図 25 は、図 1 に示す XXV-XXV 線に沿う断面図である。図 26 は、図 1 に示す XXVI-XXVI 線に沿う断面図である。図 27 は、第 1 主面電極 120 の構造を説明するための平面図である。図 28 は、第 2 無機絶縁膜 150 の構造を説明するための平面図である。

[0185] S i C 半導体装置 1 は、外側面 7 の表層部に形成された p 型のアウターコンタクト領域 80 を含む。アウターコンタクト領域 80 は、 $1 \times 10^{18} \text{ cm}^{-3}$ 以上 $1 \times 10^{21} \text{ cm}^{-3}$ 以下の p 型不純物濃度を有していてもよい。アウターコンタクト領域 80 は、ボディ領域 23 の p 型不純物濃度を超える p 型不純物濃度を有している。アウターコンタクト領域 80 の p 型不純物濃度は、コンタクト領域 70（ダミーコンタクト領域 73）の p 型不純物濃度とほぼ等しいことが好ましい。

[0186] アウターコンタクト領域 80 は、平面視において活性面 6 の周縁（第 1～第 4 接続面 8A～8D）および外側面 7 の周縁（第 1～第 4 側面 5A～5D）から間隔を空けて、活性面 6 の周縁および外側面 7 の周縁の間の領域に形成されている。アウターコンタクト領域 80 は、平面視において活性面 6（第 1～第 4 接続面 8A～8D）に沿って帯状に延びている。アウターコンタクト領域 80 は、この形態では、平面視において活性面 6 を取り囲む環状に形成されている。アウターコンタクト領域 80 は、具体的には、平面視において活性面 6 に平行な 4 辺を有する四角環状に形成されている。

- [0187] アウターコンタクト領域 80 は、第 2 半導体領域 11 の底部から外側面 7 に間隔を空けて形成されている。アウターコンタクト領域 80 は、具体的には、第 2 濃度領域 13 の底部から外側面 7 に間隔を空けて形成されている。アウターコンタクト領域 80 の全体は、複数のトレンチゲート構造 31 の底壁および複数のダミートレンチゲート構造 62 の底壁に対して第 2 半導体領域 11 の底部側に位置している。アウターコンタクト領域 80 の底部は、複数の第 1 トレンチソース構造 41 の底壁、複数の第 2 トレンチソース構造 51 の底壁、複数の第 1 ダミートレンチソース構造 61 の底壁、および、複数の第 2 ダミートレンチソース構造 63 の底壁に対して第 2 半導体領域 11 の底部側に位置している。
- [0188] アウターコンタクト領域 80 の底部は、複数のコンタクト領域 70 の底部および複数のダミーコンタクト領域 73 とほぼ等しい深さ位置に形成されていることが好ましい。アウターコンタクト領域 80 は、第 2 半導体領域 11（具体的には第 2 濃度領域 13）との間で p n 接合部を形成する。これにより、アウターコンタクト領域 80 をアノードとし、第 2 半導体領域 11 をカソードとする p n 接合ダイオードが形成されている。アウターコンタクト領域 80 は、アノード領域と称されてもよい。
- [0189] SiC 半導体装置 1 は、外側面 7 の表層部に形成された p 型のアウターウェル領域 81 を含む。アウターウェル領域 81 の p 型不純物濃度は、 $1 \times 10^{16} \text{ cm}^{-3}$ 以上 $1 \times 10^{18} \text{ cm}^{-3}$ 以下であってもよい。アウターウェル領域 81 は、アウターコンタクト領域 80 の p 型不純物濃度未満の p 型不純物濃度を有している。アウターウェル領域 81 の p 型不純物濃度は、ウェル領域 71（ダミーウェル領域 74）の p 型不純物濃度とほぼ等しいことが好ましい。アウターウェル領域 81 の p 型不純物濃度は、ゲートウェル領域 72（ダミーゲートウェル領域 75）の p 型不純物濃度とほぼ等しいことが好ましい。
- [0190] アウターウェル領域 81 は、平面視において活性面 6 の周縁（第 1～第 4 接続面 8A～8D）およびアウターコンタクト領域 80 の間の領域に形成さ

れている。アウターウェル領域 81 は、平面視において活性面 6（第 1～第 4 接続面 8A～8D）に沿って帯状に延びている。アウターウェル領域 81 は、この形態では、平面視において活性面 6（第 1～第 4 接続面 8A～8D）を取り囲む環状（この形態では四角環状）に形成されている。

[0191] アウターウェル領域 81 は、この形態では、第 1～第 4 接続面 8A～8D およびアウターコンタクト領域 80 の間の領域の全域に形成されている。アウターウェル領域 81 は、さらに、外側面 7 から第 1～第 4 接続面 8A～8D に向けて延び、SiC チップ 2 内において第 1～第 4 接続面 8A～8D を被覆している。アウターウェル領域 81 は、第 1～第 4 接続面 8A～8D の表層部においてウェル領域 71、ダミーウェル領域 74 およびダミーゲートウェル領域 75 に電氣的に接続されている。アウターウェル領域 81 において第 1～第 4 接続面 8A～8D を被覆する部分は、ウェル領域 71、ダミーウェル領域 74 およびダミーゲートウェル領域 75 を一体的に含む一体ウェル領域（integral well region）であるとみなしてもよい。

[0192] アウターウェル領域 81 は、第 1 トレンチソース構造 41 の底壁が外側面 7 に連通する部分においてウェル領域 71 に連なっている。つまり、アウターウェル領域 81 は、ウェル領域 71 において第 1 トレンチソース構造 41 の底壁を被覆する部分から外側面 7 に向けて面方向に連続的に引き出されている。アウターウェル領域 81 は、第 2 トレンチソース構造 51 の底壁が外側面 7 に連通する部分においてウェル領域 71 に連なっている。つまり、アウターウェル領域 81 は、ウェル領域 71 において第 2 トレンチソース構造 51 の底壁を被覆する部分から外側面 7 に向けて面方向に連続的に引き出されている。

[0193] アウターウェル領域 81 は、第 1 ダミートレンチソース構造 61 の底壁が外側面 7 に連通する部分においてダミーウェル領域 74 に連なっている。つまり、アウターウェル領域 81 は、ダミーウェル領域 74 において第 1 ダミートレンチソース構造 61 の底壁を被覆する部分から外側面 7 に向けて面方向に連続的に引き出されている。アウターウェル領域 81 は、第 2 ダミート

レンチソース構造 6 3 の底壁が外側面 7 に連通する部分においてダミーウェル領域 7 4 に連なっている。つまり、アウターウェル領域 8 1 は、ダミーウェル領域 7 4 において第 2 ダミートレンチソース構造 6 3 の底壁を被覆する部分から外側面 7 に向けて面方向に連続的に引き出されている。

[0194] アウターウェル領域 8 1 は、第 2 半導体領域 1 1 の底部から外側面 7 に間隔を空けて形成されている。アウターウェル領域 8 1 は、具体的には、第 2 濃度領域 1 3 の底部から外側面 7 に間隔を空けて形成されている。アウターウェル領域 8 1 の全体は、複数のトレンチゲート構造 3 1 の底壁および複数のダミートレンチゲート構造 6 2 の底壁に対して第 2 半導体領域 1 1 の底部側に位置している。

[0195] アウターウェル領域 8 1 は、外側面 7 においてアウターコンタクト領域 8 0 に電氣的に接続されている。アウターウェル領域 8 1 は、アウターコンタクト領域 8 0 よりも深く形成されている。アウターウェル領域 8 1 の底部は、複数の第 1 トレンチソース構造 4 1 の底壁、複数の第 2 トレンチソース構造 5 1 の底壁、複数の第 1 ダミートレンチソース構造 6 1 の底壁、および、複数の第 2 ダミートレンチソース構造 6 3 の底壁に対して第 2 半導体領域 1 1 の底部側に位置している。アウターウェル領域 8 1 の底部は、ウェル領域 7 1 の底部およびダミーウェル領域 7 4 の底部とほぼ等しい深さに形成されていることが好ましい。

[0196] アウターウェル領域 8 1 は、アウターコンタクト領域 8 0 と共に第 2 半導体領域 1 1（具体的には第 2 濃度領域 1 3）との間で p n 接合部を形成する。また、アウターウェル領域 8 1 は、第 1 ～第 4 接続面 8 A ～8 D に沿う部分において第 2 半導体領域 1 1 と p n 接合部を形成している。つまり、S i C チップ 2 において第 1 ～第 4 接続面 8 A ～8 D に沿う部分には p n 接合部が形成されている。

[0197] S i C 半導体装置 1 は、外側面 7 の表層部においてアウターコンタクト領域 8 0 および外側面 7 の周縁（第 1 ～第 4 側面 5 A ～5 D）の間の領域に形成された少なくとも 1 個（好ましくは 2 個以上 2 0 個以下）の p 型のフィー

ルド領域 82A～82E を含む。SiC 半導体装置 1 は、この形態では、5 個のフィールド領域 82A～82E を含む。5 個のフィールド領域 82A～82E は、第 1 フィールド領域 82A、第 2 フィールド領域 82B、第 3 フィールド領域 82C、第 4 フィールド領域 82D、および、第 5 フィールド領域 82E を含む。第 1～第 5 フィールド領域 82A～82E は、アウターコンタクト領域 80 側から外側面 7 の周縁側に向けてこの順に間隔を空けて形成されている。

[0198] フィールド領域 82A～82E は、外側面 7 において電界を緩和する。フィールド領域 82A～82E の個数、幅、深さ、p 型不純物濃度等は、緩和すべき電界に応じて種々の値を取り得る。フィールド領域 82A～82E の p 型不純物濃度は、 $1 \times 10^{15} \text{ cm}^{-3}$ 以上 $1 \times 10^{18} \text{ cm}^{-3}$ 以下であってもよい。

[0199] 各フィールド領域 82A～82E は、平面視において活性面 6 に沿って延びる帯状に形成されている。各フィールド領域 82A～82E は、平面視において活性面 6 を取り囲む環状に形成されている。各フィールド領域 82A～82E は、具体的には、平面視において活性面 6（第 1～第 4 接続面 8A～8D）に平行な 4 辺を有する四角環状に形成されている。各フィールド領域 82A～82E は、FLR（Field Limiting Ring）領域と称されてもよい。

[0200] 最内の第 1 フィールド領域 82A は、この形態では、アウターコンタクト領域 80 に接続されている。最内の第 1 フィールド領域 82A は、アウターコンタクト領域 80 と共に第 2 半導体領域 11（具体的には第 2 濃度領域 13）と pn 接合部を形成する。一方、第 2～第 5 フィールド領域 82B～82E は、アウターコンタクト領域 80 から間隔を空けて電氣的浮遊状態に形成されている。各フィールド領域 82A～82E は、アウターコンタクト領域 80 よりも深く形成されている。各フィールド領域 82A～82E は、第 2 半導体領域 11 の底部から外側面 7 に間隔を空けて形成されている。各フィールド領域 82A～82E は、具体的には、第 2 濃度領域 13 の底部から

外側面 7 に間隔を空けて形成されている。

[0201] 各フィールド領域 8 2 A～8 2 E の全体は、複数のトレンチゲート構造 3 1 および複数のダミートレンチゲート構造 6 2 の底壁に対して第 2 半導体領域 1 1 の底部側に位置している。各フィールド領域 8 2 A～8 2 E の底部は、複数の第 1 トレンチソース構造 4 1 の底壁、複数の第 2 トレンチソース構造 5 1 の底壁、複数の第 1 ダミートレンチソース構造 6 1 の底壁、および、複数の第 2 ダミートレンチソース構造 6 3 の底壁に対して第 2 半導体領域 1 1 の底部側に位置している。

[0202] 図 6～図 2 1 のうちの断面図を参照して、S i C 半導体装置 1 は、第 1 主面 3 を被覆する主面絶縁膜 9 0 を含む。主面絶縁膜 9 0 は、具体的には、活性面 6、外側面 7 および第 1～第 4 接続面 8 A～8 D を膜状に被覆している。主面絶縁膜 9 0 は、酸化シリコン膜、窒化シリコン膜および酸窒化シリコン膜のうちの少なくとも 1 つを含む。主面絶縁膜 9 0 は、この形態では、酸化シリコン膜からなる単層構造を有している。主面絶縁膜 9 0 は、具体的には、S i C チップ 2 の酸化物からなる酸化シリコン膜を含む。主面絶縁膜 9 0 の厚さは、5 0 n m 以上 5 0 0 n m 以下であってもよい。

[0203] 主面絶縁膜 9 0 は、複数のトレンチゲート構造 3 1 のゲート絶縁膜 3 3、複数の第 1 トレンチソース構造 4 1 のソース絶縁膜 4 3、複数の第 2 トレンチソース構造 5 1 のソース絶縁膜 4 3、複数の第 1 ダミートレンチソース構造 6 1 のソース絶縁膜 4 3、複数のダミートレンチゲート構造 6 2 のゲート絶縁膜 3 3、および、複数の第 2 ダミートレンチソース構造 6 3 のソース絶縁膜 4 3 に連なるように活性面 6 を被覆している。

[0204] つまり、主面絶縁膜 9 0 は、活性面 6 において複数のトレンチゲート構造 3 1 のゲート電極 3 4、複数の第 1 トレンチソース構造 4 1 のソース電極 4 4、複数の第 2 トレンチソース構造 5 1 のソース電極 4 4、複数の第 1 ダミートレンチソース構造 6 1 のソース電極 4 4、複数のダミートレンチゲート構造 6 2 のゲート電極 3 4、および、複数の第 2 ダミートレンチソース構造 6 3 のソース電極 4 4 を露出させている。

- [0205] 主面絶縁膜 90 は、複数のトレンチゲート構造 31 のゲート絶縁膜 33、複数の第 1 トレンチソース構造 41 のソース絶縁膜 43、複数の第 2 トレンチソース構造 51 のソース絶縁膜 43、複数の第 1 ダミートレンチソース構造 61 のソース絶縁膜 43、複数のダミートレンチゲート構造 62 のゲート絶縁膜 33、および、複数の第 2 ダミートレンチソース構造 63 のソース絶縁膜 43 に連なるように第 1 ～第 4 接続面 8A ～8D を被覆している。
- [0206] つまり、主面絶縁膜 90 は、第 1 ～第 4 接続面 8A ～8D において複数のトレンチゲート構造 31 のゲート電極 34、複数の第 1 トレンチソース構造 41 のソース電極 44、複数の第 2 トレンチソース構造 51 のソース電極 44、複数の第 1 ダミートレンチソース構造 61 のソース電極 44、複数のダミートレンチゲート構造 62 のゲート電極 34、および、複数の第 2 ダミートレンチソース構造 63 のソース電極 44 を露出させている。主面絶縁膜 90 は、外側面 7 の周縁（第 1 ～第 4 側面 5A ～5D）から内方に間隔を空けて形成され、外側面 7 の周縁部を露出させる周端壁を有している。
- [0207] 図 6 および図 8 を参照して、SiC 半導体装置 1 は、トランジスタ領域 20 において第 1 主面 3（具体的には活性面 6）の上（above）でトレンチゲート構造 31 のゲート電極 34 を被覆する複数のゲートコンタクト電極 91（a plurality of gate contact electrodes）を含む。図 6 では、複数のゲートコンタクト電極 91 が太い破線によって示されている。複数のゲートコンタクト電極 91（the gate contact electrodes）は、この形態では、第 1 周縁領域 21 および第 2 周縁領域 22 には形成されていない。つまり、複数のゲートコンタクト電極 91 は、ダミートレンチゲート構造 62 のゲート電極 34 の上には形成されていない。
- [0208] 複数のゲートコンタクト電極 91 は、複数のトレンチゲート構造 31 をそれぞれ被覆し、対応するゲート電極 34 にそれぞれ電氣的に接続されている。複数のゲートコンタクト電極 91 は、具体的には、複数のトレンチゲート構造 31 の内方部から間隔を空けて複数のトレンチゲート構造 31 の両端部にそれぞれ形成されている。つまり、複数のゲートコンタクト電極 91 は、

トレンチゲート構造 3 1 の内方部に対してトレンチゲート構造 3 1 の両端部に近接する領域で対応するゲート電極 3 4 にそれぞれ電氣的に接続されている。

[0209] 複数のゲートコンタクト電極 9 1 は、複数のトレンチゲート構造 3 1 の上から主面絶縁膜 9 0 の上 (on) にそれぞれ引き出されている。複数のゲートコンタクト電極 9 1 は、平面視において複数の第 1 トレンチソース構造 4 1 から第 2 方向 Y に間隔を空けてそれぞれ形成されている。複数のゲートコンタクト電極 9 1 は、平面視において複数の第 2 トレンチソース構造 5 1 から第 1 方向 X に間隔を空けてそれぞれ形成されている。

[0210] 複数のゲートコンタクト電極 9 1 は、平面視において 1 つの第 1 トレンチソース構造 4 1 を挟み込む態様で、第 2 方向 Y に複数の第 1 トレンチソース構造 4 1 と交互に配列されている。複数のゲートコンタクト電極 9 1 は、この形態では、第 1 方向 X に延びる帯状にそれぞれ形成されている。複数のゲートコンタクト電極 9 1 は、平面視において第 1 方向 X に延びるストライプ状に形成されている。複数のゲートコンタクト電極 9 1 は、平面視において第 2 方向 Y に複数の第 2 トレンチソース構造 5 1 に対向していない。

[0211] 複数のゲートコンタクト電極 9 1 は、第 1 方向 X に関してトレンチゲート構造 3 1 の第 1 幅 W_1 を超える電極幅 W_E ($W_1 < W_E$) を有している。電極幅 W_E は、ゲートコンタクト電極 9 1 が延びる方向 (第 1 方向 X) に直交する方向 (第 2 方向 Y) の幅である。複数のゲートコンタクト電極 9 1 は、第 2 方向 Y に関してトレンチゲート構造 3 1 の長さ未満の長さを有している。

[0212] 複数のゲートコンタクト電極 9 1 は、活性面 6 に沿って延びる電極面 9 1 a をそれぞれ有している。複数のゲートコンタクト電極 9 1 は、この形態では、活性面 6 から電極面 9 1 a に向けて電極幅 W_E が狭まる先細り形状 (四角錐台状) に形成されている。電極面 9 1 a は、第 2 方向 Y に関してゲート電極 3 4 の電極面よりも幅広に形成されていることが好ましい。つまり、電極面 9 1 a は、法線方向 Z にゲート電極 3 4 に対向する部分、および、法線

方向Zにトレンチゲート構造31外の領域（つまり主面絶縁膜90）に対向する部分を含むことが好ましい。

[0213] 各ゲートコンタクト電極91は、導電性ポリシリコンからそれぞれなることが好ましい。各ゲートコンタクト電極91は、n型不純物が添加されたn型ポリシリコン、および／または、p型不純物が添加されたp型ポリシリコンを含んでいてもよい。各ゲートコンタクト電極91は、各ゲート電極34と同一の導電材料からそれぞれなることが好ましい。各ゲートコンタクト電極91は、この形態では、各ゲート電極34から活性面6の上（above）に引き出された引き出し部からなる。つまり、複数のゲートコンタクト電極91は、ゲート電極34からゲート絶縁膜33の第3部分33cを介して主面絶縁膜90の上に引き出されている。

[0214] 図5～図21のうちの活性面6の周縁を示す平面図および断面図を参照して、SiC半導体装置1は、第1～第4接続面8A～8Dのうちの少なくとも1つを被覆するように外側面7の上（above）に形成されたサイドウォール配線100を含む。サイドウォール配線100は、活性面6および外側面7の間に形成された段差を緩和するサイドウォール構造（段差緩和構造）として形成されている。サイドウォール配線100は、具体的には、主面絶縁膜90の上（on）に形成されている。

[0215] サイドウォール配線100は、少なくとも第3接続面8Cおよび第4接続面8Dのいずれか一方を被覆していることが好ましい。サイドウォール配線100は、この形態では、平面視において第1～第4接続面8A～8Dに沿って延びる帯状に形成されている。サイドウォール配線100は、具体的には、平面視において活性面6を取り囲む環状（具体的には四角環状）に形成され、第1～第4接続面8A～8Dの全域を被覆している。

[0216] つまり、サイドウォール配線100は、第1接続面8A側および第2接続面8B側において、トレンチゲート構造31、第1トレンチソース構造41、第2トレンチソース構造51、第1ダミートレンチソース構造61、ダミートレンチゲート構造62および第2ダミートレンチソース構造63に沿う

方向（第1方向X）に延びている。サイドウォール配線100は、第3接続面8C側および第4接続面8D側において、トレンチゲート構造31、第1トレンチソース構造41、第2トレンチソース構造51、第1ダミートレンチソース構造61、ダミートレンチゲート構造62および第2ダミートレンチソース構造63に交差する方向（第2方向Y）に延びている。

[0217] サイドウォール配線100のうち活性面6の四隅（第1～第4接続面8A～8Dの角部）を被覆する部分は、外側面7側に向かう湾曲状に形成されている。したがって、サイドウォール配線100は、この形態では、平面視において全体として四隅が湾曲した四角環状に形成されている。

[0218] サイドウォール配線100は、外側面7に沿って膜状に延びる部分、および、第1～第4接続面8A～8Dに沿って膜状に延びる部分を含む。サイドウォール配線100のうち外側面7の上に位置する部分は、活性面6に対して外側面7側の領域において外側面7を被覆していてもよい。サイドウォール配線100のうち外側面7の上に位置する部分は、活性台地9の厚さ（第1深さD1）未満の厚さを有していてもよい。

[0219] サイドウォール配線100のうち第1～第4接続面8A～8Dの上に位置する部分は、第1～第4接続面8A～8Dに沿って膜状に形成されている。サイドウォール配線100のうち第1～第4接続面8A～8Dの上に位置する部分は、活性面6から外側面7に向かって斜め下り傾斜した外面を有していてもよい。この場合、サイドウォール配線100の外面は、第1～第4接続面8A～8Dから離れる方向に突出した湾曲状に形成されていてもよいし、第1～第4接続面8A～8D側に向かって窪んだ湾曲状に形成されていてもよい。

[0220] サイドウォール配線100は、外側面7の上において主面絶縁膜90を挟んでアウターウェル領域81の一部に対向している。サイドウォール配線100は、さらに、外側面7の上において主面絶縁膜90を挟んでアウターコンタクト領域80に対向している。サイドウォール配線100は、この形態では、平面視においてフィールド領域82A～82Eから活性面6側に間隔

を空けて形成され、主面絶縁膜 90 を挟んでフィールド領域 82A～82E に対向していない。

[0221] サイドウォール配線 100 は、第 1～第 4 接続面 8A～8D の上において主面絶縁膜 90 を挟んで SiC チップ 2 に対向している。つまり、サイドウォール配線 100 は、第 1～第 4 接続面 8A～8D の上において主面絶縁膜 90 を挟んで第 1～第 4 接続面 8A～8D に沿う pn 接合部（アウターウェル領域 81 および第 2 半導体領域 11 の pn 接合部）に対向している。

[0222] サイドウォール配線 100 は、さらに、第 1～第 4 接続面 8A～8D の上において第 1 トレンチソース構造 41 の露出部、第 2 トレンチソース構造 51 の露出部、第 1 ダミートレンチソース構造 61 の露出部、ダミートレンチゲート構造 62 の露出部および第 2 ダミートレンチソース構造 63 の露出部を被覆している。これにより、サイドウォール配線 100 は、第 1～第 4 接続面 8A～8D の上において、第 1 トレンチソース構造 41、第 2 トレンチソース構造 51、第 1 ダミートレンチソース構造 61、ダミートレンチゲート構造 62 および第 2 ダミートレンチソース構造 63 に電氣的に接続されている。

[0223] サイドウォール配線 100 は、具体的には、第 1～第 4 接続面 8A～8D の上において、第 1 トレンチソース構造 41 のソース電極 44、第 2 トレンチソース構造 51 のソース電極 44、第 1 ダミートレンチソース構造 61 のソース電極 44、ダミートレンチゲート構造 62 のゲート電極 34 および第 2 ダミートレンチソース構造 63 のソース電極 44 に電氣的に接続されている。つまり、サイドウォール配線 100 は、ソース電位を付与する配線として外側面 7 の上に形成されている。

[0224] サイドウォール配線 100 は、この形態では、第 1～第 4 接続面 8A～8D の上において、第 1 トレンチソース構造 41 のソース電極 44、第 2 トレンチソース構造 51 のソース電極 44、第 1 ダミートレンチソース構造 61 のソース電極 44、ダミートレンチゲート構造 62 のゲート電極 34 および第 2 ダミートレンチソース構造 63 のソース電極 44 と一体的に形成されて

いる。

[0225] サイドウォール配線 100 は、第 1～第 4 接続面 8A～8D のうちの少なくとも 1 つから活性面 6 の縁部の上に乗り上げたオーバーラップ部 101 を有している。オーバーラップ部 101 は、平面視において活性面 6 の縁部に沿って延びる帯状に形成されている。オーバーラップ部 101 は、この形態では、第 1～第 4 接続面 8A～8D の全てから活性面 6 の縁部の上に乗り上げている。つまり、オーバーラップ部 101 は、平面視において活性面 6 の縁部に沿って延び、活性面 6 の内方部を取り囲む環状に形成されている。

[0226] オーバラップ部 101 は、一对の第 1 オーバラップ部 101A、および、一对の第 2 オーバラップ部 101B を含む。一对の第 1 オーバラップ部 101A は、オーバーラップ部 101 のうち第 1 接続面 8A および第 2 接続面 8B に沿って延びる部分である。一对の第 2 オーバラップ部 101B は、オーバーラップ部 101 のうち第 3 接続面 8C および第 4 接続面 8D に沿って延びる部分である。一对の第 1 オーバラップ部 101A は同様の構造を有し、一对の第 2 オーバラップ部 101B は同様の構造を有している。以下では、第 1 接続面 8A 側の第 1 オーバラップ部 101A、および、第 3 接続面 8C 側の第 2 オーバラップ部 101B の構造について説明する。

[0227] 第 1 オーバラップ部 101A は、主面絶縁膜 90 を挟んで活性面 6 に対向し、少なくとも最外に位置する 1 つの第 1 ダミートレンチソース構造 61 を被覆している。第 1 オーバラップ部 101A は、この形態では、最外に位置する 1 つの第 1 ダミートレンチソース構造 61 の全域を被覆している。第 1 オーバラップ部 101A は、活性面 6 の上において最外の第 1 ダミートレンチソース構造 61 のソース電極 44 に電氣的に接続されている。

[0228] 第 1 オーバラップ部 101A は、具体的には、活性面 6 の上において最外の第 1 ダミートレンチソース構造 61 のソース電極 44 と一体的に形成されている。第 1 オーバラップ部 101A は、複数の第 1 ダミートレンチソース構造 61 を被覆していてもよい。この場合、第 1 オーバラップ部 101A によって被覆される第 1 ダミートレンチソース構造 61 の個数は、第 1 オーバ

ラップ部101Aから露出する第1ダミートレンチソース構造61の個数未満であることが好ましい。

[0229] 第2オーバーラップ部101Bは、主面絶縁膜90を挟んで活性面6に対向し、第1トレンチソース構造41の端部、第2トレンチソース構造51の端部、第1ダミートレンチソース構造61の端部、ダミートレンチゲート構造62の端部、および、第2ダミートレンチソース構造63の端部を被覆している。第2オーバーラップ部101Bは、活性面6の上において第1トレンチソース構造41のソース電極44、第2トレンチソース構造51のソース電極44、第1ダミートレンチソース構造61のソース電極44、ダミートレンチゲート構造62のゲート電極34、および、第2ダミートレンチソース構造63のソース電極44に電氣的に接続されている。

[0230] 第2オーバーラップ部101Bは、具体的には、活性面6の上において第1トレンチソース構造41のソース電極44、第2トレンチソース構造51のソース電極44、第1ダミートレンチソース構造61のソース電極44、ダミートレンチゲート構造62のゲート電極34、および、第2ダミートレンチソース構造63のソース電極44と一体的に形成されている。

[0231] オーバラップ部101は、オーバーラップ幅WOを有している。オーバーラップ幅WOは、第1～第4接続面8A～8Dを基準として、オーバーラップ部101が延びる方向に直交する方向の幅である。オーバーラップ幅WOは、外側面7の第1深さD1未満 ($WO < D1$) であることが好ましい。オーバーラップ幅WOは、第1トレンチソース構造41の第3深さ未満 ($WO < D3$) であることが好ましい。オーバーラップ幅WOは、トレンチゲート構造31の第2深さD2以上 ($WO \geq D2$) であってもよいし、第2深さD2未満 ($WO < D2$) であってもよい。

[0232] サイドウォール配線100は、導電性ポリシリコンからなることが好ましい。サイドウォール配線100は、n型不純物が添加されたn型ポリシリコン、および／または、p型不純物が添加されたp型ポリシリコンを含んでもよい。サイドウォール配線100は、ゲート電極34と同一の導電材料

からなることが好ましい。また、サイドウォール配線100は、ソース電極44と同一の導電材料からなることが好ましい。

[0233] SiC半導体装置1は、主面絶縁膜90の上に形成された第1無機絶縁膜110を含む。第1無機絶縁膜110は、「層間絶縁膜」、「中間絶縁膜」、「上側絶縁膜」または「被覆対象」と称されてもよい。第1無機絶縁膜110は、複数の絶縁膜を含む積層構造を有していてもよいし、単一の絶縁膜からなる単層構造を有していてもよい。第1無機絶縁膜110は、酸化シリコン膜、窒化シリコン膜および酸窒化シリコン膜のうちの少なくとも1つを含むことが好ましい。第1無機絶縁膜110は、複数の酸化シリコン膜を含む積層構造、複数の窒化シリコン膜を含む積層構造、または、複数の酸窒化シリコン膜を含む積層構造を有していてもよい。

[0234] 第1無機絶縁膜110は、酸化シリコン膜、窒化シリコン膜および酸窒化シリコン膜のうちの少なくとも2種を任意の順序で積層させた積層構造を有していてもよい。第1無機絶縁膜110は、酸化シリコン膜、窒化シリコン膜または酸窒化シリコン膜からなる単層構造を有していてもよい。第1無機絶縁膜110は、この形態では、複数の酸化シリコン膜が積層された積層構造を有している。

[0235] 第1無機絶縁膜110は、具体的には、主面絶縁膜90側からこの順に積層されたNSG (Nondoped Silicate Glass) 膜およびPSG (Phosphor Silicate Glass) 膜を含む積層構造を有している。NSG膜は、不純物無添加の酸化シリコン膜からなる。PSG膜は、リンが添加された酸化シリコン膜からなる。NSG膜の厚さは、10nm以上300nm以下であってもよい。PSG膜の厚さは、50nm以上500nm以下であってもよい。第1無機絶縁膜110の厚さは、主面絶縁膜90の厚さを超えていることが好ましい。

[0236] 第1無機絶縁膜110は、活性面6の上においてトランジスタ領域20、第1周縁領域21および第2周縁領域22を膜状に被覆している。第1無機絶縁膜110は、トランジスタ領域20において、複数のトレンチゲート構

造 3 1、複数の第 1 トレンチソース構造 4 1 および複数の第 2 トレンチソース構造 5 1 を選択的に被覆している。第 1 無機絶縁膜 1 1 0 は、第 1 周縁領域 2 1 および第 2 周縁領域 2 2 において、第 1 ダミー構造 6 0 A の全域および第 2 ダミー構造 6 0 B の全域を被覆している。つまり、第 1 無機絶縁膜 1 1 0 は、複数の第 1 ダミートレンチソース構造 6 1、複数のダミートレンチゲート構造 6 2 および複数の第 2 ダミートレンチソース構造 6 3 を一括して被覆している。

[0237] 第 1 無機絶縁膜 1 1 0 は、活性面 6 および外側面 7 の間の領域においてサイドウォール配線 1 0 0 を被覆し、活性面 6 の上から第 1 ～第 4 接続面 8 A ～8 D を横切って外側面 7 の上に引き出されている。第 1 無機絶縁膜 1 1 0 は、サイドウォール配線 1 0 0 を膜状に被覆している。第 1 無機絶縁膜 1 1 0 は、外側面 7 の上において主面絶縁膜 9 0 を膜状に被覆している。第 1 無機絶縁膜 1 1 0 は、外側面 7 の周縁（第 1 ～第 4 側面 5 A ～5 D）から内方に間隔を空けて形成され、外側面 7 の周縁部を露出させる周端壁を有している。第 1 無機絶縁膜 1 1 0 の周端壁は、主面絶縁膜 9 0 の周端壁と共に外側面 7 の周縁部を露出させる切欠き開口 1 1 1 を区画している。

[0238] 図 6 および図 1 4 を参照して、第 1 無機絶縁膜 1 1 0 は、活性面 6 側において複数のゲート開口 1 1 2 (a plurality of gate openings) を有している。複数のゲート開口 1 1 2 (the gate openings) は、トランジスタ領域 2 0 側に形成され、複数のトレンチゲート構造 3 1 の両端部をそれぞれ露出させている。複数のゲート開口 1 1 2 は、第 1 周縁領域 2 1 側および第 2 周縁領域 2 2 側には形成されず、複数のダミートレンチゲート構造 6 2 を露出させていない。

[0239] 複数のゲート開口 1 1 2 は、この形態では、複数のゲートコンタクト電極 9 1 を一対一の対応関係でそれぞれ露出させている。むしろ、複数のゲート開口 1 1 2 は、1 つのゲートコンタクト電極 9 1 を一対多の対応関係でそれぞれ露出させていてもよい。複数のゲート開口 1 1 2 は、この形態では、平面視において対応するゲートコンタクト電極 9 1 の周縁から間隔を空けて対

応するゲートコンタクト電極 91 の電極面 91a をそれぞれ露出させている。

[0240] つまり、複数のゲート開口 112 は、対応するゲートコンタクト電極 91 の電極面 91a のみをそれぞれ露出させている。複数のゲート開口 112 は、この形態では、ゲートコンタクト電極 91 が延びる方向（第 1 方向 X）に延びる帯状にそれぞれ形成されている。複数のゲート開口 112 は、平面視において全体としてストライプ状に形成されている。複数のゲート開口 112 の平面形状は任意であり、円形状に形成されていてもよい。

[0241] 図 11 を参照して、第 1 無機絶縁膜 110 は、活性面 6 側において複数のソース開口 113（a plurality of source openings）を有している。複数のソース開口 113（the source openings）は、トランジスタ領域 20 側に形成され、複数の第 1 トレンチソース構造 41 をそれぞれ露出させている。複数のソース開口 113 は、複数の第 2 トレンチソース構造 51 を露出させていない。つまり、複数の第 2 トレンチソース構造 51 は、第 1 無機絶縁膜 110 によって被覆されている。また、複数のソース開口 113 は、第 1 周縁領域 21 側および第 2 周縁領域 22 側には形成されておらず、複数の第 1 ダミートレンチソース構造 61 および複数の第 2 ダミートレンチソース構造 63 を露出させていない。

[0242] 複数のソース開口 113 は、この形態では、複数のコンタクト領域 70 に対して一対一の対応関係でそれぞれ形成され、対応する第 1 トレンチソース構造 41 を複数箇所からそれぞれ露出させている。つまり、複数のソース開口 113 は、複数のコンタクト領域 70 の配列に応じて、平面視において第 1 方向 X および第 2 方向 Y に間隔を空けて行列状または千鳥状のパターンで配列されている。

[0243] 複数のソース開口 113 は、この形態では、複数のコンタクト領域 70 の平面形状に対応して、第 1 方向 X に延びる帯状にそれぞれ形成されている。複数のソース開口 113 の平面形状は任意であり、円形状に形成されていてもよい。複数のソース開口 113 は、対応する第 1 トレンチソース構造 41

のソース電極 44 に加えて、対応するソース領域 24 および対応するコンタクト領域 70 をそれぞれ露出させている。むろん、複数のソース開口 113 は、複数の第 1 トレンチソース構造 41 を一対一の対応関係でそれぞれ露出させていてもよい。この場合、複数の第 1 トレンチソース構造 41 は、対応する第 1 トレンチソース構造 41 に沿って延びる帯状に形成されていることが好ましい。

[0244] 図 10、図 13 および図 14 を参照して、第 1 無機絶縁膜 110 は、外側面 7 側において少なくとも 1 つのサイドウォール開口 114 を有している。第 1 無機絶縁膜 110 は、この形態では、1 つのサイドウォール開口 114 を有している。サイドウォール開口 114 は、平面視においてサイドウォール配線 100 に沿って延びる帯状に形成されている。サイドウォール開口 114 は、この形態では、平面視においてサイドウォール配線 100 に沿って延びる環状（具体的には四角環状）に形成されている。サイドウォール開口 114 は、サイドウォール配線 100 において外側面 7 を被覆する部分を全周に亘って露出させている。サイドウォール開口 114 は、この形態では、アウターコンタクト領域 80 も全周に亘って露出させている。

[0245] 図 22～図 28 を参照して、SiC 半導体装置 1 は、第 1 無機絶縁膜 110 の上に形成された第 1 主面電極 120 を含む。第 1 主面電極 120 は、この形態では、活性面 6 の上の上に配置され、外側面 7 の上には配置されていない。第 1 主面電極 120 は、ゲート主面電極 121 を含む。ゲート主面電極 121 は、ゲートパッド電極と称されてもよい。ゲート主面電極 121 は、複数のトレンチゲート構造 31（ゲート電極 34）に電氣的に接続され、外部から入力されたゲート電位（ゲート信号）を複数のトレンチゲート構造 31（ゲート電極 34）に付与する。

[0246] ゲート主面電極 121 は、平面視において第 1～第 4 接続面 8A～8D から間隔を空けて活性面 6 の周縁部の上に配置されている。ゲート主面電極 121 は、この形態では、活性面 6 の周縁部において第 1 接続面 8A の中央部に対向する領域に配置されている。ゲート主面電極 121 は、少なくとも最

外の第1ダミートレンチソース構造61（サイドウォール配線100）から活性面6の内方に間隔を空けて配置されている。ゲート主面電極121は、平面視において活性面6に平行な4辺を有する四角形状に形成されている。

[0247] ゲート主面電極121は、第1無機絶縁膜110を挟んで第1周縁領域21の一部（第1ダミー構造60Aの一部）に対向している。ゲート主面電極121は、第1無機絶縁膜110を挟んで少なくとも1つの第1ダミートレンチソース構造61に対向していることが好ましい。ゲート主面電極121は、この形態では、複数の第1ダミートレンチソース構造61を横切っている。ゲート主面電極121は、第1無機絶縁膜110によって複数の第1ダミートレンチソース構造61から電氣的に分離されている。

[0248] ゲート主面電極121は、第1ダミー構造60A側から第2ダミー構造60B側に引き出され、第1無機絶縁膜110を挟んで第2ダミー構造60Bの一部に対向している。ゲート主面電極121は、第1無機絶縁膜110を挟んでダミートレンチゲート構造62および第2ダミートレンチソース構造63のいずれか一方または双方に対向している。ゲート主面電極121は、この形態では、複数のダミートレンチゲート構造62および複数の第2ダミートレンチソース構造63の全てを横切っている。ゲート主面電極121は、第1無機絶縁膜110によって複数のダミートレンチゲート構造62および複数の第2ダミートレンチソース構造63から電氣的に分離されている。

[0249] ゲート主面電極121は、第1周縁領域21側からトランジスタ領域20側に引き出され、第1無機絶縁膜110を挟んでトランジスタ構造30の一部に対向している。ゲート主面電極121は、トレンチゲート構造31および第1トレンチソース構造41のいずれか一方または双方に対向している。ゲート主面電極121は、この形態では、複数のトレンチゲート構造31および複数の第1トレンチソース構造41を横切っている。ゲート主面電極121は、第1無機絶縁膜110によって複数のトレンチゲート構造31および複数の第1トレンチソース構造41から電氣的に分離されている。ゲート主面電極121は、複数の第2トレンチソース構造51から間隔を空けて配

置され、複数の第2トレンチソース構造51からも電氣的に分離されている。

[0250] ゲート主面電極121は、第1無機絶縁膜110の上に位置するゲート電極側壁121a（電極側壁）を有している。ゲート電極側壁121aは、ゲート主面電極121の主面から斜め下り傾斜したテーパ形状に形成されている。ゲート電極側壁121aは、第1無機絶縁膜110に向かって湾曲した湾曲テーパ形状に形成されていてもよい。

[0251] 第1主面電極120は、ソース主面電極122を含む。ソース主面電極122は、ゲート主面電極121から間隔を空けて活性面6の上に配置されている。ソース主面電極122は、ソースパッド電極と称されてもよい。ソース主面電極122は、複数の第1トレンチソース構造41（ソース電極44）に電氣的に接続され、外部から入力されたソース電位を複数の第1トレンチソース構造41（ソース電極44）に付与する。

[0252] ソース主面電極122は、平面視において第1～第4接続面8A～8Dから間隔を空けて活性面6の上に形成されている。ソース主面電極122は、この形態では、平面視において活性面6（第1～第4接続面8A～8D）に平行な4辺を有する四角形状に形成されている。ソース主面電極122は、具体的には、平面視において第1接続面8Aに沿う辺においてゲート主面電極121に整合するように活性面6の内方に向けて窪んだ凹部を有する多角形状に形成されている。

[0253] ソース主面電極122は、ゲート主面電極121の平面積を超える平面積を有している。ソース主面電極122は、少なくとも最外の第1ダミートレンチソース構造61（サイドウォール配線100）から活性面6の内方に間隔を空けて配置されている。ソース主面電極122は、この形態では、平面視において第1ダミー構造60Aから活性面6の内方に間隔を空けて配置されている。

[0254] ソース主面電極122は、本体部123、第1引き出し部124、第2引き出し部125および第3引き出し部126を含む。本体部123は、トラ

ンジスタ領域 20 の上に配置され、第 2 方向 Y にゲート主面電極 121 に対向している。本体部 123 は、この形態では、複数のトレンチゲート構造 31 の全ておよび複数の第 1 トレンチソース構造 41 の全てに対向している。本体部 123 は、第 1 無機絶縁膜 110 の上から複数のソース開口 113 に入り込み、複数のソース領域 24、複数のソース電極 44 および複数のコンタクト領域 70 に電氣的に接続されている。これにより、ソース主面電極 122 に印加されたソース電位が、複数のソース電極 44、複数のソース領域 24 および複数のコンタクト領域 70 に付与される。

[0255] 第 1 引き出し部 124 は、トランジスタ領域 20 の上から第 1 周縁領域 21 の一方側（第 3 接続面 8C 側）の上に引き出され、第 1 方向 X にゲート主面電極 121 に対向している。第 2 引き出し部 125 は、トランジスタ領域 20 の上から第 1 周縁領域 21 の他方側（第 4 接続面 8D 側）の上に引き出され、第 1 方向 X にゲート主面電極 121 を挟んで第 1 引き出し部 124 に対向している。

[0256] 第 1 ～第 2 引き出し部 124 ～125 は、第 1 無機絶縁膜 110 を挟んで第 2 ダミー構造 60B の一部にそれぞれ対向している。第 1 ～第 2 引き出し部 124 ～125 は、ダミートレンチゲート構造 62 および第 2 ダミートレンチソース構造 63 のいずれか一方または双方にそれぞれ対向している。第 1 ～第 2 引き出し部 124 ～125 は、この形態では、ダミートレンチゲート構造 62 および第 2 ダミートレンチソース構造 63 の双方にそれぞれ対向している。

[0257] 第 1 ～第 2 引き出し部 124 ～125 は、複数のダミートレンチゲート構造 62 および複数の第 2 ダミートレンチソース構造 63 にそれぞれ対向していてもよい。第 1 ～第 2 引き出し部 124 ～125 は、第 1 無機絶縁膜 110 によって複数のダミートレンチゲート構造 62 および複数の第 2 ダミートレンチソース構造 63 からそれぞれ電氣的に分離されている。

[0258] 第 1 ～第 2 引き出し部 124 ～125 は、この形態では、第 1 ダミー構造 60A 側から第 2 ダミー構造 60B 側に間隔を空けて配置されている。した

がって、第1～第2引き出し部124～125は、第1無機絶縁膜110を挟んで複数の第1ダミートレンチソース構造61には対向していない。第1～第2引き出し部124～125は、第1無機絶縁膜110によって複数の第1ダミートレンチソース構造61からそれぞれ電氣的に分離されている。

[0259] むろん、第1～第2引き出し部124～125は、第2ダミー構造60B側から第1ダミー構造60A側に引き出され、第1無機絶縁膜110を挟んで第1ダミー構造60Aの一部にそれぞれ対向していてもよい。この場合、第1～第2引き出し部124～125は、第1無機絶縁膜110を挟んで少なくとも1つの第1ダミートレンチソース構造61にそれぞれ対向していてもよい。

[0260] 第3引き出し部126は、トランジスタ領域20の上から第2周縁領域22の上に引き出され、第1無機絶縁膜110を挟んで第2ダミー構造60Bの一部に対向している。第3引き出し部126は、ダミートレンチゲート構造62および第2ダミートレンチソース構造63のいずれか一方または双方に対向している。

[0261] 第3引き出し部126は、この形態では、ダミートレンチゲート構造62および第2ダミートレンチソース構造63の双方に対向している。第3引き出し部126は、複数のダミートレンチゲート構造62および複数の第2ダミートレンチソース構造63に対向していてもよい。第3引き出し部126は、第1無機絶縁膜110によって複数のダミートレンチゲート構造62および複数の第2ダミートレンチソース構造63から電氣的に分離されている。

[0262] 第3引き出し部126は、第2ダミー構造60B側から第1ダミー構造60A側に引き出され、第1無機絶縁膜110を挟んで第1ダミー構造60Aの一部にそれぞれ対向している。第3引き出し部126は、第1無機絶縁膜110を挟んで複数（この形態では全て）の第1ダミートレンチソース構造61にそれぞれ対向している。第3引き出し部126は、第1無機絶縁膜110によって複数の第1ダミートレンチソース構造61から電氣的に分離さ

れている。

[0263] ソース主面電極 1 2 2 は、第 1 無機絶縁膜 1 1 0 の上に位置するソース電極側壁 1 2 2 a (電極側壁) を有している。ソース電極側壁 1 2 2 a は、ソース主面電極 1 2 2 の主面から斜め下り傾斜したテーパ形状に形成されている。ソース電極側壁 1 2 2 a は、第 1 無機絶縁膜 1 1 0 に向かって湾曲した湾曲テーパ形状に形成されていてもよい。

[0264] SiC 半導体装置 1 は、第 1 無機絶縁膜 1 1 0 の上に形成された配線電極 1 3 0 を含む。配線電極 1 3 0 は、第 1 無機絶縁膜 1 1 0 の上において活性面 6 を被覆する領域および外側面 7 を被覆する領域を含む任意の領域に引き回される。

[0265] 配線電極 1 3 0 は、ゲート配線電極 1 3 1 (ゲート配線) を含む。ゲート配線電極 1 3 1 は、ゲートフィンガー電極と称されてもよい。ゲート配線電極 1 3 1 は、ゲート主面電極 1 2 1 から第 1 無機絶縁膜 1 1 0 において活性面 6 を被覆する部分の上に引き出されている。ゲート配線電極 1 3 1 は、活性面 6 の上に形成され、外側面 7 の上には形成されていない。ゲート配線電極 1 3 1 は、ゲート主面電極 1 2 1 に印加されたゲート電位を他の領域に伝達する。

[0266] ゲート配線電極 1 3 1 は、第 1 ～第 4 接続面 8 A ～8 D およびソース主面電極 1 2 2 から間隔を空けて、ゲート主面電極 1 2 1 から第 1 ～第 4 接続面 8 A ～8 D およびソース主面電極 1 2 2 の間の領域に引き出されている。ゲート配線電極 1 3 1 は、第 1 ～第 4 接続面 8 A ～8 D に沿って延びる帯状に形成されている。ゲート配線電極 1 3 1 は、具体的には、平面視において複数の方向からソース主面電極 1 2 2 に対向するように第 1 ～第 4 接続面 8 A ～8 D の少なくとも 2 つに沿って帯状に延びていることが好ましい。

[0267] ゲート配線電極 1 3 1 は、この形態では、平面視において 4 つの方向からソース主面電極 1 2 2 に対向している。ゲート配線電極 1 3 1 のうち活性面 6 の四隅に沿って延びる部分は、外側面 7 側に向かう湾曲状に形成されている。したがって、ゲート配線電極 1 3 1 は、この形態では、平面視において

全体として四隅が湾曲した帯状に延びている。ゲート配線電極 131 は、第 2 接続面 8B 側に開放部を有している。開放部の位置や大きさは任意である。

[0268] ゲート配線電極 131 は、ゲート主面電極 121 から第 1 周縁領域 21 の上に引き出され、第 1 接続面 8A および第 3 接続面 8C に沿って延びている。ゲート配線電極 131 は、第 1 周縁領域 21 側において第 1 無機絶縁膜 110 を挟んで第 1 ダミー構造 60A の一部および第 2 ダミー構造 60B の一部に対向している。

[0269] ゲート配線電極 131 は、具体的には、第 1 無機絶縁膜 110 を挟んで複数の第 1 ダミートレンチソース構造 61、複数のダミートレンチゲート構造 62 および複数の第 2 ダミートレンチソース構造 63 に対向している。ゲート配線電極 131 は、第 1 無機絶縁膜 110 によって複数の第 1 ダミートレンチソース構造 61、複数のダミートレンチゲート構造 62 および複数の第 2 ダミートレンチソース構造 63 から電氣的に分離されている。

[0270] ゲート配線電極 131 は、第 1 周縁領域 21 側からトランジスタ領域 20 側に引き出され、第 3 接続面 8C および第 4 接続面 8D に沿って延びている。ゲート配線電極 131 は、トランジスタ領域 20 側において第 1 無機絶縁膜 110 を挟んでトランジスタ構造 30 の一部に対向している。ゲート配線電極 131 は、トランジスタ領域 20 では、平面視において複数のトレンチゲート構造 31 および複数の第 1 トレンチソース構造 41 に交差（具体的には直交）している。

[0271] つまり、ゲート配線電極 131 は、複数のトレンチゲート構造 31 および複数の第 1 トレンチソース構造 41 が延びる方向（第 1 方向 X）に交差（具体的には直交）する方向（第 2 方向 Y）に延びている。換言すると、ゲート配線電極 131 は、複数のトレンチゲート構造 31 および複数の第 2 トレンチソース構造 51 の対向方向（第 1 方向 X）に交差（具体的には直交）する方向（第 2 方向 Y）に延びている。

[0272] ゲート配線電極 131 は、平面視においてトレンチゲート構造 31 および

第2トレンチソース構造51の間の領域を横切るように延び、複数のトレンチゲート構造31の端部、複数の第1トレンチソース構造41の内方部、および、複数の第2トレンチソース構造51の端部に交差（具体的には直交）している。ゲート配線電極131は、第1無機絶縁膜110の上から複数のゲート開口112に入り込み、複数のゲートコンタクト電極91に電氣的に接続されている。これにより、ゲート主面電極121に印加されたゲート電位が、ゲート配線電極131を介して複数のトレンチゲート構造31に付与される。

[0273] ゲート配線電極131は、トランジスタ領域20から第2周縁領域22の上に引き出され、第3接続面8Cおよび第2接続面8Bに沿って延びている。ゲート配線電極131は、第2周縁領域22側において第1無機絶縁膜110を挟んで第1ダミー構造60Aの一部および第2ダミー構造60Bの一部に対向している。

[0274] ゲート配線電極131は、具体的には、第1無機絶縁膜110を挟んで複数の第1ダミートレンチソース構造61、複数のダミートレンチゲート構造62および複数の第2ダミートレンチソース構造63に対向している。ゲート配線電極131は、第1無機絶縁膜110によって複数の第1ダミートレンチソース構造61、複数のダミートレンチゲート構造62および複数の第2ダミートレンチソース構造63から電氣的に分離されている。

[0275] ゲート配線電極131は、第1無機絶縁膜110の上に位置するゲート配線側壁131a（配線側壁）を有している。ゲート配線側壁131aは、ゲート配線電極131の主面から斜め下り傾斜したテーパ形状に形成されている。ゲート配線側壁131aは、第1無機絶縁膜110に向かって湾曲した湾曲テーパ形状に形成されていてもよい。

[0276] 配線電極130は、ソース配線電極132（ソース配線）を含む。ソース配線電極132は、ソースフィンガー電極と称されてもよい。ソース配線電極132は、ソース主面電極122に印加されたソース電位を他の領域に伝達する。ソース配線電極132は、ソース主面電極122からゲート配線電

極 1 3 1 の開放部を通過し、第 1 無機絶縁膜 1 1 0 においてサイドウォール配線 1 0 0 を被覆する部分の上に引き出されている。ソース配線電極 1 3 2 は、平面視においてゲート配線電極 1 3 1 から間隔を空けてサイドウォール配線 1 0 0 に沿って延びる帯状に形成されている。

[0277] ソース配線電極 1 3 2 は、第 1 ～第 4 接続面 8 A ～8 D に沿って延びる帯状に形成されている。ソース配線電極 1 3 2 は、具体的には、平面視において複数の方向からソース主面電極 1 2 2 に対向するように第 1 ～第 4 接続面 8 A ～8 D の少なくとも 2 つに沿って帯状に延びていることが好ましい。ソース配線電極 1 3 2 は、この形態では、平面視において 4 つの方向からソース主面電極 1 2 2 に対向するようにサイドウォール配線 1 0 0 に沿って延びる環状（具体的には四角環状）に形成されている。つまり、ソース配線電極 1 3 2 は、平面視においてゲート主面電極 1 2 1、ソース主面電極 1 2 2 およびゲート配線電極 1 3 1 を一括して取り囲んでいる。

[0278] ソース配線電極 1 3 2 のうち活性面 6 の四隅に沿って延びる部分は、外側面 7 側に向かう湾曲状に形成されている。したがって、ソース配線電極 1 3 2 は、この形態では、平面視において全体として四隅が湾曲した環状に形成されている。ソース配線電極 1 3 2 は、この形態では、第 1 無機絶縁膜 1 1 0 を挟んでサイドウォール配線 1 0 0 の全域を被覆している。

[0279] ソース配線電極 1 3 2 は、さらに、サイドウォール配線 1 0 0 の上から、第 1 無機絶縁膜 1 1 0 において外側面 7 を被覆する部分の上に引き出されている。ソース配線電極 1 3 2 は、具体的には、アウターコンタクト領域 8 0 の上に引き出され、平面視においてアウターコンタクト領域 8 0 に沿って延びる帯状に形成されている。ソース配線電極 1 3 2 は、この形態では、平面視においてアウターコンタクト領域 8 0 に沿って延びる環状（具体的には四角環状）に形成されている。つまり、ソース配線電極 1 3 2 は、全周に亘ってアウターコンタクト領域 8 0 およびサイドウォール配線 1 0 0 を被覆している。

[0280] ソース配線電極 1 3 2 は、第 1 無機絶縁膜 1 1 0 の上からサイドウォール

開口 114 に入り込み、サイドウォール配線 100 およびアウターコンタクト領域 80 に電氣的に接続されている。ソース配線電極 132 は、この形態では、全周に亘ってサイドウォール配線 100 およびアウターコンタクト領域 80 に電氣的に接続されている。これにより、ソース主面電極 122 に印加されたソース電位が、ソース配線電極 132 を介してサイドウォール配線 100 およびアウターコンタクト領域 80 に付与される。

[0281] サイドウォール配線 100 に付与されたソース電位は、複数の第 1 トレンチソース構造 41、複数の第 2 トレンチソース構造 51、複数の第 1 ダミートレンチソース構造 61、複数のダミートレンチゲート構造 62、および、複数の第 2 ダミートレンチソース構造 63 に付与される。つまり、ソース配線電極 132 は、サイドウォール配線 100 を介することによって、ソース主面電極 122 とは異なる位置で複数の第 1 トレンチソース構造 41 をソース主面電極 122 に電氣的に接続させている。

[0282] また、ソース配線電極 132 は、サイドウォール配線 100 を介することによって、活性面 6 においてソース主面電極 122 から電氣的に分離された複数の第 2 トレンチソース構造 51、複数の第 1 ダミートレンチソース構造 61、複数のダミートレンチゲート構造 62、および、複数の第 2 ダミートレンチソース構造 63 を第 1～第 4 接続面 8A～8D 側からソース主面電極 122 に電氣的に接続させている。つまり、サイドウォール配線 100 によれば、活性面 6 において第 1 主面電極 120 から電氣的に分離された任意のトレンチ構造が、活性面 6 外の領域（第 1～第 4 接続面 8A～8D）において第 1 主面電極 120 に電氣的に接続される。

[0283] ソース配線電極 132 は、第 1 無機絶縁膜 110 の上に位置するソース配線側壁 132a（配線側壁）を有している。ソース配線側壁 132a は、ソース主面電極 122 の主面から斜め下り傾斜したテーパ形状に形成されている。ソース配線側壁 132a は、第 1 無機絶縁膜 110 に向かって湾曲した湾曲テーパ形状に形成されていてもよい。

[0284] 第 1 主面電極 120 および配線電極 130 は、第 1 無機絶縁膜 110 側か

らこの順に積層された第1電極膜141および第2電極膜142を含む積層構造をそれぞれ有している。第1電極膜141は、第1無機絶縁膜110に沿って膜状に形成されている。第1電極膜141は、金属バリア膜からなる。第1電極膜141は、この形態では、Ti系金属膜からなる。

[0285] 第1電極膜141は、チタン膜および窒化チタン膜のうちの少なくとも1種を含む。第1電極膜141は、チタン膜または窒化チタン膜からなる単層構造を有していてもよい。第1電極膜141は、この形態では、第1主面3側からこの順に積層されたチタン膜および窒化チタン膜を含む積層構造を有している。第1電極膜141の厚さは、10nm以上500nm以下であってもよい。

[0286] 第2電極膜142は、第1電極膜141に沿って膜状に形成されている。第1電極膜141は、Cu系金属膜またはAl系金属膜からなる。第1電極膜141は、純Cu膜（純度が99%以上のCu膜）、純Al膜（純度が99%以上のAl膜）、AlCu合金膜、AlSi合金膜、および、AlSiCu合金膜のうちの少なくとも1種を含んでいてもよい。第1電極膜141は、この形態では、AlCu合金膜からなる単層構造を有している。第2電極膜142の厚さ、0.5μm以上10μm以下であってもよい。第2電極膜142の厚さは、2.5μm以上7.5μm以下であることが好ましい。

[0287] SiC半導体装置1は、第2無機絶縁膜150を含む。第2無機絶縁膜150は、比較的高い緻密度を有する無機絶縁体からなり、水分（湿気）に対するバリア性（遮蔽性）を有している。たとえば、第1主面電極120の酸化物（この形態では酸化アルミニウム）は、第1主面電極120の電気的特性を低下させる。また、第1主面電極120の酸化物は、熱膨張によって第1主面電極120や他の構造物の部分的な剥離やクラック等を引き起こす一要因となる。

[0288] 第2無機絶縁膜150は、第1無機絶縁膜110および第1主面電極120のいずれか一方または双方を被覆することによって外部からの水分（湿気）を遮蔽し、SiCチップ2や第1主面電極120を酸化から保護する。第

2 無機絶縁膜 150 は、パッシベーション膜と称されてもよい。

[0289] 第2 無機絶縁膜 150 は、複数の絶縁膜を含む積層構造を有していてもよい、単一の絶縁膜からなる単層構造を有していてもよい。第2 無機絶縁膜 150 は、酸化シリコン膜、窒化シリコン膜および酸窒化シリコン膜のうちの少なくとも1つを含むことが好ましい。第2 無機絶縁膜 150 は、複数の酸化シリコン膜を含む積層構造、複数の窒化シリコン膜を含む積層構造、または、複数の酸窒化シリコン膜を含む積層構造を有していてもよい。

[0290] 第2 無機絶縁膜 150 は、酸化シリコン膜、窒化シリコン膜および酸窒化シリコン膜のうちの少なくとも2種を任意の順序で積層させた積層構造を有していてもよい。第2 無機絶縁膜 150 は、酸化シリコン膜、窒化シリコン膜または酸窒化シリコン膜からなる単層構造を有していてもよい。第2 無機絶縁膜 150 は、この形態では、窒化シリコン膜からなる単層構造を有している。つまり、第2 無機絶縁膜 150 は、第1 無機絶縁膜 110 とは異なる絶縁体からなる。

[0291] 第2 無機絶縁膜 150 の厚さは、第1 無機絶縁膜 110 の厚さ未満であることが好ましい。第2 無機絶縁膜 150 の厚さは、第1 無機絶縁膜 110 の厚さ以上であってもよい。第2 無機絶縁膜 150 の厚さは、第1 電極膜 141 の厚さを超えていることが好ましい。第2 無機絶縁膜 150 の厚さは、第2 電極膜 142 の厚さ以下であることが好ましい。第2 無機絶縁膜 150 の厚さは、第2 電極膜 142 の厚さ未満であることが特に好ましい。第2 無機絶縁膜 150 の厚さは、 $0.05\ \mu\text{m}$ 以上 $5\ \mu\text{m}$ 以下であってもよい。第2 無機絶縁膜 150 の厚さは、 $0.1\ \mu\text{m}$ 以上 $2\ \mu\text{m}$ 以下であることが好ましい。

[0292] 図23を参照して、第2 無機絶縁膜 150 は、この形態では、複数の内被覆部 151（電極被覆部）、外被覆部 152（絶縁被覆部）および除去部 153を含む。複数の内被覆部 151 は、第1 主面電極 120 の電極側壁を露出させるように、第1 主面電極 120 をそれぞれ被覆している。複数の内被覆部 151 は、具体的には、ゲート主面電極 121 を被覆するゲート内被覆

部 1 5 4、および、ソース主面電極 1 2 2 を被覆するソース内被覆部 1 5 5 を含む。

[0293] 第 2 無機絶縁膜 1 5 0 は、ゲート内被覆部 1 5 4 およびソース内被覆部 1 5 5 のうちの少なくとも一方を有していればよく、必ずしもゲート内被覆部 1 5 4 およびソース内被覆部 1 5 5 の双方を同時に含む必要はない。第 2 無機絶縁膜 1 5 0 は、少なくともゲート主面電極 1 2 1 よりも面積の大きいソース主面電極 1 2 2 を被覆するソース内被覆部 1 5 5 を有していることが好ましい。

[0294] 第 2 無機絶縁膜 1 5 0 は、ゲート内被覆部 1 5 4 およびソース内被覆部 1 5 5 の双方を有していることが特に好ましい。また、第 2 無機絶縁膜 1 5 0 は、複数の内被覆部 1 5 1 および外被覆部 1 5 2 のうちの少なくとも一方を有していればよく、必ずしも複数の内被覆部 1 5 1 および外被覆部 1 5 2 の双方を含む必要はない。第 2 無機絶縁膜 1 5 0 は、少なくとも複数の内被覆部 1 5 1 を有していることが好ましい。複数の内被覆部 1 5 1 および外被覆部 1 5 2 の双方を含むことが最も好ましい。

[0295] 第 2 無機絶縁膜 1 5 0 のゲート内被覆部 1 5 4 は、活性面 6 の上においてゲート電極側壁 1 2 1 a を露出させるようにゲート主面電極 1 2 1 を被覆している。ゲート内被覆部 1 5 4 は、具体的には、ゲート主面電極 1 2 1 の周縁部を露出させるようにゲート電極側壁 1 2 1 a から間隔を空けてゲート主面電極 1 2 1 を被覆している。ゲート内被覆部 1 5 4 は、ゲート主面電極 1 2 1 の内方部も露出させている。

[0296] ゲート内被覆部 1 5 4 は、平面視においてゲート電極側壁 1 2 1 a に沿って延びる帯状に形成されている。ゲート内被覆部 1 5 4 は、この形態では、平面視においてゲート主面電極 1 2 1 の内方部を取り囲む環状に形成されている。ゲート内被覆部 1 5 4 は、具体的には、平面視においてゲート電極側壁 1 2 1 a に平行な 4 辺を有する環状（具体的には四角環状）に形成されている。

[0297] ゲート内被覆部 1 5 4 は、ゲート主面電極 1 2 1 の内方部側の第 1 内壁部

154a、および、ゲート電極側壁121a側の第1外壁部154bを有している。第1内壁部154aは、この形態では、平面視においてゲート電極側壁121aに平行な4辺を有する四角形状に形成されている。第1内壁部154aは、第2無機絶縁膜150の主面からゲート主面電極121の内方部に向けて斜め下り傾斜したテーパ形状に形成されている。第1内壁部154aは、ゲート主面電極121の内方部を露出させる第1ゲート開口156を区画している。

[0298] 第1外壁部154bは、ゲート主面電極121の周縁部を露出させるようにゲート電極側壁121aから間隔を空けてゲート主面電極121の上に形成されている。第1外壁部154bは、この形態では、平面視においてゲート電極側壁121aに平行な4辺を有する四角形状に形成されている。第1外壁部154bは、第2無機絶縁膜150の主面からゲート主面電極121のゲート電極側壁121aに向けて斜め下り傾斜したテーパ形状に形成されている。

[0299] 第2無機絶縁膜150のソース内被覆部155は、活性面6の上においてソース電極側壁122aを露出させるようにソース主面電極122を被覆している。ソース内被覆部155は、具体的には、ソース主面電極122の周縁部を露出させるようにソース電極側壁122aから間隔を空けてソース主面電極122を被覆している。ソース内被覆部155は、ソース主面電極122の内方部も露出させている。

[0300] ソース内被覆部155は、平面視においてソース電極側壁122aに沿って延びる帯状に形成されている。ソース内被覆部155は、この形態では、平面視においてソース主面電極122の内方部を取り囲む環状に形成されている。ソース内被覆部155は、平面視においてソース電極側壁122aの凹部を形成する部分に沿うようにソース主面電極122の内方に向かって凹状に窪んだ部分を有している。これにより、ソース内被覆部155は、平面視においてソース電極側壁122aに平行な辺を有する環状（具体的には多角環状）に形成されている。

- [0301] ソース内被覆部 155 は、ソース主面電極 122 の内方部側の第 2 内壁部 155 a、および、ソース主面電極 122 のソース電極側壁 122 a 側の第 2 外壁部 155 b を有している。第 2 内壁部 155 a は、この形態では、平面視においてソース電極側壁 122 a に平行な辺を有する多角形状に形成されている。第 2 内壁部 155 a は、第 2 無機絶縁膜 150 の主面からソース主面電極 122 の内方部に向けて斜め下り傾斜したテーパ形状に形成されている。第 2 内壁部 155 a は、ソース主面電極 122 の内方部を露出させる第 1 ソース開口 157 を区画している。
- [0302] 第 2 外壁部 155 b は、ソース主面電極 122 の周縁部を露出させるようにソース電極側壁 122 a から間隔を空けてソース主面電極 122 の上に形成されている。第 2 外壁部 155 b は、この形態では、平面視においてソース電極側壁 122 a に平行な辺を有する多角形状に形成されている。第 2 外壁部 155 b は、第 2 無機絶縁膜 150 の主面からソース主面電極 122 のソース電極側壁 122 a に向けて斜め下り傾斜したテーパ形状に形成されている。
- [0303] 第 2 無機絶縁膜 150 の外被覆部 152 は、ゲート電極側壁 121 a およびソース電極側壁 122 a を露出させるように、ゲート主面電極 121 およびソース主面電極 122 から第 1 主面 3 の周縁側に間隔を空けて第 1 無機絶縁膜 110 を被覆している。外被覆部 152 は、ゲート配線側壁 131 a を露出させるようにゲート配線電極 131 から第 1 主面 3 の周縁に間隔を空けて形成されている。外被覆部 152 は、ソース配線側壁 132 a を露出させるようにソース配線電極 132 から第 1 主面 3 の周縁に間隔を空けて形成されている。外被覆部 152 は、サイドウォール配線 100 から第 1 主面 3 の周縁に間隔を空けて形成されている。
- [0304] 外被覆部 152 は、平面視において活性面 6（第 1～第 4 接続面 8 A～8 D）に沿って延びる帯状に形成されている。外被覆部 152 は、平面視において活性面 6 を取り囲む環状に形成されている。外被覆部 152 は、具体的には、平面視において活性面 6 に平行な 4 辺を有する四角環状に形成されて

いる。外被覆部 152 は、平面視においてサイドウォール配線 100、ゲート主面電極 121、ソース主面電極 122、ゲート配線電極 131 およびソース配線電極 132 を取り囲んでいる。

[0305] 外被覆部 152 は、第 1 無機絶縁膜 110 を挟んで少なくとも 1 つのフィールド領域 82A～82E に対向している。外被覆部 152 は、この形態では、平面視において最内の第 1 フィールド領域 82A から第 1 主面 3 の周縁側に間隔を空けて形成され、第 1 無機絶縁膜 110 を挟んで第 2～第 5 フィールド領域 82B～82E に対向している。むろん、外被覆部 152 は、第 1 無機絶縁膜 110 を挟んで第 1～第 5 フィールド領域 82A～82E の全てに対向していてもよい。

[0306] 外被覆部 152 は、この形態では、第 1 無機絶縁膜 110 の上から切欠き開口 111 から露出した外側面 7 の周縁部の上に引き出されている。第 1 無機絶縁膜 110（外被覆部 152）は、第 1 主面 3 の周縁との間で外側面 7 の周縁部が露出したダイシングストリート 158 を区画している。ダイシングストリート 158 は、第 1 主面 3 の周縁に沿って延びる四角環状に区画されている。ダイシングストリート 158 の幅は、5 μ m 以上 25 μ m 以下であってもよい。ダイシングストリート 158 の幅は、ダイシングストリート 158 が延びる方向に直交する方向の幅である。

[0307] 外被覆部 152 は、活性面 6 側の第 3 内壁部 152a、および、第 1 主面 3 の周縁側の第 3 外壁部 152b を有している。第 3 内壁部 152a は、外側面 7 の上において第 1 無機絶縁膜 110 を露出させるようにサイドウォール開口 114 から間隔を空けて第 1 無機絶縁膜 110 の上に形成されている。第 3 内壁部 152a は、具体的には、第 1 無機絶縁膜 110 を露出させるようにソース配線電極 132 のソース配線側壁 132a から間隔を空けて第 1 無機絶縁膜 110 の上に形成されている。

[0308] 第 3 内壁部 152a は、この形態では、平面視においてソース配線電極 132（ソース配線側壁 132a）に平行な 4 辺を有する四角形状に形成されている。第 3 内壁部 152a は、サイドウォール配線 100、ゲート主面電

極 1 2 1、ソース主面電極 1 2 2、ゲート配線電極 1 3 1 およびソース配線電極 1 3 2 を一括して取り囲んでいる。第 3 内壁部 1 5 2 a は、第 2 無機絶縁膜 1 5 0 の主面から第 1 無機絶縁膜 1 1 0 に向けて斜め下り傾斜したテーパ形状に形成されている。

[0309] 第 3 外壁部 1 5 2 b は、平面視において切欠き開口 1 1 1 および外側面 7 の周縁の間の領域に形成され、外側面 7 の周縁部を露出させている。第 3 外壁部 1 5 2 b は、第 2 無機絶縁膜 1 5 0 の主面から外側面 7 に向けて斜め下り傾斜したテーパ形状に形成されている。第 3 外壁部 1 5 2 b は、外側面 7 の周縁との間でダイシングストリート 1 5 8 を区画している。

[0310] 第 2 無機絶縁膜 1 5 0 の除去部 1 5 3 は、ゲート内被覆部 1 5 4（第 1 外壁部 1 5 4 b）および外被覆部 1 5 2（第 3 内壁部 1 5 2 a）の間、ソース内被覆部 1 5 5（第 2 外壁部 1 5 5 b）および外被覆部 1 5 2（第 3 内壁部 1 5 2 a）の間、ならびに、ゲート内被覆部 1 5 4（第 1 外壁部 1 5 4 b）およびソース内被覆部 1 5 5（第 2 外壁部 1 5 5 b）の間に区画されている。

[0311] 除去部 1 5 3 は、この形態では、平面視において第 1～第 4 接続面 8 A～8 D、第 1 外壁部 1 5 4 b および第 2 外壁部 1 5 5 b に沿って延びる帯状に形成されている。除去部 1 5 3 は、この形態では、平面視において第 1 外壁部 1 5 4 b に沿って延びる環状部、および、第 2 外壁部 1 5 5 b（第 1～第 4 接続面 8 A～8 D）に沿って延びる環状部を一体的に含む。

[0312] 除去部 1 5 3 は、活性面 6 および外側面 7 の間の段差部（つまり第 1～第 4 接続面 8 A～8 D）を全周に亘って露出させると同時に、ゲート電極側壁 1 2 1 a、ソース電極側壁 1 2 2 a、ゲート配線側壁 1 3 1 a およびソース配線側壁 1 3 2 a を全周に亘って露出させている。つまり、除去部 1 5 3 は、ゲート配線電極 1 3 1 の全域、ソース配線電極 1 3 2 の全域、ならびに、ゲート配線電極 1 3 1 およびソース配線電極 1 3 2 の間に介在するサイドウォール配線 1 0 0 の全域を露出させている。

[0313] 第 2 無機絶縁膜 1 5 0 では、ゲート内被覆部 1 5 4 が平坦なゲート主面電

極 1 2 1 の上に形成され、ソース内被覆部 1 5 5 が平坦なソース主面電極 1 2 2 の上に形成され、外被覆部 1 5 2 が平坦な第 1 無機絶縁膜 1 1 0 の上に形成されている。したがって、第 2 無機絶縁膜 1 5 0 では、サイドウォール配線 1 0 0、ゲート主面電極 1 2 1、ソース主面電極 1 2 2、ゲート配線電極 1 3 1 およびソース配線電極 1 3 2 に起因する段差が除去部 1 5 3 によって取り除かれている。

[0314] SiC 半導体装置 1 は、第 1 無機絶縁膜 1 1 0、第 2 無機絶縁膜 1 5 0 および第 1 主面電極 1 2 0 を選択的に被覆する有機絶縁膜 1 6 0 を含む。有機絶縁膜 1 6 0 は、第 2 無機絶縁膜 1 5 0 の硬度よりも低い硬度を有している。換言すると、有機絶縁膜 1 6 0 は、第 2 無機絶縁膜 1 5 0 の弾性率よりも小さい弾性率を有し、外力に対する緩衝材（保護膜）として機能する。有機絶縁膜 1 6 0 は、外力から SiC チップ 2、第 1 主面電極 1 2 0、第 2 無機絶縁膜 1 5 0 等を保護する。

[0315] 有機絶縁膜 1 6 0 は、感光性樹脂を含むことが好ましい。感光性樹脂は、ネガティブタイプまたはポジティブタイプであってもよい。有機絶縁膜 1 6 0 は、ポリイミド膜、ポリアミド膜およびポリベンゾオキサゾール膜のうちの少なくとも 1 つを含んでいてもよい。有機絶縁膜 1 6 0 は、この形態では、ポリイミド膜を含む。

[0316] 有機絶縁膜 1 6 0 の厚さは、 $1\ \mu\text{m}$ 以上 $50\ \mu\text{m}$ 以下であってもよい。有機絶縁膜 1 6 0 の厚さは、 $5\ \mu\text{m}$ 以上 $20\ \mu\text{m}$ 以下であることが好ましい。有機絶縁膜 1 6 0 の厚さは、第 2 無機絶縁膜 1 5 0 の厚さを超えていることが好ましい。有機絶縁膜 1 6 0 の厚さは、第 1 主面電極 1 2 0 の厚さを超えていることが特に好ましい。

[0317] 有機絶縁膜 1 6 0 は、活性面 6 の上においてゲート主面電極 1 2 1 のゲート電極側壁 1 2 1 a を被覆している。有機絶縁膜 1 6 0 は、具体的には、ゲート主面電極 1 2 1 の全周に亘ってゲート電極側壁 1 2 1 a を被覆している。有機絶縁膜 1 6 0 は、ゲート電極側壁 1 2 1 a において第 1 電極膜 1 4 1 および第 2 電極膜 1 4 2 を被覆している。有機絶縁膜 1 6 0 は、ゲート主面

電極 1 2 1 の縁部を被覆している。

[0318] つまり、有機絶縁膜 1 6 0 は、ゲート電極側壁 1 2 1 a からゲート内被覆部 1 5 4 に向けて延び、ゲート電極側壁 1 2 1 a およびゲート内被覆部 1 5 4 の間から露出したゲート主面電極 1 2 1 の周縁部を被覆している。有機絶縁膜 1 6 0 は、さらに、ゲート主面電極 1 2 1 の周縁部からゲート内被覆部 1 5 4 の上に向けて延び、ゲート内被覆部 1 5 4 を被覆している。

[0319] 有機絶縁膜 1 6 0 は、ゲート主面電極 1 2 1 の内方部を露出させるようにゲート内被覆部 1 5 4 を被覆している。有機絶縁膜 1 6 0 は、具体的には、ゲート内被覆部 1 5 4 の第 1 内壁部 1 5 4 a を露出させるようにゲート内被覆部 1 5 4 を被覆している。有機絶縁膜 1 6 0 は、さらに具体的には、第 1 内壁部 1 5 4 a から第 1 外壁部 1 5 4 b 側に間隔を空けてゲート内被覆部 1 5 4 を被覆し、ゲート主面電極 1 2 1 の内方部およびゲート内被覆部 1 5 4 の縁部を露出させている。

[0320] 有機絶縁膜 1 6 0 は、活性面 6 の上においてソース主面電極 1 2 2 のソース電極側壁 1 2 2 a を被覆している。有機絶縁膜 1 6 0 は、具体的には、ソース主面電極 1 2 2 の全周に亘ってソース電極側壁 1 2 2 a を被覆している。有機絶縁膜 1 6 0 は、ソース電極側壁 1 2 2 a において第 1 電極膜 1 4 1 および第 2 電極膜 1 4 2 を被覆している。有機絶縁膜 1 6 0 は、ソース主面電極 1 2 2 の縁部を被覆している。

[0321] つまり、有機絶縁膜 1 6 0 は、ソース電極側壁 1 2 2 a からソース内被覆部 1 5 5 側に向けて延び、ソース電極側壁 1 2 2 a およびソース内被覆部 1 5 5 の間から露出したソース主面電極 1 2 2 の周縁部を被覆している。有機絶縁膜 1 6 0 は、さらに、ソース主面電極 1 2 2 の周縁部からソース内被覆部 1 5 5 の上に向けて延び、ソース内被覆部 1 5 5 を被覆している。

[0322] 有機絶縁膜 1 6 0 は、ソース主面電極 1 2 2 の内方部を露出させるようにソース内被覆部 1 5 5 を被覆している。有機絶縁膜 1 6 0 は、具体的には、ソース内被覆部 1 5 5 の第 2 内壁部 1 5 5 a を露出させるようにソース内被覆部 1 5 5 を被覆している。有機絶縁膜 1 6 0 は、さらに具体的には、第 2

内壁部 155a から第 2 外壁部 155b 側に間隔を空けてソース内被覆部 155 を被覆し、ソース主面電極 122 の内方部およびソース内被覆部 155 の縁部を露出させている。

[0323] 有機絶縁膜 160 は、活性面 6 の上においてゲート配線電極 131 のゲート配線側壁 131a を被覆している。有機絶縁膜 160 は、具体的には、ゲート配線電極 131 の全周に亘ってゲート配線側壁 131a を被覆している。有機絶縁膜 160 は、ゲート配線側壁 131a において第 1 電極膜 141 および第 2 電極膜 142 を被覆している。有機絶縁膜 160 は、ゲート配線側壁 131a からゲート配線電極 131 の上に延び、ゲート配線電極 131 の全域を被覆している。

[0324] 有機絶縁膜 160 は、活性面 6 および外側面 7 の間の領域においてソース配線電極 132 および第 1 無機絶縁膜 110 を挟んでサイドウォール配線 100 を被覆している。有機絶縁膜 160 は、ソース配線電極 132 の全周に亘ってソース配線側壁 132a を被覆している。有機絶縁膜 160 は、ソース配線側壁 132a において第 1 電極膜 141 および第 2 電極膜 142 を被覆している。有機絶縁膜 160 は、ソース配線側壁 132a からソース配線電極 132 の上に延び、ソース配線電極 132 の全域を被覆している。つまり、有機絶縁膜 160 は、ソース配線電極 132 および第 1 無機絶縁膜 110 を挟んでサイドウォール配線 100 の全域を被覆している。

[0325] 有機絶縁膜 160 は、ソース配線電極 132 の上から第 2 無機絶縁膜 150 の外被覆部 152 の上に引き出され、外被覆部 152 を被覆している。有機絶縁膜 160 は、外側面 7 の周縁部を露出させるように外被覆部 152 を被覆している。有機絶縁膜 160 は、具体的には、外被覆部 152 の第 3 外壁部 152b を露出させるように外被覆部 152 を被覆している。有機絶縁膜 160 は、さらに具体的には、第 3 外壁部 152b から第 3 内壁部 152a 側に間隔を空けて外被覆部 152 を被覆し、平面視において外側面 7 の周縁部および外被覆部 152 の周縁部を露出させている。

[0326] 有機絶縁膜 160 は、ゲート主面電極 121 側の第 4 内壁部 160a を有

している。第4内壁部160aは、ゲート内被覆部154の第1内壁部154a（第1ゲート開口156）に沿って延びている。第4内壁部160aは、この形態では、平面視において第1内壁部154aに平行な4辺を有する四角形状に形成されている。

[0327] 第4内壁部160aは、具体的には、第1内壁部154aから第1外壁部154b側に間隔を空けてゲート内被覆部154の上に形成され、ゲート主面電極121の内方部およびゲート内被覆部154の縁部を露出させている。つまり、第2ゲート開口161は、ゲート主面電極121の内方部およびゲート内被覆部154の縁部を露出させている。第4内壁部160aは、ゲート主面電極121の内方部を露出させる第2ゲート開口161を区画している。

[0328] 第4内壁部160a（第2ゲート開口161）は、第1内壁部154a（第1ゲート開口156）に連通し、第1内壁部154a（第1ゲート開口156）と1つのゲートパッド開口162を形成している。第4内壁部160a（第2ゲート開口161）は、有機絶縁膜160の主面から第1内壁部154aに向けて斜め下り傾斜したテーパ形状に形成されている。第4内壁部160aは、この形態では、ゲート内被覆部154に向かって湾曲した湾曲テーパ形状に形成されている。

[0329] 有機絶縁膜160は、ソース主面電極122側の第5内壁部160bを有している。第5内壁部160bは、ソース内被覆部155の第2内壁部155a（第1ソース開口157）に沿って延びている。第5内壁部160bは、この形態では、平面視においてソース内被覆部155の第2内壁部155aに平行な辺を有する多角形状に形成されている。

[0330] 第5内壁部160bは、具体的には、ソース内被覆部155の第2内壁部155aから第2外壁部155b側に間隔を空けてソース内被覆部155の上に形成され、ソース主面電極122の内方部およびソース内被覆部155の縁部を露出させている。つまり、第2ソース開口163は、ソース主面電極122の内方部およびソース内被覆部155の縁部を露出させている。第

5内壁部160bは、ソース主面電極122の内方部を露出させる第2ソース開口163を区画している。

[0331] 第5内壁部160b（第2ソース開口163）は、ソース内被覆部155の第2内壁部155a（第1ソース開口157）に連通し、第2内壁部155a（第1ソース開口157）と1つのソースパッド開口164を形成している。第5内壁部160b（第2ソース開口163）は、有機絶縁膜160の主面から第2内壁部155aに向けて斜め下り傾斜したテーパ形状に形成されている。第5内壁部160bは、この形態では、ソース内被覆部155に向かって湾曲した湾曲テーパ形状に形成されている。

[0332] 有機絶縁膜160は、第4外壁部160cを有している。第4外壁部160cは、外側面7の周縁部を露出させるように、外側面7の周縁（第1～第4側面5A～5D）から外被覆部152側に間隔を空けて形成されている。第4外壁部160cは、具体的には、外被覆部152の第3外壁部152bを露出させるように第3外壁部152bの上に形成されている。

[0333] 第4外壁部160cは、この形態では、平面視において活性面6に平行な4辺を有する四角形状に形成されている。第4外壁部160cは、有機絶縁膜160の主面から外被覆部152の第3外壁部152bに向けて斜め下り傾斜したテーパ形状に形成されている。第4外壁部160cは、この形態では、外被覆部152に向かって湾曲した湾曲テーパ形状に形成されている。第4外壁部160cは、第3外壁部152bと共にダイシングストリート158を区画している。

[0334] このように、有機絶縁膜160は、活性面6の上においてゲート主面電極121の縁部、ソース主面電極122の縁部、ゲート配線電極131の全域、および、第2無機絶縁膜150の複数の内被覆部151を被覆している。有機絶縁膜160は、活性面6の上では、第1無機絶縁膜110においてゲート主面電極121、ゲート配線電極131、ソース主面電極122およびソース配線電極132から露出した部分を被覆している。

[0335] 有機絶縁膜160は、活性面6および外側面7の間においてソース配線電

極 1 3 2（サイドウォール配線 1 0 0）の全域を被覆している。有機絶縁膜 1 6 0 は、第 2 無機絶縁膜 1 5 0 の外被覆部 1 5 2 を被覆している。有機絶縁膜 1 6 0 は、外側面 7 の上では、第 1 無機絶縁膜 1 1 0 においてソース配線電極 1 3 2 および第 2 無機絶縁膜 1 5 0 から露出した部分を被覆している。

[0336] また、有機絶縁膜 1 6 0 は、第 2 無機絶縁膜 1 5 0 の複数の内被覆部 1 5 1 および外被覆部 1 5 2 に跨って形成され、複数の内被覆部 1 5 1 および外被覆部 1 5 2 の間の除去部 1 5 3 内においてソース配線電極 1 3 2（サイドウォール配線 1 0 0）の全域、ゲート配線電極 1 3 1 の全域、ゲート主面電極 1 2 1 の縁部、および、ソース主面電極 1 2 2 の縁部を被覆している。

[0337] つまり、有機絶縁膜 1 6 0 は、除去部 1 5 3 内において、第 1 無機絶縁膜 1 1 0、ソース配線電極 1 3 2（サイドウォール配線 1 0 0）、第 2 無機絶縁膜 1 5 0、ゲート主面電極 1 2 1、ソース主面電極 1 2 2、ゲート配線電極 1 3 1 およびソース配線電極 1 3 2 によって形成された凹凸を埋めている。有機絶縁膜 1 6 0 において除去部 1 5 3 内に位置する部分の段差は、サイドウォール配線 1 0 0 によって緩和されている。

[0338] S i C 半導体装置 1 は、第 2 主面 4 を被覆する第 2 主面電極 1 7 0 を含む。第 2 主面電極 1 7 0 は、ドレイン電極と称されてもよい。第 2 主面電極 1 7 0 は、第 2 主面 4 の全域を被覆し、第 1 主面 3 の周縁（第 1 ～第 4 側面 5 A ～5 D）に連なっている。第 2 主面電極 1 7 0 は、第 1 半導体領域 1 0（第 2 主面 4）に電氣的に接続されている。第 2 主面電極 1 7 0 は、具体的には、第 1 半導体領域 1 0（第 2 主面 4）とオーミック接触を形成している。

[0339] 第 2 主面電極 1 7 0 は、この形態では、T i 膜、N i 膜、P d 膜、A u 膜および A g 膜のうちの少なくとも 1 つを含む。第 2 主面電極 1 7 0 は、少なくとも T i 膜を含んでいればよく、N i 膜、P d 膜、A u 膜および A g 膜の有無や積層順は任意である。第 2 主面電極 1 7 0 は、一例として、第 2 主面 4 側からこの順に積層された T i 膜、N i 膜、P d 膜および A u 膜を含んでいてもよい。第 2 主面電極 1 7 0 は、他の例として、T i 膜、N i 膜および

Au膜を含む積層構造を有していてもよい。

[0340] 図29A～図29Vは、図1に示すSiC半導体装置1の製造方法の一例を示す断面図である。図29Aを参照して、第1半導体領域10のベースとなるSiCウエハ201（ウエハ／半導体ウエハ）が用意される。次に、エピタキシャル成長法によって、SiCウエハ201の一方面から半導体結晶（この形態ではSiC）が結晶成長される。これにより、所定のn型不純物濃度を有する第3半導体領域14および所定のn型不純物濃度を有する第2半導体領域11が、SiCウエハ201の上にこの順に形成される。第3半導体領域14および第2半導体領域11は、この形態では、SiCエピタキシャル層からそれぞれなる。

[0341] 以下では、第1半導体領域10（SiCウエハ201）、第3半導体領域14（SiCエピタキシャル層）および第2半導体領域11（SiCエピタキシャル層）を含むウエハ構造物をSiCエピウエハ202という。SiCエピウエハ202は、一方側の第1ウエハ主面203および他方側の第2ウエハ主面204を有している。第1ウエハ主面203および第2ウエハ主面204は、SiCチップ2の第1主面3および第2主面4にそれぞれ対応している。

[0342] 次に、複数のデバイス領域205、および、複数のデバイス領域205を区画する切断予定ライン206が、第1ウエハ主面203に設定される。複数のデバイス領域205は、たとえば、平面視において第1方向Xおよび第2方向Yに間隔を空けて行列状に設定される。切断予定ライン206は、平面視において複数のデバイス領域205の配列に応じた格子状に設定される。図29Aでは、1つのデバイス領域205の一部が示され、切断予定ライン206が一点鎖線によって示されている（以下、図29B～図29Vにおいて同じ。）。

[0343] 次に、図29Bを参照して、第1ウエハ主面203の表層部にp型のボディ領域23およびn型のソース領域24（図示せず）が形成される。ボディ領域23は、この工程では、第1ウエハ主面203の表層部の全域に形成さ

れる。ボディ領域 23 は、第 1 ウエハ主面 203 に対する p 型不純物の導入によって形成される。ソース領域 24 は、この工程では、第 1 ウエハ主面 203 の表層部の全域に形成される。ソース領域 24 は、第 1 ウエハ主面 203 に対する n 型不純物の導入によって形成される。ソース領域 24 は、ボディ領域 23 の形成工程後に実施されることが好ましいが、ボディ領域 23 の形成工程前に実施されてもよい。

[0344] 次に、図 29C を参照して、第 1 ウエハ主面 203 の上に、ハードマスク 207 が形成される。ハードマスク 207 は、酸化シリコンを含んでいてもよい。ハードマスク 207 は、CVD (chemical vapor deposition) 法または熱酸化処理法によって形成されてもよい。ハードマスク 207 は、この工程では、熱酸化処理法によって形成される。

[0345] 次に、図 29D を参照して、所定パターンを有する第 1 レジストマスク 208 が、ハードマスク 207 の上に形成される。第 1 レジストマスク 208 は、複数のゲートトレンチ 209、複数のソーストレンチ 210 および外側面 7 を形成すべき領域を露出させ、それら以外の領域を被覆している。複数のゲートトレンチ 209 には、複数のトレンチゲート構造 31 のゲートトレンチ 32、および、複数のダミートレンチゲート構造 62 のゲートトレンチ 32 が含まれる（以下、同じ）。複数のソーストレンチ 210 には、複数の第 1 トレンチソース構造 41 のソーストレンチ 42、複数の第 2 トレンチソース構造 51 のソーストレンチ 42、複数の第 1 ダミートレンチソース構造 61 のソーストレンチ 42、および、複数の第 2 ダミートレンチソース構造 63 のソーストレンチ 42 が含まれる（以下、同じ）。

[0346] 次に、第 1 レジストマスク 208 を介するエッチング法（たとえばドライエッチング法）によって、ハードマスク 207 の不要な部分が除去される。これにより、複数のゲートトレンチ 209、複数のソーストレンチ 210、および、外側面 7 に対応した露出パターンがハードマスク 207 に形成される。第 1 レジストマスク 208 は、その後、除去される。

[0347] 次に、図 29E を参照して、ハードマスク 207 を介するエッチング法（

たとえばドライエッチング法)によって、SiCエピウエハ202の不要な部分が除去される。この工程では、第2半導体領域11の不要な部分が除去される。これにより、複数のゲートトレンチ209、複数のソーストレンチ210および外側面7が第1ウエハ主面203に形成される。また、活性台地9が第1ウエハ主面203に形成される。活性台地9は、活性面6、外側面7および第1～第4接続面8A～8Dを含む。

[0348] 次に、図29Fを参照して、所定パターンを有する第2レジストマスク211が、ハードマスク207の上に形成される。第2レジストマスク211は、複数のゲートトレンチ209を埋め込む態様で複数のゲートトレンチ209をそれぞれ被覆し、複数のソーストレンチ210および外側面7を露出させている。

[0349] つまり、第2レジストマスク211は、複数の第1ダミートレンチソース構造61のソーストレンチ42の全部（つまり第1ダミー構造60Aの全域）を露出させ、複数の第2ダミートレンチソース構造63の全部（つまり第2ダミー構造60Bの一部）を露出させる。第1ダミー構造60Aおよび第2ダミー構造60B（特に第1ダミー構造60A）は、活性面6の周縁部において、活性面6および外側面7の間の段差に起因する第2レジストマスク211の傾斜を抑制し、当該第2レジストマスク211の傾斜に起因する形状不良からトランジスタ構造30を保護する。

[0350] 次に、図29Gを参照して、第2レジストマスク211を介するエッチング法によって、SiCエピウエハ202の不要な部分が除去される。エッチング法は、異方性のドライエッチング法（たとえばRIE（Reactive Ion Etching）法）であることが好ましい。この工程では、第2半導体領域11の不要な部分が除去される。これにより、複数のソーストレンチ210、および、外側面7がSiCエピウエハ202の厚さ方向（第2ウエハ主面204側）にさらに掘り下げられる。第2レジストマスク211は、その後、除去される。

[0351] 次に、図29Hを参照して、ハードマスク207が、エッチング法によっ

て除去される。エッチング法は、ウエットエッチング法および／またはドライエッチング法であってもよい。

[0352] 次に、図29Iを参照して、所定パターンを有する第3レジストマスク212が、第1ウエハ主面203の上に形成される。第3レジストマスク212は、複数のウェル領域213を形成すべき領域を露出させ、それ以外の領域を被覆している。複数のウェル領域213は、複数のウェル領域71、複数のゲートウェル領域72、複数のダミーウェル領域74、複数のダミーゲートウェル領域75、および、アウターウェル領域81を含む。次に、p型不純物が、第3レジストマスク212を介して第1ウエハ主面203の表層部に導入される。これにより、複数のウェル領域213が、第1ウエハ主面203の表層部に形成される。第3レジストマスク212は、その後、除去される。

[0353] 次に、図29Jを参照して、所定パターンを有する第4レジストマスク214が、第1ウエハ主面203の上に形成される。第4レジストマスク214は、複数のフィールド領域82A～82Eを形成すべき領域を露出させ、それら以外の領域を被覆している。次に、p型不純物が、第4レジストマスク214を介して第1ウエハ主面203の表層部に導入される。これにより、複数のフィールド領域82A～82Eが、第1ウエハ主面203の表層部に形成される。第4レジストマスク214は、その後、除去される。

[0354] 次に、図29Kを参照して、所定パターンを有する第5レジストマスク215が、第1ウエハ主面203の上に形成される。第5レジストマスク215は、複数のコンタクト領域216を形成すべき領域を露出させ、それら以外の領域を被覆している。複数のコンタクト領域216は、複数のコンタクト領域70、複数のダミーコンタクト領域73、および、アウターコンタクト領域80を含む。

[0355] 第5レジストマスク215は、具体的には、複数のゲートトレンチ209を埋め込む態様で複数のゲートトレンチ209をそれぞれ被覆している。また、第5レジストマスク215は、複数の第1ダミートレンチソース構造6

1のソーストレンチ42を埋め込む態様で複数の第1ダミートレンチソース構造61をそれぞれ被覆している。また、第5レジストマスク215は、複数の第1トレンチソース構造41のソーストレンチ42、複数の第2トレンチソース構造51のソーストレンチ42、複数の第2ダミートレンチソース構造63のソーストレンチ42、および、外側面7の一部を露出させている。

[0356] 第5レジストマスク215は、複数の第1ダミートレンチソース構造61の全部（第1ダミー構造60Aの全域）を被覆している。第1ダミー構造60Aおよび第2ダミー構造60B（特に第2ダミー構造60B）は、活性面6の周縁部において活性面6および外側面7の間の段差に起因する第5レジストマスク215の傾斜を抑制し、当該第5レジストマスク215の傾斜に起因するp型不純物の導入不良からトランジスタ構造30を保護する。

[0357] 次に、p型不純物が、第5レジストマスク215を介して第1ウエハ主面203の表層部に導入される。これにより、複数のコンタクト領域216が、第1ウエハ主面203の表層部に形成される。第5レジストマスク215は、その後、除去される。

[0358] 次に、図29Lを参照して、第1ウエハ主面203を被覆するベース絶縁膜217が形成される。ベース絶縁膜217は、ゲート絶縁膜33、ソース絶縁膜43および主面絶縁膜90のベースとなる。ベース絶縁膜217は、CVD（chemical vapor deposition）法または熱酸化処理法によって形成されてもよい。ベース絶縁膜217は、この工程では、熱酸化処理法によって形成される。つまり、ベース絶縁膜217は、SiCエピウエハ202の酸化物からなる酸化膜を含む。

[0359] この工程では、ベース絶縁膜217においてゲートトレンチ209の側壁を被覆する部分およびソーストレンチ210の側壁を被覆する部分が、他の部分よりも薄く形成される。また、この工程では、ベース絶縁膜217においてゲートトレンチ209の開口エッジ部を被覆する部分およびソーストレンチ210の開口エッジ部を被覆する部分が、他の部分よりも厚く形成され

る。

[0360] 次に、図29Mを参照して、第1ベース電極膜218が、第1ウエハ主面203の上に形成される。第1ベース電極膜218は、複数のゲート電極34、複数のソース電極44、複数のゲートコンタクト電極91、および、サイドウォール配線100のベースとなる。第1ベース電極膜218は、複数のゲートトレンチ209および複数のソーストレンチ210を埋めて第1ウエハ主面203（活性面6、外側面7および第1～第4接続面8A～8D）を被覆する。第1ベース電極膜218は、この工程では、ポリシリコン膜を含む。第1ベース電極膜218は、CVD法によって形成されてもよい。CVD法は、LP-CVD（Low Pressure-CVD）法であることが好ましい。

[0361] 次に、図29Nを参照して、所定パターンを有する第6レジストマスク219が、第1ベース電極膜218の上に形成される。第6レジストマスク219は、複数のゲートコンタクト電極91およびサイドウォール配線100を形成すべき領域を被覆し、それら以外の領域を露出させている。次に、第6レジストマスク219を介するエッチング法によって、第1ベース電極膜218の不要な部分が除去される。エッチング法は、ウェットエッチング法および／またはドライエッチング法であってもよい。第1ベース電極膜218の不要な部分は、ベース絶縁膜217が露出するまで除去される。

[0362] これにより、複数のゲート電極34、複数のソース電極44、複数のゲートコンタクト電極91、および、サイドウォール配線100が形成される。また、複数のトレンチゲート構造31、複数の第1トレンチソース構造41、複数の第2トレンチソース構造51、複数の第1ダミートレンチソース構造61、複数のダミートレンチゲート構造62、および、複数の第2ダミートレンチソース構造63が形成される。第6レジストマスク219は、その後、除去される。

[0363] 次に、図29Oを参照して、第1無機絶縁膜110が、第1ウエハ主面203の上に形成される。第1無機絶縁膜110は、第1ウエハ主面203の上において、複数のトレンチゲート構造31、複数の第1トレンチソース構

造 4 1、複数の第 2 トレンチソース構造 5 1、複数の第 1 ダミートレンチソース構造 6 1、複数のダミートレンチゲート構造 6 2、複数の第 2 ダミートレンチソース構造 6 3、および、サイドウォール配線 1 0 0を一括して被覆する。第 1 無機絶縁膜 1 1 0は、この形態では、酸化シリコン膜からなる。第 1 無機絶縁膜 1 1 0は、CVD法によって形成されてもよい。

[0364] 次に、図 2 9 Pを参照して、所定パターンを有する第 7レジストマスク 2 2 0が、第 1 無機絶縁膜 1 1 0の上に形成される。第 7レジストマスク 2 2 0は、切欠き開口 1 1 1、複数のゲート開口 1 1 2、複数のソース開口 1 1 3、および、サイドウォール開口 1 1 4を形成すべき領域を露出させ、それら以外の領域を被覆している。

[0365] 次に、第 6レジストマスク 2 1 9を介するエッチング法によって、第 1 無機絶縁膜 1 1 0の不要な部分、および、ベース絶縁膜 2 1 7の不要な部分が除去される。エッチング法は、ウエットエッチング法および／またはドライエッチング法であってもよい。これにより、切欠き開口 1 1 1、複数のゲート開口 1 1 2、複数のソース開口 1 1 3、および、サイドウォール開口 1 1 4が、第 1 無機絶縁膜 1 1 0に形成される。

[0366] 次に、図 2 9 Qを参照して、第 1 主面電極 1 2 0のベースとなる第 2 ベース電極膜 2 2 1が、第 1 ウエハ主面 2 0 3の上に形成される。第 2 ベース電極膜 2 2 1は、第 1 ウエハ主面 2 0 3の上で第 1 無機絶縁膜 1 1 0の全域を被覆する。第 2 ベース電極膜 2 2 1は、第 1 ウエハ主面 2 0 3側からこの順に積層された第 1 電極膜 1 4 1および第 2 電極膜 1 4 2を含む積層構造を有している。

[0367] 第 1 電極膜 1 4 1は、この形態では、Ti系金属膜からなる。第 2 電極膜 1 4 2は、この形態では、Al系金属膜からなる。第 1 電極膜 1 4 1および第 2 電極膜 1 4 2は、スパッタ法、蒸着法およびめっき法のうちの少なくとも 1 つの方法によって形成されてもよい。第 1 電極膜 1 4 1および第 2 電極膜 1 4 2は、この形態では、スパッタ法によってそれぞれ形成されている。

[0368] 次に、図 2 9 Rを参照して、所定パターンを有する第 8レジストマスク 2

22が、第2ベース電極膜221の上に形成される。第8レジストマスク222は、第2ベース電極膜221において第1主面電極120（ゲート主面電極121およびソース主面電極122）、および、配線電極130（ゲート配線電極131およびソース配線電極132）を形成すべき領域を被覆し、それら以外の領域を露出させる開口を有している。

[0369] 次に、第8レジストマスク222を介するエッチング法によって第2ベース電極膜221の不要な部分が除去される。エッチング法は、ウェットエッチング法および／またはドライエッチング法であってもよい。これにより、第1主面電極120および配線電極130が形成される。第8レジストマスク222は、その後、除去される。

[0370] 次に、図29Sを参照して、第2無機絶縁膜150が、第1無機絶縁膜110および第1主面電極120を被覆するように第1ウエハ主面203の上に形成される。第2無機絶縁膜150は、この形態では、窒化シリコン膜からなる。第2無機絶縁膜150は、CVD法によって形成されてもよい。

[0371] 次に、図29Tを参照して、所定パターンを有する第9レジストマスク223が、第2無機絶縁膜150の上に形成される。第9レジストマスク223は、第2無機絶縁膜150において複数の内被覆部151および外被覆部152となる部分を被覆し、第2無機絶縁膜150において除去部153およびダイシングストリート158となる部分を露出させている。

[0372] 次に、第9レジストマスク223を介するエッチング法によって第2無機絶縁膜150の不要な部分が除去される。エッチング法は、ウェットエッチング法および／またはドライエッチング法であってもよい。これにより、複数の内被覆部151、外被覆部152および除去部153を有する第2無機絶縁膜150が形成される。第2無機絶縁膜150の外被覆部152は、第1ウエハ主面203の上において切断予定ライン206を露出させるダイシングストリート158を区画する。第9レジストマスク223は、その後、除去される。

[0373] 次に、図29Uを参照して、有機絶縁膜160が、第1主面電極120、

第1無機絶縁膜110および第2無機絶縁膜150を被覆するように第1ウエハ主面203の上に形成される。有機絶縁膜160は、感光性樹脂を第1ウエハ主面203の上に塗布することによって形成される。有機絶縁膜160は、この形態では、ポリイミド膜からなる。

[0374] 次に、図29Vを参照して、有機絶縁膜160が、第2ゲート開口161、第2ソース開口163およびダイシングストリート158に対応したパターンで露光された後、現像される。これにより、第2ゲート開口161、第2ソース開口163およびダイシングストリート158が有機絶縁膜160に形成される。

[0375] 次に、SiCエピウエハ202が、第2ウエハ主面204に対する研削によって所望の厚さになるまで薄化される。研削工程は、CMP (Chemical Mechanical Polishing) 法によって実施されてもよい。これにより、第2ウエハ主面204に研削痕が形成される。第2ウエハ主面204の研削工程は必ずしも実施される必要はなく、必要に応じて省略されてもよい。

[0376] ただし、第1半導体領域10の薄化は、SiCチップ2の抵抗値を削減する上で有効である。第2ウエハ主面204の研削工程後、第2ウエハ主面204に対してアニール処理が実施されてもよい。アニール処理は、レーザ照射法によって実施されてもよい。これにより、第2ウエハ主面204（第2主面4）が、研削痕およびレーザ照射痕を有するオーミック面となる。

[0377] 次に、第2主面電極170が、第2ウエハ主面204の上に形成される。第2主面電極170は、第2ウエハ主面204とオーミック接触を形成する。第2主面電極170は、Ti膜、Ni膜、Pd膜、Au膜およびAg膜のうちの少なくとも1つを含んでいてもよい。Ti膜、Ni膜、Pd膜、Au膜およびAg膜は、スパッタ法、蒸着法およびめっき法のうちの少なくとも1つの方法（この形態ではスパッタ法）によって形成されてもよい。

[0378] 次に、SiCエピウエハ202が、切断予定ライン206に沿って切断される。SiCエピウエハ202の切断工程は、ダイシングブレードによる切削工程を含んでいてもよい。この場合、SiCエピウエハ202は、ダイシ

ングストリート158によって区画された切断予定ライン206に沿って切断される。ダイシングブレードは、ダイシングストリート158の幅未満のブレード幅を有していることが好ましい。第1無機絶縁膜110、第2無機絶縁膜150および有機絶縁膜160は、切断予定ライン206上に位置していないので、ダイシングブレードによる切削から免れる。

[0379] SiCエピウエハ202の切断工程は、レーザ光照射法を利用した劈開工程を含んでいてもよい。この場合、レーザ光照射装置（図示せず）からダイシングストリート158を介してSiCエピウエハ202の内部にレーザ光が照射される。レーザ光は、第2主面電極170を有さない第1ウエハ主面203側からSiCエピウエハ202の内部にパルス状に照射されることが好ましい。レーザ光の集光部（焦点）はSiCエピウエハ202の内部（厚さ方向途中部）に設定され、レーザ光の照射位置はダイシングストリート158（具体的には切断予定ライン206）に沿って移動される。

[0380] これにより、平面視においてダイシングストリート158に沿って格子状に延びる改質層が、SiCエピウエハ202の内部に形成される。改質層は、SiCエピウエハ202の内部において第1ウエハ主面203から間隔を空けて形成されることが好ましい。改質層は、SiCエピウエハ202の内部において第1半導体領域10（SiCウエハ201）からなる部分に形成されることが好ましい。改質層は、第2半導体領域11（SiCエピタキシャル層）から間隔を空けて第1半導体領域10（SiCウエハ201）に形成されることが特に好ましい。改質層は、第2半導体領域11（SiCエピタキシャル層）に形成されないことが最も好ましい。

[0381] 改質層の形成工程後、SiCエピウエハ202に外力が加えられ、改質層を起点にSiCエピウエハ202が劈開される。外力は第2ウエハ主面204側からSiCエピウエハ202に加えられることが好ましい。第2主面電極170は、SiCエピウエハ202の劈開と同時に劈開される。第1無機絶縁膜110、第2無機絶縁膜150および有機絶縁膜160は、切断予定ライン206上に位置していないので、劈開から免れる。以上を含む工程を

経て、S i C半導体装置 1 が製造される。

[0382] 図 3 0 は、図 5 に対応し、第 1 参考実施形態 (first reference preferred embodiment) に係る S i C半導体装置 3 0 1 を示す平面図である。図 3 0 を参照して、第 1 参考実施形態 (the first reference embodiment) に係る S i C半導体装置 3 0 1 は、活性面 6 の全域にトランジスタ構造 3 0 を有し、第 1 ダミー構造 6 0 A および第 2 ダミー構造 6 0 B を有さない。

[0383] つまり、S i C半導体装置 3 0 1 では、活性面 6 の周縁部 (第 1 周縁領域 2 1 および第 2 周縁領域 2 2) にも、複数のトレンチゲート構造 3 1、複数の第 1 トレンチソース構造 4 1 および複数の第 2 トレンチソース構造 5 1 を有するトランジスタ構造 3 0 が形成されている。第 1 参考実施形態に係る S i C半導体装置 3 0 1 の他の構造は、S i C半導体装置 1 の構造とほぼ同様である。S i C半導体装置 3 0 1 の他の構造についての説明は省略される。

[0384] 図 3 1 A ~ 図 3 1 D は、第 1 参考実施形態に係る S i C半導体装置 3 0 1 の製造方法の一例を示す断面図である。図 3 1 A ~ 図 3 1 D では、活性面 6 の周縁部 (第 1 周縁領域 2 1) の断面が示されている。

[0385] 図 3 1 A を参照して、S i C半導体装置 3 0 1 の製造方法では、複数のソーストレンチ 2 1 0 および外側面 7 を掘り下げる工程において、所定パターンを有する第 2 レジストマスク 2 1 1 がハードマスク 2 0 7 の上に形成される (図 2 9 F も併せて参照)。第 2 レジストマスク 2 1 1 は、複数のゲートトレンチ 2 0 9 を埋め込む態様で複数のゲートトレンチ 2 0 9 をそれぞれ被覆し、複数のソーストレンチ 2 1 0 および外側面 7 を露出させている。この工程では、第 2 レジストマスク 2 1 1 のうち活性面 6 の周縁部に形成された複数のゲートトレンチ 2 0 9 を埋める部分が、活性面 6 および外側面 7 の間の段差に起因して斜めに傾斜することがある。

[0386] 次に、図 3 1 B を参照して、第 2 レジストマスク 2 1 1 を介するエッチング法によって、S i Cエピウエハ 2 0 2 の不要な部分が除去される (図 2 9 G も併せて参照)。エッチング法は、異方性のドライエッチング法 (たとえば R I E 法) であることが好ましい。この工程では、第 2 半導体領域 1 1 の

不要な部分が除去される。これにより、複数のソーストレンチ 210、および、外側面 7 が SiC エピウエハ 202 の厚さ方向（第 2 ウエハ主面 204 側）にさらに掘り下げられる。

[0387] 次に、図 31C を参照して、第 2 レジストマスク 211 が除去される。この時、活性面 6 の周縁部では、第 2 レジストマスク 211 の傾斜に起因して第 2 レジストマスク 211 の除去が不十分になる。その結果、第 2 レジストマスク 211 の一部が残渣物としてゲートトレンチ 209 内に残留する。

[0388] 次に、図 31D を参照して、ハードマスク 207 が、エッチング法によって除去される。エッチング法は、ウエットエッチング法および／またはドライエッチング法であってもよい。活性面 6 の周縁部では、第 2 レジストマスク 211 の残渣物を介してゲートトレンチ 209 の内壁が部分的に除去される。したがって、ゲートトレンチ 209 の内壁において第 2 レジストマスク 211 の残渣物から露出した部分が、当該残渣物によって被覆された部分に対してさらに掘り下げられる。その後、SiC 半導体装置 1 の製造工程と同様の工程を経て、SiC 半導体装置 301 が形成される。

[0389] 第 1 参考実施形態に係る SiC 半導体装置 301 では、活性面 6 の周縁部において形状不良が生じた内壁を有するゲートトレンチ 32 が形成される。形状不良のゲートトレンチ 32 は、SiC 半導体装置 301 の電気的特性を低下させる。形状不良のゲートトレンチ 32 は、一例として、SiC 半導体装置 1 の耐圧（ブレイクダウン電圧）の低下やゲート閾値電圧の変動の一要因になる。

[0390] そこで、第 1 実施形態では、SiC チップ 2、トランジスタ構造 30 および第 1 ダミー構造 60A（ダミー構造 60）を有する SiC 半導体装置 1 を採用した。SiC チップ 2 は、第 1 主面 3 を含む。第 1 主面 3 は、活性面 6（第 1 面）、外側面 7（第 2 面）および第 1～第 4 接続面 8A～8D を含む。外側面 7 は、活性面 6 外で厚さ方向に第 1 深さ D1 で窪んでいる。第 1～第 4 接続面 8A～8D は、活性面 6 および外側面 7 を接続している。活性面 6、外側面 7 および第 1～第 4 接続面 8A～8D は、第 1 主面 3 において活

性台地 9（台地）を区画している。

[0391] トランジスタ構造 30 は、活性面 6 の内方部に形成されている。トランジスタ構造 30 は、トレンチゲート構造 31 および第 1 トレンチソース構造 41 を含む。トレンチゲート構造 31 は、第 1 深さ D_1 未満の第 2 深さ D_2 ($D_2 < D_1$) を有している。第 1 トレンチソース構造 41 は、第 2 深さ D_2 を超える第 3 深さ D_3 ($D_2 < D_3$) を有し、トレンチゲート構造 31 に一方方向（第 2 方向 Y）に隣り合っている。第 1 ダミー構造 60A は、活性面 6 の周縁部に形成されている。第 1 ダミー構造 60A は、第 3 深さ D_3 ($D_2 < D_3$) をそれぞれ有し、一方方向（第 2 方向 Y）に隣り合う複数の第 1 ダミートレンチソース構造 61 を有している。

[0392] この構造によれば、トランジスタ構造 30 が活性面 6 の内方部に形成され、トランジスタ構造 30 として機能しない第 1 ダミー構造 60A が活性面 6 の周縁部に形成されている。したがって、活性面 6 の周縁部における形状不良に起因するトランジスタ構造 30 の電気的特性の変動を抑制できる。よって、信頼性を向上できる SiC 半導体装置 1 を提供できる。

[0393] 複数の第 1 ダミートレンチソース構造 61 は、具体的には、互いに隣り合うように間隔を空けて連続的に配列されている。また、複数の第 1 ダミートレンチソース構造 61 は、第 3 深さ D_3 未満の深さを有するトレンチ構造を挟まずに互いに間隔を空けて配列されている。トレンチゲート構造 31 には、ゲート電位が付与される。第 1 トレンチソース構造 41 には、ソース電位が付与される。第 1 ダミートレンチソース構造 61 には、ソース電位が付与されることが好ましい。

[0394] 複数の第 1 トレンチソース構造 41 は、第 3 接続面 8C および第 4 接続面 8D のうちのいずれか一方または双方から露出していることが好ましい。複数の第 1 ダミートレンチソース構造 61 は、第 3 接続面 8C および第 4 接続面 8D のうちのいずれか一方または双方から露出していることが好ましい。

[0395] トレンチゲート構造 31 は、第 3 接続面 8C および第 4 接続面 8D から活性面 6 の内方に間隔を空けて形成されていることが好ましい。この場合、ト

ランジスタ構造30は、第3深さ D_3 ($D_2 < D_3$)を有し、トレンチゲート構造31および第1トレンチソース構造41の対向方向(第2方向Y)に直交する方向(第1方向X)にトレンチゲート構造31に対向する少なくとも1つの第2トレンチソース構造51を含むことが好ましい。

[0396] 少なくとも1つの第2トレンチソース構造51は、活性面6の周縁およびトレンチゲート構造31の間の領域に形成されていることが好ましい。第2トレンチソース構造51は、第3接続面8Cおよびトレンチゲート構造31の間の領域に形成されていてもよいし、第4接続面8Dおよびトレンチゲート構造31の間の領域に形成されていてもよい。第2トレンチソース構造51は、第3接続面8Cまたは第4接続面8Dから露出していることが好ましい。

[0397] SiC半導体装置1は、活性面6の周縁部においてトランジスタ構造30および第1ダミー構造60Aの間の領域に形成された第2ダミー構造60Bを含むことが好ましい。第2ダミー構造60Bは、第2深さ D_2 ($D_2 < D_3$)を有するダミートレンチゲート構造62、および、第3深さ D_3 ($D_2 < D_3$)を有し、ダミートレンチゲート構造62に一方方向(第2方向Y)に隣り合う第2ダミートレンチソース構造63を含む。

[0398] この構造によれば、トランジスタ構造30と同様の形態を有する一方でトランジスタ構造30として機能しない第2ダミー構造60Bが、活性面6の周縁部においてトランジスタ構造30および第1ダミー構造60Aの間の領域に形成されている。つまり、活性面6には、活性面6の周縁から内方に向けて第1ダミー構造60A、第2ダミー構造60Bおよびトランジスタ構造30の順に配列されたグラデーション構造が採用されている。

[0399] この構造によれば、活性面6の周縁部における形状不良に起因するトランジスタ構造30の電気的特性の変動を適切に抑制できる。よって、信頼性を向上できるSiC半導体装置1を提供できる。ダミートレンチゲート構造62には、ソース電位が付与されることが好ましい。また、第2ダミートレンチソース構造63には、ソース電位が付与されることが好ましい。

- [0400] SiC半導体装置1は、第1～第4接続面8A～8Dのうちの少なくとも1つを被覆するように外側面7の上に形成されたサイドウォール配線100（サイドウォール構造）を含むことが好ましい。この構造によれば、活性面6および外側面7の間の段差を緩和できる。
- [0401] SiC半導体装置1は、活性面6の上でトランジスタ構造30および第1ダミー構造60Aを被覆する第1無機絶縁膜110を含むことが好ましい。SiC半導体装置1は、第1無機絶縁膜110の上に形成されたゲート主面電極121を含むことが好ましい。SiC半導体装置1は、ゲート主面電極121から第1無機絶縁膜110の上に引き出されたゲート配線電極131を含むことが好ましい。ゲート配線電極131は、第1無機絶縁膜110を貫通してトレンチゲート構造31に電氣的に接続され、第1無機絶縁膜110を挟んで第1トレンチソース構造41に対向していることが好ましい。
- [0402] SiC半導体装置1は、ゲート主面電極121およびゲート配線電極131から離間して第1無機絶縁膜110の上に形成されたソース主面電極122を含むことが好ましい。ソース主面電極122は、第1無機絶縁膜110を貫通して第1トレンチソース構造41に電氣的に接続され、第1無機絶縁膜110を挟んでトレンチゲート構造31に対向していることが好ましい。ソース主面電極122は、平面視において第1ダミー構造60Aから離間して第1無機絶縁膜110の上に形成されていることが好ましい。
- [0403] SiC半導体装置1は、ソース主面電極122から第1無機絶縁膜110の上に引き出されたソース配線電極132を含むことが好ましい。ソース配線電極132は、ソース主面電極122とは異なる位置で第1無機絶縁膜110を貫通して第1トレンチソース構造41に電氣的に接続されていることが好ましい。ソース配線電極132は、第1無機絶縁膜110を貫通して第1ダミートレンチソース構造61に電氣的に接続されていることが好ましい。
- [0404] 図31A～図31Dに示される課題を解決すべく、SiCチップ2、トランジスタ構造30および第2ダミー構造60B（ダミー構造60）を含むS

i C半導体装置1が採用されてもよい。SiCチップ2は、第1主面3を含む。第1主面3は、活性面6（第1面）、外側面7（第2面）および第1～第4接続面8A～8Dを含む。外側面7は、活性面6外で厚さ方向に第1深さD1で窪んでいる。第1～第4接続面8A～8Dは、活性面6および外側面7を接続している。活性面6、外側面7および第1～第4接続面8A～8Dは、第1主面3において活性台地9（台地）を区画している。

[0405] トランジスタ構造30は、活性面6の内方部に形成されている。トランジスタ構造30は、トレンチゲート構造31および第1トレンチソース構造41を含む。トレンチゲート構造31は、第1深さD1未満の第2深さD2（ $D2 < D1$ ）を有している。第1トレンチソース構造41は、第2深さD2を超える第3深さD3（ $D2 < D3$ ）を有し、トレンチゲート構造31に一方方向（第2方向Y）に隣り合っている。第1ダミー構造60Aは、活性面6の周縁部に形成されている。第2ダミー構造60Bは、第2深さD2（ $D2 < D1$ ）を有するダミートレンチゲート構造62、および、第3深さD3（ $D2 < D3$ ）を有し、ダミートレンチゲート構造62に一方方向（第2方向Y）に隣り合う第2ダミートレンチソース構造63を含む。

[0406] この構造によれば、トランジスタ構造30が活性面6の内方部に形成され、トランジスタ構造30として機能しない第2ダミー構造60Bが活性面6の周縁部に形成されている。したがって、活性面6の周縁部における形状不良に起因するトランジスタ構造30の電気的特性の変動を抑制できる。よって、信頼性を向上できるSiC半導体装置1を提供できる。

[0407] 第1実施形態によれば、活性台地9に形成されたトレンチ構造を有する構造において、デザインルールに柔軟性が付与された配線構造を有するSiC半導体装置1を提供することもできる。すなわち、SiC半導体装置1は、SiCチップ2、第1トレンチソース構造41（トレンチ構造）およびサイドウォール配線100を含む。

[0408] SiCチップ2は、第1主面3を含む。第1主面3は、活性面6（第1面）、外側面7（第2面）および第1～第4接続面8A～8Dを含む。外側面

7は、活性面6外で厚さ方向に第1深さD1で窪んでいる。第1～第4接続面8A～8Dは、活性面6および外側面7を接続している。活性面6、外側面7および第1～第4接続面8A～8Dは、第1主面3において活性台地9（台地）を区画している。

[0409] 第1トレンチソース構造41は、第1～第4接続面8A～8Dのうちの少なくとも1つから露出するように活性面6に形成されている。サイドウォール配線100は、第1トレンチソース構造41に電氣的に接続されるように外側面7の上で第1～第4接続面8A～8Dのうちの少なくとも1つを被覆している。この構造によれば、第1～第4接続面8A～8D側において第1トレンチソース構造41およびサイドウォール配線100を電氣的に接続できる。よって、サイドウォール配線100によってデザインルールに柔軟性が付与された新規な配線構造を有するSiC半導体装置1を提供できる。

[0410] この構造において、複数の第1トレンチソース構造41が、活性面6に間隔を空けて形成されていることが好ましい。この場合、サイドウォール配線100は、第1～第4接続面8A～8Dのうちの少なくとも1つにおいて複数の第1トレンチソース構造41に電氣的に接続されていることが好ましい。

[0411] 第1トレンチソース構造41は、活性面6に形成されたソーストレンチ42、ソーストレンチ42の内壁を被覆するソース絶縁膜43、および、ソース絶縁膜43を挟んでソーストレンチ42に埋設されたソース電極44を含むことが好ましい。この場合、サイドウォール配線100は、ソース電極44に電氣的に接続されていることが好ましい。

[0412] SiC半導体装置1は、外側面7および第1～第4接続面8A～8Dを被覆し、ソース絶縁膜43に連なる主面絶縁膜90を含むことが好ましい。この場合、サイドウォール配線100は、主面絶縁膜90の上に形成されていることが好ましい。

[0413] SiC半導体装置1は、SiCチップ2の内部において第1～第4接続面8A～8Dに沿う領域に形成されたpn接合部（ウェル領域71および／ま

たはアウターウェル領域 81) を含むことが好ましい。この場合、サイドウォール配線 100 は、第 1 ～第 4 接続面 8A ～8D において主面絶縁膜 90 を挟んで p n 接合部に対向していることが好ましい。

[0414] サイドウォール配線 100 は、ソース電極 44 と一体的に形成されていることが好ましい。ソーストレンチ 42 の底壁は、外側面 7 に連通していることが好ましい。サイドウォール配線 100 は、活性面 6 の周縁部を被覆するオーバラップ部 101 を含むことが好ましい。第 1 トレンチソース構造 41 は、平面視において一方方向（第 1 方向 X）に延びていることが好ましい。この場合、サイドウォール配線 100 は、平面視において一方方向（第 1 方向 X）に交差する交差方向（第 2 方向 Y）に延びていることが好ましい。

[0415] SiC 半導体装置 1 は、サイドウォール配線 100 を被覆する第 1 無機絶縁膜 110 を含むことが好ましい。この構造によれば、サイドウォール配線 100 を第 1 無機絶縁膜 110 によって保護できる。この構造において、第 1 無機絶縁膜 110 は、サイドウォール配線 100 を横切って活性面 6 および外側面 7 を被覆していることが好ましい。

[0416] 別の見方をして、SiC 半導体装置 1 は、SiC チップ 2、トレンチゲート構造 31、第 1 トレンチソース構造 41 およびサイドウォール配線 100 を含む。SiC チップ 2 は、第 1 主面 3 を含む。第 1 主面 3 は、活性面 6（第 1 面）、外側面 7（第 2 面）および第 1 ～第 4 接続面 8A ～8D を含む。外側面 7 は、活性面 6 外で厚さ方向に第 1 深さ D1 で窪んでいる。第 1 ～第 4 接続面 8A ～8D は、活性面 6 および外側面 7 を接続している。活性面 6、外側面 7 および第 1 ～第 4 接続面 8A ～8D は、第 1 主面 3 において活性台地 9（台地）を区画している。

[0417] トレンチゲート構造 31 は、第 1 ～第 4 接続面 8A ～8D から間隔を空けて活性面 6 に形成されている。第 1 トレンチソース構造 41 は、第 1 ～第 4 接続面 8A ～8D のうちの少なくとも 1 つから露出するように活性面 6 に形成されている。サイドウォール配線 100 は、第 1 トレンチソース構造 41 に電氣的に接続されるように第 1 ～第 4 接続面 8A ～8D のうちの少なくと

も1つを被覆し、外側面7の上に形成されている。

[0418] この構造によれば、第1～第4接続面8A～8D側において第1トレンチソース構造41およびサイドウォール配線100を電氣的に接続できる。よって、サイドウォール配線100によってデザインルールに柔軟性が付与された新規な配線構造を有するSiC半導体装置1を提供できる。

[0419] 第1トレンチソース構造41は、トレンチゲート構造31よりも深く形成されていることが好ましい。複数のトレンチゲート構造31が、活性面6に形成されていることが好ましい。この場合、複数の第1トレンチソース構造41が、複数のトレンチゲート構造31と交互に活性面6に形成されていることが好ましい。また、この場合、サイドウォール配線100が、複数の第1トレンチソース構造41に電氣的に接続され、複数のトレンチゲート構造31から電氣的に分離されていることが好ましい。

[0420] SiC半導体装置1は、活性面6において第1～第4接続面8A～8Dおよびトレンチゲート構造31の間の領域に形成された第2トレンチソース構造51を含むことが好ましい。この構造において、第2トレンチソース構造51は、第1～第4接続面8A～8Dのうちの少なくとも1つから露出していることが好ましい。この構造において、サイドウォール配線100は、第1トレンチソース構造41および第2トレンチソース構造51に電氣的に接続されていることが好ましい。

[0421] SiC半導体装置1は、第1主面3の上でトレンチゲート構造31、第1トレンチソース構造41およびサイドウォール配線100を被覆する第1無機絶縁膜110を含むことが好ましい。この構造によれば、第1無機絶縁膜110によってトレンチゲート構造31、第1トレンチソース構造41およびサイドウォール配線100を保護できる。

[0422] SiC半導体装置1は、第1無機絶縁膜110の上に形成されたゲート主面電極121を含むことが好ましい。SiC半導体装置1は、ゲート主面電極121から第1無機絶縁膜110の上に引き出され、第1無機絶縁膜110を貫通してトレンチゲート構造31に電氣的に接続され、第1無機絶縁膜

110を挟んで第1トレンチソース構造41に対向するゲート配線電極131を含むことが好ましい。

[0423] SiC半導体装置1は、第1無機絶縁膜110の上に形成され、第1無機絶縁膜110を貫通して第1トレンチソース構造41に電氣的に接続され、第1無機絶縁膜110を挟んでトレンチゲート構造31に対向するソース主面電極122を含むことが好ましい。SiC半導体装置1は、ソース主面電極122から第1無機絶縁膜110の上に引き出され、第1無機絶縁膜110を貫通してサイドウォール配線100に電氣的に接続されたソース配線電極132を含むことが好ましい。ソース配線電極132は、ソース主面電極122とは異なる位置で第1無機絶縁膜110を貫通して第1トレンチソース構造41に電氣的に接続されていることが好ましい。

[0424] 図32は、図6に対応し、第2参考実施形態（second reference preferred embodiment）に係るSiC半導体装置311を示す平面図である。図33は、図32に示すXXXIII-XXXIII線に沿う断面図である。以下では、SiC半導体装置1に対して述べた構造に対応する構造については同一の参照符号を付して説明を省略する。

[0425] 第2参考実施形態（the second reference embodiment）に係るSiC半導体装置311では、複数の第1トレンチソース構造41が、平面視において第1～第4接続面8A～8Dから間隔を空けて活性面6の内方部に形成されている。複数の第1トレンチソース構造41は、平面視において各トレンチゲート構造31の端部を第2方向Y側から第1方向Xに横切っていない。複数の第1トレンチソース構造41は、この形態では、第1方向Xに関して複数のトレンチゲート構造31の長さとはほぼ等しい長さを有している。

[0426] SiC半導体装置311に係るトランジスタ構造30は、活性面6に形成された複数の第2トレンチゲート構造321（a plurality of second trench gate structures）を含む。複数の第2トレンチゲート構造321（the second trench gate structures）には、ゲート電位が付与される。

[0427] 複数の第2トレンチゲート構造321は、第1方向Xに複数の第1トレン

チソース構造 4 1 に隣り合い、第 2 方向 Y に複数のトレンチゲート構造 3 1 に隣り合うように第 1 ～第 4 接続面 8 A ～8 D から間隔を空けて活性面 6 にそれぞれ形成されている。複数の第 2 トレンチゲート構造 3 2 1 は、具体的には、活性面 6 において近接する 2 つのトレンチゲート構造 3 1 の間の領域に各トレンチゲート構造 3 1 から間隔を空けてそれぞれ形成され、第 1 方向 X に複数の第 1 トレンチソース構造 4 1 にそれぞれ隣り合っている。

[0428] 複数の第 2 トレンチゲート構造 3 2 1 は、さらに具体的には、平面視において第 1 方向 X に延びる帯状にそれぞれ形成され、1 つのトレンチゲート構造 3 1 を挟み込む態様で第 2 方向 Y に間隔を空けて形成されている。複数の第 2 トレンチゲート構造 3 2 1 は、平面視において第 1 方向 X に延びるストライプ状に形成されている。

[0429] 複数の第 2 トレンチゲート構造 3 2 1 は、第 3 幅 W 3 をそれぞれ有している。第 3 幅 W 3 は、各第 2 トレンチゲート構造 3 2 1 が延びる方向に直交する方向（つまり第 2 方向 Y）の幅である。第 3 幅 W 3 は、 $0.1 \mu\text{m}$ 以上 $3 \mu\text{m}$ 以下であってもよい。第 3 幅 W 3 は、 $0.5 \mu\text{m}$ 以上 $1.5 \mu\text{m}$ 以下であることが好ましい。第 3 幅 W 3 は、第 1 幅 W 1 を超えていてもよいし（ $W 1 < W 3$ ）、第 1 幅 W 1 以下（ $W 1 \geq W 3$ ）であってもよい。第 3 幅 W 3 は、この形態では、第 1 幅 W 1 とほぼ等しい（ $W 1 \div W 3$ ）。第 3 幅 W 3 は、第 1 幅 W 1 の値の $\pm 10\%$ 以内の範囲の値を有していることが好ましい。

[0430] 各第 2 トレンチゲート構造 3 2 1 は、第 4 深さ D 4 を有している。第 4 深さ D 4 は、トレンチゲート構造 3 1 の第 2 深さ D 2 を超えている（ $D 2 < D 4$ ）。第 4 深さ D 4 は、第 2 深さ D 2 の 1.5 倍以上 3 倍以下であることが好ましい。第 4 深さ D 4 は、この形態では、外側面 7 の第 1 深さ D 1 とほぼ等しい（ $D 1 \div D 4$ ）。また、第 4 深さ D 4 は、第 1 トレンチソース構造 4 1 の第 3 深さ D 3 とほぼ等しい（ $D 3 \div D 4$ ）。第 4 深さ D 4 は、第 3 深さ D 3 の値の $\pm 10\%$ 以内の範囲の値を有していることが好ましい。

[0431] 第 4 深さ D 4 は、 $0.5 \mu\text{m}$ 以上 $10 \mu\text{m}$ 以下であってもよい。第 4 深さ D 4 は、 $5 \mu\text{m}$ 以下であることが好ましい。第 4 深さ D 4 は、 $2.5 \mu\text{m}$ 以

下であることが特に好ましい。各第2トレンチゲート構造321のアスペクト比 $D4/W3$ は、1以上5以下であることが好ましい。アスペクト比 $D4/W3$ は、第3幅 $W3$ に対する第4深さ $D4$ の比である。アスペクト比 $D4/W3$ は、2以上であることが特に好ましい。

[0432] 複数の第2トレンチゲート構造321は、複数のトレンチゲート構造31から第2方向Yに第5間隔 $P5$ を空けて配列されている。第5間隔 $P5$ は、第2方向Yに近接する1つのトレンチゲート構造31および1つの第2トレンチゲート構造321の間の距離である。第5間隔 $P5$ は、複数のトレンチゲート構造31の第1間隔 $P1$ の4分の1以上かつ第1間隔 $P1$ 以下($1/4 \times P1 \leq P5 < P1$)であることが好ましい。第5間隔 $P5$ は、第1間隔 $P1$ の2分の1以下($P5 \leq 1/2 \times P1$)であることが好ましい。

[0433] 第5間隔 $P5$ は、 $0.1 \mu m$ 以上 $2.5 \mu m$ 以下であってもよい。第5間隔 $P5$ は、 $0.5 \mu m$ 以上 $1.5 \mu m$ 以下であることが好ましい。第5間隔 $P5$ は、トレンチゲート構造31および第1トレンチソース構造41の第2間隔 $P2$ とほぼ等しい($P2 \div P5$)ことが好ましい。第5間隔 $P5$ は、第2間隔 $P2$ の値の $\pm 10\%$ 以内の範囲の値を有していることが好ましい。

[0434] 複数の第2トレンチゲート構造321は、複数の第1トレンチソース構造41から第1方向Xに第6間隔 $P6$ を空けて配列されている。第6間隔 $P6$ は、第1方向Xに近接する1つの第1トレンチソース構造41および1つの第2トレンチゲート構造321の間の距離である。第6間隔 $P6$ は、複数のトレンチゲート構造31の第1間隔 $P1$ の4分の1以上かつ第1間隔 $P1$ 以下($1/4 \times P1 \leq P6 < P1$)であることが好ましい。第6間隔 $P6$ は、第1間隔 $P1$ の2分の1以下($P6 \leq 1/2 \times P1$)であることが好ましい。

[0435] 第6間隔 $P6$ は、 $0.1 \mu m$ 以上 $2.5 \mu m$ 以下であってもよい。第6間隔 $P6$ は、 $0.5 \mu m$ 以上 $1.5 \mu m$ 以下であることが好ましい。第6間隔 $P6$ は、トレンチゲート構造31および第1トレンチソース構造41の第2間隔 $P2$ とほぼ等しい($P2 \div P6$)ことが好ましい。第6間隔 $P6$ は、第

2 間隔 P 2 の値の $\pm 10\%$ 以内の範囲の値を有していることが好ましい。

[0436] 各第 2 トレンチゲート構造 3 2 1 は、側壁および底壁を含む。各第 2 トレンチゲート構造 3 2 1 の長辺を形成する側壁は、SiC 単結晶の a 面によって形成されている。各第 2 トレンチゲート構造 3 2 1 の短辺を形成する側壁は、SiC 単結晶の m 面によって形成されている。各第 2 トレンチゲート構造 3 2 1 の底壁は、SiC 単結晶の c 面によって形成されている。

[0437] 各第 2 トレンチゲート構造 3 2 1 は、ほぼ一定の開口幅を有する垂直形状に形成されていてもよい。各第 2 トレンチゲート構造 3 2 1 は、底壁に向かって狭まる開口幅を有する先細り形状に形成されていてもよい。各第 2 トレンチゲート構造 3 2 1 の底壁は、第 2 主面 4 に向かう湾曲形状に形成されていることが好ましい。むろん、各第 2 トレンチゲート構造 3 2 1 の底壁は、活性面 6 に平行な平坦面を有していてもよい。

[0438] 各第 2 トレンチゲート構造 3 2 1 は、ボディ領域 2 3 およびソース領域 2 4 を横切って第 2 半導体領域 1 1 に至るように活性面 6 に形成されている。各第 2 トレンチゲート構造 3 2 1 は、具体的には、第 2 半導体領域 1 1 の底部から活性面 6 側に間隔を空けて形成され、第 2 半導体領域 1 1 の一部を挟んで第 1 半導体領域 1 0（第 3 半導体領域 1 4）に対向している。各第 2 トレンチゲート構造 3 2 1 は、この形態では、第 2 濃度領域 1 3 に形成され、第 2 濃度領域 1 3 の一部を挟んで第 1 濃度領域 1 2 に対向している。

[0439] 各第 2 トレンチゲート構造 3 2 1 の側壁は、第 2 半導体領域 1 1、ボディ領域 2 3 およびソース領域 2 4 に接している。各第 2 トレンチゲート構造 3 2 1 の底壁は、第 2 半導体領域 1 1 に接している。各第 2 トレンチゲート構造 3 2 1 は、この形態では、各トレンチゲート構造 3 1 よりも深く形成されている。つまり、各第 2 トレンチゲート構造 3 2 1 の底壁は、各トレンチゲート構造 3 1 の底壁に対して第 2 半導体領域 1 1（第 2 濃度領域 1 3）の底部側に位置している。

[0440] 複数の第 2 トレンチゲート構造 3 2 1 は、第 2 ゲートトレンチ 3 2 2、第 2 ゲート絶縁膜 3 2 3 および第 2 ゲート電極 3 2 4 をそれぞれ含む。第 2 ゲ

ートトレンチ 322 は、第 2 トレンチゲート構造 321 の側壁および底壁を形成している。側壁および底壁は、第 2 ゲートトレンチ 322 の壁面（内壁および外壁）を形成している。

[0441] 第 2 ゲートトレンチ 322 の開口エッジ部は、活性面 6 から第 2 ゲートトレンチ 322 に向かって斜め下り傾斜している。開口エッジ部は、活性面 6 および第 2 ゲートトレンチ 322 の側壁の接続部である。開口エッジ部は、この形態では、S i C チップ 2 に向かって窪んだ湾曲状に形成されている。開口エッジ部は、第 2 ゲートトレンチ 322 の内方に向かう湾曲状に形成されていてもよい。

[0442] 第 2 ゲート絶縁膜 323 は、第 2 ゲートトレンチ 322 の内壁に膜状に形成され、第 2 ゲートトレンチ 322 内においてリセス空間を区画している。第 2 ゲート絶縁膜 323 は、第 2 ゲートトレンチ 322 の内壁において第 2 半導体領域 11、ボディ領域 23 およびソース領域 24 を被覆している。第 2 ゲート絶縁膜 323 は、酸化シリコン膜、窒化シリコン膜および酸窒化シリコン膜のうちの少なくとも 1 つを含む。第 2 ゲート絶縁膜 323 は、この形態では、酸化シリコン膜からなる単層構造を有している。

[0443] 第 2 ゲート絶縁膜 323 は、第 1 部分 323 a、第 2 部分 323 b および第 3 部分 323 c を含む。第 1 部分 323 a は、第 2 ゲートトレンチ 322 の側壁を被覆している。第 1 部分 323 a は、具体的には、活性面 6 の内方部側では、第 2 ゲートトレンチ 322 の開口端から底壁側に間隔を空けて第 2 ゲートトレンチ 322 の側壁を被覆し、第 2 ゲートトレンチ 322 の開口端から第 1 主面 3 の表層部を露出させている。第 1 部分 323 a は、活性面 6 の周縁部側では、第 2 ゲートトレンチ 322 の側壁の全域を被覆している。

[0444] 第 2 部分 323 b は、第 2 ゲートトレンチ 322 の底壁を被覆している。第 3 部分 323 c は、活性面 6 の内方部から間隔を空けて活性面 6 の周縁部側に形成され、第 2 ゲートトレンチ 322 の開口エッジ部を被覆している。第 3 部分 323 c は、この形態では、開口エッジ部において第 2 ゲートトレ

ンチ 3 2 2 の内方に向けて湾曲状に膨出している。

[0445] 第 1 部分 3 2 3 a の厚さは、1 0 n m 以上 1 0 0 n m 以下であってもよい。第 2 部分 3 2 3 b は、第 1 部分 3 2 3 a の厚さを超える厚さを有していてもよい。第 2 部分 3 2 3 b の厚さは、5 0 n m 以上 2 0 0 n m 以下であってもよい。第 3 部分 3 2 3 c は、第 1 部分 3 2 3 a の厚さを超える厚さを有している。第 3 部分 3 2 3 c の厚さは、5 0 n m 以上 2 0 0 n m 以下であってもよい。むろん、一様な厚さを有する第 2 ゲート絶縁膜 3 2 3 が形成されていてもよい。

[0446] 第 2 ゲート電極 3 2 4 は、第 2 ゲート絶縁膜 3 2 3 を挟んで第 2 ゲートトレンチ 3 2 2 に埋設されている。第 2 ゲート電極 3 2 4 は、第 2 ゲート絶縁膜 3 2 3 を挟んで、第 2 半導体領域 1 1、ボディ領域 2 3 およびソース領域 2 4 に対向している。第 2 ゲート電極 3 2 4 は、第 2 ゲートトレンチ 3 2 2 から露出した電極面を有している。第 2 ゲート電極 3 2 4 の電極面は、第 2 ゲートトレンチ 3 2 2 の底壁に向かって窪んだ湾曲状に形成されている。

[0447] 第 2 ゲート電極 3 2 4 の電極面は、活性面 6 の周縁部側において絶縁膜の第 3 部分 3 2 3 c によって狭められている。第 2 ゲート電極 3 2 4 には、ゲート電位が印加される。第 2 ゲート電極 3 2 4 は、導電性ポリシリコンからなることが好ましい。第 2 ゲート電極 3 2 4 は、n 型不純物が添加された n 型ポリシリコン、および／または、p 型不純物が添加された p 型ポリシリコンを含んでいてもよい。第 2 ゲート電極 3 2 4 は、ゲート電極 3 4 と同一の導電材料を含むことが好ましい。

[0448] このように、S i C 半導体装置 3 1 1 では、第 1 トレンチソース構造 4 1 に対応した構造を有する第 2 トレンチゲート構造 3 2 1 が活性面 6 に形成されている。第 2 トレンチゲート構造 3 2 1 は、第 1 トレンチソース構造 4 1 から分離された部分であるとも見なせる。

[0449] S i C 半導体装置 3 1 1 では、複数の第 2 トレンチソース構造 5 1 が、第 1 方向 X に複数のトレンチゲート構造 3 1 および複数の第 2 トレンチゲート構造 3 2 1 に一対一の対応関係でそれぞれ対向するように、第 2 方向 Y に第

3 間隔 P 3 を空けて形成されている。つまり、複数の第 2 トレンチソース構造 5 1 は、1 つのトレンチゲート構造 3 1 を第 1 方向 X の両サイドから挟み込んでいる。また、複数の第 2 トレンチソース構造 5 1 は、複数の第 1 トレンチソース構造 4 1 との間で複数の第 2 トレンチゲート構造 3 2 1 を第 1 方向 X の両サイドから挟み込んでいる。複数の第 2 トレンチソース構造 5 1 の他の構造は、S i C 半導体装置 1 に係る複数の第 2 トレンチソース構造 5 1 と同様である。

[0450] 複数のコンタクト領域 7 0 は、第 1 主面 3 の表層部において複数の第 2 トレンチゲート構造 3 2 1 に沿う領域には形成されていない。複数のゲートウェル領域 7 2 は、この形態では、複数のトレンチゲート構造 3 1 に加え、複数の第 2 トレンチゲート構造 3 2 1 に沿う領域にもそれぞれ形成されている。複数のゲートウェル領域 7 2 は、複数の第 2 トレンチゲート構造 3 2 1 に対して一対一の対応関係でそれぞれ形成されている。

[0451] 各ゲートウェル領域 7 2 は、平面視において各第 2 トレンチゲート構造 3 2 1 に沿って延びる帯状に形成される。各ゲートウェル領域 7 2 は、トレンチゲート構造 3 1 および第 1 トレンチソース構造 4 1 から第 2 トレンチゲート構造 3 2 1 側に間隔を空けて形成され、トレンチゲート構造 3 1 および第 1 トレンチソース構造 4 1 を露出させている。各ゲートウェル領域 7 2 は、各第 2 トレンチゲート構造 3 2 1 の側壁の全域および底壁を被覆している。各ゲートウェル領域 7 2 は、各第 2 トレンチゲート構造 3 2 1 の側壁においてボディ領域 2 3 に電氣的に接続されている。

[0452] 各第 2 トレンチゲート構造 3 2 1 を被覆する各ゲートウェル領域 7 2 の底部は、各トレンチゲート構造 3 1 を被覆する各ゲートウェル領域 7 2 の底部に対して第 2 半導体領域 1 1 (第 2 濃度領域 1 3) の底部側の領域に位置している。各第 2 トレンチゲート構造 3 2 1 を被覆する各ゲートウェル領域 7 2 の底部は、各第 1 トレンチソース構造 4 1 を被覆する各ウェル領域 7 1 の底部とほぼ等しい深さに形成されている。

[0453] 各第 2 トレンチゲート構造 3 2 1 を被覆する各ゲートウェル領域 7 2 は、

第2半導体領域11（第2濃度領域13）の底部から活性面6側に間隔を空けて形成され、第2半導体領域11の一部を挟んで第1半導体領域10（第3半導体領域14）に対向している。つまり、各第2トレンチゲート構造321を被覆する各ゲートウェル領域72は、第2半導体領域11（第2濃度領域13）に電氣的に接続されている。

[0454] 各ゲートウェル領域72のうち各第2トレンチゲート構造321の底壁を被覆する部分の厚さは、各ゲートウェル領域72のうち各第2トレンチゲート構造321の側壁を被覆する部分の厚さを超えていることが好ましい。各ゲートウェル領域72のうち各第2トレンチゲート構造321の側壁を被覆する部分の厚さは、各第2トレンチゲート構造321の側壁の法線方向の厚さである。各ゲートウェル領域72のうち各第2トレンチゲート構造321の底壁を被覆する部分の厚さは、各第2トレンチゲート構造321の底壁の法線方向の厚さである。

[0455] 複数のゲートウェル領域72の底部は、複数の第2トレンチゲート構造321の底壁に対してほぼ一定の深さで形成されていることが好ましい。複数のゲートウェル領域72は、第2半導体領域11（第2濃度領域13）とpn接合部を形成し、SiCチップ2の幅方向および深さ方向に空乏層を拡げる。複数のゲートウェル領域72は、トレンチ絶縁ゲート型のMISFETをpn接合ダイオードの構造に近づけ、SiCチップ2内の電界を緩和する。

[0456] SiC半導体装置311は、複数のゲートコンタクト電極91を含む。複数のゲートコンタクト電極91は、第3接続面8C側のゲートコンタクト電極91、および、第4接続面8D側のゲートコンタクト電極91を含む。以下、第3接続面8C側のゲートコンタクト電極91について説明する。ゲートコンタクト電極91は、複数の第1トレンチソース構造41および複数の第2トレンチソース構造51から間隔を空けて複数のトレンチゲート構造31および複数の第2トレンチゲート構造321を被覆している。

[0457] ゲートコンタクト電極91は、複数のトレンチゲート構造31のゲート電

極 3 4 および複数の第 2 トレンチゲート構造 3 2 1 の第 2 ゲート電極 3 2 4 に接続されている。ゲートコンタクト電極 9 1 は、平面視において複数のトレンチゲート構造 3 1 の端部、および、複数の第 2 トレンチゲート構造 3 2 1 の内方部を横切るように第 2 方向 Y に延びる帯状に形成されている。

[0458] ゲートコンタクト電極 9 1 は、活性面 6 に沿って延びる電極面 9 1 a を有している。ゲートコンタクト電極 9 1 は、この形態では、活性面 6 から電極面 9 1 a から向けて幅が狭まる先細り形状（四角錐台状）に形成されている。電極面 9 1 a は、法線方向 Z にゲート電極 3 4 に対向する部分、および、法線方向 Z にトレンチゲート構造 3 1 外の領域（つまり主面絶縁膜 9 0）に対向する部分を含む。

[0459] ゲートコンタクト電極 9 1 は、導電性ポリシリコンからなることが好ましい。ゲートコンタクト電極 9 1 は、n 型不純物が添加された n 型ポリシリコン、および／または、p 型不純物が添加された p 型ポリシリコンを含んでもよい。ゲートコンタクト電極 9 1 は、各ゲート電極 3 4 と同一の導電材料からそれぞれなることが好ましい。

[0460] 各ゲートコンタクト電極 9 1 は、この形態では、ゲート電極 3 4 および第 2 ゲート電極 3 2 4 から活性面 6 の上（above）に引き出された引き出し部からなる。つまり、複数のゲートコンタクト電極 9 1 は、ゲート電極 3 4 からゲート絶縁膜 3 3 の第 3 部分 3 3 c を介して主面絶縁膜 9 0 の上に引き出され、第 2 ゲート電極 3 2 4 から第 2 ゲート絶縁膜 3 2 3 の第 3 部分 3 2 3 c を介して主面絶縁膜 9 0 の上に引き出されている。

[0461] 複数のゲート開口 1 1 2 は、この形態では、複数のゲートコンタクト電極 9 1 をそれぞれ露出させるように複数のゲートコンタクト電極 9 1 に沿って延びる帯状に形成されている。ゲート配線電極 1 3 1 は、第 1 無機絶縁膜 1 1 0 の上から複数のゲート開口 1 1 2 に入り込み、複数のゲートコンタクト電極 9 1 に電氣的に接続されている。これにより、ゲート配線電極 1 3 1 に印加されたゲート電位が、ゲート配線電極 1 3 1 を介して複数のトレンチゲート構造 3 1 および複数の第 2 トレンチゲート構造 3 2 1 に付与される。

- [0462] 第2参考実施形態に係るSiC半導体装置311は、SiCチップ2、トレンチゲート構造31、第2トレンチゲート構造321、第1無機絶縁膜110、ゲート主面電極121およびゲート配線電極131を含む。トレンチゲート構造31は、第1主面3に第2深さD2で形成されている。第2トレンチゲート構造321は、第2深さD2を超える第4深さD4を有し、トレンチゲート構造31に隣り合うように第1主面3に形成されている。
- [0463] 第1無機絶縁膜110は、第1主面3の上でトレンチゲート構造31および第2トレンチゲート構造321を被覆している。ゲート主面電極121は、第1無機絶縁膜110の上に形成されている。ゲート配線電極131は、ゲート主面電極121から第1無機絶縁膜110の上に引き出され、第1無機絶縁膜110を貫通してトレンチゲート構造31および第2トレンチゲート構造321に電氣的に接続されている。この構造によれば、耐圧の低下を抑制しながら、トレンチゲート構造31にゲート電位を付与できる。
- [0464] 第2参考実施形態に係るSiC半導体装置311は、SiCチップ2の表層部においてトレンチゲート構造31に沿う領域に形成されたゲートウェル領域72を含むことが好ましい。この構造によれば、耐圧（ブレイクダウン電圧）の低下を適切に抑制できる。SiC半導体装置311は、さらに、SiCチップ2の表層部において第2トレンチゲート構造321に沿う領域に形成された第2のゲートウェル領域72を含むことが好ましい。この構造によれば、耐圧の低下をさらに適切に抑制できる。
- [0465] 第2参考実施形態に係るSiC半導体装置311は、第1主面3の上でゲート電極34および第2ゲート電極324を被覆するゲートコンタクト電極91をさらに含むことが好ましい。この場合、第1無機絶縁膜110はゲートコンタクト電極91を被覆し、ゲート配線電極131は第1無機絶縁膜110を貫通してゲートコンタクト電極91に電氣的に接続されていることが好ましい。
- [0466] この構造によれば、ゲートコンタクト電極91を介してゲート配線電極131をゲート電極34および第2ゲート電極324の双方に同時に電氣的に

接続させることができる。また、この構造によれば、ゲート電極 3 4 および第 2 ゲート電極 3 2 4 に対するゲート配線電極 1 3 1 のアライメントマージンをゲートコンタクト電極 9 1 によって緩和できる。つまり、ゲート電極 3 4 および第 2 ゲート電極 3 2 4 に対するゲート配線電極 1 3 1 の位置ずれをゲートコンタクト電極 9 1 によって補うことができる。

[0467] これにより、ゲート配線電極 1 3 1 をゲート電極 3 4 および第 2 ゲート電極 3 2 4 に適切に電氣的に接続させることができる。この構造において、ゲートコンタクト電極 9 1 は、ゲート電極 3 4 および第 2 ゲート電極 3 2 4 を部分的に被覆していることが好ましい。また、ゲート主面電極 1 2 1 は、平面視においてゲートコンタクト電極 9 1 から間隔を空けて第 1 無機絶縁膜 1 1 0 の上に形成されていることが好ましい。

[0468] 第 2 参考実施形態に係る S i C 半導体装置 3 1 1 では、ゲート配線電極 1 3 1 の下方の領域においてトレンチゲート構造 3 1 の第 2 深さ D 2 を超える第 4 深さ D 4 を有する第 2 トレンチゲート構造 3 2 1 が形成されている。そのため、プロセス誤差に起因して、第 2 トレンチゲート構造 3 2 1 の第 2 ゲート絶縁膜 3 2 3 の厚さがトレンチゲート構造 3 1 のゲート絶縁膜 3 3 の厚さからずれることがある。この場合、第 2 トレンチゲート構造 3 2 1 にゲート電位が付与された場合、第 2 トレンチゲート構造 3 2 1 に対する電界集中に起因して耐圧が低下する可能性がある。

[0469] そこで、第 1 実施形態では、図 1 ～図 2 8 を参照して、S i C チップ 2、トレンチゲート構造 3 1、第 1 トレンチソース構造 4 1、第 1 無機絶縁膜 1 1 0、ゲート主面電極 1 2 1 およびゲート配線電極 1 3 1 を含む S i C 半導体装置 1 が採用されている。トレンチゲート構造 3 1 は、第 1 主面 3 に形成されている。第 1 トレンチソース構造 4 1 は、トレンチゲート構造 3 1 から一方方向（第 2 方向 Y）に離間して第 1 主面 3 に形成されている。

[0470] 第 1 無機絶縁膜 1 1 0 は、第 1 主面 3 の上でトレンチゲート構造 3 1 および第 1 トレンチソース構造 4 1 を被覆している。ゲート主面電極 1 2 1 は、第 1 無機絶縁膜 1 1 0 の上に形成されている。ゲート配線電極 1 3 1 は、一

方方向（第2方向Y）にトレンチゲート構造31および第1トレンチソース構造41を横切るようにゲート主面電極121から第1無機絶縁膜110の上に引き出され、第1無機絶縁膜110を貫通してトレンチゲート構造31に電氣的に接続され、第1無機絶縁膜110を挟んで第1トレンチソース構造41に対向している。

[0471] この構造によれば、トレンチゲート構造31よりも深い第2トレンチゲート構造321を形成した場合に生じる耐压低下を回避できる一方で、ゲート配線電極131の下方の領域において第1トレンチソース構造41による耐压補強効果を得ることができる。よって、電氣的特性を向上できるSiC半導体装置1を提供できる。

[0472] この構造において、トレンチゲート構造31は第2深さD2で第1主面3に形成され、第1トレンチソース構造41は第2深さD2を超える第3深さD3（ $D2 < D3$ ）で第1主面3に形成されていることが好ましい。この構造によれば、深い第1トレンチソース構造41による耐压補強効果を得ることができる。

[0473] SiC半導体装置1は、ゲート主面電極121およびゲート配線電極131から離間して第1無機絶縁膜110の上に形成されたソース主面電極122を含むことが好ましい。ソース主面電極122は、第1無機絶縁膜110を貫通して第1トレンチソース構造41に電氣的に接続され、第1無機絶縁膜110を挟んでトレンチゲート構造31に対向していることが好ましい。

[0474] SiC半導体装置1は、ソース主面電極122から第1無機絶縁膜110の上に引き出されたソース配線電極132を含むことが好ましい。ソース配線電極132は、ソース主面電極122とは異なる位置で第1無機絶縁膜110を貫通して第1トレンチソース構造41に電氣的に接続されていることが好ましい。この場合、ソース配線電極132は、平面視においてトレンチゲート構造31から間隔を空けて形成されていることが好ましい。

[0475] SiC半導体装置1は、トレンチゲート構造31から一方方向（第2方向Y）に交差する交差方向（第1方向X）に間隔を空けて第1主面3に形成さ

れた第2トレンチソース構造51を含むことが好ましい。この構造によれば、第2トレンチソース構造51による耐压補強効果を得ることができる。第2トレンチソース構造51は、一方方向（第1方向X）にトレンチゲート構造31に対向し、交差方向（第2方向Y）に第1トレンチソース構造41に対向していることが好ましい。

[0476] この場合、ソース主面電極122は、平面視において第2トレンチソース構造51、ゲート主面電極121およびゲート配線電極131から離間して第1無機絶縁膜110の上に形成されていることが好ましい。また、ソース主面電極122は、第1無機絶縁膜110を貫通して第1トレンチソース構造41に電氣的に接続され、第1無機絶縁膜110を挟んでトレンチゲート構造31に対向していることが好ましい。

[0477] この場合、ソース配線電極132は、ソース主面電極122から第1無機絶縁膜110の上に引き出され、第1無機絶縁膜110を貫通して第2トレンチソース構造51に電氣的に接続されていることが好ましい。ソース配線電極132は、ソース主面電極122とは異なる位置で第1無機絶縁膜110を貫通して第1トレンチソース構造41に電氣的に接続されていることが特に好ましい。ソース配線電極132は、平面視においてトレンチゲート構造31から間隔を空けて形成されていることが好ましい。

[0478] SiC半導体装置1は、SiCチップ2の内部において第1トレンチソース構造41に沿う領域に形成されたソース側pn接合部（ウェル領域71）を含むことが好ましい。この構造によれば、第1トレンチソース構造41を利用して、SiC半導体装置1の耐压を向上できる。この構造において、ゲート配線電極131は、平面視において第1トレンチソース構造41側のソース側pn接合部（ウェル領域71）に対向していることが好ましい。

[0479] SiC半導体装置1は、SiCチップ2の内部において第2トレンチソース構造51に沿う領域に形成されたソース側pn接合部（ウェル領域71）を含むことが好ましい。この構造によれば、第2トレンチソース構造51を利用して、SiC半導体装置1の耐压を向上できる。この構造において、ゲ

ート配線電極 131 は、平面視において第 2 トレンチソース構造 51 側のソース側 p n 接合部（ウェル領域 71）に対向していることが好ましい。

[0480] SiC 半導体装置 1 は、SiC チップ 2 の内部において少なくともトレンチゲート構造 31 の端部に沿う領域に形成されたゲート側 p n 接合部（ゲートウェル領域 72）を含むことが好ましい。この構造によれば、トレンチゲート構造 31 を利用して、SiC 半導体装置 1 の耐圧を向上できる。この構造において、ゲート配線電極 131 は、平面視においてゲート側 p n 接合部（ゲートウェル領域 72）に対向していることが好ましい。

[0481] SiC 半導体装置 1 は、第 1 主面 3 の上でゲート電極 34 を被覆するゲートコンタクト電極 91 を含むことが好ましい。この場合、第 1 無機絶縁膜 110 はゲートコンタクト電極 91 を被覆し、ゲート配線電極 131 は第 1 無機絶縁膜 110 を貫通してゲートコンタクト電極 91 に電氣的に接続されていることが好ましい。この構造によれば、ゲート電極 34 に対するゲート配線電極 131 のアライメントマージンをゲートコンタクト電極 91 によって緩和できる。

[0482] つまり、ゲート電極 34 に対するゲート配線電極 131 の位置ずれをゲートコンタクト電極 91 によって補うことができる。これにより、ゲート配線電極 131 をゲート電極 34 に適切に電氣的に接続させることができる。この構造において、ゲートコンタクト電極 91 は、ゲート電極 34 を部分的に被覆していることが好ましい。また、ゲート主面電極 121 は、平面視においてゲートコンタクト電極 91 から間隔を空けて第 1 無機絶縁膜 110 の上に形成されていることが好ましい。

[0483] SiC チップ 2、トレンチゲート構造 31、第 2 トレンチソース構造 51、第 1 無機絶縁膜 110、ソース配線電極 132、および、ゲート配線電極 131 を含む SiC 半導体装置 1 が採用されてもよい。トレンチゲート構造 31 は、第 1 主面 3 に形成され、平面視において一方方向（第 1 方向 X）に延びている。第 2 トレンチソース構造 51 は、一方方向（第 1 方向 X）にトレンチゲート構造 31 から間隔を空けて第 1 主面 3 に形成され、平面視にお

いて一方方向（第1方向X）に延びている。

[0484] 第1無機絶縁膜110は、トレンチゲート構造31および第2トレンチソース構造51を被覆している。ゲート配線電極131は、第1無機絶縁膜110の上に形成され、第1無機絶縁膜110を貫通してトレンチゲート構造31に電氣的に接続されている。ソース配線電極132は、ゲート配線電極131から間隔を空けて第1無機絶縁膜110の上に形成され、第1無機絶縁膜110を貫通して第2トレンチソース構造51に電氣的に接続されている。この構造によれば、ゲート配線電極131の下方において第2トレンチソース構造51による耐圧補強効果を得ることができる。

[0485] 複数のトレンチゲート構造31が、一方方向（第1方向X）に交差する交差方向（第2方向Y）に間隔を空けて第1主面3に配列されていることが好ましい。この場合、複数の第2トレンチソース構造51が、一方方向（第1方向X）に複数のトレンチゲート構造31と一対一の対応関係で対向するように交差方向（第2方向Y）に間隔を空けて配列されていることが好ましい。また、この構造において、ソース配線電極132は、平面視においてトレンチゲート構造31から間隔を空けて形成されていることが好ましい。

[0486] 図34は、図6に対応し、本発明の第2実施形態に係るSiC半導体装置331を示す平面図である。図35は、図34に示すXXXV-XXXV線に沿う断面図である。図36は、図34に示すXXXVI-XXXVI線に沿う断面図である。図37は、図34に示すXXXVII-XXXVII線に沿う断面図である。

[0487] 以下、SiC半導体装置1に対して述べた構造に対応する構造については、同一の参照符号を付して説明を省略する。また、第4接続面8D側の構造は第3接続面8C側の構造とほぼ同様であるので、以下では第3接続面8C側の構造を例にとって説明する。第4接続面8D側の具体的な構造は、以下の説明において「第3接続面8C」を「第4接続面8D」に置き換えることによって得られる。

[0488] 図34～図37を参照して、SiC半導体装置331に係る複数の第2トレンチソース構造51は、この形態では、第1方向Xに関して活性面6の内

方部側の浅い第1トレンチ部332、および、活性面6の周縁部側（第3接続面8C側）の深い第2トレンチ部333をそれぞれ含む。複数の第2トレンチソース構造51は、第1トレンチ部332および第2トレンチ部333の間に、第1トレンチ部332から第2トレンチ部333に向けて窪んだトレンチ段部334を有している。以下、1つの第2トレンチソース構造51について説明する。

[0489] 第1トレンチ部332は、トレンチゲート構造31側に形成され、平面視において第1方向Xに延びる帯状に形成されている。第1トレンチ部332は、トレンチゲート構造31から第1方向Xに第3間隔P3を空けて形成され、第1方向Xにトレンチゲート構造31に対向している。また、第1トレンチ部332は、第1トレンチソース構造41から第2方向Yに第2間隔P2を空けて形成され、第2方向Yに第1トレンチソース構造41に対向している。

[0490] 第1トレンチ部332は、第1トレンチ深さDT1を有している。第1トレンチ深さDT1は、外側面7の第1深さD1未満（ $DT1 < D1$ ）である。第1トレンチ深さDT1は、第1トレンチソース構造41の第3深さD3未満（ $DT1 < D3$ ）である。第1トレンチ深さDT1は、トレンチゲート構造31の第2深さD2とほぼ等しい（ $DT1 \div D2$ ）ことが好ましい。第1トレンチ深さDT1は、第2深さD2の値の±10%以内の範囲の値を有していることが好ましい。第1トレンチ部332は、活性面6との間の段差を緩和している。また、第1トレンチ部332は、第2トレンチソース構造51の内方部側の構造をトレンチゲート構造31に近づけている。

[0491] 第1トレンチ深さDT1は、0.1 μm以上3 μm以下であってもよい。第1トレンチ深さDT1は、0.5 μm以上2 μm以下であることが好ましい。第1トレンチ部332のアスペクト比 $DT1/W2$ は、1以上5以下であることが好ましい。アスペクト比 $DT1/W2$ は、第2幅W2に対する第1トレンチ深さDT1の比である。アスペクト比 $DT1/W2$ は、1.5以上であることが特に好ましい。

- [0492] 第1トレンチ部332は、側壁および底壁を含む。第1トレンチ部332の長辺を形成する側壁は、SiC単結晶のa面によって形成されている。第1トレンチ部332の短辺を形成する側壁は、SiC単結晶のm面によって形成されている。第1トレンチ部332の底壁は、SiC単結晶のc面によって形成されている。
- [0493] 第1トレンチ部332は、ほぼ一定の開口幅を有する垂直形状に形成されていてもよい。第1トレンチ部332は、底壁に向かって狭まる開口幅を有する先細り形状に形成されていてもよい。第1トレンチ部332の底壁は、第2主面4に向かう湾曲形状に形成されていることが好ましい。むしろ、第1トレンチ部332の底壁は、活性面6に平行な平坦面を有していてもよい。
- [0494] 第1トレンチ部332は、ボディ領域23およびソース領域24を横切って第2半導体領域11に至るように活性面6に形成されている。第1トレンチ部332は、具体的には、第2半導体領域11の底部から活性面6側に間隔を空けて形成され、第2半導体領域11の一部を挟んで第1半導体領域10（第3半導体領域14）に対向している。第1トレンチ部332は、この形態では、第2濃度領域13に形成され、第2濃度領域13の一部を挟んで第1濃度領域12に対向している。
- [0495] 第1トレンチ部332の側壁は、第2半導体領域11、ボディ領域23およびソース領域24に接している。第1トレンチ部332の底壁は、第2半導体領域11に接している。第1トレンチ部332は、この形態では、第1トレンチソース構造41よりも浅く形成されている。つまり、第1トレンチ部332の底壁は、第1トレンチソース構造41の底壁に対して活性面6側に位置している。
- [0496] 第2トレンチ部333は、第1トレンチ部332および第3接続面8Cの間に形成されている。第2トレンチ部333は、第1トレンチ部332に連通し、第3接続面8Cを貫通するように第1方向Xに延びる帯状に形成されている。第2トレンチ部333は、第1トレンチソース構造41から第2方

向Yに第2間隔P2を空けて形成され、第2方向Yに第1トレンチソース構造41に対向している。

[0497] 第2トレンチ部333は、第1トレンチ深さDT1を超える第2トレンチ深さDT2 ($DT1 < DT2$) を有している。第2トレンチ深さDT2は、トレンチゲート構造31の第2深さD2 ($D2 < DT2$) を超えている。第2トレンチ深さDT2は、第1トレンチ深さDT1の1.5倍以上3倍以下であることが好ましい。

[0498] 第2トレンチ深さDT2は、この形態では、第1トレンチソース構造41の第3深さD3とほぼ等しい ($D3 \div DT2$)。また、第2トレンチ深さDT2は、外側面7の第1深さD1とほぼ等しい ($D1 \div DT2$)。つまり、第2トレンチ部333は、外側面7および第3接続面8Cに連通している。第2トレンチ深さDT2は、第1深さD1 (第3深さD3) の値の $\pm 10\%$ 以内の範囲の値を有していることが好ましい。第2トレンチ部333は、第1トレンチ部332および外側面7の間の段差を緩和している。

[0499] 第2トレンチ深さDT2は、 $0.5\mu m$ 以上 $10\mu m$ 以下であってもよい。第2トレンチ深さDT2は、 $5\mu m$ 以下であることが好ましい。第2トレンチ深さDT2は、 $2.5\mu m$ 以下であることが特に好ましい。第2トレンチ部333のアスペクト比 $DT2/W2$ は、1以上5以下であることが好ましい。アスペクト比 $DT2/W2$ は、第2幅W2に対する第2トレンチ深さDT2の比である。アスペクト比 $DT2/W2$ は、2以上であることが特に好ましい。

[0500] 第2トレンチ部333は、側壁および底壁を含む。第2トレンチ部333の長辺を形成する側壁は、SiC単結晶のa面によって形成されている。第2トレンチ部333の長辺を形成する側壁は、第1トレンチ部332の側壁および第3接続面8Cに連通している。第2トレンチ部333の短辺を形成する側壁は、SiC単結晶のm面によって形成されている。第2トレンチ部333の短辺を形成する側壁は、第1トレンチ部332の底壁に連通している。これにより、第1トレンチ部332および第2トレンチ部333の間に

トレンチ段部 334 が形成されている。第 2 トレンチ部 333 の底壁は、SiC 単結晶の c 面によって形成されている。第 2 トレンチ部 333 の底壁は、外側面 7 に連通している。

[0501] 第 2 トレンチ部 333 は、ほぼ一定の開口幅を有する垂直形状に形成されていてもよい。第 2 トレンチ部 333 は、底壁に向かって狭まる開口幅を有する先細り形状に形成されていてもよい。第 2 トレンチ部 333 の底壁は、第 2 主面 4 に向かう湾曲形状に形成されていることが好ましい。むろん、第 2 トレンチ部 333 の底壁は、活性面 6 に平行な平坦面を有していてもよい。

[0502] 第 2 トレンチ部 333 は、ボディ領域 23 およびソース領域 24 を横切って第 2 半導体領域 11 に至るように活性面 6 に形成されている。第 2 トレンチ部 333 は、具体的には、第 2 半導体領域 11 の底部から活性面 6 側に間隔を空けて形成され、第 2 半導体領域 11 の一部を挟んで第 1 半導体領域 10（第 3 半導体領域 14）に対向している。第 2 トレンチ部 333 は、この形態では、第 2 濃度領域 13 に形成され、第 2 濃度領域 13 の一部を挟んで第 1 濃度領域 12 に対向している。

[0503] 第 2 トレンチ部 333 の側壁は、第 2 半導体領域 11、ボディ領域 23 およびソース領域 24 に接している。第 2 トレンチ部 333 の底壁は、第 2 半導体領域 11 に接している。第 2 トレンチ部 333 は、この形態では、第 1 トレンチ部 332（トレンチゲート構造 31）よりも深く形成されている。つまり、第 2 トレンチ部 333 の底壁は、第 1 トレンチ部 332 の底壁に対して第 2 半導体領域 11（第 2 濃度領域 13）の底部側に位置している。

[0504] 第 2 トレンチソース構造 51 に占める第 2 トレンチ部 333 の割合（第 1 方向 X の長さ）は任意である。第 2 トレンチソース構造 51 に占める第 2 トレンチ部 333 の割合は、第 2 トレンチソース構造 51 に占める第 1 トレンチ部 332 の割合以上であってもよいし、第 2 トレンチソース構造 51 に占める第 1 トレンチ部 332 の割合未満であってもよい。第 2 トレンチソース構造 51 に起因する耐压構造を得る上では、第 2 トレンチソース構造 51 に

占める第2トレンチ部333の割合は、第2トレンチソース構造51に占める第1トレンチ部332の割合を超えていることが好ましい。つまり、第1方向Xに関して、第2トレンチ部333の第1方向Xの長さは第1トレンチ部332の第1方向Xの長さを超えていることが好ましい。

[0505] 各第2トレンチソース構造51は、ソーストレンチ42、ソース絶縁膜43およびソース電極44を含む。ソーストレンチ42は、第1トレンチ部332の側壁および底壁、ならびに、第2トレンチ部333の側壁および底壁を形成している。ソース絶縁膜43の第1部分43aは、第1トレンチ部332の側壁の全域および第2トレンチ部333の側壁の全域を被覆している。

[0506] ソース絶縁膜43の第2部分43bは、第1トレンチ部332の底壁、および、第2トレンチ部333の底壁を被覆している。ソース絶縁膜43の第3部分43cは、ソーストレンチ42の開口エッジ部の全域を被覆している。ソース電極44は、ソース絶縁膜43を挟んでソーストレンチ42において第1トレンチ部332を形成する部分および第2トレンチ部333を形成する部分に一体的に埋設されている。

[0507] 各ウェル領域71は、トレンチ段部334を介して第1トレンチ部332および第2トレンチ部333を被覆している。つまり、各ウェル領域71は、第1トレンチ部332の側壁および底壁、ならびに、第2トレンチ部333の側壁および底壁を被覆している。各ウェル領域71は、第1トレンチ部332および第2トレンチ部333を直接被覆している。各ウェル領域71は、第1トレンチ部332の側壁および第2トレンチ部333の側壁においてボディ領域23に電氣的に接続されている。

[0508] 各ウェル領域71のうち各第1トレンチ部332の底壁を被覆する部分の厚さは、各ウェル領域71のうち各第1トレンチ部332の側壁を被覆する部分の厚さを超えていることが好ましい。各ウェル領域71のうち各第1トレンチ部332の側壁を被覆する部分の厚さは、各第1トレンチ部332の側壁の法線方向の厚さである。各ウェル領域71のうち各第1トレンチ部3

32の底壁を被覆する部分の厚さは、各第1トレンチ部332の底壁の法線方向の厚さである。

[0509] 各ウェル領域71のうち各第2トレンチ部333の底壁を被覆する部分の厚さは、各ウェル領域71のうち各第2トレンチ部333の側壁（トレンチ段部334を含む）を被覆する部分の厚さを超えていることが好ましい。各ウェル領域71のうち各第2トレンチ部333の側壁を被覆する部分の厚さは、各第2トレンチ部333の側壁の法線方向の厚さである。各ウェル領域71のうち各第2トレンチ部333の底壁を被覆する部分の厚さは、各第2トレンチ部333の底壁の法線方向の厚さである。

[0510] 各ウェル領域71のうち各第2トレンチ部333の底壁を被覆する部分は、各ウェル領域71のうち各第1トレンチ部332の底壁を被覆する部分に対して第2半導体領域11（第2濃度領域13）の底部側に位置している。各ウェル領域71のうち各第2トレンチ部333の底壁を被覆する部分は、各ウェル領域71のうち各第1トレンチソース構造41の底壁を被覆する部分とほぼ等しい深さに形成されている。

[0511] 各ゲートウェル領域72のうち各トレンチゲート構造31の底壁を被覆する部分は、この形態では、各ウェル領域71のうち各第1トレンチ部332の底壁を被覆する部分とほぼ等しい深さに形成されている。

[0512] 図38は、図16に対応し、図34に示すSiC半導体装置331を示す平面図である。図39は、図38に示すXXXIX-XXXIX線に沿う断面図である。図40は、図38に示すXL-XL線に沿う断面図である。図41は、図38に示すXLI-XLI線に沿う断面図である。

[0513] 図38～図41を参照して、SiC半導体装置331に係る複数のダミートレンチゲート構造62は、この形態では、第1方向Xに関して活性面6の内方部側の浅い第1ダミートレンチ部335、および、活性面6の周縁部側（第3接続面8C側）の深い第2ダミートレンチ部336をそれぞれ含む。複数のダミートレンチゲート構造62は、第1ダミートレンチ部335および第2ダミートレンチ部336の間に、第1ダミートレンチ部335から第

2 ダミートレンチ部 336 に向けて窪んだダミートレンチ段部 337 を有している。以下、1つのダミートレンチゲート構造 62 について説明する。

[0514] 第1 ダミートレンチ部 335 は、活性面 6 の内方部側に形成され、平面視において第1 方向 X に延びる帯状に形成されている。第1 ダミートレンチ部 335 は、少なくとも第2 方向 Y にトレンチゲート構造 31 に対向する部分に形成されている。第1 ダミートレンチ部 335 は、この形態では、平面視においてトレンチゲート構造 31 の端部を第2 方向 Y 側から第1 方向 X に横切っている。第1 ダミートレンチ部 335 は、第3 接続面 8C および各トレンチゲート構造 31 の端部の間の領域に第2 方向 Y に対向する部分を含む。

[0515] つまり、第1 ダミートレンチ部 335 は、第2 方向 Y にトレンチゲート構造 31、第1 トレンチソース構造 41 および第2 トレンチソース構造 51 に対向している。第1 ダミートレンチ部 335 は、第3 接続面 8C および各トレンチゲート構造 31 の端部の間の領域において、少なくとも第2 方向 Y に第2 トレンチソース構造 51 の第1 トレンチ部 332 に対向している。第1 ダミートレンチ部 335 は、第2 方向 Y に第2 トレンチソース構造 51 の第2 トレンチ部 333 に対向していてもよい。

[0516] 第1 ダミートレンチ部 335 は、第1 ダミートレンチ深さ $DD1$ を有している。第1 ダミートレンチ深さ $DD1$ は、外側面 7 の第1 深さ $D1$ 未満 ($DD1 < D1$) である。第1 ダミートレンチ深さ $DD1$ は、第1 トレンチソース構造 41 (第1 ダミートレンチソース構造 61) の第3 深さ $D3$ 未満 ($DD1 < D3$) である。第1 ダミートレンチ深さ $DD1$ は、トレンチゲート構造 31 の第2 深さ $D2$ とほぼ等しい ($DD1 \div D2$) ことが好ましい。第1 ダミートレンチ深さ $DD1$ は、第2 深さ $D2$ の値の $\pm 10\%$ 以内の範囲の値を有していることが好ましい。

[0517] 第1 ダミートレンチ深さ $DD1$ は、 $0.1 \mu m$ 以上 $3 \mu m$ 以下であってもよい。第1 ダミートレンチ深さ $DD1$ は、 $0.5 \mu m$ 以上 $2 \mu m$ 以下であることが好ましい。第1 ダミートレンチ部 335 のアスペクト比 $DD1/W2$ は、1 以上 5 以下であることが好ましい。アスペクト比 $DD1/W2$ は、第

2 幅 $W2$ に対する第 1 ダミートレンチ深さ $DD1$ の比である。アスペクト比 $DD1/W2$ は、1.5 以上であることが特に好ましい。

[0518] 第 1 ダミートレンチ部 335 は、側壁および底壁を含む。第 1 ダミートレンチ部 335 の側壁は、SiC 単結晶の a 面によって形成されている。第 1 ダミートレンチ部 335 の底壁は、SiC 単結晶の c 面によって形成されている。

[0519] 第 1 ダミートレンチ部 335 は、ほぼ一定の開口幅を有する垂直形状に形成されていてもよい。第 1 ダミートレンチ部 335 は、底壁に向かって狭まる開口幅を有する先細り形状に形成されていてもよい。第 1 ダミートレンチ部 335 の底壁は、第 2 主面 4 に向かう湾曲形状に形成されていることが好ましい。むろん、第 1 ダミートレンチ部 335 の底壁は、活性面 6 に平行な平坦面を有していてもよい。

[0520] 第 1 ダミートレンチ部 335 は、ボディ領域 23 およびソース領域 24 を横切って第 2 半導体領域 11 に至るように活性面 6 に形成されている。第 1 ダミートレンチ部 335 は、具体的には、第 2 半導体領域 11 の底部から活性面 6 側に間隔を空けて形成され、第 2 半導体領域 11 の一部を挟んで第 1 半導体領域 10（第 3 半導体領域 14）に対向している。第 1 ダミートレンチ部 335 は、この形態では、第 2 濃度領域 13 に形成され、第 2 濃度領域 13 の一部を挟んで第 1 濃度領域 12 に対向している。

[0521] 第 1 ダミートレンチ部 335 の側壁は、第 2 半導体領域 11、ボディ領域 23 およびソース領域 24 に接している。第 1 ダミートレンチ部 335 の底壁は、第 2 半導体領域 11 に接している。第 1 ダミートレンチ部 335 は、この形態では、第 1 ダミートレンチソース構造 61（第 1 トレンチソース構造 41）よりも浅く形成されている。つまり、第 1 ダミートレンチ部 335 の底壁は、第 1 ダミートレンチソース構造 61 の底壁に対して活性面 6 側に位置している。

[0522] 第 2 ダミートレンチ部 336 は、第 1 ダミートレンチ部 335 および第 3 接続面 8C の間に形成されている。第 2 ダミートレンチ部 336 は、第 1 ダ

ミートレンチ部335に連通し、第3接続面8Cを貫通するように第1方向Xに延びる帯状に形成されている。第2ダミートレンチ部336は、平面視において第3接続面8Cおよび各トレンチゲート構造31の端部の間の領域において、少なくとも第2方向Yに第2トレンチソース構造51の第2トレンチ部333に対向している。第2ダミートレンチ部336は、第2方向Yに第2トレンチソース構造51の第1トレンチ部332に対向していてもよい。

[0523] 第2ダミートレンチ部336は、第1ダミートレンチ深さDD1を超える第2ダミートレンチ深さDD2 ($DD1 < DD2$) を有している。第2ダミートレンチ深さDD2は、トレンチゲート構造31の第2深さD2 ($D2 < DD2$) を超えている。第2ダミートレンチ深さDD2は、第2深さD2の1.5倍以上3倍以下であることが好ましい。第2ダミートレンチ深さDD2は、この形態では、第1トレンチソース構造41の第3深さD3とほぼ等しい ($D3 \div DD2$) 。

[0524] また、第2ダミートレンチ深さDD2は、外側面7の第1深さD1とほぼ等しい ($D1 \div DD2$) 。つまり、第2ダミートレンチ部336は、外側面7および第3接続面8Cに連通している。第2ダミートレンチ深さDD2は、第1深さD1 (第3深さD3) の値の $\pm 10\%$ 以内の範囲の値を有していることが好ましい。第2ダミートレンチ部336は、第1ダミートレンチ部335および外側面7の間の段差を緩和している。

[0525] 第2ダミートレンチ深さDD2は、 $0.5\mu\text{m}$ 以上 $10\mu\text{m}$ 以下であってもよい。第2ダミートレンチ深さDD2は、 $5\mu\text{m}$ 以下であることが好ましい。第2ダミートレンチ深さDD2は、 $2.5\mu\text{m}$ 以下であることが特に好ましい。第2ダミートレンチ部336のアスペクト比 $DD2/W2$ は、1以上5以下であることが好ましい。アスペクト比 $DD2/W2$ は、第2幅W2に対する第2ダミートレンチ深さDD2の比である。アスペクト比 $DD2/W2$ は、2以上であることが特に好ましい。

[0526] 第2ダミートレンチ部336は、側壁および底壁を含む。第2ダミートレ

ンチ部336の長辺を形成する側壁は、SiC単結晶のa面によって形成されている。第2ダミートレンチ部336の長辺を形成する側壁は、第1ダミートレンチ部335の側壁および第3接続面8Cに連通している。第2ダミートレンチ部336の短辺を形成する側壁は、SiC単結晶のm面によって形成されている。第2ダミートレンチ部336の短辺を形成する側壁は、第1ダミートレンチ部335の底壁に連通している。これにより、第1ダミートレンチ部335および第2ダミートレンチ部336の間にダミートレンチ段部337が形成されている。第2ダミートレンチ部336の底壁は、SiC単結晶のc面によって形成されている。第2ダミートレンチ部336の底壁は、外側面7に連通している。

[0527] 第2ダミートレンチ部336は、ほぼ一定の開口幅を有する垂直形状に形成されていてもよい。第2ダミートレンチ部336は、底壁に向かって狭まる開口幅を有する先細り形状に形成されていてもよい。第2ダミートレンチ部336の底壁は、第2主面4に向かう湾曲形状に形成されていることが好ましい。むろん、第2ダミートレンチ部336の底壁は、活性面6に平行な平坦面を有していてもよい。

[0528] 第2ダミートレンチ部336は、ボディ領域23およびソース領域24を横切って第2半導体領域11に至るように活性面6に形成されている。第2ダミートレンチ部336は、具体的には、第2半導体領域11の底部から活性面6側に間隔を空けて形成され、第2半導体領域11の一部を挟んで第1半導体領域10（第3半導体領域14）に対向している。第2ダミートレンチ部336は、この形態では、第2濃度領域13に形成され、第2濃度領域13の一部を挟んで第1濃度領域12に対向している。

[0529] 第2ダミートレンチ部336の側壁は、第2半導体領域11、ボディ領域23およびソース領域24に接している。第2ダミートレンチ部336の底壁は、第2半導体領域11に接している。第2ダミートレンチ部336は、この形態では、第1ダミートレンチ部335（トレンチゲート構造31）よりも深く形成されている。つまり、第2ダミートレンチ部336の底壁は、

第1ダミートレンチ部335の底壁に対して第2半導体領域11（第2濃度領域13）の底部側に位置している。

[0530] ダミートレンチゲート構造62に占める第2ダミートレンチ部336の割合（第1方向Xの長さ）は、ダミートレンチゲート構造62に占める第1ダミートレンチ部335の割合未満である。つまり、第1方向Xに関して、第2ダミートレンチ部336の第1方向Xの長さは第1ダミートレンチ部335の第1方向Xの長さ未満である。

[0531] 各ダミートレンチゲート構造62は、ゲートトレンチ32、ゲート絶縁膜33およびゲート電極34を含む。ゲートトレンチ32は、第1ダミートレンチ部335の側壁および底壁、ならびに、第2ダミートレンチ部336の側壁および底壁を形成している。ゲート絶縁膜33の第1部分33aは、第1ダミートレンチ部335の側壁の全域および第2ダミートレンチ部336の側壁の全域を被覆している。

[0532] ゲート絶縁膜33の第2部分33bは、第1ダミートレンチ部335の底壁、および、第2ダミートレンチ部336の底壁を被覆している。ゲート絶縁膜33の第3部分33cは、ゲートトレンチ32の開口エッジ部の全域を被覆している。ソース電極44は、ゲート絶縁膜33を挟んでゲートトレンチ32において第1ダミートレンチ部335を形成する部分および第2ダミートレンチ部336を形成する部分に一体的に埋設されている。

[0533] 各ダミーゲートウェル領域75は、ダミートレンチ段部337を介して第1ダミートレンチ部335および第2ダミートレンチ部336を被覆している。つまり、各ダミーゲートウェル領域75は、第1ダミートレンチ部335の側壁および底壁、ならびに、第2ダミートレンチ部336の側壁および底壁を被覆している。各ダミーゲートウェル領域75は、第1ダミートレンチ部335および第2ダミートレンチ部336を直接被覆している。各ダミーゲートウェル領域75は、第1ダミートレンチ部335の側壁および第2ダミートレンチ部336の側壁においてボディ領域23に電氣的に接続されている。

- [0534] 各ダミーゲートウェル領域 7 5 のうち各第 1 ダミートレンチ部 3 3 5 の底壁を被覆する部分の厚さは、各ダミーゲートウェル領域 7 5 のうち各第 1 ダミートレンチ部 3 3 5 の側壁を被覆する部分の厚さを超えていることが好ましい。各ダミーゲートウェル領域 7 5 のうち各第 1 ダミートレンチ部 3 3 5 の側壁を被覆する部分の厚さは、各第 1 ダミートレンチ部 3 3 5 の側壁の法線方向の厚さである。各ダミーゲートウェル領域 7 5 のうち各第 1 ダミートレンチ部 3 3 5 の底壁を被覆する部分の厚さは、各第 1 ダミートレンチ部 3 3 5 の底壁の法線方向の厚さである。
- [0535] 各ダミーゲートウェル領域 7 5 のうち各第 2 ダミートレンチ部 3 3 6 の底壁を被覆する部分の厚さは、各ダミーゲートウェル領域 7 5 のうち各第 2 ダミートレンチ部 3 3 6 の側壁（トレンチ段部 3 3 4 を含む）を被覆する部分の厚さを超えていることが好ましい。各ダミーゲートウェル領域 7 5 のうち各第 2 ダミートレンチ部 3 3 6 の側壁を被覆する部分の厚さは、各第 2 ダミートレンチ部 3 3 6 の側壁の法線方向の厚さである。各ダミーゲートウェル領域 7 5 のうち各第 2 ダミートレンチ部 3 3 6 の底壁を被覆する部分の厚さは、各第 2 ダミートレンチ部 3 3 6 の底壁の法線方向の厚さである。
- [0536] 各ダミーゲートウェル領域 7 5 のうち各第 2 ダミートレンチ部 3 3 6 の底壁を被覆する部分は、各ダミーゲートウェル領域 7 5 のうち各第 1 ダミートレンチ部 3 3 5 の底壁を被覆する部分に対して第 2 半導体領域 1 1（第 2 濃度領域 1 3）の底部側に位置している。各ダミーゲートウェル領域 7 5 のうち各第 1 ダミートレンチ部 3 3 5 の底壁を被覆する部分は、各ゲートウェル領域 7 2 のうち各トレンチゲート構造 3 1 の底壁を被覆する部分とほぼ等しい深さに形成されている。
- [0537] 各ダミーゲートウェル領域 7 5 のうち各第 2 ダミートレンチ部 3 3 6 の底壁を被覆する部分は、各ウェル領域 7 1 のうち各第 1 トレンチソース構造 4 1 の底壁（各第 2 トレンチソース構造 5 1 の底壁）を被覆する部分、および、各ダミーウェル領域 7 4 のうち各第 1 ダミートレンチソース構造 6 1 の底壁を被覆する部分とほぼ等しい深さに形成されている。

- [0538] 各ダミーゲートウェル領域 7 5 は、第 2 半導体領域 1 1（第 2 濃度領域 1 3）の底部から活性面 6 側に間隔を空けて形成され、第 2 半導体領域 1 1 の一部を挟んで第 1 半導体領域 1 0（第 3 半導体領域 1 4）に対向している。つまり、各ダミーゲートウェル領域 7 5 は、第 2 半導体領域 1 1（第 2 濃度領域 1 3）に電氣的に接続されている。
- [0539] アウターウェル領域 8 1 は、第 2 トレンチソース構造 5 1 の第 2 トレンチ部 3 3 3 の底壁が外側面 7 に連通する部分において、ウェル領域 7 1 に連なっている。つまり、アウターウェル領域 8 1 は、ウェル領域 7 1 において第 2 トレンチ部 3 3 3 の底壁を被覆する部分から外側面 7 に向けて面方向に連続的に引き出されている。
- [0540] アウターウェル領域 8 1 は、ダミートレンチゲート構造 6 2 の第 2 ダミートレンチ部 3 3 6 の底壁が外側面 7 に連通する部分において、ダミーゲートウェル領域 7 5 に連なっている。つまり、アウターウェル領域 8 1 は、ダミーゲートウェル領域 7 5 において第 2 ダミートレンチ部 3 3 6 の底壁を被覆する部分から外側面 7 に向けて面方向に連続的に引き出されている。
- [0541] サイドウォール配線 1 0 0 は、この形態では、第 1～第 4 接続面 8 A～8 D の上において、第 1 トレンチソース構造 4 1、第 2 トレンチソース構造 5 1 の第 2 トレンチ部 3 3 3、第 1 ダミートレンチソース構造 6 1、ダミートレンチゲート構造 6 2 の第 2 ダミートレンチ部 3 3 6 および第 2 ダミートレンチソース構造 6 3 に電氣的に接続されている。サイドウォール配線 1 0 0 は、第 2 トレンチソース構造 5 1 の第 2 トレンチ部 3 3 3 から露出するソース電極 4 4、および、ダミートレンチゲート構造 6 2 の第 2 ダミートレンチ部 3 3 6 から露出するゲート電極 3 4 と一体的に形成されている。
- [0542] サイドウォール配線 1 0 0 のオーバーラップ部 1 0 1 は、この形態では、平面視において少なくとも第 2 トレンチソース構造 5 1 の第 2 トレンチ部 3 3 3、および、ダミートレンチゲート構造 6 2 の第 2 ダミートレンチ部 3 3 6 に対向している。オーバーラップ部 1 0 1 は、平面視においてトレンチ段部 3 3 4 およびダミートレンチ段部 3 3 7 を横切って活性面 6 の内方側に引き出

されていてもよい。この場合、オーバラップ部 101 は、平面視において第 2 トレンチソース構造 51 の第 1 トレンチ部 332 および第 2 トレンチ部 333、ならびに、ダミートレンチゲート構造 62 の第 1 ダミートレンチ部 335 および第 2 ダミートレンチ部 336 に対向していてもよい。

[0543] ゲート配線電極 131 は、この形態では、平面視において少なくとも第 2 トレンチソース構造 51 の第 1 トレンチ部 332、および、ダミートレンチゲート構造 62 の第 1 ダミートレンチ部 335 に対向している。ゲート配線電極 131 は、平面視においてトレンチ段部 334 およびダミートレンチ段部 337 を横切って活性面 6 の周縁側に引き出されていてもよい。この場合、ゲート配線電極 131 は、平面視において第 2 トレンチソース構造 51 の第 1 トレンチ部 332 および第 2 トレンチ部 333、ならびに、ダミートレンチゲート構造 62 の第 1 ダミートレンチ部 335 および第 2 ダミートレンチ部 336 に対向していてもよい。

[0544] ソース配線電極 132 は、この形態では、平面視において少なくとも第 2 トレンチソース構造 51 の第 2 トレンチ部 333、および、ダミートレンチゲート構造 62 の第 2 ダミートレンチ部 336 に対向している。ソース配線電極 132 は、ゲート配線電極 131 のレイアウト（引き回し態様）に応じて、平面視においてトレンチ段部 334 およびダミートレンチ段部 337 を横切って活性面 6 の内方側に引き出されていてもよい。この場合、ソース配線電極 132 は、平面視において第 2 トレンチソース構造 51 の第 1 トレンチ部 332 および第 2 トレンチ部 333、ならびに、ダミートレンチゲート構造 62 の第 1 ダミートレンチ部 335 および第 2 ダミートレンチ部 336 に対向していてもよい。

[0545] 以上、SiC 半導体装置 331 によっても、SiC 半導体装置 1 に対して述べた効果と同様の効果を奏することができる。SiC 半導体装置 331 に係る第 2 トレンチソース構造 51 およびダミートレンチゲート構造 62 は、SiC 半導体装置 1 の製造方法に利用される第 2 レジストマスク 211 のレイアウト（図 29F 参照）を変更するだけで形成される。SiC 半導体装置

３３１の第２トレンチソース構造５１の構造およびダミートレンチゲート構造６２の構造は、第１参考実施形態および第２参考実施形態にも適用できる。

[0546] 本発明の実施形態は、さらに他の形態で実施できる。

[0547] 前述の各実施形態において、ＳｉＣチップ２に代えて、ＳｉＣ以外のＷＢＧ（Wide Band Gap）半導体からなるＷＢＧ半導体チップが採用されてもよい。ＷＢＧ半導体は、Ｓｉ（シリコン）のバンドギャップを超えるバンドギャップを有する半導体である。ＷＢＧ半導体としては、ＧaN（窒化ガリウム）やダイヤモンドが例示される。むろん、前述の各実施形態においてＳｉＣチップ２に代えて、Ｓｉ（シリコン）チップが採用されてもよい。

[0548] 前述の各実施形態では、複数のダミーコンタクト領域７３が第１ダミー構造６０Ａの複数の第１ダミートレンチソース構造６１に沿う領域には形成されていない形態について説明した。しかし、複数のダミーコンタクト領域７３は、第２ダミー構造６０Ｂ側の配列パターンと同様の配列パターンで、第１ダミー構造６０Ａの複数の第１ダミートレンチソース構造６１の一部または全てに沿う領域に形成されていてもよい。

[0549] 前述の各実施形態において、ゲート配線電極１３１（ゲート開口１１２）のアライメントマージンが重視されない場合には、複数のゲートコンタクト電極９１を有さない構造が採用されてもよい。つまり、ゲート配線電極１３１がゲート開口１１２を介してゲート電極３４に直接接続されてもよい。この場合、ゲート配線電極１３１はゲート絶縁膜３３および主面絶縁膜９０のうちの少なくとも一方に接していてもよい。

[0550] 前述の各実施形態において、サイドウォール配線１００が複数のトレンチゲート構造３１に接続された形態が採用されてもよい。この場合、複数の第１トレンチソース構造４１、複数の第２トレンチソース構造５１、複数の第１ダミートレンチソース構造６１、複数のダミートレンチゲート構造６２、および、複数の第２ダミートレンチソース構造６３が第１～第４接続面８Ａ～８Ｄから活性面６の内方に間隔を空けて形成され、複数のトレンチゲート

構造 3 1 が第 1 ～第 4 接続面 8 A ～ 8 D のうちの少なくとも 1 つ（たとえば第 3 接続面 8 C および第 4 接続面 8 D）に連通される。また、この場合、ソース配線電極 1 3 2 に代えて、ゲート主面電極 1 2 1 および／またはゲート配線電極 1 3 1 がサイドウォール配線 1 0 0 に電氣的に接続されてもよい。

[0551] このような構造は、第 1 ダミー構造 6 0 A および第 2 ダミー構造 6 0 B を有さない S i C 半導体装置 1 にも適用できる。また、このような構造は、複数のトレンチゲート構造 3 1 を有する一方で、複数の第 1 トレンチソース構造 4 1、複数の第 2 トレンチソース構造 5 1、複数の第 1 ダミートレンチソース構造 6 1、複数のダミートレンチゲート構造 6 2、および、複数の第 2 ダミートレンチソース構造 6 3 のうちの少なくとも 1 種を有さない構造にも適用できる。

[0552] 前述の各実施形態では、第 1 方向 X が S i C 単結晶の m 軸方向であり、第 2 方向 Y が S i C 単結晶の a 軸方向である例について説明したが、第 1 方向 X が S i C 単結晶の a 軸方向であり、第 2 方向 Y が S i C 単結晶の m 軸方向であってもよい。つまり、第 1 側面 5 A および第 2 側面 5 B は S i C 単結晶の m 面によって形成され、第 3 側面 5 C および第 4 側面 5 D は S i C 単結晶の a 面によって形成されてもよい。この場合、オフ方向は S i C 単結晶の a 軸方向であってもよい。この場合の具体的な構成は、前述の説明および添付図面において、第 1 方向 X に係る m 軸方向を a 軸方向に置き換え、第 2 方向 Y に係る a 軸方向を m 軸方向に置き換えることによって得られる。

[0553] 前述の各実施形態では、第 1 導電型が n 型、第 2 導電型が p 型の例について説明したが、第 1 導電型が p 型、第 2 導電型が n 型であってもよい。この場合の具体的な構成は、前述の説明および添付図面において、n 型領域を p 型領域に置き換え、p 型領域を n 型領域に置き換えることによって得られる。

[0554] この明細書および図面から抽出される特徴の例を以下に示す。以下の [A 1] ～ [A 2 2] は、信頼性を向上できる半導体装置を提供する。

[0555] [A 1] 第 1 面 (6)、前記第 1 面 (6) 外で厚さ方向に第 1 深さ (D 1

）で窪んだ第2面（7）、ならびに、前記第1面（6）および前記第2面（7）を接続する接続面（8A～8D）を含み、前記第1面（6）、前記第2面（7）および前記接続面（8A～8D）によって台地（9）が区画された主面（3）を有する半導体チップ（2）と、前記第1深さ（D1）未満の第2深さ（D2）を有するトレンチゲート構造（31）、および、前記第2深さ（D2）を超える第3深さ（D3）を有し、前記トレンチゲート構造（31）に一方方向（Y）に隣り合うトレンチソース構造（41）を含み、前記第1面（6）の内方部に形成されたトランジスタ構造（30）と、前記第3深さ（D3）をそれぞれ有し、前記一方方向（Y）に隣り合う複数のダミートレンチソース構造（61）を含み、前記第1面（6）の周縁部に形成されたダミー構造（60、60A）と、を含む、半導体装置。

[0556] [A2] 複数の前記ダミートレンチソース構造（61）は、互いに隣り合うように間隔を空けて連続的に配列されている、A1に記載の半導体装置。

[0557] [A3] 複数の前記ダミートレンチソース構造（61）は、前記第3深さ（D3）未満の深さを有するトレンチ構造を挟まずに互いに間隔を空けて配列されている、A1またはA2に記載の半導体装置。

[0558] [A4] 前記トレンチゲート構造（31）には、ゲート電位が付与され、前記トレンチソース構造（41）には、ソース電位が付与され、前記ダミートレンチソース構造（61）には、ソース電位が付与される、A1～A3のいずれか一つに記載の半導体装置。

[0559] [A5] 前記トランジスタ構造（30）は、前記一方方向（Y）に間隔を空けて配列された複数の前記トレンチゲート構造（31）、および、前記一方方向（Y）に前記トレンチゲート構造（31）と交互に間隔を空けて配列された複数の前記トレンチソース構造（41）を含む、A1～A4のいずれか一つに記載の半導体装置。

[0560] [A6] 複数の前記ダミートレンチソース構造（61）は、前記接続面（8A～8D）から露出している、A1～A5のいずれか一つに記載の半導体装置。

- [0561] [A 7] 前記トレンチソース構造 (4 1) は、前記接続面 (8 A ~ 8 D) から露出している、A 1 ~ A 6 のいずれか一つに記載の半導体装置。
- [0562] [A 8] 前記トレンチゲート構造 (3 1) は、前記接続面 (8 A ~ 8 D) から前記第 1 面 (6) の内方に間隔を空けて形成されている、A 1 ~ A 7 のいずれか一つに記載の半導体装置。
- [0563] [A 9] 前記トランジスタ構造 (3 0) は、前記第 3 深さ (D 3) を有し、前記トレンチゲート構造 (3 1) に前記一方方向 (Y) に交差する交差方向 (X) に隣り合う第 2 トレンチソース構造 (5 1) を含む、A 8 に記載の半導体装置。
- [0564] [A 1 0] 前記第 2 トレンチソース構造 (5 1) は、前記第 1 面 (6) において前記トレンチゲート構造 (3 1) および前記接続面 (8 A ~ 8 D) の間の領域に形成されている、A 9 に記載の半導体装置。
- [0565] [A 1 1] 前記第 2 トレンチソース構造 (5 1) は、前記接続面 (8 A ~ 8 D) から露出している、A 9 または A 1 0 に記載の半導体装置。
- [0566] [A 1 2] 前記第 2 深さ (D 2) を有するダミートレンチゲート構造 (6 2)、および、前記第 3 深さ (D 3) を有し、前記ダミートレンチゲート構造 (6 2) に前記一方方向 (Y) に隣り合う第 2 ダミートレンチソース構造 (6 3) を含み、前記第 1 面 (6) の周縁部において前記トランジスタ構造 (3 0) および前記ダミー構造 (6 0、6 0 A) の間の領域に形成された第 2 ダミー構造 (6 0、6 0 B) をさらに含む、A 1 ~ A 1 1 のいずれか一つに記載の半導体装置。
- [0567] [A 1 3] 前記ダミートレンチゲート構造 (6 2) には、ソース電位が付与され、前記第 2 ダミートレンチソース構造 (6 3) には、ソース電位が付与される、A 1 2 に記載の半導体装置。
- [0568] [A 1 4] 前記接続面 (8 A ~ 8 D) を被覆するように前記第 2 面 (7) の上に形成されたサイドウォール構造 (1 0 0) をさらに含む、A 1 ~ A 1 3 のいずれか一つに記載の半導体装置。
- [0569] [A 1 5] 前記第 1 面 (6) の上で前記トランジスタ構造 (3 0) および

前記ダミー構造（６０、６０Ａ）を被覆する絶縁膜（１１０）と、前記絶縁膜（１１０）の上に形成されたゲート主面電極（１２１）と、前記ゲート主面電極（１２１）から前記絶縁膜（１１０）の上に引き出され、前記絶縁膜（１１０）を貫通して前記トレンチゲート構造（３１）に電氣的に接続され、前記絶縁膜（１１０）を挟んで前記トレンチソース構造（４１）に対向するゲート配線（１３１）と、をさらに含む、Ａ１～Ａ１４のいずれか一つに記載の半導体装置。

[0570] [Ａ１６] 前記ゲート主面電極（１２１）および前記ゲート配線（１３１）から離間して前記絶縁膜（１１０）の上に形成され、前記絶縁膜（１１０）を貫通して前記トレンチソース構造（４１）に電氣的に接続され、前記絶縁膜（１１０）を挟んで前記トレンチゲート構造（３１）に対向するソース主面電極（１２２）をさらに含む、Ａ１５に記載の半導体装置。

[0571] [Ａ１７] 前記ソース主面電極（１２２）は、平面視において前記ダミー構造（６０、６０Ａ）から離間して前記絶縁膜（１１０）の上に形成されている、Ａ１６に記載の半導体装置。

[0572] [Ａ１８] 前記ソース主面電極（１２２）から前記絶縁膜（１１０）の上に引き出され、前記ソース主面電極（１２２）とは異なる位置で前記絶縁膜（１１０）を貫通して前記トレンチソース構造（４１）に電氣的に接続されたソース配線（１３２）をさらに含む、Ａ１６またはＡ１７に記載の半導体装置。

[0573] [Ａ１９] 前記ソース配線（１３２）は、前記絶縁膜（１１０）を貫通して前記ダミートレンチソース構造（６１）に電氣的に接続されている、Ａ１８に記載の半導体装置。

[0574] [Ａ２０] 前記半導体チップ（２）は、ワイドバンドギャップ半導体チップからなる、Ａ１～Ａ１９のいずれか一つに記載の半導体装置。

[0575] [Ａ２１] 第１面（６）、前記第１面（６）外で厚さ方向に第１深さ（Ｄ１）で窪んだ第２面（７）、ならびに、前記第１面（６）および前記第２面（７）を接続する接続面（８Ａ～８Ｄ）を含み、前記第１面（６）、前記第

2面（7）および前記接続面（8A～8D）によって台地（9）が区画された主面（3）を有する半導体チップ（2）と、前記第1深さ（D1）未満の第2深さ（D2）を有するトレンチゲート構造（31）、および、前記第2深さ（D2）を超える第3深さ（D3）を有し、前記トレンチゲート構造（31）に一方方向（Y）に隣り合うトレンチソース構造（41）を含み、前記第1面（6）の内方部に形成されたトランジスタ構造（30）と、前記第2深さ（D2）を有するダミートレンチゲート構造（62）、および、前記第3深さ（D3）を有し、前記ダミートレンチゲート構造（62）に前記一方方向（Y）に隣り合うダミートレンチソース構造（61）を含み、前記第1面（6）の周縁部に形成されたダミー構造（60、60A）と、含む、半導体装置。

[0576] [A22] 前記半導体チップ（2）は、ワイドバンドギャップ半導体チップからなる、A21に記載の半導体装置。

[0577] 以下の[B1]～[B22]および[C1]～[C10]は、新規な配線構造を有する半導体装置を提供する。以下の[B1]～[B22]および[C1]～[C10]は、特に、デザインルールに柔軟性が付与された配線構造を有する半導体装置を提供する。

[0578] [B1] 第1面（6）、前記第1面（6）外で厚さ方向に窪んだ第2面（7）、ならびに、前記第1面（6）および前記第2面（7）を接続する接続面（8A～8D）を含み、前記第1面（6）、前記第2面（7）および前記接続面（8A～8D）によって台地（9）が区画された主面を有する半導体チップ（2）と、前記接続面（8A～8D）から露出するように前記第1面（6）に形成されたトレンチ構造（41）と、前記接続面（8A～8D）を被覆するように前記第2面（7）の上に形成され、前記トレンチ構造（41）に電氣的に接続されたサイドウォール配線（100）と、を含む、半導体装置。

[0579] [B2] 複数の前記トレンチ構造（41）が、前記第1面（6）に間隔を空けて形成され、前記サイドウォール配線（100）は、前記接続面（8A

～８Ｄ）において複数の前記トレンチ構造（４１）に電氣的に接続されている、Ｂ１に記載の半導体装置。

[0580] [Ｂ３] 前記トレンチ構造（４１）は、前記第１面（６）に形成されたトレンチ（４２）、前記トレンチ（４２）の内壁を被覆する絶縁膜（４３）、および、前記絶縁膜（４３）を挟んで前記トレンチ（４２）に埋設された電極（４４）を含み、前記サイドウォール配線（１００）は、前記電極（４４）に電氣的に接続されている、Ｂ１またはＢ２に記載の半導体装置。

[0581] [Ｂ４] 前記第２面（７）および前記接続面（８Ａ～８Ｄ）を被覆し、前記絶縁膜（４３）に連なる主面絶縁膜（９０）をさらに含み、前記サイドウォール配線（１００）は、前記主面絶縁膜（９０）の上に形成されている、Ｂ３に記載の半導体装置。

[0582] [Ｂ５] 前記半導体チップ（２）の内部において前記接続面（８Ａ～８Ｄ）に沿う領域に形成されたｐｎ接合部をさらに含み、前記サイドウォール配線（１００）は、前記接続面（８Ａ～８Ｄ）において前記主面絶縁膜（９０）を挟んで前記ｐｎ接合部に対向している、Ｂ４に記載の半導体装置。

[0583] [Ｂ６] 前記サイドウォール配線（１００）は、前記電極（４４）と一体的に形成されている、Ｂ３～Ｂ５のいずれか一つに記載の半導体装置。

[0584] [Ｂ７] 前記トレンチ構造（４１）の底壁は、前記第２面（７）に連通している、Ｂ１～Ｂ６のいずれか一つに記載の半導体装置。

[0585] [Ｂ８] 前記サイドウォール配線（１００）は、前記第１面（６）の周縁部を被覆するオーバーラップ部（１０１）を含む、Ｂ１～Ｂ７のいずれか一つに記載の半導体装置。

[0586] [Ｂ９] 前記トレンチ構造（４１）は、平面視において一方方向（Ｘ）に延び、前記サイドウォール配線（１００）は、平面視において前記一方方向（Ｘ）に交差する交差方向（Ｙ）に延びている、Ｂ１～Ｂ８のいずれか一つに記載の半導体装置。

[0587] [Ｂ１０] 前記サイドウォール配線（１００）を被覆する上側絶縁膜（１１０）をさらに含む、Ｂ１～Ｂ９のいずれか一つに記載の半導体装置。

- [0588] [B 1 1] 前記上側絶縁膜 (1 1 0) は、前記サイドウォール配線 (1 0 0) を横切って前記第 1 面 (6) および前記第 2 面 (7) を被覆している、B 1 0 に記載の半導体装置。
- [0589] [B 1 2] 前記半導体チップ (2) は、ワイドバンドギャップ半導体チップからなる、B 1 ~ B 1 1 のいずれか一つに記載の半導体装置。
- [0590] [B 1 3] 第 1 面 (6)、前記第 1 面 (6) 外で厚さ方向に窪んだ第 2 面 (7)、ならびに、前記第 1 面 (6) および前記第 2 面 (7) を接続する接続面 (8 A ~ 8 D) を含み、前記第 1 面 (6)、前記第 2 面 (7) および前記接続面 (8 A ~ 8 D) によって台地 (9) が区画された主面を有する半導体チップ (2) と、前記接続面 (8 A ~ 8 D) から間隔を空けて前記第 1 面 (6) に形成されたトレンチゲート構造 (3 1) と、前記接続面 (8 A ~ 8 D) から露出するように前記第 1 面 (6) に形成されたトレンチソース構造 (4 1) と、前記接続面 (8 A ~ 8 D) を被覆するように前記第 2 面 (7) の上に形成され、前記トレンチソース構造 (4 1) に電氣的に接続されたサイドウォール配線 (1 0 0) と、を含む、半導体装置。
- [0591] [B 1 4] 前記トレンチソース構造 (4 1) は、前記トレンチゲート構造 (3 1) よりも深く形成されている、B 1 2 に記載の半導体装置。
- [0592] [B 1 5] 複数の前記トレンチゲート構造 (3 1) が、前記第 1 面 (6) に形成され、複数の前記トレンチソース構造 (4 1) が、複数の前記トレンチゲート構造 (3 1) と交互に前記第 1 面 (6) に形成され、前記サイドウォール配線 (1 0 0) が、複数の前記トレンチソース構造 (4 1) に電氣的に接続されている、B 1 2 または B 1 3 に記載の半導体装置。
- [0593] [B 1 6] 前記第 1 面 (6) において前記接続面 (8 A ~ 8 D) および前記トレンチゲート構造 (3 1) の間の領域に形成された中間トレンチソース構造 (5 1) をさらに含む、B 1 2 ~ B 1 4 のいずれか一つに記載の半導体装置。
- [0594] [B 1 7] 前記中間トレンチソース構造 (5 1) は、前記接続面 (8 A ~ 8 D) から露出し、前記サイドウォール配線 (1 0 0) は、前記中間トレン

チソース構造（５１）および前記トレンチソース構造（４１）に電氣的に接続されている、Ｂ１５に記載の半導体装置。

[0595] [B 1 8] 前記主面の上で前記トレンチゲート構造（３１）、前記トレンチソース構造（４１）および前記サイドウォール配線（１００）を被覆する上側絶縁膜（１１０）をさらに含む、Ｂ１２～Ｂ１６のいずれか一つに記載の半導体装置。

[0596] [B 1 9] 前記上側絶縁膜（１１０）の上に形成されたゲート主面電極（１２１）と、前記ゲート主面電極（１２１）から前記上側絶縁膜（１１０）の上に引き出され、前記上側絶縁膜（１１０）を貫通して前記トレンチゲート構造（３１）に電氣的に接続され、前記上側絶縁膜（１１０）を挟んで前記トレンチソース構造（４１）に対向するゲート配線（１３１）と、をさらに含む、Ｂ１７に記載の半導体装置。

[0597] [B 2 0] 前記上側絶縁膜（１１０）の上に形成され、前記上側絶縁膜（１１０）を貫通して前記トレンチソース構造（４１）に電氣的に接続され、前記上側絶縁膜（１１０）を挟んで前記トレンチゲート構造（３１）に対向するソース主面電極（１２２）と、前記ソース主面電極（１２２）から前記上側絶縁膜（１１０）の上に引き出され、前記上側絶縁膜（１１０）を貫通して前記サイドウォール配線（１００）に電氣的に接続されたソース配線（１３２）と、をさらに含む、Ｂ１７またはＢ１８に記載の半導体装置。

[0598] [B 2 1] 前記ソース配線（１３２）は、前記ソース主面電極（１２２）とは異なる位置で前記上側絶縁膜（１１０）を貫通して前記トレンチソース構造（４１）に電氣的に接続されている、Ｂ１９に記載の半導体装置。

[0599] [B 2 2] 前記半導体チップ（２）は、ワイドバンドギャップ半導体チップからなる、Ｂ１３～Ｂ２１のいずれか一つに記載の半導体装置。

[0600] [C 1] 第１面（６）、前記第１面（６）外で厚さ方向に窪んだ第２面（７）、ならびに、前記第１面（６）および前記第２面（７）を接続する接続面（８Ａ～８Ｄ）を含み、前記第１面（６）、前記第２面（７）および前記接続面（８Ａ～８Ｄ）によって台地（９）が区画された主面を有する半導体

チップ（２）と、前記接続面（８Ａ～８Ｄ）から露出するように前記第１面（６）に形成されたトレンチゲート構造（３１）と、前記接続面（８Ａ～８Ｄ）を被覆するように前記第２面（７）の上に形成され、前記トレンチゲート構造（３１）に電氣的に接続されたサイドウォール配線（１００）と、を含む、半導体装置。

[0601] [Ｃ２] 複数の前記トレンチゲート構造（３１）が前記第１面（６）に間隔を空けて形成され、前記サイドウォール配線（１００）は、前記接続面（８Ａ～８Ｄ）において複数の前記トレンチゲート構造（３１）に電氣的に接続されている、Ｃ１に記載の半導体装置。

[0602] [Ｃ３] 前記トレンチゲート構造（３１）は、前記第１面（６）に形成されたゲートトレンチ（３２）、前記ゲートトレンチ（３２）の内壁を被覆する絶縁膜（３３）、および、前記絶縁膜（３３）を挟んで前記ゲートトレンチ（３２）に埋設されたゲート電極（３４）を含み、前記サイドウォール配線（１００）は、前記ゲート電極（３４）に電氣的に接続されている、Ｃ１またはＣ２に記載の半導体装置。

[0603] [Ｃ４] 前記第２面（７）および前記接続面（８Ａ～８Ｄ）を被覆し、前記絶縁膜（３３）に連なる主面絶縁膜（９０）をさらに含み、前記サイドウォール配線（１００）は、前記主面絶縁膜（９０）の上に形成されている、Ｃ３に記載の半導体装置。

[0604] [Ｃ５] 前記サイドウォール配線（１００）は、前記ゲート電極（３４）と一体的に形成されている、Ｃ３またはＣ４に記載の半導体装置。

[0605] [Ｃ６] 前記トレンチゲート構造（３１）は、平面視において一方方向（Ｘ）に延び、前記サイドウォール配線（１００）は、平面視において前記一方方向（Ｘ）に交差する交差方向（Ｙ）に延びている、Ｃ１～Ｃ５のいずれか一つに記載の半導体装置。

[0606] [Ｃ７] 前記サイドウォール配線（１００）を被覆する上側絶縁膜（１１０）と、前記上側絶縁膜（１１０）の上に配置され、前記ゲート電極（３４）に電氣的に接続されたゲート主面電極（１２１）と、をさらに含む、Ｃ１

～C 6 のいずれか一つに記載の半導体装置。

[0607] [C 8] 前記第2面(7)は、平面視において前記第1面(6)を取り囲む環状に形成されている、C 1～C 7 のいずれか一つに記載の半導体装置。

[0608] [C 9] 前記半導体チップ(2)は、ワイドバンドギャップ半導体チップからなる、C 1～C 8 のいずれか一つに記載の半導体装置。

[0609] [C 10] 前記半導体チップ(2)は、SiCチップからなる、C 1～C 9 のいずれか一つに記載の半導体装置。

[0610] 以下の[D 1]～[D 22]は、信頼性を向上できる半導体装置を提供する。

[0611] [D 1] 主面(3)を有する半導体チップ(2)と、前記主面(3)に形成されたトレンチゲート構造(31)と、前記トレンチゲート構造(31)から一方方向(Y)に離間して前記主面(3)に形成されたトレンチソース構造(41)と、前記主面(3)の上で前記トレンチゲート構造(31)および前記トレンチソース構造(41)を被覆する絶縁膜(110)と、前記絶縁膜(110)の上に形成されたゲート主面電極(121)と、前記一方方向(Y)に前記トレンチゲート構造(31)および前記トレンチソース構造(41)を横切るように前記ゲート主面電極(121)から前記絶縁膜(110)の上に引き出され、前記絶縁膜(110)を貫通して前記トレンチゲート構造(31)に電氣的に接続され、前記絶縁膜(110)を挟んで前記トレンチソース構造(41)に対向するゲート配線(131)と、を含む、半導体装置。

[0612] [D 2] 前記トレンチソース構造(41)は、前記トレンチゲート構造(31)よりも深く形成されている、D 1に記載の半導体装置。

[0613] [D 3] 前記ゲート主面電極(121)および前記ゲート配線(131)から離間して前記絶縁膜(110)の上に形成され、前記絶縁膜(110)を貫通して前記トレンチソース構造(41)に電氣的に接続され、前記絶縁膜(110)を挟んで前記トレンチゲート構造(31)に対向するソース主面電極(122)をさらに含む、D 1またはD 2に記載の半導体装置。

- [0614] [D 4] 前記ソース主面電極（１２２）から前記絶縁膜（１１０）の上に引き出され、前記ソース主面電極（１２２）とは異なる位置で前記絶縁膜（１１０）を貫通して前記トレンチソース構造（４１）に電氣的に接続されたソース配線（１３２）をさらに含む、D 3に記載の半導体装置。
- [0615] [D 5] 前記ソース配線（１３２）は、平面視において前記トレンチゲート構造（３１）から間隔を空けて形成されている、D 4に記載の半導体装置。
- [0616] [D 6] 前記トレンチゲート構造（３１）から前記一方方向（Y）に交差する交差方向（X）に間隔を空けて前記主面（３）に形成された中間トレンチソース構造（５１）と、平面視において前記ゲート主面電極（１２１）および前記ゲート配線（１３１）から離間して前記絶縁膜（１１０）の上に形成され、前記絶縁膜（１１０）を貫通して前記トレンチソース構造（４１）に電氣的に接続され、前記絶縁膜（１１０）を挟んで前記トレンチゲート構造（３１）に対向するソース主面電極（１２２）と、をさらに含む、D 1またはD 2に記載の半導体装置。
- [0617] [D 7] 前記ソース主面電極（１２２）は、平面視において前記中間トレンチソース構造（５１）から離間して前記絶縁膜（１１０）の上に形成されている、D 6に記載の半導体装置。
- [0618] [D 8] 前記中間トレンチソース構造（５１）は、前記交差方向（X）に前記トレンチゲート構造（３１）に対向し、前記一方方向（Y）に前記トレンチソース構造（４１）に対向している、D 6またはD 7に記載の半導体装置。
- [0619] [D 9] 前記ソース主面電極（１２２）から前記絶縁膜（１１０）の上に引き出され、前記絶縁膜（１１０）を貫通して前記中間トレンチソース構造（５１）に電氣的に接続されたソース配線（１３２）をさらに含む、D 6～D 8のいずれか一つに記載の半導体装置。
- [0620] [D 10] 前記ソース配線（１３２）は、前記ソース主面電極（１２２）とは異なる位置で前記絶縁膜（１１０）を貫通して前記トレンチソース構造

(41)に電氣的に接続されている、D9に記載の半導体装置。

[0621] [D11] 前記ソース配線(132)は、平面視において前記トレンチゲート構造(31)から間隔を空けて形成されている、D9またはD10に記載の半導体装置。

[0622] [D12] 前記半導体チップ(2)の内部において前記トレンチソース構造(41)に沿う領域に形成されたソース側pn接合部をさらに含み、前記ゲート配線(131)は、平面視において前記ソース側pn接合部に対向している、D1～D11のいずれか一つに記載の半導体装置。

[0623] [D13] 前記半導体チップ(2)の内部において前記トレンチゲート構造(31)に沿う領域に形成されたゲート側pn接合部をさらに含み、前記ゲート配線(131)は、平面視において前記ゲート側pn接合部に対向している、D1～D12のいずれか一つに記載の半導体装置。

[0624] [D14] 前記トレンチゲート構造(31)は、前記主面(3)に形成されたゲートトレンチ(32)、前記ゲートトレンチ(32)の内壁を被覆するゲート絶縁膜(33)、および、前記ゲート絶縁膜(33)を挟んで前記ゲートトレンチ(32)に埋設されたゲート電極(34)を含み、前記トレンチソース構造(41)は、前記主面(3)に形成されたソーストレンチ(42)、前記ソーストレンチ(42)の内壁を被覆するソース絶縁膜(43)、および、前記ソース絶縁膜(43)を挟んで前記ソーストレンチ(42)に埋設されたソース電極(44)を含む、D1～D13のいずれか一つに記載の半導体装置。

[0625] [D15] 前記主面(3)の上で前記ゲート電極(34)を被覆するゲートコンタクト電極(91)をさらに含み、前記絶縁膜(110)は、前記ゲートコンタクト電極(91)を被覆し、前記ゲート配線(131)は、前記絶縁膜(110)を貫通して前記ゲートコンタクト電極(91)に電氣的に接続されている、D14に記載の半導体装置。

[0626] [D16] 前記ゲートコンタクト電極(91)は、前記ゲート電極(34)を部分的に被覆しており、前記ゲート主面電極(121)は、平面視にお

いて前記ゲートコンタクト電極（91）から間隔を空けて前記絶縁膜（110）の上に形成されている、D15に記載の半導体装置。

[0627] [D17] 前記半導体チップ（2）は、ワイドバンドギャップ半導体チップからなる、D1～D16のいずれか一つに記載の半導体装置。

[0628] [D18] 主面（3）を有する半導体チップ（2）と、前記主面（3）に形成され、平面視において一方方向（X）に延びるトレンチゲート構造（31）と、前記一方方向（X）に前記トレンチゲート構造（31）から間隔を空けて前記主面（3）に形成され、平面視において前記一方方向（X）に延びる中間トレンチソース構造（51）と、前記トレンチゲート構造（31）および前記中間トレンチソース構造（51）を被覆する絶縁膜（110）と、前記絶縁膜（110）の上に形成され、前記絶縁膜（110）を貫通して前記トレンチゲート構造（31）に電氣的に接続されたゲート配線（131）と、前記ゲート配線（131）から間隔を空けて前記絶縁膜（110）の上に形成され、前記絶縁膜（110）を貫通して前記中間トレンチソース構造（51）に電氣的に接続されたソース配線（132）と、を含む、半導体装置。

[0629] [D19] 複数の前記トレンチゲート構造（31）が、前記一方方向（X）に交差する交差方向（Y）に間隔を空けて前記主面（3）に配列され、複数の前記中間トレンチソース構造（51）が、前記一方方向（X）に複数の前記トレンチゲート構造（31）と一対一の対応関係で対向するように前記交差方向（Y）に間隔を空けて配列されている、D18に記載の半導体装置。

[0630] [D20] 前記半導体チップ（2）の内部において前記中間トレンチソース構造（51）に沿う領域に形成されたpn接合部をさらに含み、前記ゲート配線（131）は、平面視において前記pn接合部に対向している、D18またはD19に記載の半導体装置。

[0631] [D21] 前記半導体チップ（2）の内部において前記トレンチゲート構造（31）に沿う領域に形成されたゲート側pn接合部をさらに含み、前記

ゲート配線（１３１）は、平面視において前記ゲート側ｐｎ接合部に対向している、Ｄ１８～Ｄ２０のいずれか一つに記載の半導体装置。

[0632] 〔Ｄ２２〕前記半導体チップ（２）は、ワイドバンドギャップ半導体チップからなる、Ｄ１８～Ｄ２１のいずれか一つに記載の半導体装置。

[0633] 以下の〔Ｅ１〕～〔Ｅ２０〕は、新規な配線構造を有する半導体装置を提供する。以下の〔Ｅ１〕～〔Ｅ２０〕は、特に、デザインルールに柔軟性が付与された配線構造を有する半導体装置を提供する。

[0634] 〔Ｅ１〕第１面（６）、前記第１面（６）外で厚さ方向に窪んだ第２面（７）、ならびに、前記第１面（６）および前記第２面（７）を接続する接続面（８Ａ～８Ｄ）を含み、前記第１面（６）、前記第２面（７）および前記接続面（８Ａ～８Ｄ）によって台地（９）が区画された主面を有する半導体チップ（２）と、前記第１面（６）の内方部側において第１深さ（ＤＴ１、ＤＤ１）で形成された第１トレンチ部（３３２、３３５）、および、前記第１面（６）の周縁部側において前記接続面（８Ａ～８Ｄ）から露出するように前記第１深さ（ＤＴ１、ＤＤ１）を超える第２深さ（ＤＴ２、ＤＤ２）で形成された第２トレンチ部（３３３、３３６）を含むトレンチ構造（５１、６２）と、前記接続面（８Ａ～８Ｄ）を被覆するように前記第２面（７）の上に形成され、前記トレンチ構造（５１、６２）の前記第２トレンチ部（３３３、３３６）に電氣的に接続されたサイドウォール配線（１００）と、を含む、半導体装置。

[0635] 〔Ｅ２〕前記第１トレンチ部（３３２、３３５）は、前記第２面（７）に対して前記第１面（６）側に間隔を空けて形成されている、Ｅ１に記載の半導体装置。

[0636] 〔Ｅ３〕前記トレンチ構造（５１、６２）は、前記第１トレンチ部（３３２、３３５）および前記第２トレンチ部（３３３、３３６）の間に第１トレンチ部（３３２、３３５）の底壁から前記第２トレンチ部（３３３、３３６）の底壁に向かって窪んだトレンチ段部（３３４、３３７）を有している、Ｅ１またはＥ２に記載の半導体装置。

- [0637] [E 4] 複数の前記トレンチ構造（５１、６２）が、前記第１面（６）に間隔を空けて形成され、前記サイドウォール配線（１００）は、前記接続面（８Ａ～８Ｄ）において複数の前記トレンチ構造（５１、６２）の前記第２トレンチ部（３３３、３３６）に電氣的に接続されている、Ｅ１～Ｅ３のいずれか一つに記載の半導体装置。
- [0638] [E 5] 前記トレンチ構造（５１、６２）は、前記第１面（６）に形成されたトレンチ（３２、４２）、前記トレンチ（３２、４２）の内壁を被覆する絶縁膜（３３、４３）、および、前記絶縁膜（３３、４３）を挟んで前記トレンチ（３２、４２）に埋設された電極（３４、４４）を含み、前記サイドウォール配線（１００）は、前記電極（３４、４４）に電氣的に接続されている、Ｅ１～Ｅ４のいずれか一つに記載の半導体装置。
- [0639] [E 6] 前記第２面（７）および前記接続面（８Ａ～８Ｄ）を被覆し、前記絶縁膜（３３、４３）に連なる主面絶縁膜（９０）をさらに含み、前記サイドウォール配線（１００）は、前記主面絶縁膜（９０）の上に形成されている、Ｅ５に記載の半導体装置。
- [0640] [E 7] 前記半導体チップ（２）の内部において前記接続面（８Ａ～８Ｄ）に沿う領域に形成されたｐｎ接合部をさらに含み、前記サイドウォール配線（１００）は、前記接続面（８Ａ～８Ｄ）において前記主面絶縁膜（９０）を挟んで前記ｐｎ接合部に対向している、Ｅ６に記載の半導体装置。
- [0641] [E 8] 前記サイドウォール配線（１００）は、前記電極（３４、４４）と一体的に形成されている、Ｅ５～Ｅ７のいずれか一つに記載の半導体装置。
- [0642] [E 9] 前記第２トレンチ部（３３３、３３６）は、前記第２面（７）に連通している、Ｅ１～Ｅ８のいずれか一つに記載の半導体装置。
- [0643] [E 10] 前記サイドウォール配線（１００）は、前記第１面（６）の周縁部を被覆するオーバーラップ部（１０１）を含む、Ｅ１～Ｅ９のいずれか一つに記載の半導体装置。
- [0644] [E 11] 前記オーバーラップ部（１０１）は、平面視において少なくとも

前記第2トレンチ部（333、336）に対向している、E10に記載の半導体装置。

[0645] [E12] 前記トレンチ構造（51、62）は、平面視において一方方向（X）に延び、前記サイドウォール配線（100）は、平面視において前記一方方向（X）に交差する交差方向（Y）に延びている、E1～E11のいずれか一つに記載の半導体装置。

[0646] [E13] 前記サイドウォール配線（100）を被覆する上側絶縁膜（110）をさらに含む、E1～E12のいずれか一つに記載の半導体装置。

[0647] [E14] 前記上側絶縁膜（110）は、前記サイドウォール配線（100）を横切って前記第1面（6）および前記第2面（7）を被覆している、E13に記載の半導体装置。

[0648] [E15] 前記上側絶縁膜（110）の上に形成され、前記上側絶縁膜（110）を挟んで前記サイドウォール配線に対向する配線電極（132）をさらに含む、E13またはE14に記載の半導体装置。

[0649] [E16] 前記配線電極（132）は、平面視において少なくとも前記第2トレンチ部（333、336）に対向している、E15に記載の半導体装置。

[0650] [E17] 前記配線電極（132）は、前記上側絶縁膜を貫通して前記サイドウォール配線に電氣的に接続されている、E15またはE16に記載の半導体装置。

[0651] [E18] 前記配線電極は、金属材料を含む、E15～E17のいずれか一つに記載の半導体装置。

[0652] [E19] 前記サイドウォール配線は、導電性ポリシリコンを含む、E1～E18のいずれか一つに記載の半導体装置。

[0653] [E20] 前記半導体チップ（2）は、ワイドバンドギャップ半導体チップからなる、E1～E19のいずれか一つに記載の半導体装置。

[0654] 本発明の実施形態について詳細に説明してきたが、これらは本発明の技術的内容を明らかにするために用いられた具体例に過ぎず、本発明はこれらの

具体例に限定して解釈されるべきではなく、本発明の範囲は添付の請求の範囲によって限定される。

符号の説明

[0655]	1	S i C半導体装置
	2	S i Cチップ
	3	第1主面
	6	活性面
	7	外側面
	8 A	第1接続面
	8 B	第2接続面
	8 C	第3接続面
	8 D	第4接続面
	9	活性台地
	3 0	トランジスタ構造
	3 1	トレンチゲート構造
	3 2	ゲートトレンチ
	3 3	ゲート絶縁膜
	3 4	ゲート電極
	4 1	第1トレンチソース構造
	4 2	ソーストレンチ
	4 3	ソース絶縁膜
	4 4	ソース電極
	5 1	第2トレンチソース構造
	6 0 A	第1ダミー構造
	6 0 B	第2ダミー構造
	6 1	第1ダミートレンチソース構造
	6 2	ダミートレンチゲート構造
	6 3	第2ダミートレンチソース構造

9 0	主面絶縁膜
1 0 0	サイドウォール配線
1 0 1	オーバラップ部
1 1 0	第 1 無機絶縁膜
1 2 1	ゲート主面電極
1 2 2	ソース主面電極
1 3 1	ゲート配線電極
1 3 2	ソース配線電極
3 0 1	S i C 半導体装置
3 1 1	S i C 半導体装置
3 3 1	S i C 半導体装置
D 1	第 1 深さ
D 2	第 2 深さ
D 3	第 3 深さ
X	第 1 方向
Y	第 2 方向

請求の範囲

- [請求項1] 主面を有するS i Cチップと、
前記主面に形成されたトレンチゲート構造と、
前記トレンチゲート構造から一方方向に離間して前記主面に形成されたトレンチソース構造と、
前記主面の上で前記トレンチゲート構造および前記トレンチソース構造を被覆する絶縁膜と、
前記絶縁膜の上に形成されたゲート主面電極と、
前記一方方向に前記トレンチゲート構造および前記トレンチソース構造を横切るように前記ゲート主面電極から前記絶縁膜の上に引き出され、前記絶縁膜を貫通して前記トレンチゲート構造に電氣的に接続され、前記絶縁膜を挟んで前記トレンチソース構造に対向するゲート配線と、を含む、S i C半導体装置。
- [請求項2] 前記トレンチソース構造は、前記トレンチゲート構造よりも深く形成されている、請求項1に記載のS i C半導体装置。
- [請求項3] 前記ゲート主面電極および前記ゲート配線から離間して前記絶縁膜の上に形成され、前記絶縁膜を貫通して前記トレンチソース構造に電氣的に接続され、前記絶縁膜を挟んで前記トレンチゲート構造に対向するソース主面電極をさらに含む、請求項1または2に記載のS i C半導体装置。
- [請求項4] 前記ソース主面電極から前記絶縁膜の上に引き出され、前記ソース主面電極とは異なる位置で前記絶縁膜を貫通して前記トレンチソース構造に電氣的に接続されたソース配線をさらに含む、請求項3に記載のS i C半導体装置。
- [請求項5] 前記ソース配線は、平面視において前記トレンチゲート構造から間隔を空けて形成されている、請求項4に記載のS i C半導体装置。
- [請求項6] 前記トレンチゲート構造から前記一方方向に交差する交差方向に間隔を空けて前記主面に形成された中間トレンチソース構造と、

平面視において前記ゲート主面電極および前記ゲート配線から離間して前記絶縁膜の上に形成され、前記絶縁膜を貫通して前記トレンチソース構造に電氣的に接続され、前記絶縁膜を挟んで前記トレンチゲート構造に対向するソース主面電極と、をさらに含む、請求項 1 または 2 に記載の S i C 半導体装置。

[請求項7] 前記ソース主面電極は、平面視において前記中間トレンチソース構造から離間して前記絶縁膜の上に形成されている、請求項 6 に記載の S i C 半導体装置。

[請求項8] 前記中間トレンチソース構造は、前記交差方向に前記トレンチゲート構造に対向し、前記一方方向に前記トレンチソース構造に対向している、請求項 6 または 7 に記載の S i C 半導体装置。

[請求項9] 前記ソース主面電極から前記絶縁膜の上に引き出され、前記絶縁膜を貫通して前記中間トレンチソース構造に電氣的に接続されたソース配線をさらに含む、請求項 6 ～ 8 のいずれか一項に記載の S i C 半導体装置。

[請求項10] 前記ソース配線は、前記ソース主面電極とは異なる位置で前記絶縁膜を貫通して前記トレンチソース構造に電氣的に接続されている、請求項 9 に記載の S i C 半導体装置。

[請求項11] 前記ソース配線は、平面視において前記トレンチゲート構造から間隔を空けて形成されている、請求項 9 または 10 に記載の S i C 半導体装置。

[請求項12] 前記 S i C チップの内部において前記トレンチソース構造に沿う領域に形成されたソース側 p n 接合部をさらに含み、

前記ゲート配線は、平面視において前記ソース側 p n 接合部に対向している、請求項 1 ～ 11 のいずれか一項に記載の S i C 半導体装置。

[請求項13] 前記 S i C チップの内部において前記トレンチゲート構造に沿う領域に形成されたゲート側 p n 接合部をさらに含み、

前記ゲート配線は、平面視において前記ゲート側 p n 接合部に対向している、請求項 1 ～ 1 2 のいずれか一項に記載の S i C 半導体装置。

[請求項14] 前記トレンチゲート構造は、前記主面に形成されたゲートトレンチ、前記ゲートトレンチの内壁を被覆するゲート絶縁膜、および、前記ゲート絶縁膜を挟んで前記ゲートトレンチに埋設されたゲート電極を含み、

前記トレンチソース構造は、前記主面に形成されたソーストレンチ、前記ソーストレンチの内壁を被覆するソース絶縁膜、および、前記ソース絶縁膜を挟んで前記ソーストレンチに埋設されたソース電極を含む、請求項 1 ～ 1 3 のいずれか一項に記載の S i C 半導体装置。

[請求項15] 前記主面の上で前記ゲート電極を被覆するゲートコンタクト電極をさらに含み、

前記絶縁膜は、前記ゲートコンタクト電極を被覆し、

前記ゲート配線は、前記絶縁膜を貫通して前記ゲートコンタクト電極に電氣的に接続されている、請求項 1 4 に記載の S i C 半導体装置。

[請求項16] 前記ゲートコンタクト電極は、前記ゲート電極を部分的に被覆しており、

前記ゲート主面電極は、平面視において前記ゲートコンタクト電極から間隔を空けて前記絶縁膜の上に形成されている、請求項 1 5 に記載の S i C 半導体装置。

[請求項17] 主面を有する S i C チップと、

前記主面に形成され、平面視において一方方向に延びるトレンチゲート構造と、

前記一方方向に前記トレンチゲート構造から間隔を空けて前記主面に形成され、平面視において前記一方方向に延びる中間トレンチソース構造と、

前記トレンチゲート構造および前記中間トレンチソース構造を被覆する絶縁膜と、

前記絶縁膜の上に形成され、前記絶縁膜を貫通して前記トレンチゲート構造に電氣的に接続されたゲート配線と、

前記ゲート配線から間隔を空けて前記絶縁膜の上に形成され、前記絶縁膜を貫通して前記中間トレンチソース構造に電氣的に接続されたソース配線と、を含む、S i C半導体装置。

[請求項18] 複数の前記トレンチゲート構造が、前記一方方向に交差する交差方向に間隔を空けて前記主面に配列され、

複数の前記中間トレンチソース構造が、前記一方方向に複数の前記トレンチゲート構造と一対一の対応関係で対向するように前記交差方向に間隔を空けて配列されている、請求項17に記載のS i C半導体装置。

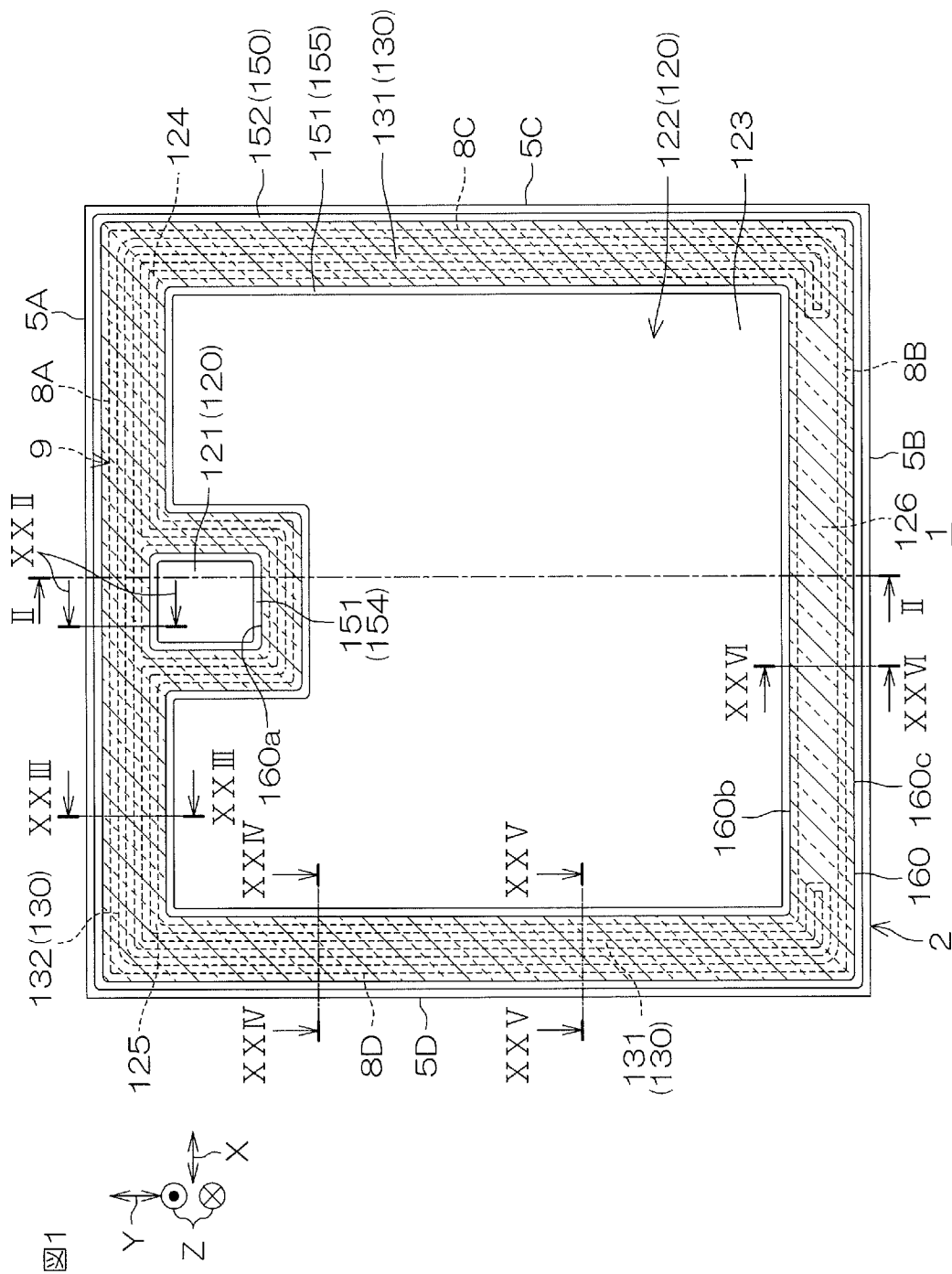
[請求項19] 前記S i Cチップの内部において前記中間トレンチソース構造に沿う領域に形成されたp n接合部をさらに含み、

前記ゲート配線は、平面視において前記p n接合部に対向している、請求項17または18に記載のS i C半導体装置。

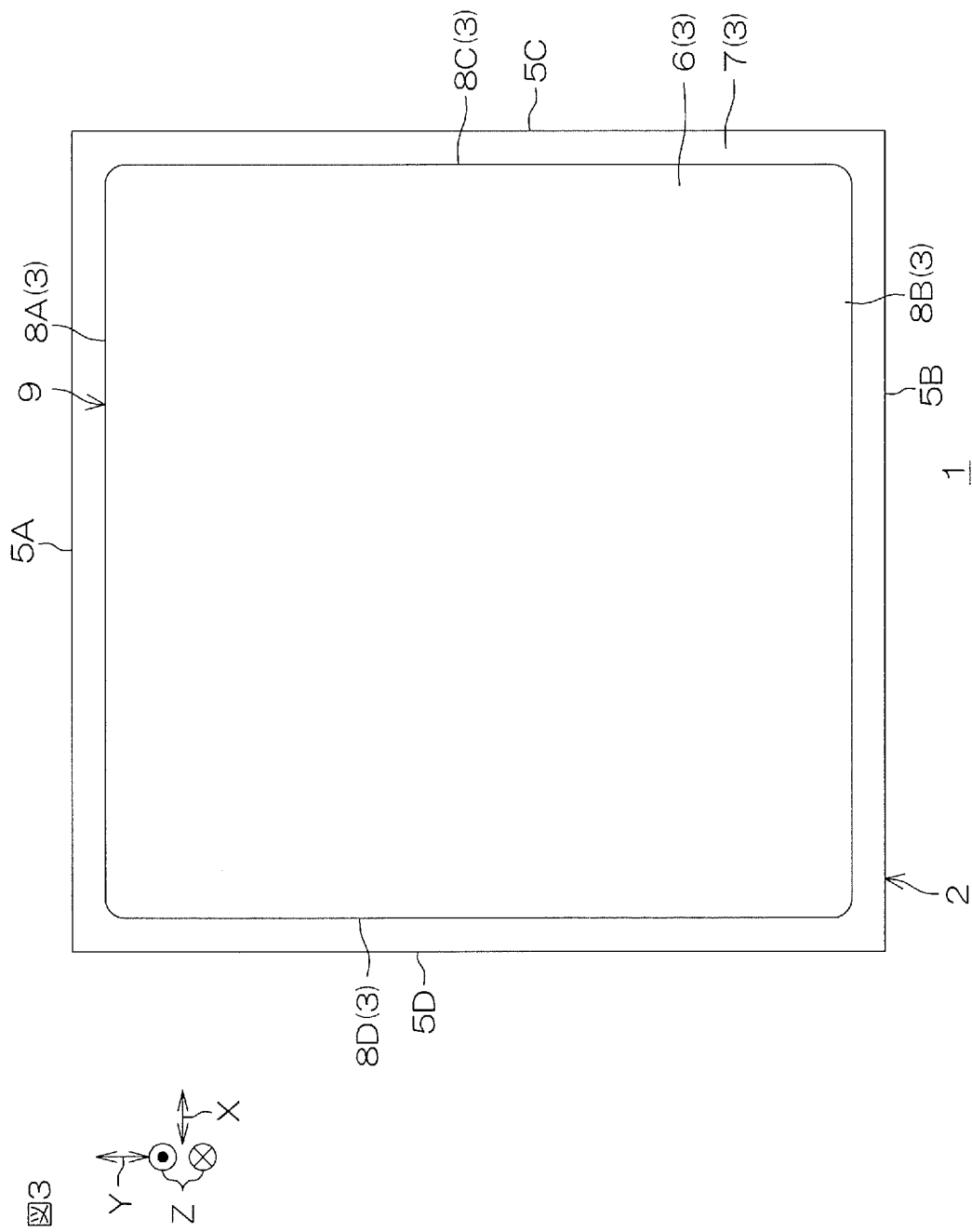
[請求項20] 前記S i Cチップの内部において前記トレンチゲート構造に沿う領域に形成されたゲート側p n接合部をさらに含み、

前記ゲート配線は、平面視において前記ゲート側p n接合部に対向している、請求項17～19のいずれか一項に記載のS i C半導体装置。

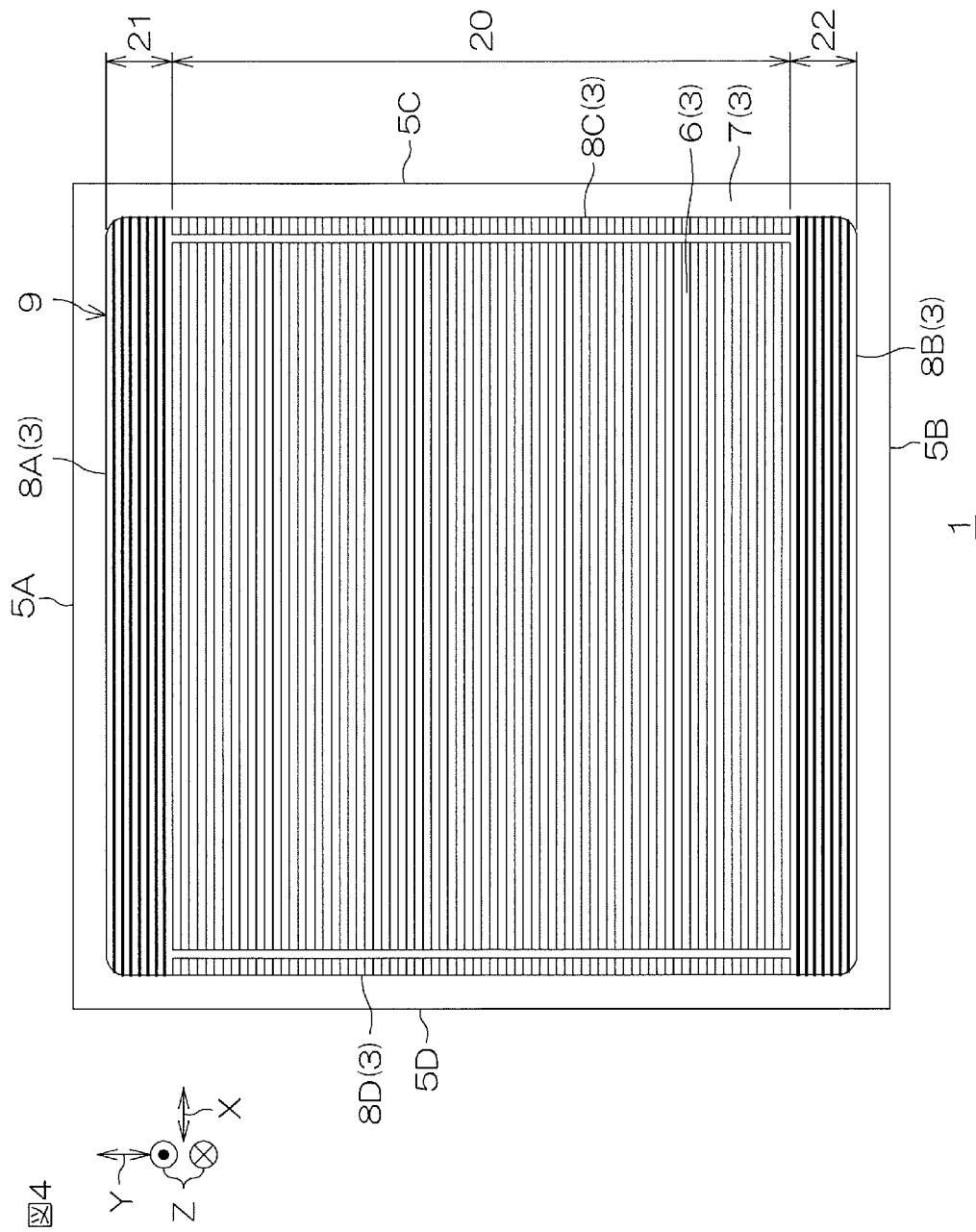
[図1]



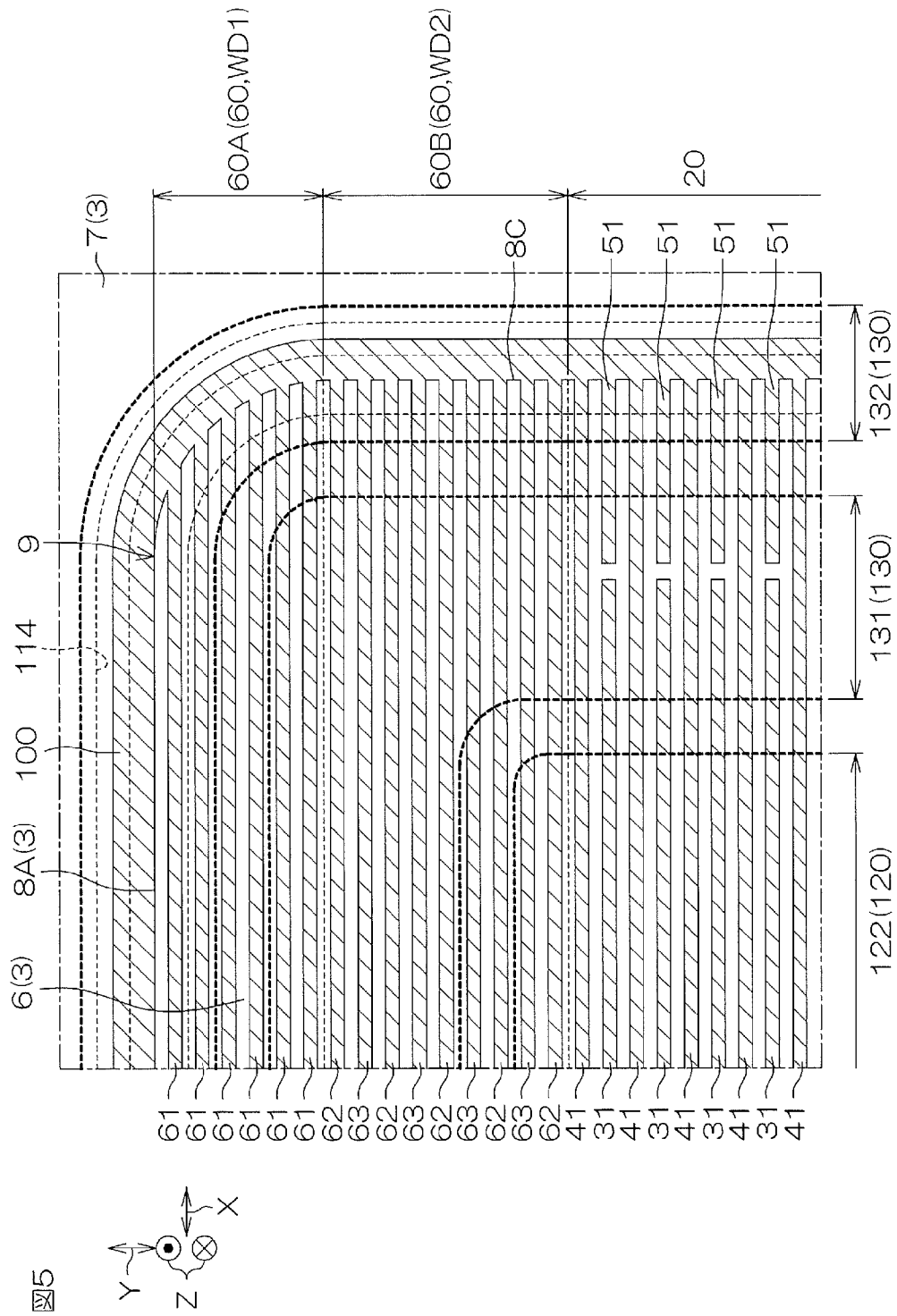
[図3]



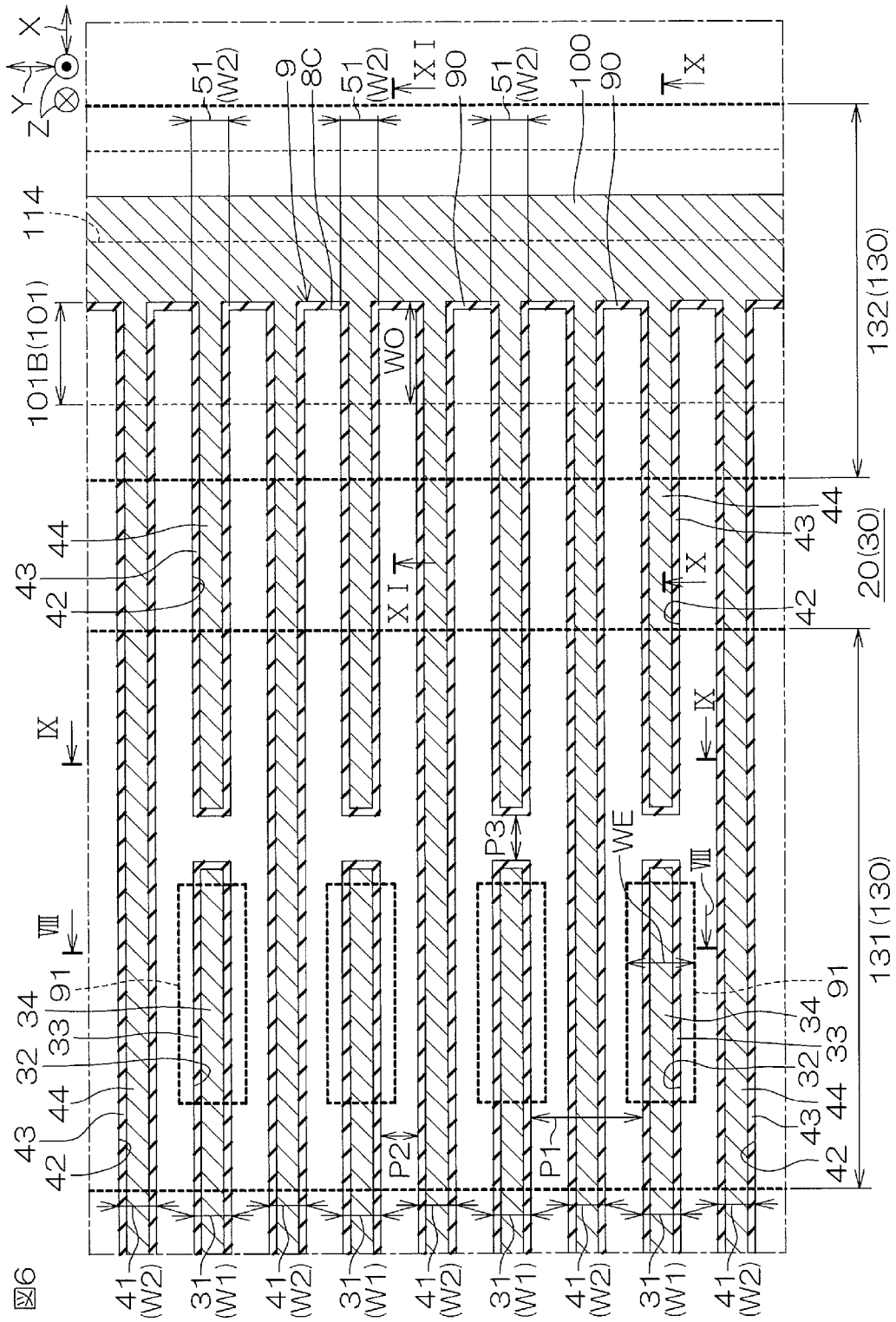
[図4]



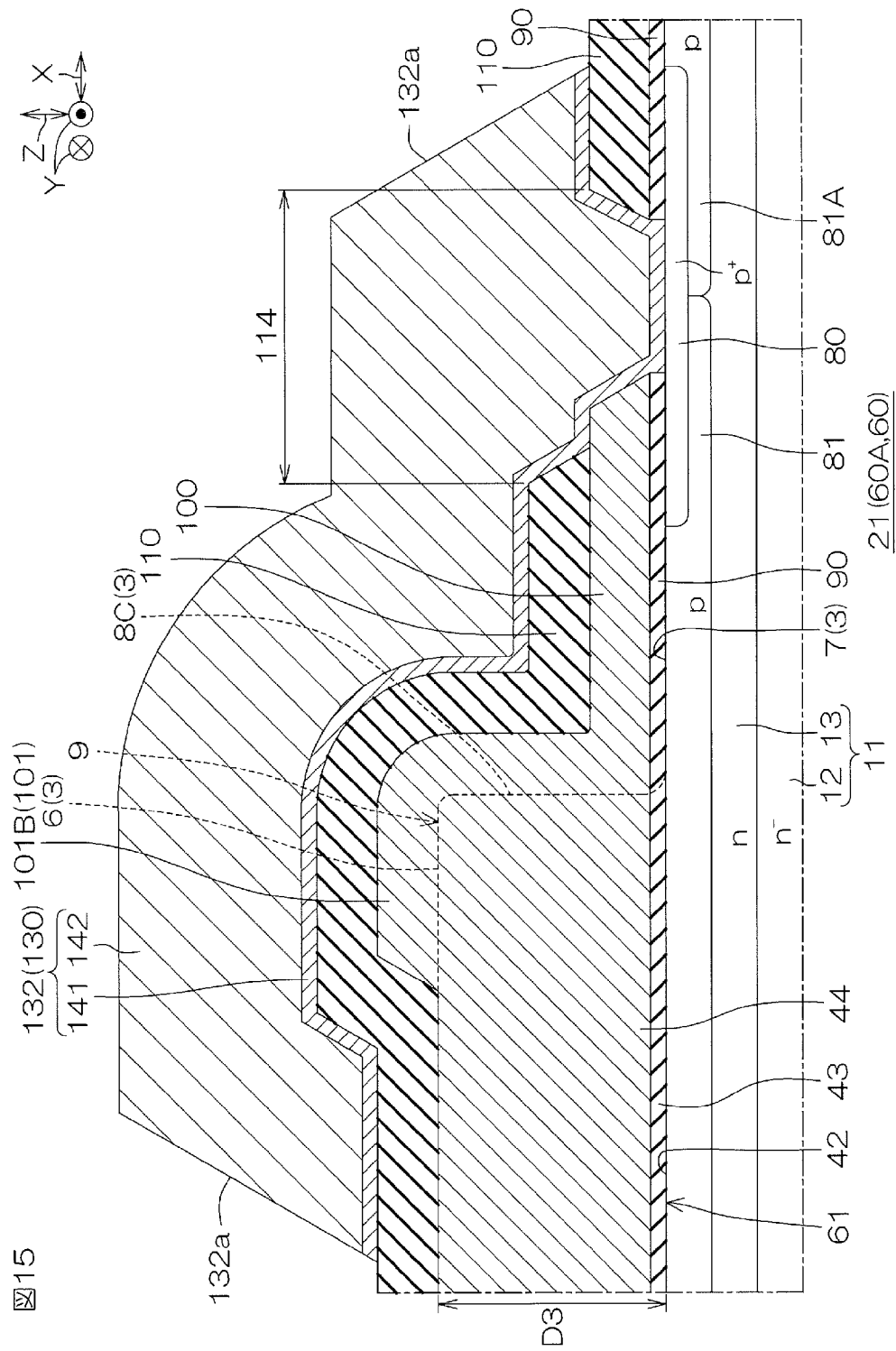
[図5]



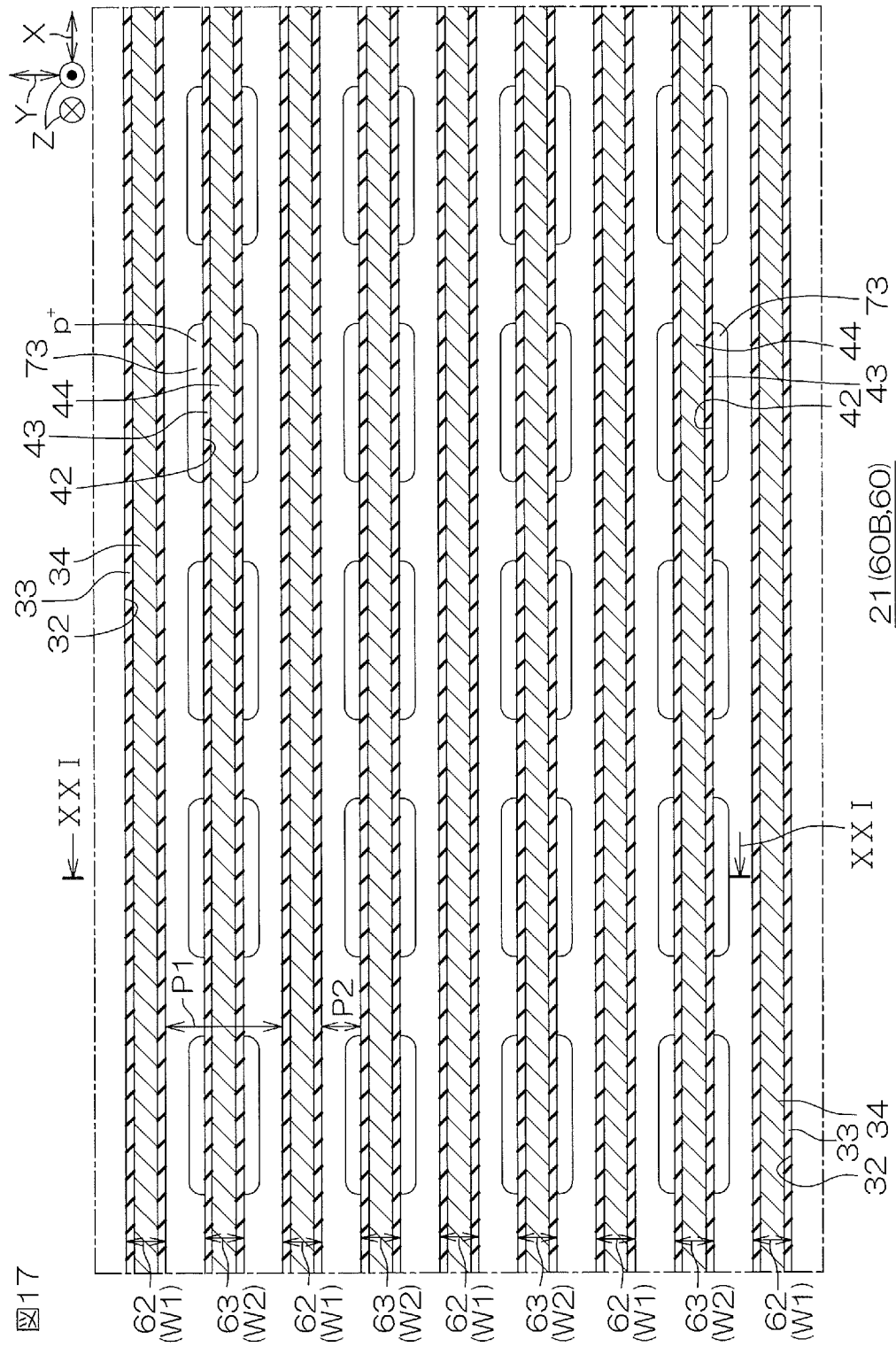
[図6]



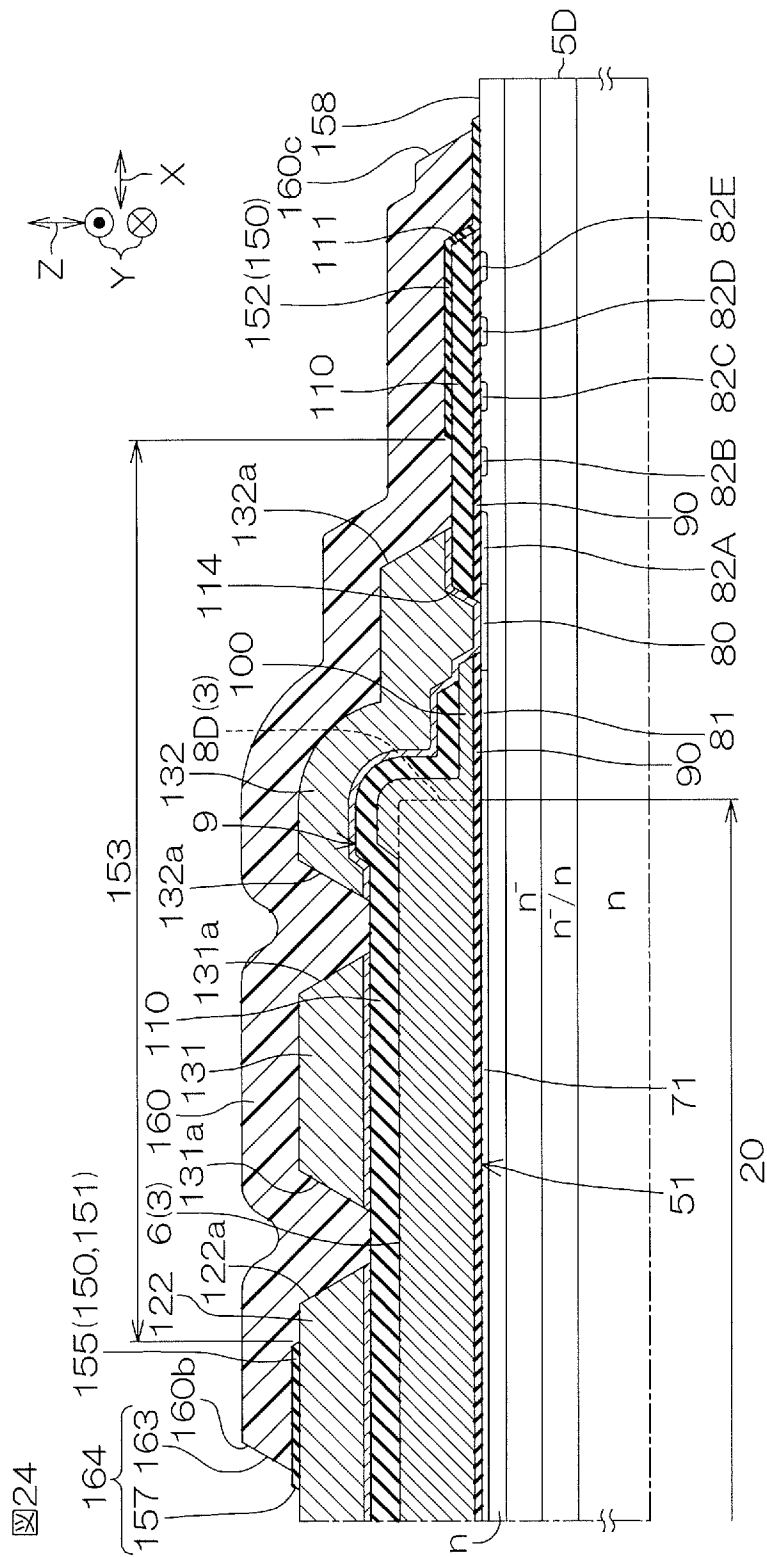
[図15]



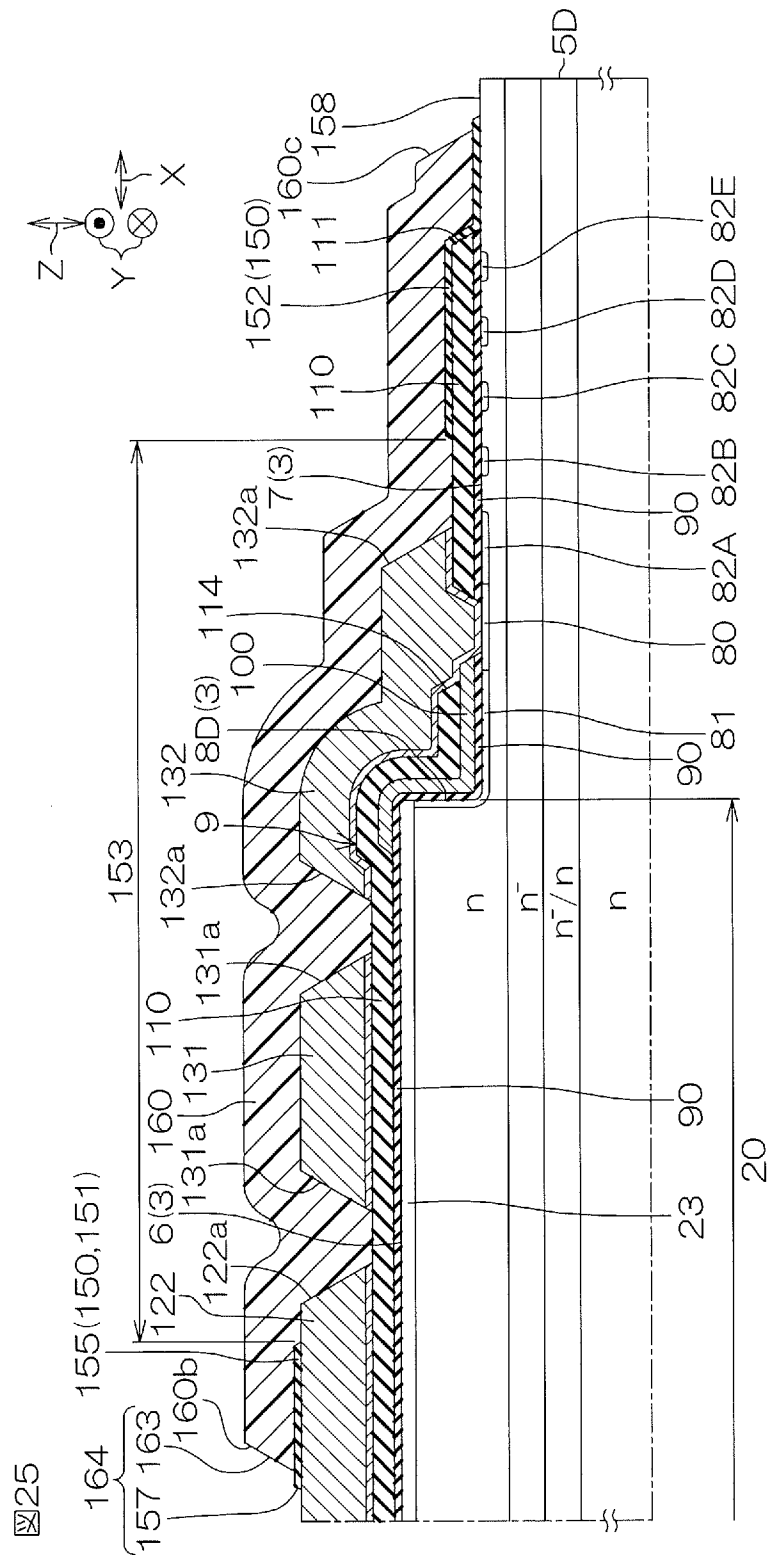
[図17]



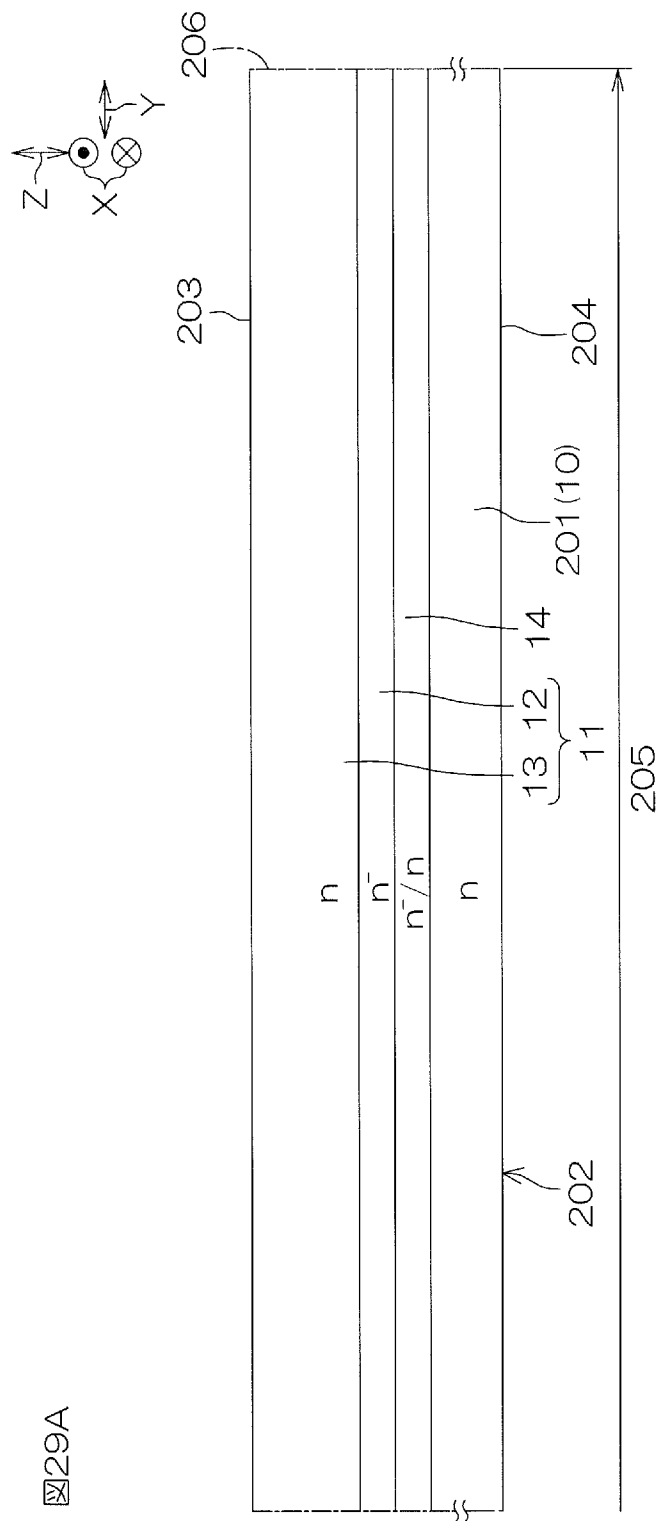
[図24]



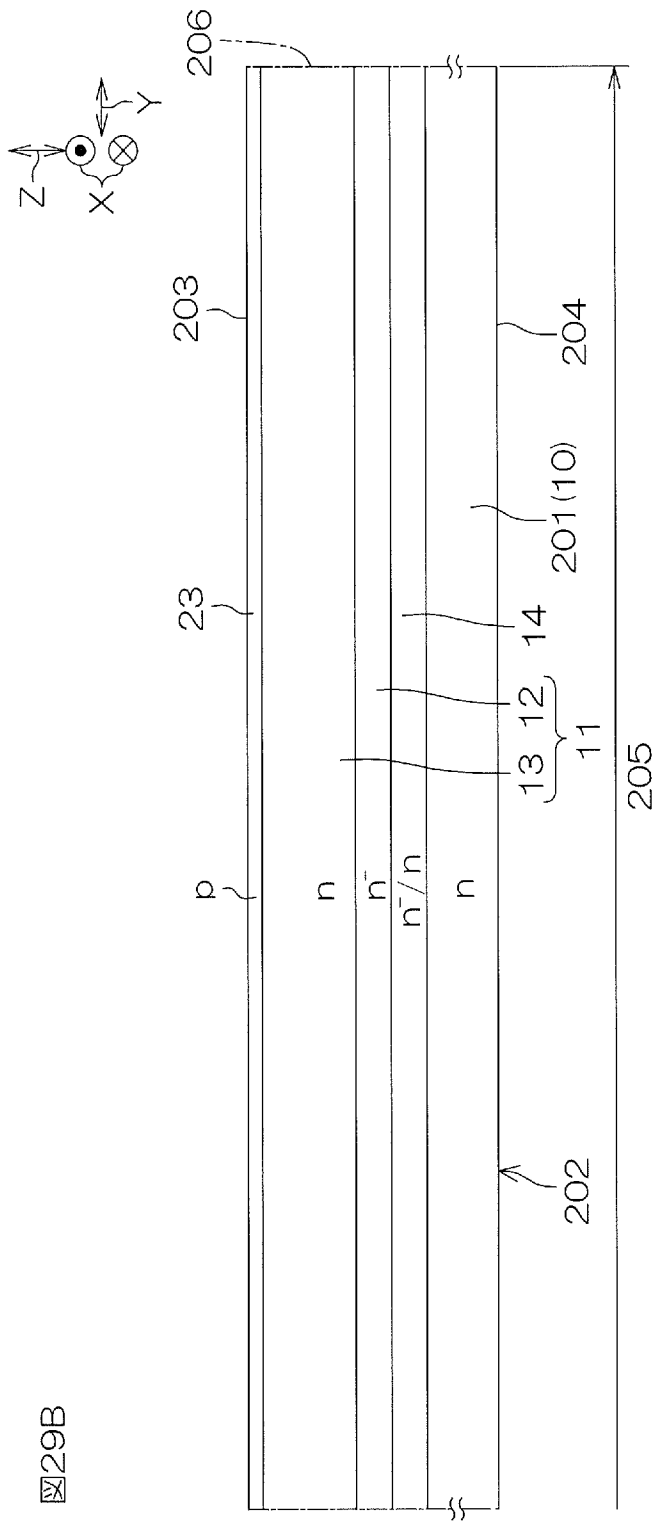
[図25]



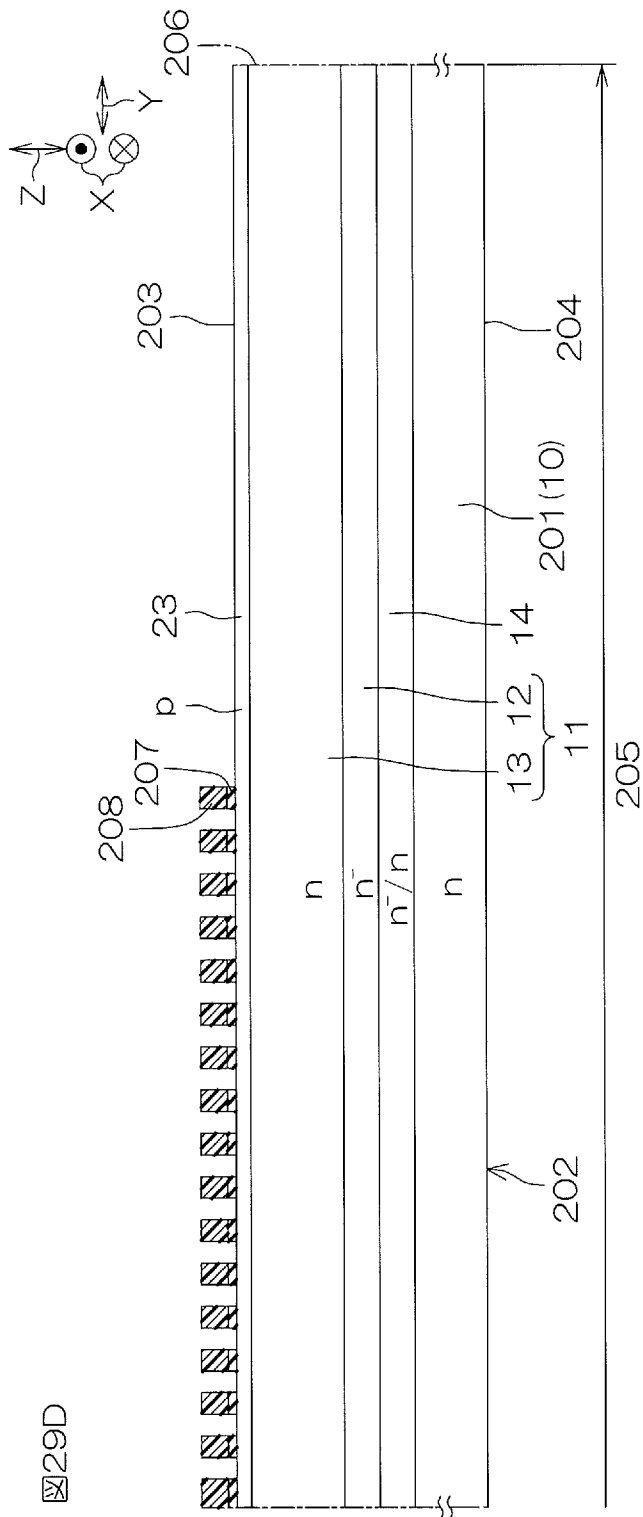
[図29A]



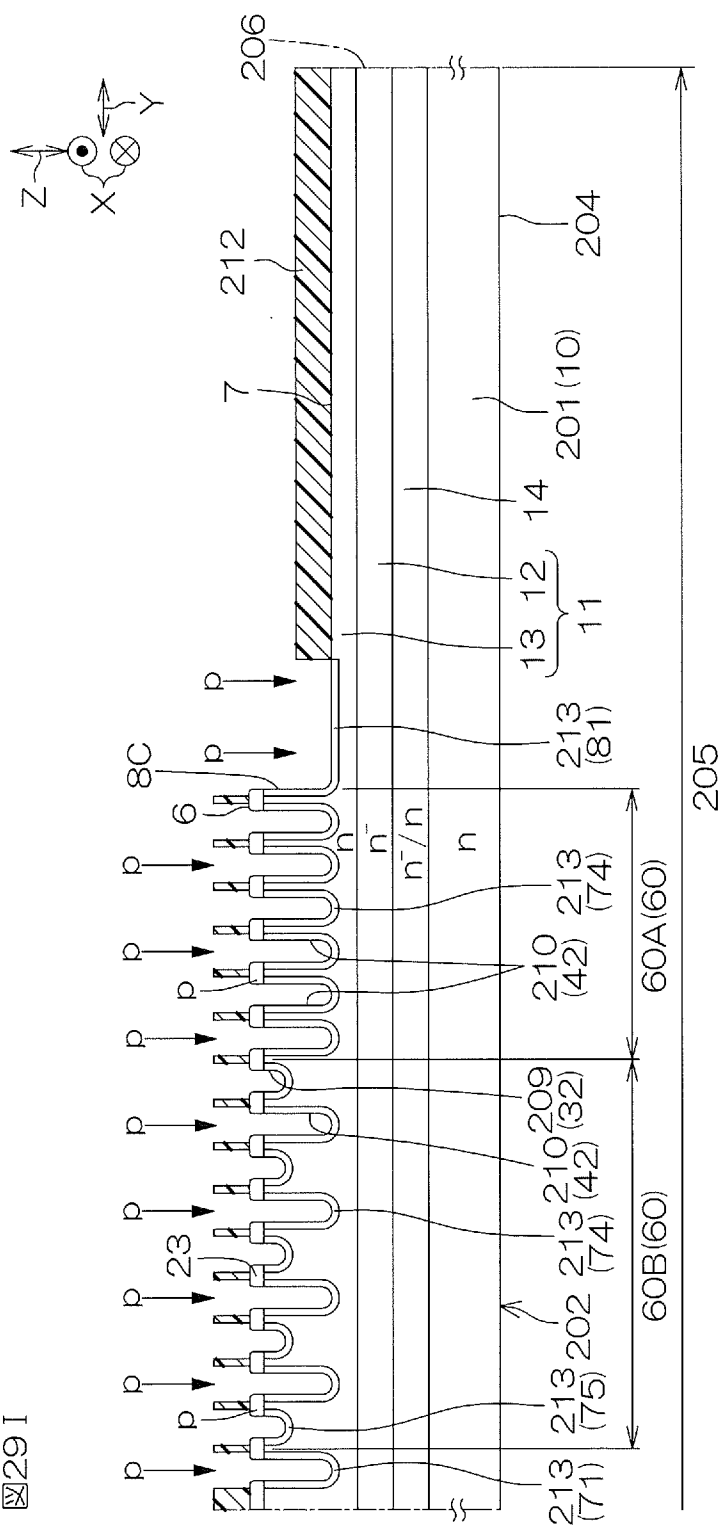
[図29B]



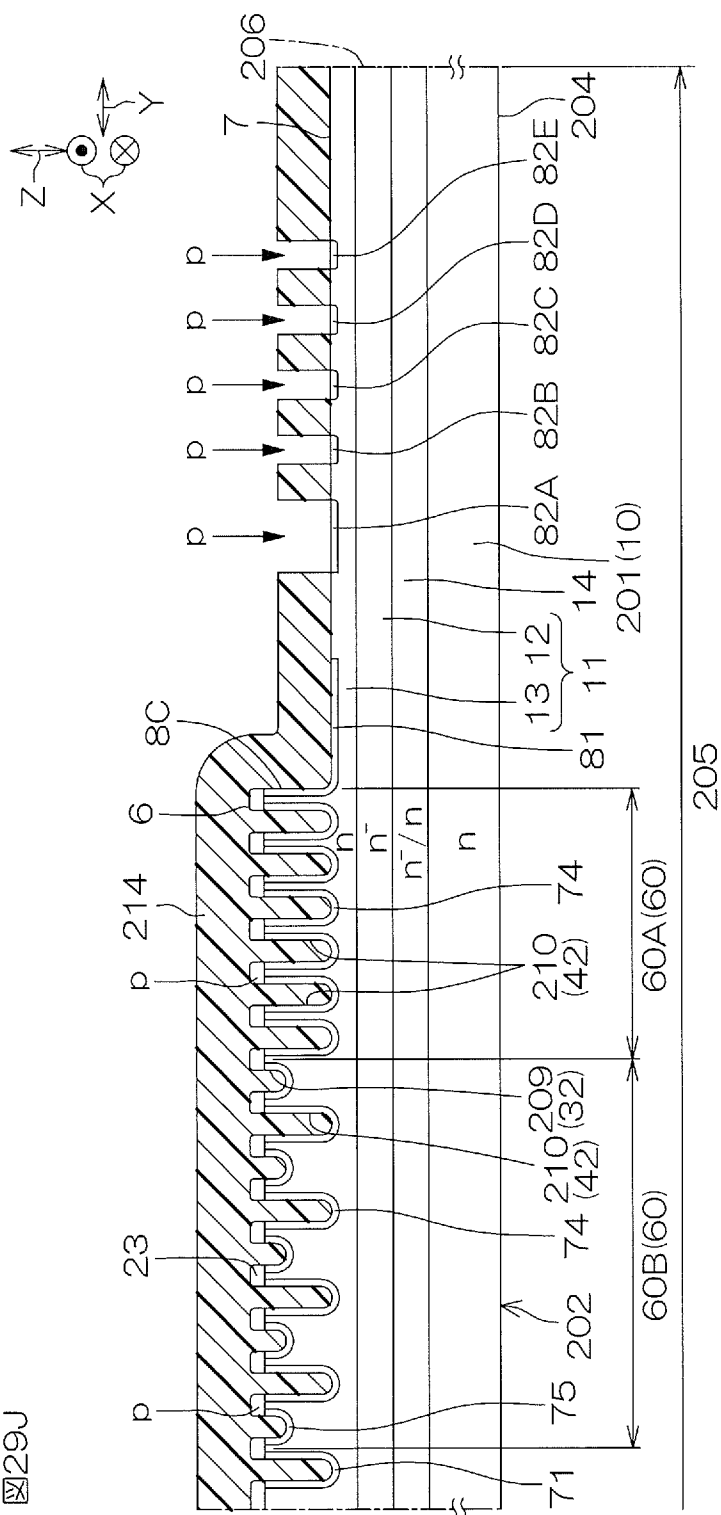
[図29D]



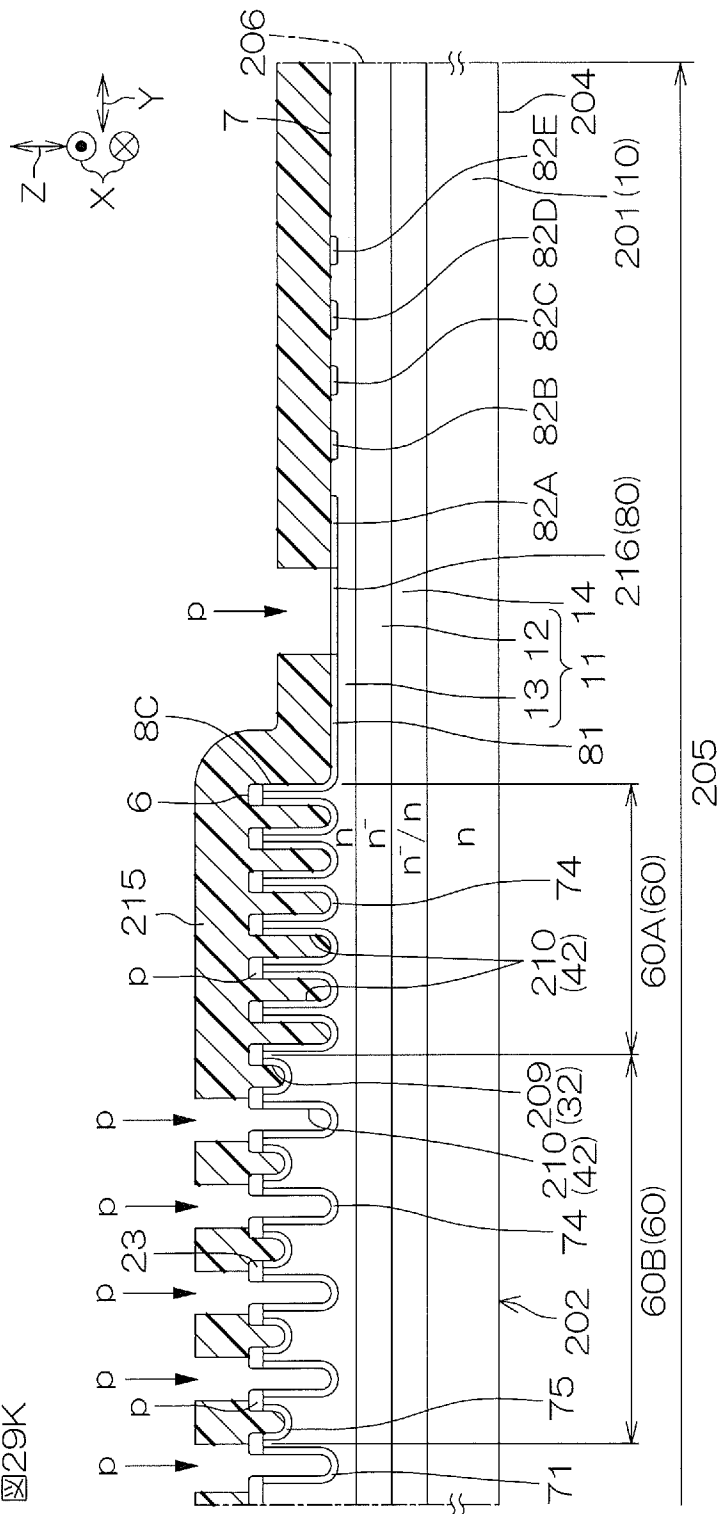
29 I



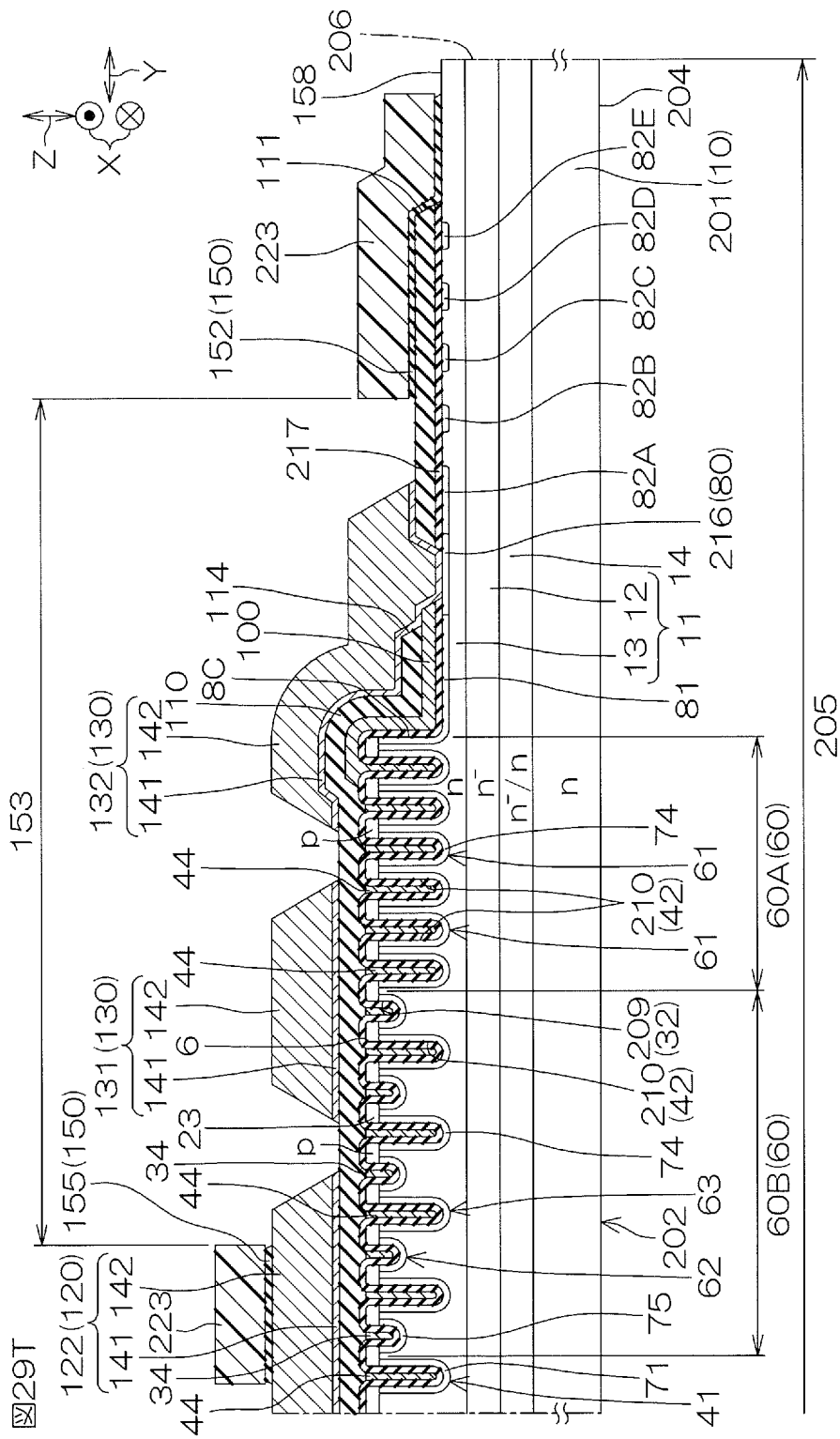
29J

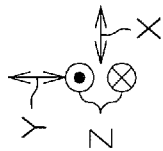
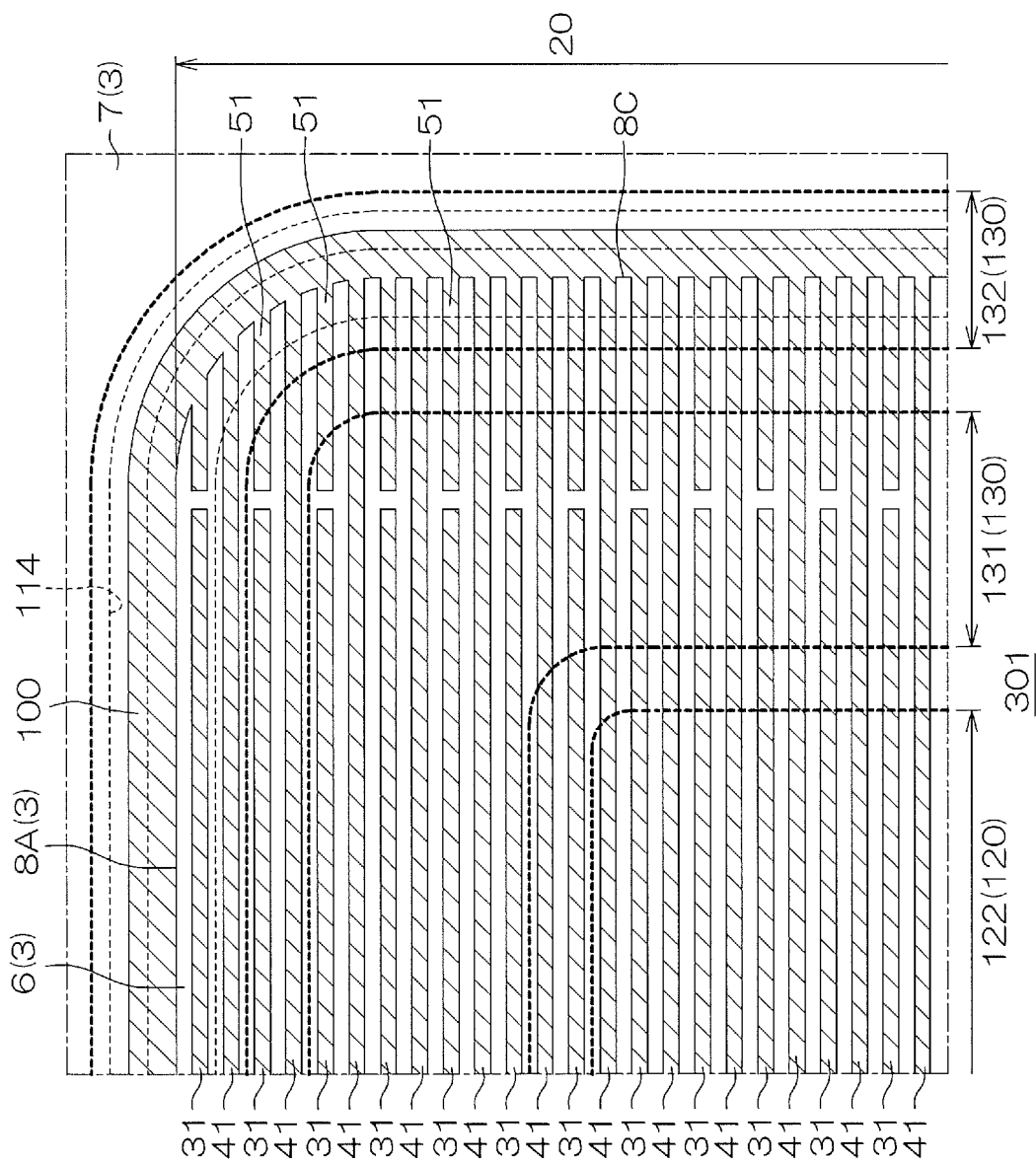


29K

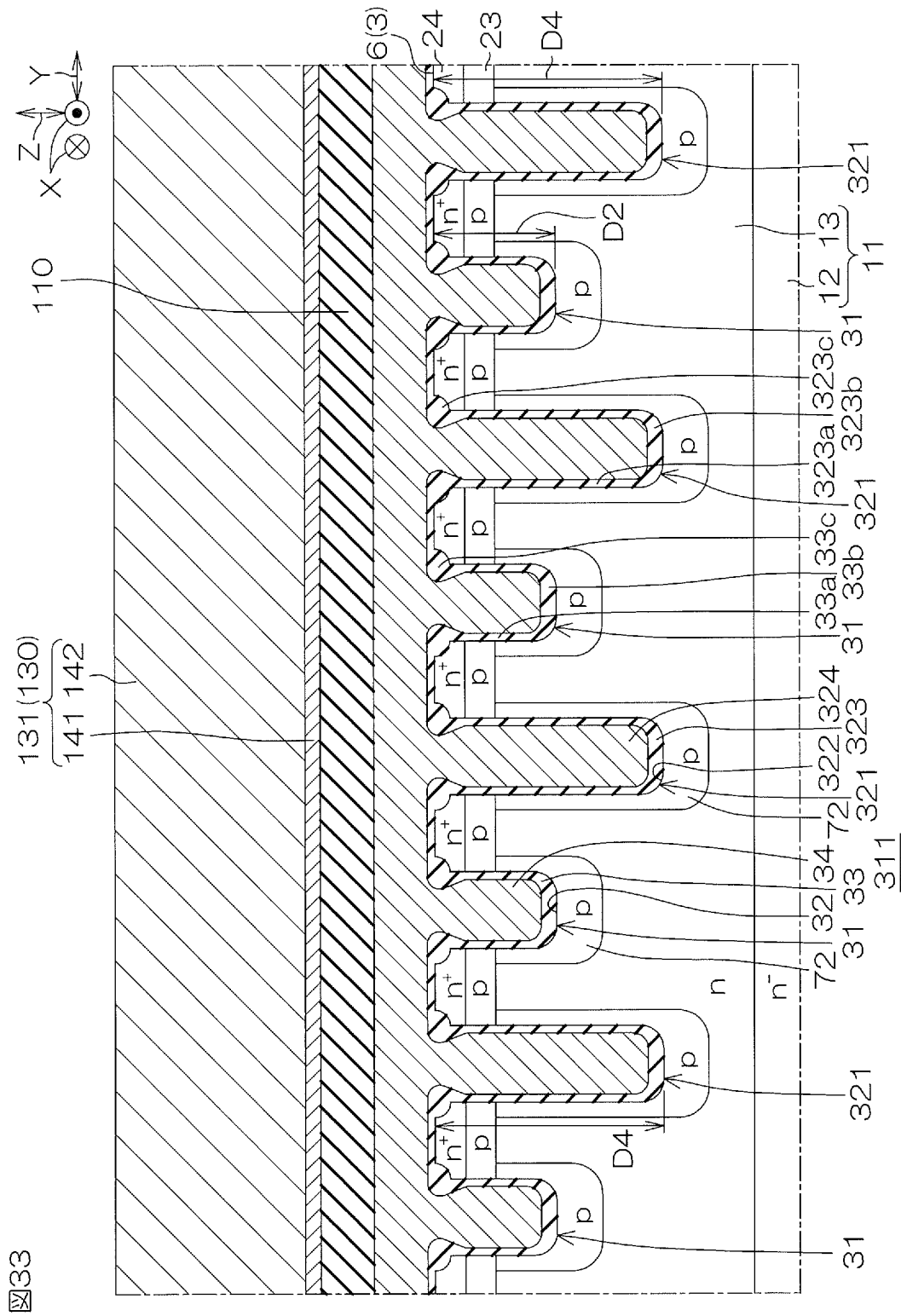


[図29T]





[図33]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2021/026791

A. CLASSIFICATION OF SUBJECT MATTER

H01L 21/28(2006.01)i; **H01L 29/06**(2006.01)i; **H01L 29/41**(2006.01)i; **H01L 29/417**(2006.01)i; **H01L 29/78**(2006.01)i; **H01L 29/12**(2006.01)i; **H01L 21/336**(2006.01)i

FI: H01L29/78 652N; H01L29/78 652D; H01L29/78 652F; H01L29/78 652G; H01L29/78 652H; H01L29/78 652J; H01L29/78 652K; H01L29/78 652M; H01L29/78 652P; H01L29/78 652Q; H01L29/78 652T; H01L29/78 653A; H01L29/78 658G; H01L29/78 658J; H01L29/06 301D; H01L29/06 301F; H01L29/06 301G; H01L29/06 301M; H01L29/06 301V; H01L21/28 301B; H01L29/44 S; H01L29/50 M

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/28; H01L29/06; H01L29/41; H01L29/417; H01L29/78; H01L29/12; H01L21/336

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
Published unexamined utility model applications of Japan 1971-2021
Registered utility model specifications of Japan 1996-2021
Published registered utility model applications of Japan 1994-2021

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2019-009428 A (INFINEON TECHNOLOGIES AG) 17 January 2019 (2019-01-17) paragraphs [0040]-[0054], [0064], [0093], fig. 1-5, 10	1, 3
Y		1-3, 14-16
A		4-13, 17-20
Y	JP 2020-027856 A (ROHM CO., LTD.) 20 February 2020 (2020-02-20) paragraphs [0213]-[0301], fig. 16-21	1-3, 14-16
A		4-13, 17-20
A	JP 2013-521660 A (VISHAY SILICONIX) 10 June 2013 (2013-06-10) paragraphs [0019]-[0036], fig. 1-6	1-20

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

07 October 2021

Date of mailing of the international search report

19 October 2021

Name and mailing address of the ISA/JP

**Japan Patent Office (ISA/JP)
3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915
Japan**

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2021/026791

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP	2019-009428	A	17 January 2019	US 2018/0342605 A1	paragraphs [0053]-[0067], [0077], [0115], fig. 1-5, 10
				US 2019/0273155 A1	
				DE 102018112344 A1	
				CN 108933169 A	
JP	2020-027856	A	20 February 2020	DE 212019000118 U1	
				DE 202019005382 U1	
JP	2013-521660	A	10 June 2013	US 2011/0254084 A1	paragraphs [0021]-[0038], fig. 1-6
				US 2017/0104096 A1	
				WO 2011/109559 A2	
				CN 102859699 A	

A. 発明の属する分野の分類（国際特許分類（IPC）） H01L 21/28(2006.01)i; H01L 29/06(2006.01)i; H01L 29/41(2006.01)i; H01L 29/417(2006.01)i; H01L 29/78(2006.01)i; H01L 29/12(2006.01)i; H01L 21/336(2006.01)i FI: H01L29/78 652N; H01L29/78 652D; H01L29/78 652F; H01L29/78 652G; H01L29/78 652H; H01L29/78 652J; H01L29/78 652K; H01L29/78 652M; H01L29/78 652P; H01L29/78 652Q; H01L29/78 652T; H01L29/78 653A; H01L29/78 658G; H01L29/78 658J; H01L29/06 301D; H01L29/06 301F; H01L29/06 301G; H01L29/06 301M; H01L29/06 301V; H01L21/28 301B; H01L29/44 S; H01L29/50 M										
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） H01L21/28; H01L29/06; H01L29/41; H01L29/417; H01L29/78; H01L29/12; H01L21/336 最小限資料以外の資料で調査を行った分野に含まれるもの <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922 - 1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971 - 2021年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996 - 2021年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994 - 2021年</td> </tr> </table> 国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）			日本国実用新案公報	1922 - 1996年	日本国公開実用新案公報	1971 - 2021年	日本国実用新案登録公報	1996 - 2021年	日本国登録実用新案公報	1994 - 2021年
日本国実用新案公報	1922 - 1996年									
日本国公開実用新案公報	1971 - 2021年									
日本国実用新案登録公報	1996 - 2021年									
日本国登録実用新案公報	1994 - 2021年									
C. 関連すると認められる文献										
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号								
X	JP 2019-009428 A（インフィネオン テクノロジーズ アーゲー）17.01.2019 （2019 - 01 - 17） 段落0040-0054, 0064, 0093, 図1-5, 10	1, 3								
Y		1-3, 14-16								
A		4-13, 17-20								
Y	JP 2020-027856 A（ローム株式会社）20.02.2020（2020 - 02 - 20） 段落0213-0301, 図16-21	1-3, 14-16								
A		4-13, 17-20								
A	JP 2013-521660 A（ヴィシエーシリコニックス）10.06.2013（2013 - 06 - 10） 段落0019-0036, 図1-6	1-20								
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。										
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的な技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献										
国際調査を完了した日 07.10.2021		国際調査報告の発送日 19.10.2021								
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号		権限のある職員（特許庁審査官） 恩田 和彦 5F 5896 電話番号 03-3581-1101 内線 3516								

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2021/026791

引用文献			公表日	パテントファミリー文献			公表日
JP	2019-009428	A	17.01.2019	US	2018/0342605	A1	
				段落0053-0067, 0077, 0115, 図1-5, 10			
				US	2019/0273155	A1	
				DE	102018112344	A1	
				CN	108933169	A	
JP	2020-027856	A	20.02.2020	DE	212019000118	U1	
				DE	202019005382	U1	
JP	2013-521660	A	10.06.2013	US	2011/0254084	A1	
				段落0021-0038, 図1-6			
				US	2017/0104096	A1	
				WO	2011/109559	A2	
				CN	102859699	A	