

【公報種別】特許法第 17 条の 2 の規定による補正の掲載
 【部門区分】第 6 部門第 3 区分
 【発行日】平成22年4月22日 (2010.4.22)

【公開番号】特開2006-285872(P2006-285872A)
 【公開日】平成18年10月19日 (2006.10.19)
 【年通号数】公開・登録公報2006-041
 【出願番号】特願2005-107921(P2005-107921)
 【国際特許分類】

G 0 6 F 13/362 (2006.01)

G 0 6 F 13/376 (2006.01)

G 0 6 F 9/52 (2006.01)

【 F I 】

G 0 6 F 13/362 5 1 0 D

G 0 6 F 13/376

G 0 6 F 9/46 4 7 2 Z

【手続補正書】

【提出日】平成22年3月8日 (2010.3.8)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

複数の C P U が同一のシステムバスに接続されるマルチ C P U システムであって、
 前記複数の C P U とそれぞれ 1 対 1 で対応する複数のバスブリッジ回路を備え、
 前記複数のバスブリッジ回路は、対応する C P U が前記システムバス上のリソースに対してアクセスを行えるか否かを示す値が書き込まれるセマフォ獲得レジスタと、対応する C P U に対して予め定められたセマフォ制御優先度を保持するための保持手段と、他のバスブリッジ回路からのセマフォ獲得要求の入力を監視するセマフォ制御手段とを有し、
 前記セマフォ制御手段は、前記セマフォ獲得レジスタに書き込まれている値と、前記セマフォ制御優先度と、前記他のバスブリッジ回路からのセマフォ獲得要求とに基づいて対応する C P U に対して前記リソースへのアクセスを制御することを特徴とするマルチ C P U システム。

【請求項 2】

前記セマフォ制御手段は、前記他のバスブリッジ回路からのセマフォ獲得要求の入力が無い場合に、対応する C P U が前記システムバス上のリソースに対してアクセスを行えることを示す値を前記セマフォ獲得レジスタに設定し、セマフォを獲得した対応する C P U に対して前記リソースへのアクセスを許可し、前記セマフォ獲得レジスタに設定された値に基づいて前記他のバスブリッジ回路に、自バスブリッジ回路の対応する C P U がセマフォを獲得していることを示す信号を出力することを特徴とする請求項 1 記載のマルチ C P U システム。

【請求項 3】

前記セマフォ制御手段は、前記他のバスブリッジ回路からのセマフォ獲得要求の入力があり、対応する C P U の前記セマフォ制御優先度が前記他のバスブリッジ回路に対応する C P U の前記セマフォ制御優先度より高い場合に、対応する C P U が前記システムバス上のリソースに対してアクセスを行えることを示す値を前記セマフォ獲得レジスタに設定し、セマフォを獲得した対応する C P U に対して前記リソースへのアクセスを許可し、前記

セマフォ獲得レジスタに設定された値に基づいて前記他のバスブリッジ回路に、自バスブリッジ回路の対応するＣＰＵがセマフォを獲得していることを示す信号を出力することを特徴とする請求項１記載のマルチＣＰＵシステム。

【請求項４】

前記複数のバスブリッジ回路は、前記アクセスのうちライトアクセスを指示するライトコマンドを格納する格納手段を更に備え、

対応するＣＰＵからのライトコマンド発行タイミングとは異なるタイミングで前記システムバス上のリソースに対して前記格納手段からライトコマンドを発行することを特徴とする請求項１記載のマルチＣＰＵシステム。

【請求項５】

前記複数のバスブリッジ回路は、対応するＣＰＵから前記セマフォ獲得レジスタへのライトコマンドが発行された場合、前記ＣＰＵから前記システムバス上のリソースに対してのライトコマンドを格納する前記格納手段に空きがあるか否か判断する判断手段を更に備え、

前記判断手段の判断に基づいて前記セマフォ獲得レジスタへのライトアクセスを制御することを特徴とする請求項４記載のマルチＣＰＵシステム。

【請求項６】

前記複数のバスブリッジ回路は、前記判断手段で、前記格納手段が空き状態であると判断された場合、前記他のバスブリッジ回路からのセマフォ獲得要求を参照し、他のＣＰＵがセマフォを獲得しているか開放しているかに基づいて前記セマフォ獲得レジスタへのライトアクセスを制御することを特徴とする請求項５記載のマルチＣＰＵシステム。

【請求項７】

前記複数のバスブリッジ回路は、対応するＣＰＵから前記システムバス上のリソースに対してのライトコマンドが発行された場合、前記格納手段に前記ライトコマンドが指示するライトアクセスの種類に応じた量の空きがあるか否か判定する判定手段を更に備え、

前記判定手段の判定に基づいて前記システムバス上のリソースに対するライトアクセスを制御することを特徴とする請求項４記載のマルチＣＰＵシステム。

【請求項８】

前記複数のバスブリッジ回路は、前記アクセスのうちリードアクセスでは、前記システムバス上のリソースに対して前記格納手段を介さずにリードコマンドを発行することを特徴とする請求項４記載のマルチＣＰＵシステム。

【手続補正２】

【補正対象書類名】明細書

【補正対象項目名】０００５

【補正方法】変更

【補正の内容】

【０００５】

本発明は、上記目的を達成するため、複数のＣＰＵが同一のシステムバスに接続されるマルチＣＰＵシステムであって、前記複数のＣＰＵとそれぞれ１対１で対応する複数のバスブリッジ回路を備え、前記複数のバスブリッジ回路は、対応するＣＰＵが前記システムバス上のリソースに対してアクセスを行えるか否かを示す値が書き込まれるセマフォ獲得レジスタと、対応するＣＰＵに対して予め定められたセマフォ制御優先度を保持するための保持手段と、他のバスブリッジ回路からのセマフォ獲得要求の入力を監視するセマフォ制御手段とを有し、前記セマフォ制御手段は、前記セマフォ獲得レジスタに書き込まれている値と、前記セマフォ制御優先度と、前記他のバスブリッジ回路からのセマフォ獲得要求とに基づいて対応するＣＰＵに対して前記リソースへのアクセスを制御することを特徴とするマルチＣＰＵシステムを提供する。