

[19] 中华人民共和国国家知识产权局



[12] 发明专利说明书

专利号 ZL 200410103275.4

[51] Int. Cl.

H01L 43/12 (2006.01)

H01L 43/08 (2006.01)

G11C 11/15 (2006.01)

H01L 21/82 (2006.01)

H01L 27/10 (2006.01)

[45] 授权公告日 2007 年 9 月 26 日

[11] 授权公告号 CN 100340010C

[22] 申请日 2004.11.18

[21] 申请号 200410103275.4

[30] 优先权

[32] 2003.12.8 [33] US [31] 10/730726

[73] 专利权人 夏普株式会社

地址 日本大阪市

[72] 发明人 许胜簪 张风燕

[56] 参考文献

US5835003 A 1998.11.10

US6480411 B1 2002.11.12

审查员 王 欣

[74] 专利代理机构 中国专利代理(香港)有限公司

代理人 徐 谦 梁 永

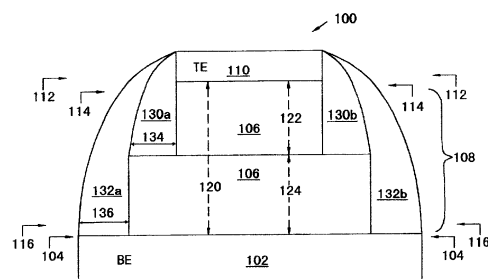
权利要求书 5 页 说明书 8 页 附图 5 页

[54] 发明名称

非对称区域存储单元及其形成和使用方法

[57] 摘要

本发明提供一种非对称区域存储单元, 和一种用于形成非对称区域存储单元的制造方法。所述方法包括: 形成具有一区域的底部电极; 形成覆盖所述底部电极的 CMR 存储薄膜, 其具有非对称区域; 并且, 形成覆盖所述 CMR 薄膜具有一区域的顶部电极, 所述区域小于所述底部电极区域。在一种情况下, 所述 CMR 薄膜具有第一区域和第二区域, 其中所述第一区域与所述顶部电极相邻, 所述第二区域大于所述第一区域且与所述底部电极相邻。典型地, 所述 CMR 薄膜第一区域近似等于所述顶部电极区域, 尽管所述 CMR 薄膜第二区域可能小于所述底部电极区域。



1. 一种用于形成非对称区域存储单元的方法，所述方法包括：
形成具有一区域的底部电极；
5 形成覆盖所述底部电极的超巨磁阻存储薄膜，所述薄膜具有非对称区域；
并且
形成覆盖所述超巨磁阻薄膜的具有一区域的顶部电极，所述区域小于所述
底部电极区域。
2. 如权利要求 1 的方法，其中形成具有非对称区域的超巨磁阻薄膜包括
10 形成具有第一区域和第二区域的超巨磁阻薄膜，所述第一区域与顶部电极相
邻，所述第二区域大于第一区域并且与底部电极相邻。
3. 如权利要求 2 的方法，其中形成具有非对称区域的超巨磁阻薄膜包括
形成超巨磁阻薄膜第一区域，所述第一区域等于所述顶部电极区域。
4. 如权利要求 3 的方法，其中形成具有非对称区域的超巨磁阻薄膜包括
15 形成超巨磁阻薄膜第二区域，所述第二区域小于所述底部电极区域。
5. 如权利要求 4 的方法，更进一步包括：
各向同性地沉积底部电极层；
各向同性地沉积具有第一厚度的超巨磁阻薄膜层，覆盖所述底部电极层；
各向同性地沉积顶部电极层，覆盖所述超巨磁阻薄膜层；并且，
20 其中形成所述顶部电极区域和所述超巨磁阻薄膜第一区域包括蚀刻所述顶
部电极层和所述超巨磁阻薄膜层的第二厚度部分。
6. 如权利要求 5 的方法，更进一步包括：
形成与顶部电极和所述超巨磁阻薄膜的第二厚度部分相邻的第一组侧壁绝
缘体；并且，
25 其中形成所述超巨磁阻薄膜第二区域包括蚀刻所述超巨磁阻薄膜层的剩余
部分，保留在所述第一组侧壁绝缘体下的所述超巨磁阻薄膜第二区域的第三厚
度部分，其中所述第三厚度等于第一厚度减去第二厚度。
7. 如权利要求 6 的方法，更进一步包括：
形成覆盖所述第一组侧壁绝缘体并且与所述超巨磁阻薄膜的第三厚度部分
30 相邻的第二组侧壁绝缘体；

其中形成具有一区域的底部电极包括蚀刻所述底部电极层，保留在第一和第二组侧壁绝缘体下的底部电极区域。

8. 如权利要求 6 的方法，其中保留所述超巨磁阻薄膜第二区域的第三厚度部分包括保留所述第一厚度的 20~80%范围内的第三厚度。

5 9. 如权利要求 7 的方法，其中形成与所述顶部电极和所述超巨磁阻薄膜的第二厚度部分相邻的第一组侧壁绝缘体包括使用从包括氮化硅和氧化铝的组中选择的材料形成侧壁绝缘体，其厚度为 50~200 纳米。

10 10. 如权利要求 9 的方法，其中形成覆盖所述第一组侧壁且邻近所述超巨磁阻薄膜的第三厚度部分的第二组侧壁绝缘体包括使用从包括氮化硅和氧化铝的组中选择的材料形成侧壁绝缘体，其厚度为 20~100nm。

11. 如权利要求 1 的方法，其中形成底部电极包括使用从包括 TiN/Ti、Pt/TiN/Ti、In/TiN/Ti、PtRhOx 化合物和 PtIrOx 化合物的组中选择的材料形成电极；并且

15 形成顶部电极包括使用从包括 TiN、TiN/Pt、TiN/In、PtRhOx 化合物和 PtIrOx 化合物的组中选择的材料形成电极。

12. 如权利要求 1 的方法，其中形成覆盖所述底部电极的超巨磁阻存储薄膜包括形成 $\text{Pr}_{0.3}\text{Ca}_{0.7}\text{MnO}_3$ 存储薄膜。

13. 如权利要求 1 的方法，其中形成覆盖所述底部电极的具有非对称区域的超巨磁阻存储薄膜包括形成 50~350 纳米的超巨磁阻薄膜第一厚度。

20 14. 一种用于形成一 RRAM 非对称区域存储单元的方法，所述方法包括：
形成具有源极和漏极有源区的 CMOS 晶体管；
形成连接到晶体管有源区的金属层间互连；
形成覆盖所述层间互连具有一区域的底部电极；
形成覆盖所述底部电极的超巨磁阻存储薄膜，所述薄膜具有非对称区域；
25 并且，

形成覆盖所述超巨磁阻薄膜具有一区域的顶部电极，所述区域小于所述底部电极区域。

15. 一种使用双极和单极脉冲编程非对称区域存储单元的方法，所述方法包括：

30 施加具有第一极性的第一电压脉冲到存储单元顶部电极；

响应于所述第一脉冲，在非对称区域超巨磁阻存储薄膜中产生低电阻；

施加第二电压脉冲到所述存储单元顶部电极，所述第二电压脉冲具有与所述第一极性相反的第二极性；并且，

响应于所述第二脉冲，在所述非对称区域超巨磁阻存储薄膜上产生高电阻；

施加第三脉冲，所述第三脉冲具有与所述第二脉冲相同的极性，并且具有大于1微秒的脉冲宽度；并且，

响应于所述第三脉冲，在所述超巨磁阻存储薄膜中产生低电阻。

16. 如权利要求15的方法，其中响应所述第一脉冲在所述超巨磁阻存储薄膜中产生低电阻包括在所述非对称区域超巨磁阻存储薄膜的窄区域区中产生低电阻；并且，

其中响应所述第二脉冲在所述超巨磁阻存储薄膜中产生高电阻包括在所述非对称区域超巨磁阻存储薄膜的窄区域区产生高电阻。

17. 如权利要求16的方法，其中响应所述第一脉冲在所述超巨磁阻存储薄膜中产生低电阻包括产生1000~10K ohms的电阻；并且，

其中响应所述第二脉冲在所述超巨磁阻存储薄膜中产生高电阻包括产生100K~10M ohms的电阻。

18. 如权利要求17的方法，其中施加具有第一极性的第一脉冲到存储单元顶部电极包括施加宽度为5~500纳秒(ns)的电压脉冲；并且，

其中施加具有第二极性的第二脉冲到所述存储单元顶部电极包括施加宽度为5~500ns的电压脉冲。

19. 如权利要求18的方法，其中所述超巨磁阻薄膜的厚度为50~350纳米；并且，

其中施加具有第一极性的第一脉冲到所述存储单元顶部电极包括施加电压幅度为2~6伏特的脉冲；并且，

其中施加具有第二极性的第二脉冲到所述存储单元顶部电极包括施加电压幅度为2~6伏特的脉冲。

20. 如权利要求16的方法，其中响应所述第一脉冲在所述非对称区域超巨磁阻存储薄膜的窄区域区产生低电阻，包括响应所述超巨磁阻存储薄膜的所述窄区域区中的第一电场和在所述超巨磁阻存储薄膜的宽区域区中的第二电场

产生低电阻，所述第二电场具有小于所述第一电场的电场强度；并且，

其中响应所述第二脉冲在所述非对称区域超巨磁阻存储薄膜的窄区域区中产生高电阻，包括响应在所述超巨磁阻存储薄膜的所述窄区域区中的第三电场以及所述超巨磁阻存储薄膜的宽区域区中的第四电场产生高电阻，所述第三电
5 场与所述第一电场极性相反，所述第四电场具有小于所述第三电场的电场强度。

21. 如权利要求 16 的方法，其中施加具有第一极性的第一脉冲到存储单元顶部电极包括施加正极性脉冲；

其中在所述非对称区域超巨磁阻存储薄膜的窄区域区中产生低电阻包括在
10 与所述顶部电极相邻的窄区域区中产生低电阻；

其中施加具有第二极性的第二脉冲到所述存储单元顶部电极包括施加负极性脉冲；并且，

其中在所述非对称区域超巨磁阻存储薄膜的窄区域区中产生高电阻包括在
与所述顶部电极相邻的窄区域区中产生高电阻。

15 22. 一种非对称区域存储单元，包括：

具有一区域的底部电极；

覆盖所述底部电极的具有非对称区域的超巨磁阻存储薄膜；并且

覆盖所述超巨磁阻薄膜的具有一区域的顶部电极，所述区域小于所述底部
电极区域。

20 23. 如权利要求 22 的存储单元，其中超巨磁阻薄膜具有与所述顶部电极相邻的第一区域，以及与所述底部电极相邻的第二区域，所述第二区域大于所述
第一区域。

24. 如权利要求 23 的存储单元，其中所述超巨磁阻薄膜第一区域等于所
述顶部电极区域。

25 25. 如权利要求 24 的存储单元，其中所述超巨磁阻薄膜第二区域小于所
述底部电极区域。

26. 如权利要求 25 的存储单元，其中所述超巨磁阻薄膜具有总的第一厚
度、具有所述第一区域的第二厚度部分和在第二厚度部分下的具有所述第二区
域的第三厚度部分，所述第三厚度等于第一厚度减去第二厚度。

30 27. 如权利要求 26 的存储单元，进一步包括：

与所述顶部电极和所述超巨磁阻薄膜的第二厚度部分相邻的第一组侧壁绝缘体；并且，

覆盖所述第一组侧壁绝缘体并且与所述超巨磁阻薄膜的第三厚度部分相邻的第二组侧壁绝缘体。

5 28. 如权利要求 27 的存储单元，其中所述超巨磁阻薄膜第三厚度是所述第一厚度的 20~80%。

29. 如权利要求 26 的存储单元，其中所述超巨磁阻薄膜第一厚度为 50~350 纳米。

30. 如权利要求 27 的存储单元，其中所述第一组侧壁绝缘体由从包括氮
10 化硅和氧化铝的组中选择材料形成，每一侧壁具有 50~200 纳米 (nm) 的厚度。

31. 如权利要求 30 的存储单元，其中所述第二组侧壁绝缘体由从包括氮化硅和氧化铝的组中选择材料形成，每一侧壁具有 20~100nm 的厚度。

32. 如权利要求 22 的存储单元，其中所述底部电极由从包括 TiN/Ti、Pt/
15 TiN/Ti、In/TiN/Ti、PtRhOx 化合物以及 PtIrOx 化合物的组中选择材料形成；并且

所述顶部电极由从包括 TiN、TiN/Pt、TiN/In、PtRhOx 化合物以及 PtIrOx 化合物的组中选择材料形成。

33. 如权利要求 22 的存储单元，其中所述超巨磁阻存储薄膜由
20 $\text{Pr}_{0.3}\text{Ca}_{0.7}\text{MnO}_3$ 形成。

34. 一种 RRAM 非对称区域存储单元包括：

具有源极和漏极有源区的 CMOS 晶体管；

覆盖晶体管有源区的金属层间互连；

具有一区域的底部电极，所述底部电极覆盖所述层间互连；

25 覆盖所述底部电极的具有非对称区域的超巨磁阻存储薄膜；并且，

覆盖所述超巨磁阻薄膜的具有一区域的顶部电极，所述区域小于所述底部电极区域。

非对称区域存储单元及其形成和使用方法

5

技术领域

本发明通常涉及一种用于非易失性存储器阵列的薄膜电阻存储器器件，更具体而言，涉及一种具有非对称区域的双极可编程存储单元。

10

背景技术

现有技术的电阻随机存取存储器（RRAM）通常是由超巨磁阻（CMR）存储薄膜制造，更典型地，由 $\text{Pr}_{0.3}\text{Ca}_{0.7}\text{MnO}_3$ （PCMO）型的 CMR 材料制造。该 CMR 材料可以被认为有非易失性，因为该 CMR 材料的电阻在大多数情况下保持恒定。然而，当高电场导致电流流经所述 CMR 材料时，能引致该 CMR 电阻的改变。在窄脉冲编程期间，靠近电极的存储电阻器的电阻率发生改变。实验数据表明靠近阴极的 CMR 材料的电阻率增长，而阳极附近的 CMR 材料的电阻率减小。在擦除过程中，所述脉冲极性被颠倒。即，阴极和阳极颠倒。那么，靠近阴极的材料电阻率减少，并且靠近阳极的电阻率增加。

图 1 是对称 CMR 薄膜存储单元的示意图（现有技术）。所述设备被称作对称的是因为它沿着 CMR 薄膜厚度的任何横截面具有均匀的面积。所述存储单元可以使用正的或负的窄脉冲写为高电阻状态，并且使用长宽度的电脉冲复位到低电阻状态。可以使用窄负脉冲和窄正脉冲将其它存储单元（未示出）写至高电阻状态和擦除到低电阻状态。仅仅响应一种编程类型的存储器器件（不是双极的就是单极的），具有必需受限的有效性，并且其依赖于系统的规格和可用的电源。

因此，一些系统被设计用于双极的编程，反之另一些被设计用于单极的编程，取决于使用的 CMR 存储单元的类型。这种在存储单元设计中的不确定性必然导致生产成本的增加。一些 CMR 薄膜存储单元通过沿着 RRAM 电阻器的厚度操作该薄膜的成份设计为可双极编程。随着存储单元尺寸的减小，存储电阻器薄膜的厚度也在减小。然而，CMR 薄膜的厚度是难于控制的变量。

如果 CMR 存储单元能既使用双极又使用单极脉冲编程，将是有优势的。

如果制造响应于双极或单极编程的 CMR 存储单元的工艺可以升级为使用越来越小特征尺寸的工艺，将是有优势的。

5 发明内容

本发明提供一种 CMR 存储器器件结构，该存储器器件可以利用双极脉冲编程过程被可靠地编程。或者，所述器件能利用单极脉冲编程过程被编程。这种编程的灵活性是所述器件独特的非对称性区域设计的结果。

10 据此，提供一种形成非对称区域存储单元的方法。所述方法包括：形成具有一区域的底部电极；形成覆盖在该底部电极上的 CMR 存储薄膜，其具有非对称区域；并且，形成覆盖上述 CMR 薄膜具有一区域的顶部电极，所述区域小于上述底部电极区域。一方面，所述 CMR 薄膜有与顶部电极相邻的第一区域，以及大于第一区域的第二区域，与底部电极相邻。典型地，所述 CMR 薄膜第一区域与顶部电极区域近似相等，尽管所述 CMR 薄膜第二区域可能小于
15 底部电极区域。

更特别地，所述方法包括：各向同性地沉积底部电极层；各向同性地沉积具有第一厚度的 CMR 薄膜层，覆盖所述底部电极层；并且，各向同性地沉积顶部电极层，覆盖所述 CMR 薄膜层。接着，所述顶部电极层和 CMR 薄膜层的第二厚度部分被蚀刻以形成所述顶部电极区域和所述 CMR 薄膜第一区域。
20 邻近所述顶部电极和所述 CMR 薄膜的第二厚度部分形成第一组侧壁绝缘体。接着，通过蚀刻所述 CMR 薄膜层的剩余部分，留下在第一组侧壁绝缘体下面的所述 CMR 薄膜第二区域的第三厚度部分，而形成所述 CMR 薄膜的第二区域，其中所述第三厚度等于第一厚度减去第二厚度。

覆盖所述第一组侧壁绝缘体且邻近所述 CMR 薄膜的第三厚度部分，形成
25 第二组侧壁绝缘体。接着，所述底部电极层被蚀刻，留下在第一和第二组侧壁绝缘体下的底部电极区域。

下面将提供上述方法、使用双极或者单极脉冲编程非对称区域存储单元的方法、非对称区域存储单元器件，和非对称区域 RRAM 的另外的细节。

30 附图说明

图 1 是对称的 CMR 薄膜存储单元（现有技术）的示意图。

图 2 是描述本发明的非对称区域存储单元的示意图。

图 3 是图 2 中的非对称区域存储单元的俯视图。

图 4 是本发明的 RRAM 非对称区域存储单元的示意图。

5 图 5 描述了本发明中存储单元制造过程中的初始步骤。

图 6a 到 6d 描述了在使用非对称区域 CMR 薄膜的 RRAM 存储单元的制造中的另外的步骤。

图 7 的流程图描述本发明的用于形成非对称区域存储单元的方法。

10 图 8 的流程图描述本发明的用于形成 RRAM 非对称性区域存储单元的方法。

图 9 的流程图描述本发明的使用双极和单极脉冲编程非对称区域存储单元的方法。

具体实施方式

15 图 2 是描述本发明的非对称区域存储单元的示意图。所述非对称区域存储单元 100 包括具有区域 104 的底部电极 102 (BE)。具有非对称区域 108 的超巨磁阻 (CMR) 存储薄膜 106 覆盖所述底部电极 102。顶部电极 110 (TE) 具有小于所述底部电极区域 104 的区域 112, 覆盖所述 CMR 薄膜 106。更具体地, 所述 CMR 薄膜 106 具有与顶部电极 110 相邻的第一区域 114 和第二区域 116, 20 所述第二区域大于所述第一区域 114 并且与底部电极 102 相邻。典型地, 所述 CMR 存储薄膜 106 由 $\text{Pr}_{0.3}\text{Ca}_{0.7}\text{MnO}_3$ (PCMO) 形成。然而, 其它材料在本领域也是公知的, 例如高温超导 (HTSC) 和钙钛矿金属氧化物材料。

图 3 是图 2 中的非对称区域存储单元的俯视图。此处使用的词“区域”被理解为是从图 2 的透视图观察时的横截面区域。在剖视图(点状线)中示出所述区域 104、110 和 116 以说明相关区域尺寸。正如所见, 所述 CMR 薄膜第一 25 区域 114 与所述顶部电极区域 112 近似相等。所述术语“近似的”用于说明在制造过程中通常的容差。如下所释, 由于所述顶部电极 110 暴露于蚀刻剂较长时间段的事实, 区域 114 可以略大于区域 112。然而, 在其它方面, 适应于 CMR 和电极材料的蚀刻选择性, 区域 112 可以略大于区域 114。

30 所述 CMR 第二区域 116 显示为小于所述底部电极区域 104, 下面作更为

详细的说明。然而，在其它方面，所述 CMR 第二区域 116 和底部电极区域 104 可以相同。尽管所述区域 104, 110, 114 和 116 显示为近似正方形的形状，在其它方面所述区域的形状可以是矩形、圆形、或者椭圆。

回到图 2，所述 CMR 存储薄膜 106 具有总的第一厚度 120，具有第一区域 114 的第二厚度部分 122，和在所述第二厚度部分 122 的下面的具有第二区域 116 的第三厚度部分 124。所述第三厚度 124 等于第一厚度 120 减去第二厚度 122。所述 CMR 薄膜第三厚度 124 是第一厚度 120 的 20%~80%。所述第一厚度 120 为 50-350 纳米 (nm)。

尽管所述第二和第三厚度部分 122/124 显示为阶梯或者矩形形状，本发明并不限于任何特定的形状。在另一方面（未示出），所述 CMR 薄膜非对称区域 108 为锥形，具有从第一区域 114 到第二区域 116 的线性区域改变。在另一方面（未示出），所述非对称区域 108 具有阶梯状金字塔形。其它非对称的形状也是可能的。

第一组侧壁绝缘体 130a 和 130b 与所述顶部电极 110 和所述 CMR 薄膜 106 的第二厚度部分 122 相邻。第二组侧壁绝缘体 132a 和 132b 覆盖所述第一组侧壁绝缘体 130a 和 130b 并且与所述 CMR 薄膜 106 的第三厚度部分 124 相邻。

所述第一组侧壁绝缘体 130a 和 130b 由例如氮化硅或者氧化铝的材料形成。然而，其它的绝缘体材料是本领域中公知的。每一个侧壁（130a 或者 130b）的厚度 134 为 50~200nm。类似，所述第二组侧壁绝缘体 132a 和 132b 由例如氮化硅或者氧化铝的材料形成，并且每一侧壁的厚度 136 为 20~100nm。

所述底部电极 102 可以由例如 TiN/Ti、Pt/TiN/Ti、In/TiN/Ti、PtRhOx 化合物、或者 PtIrOx 化合物的材料形成。所述顶部电极 110 可以由例如 TiN、TiN/Pt、TiN/In、PtRhOx 化合物、或者 PtIrOx 化合物的材料形成。然而，这并不是材料的穷尽性列表，其它的电极材料是本领域中公知的。

图 4 是本发明的 RRAM 非对称区域存储单元的示意图。所述存储单元 300 包括具有源极 302 和漏极 304 有源区的 CMOS 晶体管。所述存储单元也包括覆盖晶体管有源区的金属（或者导电材料）层间互连（interlevel interconnect）306。尽管所述层间互连 306 显示为连接到源极 302，它也可以选择连到漏极 304。带有区域 104 的底部电极 102，覆盖所述层间互连 306。所述底部电极 102 与所述互连 306 电通信。如同上面详细的描述（参考图 2 和 3）所述 CMR 存

储薄膜 106 覆盖所述底部电极 102 并且具有非对称区域 108。所述顶部电极 110 具有小于所述底部电极区域 104 的区域 112，该区域 112 覆盖所述 CMR 薄膜 106。在某些方面，金属层间互连 308 覆盖所述存储单元顶部电极 110。

5 功能性描述

回到图 2，示出蚀刻后的所述 CMR 存储薄膜。两组氮化物隔离物（130 a/b 和 132 a/b）在蚀刻表面上形成。所述第一组隔离物 130 a/b 用于第一蚀刻过程。剩余的 CMR 薄膜被蚀刻并使用第二氮化物膜钝化。结果，所述顶部电极区域 112 小于底部电极区域 104。所述器件 100 是非对称的并且能使用双极窄脉冲或者单极脉冲编程。

尽管所述附图示出了单金属电极，顶部和底部电极也可以由多层金属制成，例如 TiN/Ti、Pt/TiN/Ti 或者用于底部电极的 In/TiN/Ti、和用于顶部电极的 TiN、TiN/Pt 或者 TiN/In。正如上面所提到的，材料的其它的组合也是可以的。

图 5 描述了本发明中存储单元制造过程中的初始步骤。在完成硅底层上的所有的电子部件（晶体管元件）的全部制造后，所述晶片被氧化物所钝化。形成用于存储单元和关联晶体管的金属互连，并使用任何现有技术装置，诸如化学机械抛光（CMP），将其平面化。形成包括底部电极 102、存储电阻器薄膜 106、顶部电极 110 和硬掩模材料 600 的栈。

图 6a 到 6d 描述了在使用非对称区域 CMR 薄膜的 RRAM 存储单元的制造过程中的另外的步骤。在图 6A 中光致抗蚀剂用于蚀刻硬掩模 600、顶部电极 110、和存储电阻器薄膜 106。所述存储电阻器薄膜 106 被部分蚀刻。剩余的存储薄膜（第三厚度部分 124）是初始薄膜厚度 120 的 20%~80%。

在图 6B 中所述光致抗蚀剂被剥去。沉积 50 nm~200 nm 的氮化硅。所述氮化硅被蚀刻以形成钝化蚀刻的存储电阻器薄膜侧壁（130a 和 130b）。

在图 6c 中剩余的存储电阻器薄膜被蚀刻。首先，沉积 20 nm~100 nm 厚的第二氮化硅。接着，底部电极被蚀刻。

所述硬掩模可以在图 6b 或者图 6c 的处理过程中被移除。在图 6d 中沉积氧化物。可选择地，可以进行 CMP 平面化处理，并且接着形成另一金属互连 602。

在一些方面，难熔金属用作所述底部电极的部分。至少部分使用溅射处理

干法刻蚀所述难熔金属。在常规的存储单元工艺过程中，从底部电极移除的难熔金属中的一些可能被再沉积于所述存储电阻器栈的侧壁上，降低了存储电阻器的性质。然而，本发明的存储单元侧壁绝缘体防止难熔金属的再沉积，提高了工艺产量。

5 图 7 是描述本发明的用于形成非对称区域存储单元的方法的流程图。尽管为了表述清楚将所述方法描述为一系列编号的步骤，不应从所述编号中推断出任何次序，除非已明确的声明。应当理解这些步骤中的一些可以被省略、并行执行、或者不需要保持严格的序列次序来执行。所述方法从步骤 700 开始。

步骤 704 形成具有一区域的底部电极，参考图 3 对于“区域”的定义。在
10 一些方面，所述底部电极由例如 TiN/Ti、Pt/TiN/Ti 或者 In/TiN/Ti、PtRhOx 化合物或者 PtIrOx 化合物的材料形成。步骤 706 形成覆盖所述底部电极的 CMR 存储薄膜，所述 CMR 存储薄膜具有非对称区域。所述 CMR 存储薄膜能够由 $\text{Pr}_{0.3}\text{Ca}_{0.7}\text{MnO}_3$ (PCMO) 存储薄膜形成。步骤 708 形成覆盖所述 CMR 薄膜的具有一区域的顶部电极，所述区域小于底部电极区域，。所述顶部电极可以由
15 TiN、TiN/Pt、TiN/In、PtRhOx 或者 PtIrOx 化合物形成。

形成具有非对称区域的 CMR 薄膜（步骤 706）包括形成具有与所述顶部电极相邻的第一区域和与所述底部电极相邻的第二区域的 CMR 薄膜，所述第二区域大于所述第一区域。在所述方法的一些方面，所述 CMR 薄膜第一区域近似等于所述顶部电极区域。在另一些方面中，所述 CMR 薄膜第二区域小于
20 所述底部电极区域。

更特别的是，所述方法可包括附加的步骤。步骤 702a 各向同性地沉积底部电极（BE）层。步骤 702b 各向同性地沉积 CMR 薄膜层，所述薄膜层具有第一厚度并覆盖所述底部电极层。步骤 702c 各向同性地沉积覆盖所述 CMR 薄膜层的顶部电极（TE）层。接着，形成所述顶部电极区域（步骤 708）和所述
25 CMR 薄膜第一区域（步骤 706）包括蚀刻所述顶部电极层和所述 CMR 薄膜层的第二厚度部分。

步骤 702d 形成与所述顶部电极和所述 CMR 薄膜的第二厚度部分相邻的第一组侧壁绝缘体。在一些方面，所述侧壁绝缘体由例如氮化硅或者氧化铝的材料形成，厚度为 50-200nm。接着，形成 CMR 薄膜第二区域（步骤 706）包
30 括蚀刻所述 CMR 薄膜层的剩余部分，留下所述 CMR 薄膜第二区域的第三厚

度部分, 所述第二区域覆盖所述第一组侧壁绝缘体, 所述第三厚度等于第一厚度减去第二厚度。在一些方面, 所述 CMR 第三厚度是第一厚度的 20-80%。在另一些方面, 形成 CMR 存储薄膜 (步骤 706) 包括形成 50~350 纳米的 CMR 薄膜第一厚度。

5 步骤 702e 形成覆盖所述第一组侧壁绝缘体且与所述 CMR 薄膜的第三厚度部分相邻的第二组侧壁绝缘体。在一些方面, 所述第二组侧壁绝缘体由氮化硅或者氧化铝的材料形成, 厚度为 20-10nm。接着, 形成具有一区域的底部电极 (步骤 704) 包括蚀刻所述底部电极层, 保留所述第一和第二组侧壁绝缘体下面的底部电极区域。

10 图 8 是描述本发明的用于形成 RRAM 非对称区域存储单元的方法的流程图。所述方法开始于步骤 800。步骤 802 形成具有源极和漏极有源区的 CMOS 晶体管。步骤 804 形成连接到晶体管有源区域 (源极或者漏极) 的金属层间互连。可以用本领域公知的常规工艺执行步骤 802 和 804。步骤 806 形成覆盖所述层间互连具有一区域的底部电极。步骤 808 形成具有非对称区域的覆盖所述底部电极 CMR 存储薄膜。步骤 810 覆盖所述 CMR 薄膜形成具有一区域的顶部电极, 所述区域小于所述底部电极区域。步骤 806、808 和 810 在关于图 7 的解释中被更详细的描述。

图 9 是描述本发明的方法的流程图, 所述方法用于使用双极和单极脉冲编程非对称区域存储单元。所述方法开始于步骤 900。步骤 902 施加具有第一极性的第一电压脉冲到存储单元顶部电极。如下所述, 第一脉冲相对狭窄。步骤 904, 响应于所述第一脉冲, 在非对称区域超巨磁阻 (CMR) 存储薄膜上产生低电阻。步骤 906 施加具有与第一极性相反的第二极性的第二 (窄) 电压脉冲到所述存储单元的顶部电极。步骤 908, 响应于所述第二脉冲, 在所述非对称区域 CMR 存储薄膜上产生高电阻。步骤 910 施加第三脉冲, 其具有与第二脉冲相同的极性, 并且具有大于 1 微秒的脉冲宽度。步骤 912, 响应于所述第三脉冲, 在所述 CMR 存储薄膜中产生低电阻。

响应于所述第一脉冲在所述 CMR 存储薄膜中产生低电阻 (步骤 904) 包括在所述非对称区域 CMR 存储薄膜的窄区域区中产生低电阻。在一些方面, 在 CMR 存储薄膜中产生的低电阻为 1000~10K ohms。在所述 CMR 存储薄膜中产生高电阻 (步骤 908) 包括在所述非对称区域 CMR 存储薄膜的窄区域区

中产生高电阻。所述在 CMR 存储薄膜产生的高电阻为 100K~10M ohms。

在一些方面，施加具有第一极性的第一脉冲到所述存储单元顶部电极（步骤 902）包括施加宽度为 5~500 纳秒（ns）的电压脉冲。施加具有第二极性的第二脉冲到所述存储单元顶部电极（步骤 906）包括施加宽度为 5~500ns 的电压脉冲。

假设所述 CMR 薄膜的厚度为 50-350 纳米，步骤 902 施加电压幅度为 2~6 伏特的第一脉冲，并且步骤 906 施加电压幅度为 2~6 伏特的第二脉冲。

在一些方面，响应于所述第一脉冲在所述非对称区域 CMR 存储薄膜的窄区域区中产生低电阻（步骤 904）包括响应于所述 CMR 存储薄膜的窄区域区中的第一电场以及所述 CMR 存储薄膜的宽区域区中的第二电场产生低电阻，所述第二电场的电场强度小于所述第一电场。所述第一和第二电场具有相同的极性。类似，在所述非对称区域 CMR 存储薄膜的窄区域区中产生高电阻（步骤 908）包括响应于所述 CMR 存储薄膜的窄区域区中的第三电场以及所述 CMR 存储薄膜的宽区域区中第四电场产生高电阻，所述第三电场的极性与所述第一电场相反，所述第四电场的电场强度小于所述第三电场。所述第三和第四电场具有相同的极性。

作为一个示例，步骤 902 施加正极性脉冲，并且步骤 904 在与所述顶部电极相邻的窄区域区中产生低电阻。这个示例假设所述存储单元是按照图 2 中的存储单元构建的。继续该示例，步骤 906 施加负极性脉冲。接着，在所述非对称区域 CMR 存储薄膜的窄区域区中产生高电阻（步骤 908）包括在与所述顶部电极相邻的窄区域区中产生高电阻。如果所述顶部电极以及与所述顶部电极相邻的 CMR 薄膜区域比所述底部电极宽（非对称被颠倒），则在该示例中提到的脉冲极性要被颠倒。

提出了非对称区域存储单元、相应的 RRAM 结构、编程过程以及制造过程。具体的细节，例如宽度、厚度、和材料被用来描述本发明。然而，本发明并不仅仅限于这些示例。本发明的其它的变化和实施例对本领域技术人员来说是存在的。

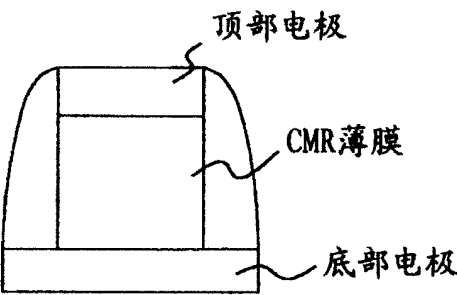


图 1
现有技术

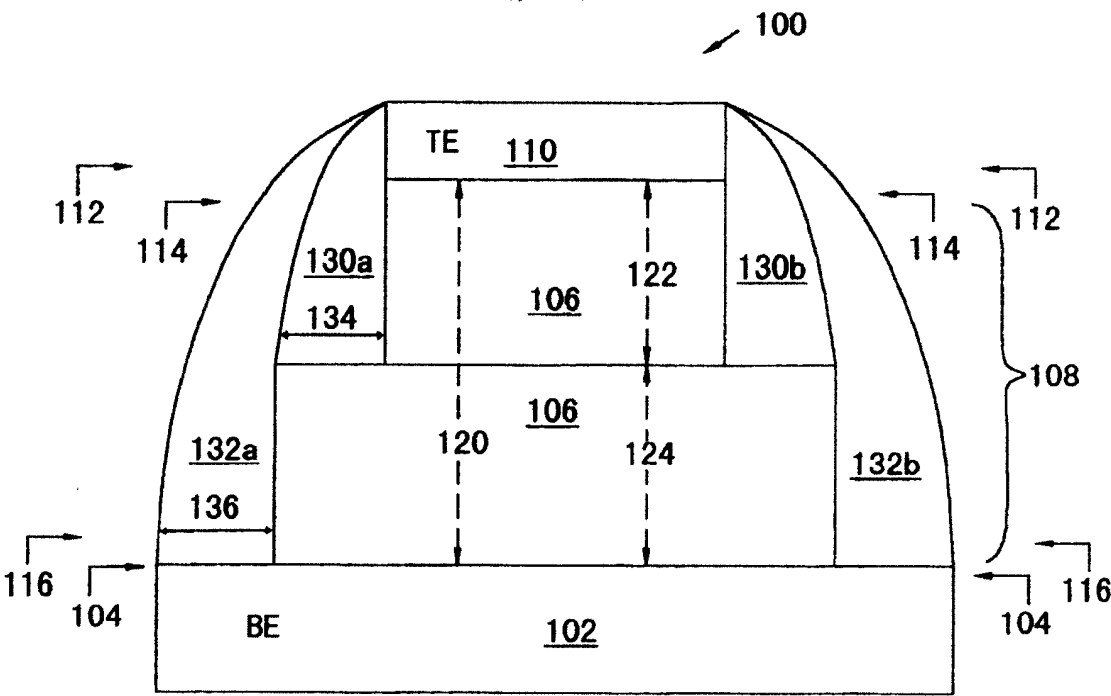


图 2

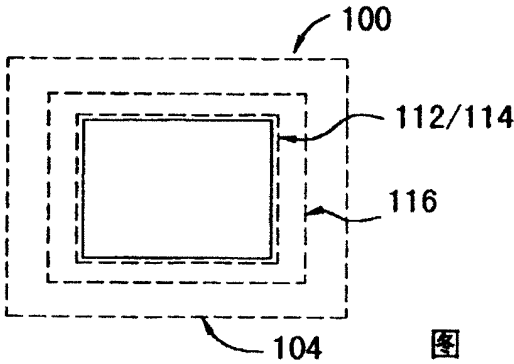


图 3

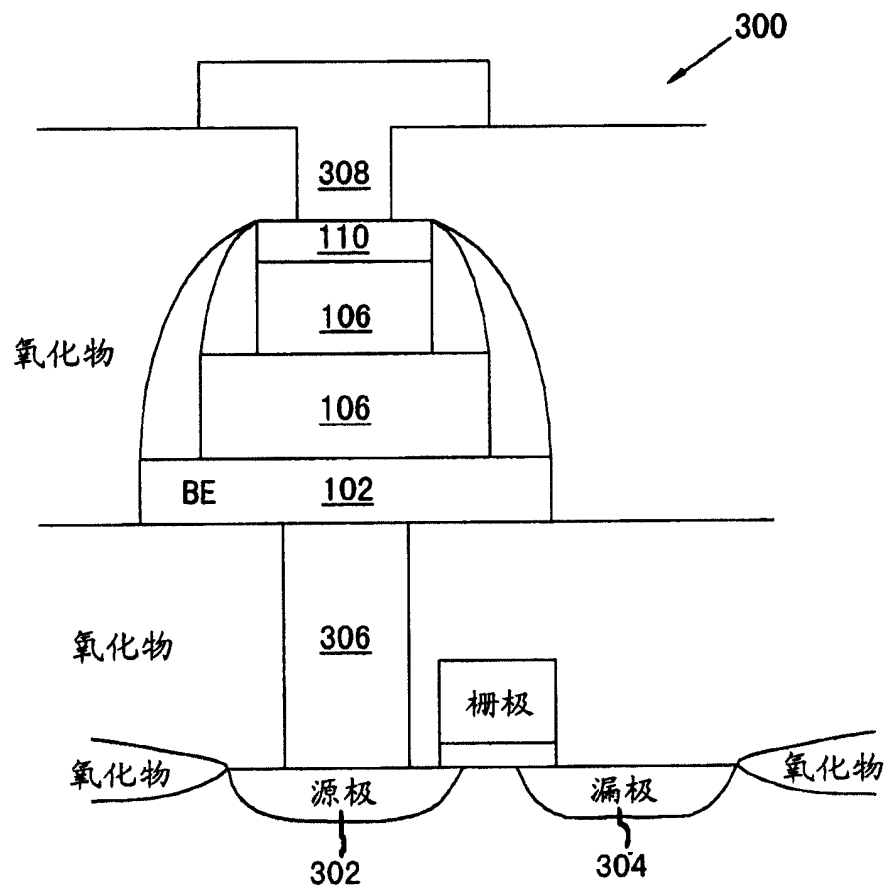


图 4

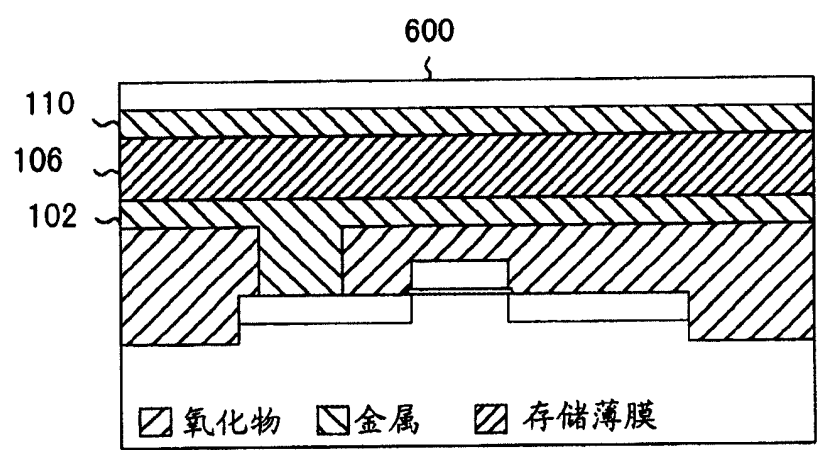


图 5

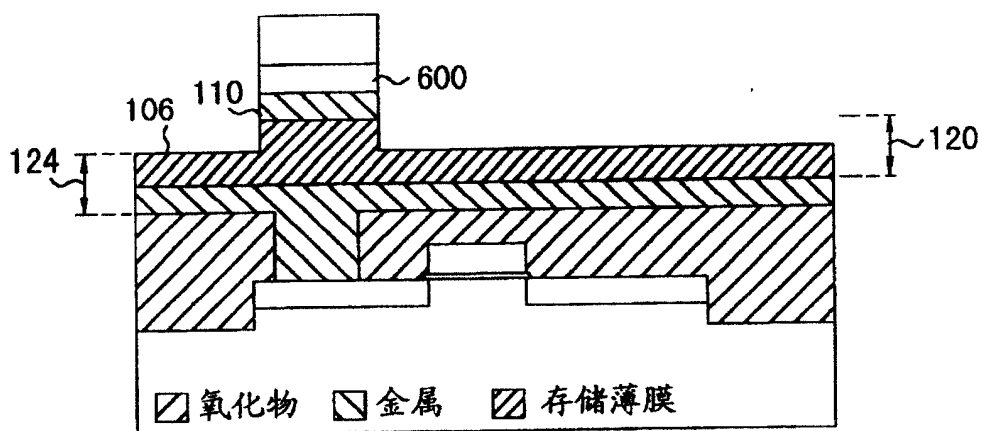


图 6a

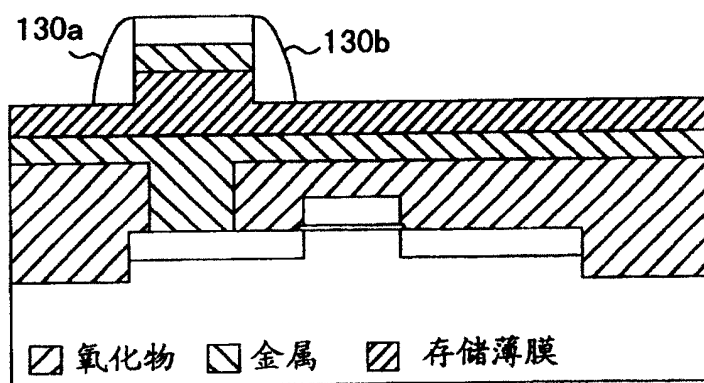


图 6b

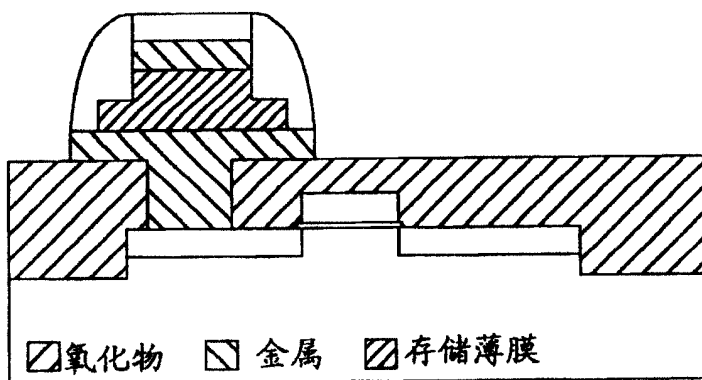


图 6c

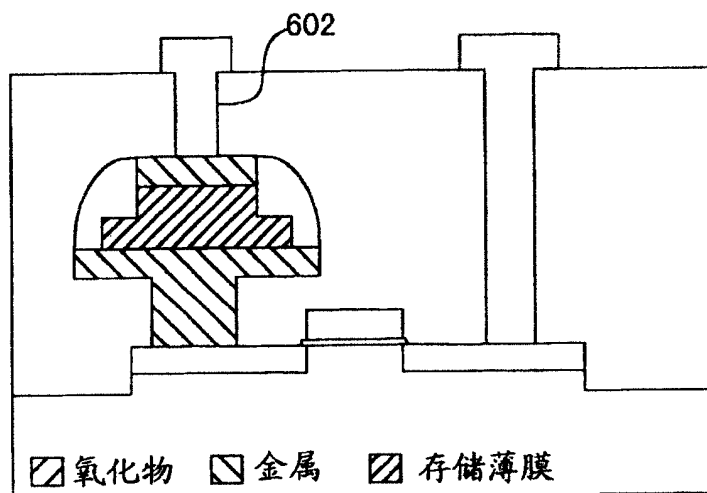


图 6d

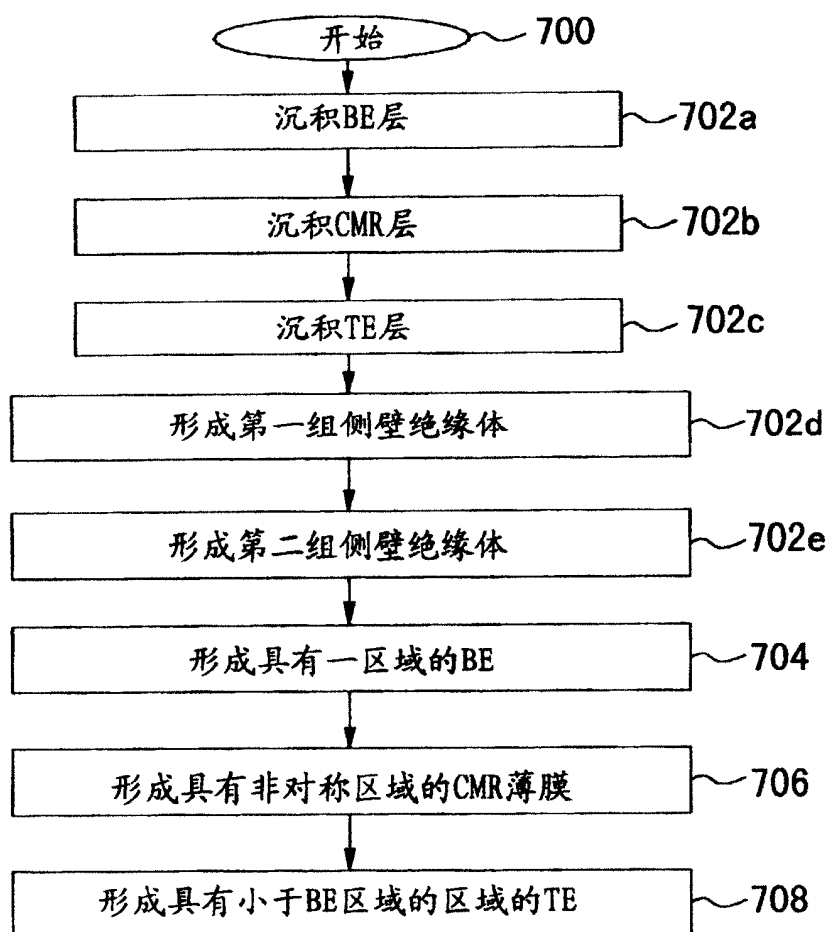


图 7

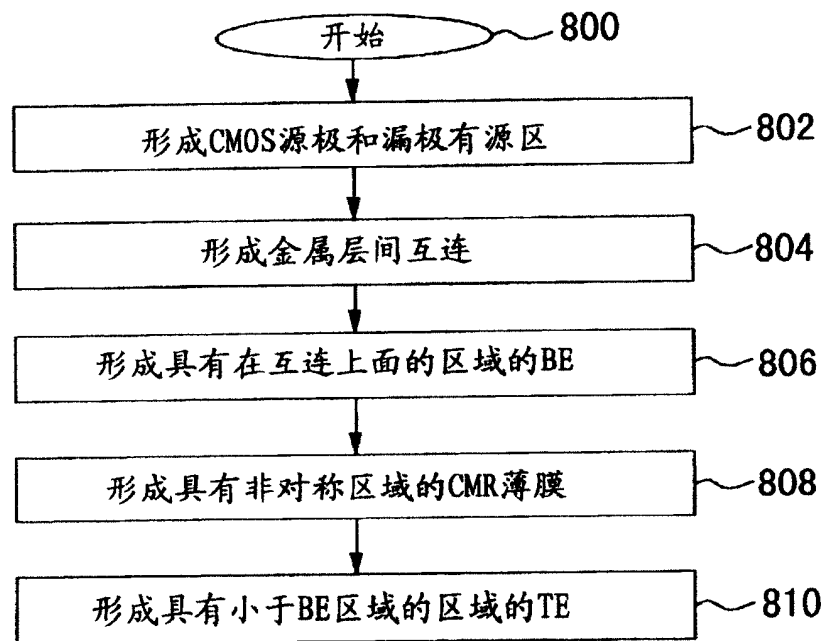


图 8

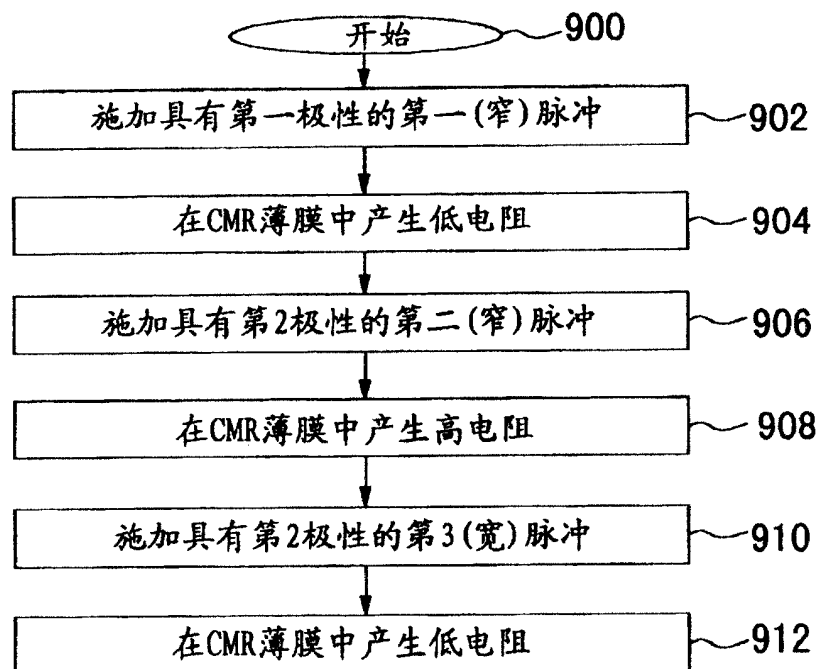


图 9