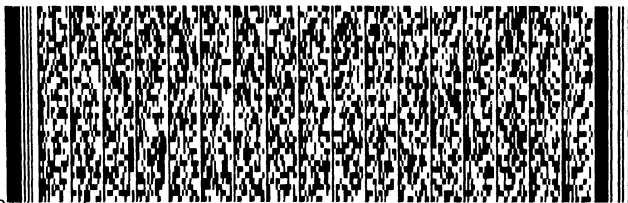


申請日期: 91-10-21	IPC分類
申請案號: 9112466	H04L12/00

(以上各欄由本局填註)

## 發明專利說明書

一、發明名稱	中文	多功能處理機電腦系統中之連接線用轉接輸入/輸出節點
	英文	A SWITCHING I/O NODE FOR CONNECTION IN A MULTIPROCESSOR COMPUTER SYSTEM
二、發明人 (共1人)	姓名 (中文)	1. 戴爾·E·卡利克
	姓名 (英文)	1. DALE E. GULICK
	國籍 (中英文)	1. 美國 US
	住居所 (中文)	1. 美國·德州78738·奧斯汀·阿斯托利亞11715號
	住居所 (英文)	1. 11715 Astoria, Austin, TX 78738, U. S. A.
三、申請人 (共1人)	名稱或姓名 (中文)	1. 高級微裝置公司
	名稱或姓名 (英文)	1. ADVANCED MICRO DEVICES, INC.
	國籍 (中英文)	1. 美國 US
	住居所 (營業所) (中文)	1. 美國·加州94088-3453桑尼威·第1AMD區·M/S 68·郵政信箱3453號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英文)	1. One AMD Place, M/S 68, P.O. Box 3453, Sunnyvale, CA 94088-3453 U. S. A.
	代表人 (中文)	1. 理查·J·諾迪
代表人 (英文)	1. RICHARD J · RODDY	



一、本案已向

國家(地區)申請專利	申請日期	案號	主張專利法第二十四條第一項優先權
美國 US	2001/11/30	09/998,758	有

二、主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項第一款但書或第二款但書規定之期間

日期：

四、有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

無

熟習該項技術者易於獲得,不須寄存。



## 五、發明說明 (1)

## [發明所屬之技術領域]

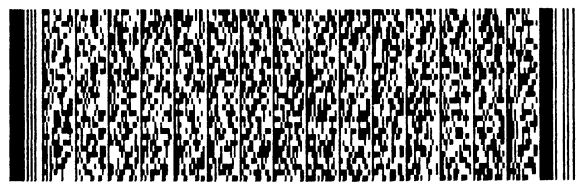
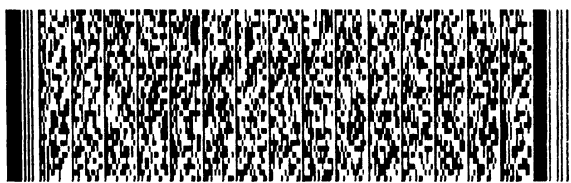
本發明係關於多處理器電腦系統輸入輸出節點，尤係關於交換輸入輸出節點。

## [先前技術]

使用多個處理單元之電腦系統具有經濟上的性能調整能力，該能力超越了現用之單一處理器基礎系統者。在多處理環境內，對於使用單一之處理器並不集中所有的處理，該等處理任務可劃分成由分離之處理器來處理之群組。整個處理負擔因此分佈於幾個處理器之間，而此分佈之任務可同時並行執行。操作系統軟體將程式碼之各不同部分分成獨立之可執行序，而一般對各執行序指定優先等級。

個人電腦(PC)和其他型式之電腦系統都已設計成共用匯流排系統用於處理記憶體。一個或更多個處理器以及一個或更多個輸入/輸出(I/O)裝置可經由共用匯流排耦接至記憶體。輸入/輸出裝置經由輸入/輸出橋接器可耦接到共用匯流排，該輸入/輸出橋接器處理共用匯流排和輸入/輸出裝置之間的資訊轉換，雖然處理器一般直接耦接到共用匯流排或經由劃分等級之快取記憶體耦接到共用匯流排。以下配合著第1圖先前技藝之描述而說明一種典型的多處理器電腦系統。

茲參照第1圖，顯示多處理器電腦系統之一個實施例的方塊圖。多處理器電腦系統包括處理器單元100A至100B、經由系統匯流排105耦接到處理器單元100A至100B



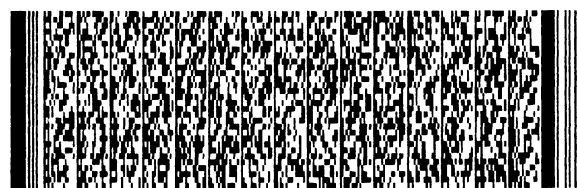
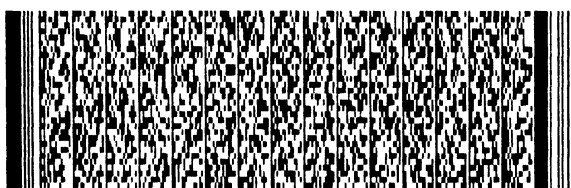
## 五、發明說明 (2)

之系統控制器 110、和經由記憶體匯流排 125 耦接到系統控制器 110 之系統記憶體 120。此外，系統控制器 110 經由輸入/輸出匯流排 135 耦接到輸入/輸出集線器 (hub) 130。

第 1 圖之多處理器電腦系統有點如對稱之形式，即所有之處理單元 100A 至 100B 可以共用相同的記憶體空間 (即，系統記憶體 120)，並使用相同的位址寫映來存取記憶體空間。多處理器系統更可由所有之處理單元 100A 至 100B 均等的共用存取輸入/輸出集線器 130 而呈現對稱之形式。

一般而言，單一複製之作業系統軟體和單一複製之各使用者應用檔案可以於系統記憶體 120 內存取。各處理單元 100A 至 100B 可以由這些單一複製之作業系統軟體和使用者應用檔案而執行。雖然處理核心 (圖中未顯示) 可以同時執行碼，但是應注意者於一指定的時間僅有處理單元 100A 至 100B 其中之一假定為系統匯流排 105 的主控者。因此，在系統控制器 110 內之匯流排仲裁機構可以提供處理單元 100A 至 100B 之同時發生匯流排請求時之仲裁，並根據預定的仲裁演算法而允許處理單元 100A 至 100B 之其中一個為主控者。已知有許多種不同之仲裁技術。

除了任何由於系統匯流排仲裁而呈現的限制外，於上述第 1 圖之電腦系統中所使用的共用匯流排 (例如，系統匯流排 105) 可以忍受譬如限制頻寬的缺點。當額外的處理器附加到共用匯流排時，多個附加物會表現出高電容性負載於在匯流排上驅動訊號之裝置，而此多個附加點表現出對



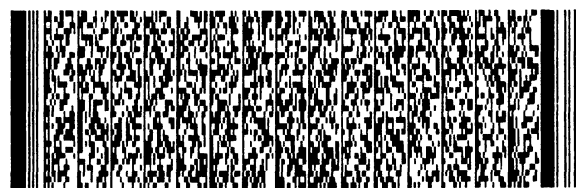
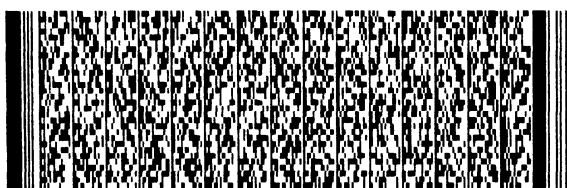
## 五、發明說明 (3)

於高頻之相當複雜的傳輸線模式。因此，也許會降低操作頻率。

欲克服共用匯流排之一些缺點，一些電腦系統於裝置和節點之間可以使用封包式通訊。於如此系統中，可藉由交換封包資訊而使各節點之間可以彼此通訊。一般而言，"節點"為一個裝置，基於互連線而能夠參與資訊交易 (transaction, 下文中簡稱"交易")。舉例而言，互連線可以是封包式的，而節點可以組構用來接收和發送封包。一般而言，"封包"為二個節點之間之通訊，此二個節點為：發送封包之起始或"來源"節點，和接收封包之目的地或"目標"節點。當封包到達目標節點時，目標節點接收由封包傳送來的資訊，並在內部處理此資訊。位於來源和目標節點之間之通訊路徑上的節點，可以將封包從來源節點轉送或傳送至目標節點。

茲參照第 2 圖，顯示具有交換至單一上游封包匯流排鏈路之多個下游封包匯流排鏈路之多處理器電腦系統。多處理器電腦系統 200 包括處理器 201A 和由系統匯流排 202 連接之處理器 201B。處理器 201B 由封包匯流排鏈路 205 連接至輸入/輸出節點交換器 210。輸入/輸出節點交換器 210 進一步經由第二封包匯流排鏈路 215 連接至輸入/輸出節點 220。再者，輸入/輸出節點交換器 210 經由封包匯流排鏈路 225 連接至額外的輸入/輸出節點 230。

應注意者處理器 201A 和處理器 201B 可與第 1 圖之處理器 101A 和 101B 有實質相同的操作方法。然而，於第 2 圖中

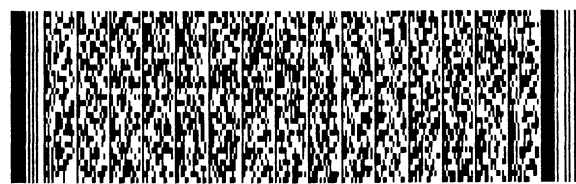
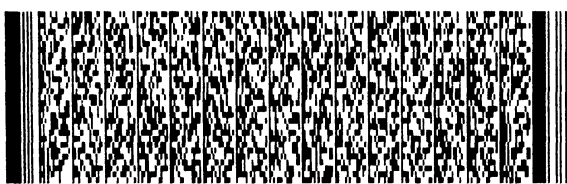


## 五、發明說明 (4)

之輸入/輸出連接方式不同。輸入/輸出節點交換器 210 可提供用來直接從處理器 201A 或 201B 通訊至輸入/輸出節點 220 或 230 其中之一之交換機構。於此種系統型式，處理器 201B 包含主橋接器 (圖中未顯示) 可方便與輸入/輸出節點 220 或 230 之通訊。此外，處理器 201A 可經由處理器 201B 而與輸入/輸出節點 220 或 230 通訊。以此方式連接之系統，由於於第 2 圖中使用了封包匯流排，雖然其仍有缺點，但是較第 1 圖所示之多處理系統提供了較佳之多處理解決方式。舉例而言，交易發出於或目標至處理器 201A 也許先要通過處理器 201B，如此則可能招受耗費等待時間之代價。

## [發明內容]

本發明揭示了於多處理器電腦系統中用於連接線之交換輸入/輸出 (I/O) 節點之各不同實施例。於一個實施例中，用於多處理器電腦系統之輸入/輸出節點交換器包括施行於積體電路晶片上之橋接單元。該橋接單元可耦接以從譬如 PCI 匯流排之周邊匯流排接收複數個周邊交易，並可組構以傳送對應於複數個周邊交易之複數個上游封包交易。該輸入/輸出節點交換器亦包括施行於積體電路晶片之封包匯流排交換器單元，該封包匯流排交換器單元可耦接以接收於內部點對點封包匯流排鏈路之複數個上游封包交易，並可組構以判定各複數個上游封包交易的目的地。封包匯流排交換器單元可進一步組構以路由傳輸複數個上游封包交易中選擇之其中一個至耦接於第一點至點封包匯



## 五、發明說明 (5)

流排鏈路之第一處理器介面，並回應於判定之各複數個上游封包交易之目的地，而路由傳輸其他的複數個上游封包交易至耦接於第二點至點封包匯流排鏈路之第二處理器介面。

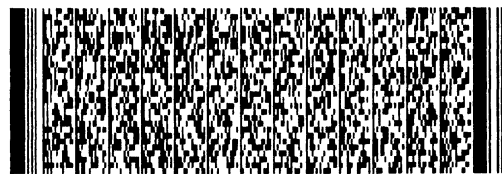
於一個特定之實施方式中，輸入/輸出節點交換器更進一步包括施行於積體電路晶片之第一收發器單元和第二收發器單元。該第一收發器單元可耦接以接收複數個上游封包交易之選擇之其中數個，並發送該選擇之數個封包交易於第一點至點封包匯流排鏈路上。該第二收發器單元可耦接以接收複數個上游封包交易之選擇之另外其中數個，並發送該選擇之另外數個封包交易於第二點至點封包匯流排鏈路上。各點至點封包匯流排鏈路可以是

HyperTransport™ 匯流排鏈路。

於一個特定之實施方式中，封包匯流排交換器單元可以組構成使用可程式檢查表來判定各複數個上游封包交易之目的地。

於另一個特定之實施方式中，封包匯流排交換器單元可以組構成使用對應於上游裝置之有效之緩衝器空間計數，來判定各複數個上游封包交易之目的地，該上游裝置譬如為耦接至第一和第二外部封包匯流排鏈路之處理器。

又於另一個特定之實施方式中，封包匯流排交換器單元可以組構成解碼關聯於各複數個上游封包交易之位址。於更進一步特定之實施方式中，封包匯流排交換器單元可以組構成依於位址而阻擋複數個上游封包交易之額外的其



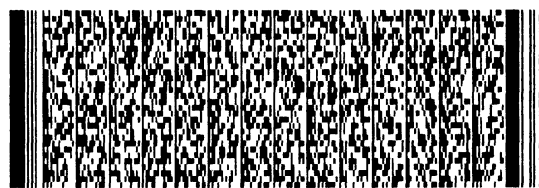
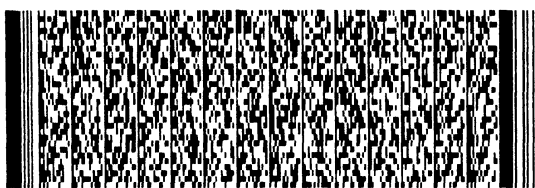
## 五、發明說明 (6)

中一個交易。

## [實施方式]

雖然本發明可容易作各種之修飾和替代形式，然已用參考圖式舉例說明之方式而詳細說明了本發明之特定實施例。然而，應瞭解到此處特定實施例之說明並不欲作為限制本發明為所揭示之特定形式，反之，本發明將涵蓋所有落於所附申請專利範圍內所界定之本發明之精神和範圍內之修飾、等效和替換。

茲參照第3圖，顯示具有多個上游封包匯流排鏈路之多處理器電腦系統之方塊圖。多處理器電腦系統300包括分別透過一對之輸入/輸出封包匯流排鏈路315A和315B耦接到輸入/輸出節點交換器裝置310之處理器301A至301D。處理器301A至301D經由各自相干之封包匯流排鏈路305A至305D而耦接在一起。輸入/輸出節點交換器310顯示連接至周邊匯流排340和輸入/輸出鏈路345。輸入/輸出節點交換器裝置310經由輸入/輸出封包匯流排鏈路325進一步耦接至輸入/輸出節點320。輸入/輸出節點320耦接至另一個輸入/輸出封包匯流排鏈路330，該輸入/輸出封包匯流排鏈路330可連接至另一個輸入/輸出節點(圖中未顯示)。值得注意的是考慮到於其他實施例中可包括與多處理器電腦系統300中所示組件不同之組構。舉例而言，考慮到於其他實施例中，其他數目之處理器可透過額外的輸入/輸出封包匯流排鏈路(圖中未顯示)連接到輸入/輸出節點交換器310。此外，輸入/輸出鏈路345可連接到如多處理器電腦



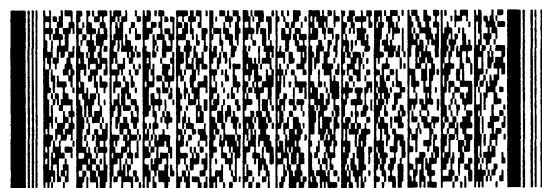
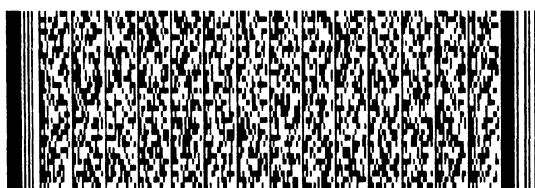


## 五、發明說明 (7)

系統 300 之一些或不同網路內之裝置。

於所示實施例中，相干封包匯流排 305 之各鏈路實施為各組之單向線路 (例如，線路 305B 用來發送封包從處理器 301A 至處理器 301B，而線路 305C 用來發送封包從處理器 301B 至處理器 301C)。其他各組之線路 305A 和 305D 用來發送封包於其他處理器之間，如第 3 圖中所示。相干封包介面 305 對於處理節點 ("相干鏈路") 之間的通訊可操作於快取記憶體相干方式。再者，輸入/輸出封包匯流排 315 可操作於非相干方式用於輸入/輸出節點之間通訊和輸入/輸出節點與譬如處理器 301A ("非相干鏈路") 之處理器之間之通訊。非相干鏈路亦可施行作為各組之單向線路 (例如，線路 315A 用來發送封包從處理器 301A 至輸入/輸出節點交換器 310 而線路 315B 用來發送封包從處理器 301B 至輸入/輸出節點交換器 310)。經由相干鏈路之二個或多個節點之互連線可稱之為 "相干結構"。相似地，經由非相干鏈路之二個或多個節點之互連線可稱之為 "非相干結構"。值得注意的是，從一個處理器傳送至另一個處理器之封包可通過一個或多個媒介節點。舉例而言，由處理器 301A 傳送至處理器 301C 之封包可通過處理器 301B 或處理器 301D 其中一個，如第 3 圖中所示。可以使用任何適當之路由演算。如由圍繞處理器 301C 至 301D 之虛線所表示，多處理器電腦系統 300 之其他實施例可包括較第 3 圖中所示者更多或較少之處理器。

於所示實施例中，各處理器 301A 至 301D 為譬如 Athlon

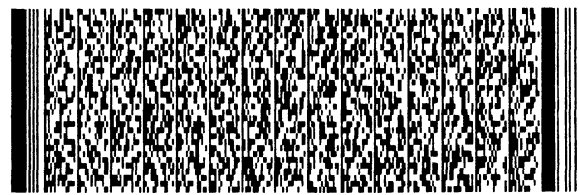
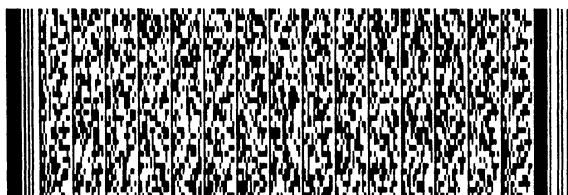


## 五、發明說明 (8)

™微處理器之 x86 處理器架構處理器之例子。然而考慮到可以使用其他適當之處理器。此外，輸入/輸出封包匯流排鏈路 315A 至 315B 和 325 為高速點至點封包介面之範例鏈路，並可與 HyperTransport™ 技術相容。再者，輸入/輸出鏈路 345 為譬如乙太網或 Infiniband™ 連接線之範例連接線。舉例而言，周邊匯流排 340 為譬如周邊組件互連 (Peripheral Component Interconnect, PCI) 匯流排，或延長周邊組件互連 (PCI-X) 匯流排之任何適當的周邊匯流排。

於譬如多處理器電腦系統 300 之多處理器電腦系統中，單一複製之作業系統軟體和單一複製之各使用者應用檔案可以儲存在系統記憶體內 (圖中未顯示)。各處理器 301A 至 301D 可以由這些單一複製之作業系統和使用者應用檔案而執行，並可同時執程式碼。

於所示實施例中，處理器 301A 至 301B 可以各包括主橋接器 (圖中未顯示)，分別包含連接至輸入/輸出封包匯流排鏈路 305A 和 305B 之介面。雖然考慮到於其他實施例中處理器 301C 和 301D 亦可以包括主橋接器，並連接至額外的輸入/輸出封包匯流排鏈路。將於下配合第 4 和第 5 圖所示而作更詳細之說明，輸入/輸出節點交換器 310 可以從下游來源接收多個封包交易，並路由傳輸這些交易至多個上游目的地，譬如處理器 301A 至 301B。如此處所使用的術語 "上游" 意謂著參考交易流向譬如處理器 301A 之處理器，或在處理器內之主橋接器之方向。術語 "下游" 意謂著參考交



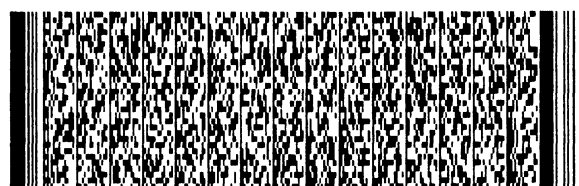
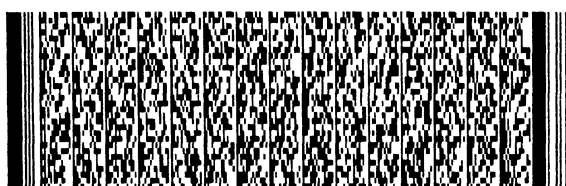
## 五、發明說明 (9)

易流向離開處理器，或在處理器內之主橋接器之方向。

一般而言，封包為二個節點之間的通訊（發送封包之起始節點和接收封包之目的地節點）。該起始節點和目的地節點可以與交易之來源和目標節點不同，該封包為交易之一部分，或其中一節點可以是來源節點或目標節點其中之一。控制封包為關於此交易之封胞載送控制資訊。某些控制封包指定隨後之資料封包。資料封包載送對應於交易和對應於特定控制封包之資料。於一個實施例中，控制封包可以包括指令封包、資訊封包和回應封包。值得注意的是於其他的實施例考慮到包括其他型式之封包。

舉例而言，輸入/輸出節點交換器 310 可從譬如周邊匯流排 340、網路鏈路 345 和輸入/輸出封胞匯流排 325 之多個下游來源接收上游封包交易。封包交易各可以一般包括在其內具有編碼位址之頭部。輸入/輸出節點交換器 310 可解碼封包交易的各目的地位址，並依於解碼的位址路由傳輸這些交易。輸入/輸出節點交換器 310 亦可接收從處理器 301A 至 301D 發源出之下游封包交易。輸入/輸出節點交換器 310 可再解碼各封包交易的目的地位址，並由此路由發送封包交易。

茲參照第 4 圖，顯示輸入/輸出節點交換器之一個實施例的方塊圖。輸入/輸出節點交換器 400 包括一對分別耦接到輸入/輸出封胞匯流排鏈路上之上游收發器 410 和 420。舉例而言，輸入/輸出封胞匯流排鏈路 401 和 402 可以耦接至譬如第 1 圖之處理器 301A 至 301B 之上游裝置。第 4 圖之收

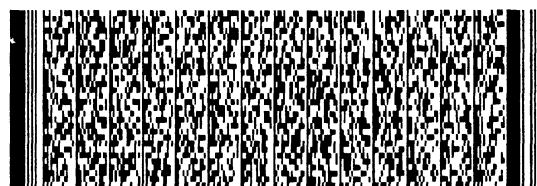
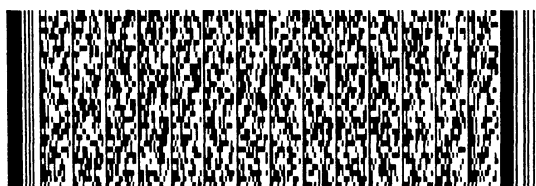


## 五、發明說明 (10)

發器 410 和 420 亦分別經由內部封胞匯流排鏈路 435 耦接至封胞匯流排交換器 430。介面匯流排 440 經由內部封胞匯流排鏈路 445 耦接至下游收發器 480。收發器 480 耦接至輸入/輸出封胞匯流排鏈路 485，該輸入/輸出封胞匯流排鏈路 485 可以連接至另一個輸入/輸出節點或其他的裝置(圖中未顯示)。介面匯流排 440 亦耦接至輸入/輸出介面 470，和耦接至周邊介面 450 和 460。周邊介面 450 和 460 分別耦接至周邊匯流排 455 和 465。輸入/輸出介面 470 耦接至輸入/輸出鏈路 475。值得注意的是雖然本實施例說明為連接至二個輸入/輸出封胞匯流排鏈路之二個上游收發器，但是考慮到其他實施例中可以包含其他適當數目之耦接到其他適當數目之上游輸入/輸出封胞匯流排鏈路之上游收發器。

應注意者輸入/輸出介面 470 可以是積體輸入/輸出控制器，並且亦可包括施行特殊輸入/輸出裝置之電路，舉例而言，譬如 Gigabit Ethernet™ 控制器或 Infiniband™ 埠控制器。於此等實施例中，輸入/輸出鏈路 475 可以是一種譬如乙太網或 Infiniband™ 連接之連接範例。周邊匯流排 455 和 465 為任何適當周邊匯流排，舉例而言，譬如周邊組件互連 (PCI) 匯流排，或延長周邊組件互連 (PCI-X) 匯流排之任何適當的周邊匯流排。

收發器 410 和 420 可組構成分別在輸入/輸出封胞匯流排鏈路 401 和 402 上接收下游封包交易和發送上游封包交易。收發器 410 和 420 可包括接收和發送緩衝器電路(圖中未顯示)用來儲存處理中之封包交易。收發器 410 和 420 亦

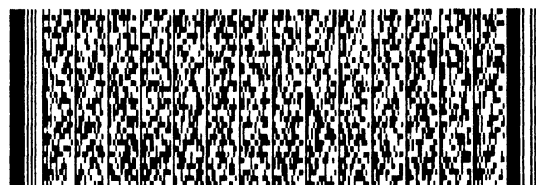
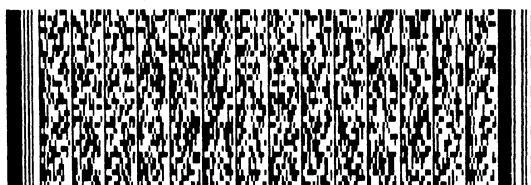


## 五、發明說明 (11)

可包括輸入/輸出驅動器電路(圖中未顯示)用來依於輸入/輸出封胞匯流排鏈路401和402而發送封包交易。

封包交換器單元430可組構成依於內部封胞匯流排鏈路435而接收上游封包交易，解碼各交易之位址，並判定如果有的話則那一個上游路徑路由傳輸各交易。將於下作更詳細說明之，若指定之交易包含不相關於封包匯流排交換器430之其中一個上游內部封胞匯流排鏈路之位址，則封包交易可下游發送回。或可取而代之，封包交易可上游發送而無關於是否位址係對應於任何之封包匯流排交換器430的上游內部封胞匯流排鏈路。

介面匯流排440可包括須作各內部封胞匯流排鏈路435和445、周邊介面450和460、和輸入/輸出介面470互連之內部封胞匯流排架構和電路(圖中未顯示)。舉例而言，介面匯流排440可包括用於內部封胞匯流排鏈路435、輸入/輸出介面470、周邊介面450和460、和用於內部封胞匯流排鏈路445之介面埠(圖中未顯示)。各介面埠可包括能夠請求具有匹配特定之濾波器位址的指定之封包交易之位址濾波器。因此，介面匯流排440可組構成提供各周邊介面、輸入/輸出介面和內部封胞匯流排鏈路445之間之同等訊務支援。舉例而言，指向周邊介面460之封包交易藉由周邊介面450上游發送至介面匯流排440。封包交易頭部可由連接到介面匯流排440之各介面埠解碼。經解碼之位址僅匹配周邊介面460之位址濾波器，並因此由周邊介面460所請求使用。



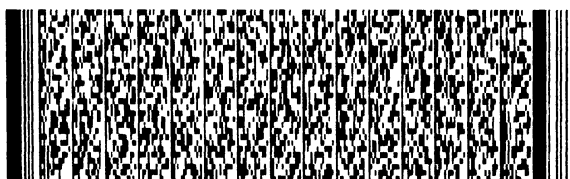
## 五、發明說明 (12)

由指定介面上游發送之封包交易可不匹配介面埠中之任何位址濾波器。於此情況中，封包匯流排交換器 430 可引發未經請求之封包交易下游回送到交易之來源者。此外，錯誤訊息可伴隨著交易指示該交易包含未存在之位址。

於一個替代實施例中，用於內部封包匯流排鏈路 435 之介面埠可不具有位址濾波器。於此種情況，封包匯流排交換器 430 可經由上游封包匯流排鏈路 415 和 425 之其中一個而上游發送所有的未經請求的封包交易。

封包匯流排交換器 430 可判定那一個上游封包匯流排鏈路發送特定之交易。判定可依於幾個因素。於一個例子中，若上游交易係反應於先前的從譬如第 1 圖之處理器 301A 至 301D 來之下游請求，則該反應可具有對應於請求之處理器之位址。封包匯流排交換器 430 可路由傳輸上游交易至正確之處理器。

於另一個範例中，上游交易係來自譬如 PCI-X 裝置之主輸入/輸出，該 PCI-X 裝置施行記憶體讀取，封包匯流排交換器 430 可決定那一個處理器執行路由傳輸請求到何處。因此，封包匯流排交換器 430 可包括可程式之儲存電路（圖中未顯示），該可程式之儲存電路可儲存檢查表或儲存可辨識那一個處理器將操作特定型式之交易之相似的資料結構。於此情況，操作系統可判定此種表之內容，並且使得一個或多個處理器執行指令來程式製作封包匯流排交換器 430。因此，當由封包匯流排交換器 430 接收主輸入 /



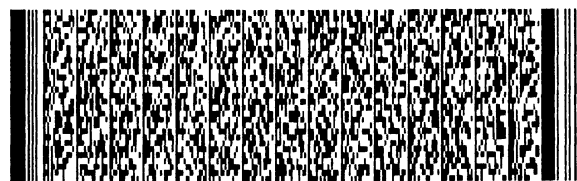
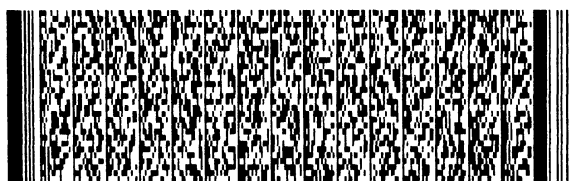
## 五、發明說明 (13)

輸出交易時，該表可由封包匯流排交換器 430 使用以判定封包交易將由那個處理器路由傳輸。

於檢查表中之資訊變得錯誤或非為現在所使用之情況時，依照作業系統，上游封包交易可送至錯誤之處理器。不正確地路由傳輸封包交易最終仍可到達其欲到達之目的地。然而，因為交易可首先經由另一個處理器路由傳輸，因此可能會發生延遲。欲防止進一步不正確之路由傳輸，接收之處理器可起始錯誤訊息。錯誤訊息可通知作業系統檢查表需要更新。然後作業系統可依照其自己的優先權規劃而排程檢查表更新。

或者，封包匯流排交換器 430 可組構來決定各處理器的輸入/輸出負載，並路由傳輸交易至判定有最小輸入/輸出負載之處理器。封包匯流排交換器 430 可藉由檢核在特定之處理器主橋接器或其他的接收邏輯之接收緩衝器內儲存空間之有效性而判定處理器的輸入/輸出負載。然後封包匯流排交換器 430 可路由傳輸封包交易至具有最有效接收緩衝器空間的處理器。

封包匯流排交換器 430 亦可組構以接收由內部封包匯流排鏈路 415 和 425 來之下游封包交易。可同時由內部封包匯流排鏈路 415 和 425 接收交易。此外，封包匯流排交換器 430 可具有處理中之交易，該交易等待下游處理過程。因此，封包匯流排交換器 430 可包括仲裁電路（圖中未顯示）於下游內部封包匯流排鏈路介面，該封包匯流排鏈路介面可使用一個或多個譬如循環趨近之共用仲裁技術，例如交

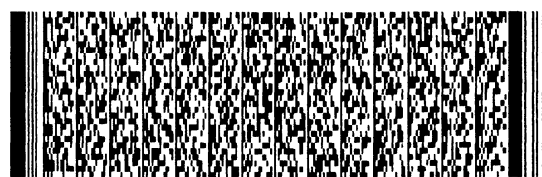


## 五、發明說明 (14)

易之間的仲裁。

茲參照第 5 圖，顯示輸入 / 輸出節點交換器之一個替代實施例之方塊圖。輸入 / 輸出節點交換器 500 包括一對分別耦接到封包匯流排鏈路 501 和 502 之輸入 / 輸出上游收發器 510 和 520。舉例而言，輸入 / 輸出封包匯流排鏈路 501 和 502 可耦接到譬如第 1 圖之處理器 301A 至 301B 之上游裝置。第 5 圖之收發器 510 和 520 分別經由內部封包匯流排鏈路 515 和 525 耦接至封包匯流排交換器 530。封包匯流排交換器 530 由內部封包匯流排鏈路 535 耦接至介面匯流排 540。封包匯流排交換器 530 亦經由內部封包匯流排鏈路 545 耦接至下游收發器 580。收發器 580 耦接到輸入 / 輸出封包匯流排鏈路 585，該匯流排鏈路 585 可連接到另外一個輸入 / 輸出節點或其他的裝置 (圖中未顯示)。介面匯流排 540 耦接到輸入 / 輸出介面 570，和耦接到周邊介面 550 和 560。周邊介面 550 和 560 分別耦接到周邊匯流排 555 和 565。輸入 / 輸出介面 570 耦接到輸入 / 輸出鏈路 575。值得注意的是雖然本實施例描述二個連接到二個輸入 / 輸出封包匯流排鏈路之上游收發器，但是考量到其他的實施例中可以包括其他適當數目之耦接到其他適當數目的上游輸入 / 輸出封包匯流排鏈路之上游收發器。

收發器 510 和 520 包括相似於第 4 圖中所示實施例之特徵，並實質上以相同的方法操作。因此，對於收發器 510 和 520 之操作描述，參照上述收發器 410 和 420 結合第 4 圖之描述。



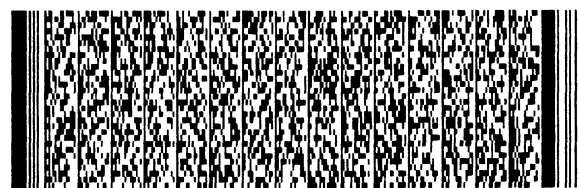
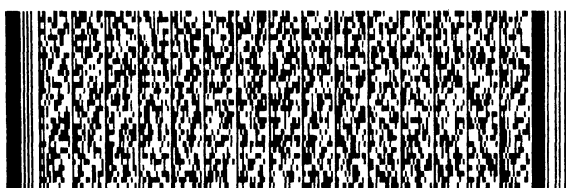


## 五、發明說明 (15)

值得注意的是輸入/輸出介面 570，舉例而言，可以是積體輸入/輸出控制器，並可包括施行特定輸入/輸出裝置之電路，譬如 Gigabit Ethernet™ 控制器或 Infiniband™ 埠控制器。於此實施例中，輸入/輸出鏈路 575 可以是譬如乙太網或 Infiniband™ 連接之範例連接。周邊匯流排 555 和 565 為任何適當周邊匯流排，譬如周邊組件互連 (PCI) 匯流排，或延長周邊組件互連 (PCI-X) 匯流排之任何適當的周邊匯流排之例子。

封包交換器單元 530 可依於內部封包匯流排鏈路 535 結構來接收上游封包交易，解碼各交易之位址，並如果有任何一個的話，則判定那個上游路徑將路由傳輸各交易。如下文中將詳細說明之，若指定之交易包含不相關於封包匯流排交換器 530 其中一個上游內部封包匯流排鏈路之位址，則封包交易可上游傳送。

介面匯流排 540 可包括須與各內部封包匯流排鏈路 535 和 545、周邊介面 555 和 565 以及輸入/輸出介面 570 互接之內部封包匯流排架構和電路 (圖中未顯示)。舉例而言，介面匯流排 540 可包括介面埠 (圖中未顯示) 用於內部封包匯流排鏈路 535、輸入/輸出介面 570 和周邊介面 550 和 560。各介面埠可包括位址濾波器，該位址濾波器能夠要求具有匹配特定濾波器之位址之指定的封包交易。因此，介面匯流排 540 可建構以提供各周邊介面和輸入/輸出介面 570 之間同等的訊務支援。舉例而言，針對周邊介面 560 之封包交易藉由周邊介面 550 上游傳輸至介面匯流排 540。可藉由



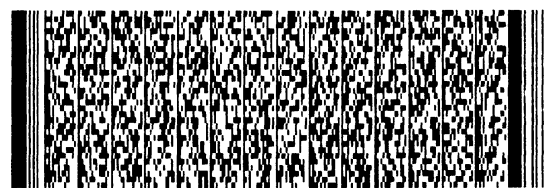
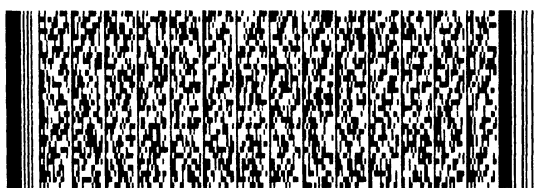
## 五、發明說明 (16)

連接至介面匯流排 540 之各介面埠解碼封包交易頭部。解碼之位址匹配周邊介面 560 之位址濾波器，並因此由周邊介面 560 所請求。然而，如下將進一步說明之，標的於輸入/輸出節點或經由內部封包匯流排鏈路 545 連接到收發器 580 之其他裝置之封包交易可首先予上游路由傳輸。

由指定之介面上游發送之封包交易可不匹配在介面埠中之任何之位址濾波器。於如此情況，封包匯流排交換器 530 可經由上游封包匯流排鏈路 515 和 525 其中任一而發送所有之未經要求之上游封包交易。因此，標的於輸入/輸出節點之封包交易或經由內部封包匯流排鏈路 545 連接到收發器 580 之其他裝置之封包交易可首先藉由匯流排交換器 530 路由傳輸到關聯於第 3 圖之處理器 301A 至 301B 其中一個之主橋接器。主橋接器可隨後下游發送封包回到第 5 圖之封包匯流排交換器 530，此處封包交易可路由傳輸到輸入/輸出節點或連接到收發器 580 之其他裝置。

於一個替代實施例中，當未經要求封包交易之目的地位址為相關於輸入/輸出節點或經由內部封包匯流排鏈路 545 連接到收發器 580 之其他裝置時，封包匯流排交換器 530 可認知未經要求封包交易之目的地位址。因此，可進一步建構封包匯流排交換器以允許此種型式之同等支援。

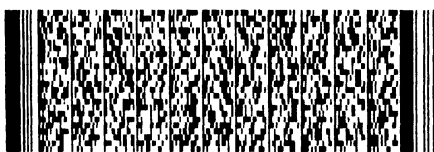
封包匯流排交換器 530 可判定那一個上游封包匯流排鏈路以如第 4 圖之封包匯流排交換器 430 實質相同的方法發送特定之交易。因此對於第 5 圖之封包匯流排交換器 530 之其餘操作說明，可參照第 4 圖之封包匯流排交換器 430 之說



## 五、發明說明 (17)

明。

一旦完全瞭解上述揭示之說明後，對於此技藝方面之一般技術人員而言將瞭解本發明可作許多的變更和修飾。下附之申請專利範圍將解釋為包含所有的此等變更和修飾。



## 圖式簡單說明

### [圖式簡單說明]

第 1圖 為使用共用匯流排之多處理器電腦系統之一個實施例之方塊圖。

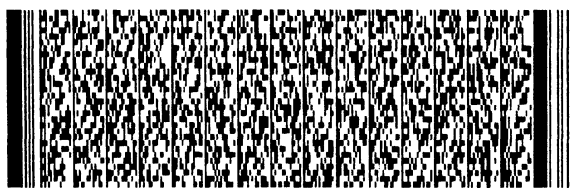
第 2圖 為具有交換至單一上游封包匯流排鏈路之多個下游封包匯流排鏈路之多處理器電腦系統的一個實施例之方塊圖。

第 3圖 為具有多個上游封包匯流排鏈路之多處理器電腦系統之一個實施例的方塊圖。

第 4圖 為輸入/輸出節點交換器之一個實施例的方塊圖。

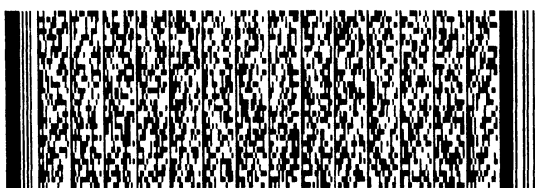
第 5圖 為輸入/輸出節點交換器之另一個實施例的方塊圖。

100A至 100B	處理器單元	105	系統匯流排
110	系統控制器	120	系統記憶體
125	記憶體匯流排		
130	輸入/輸出集線器 (hub)		
135	輸入/輸出匯流排		
200	電腦系統		
201A至 201B	處理器	202	系統匯流排
205、215、225			封包匯流排鏈路
210	輸入/輸出節點交換器		
220、230	輸入/輸出節點		
300	多處理器電腦系統		



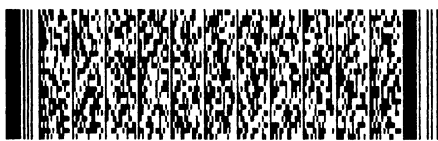
## 圖式簡單說明

- 301A至 301D 處理器
- 305、 305A至 305D 相干封包匯流排鏈路 (線路 )  
(相干封包介面 )(輸入 /輸出封包匯流排鏈路 )
- 310 輸入 /輸出節點交換器 (裝置 )
- 315A至 315B 輸入 /輸出封包匯流排 (線路 )  
(輸入 /輸出封包匯流排鏈路 )
- 320 輸入 /輸出節點
- 325、 330 輸入 /輸出封包匯流排 (鏈路 )
- 340 周邊匯流排
- 345 輸入 /輸出鏈路 (網路鏈路 )
- 400 輸入 /輸出節點交換器
- 401至 402、 485 輸入 /輸出封包匯流排鏈路
- 410、 420、 480 收發器
- 415、 425、 435、 445 內部封包匯流排鏈路
- 430 封包匯流排交換器 (封包交換器單元 )
- 440 介面匯流排
- 450、 460 周邊介面
- 455、 465 周邊匯流排
- 470 輸入 /輸出介面
- 475 輸入 /輸出鏈路
- 500 輸入 /輸出節點交換器
- 501、 502 輸入 /輸出封包匯流排鏈路
- 510、 520 收發器
- 515、 525 匯流排鏈路



## 圖式簡單說明

530	封包匯流排交換器
535、545	匯流排鏈路
540	介面匯流排
550、560	周邊介面
555、565	周邊匯流排
570	輸入/輸出介面
575	輸入/輸出鏈路
580	收發器
585	匯流排鏈路



## 四、中文發明摘要 (發明名稱：多功能處理機電腦系統中之連接線用轉接輸入／輸出節點)

本發明提供一種在多處理器電腦系統中連接線用之交換輸入輸出節點。輸入輸出節點交換器包括施行於積體電路晶片上之橋接單元和封包匯流排交換器單元。橋接單元可接收複數個從周邊匯流排來的周邊資訊交易，並可發送複數個對應於該複數個周邊資訊交易之上游封包交易。封包匯流排交換器可接收於內部點至點封包匯流排鏈路上之上游封包交易，並可判定各上游封包交易之目的地。封包匯流排交換器可進一步路由傳輸選擇之其中一個上游封包交易至耦接到第一點對點封包匯流排鏈路之第一處理器介面，並回應於判定各上游封包交易之目的地，而路由傳輸其他的上游封包交易至耦接到第二點對點封包匯流排鏈路之第二處理器介面。

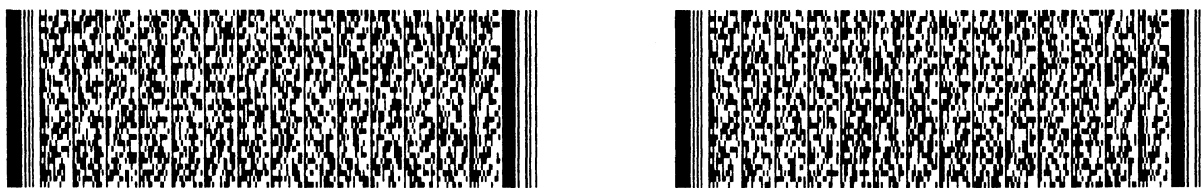
本案代表圖為：第 3 圖

300

多處理器電腦系統

## 六、英文發明摘要 (發明名稱：A SWITCHING I/O NODE FOR CONNECTION IN A MULTIPROCESSOR COMPUTER SYSTEM)

A switching I/O node for connection in a multiprocessor computer system. An input/output node switch includes a bridge unit and a packet bus switch unit implemented on an integrated circuit chip. The bridge unit may receive a plurality of peripheral transactions from a peripheral bus and may transmit a plurality of upstream packet transactions corresponding to the

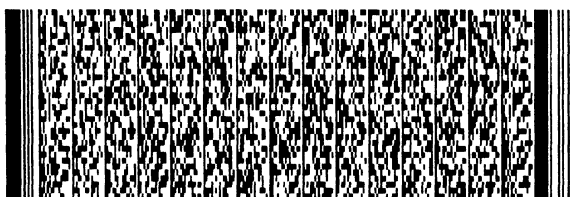


四、中文發明摘要 (發明名稱：多功能處理機電腦系統中之連接線用轉接輸入/輸出節點)

301A至 301D	處理器
305、 305A至 305D	相干封包匯流排鏈路(線路)(相干封包介面)(輸入/輸出封包匯流排鏈路)
310	輸入/輸出節點交換器(裝置)
315A至 315B	輸入/輸出封包匯流排(線路)(輸入/輸出封包匯流排鏈路)
320	輸入/輸出節點
325、 330	輸入/輸出封包匯流排(鏈路)
340	周邊匯流排
345	輸入/輸出鏈路(網路鏈路)

六、英文發明摘要 (發明名稱：A SWITCHING I/O NODE FOR CONNECTION IN A MULTIPROCESSOR COMPUTER SYSTEM)

plurality of peripheral transactions. The packet bus switch may receive the upstream packet transactions on an internal point-to-point packet bus link and may determine a destination of each of the upstream packet transactions. The packet bus switch may further route selected ones of the upstream packet transactions to a first processor interface coupled to a first point-to-point packet

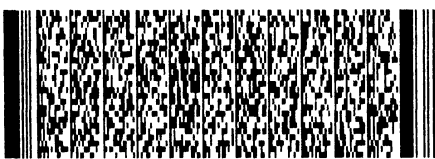




四、中文發明摘要 (發明名稱：多功能處理機電腦系統中之連接線用轉接輸入／輸出節點)

六、英文發明摘要 (發明名稱：A SWITCHING I/O NODE FOR CONNECTION IN A MULTIPROCESSOR COMPUTER SYSTEM)

bus link and route others of the upstream packet transactions to a second processor interface coupled to a second point-to-point packet bus link in response to determining the destination each of the upstream packet transactions.



## 六、申請專利範圍

1. 一種用於多處理電腦系統之輸入/輸出節點交換器，該輸入/輸出節點交換器包括：

橋接單元，該橋接單元施行於積體電路晶片上，該積體電路晶片耦接而從周邊匯流排接收複數個周邊交易，並可組構以傳送對應於該複數個周邊交易之複數個上游封包交易；

封包匯流排交換器單元，該封包匯流排交換器單元施行於該積體電路晶片上，該積體電路晶片耦接以接收於內部點對點封包匯流排鏈路之複數個上游封包交易，並可組構以判定各該複數個上游封包交易的目的地；

其中該封包匯流排交換器單元可進一步組構以路由傳輸該複數個上游封包交易中選擇之其中一個至耦接於第一點至點封包匯流排鏈路之第一處理器介面，並回應於判定之各該複數個上游封包交易之該目的地，而路由傳輸其他的該複數個上游封包交易至耦接於第二點至點封包匯流排鏈路之第二處理器介面。

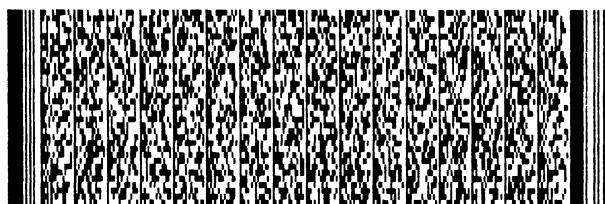
2. 如申請專利範圍第1項之輸入/輸出節點交換器，進一步包括第一收發器單元，該第一收發器單元耦接以接收該複數個上游封包交易之選擇之其中數個，並發送該複數個上游封包交易之該選擇之其中數個封包交易於該第一點至點封包匯流排鏈路上。
3. 如申請專利範圍第2項之輸入/輸出節點交換器，進一步包括第二收發器單元，該第二收發器單元耦接以接



## 六、申請專利範圍

收該複數個上游封包交易之該另外幾個，並發送該複數個上游封包交易之該另外幾個封包交易於該第二點至點封包匯流排鏈路上。

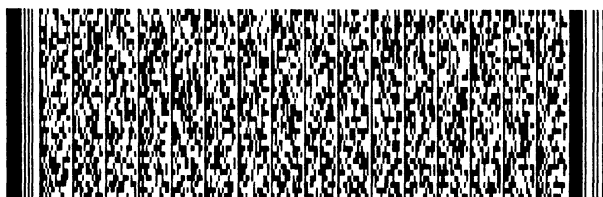
4. 如申請專利範圍第3項之輸入/輸出節點交換器，其中該封包匯流排交換器單元進一步組構以解碼關聯於各該複數個上游封包交易之位址。
5. 如申請專利範圍第4項之輸入/輸出節點交換器，其中該封包匯流排交換器單元進一步組構依於該位址而阻擋該複數個上游封包交易之額外的其中數個交易。
6. 如申請專利範圍第5項之輸入/輸出節點交換器，進一步包括第三收發器單元，該第三收發器單元依於該位址耦接以接收該複數個封包交易之該額外的幾個，並發送該等封包交易於第三點至點封包匯流排鏈路至另一個節點。
7. 如申請專利範圍第6項之輸入/輸出節點交換器，其中該第三收發器單元進一步組構以接收第二複數個上游封包交易於該第三點至點封包匯流排鏈路，並發送該第二複數個上游封包交易至該封包匯流排交換器。
8. 如申請專利範圍第7項之輸入/輸出節點交換器，其中該封包匯流排交換器單元進一步組構以解碼關聯於各該第二複數個上游封包交易之位址，並依於關聯於各該第二複數個上游封包交易，路由傳輸選擇之其中數個該第二複數個上游封包交易至耦接至該第一點至點封包匯流排鏈路之該第一處理器介面，並路由傳輸其



## 六、申請專利範圍

他的該複數個上游封包交易至耦接至該第二點至點封包匯流排鏈路之該第二處理器介面。

9. 如申請專利範圍第3項之輸入/輸出節點交換器，其中該封包匯流排交換器單元進一步組構以接收由該第一處理器介面發送之第一複數個下游封包交易，和由該第二處理器介面發送之第二複數個下游封包交易。
10. 如申請專利範圍第9項之輸入/輸出節點交換器，其中該封包匯流排交換器單元進一步組構以作該第一複數個下游封包交易和該第二複數個下游封包交易之間的仲裁。
11. 如申請專利範圍第10項之輸入/輸出節點交換器，其中該封包匯流排交換器單元進一步組構以路由傳輸該第一複數個下游封包交易和該第二複數個下游封包交易至該第一內部點至點封包匯流排鏈路。
12. 如申請專利範圍第11項之輸入/輸出節點交換器，其中該橋接器單元進一步組構以解碼各該第一和該第二複數個下游封包交易之位址，並依於該位址，起始對應於選擇之其中數個該第一和該第二複數個下游封包交易之匯流排循環。
13. 如申請專利範圍第1項之輸入/輸出節點交換器，其中該封包匯流排交換器單元進一步組構以使用可程式檢查表來判定各複數個上游封包交易之該目的地。
14. 如申請專利範圍第3項之輸入/輸出節點交換器，其中該封包匯流排交換器單元進一步組構以使用對應於耦



## 六、申請專利範圍

接至該第一和該第二外部封包匯流排鏈路之上游裝置之有效的緩衝器空間計數，來判定各該複數個上游封包交易之該目的地。

15. 如申請專利範圍第3項之輸入/輸出節點交換器，其中該第一、該第二和該第三點至點封包匯流排鏈路為HyperTransport™鏈路，各包括第一組之單向導線和第二組之單向導線，各導線組構以傳輸封包，該等封包包括控制封包和資料封包，其中該控制封包包括指令封包、資訊封包和回應封包，以及其中該控制封包和資料封包共用相同的導線。

16. 一種多處理器電腦系統，包括：

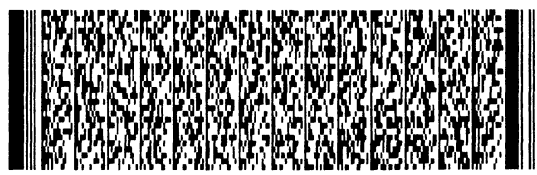
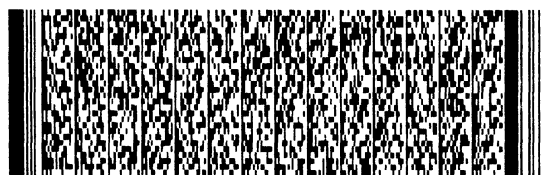
第一處理器和第二處理器，各組構以執行程式化之指令；

輸入/輸出節點交換器，施行於積體電路晶片上，該積體電路晶片由第一點至點封包匯流排鏈路耦接至該第一處理器，和由第二點至點封包匯流排鏈路耦接至該第二處理器，其中該輸入/輸出節點交換器包括：

橋接器單元，耦接以接收由周邊匯流排來之複數個周邊交易，並組構以發送對應於該複數個周邊交易之複數個上游封包交易；

封包匯流排交換器單元，耦接以接收於內部點至點封包匯流排鏈路之該複數個上游封包交易，並組構以判定各該複數個上游封包交易之目的地；

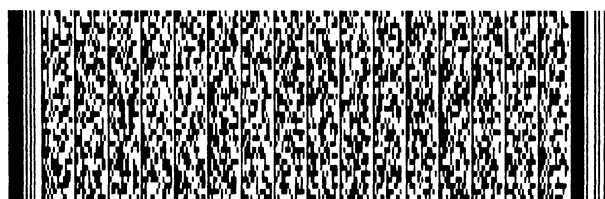
其中該封包匯流排交換器單元進一步組構以反應



## 六、申請專利範圍

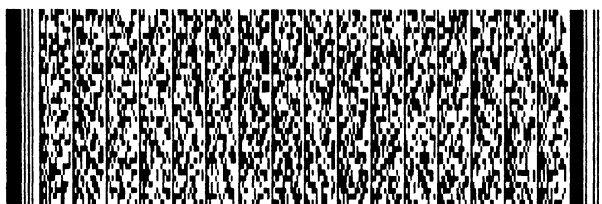
於判定各該複數個上游封包交易之目的地，經由該第一點至點封包匯流排鏈路而路由傳送選擇之其中數個該複數個上游封包交易至該第一處理器，並經由該第二點至點封包匯流排鏈路而路由傳送其他的該複數個上游封包交易至該第二處理器。

17. 如申請專利範圍第16項之電腦系統，其中該輸入/輸出節點交換器進一步包括第一收發器單元，該第一收發器單元耦接以接收該複數個上游封包交易之選擇之其中數個，並發送該複數個上游封包交易之該選擇之其中數個封包交易於該第一點至點封包匯流排鏈路上。
18. 如申請專利範圍第16項之電腦系統，其中該輸入/輸出節點交換器進一步包括第二收發器單元，該第二收發器單元耦接以接收該複數個上游封包交易之該另外幾個，並發送該複數個上游封包交易之該另外幾個封包交易於該第二點至點封包匯流排鏈路上。
19. 如申請專利範圍第16項之電腦系統，其中該封包匯流排交換器單元進一步配置以解碼關聯於各該複數個上游封包交易之位址。
20. 如申請專利範圍第19項之電腦系統，其中該封包匯流排交換器單元進一步組構以依於該位址而阻擋該複數個上游封包交易之額外的其中數個交易。
21. 如申請專利範圍第20項之電腦系統，其中該輸入/輸出節點交換器進一步包括第三收發器單元，該第三收發器單元依於該位址耦接以接收該複數個封包交易之該



## 六、申請專利範圍

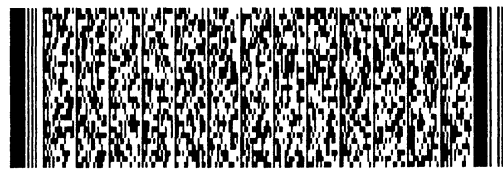
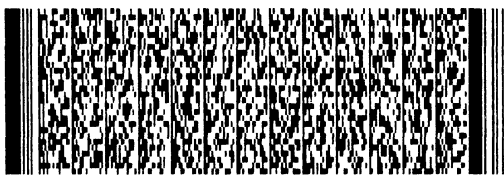
- 額外的幾個，並發送該等封包交易於第三點至點封包匯流排鏈路至另一個節點。
22. 如申請專利範圍第21項之電腦系統，其中該第三收發器單元進一步組構以接收第二複數個上游封包交易於該第三點至點封包匯流排鏈路，並發送該第二複數個上游封包交易至該封包匯流排交換器。
23. 如申請專利範圍第22項之電腦系統，其中該封包匯流排交換器單元進一步組構以解碼關聯於各該第二複數個上游封包交易之位址，並依於關聯於各該第二複數個上游封包交易，路由傳輸選擇之其中數個該第二複數個上游封包交易至耦接至該第一點至點封包匯流排鏈路之該第一處理器介面，並路由傳輸其他的該複數個上游封包交易至耦接至該第二點至點封包匯流排鏈路之該第二處理器介面。
24. 如申請專利範圍第18項之電腦系統，其中該封包匯流排交換器單元進一步組構以接收由該第一處理器發送之第一複數個下游封包交易，和由該第二處理器發送之第二複數個下游封包交易。
25. 如申請專利範圍第24項之電腦系統，其中該封包匯流排交換器單元進一步組構以作該第一複數個下游封包交易和該第二複數個下游封包交易之間之仲裁。
26. 如申請專利範圍第25項之電腦系統，其中該封包匯流排交換器單元進一步組構以路由傳送該第一複數個下游封包交易和該第二複數個下游封包交易至該第一內



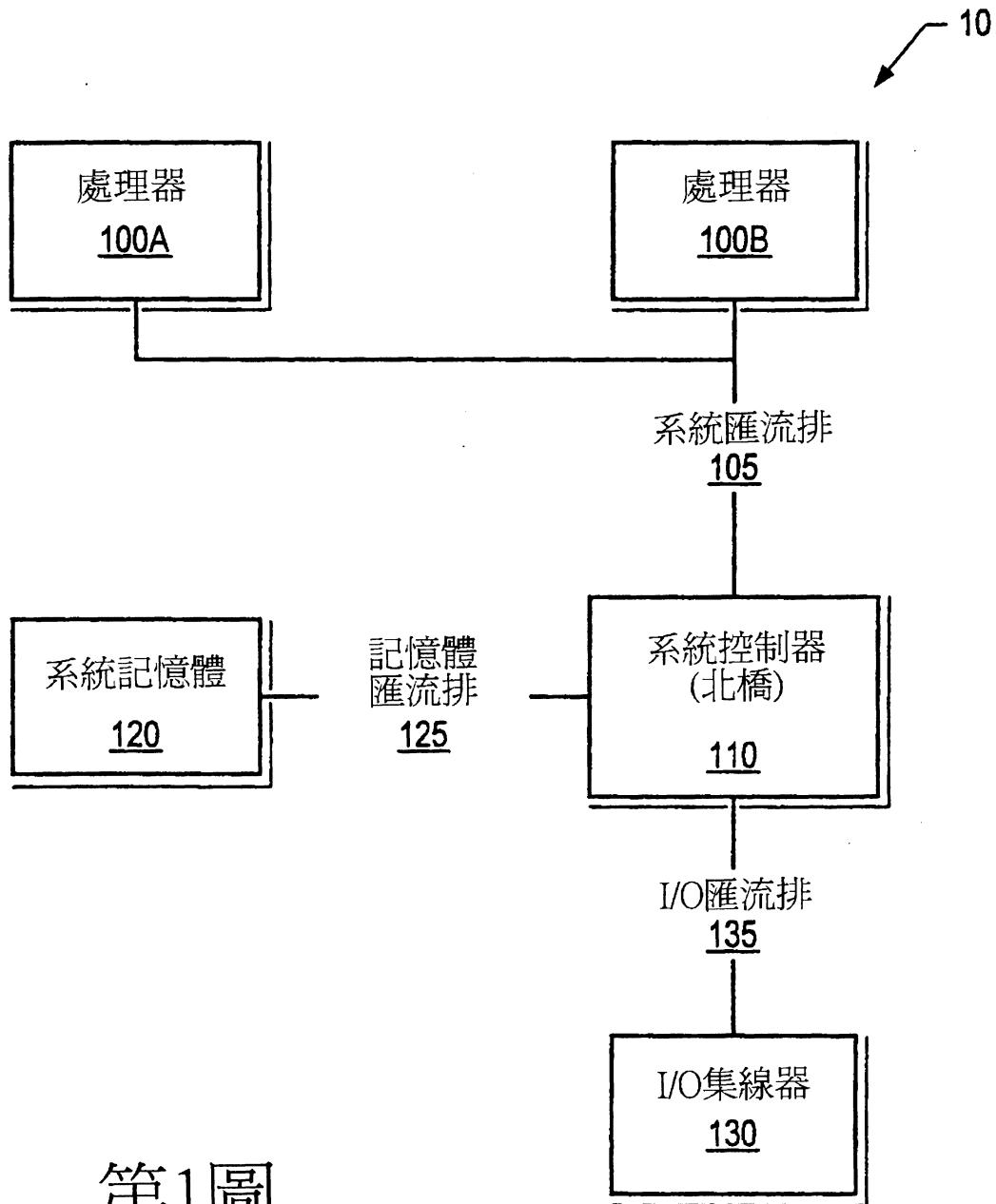
## 六、申請專利範圍

部點至點封包匯流排鏈路。

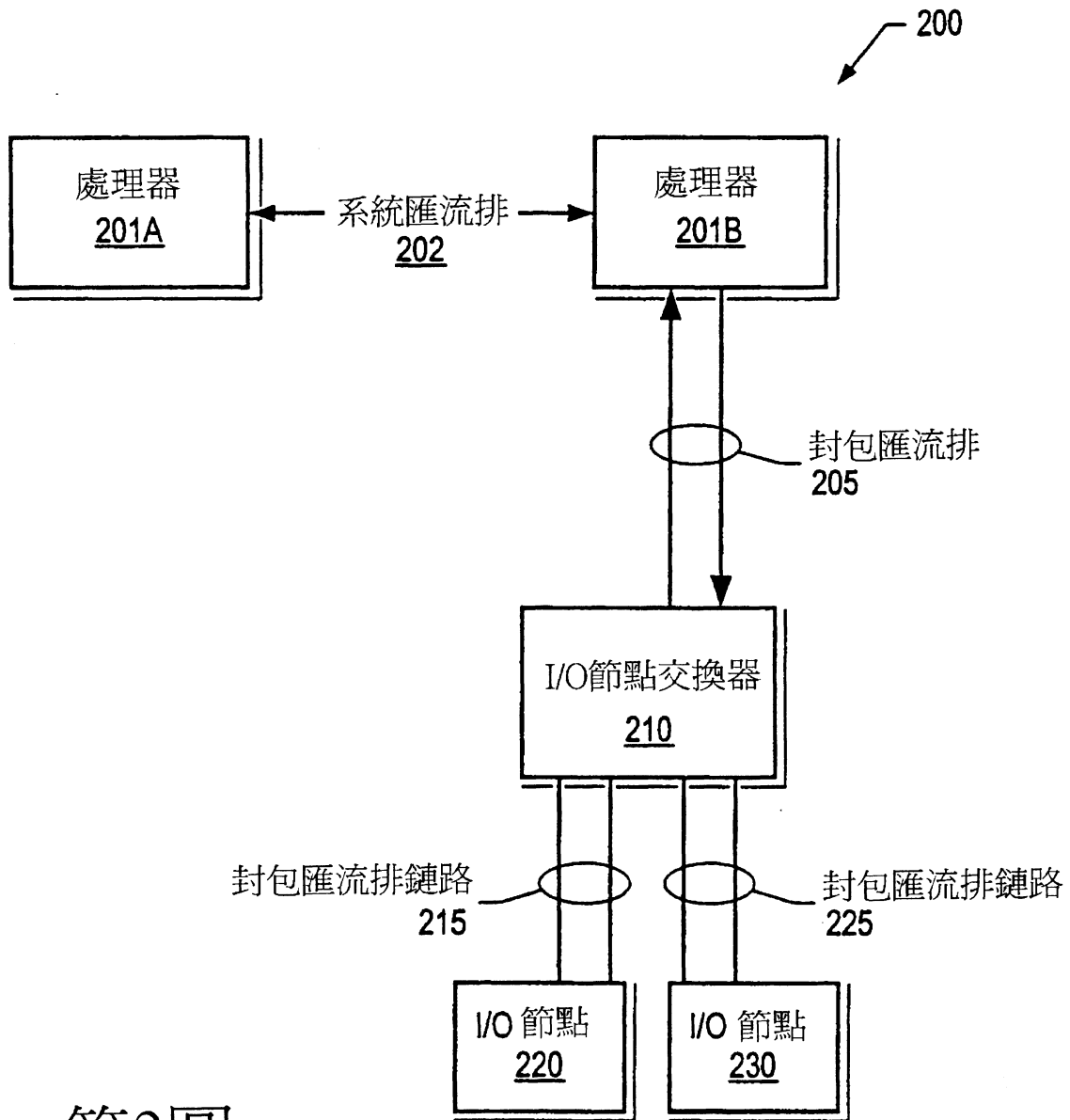
27. 如申請專利範圍第 26 項之電腦系統，其中該橋接器單元進一步組構以解碼各該第一和該第二複數個下游封包交易之位址，並依於該位址，起始對應於選擇之其中數個該第一和該第二複數個下游封包交易之匯流排循環。
28. 如申請專利範圍第 16 項之電腦系統，其中該封包匯流排交換器單元進一步組構以使用可程式檢查表來判定各複數個上游封包交易之該目的地。
29. 如申請專利範圍第 16 項之電腦系統，其中該封包匯流排交換器單元進一步組構以使用對應於各該第一處理器和該第二處理器之有效緩衝器空間計數，來判定各該複數個上游封包交易之該目的地。
30. 如申請專利範圍第 16 項之電腦系統，其中該封包匯流排交換器單元進一步組構以路由傳輸各該複數個上游封包交易至具有較高有效緩衝器空間計數之指定的處理器。
31. 如申請專利範圍第 21 項之電腦系統，其中該第一、該第二和該第三點至點封包匯流排鏈路為 HyperTransport™ 鏈路，各包括第一組之單向導線和第二組之單向導線，各導線組構以傳輸封包，該等封包包括控制封包和資料封包，其中該控制封包包括指令封包、資訊封包和回應封包，以及其中該控制封包和資料封包共用相同的導線。



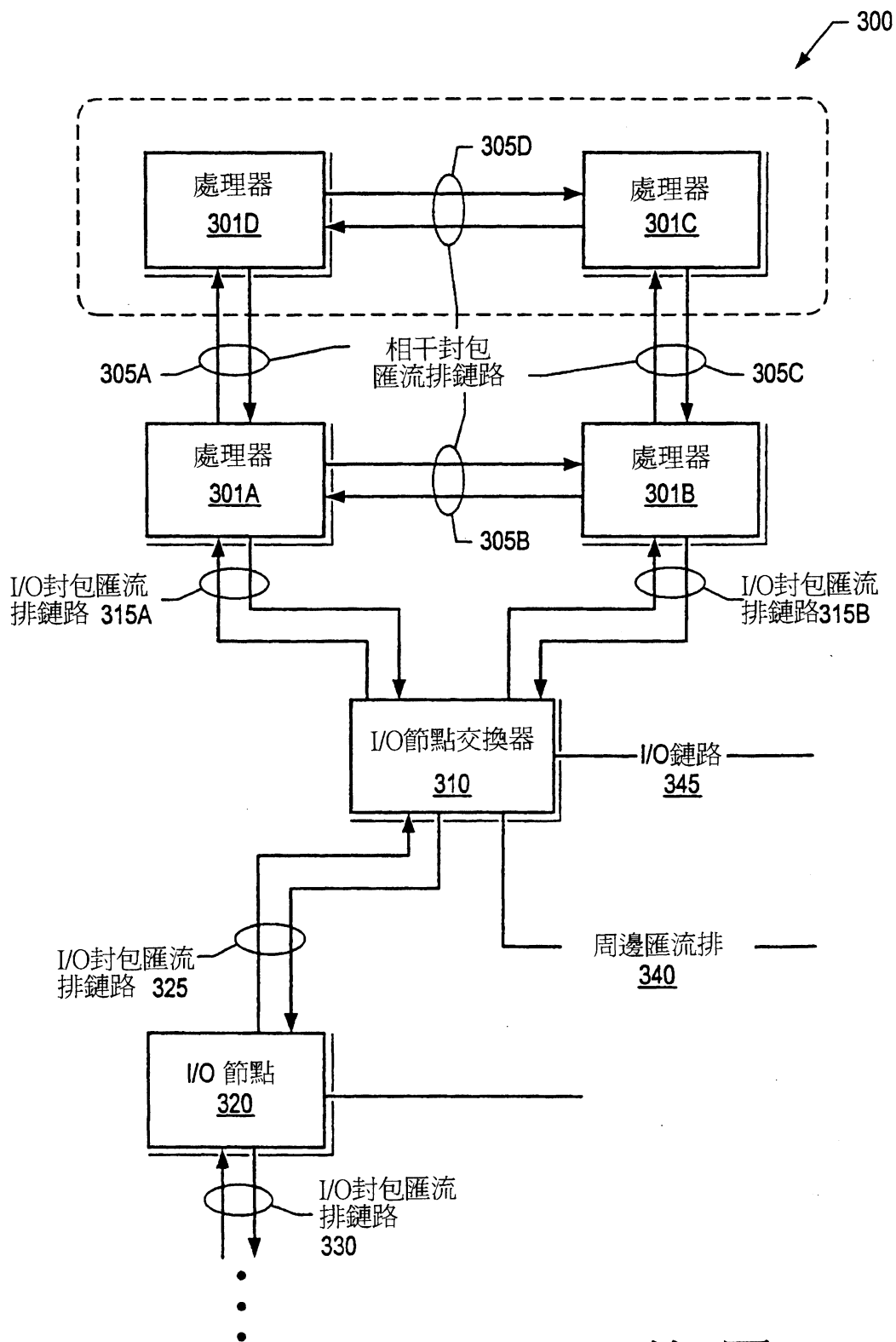




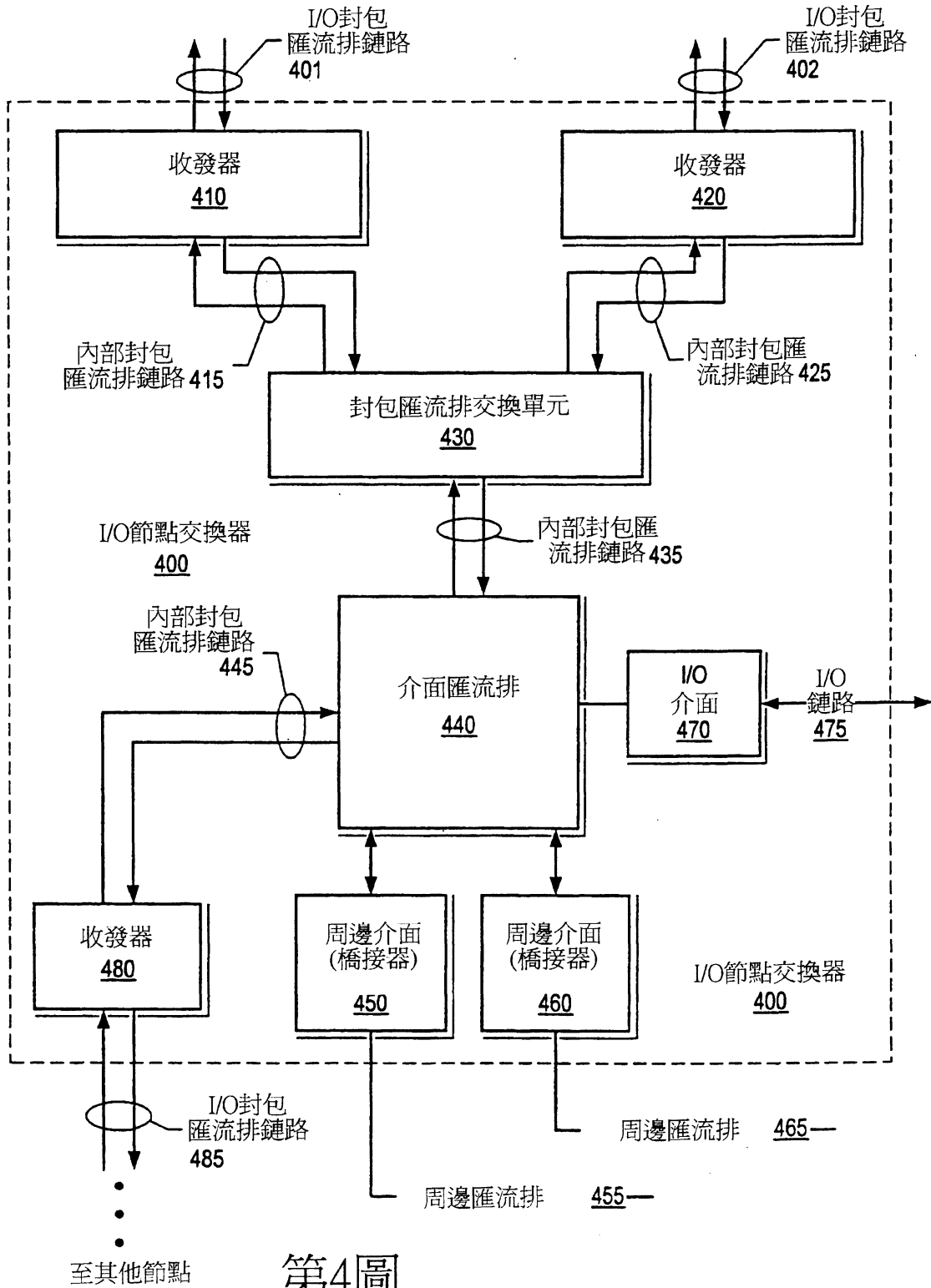
第1圖  
(先前技術)

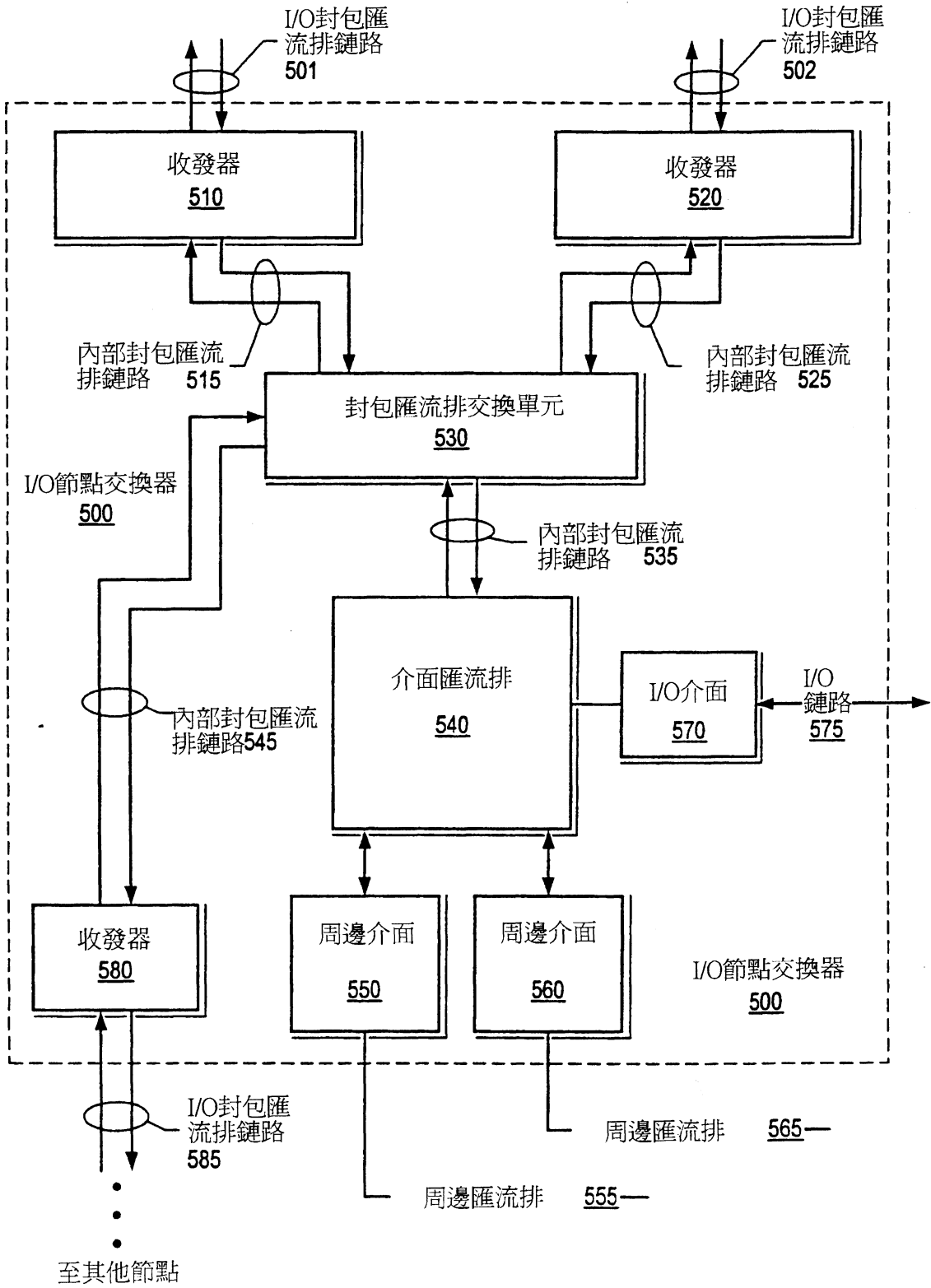


第2圖  
(先前技術)



第3圖





第 5 圖