



# (12)发明专利申请

(10)申请公布号 CN 111356793 A

(43)申请公布日 2020.06.30

(21)申请号 201880074297.2

(22)申请日 2018.11.15

(30)优先权数据

2017-219760 2017.11.15 JP

(85)PCT国际申请进入国家阶段日

2020.05.15

(86)PCT国际申请的申请数据

PCT/JP2018/042346 2018.11.15

(87)PCT国际申请的公布数据

W02019/098295 JA 2019.05.23

(71)申请人 株式会社FLOSFIA

地址 日本京都

(72)发明人 高桥勋 松田时宜 四户孝

(74)专利代理机构 北京德琦知识产权代理有限公司 11018

代理人 刁兴利 康泉

(51)Int.Cl.

G30B 29/16(2006.01)

G30B 23/06(2006.01)

H01L 21/337(2006.01)

H01L 21/338(2006.01)

H01L 21/365(2006.01)

H01L 29/12(2006.01)

H01L 29/24(2006.01)

H01L 29/778(2006.01)

H01L 29/78(2006.01)

H01L 29/808(2006.01)

H01L 29/812(2006.01)

H01L 29/872(2006.01)

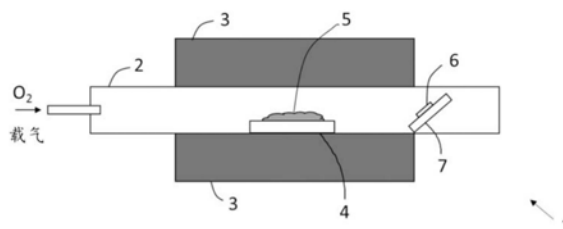
权利要求书2页 说明书19页 附图18页

## (54)发明名称

p型氧化物半导体膜及其形成方法

## (57)摘要

提供一种能够有用于工业且半导体特性优良的p型氧化物半导体膜;以及其形成方法。使用金属氧化物(例如氧化铌)的气体作为原料,以在具有金刚石结构的基体(例如蓝宝石基板等)上进行结晶成长,直至膜厚为50nm以上。由此,形成具有金刚石结构的p型氧化物半导体膜,其膜厚为50nm以上且其表面粗糙度为10nm以下。



1. 一种p型氧化物半导体膜,其是包含具有金刚石结构的金属氧化物作为主成分的p型氧化物半导体膜,而且其表面粗糙度为100nm以下。
2. 根据权利要求1所述的p型氧化物半导体膜,其中,其膜厚为50nm以上。
3. 根据权利要求1所述的p型氧化物半导体膜,其中,该膜厚为100nm以上。
4. 根据权利要求1至3中任一项所述的p型氧化物半导体膜,其中,该金属氧化物含有周期表中的d区块金属、或周期表第13族金属。
5. 根据权利要求1至4中任一项所述的p型氧化物半导体膜,其中该金属氧化物含有周期表第9族金属或是第13族金属。
6. 根据权利要求1至5中任一项所述的p型氧化物半导体膜,其中该金属氧化物含有铱。
7. 根据权利要求1至6中任一项所述的p型氧化物半导体膜,其中,该表面粗糙度为10nm以下。
8. 根据权利要求1至7中任一项所述的p型氧化物半导体膜,其中,其迁移率为 $1.0\text{cm}^2/\text{V}\cdot\text{s}$ 以上。
9. 根据权利要求1至8中任一项所述的p型氧化物半导体膜,其中,其载子密度为 $8.0\times 10^{20}/\text{cm}^3$ 以上。
10. 一种p型氧化物半导体膜的形成方法,其为形成p型氧化物半导体膜的方法,其中,在p型氧化物半导体膜的形成中,使用金属氧化物气体作为原料,以在具有金刚石结构的基体上进行结晶成长。
11. 根据权利要求10所述的p型氧化物半导体膜的形成方法,其中该金属氧化物气体含有周期表第9族金属或是第13族金属。
12. 根据权利要求10或11所述的p型氧化物半导体膜的形成方法,其中该金属氧化物气体含有周期表第9族金属。
13. 根据权利要求10至12中任一项所述的p型氧化物半导体膜的形成方法,其中该金属氧化物气体至少含有铱。
14. 根据权利要求10至13中任一项所述的p型氧化物半导体膜的形成方法,其中该金属氧化物气体为通过将该金属氧化物气体的固体加热使其升华而得。
15. 根据权利要求10至14中任一项所述的p型氧化物半导体膜的形成方法,其中,该结晶成长在大气压下进行。
16. 一种半导体装置,其至少包含1种或2种以上的半导体层以及电极,其中,该半导体装置包含根据权利要求1至9中任一项所述的p型氧化物半导体膜。
17. 根据权利要求16所述的半导体装置,其中,该半导体层包含n型半导体层,而且该n型半导体层包含氧化物半导体作为主成分。
18. 根据权利要求16或17所述的半导体装置,其中,该n型半导体层以包含周期表第13族金属的氧化物半导体作为主成分。
19. 根据权利要求16至18中任一项所述的半导体装置,其为二极管或晶体管。
20. 根据权利要求16至19中任一项所述的半导体装置,其为SBD、MESFET、IGBT或是JFET。
21. 根据权利要求16至20中任一项所述的半导体装置,包含:  
硅基板;以及

形成在该硅基板上的掩埋绝缘层。

22. 根据权利要求16至21中任一项所述的半导体装置,其为功率装置。

23. 根据权利要求16至22中任一项所述的半导体装置,其为功率模块、逆变器或转换器。

24. 一种半导体系统,其包含半导体装置,其中该半导体装置为根据权利要求16至23中任一项所述的半导体装置。

## p型氧化物半导体膜及其形成方法

### 技术领域

[0001] 本发明关于p型氧化物半导体膜及其形成方法；以及使用该p型氧化物半导体膜的半导体装置及系统。

### 背景技术

[0002] 作为可实现高耐压、低损失及高耐热的次世代开关元件，使用能隙大的氧化镓( $\text{Ga}_2\text{O}_3$ )的半导体装置受到瞩目，而期待能够将其应用于反相器等的电力用半导体装置。而且因为宽能隙而被期待应用于LED或传感器等的受发光装置。该氧化镓，根据非专利文献1，通过分别与铟或铝，或是与其组合进行混晶而能够控制能隙，作为 $\text{InAlGaO}$ 系半导体，构成极具魅力的材料系统。此处 $\text{InAlGaO}$ 系半导体，系表示 $\text{In}_x\text{Al}_y\text{Ga}_z\text{O}_3$  ( $0 \leq x \leq 2, 0 \leq y \leq 2, 0 \leq z \leq 2, x+y+z=1.5 \sim 2.5$ )，可概观为内含氧化镓的相同材料系统。

[0003] 接着，近年来研究氧化镓系的p型半导体，例如，专利文献1中记载，若使用 $\text{MgO}$ (p型掺杂物源)以浮悬区熔法(FZ, Floating Zone)形成 $\beta\text{-Ga}_2\text{O}_3$ 系结晶，可得到呈现p型导电性的基板。并且，专利文献2中，对于以分子束磊晶法(MBE, Molecular beam epitaxy)形成的 $\alpha\text{-(Al}_x\text{Ga}_{1-x})_2\text{O}_3$ 单晶膜进行离子注入而掺杂p型掺杂物，形成p型半导体。然而，这些方法中，p型半导体的制作难以实现(非专利文献2)，实际上并无报告指出由这些方法可成功制作p型半导体。因此，期望一种能够实现的p型氧化物半导体及其制造方法。

[0004] 并且，如非专利文献3及非专利文献4所记载，虽也研究例如将 $\text{Rh}_2\text{O}_3$ 或 $\text{ZnRh}_2\text{O}_4$ 等用于p型半导体，但 $\text{Rh}_2\text{O}_3$ 在成膜时原料浓度变得特别低，而具有影响成膜的问题，即便使用有机溶剂，也难以制作 $\text{Rh}_2\text{O}_3$ 单晶。并且，即便实施霍尔效应测量，也无法判定为p型，而具有测量本身也无法进行的问题，并且，关于测量值，例如霍尔系数只能在测量界限( $0.2\text{cm}^3/\text{C}$ )以下，终究无法使用。并且， $\text{ZnRh}_2\text{O}_4$ 迁移率低且能隙也狭窄，因此具有无法用于LED及功率装置的问题，因此这些技术并未满足目前需求。

[0005] 作为宽能隙半导体，除了 $\text{Rh}_2\text{O}_3$ 及 $\text{ZnRh}_2\text{O}_4$ 等以外，还对于p型的氧化物半导体进行各种研究。专利文献3中记载使用黑铜铁矿及氧硫属化物等作为p型半导体。然而，这些半导体，其迁移率为 $1\text{cm}^2/\text{V} \cdot \text{s}$ 左右或是在其之下，电特性不佳，也具有无法顺利与 $\alpha\text{-Ga}_2\text{O}_3$ 等n型的次世代氧化物半导体进行pn接合的问题。

[0006] 另外，以往已知有 $\text{Ir}_2\text{O}_3$ 。例如，在专利文献4中记载使用 $\text{Ir}_2\text{O}_3$ 作为铈催化剂。并且，专利文献5中记载将 $\text{Ir}_2\text{O}_3$ 用于介电质。并且，专利文献6中记载将 $\text{Ir}_2\text{O}_3$ 用于电极。然而，尚不知道有人将 $\text{Ir}_2\text{O}_3$ 用于p型半导体，但最近本案申请人研究使用 $\text{Ir}_2\text{O}_3$ 作为p型半导体而进行开发。

[0007] [专利文献1]日本特开2005-340308号公报

[0008] [专利文献2]日本特开2013-58637号公报

[0009] [专利文献3]日本特开2016-25256号公报

[0010] [专利文献4]日本特开平9-25255号公报

[0011] [专利文献5]日本特开平8-227793号公报

[0012] [专利文献6]日本特开平11-21687号公报

[0013] [非专利文献1]金子健太郎,“金刚石结构氧化镓系混晶薄膜的成长与物性”,京都大学博士论文,平成25年3月

[0014] [非专利文献2]竹本达哉,EE Times Japan“功率半导体氧化镓”克服热传导率、P型…课题而迈向实用化,[online],2014年2月27日,ITmedia股份有限公司,[2016年6月21日检索],网址<URL:http://eetimes.jp/ee/articles/1402/27/news028\_2.html>

[0015] [非专利文献3]F.P.KOFFYBERG et al.,“optical bandgaps and electron affinities of semiconducting Rh<sub>2</sub>O<sub>3</sub> (I) and Rh<sub>2</sub>O<sub>3</sub> (III)”,J.Phys.Chem.Solids Vol.53,No.10,pp.1285-1288,1992 (F.P.KOFFYBERG等,“半导体Rh<sub>2</sub>O<sub>3</sub> (I) 和Rh<sub>2</sub>O<sub>3</sub> (III) 的光学带隙和电子亲和能”,《物理化学固体杂志》,Vol.53,No.10,pp.1285-1288,1992)

[0016] [非专利文献4]细野秀雄,“氧化物半导体的功能开拓”,物性研究·电子版Vol.3, No.1,031211 (2013年11月、2014年2月合并刊)

## 发明内容

[0017] 本发明的目的在于提供一种能够有用于工业且半导体特性优良的p型氧化物半导体膜;以及其形成方法。

[0018] 本案发明人,为了达成上述目的而详细研究的结果,发现通过在p型氧化物半导体膜的形成中使用金属氧化物气体作为原料,以在具有金刚石(corundum)结构的基体上进行结晶成长。如此,即便不是非结晶性,也可形成膜厚50nm以上、且表面粗糙度10nm以下的p型氧化物半导体膜,进而发现这样的p型氧化物半导体膜可一举解决上述以往的问题。

[0019] 并且,本案发明人得到上述见解后进一步反覆研究,进而完成本发明。即,本发明为关于以下的发明。

[0020] [1]一种p型氧化物半导体膜,其是包含具有金刚石结构的金属氧化物作为主成分的p型氧化物半导体膜,而且其表面粗糙度为100nm以下。

[0021] [2]根据前述[1]所述的p型氧化物半导体膜,其中,其膜厚为50nm以上。

[0022] [3]根据前述[1]所述的p型氧化物半导体膜,其中,其膜厚为100nm以上。

[0023] [4]根据前述[1]至[3]中任一项所述的p型氧化物半导体膜,其中,该金属氧化物含有周期表中的d区块金属、或周期表第13族金属。

[0024] [5]根据前述[1]至[4]中任一项所述的p型氧化物半导体膜,其中该金属氧化物含有周期表第9族金属或是第13族金属。

[0025] [6]根据前述[1]至[5]中任一项所述的p型氧化物半导体膜,其中该金属氧化物至少含有铋。

[0026] [7]根据前述[1]至[6]中任一项所述的p型氧化物半导体膜,其中,其表面粗糙度为10nm以下。

[0027] [8]根据前述[1]至[7]中任一项所述的p型氧化物半导体膜,其中,其迁移率为 $1.0\text{cm}^2/\text{V}\cdot\text{s}$ 以上。

[0028] [9]根据前述[1]至[8]中任一项所述的p型氧化物半导体膜,其中,其载子密度为 $8.0\times 10^{20}/\text{cm}^3$ 以上。

[0029] [10]一种p型氧化物半导体膜的形成方法,其为形成p型氧化物半导体膜的方法,

其中,在p型氧化物半导体膜的形成中,使用金属氧化物气体作为原料,以在具有金刚石(corundum)结构的基体上进行结晶成长。

[0030] [11]根据前述[10]所述的p型氧化物半导体膜的形成方法,其中该金属氧化物气体含有周期表第9族金属或是第13族金属。

[0031] [12]根据前述[10]或[11]所述的p型氧化物半导体膜的形成方法,其中该金属氧化物气体含有周期表第9族金属。

[0032] [13]根据前述[10]至[12]中任一项所述的p型氧化物半导体膜的形成方法,其中该金属氧化物气体至少含有铌。

[0033] [14]根据前述[10]至[13]中任一项所述的p型氧化物半导体膜的形成方法,其中该金属氧化物气体,通过将该金属氧化物气体的固体加热使其升华而得到。

[0034] [15]根据前述[10]至[14]中任一项所述的p型氧化物半导体膜的形成方法,其中,该结晶成长在大气压下进行。

[0035] [16]一种半导体装置,其至少包含1种或2种以上的半导体层以及电极,其中,该半导体装置包含根据前述[1]至[9]中任一项所述的p型氧化物半导体膜。

[0036] [17]根据前述[16]所述的半导体装置,其中,该半导体层包含n型半导体层,而且该n型半导体层包含氧化物半导体作为主成分。

[0037] [18]根据前述[16]或[17]所述的半导体装置,其中,该n型半导体层以包含周期表第13族金属的氧化物半导体作为主成分。

[0038] [19]根据前述[16]至[18]中任一项所述的半导体装置,其为二极管或晶体管。

[0039] [20]根据前述[16]至[19]中任一项所述的半导体装置,其为SBD、MESFET、IGBT或是JFET。

[0040] [21]根据前述[16]至[20]中任一项所述的半导体装置,包含:硅基板以及形成在该硅基板上的掩埋绝缘层。

[0041] [22]根据前述[16]至[21]中任一项所述的半导体装置,其为功率装置。

[0042] [23]根据前述[16]至[22]中任一项所述的半导体装置,其为功率模块、逆变器或转换器。

[0043] [24]一种半导体系统,其包含半导体装置,其中该半导体装置为根据前述[16]至[23]中任一项所述的半导体装置。

[0044] 本发明的p型氧化物半导体膜有用于工业且半导体特性优良。而且,本发明的制造方法,可以在工业上有利地形成如前述的p型氧化物半导体膜。

## 附图说明

[0045] 图1为实施例中所使用的成膜装置的概略构成图。

[0046] 图2为比较例中所使用的成膜装置(雾化CVD装置)的概略构成图。

[0047] 图3为显示实施例及比较例中的XRD测量结果的图。横轴表示衍射角(deg.),纵轴表示衍射强度(arb.unit)。

[0048] 图4为显示实施例中的AFM表面观察结果的图。

[0049] 图5为显示比较例中的AFM表面观察结果的图。

[0050] 图6为显示剖面SEM的观察结果的图,(a)为显示实施例的剖面SEM的观察结果,(b)

为显示比较例的剖面SEM的观察结果。

[0051] 图7为示意地显示肖特基能障二极管(SBD)的一较佳示例的图。

[0052] 图8为示意地显示高电子迁移率晶体管(HEMT)的一较佳示例的图。

[0053] 图9为示意地显示金属氧化物半导体场效晶体管(MOSFET)的一较佳示例的图。

[0054] 图10为示意地显示接面场效晶体管(JFET)的一较佳示例的图。

[0055] 图11为示意地显示绝缘闸双极晶体管(IGBT)的一较佳示例的图。

[0056] 图12为示意地显示发光元件(LED)的一较佳示例的图。

[0057] 图13为示意地显示发光元件(LED)的一较佳示例的图。

[0058] 图14为示意地显示电源系统的一较佳示例的图。

[0059] 图15为示意地显示系统装置的一较佳示例的图。

[0060] 图16为示意地显示电源装置的电源电路的一较佳示例的图。

[0061] 图17为示意地显示异质接面双载子晶体管(HBT)的一较佳示例的图。

[0062] 图18为示意地显示金属氧化物半导体场效晶体管(MOSFET)的一较佳示例的图。

[0063] 图19为显示实施例中的I-V测量结果的图。

[0064] 图20为实施例中所使用的成膜装置的概略构成图。

[0065] 图21为实施例中所使用的成膜装置的概略构成图。

[0066] 图22为显示实施例中的XRD测量结果的图。横轴表示衍射角(deg.)，纵轴表示衍射强度(arb.unit.)。

[0067] 图23为显示实施例中的XRD测量结果的图。横轴表示衍射角(deg.)，纵轴表示衍射强度(arb.unit.)。

## 具体实施方式

[0068] 以下,说明本发明的较佳的实施形态。

[0069] 本发明的p型氧化物半导体膜为具有金刚石结构的p型氧化物半导体膜,其中其表面粗糙度(Ra)为100nm以下。较佳地,在本发明中,其表面粗糙度为50nm以下。更佳地为10nm以下。而且,表面粗糙度(Ra),为使用原子力显微镜(AFM)所测得的针对10 $\mu$ m平方的区域测量表面形状的结果,根据JIS B0601所算出。

[0070] 所谓“具有金刚石结构的金属氧化物”,是指包含金刚石结构的结晶层的金属氧化物,且可以包含金刚石结构的结晶层以外的层(例如非结晶层)。而且,金刚石结构的结晶层较佳地为单结晶层,但也可以是多结晶层。

[0071] p型氧化物半导体膜的膜厚没有特别的限制,较佳地为50nm以上,更佳地为100nm以上,最好是1.0 $\mu$ m以上。依据本发明,即使是厚的膜厚,也可以得到表面平滑性优良的p型氧化物半导体膜。

[0072] 前述p型氧化物半导体膜,通常包含具有金刚石结构的金属氧化物作为主成分。较佳地,该金属氧化物含有周期表中的d区块金属或是周期表的第13族金属。更佳地,含有周期表第9族金属或是第13族金属。最好是含有铱。“主成分”是指以原子比计,相对于p型氧化物半导体膜的所有成分,较佳地为包含50%以上的前述金属氧化物,更佳为70%以上,再佳为90%以上,且其指也可以为100%。在本发明中,较佳地,前述p型氧化物半导体膜包含含有铱的金属氧化物的结晶或混晶。“含有铱的金属氧化物”是指包含铱元素与氧,但是在本

发明中较佳为 $\text{Ir}_2\text{O}_3$ ,更佳为 $\alpha\text{-Ir}_2\text{O}_3$ 。而且,在前述金属氧化物为混晶的情况,较佳地为,含有铱、周期表第2族金属、及铱以外的第9族金属或是第13族金属的混晶。依据前述较佳实施例,可得到能隙2.4eV以上的产物,因此在p型氧化物半导体膜中,可以发挥更广的能隙及更优良的电特性。在本发明中,较佳地,前述p型氧化物半导体膜的能隙为2.0eV以上。

[0073] 另外,“周期表”表示由国际纯化学和应用化学联合会(International Union of Pure and Applied Chemistry) (IUPAC)所定义的周期表。“d区块”是指具有填满3d、4d、5d及6d轨道的电子的元素。作为该d区块金属,可举出例如钪(Sc)、钛(Ti)、钒(V)、铬(Cr)、锰(Mn)、铁(Fe)、钴(Co)、镍(Ni)、铜(Cu)、锌(Zn)、钇(Y)、锆(Zr)、铌(Nb)、钼(Mo)、锝(Tc)、钌(Ru)、铑(Rh)、钯(Pd)、银(Ag)、镉(Cd)、镱(Lu)、铪(Hf)、钽(Ta)、钨(W)、铼(Re)、锇(Os)、铱(Ir)、铂(Pt)、金(Au)、汞(Hg)、镱(Lr)、钅卢(Rf)、钅杜(Db)、钅喜(Sg)、钅波(Bh)、钅黑(Hs)、钅麦(Mt)、钅铎(Ds)、钅镱(Rg)、钅金(Cn)及它们的2种以上的金属等。

[0074] 并且,“第2族金属”只要为周期表的第2族金属即可,作为第2族金属,可举出例如铍(Be)、镁(Mg)、钙(Ca)、锶(Sr)、钡(Ba)或是它们的2种以上的金属等。“第9族金属”只要为周期表的第9族金属即可,作为这样的第9族金属,可举出例如铱(Ir)、钴(Co)、铑(Rh)或是它们的2种以上的金属等。并且,“第13族金属”只要是周期表的第13族金属则无特别限定,作为第13族金属,可举出例如铝(Al)、镓(Ga)、铟(In)、铊(Tl)或是它们的2种以上的金属等,但本发明中较佳为选自铝(Al)、镓(Ga)及铟(In)的1种或是2种以上。

[0075] 本发明的p型氧化物半导体膜可以较佳地通过以下方法获得,这种p型氧化物半导体膜的形成方法,也是新颖且有用的,并且被包括在本发明的一实施形态中。

[0076] 本发明的p型氧化物半导体膜的形成方法,其特征为,在p型氧化物半导体膜的形成中,使用金属氧化物气体作为原料,以在具有金刚石(corundum)结构的基体上进行结晶成长。更具体而言,例如,使金属氧化物气体的固态物(例如粉末等)升华(升华步骤),接着使用所得的金属氧化物气体,在具有金刚石结构的基体上使其结晶成长(结晶成长步骤)。

[0077] (升华步骤)

[0078] 升华步骤,是使金属氧化物气体的固态物(例如粉末等)升华而成为气态,由此得到金属氧化物气体。作为该金属氧化物气体,可举出气态的p型氧化物半导体膜所包含的金属的金属氧化物等,而该金属氧化物的价数等,只要不阻碍本发明的目的则无特别限定,可为1价,也可为2价。也可为3价,也可为4价。本发明中,在该p型氧化物半导体膜具有含铱的金属氧化物作为主成分的情况中,较佳为使用 $\text{IrO}_2$ 气体作为该金属氧化物气体。作为升华手段,可举出加热手段。加热温度无特别限定,但较佳为 $600^\circ\text{C}\sim 1200^\circ\text{C}$ ,更佳为 $800^\circ\text{C}\sim 1000^\circ\text{C}$ 。本发明中,较佳为以载气将由升华所得的金属氧化物气体运送至基体。作为载气的种类,只要不阻碍本发明的目的则无特别限定,可举出例如氧、臭氧、氮或氩等的非活性气体,或是氢气或合成气体(forming gas)等的还原气体等,但本发明中较佳为使用氧作为载气。作为使用氧的载气,可举出例如空气、氧气、臭氧等,特佳为氧气及/或臭氧。并且,载气的种类可为1种,也可为2种以上,更可将改变载气浓度的稀释气体(例如10倍稀释气体等)等作为第2载气使用。并且,载气的供给处可不仅为1处,也可为2处以上。并且,载气的流量无特别限定,较佳为 $0.01\sim 20\text{L}/\text{分钟}$ ,更佳为 $0.1\sim 10\text{L}/\text{分钟}$ 。

[0079] 该基体,只要是具有金刚石结构,且可支撑该p型氧化物半导体膜即可,则无特别限定。该基体的材料,只要具有金刚石结构即可无特别限定,可以为已知的基体,也可为有

机化合物,也可为无机化合物。作为基体材料,可举出例如蓝宝石、 $\alpha$ 型氧化镓等的具有金刚石结构的金属氧化物等。作为该基体的形状,可为任意形状,对于所有的形状皆有效,可举出例如平板或圆板等的板状、纤维状、棒状、圆柱状、角柱状、筒状、螺旋状、球状、环状等,本发明中较佳为基板。基板的厚度在本发明中无特别限定。

[0080] 该基板为板状,只要成为该p型氧化物半导体膜的支撑体即可,无特别限定。可为绝缘体基板,也可为半导体基板,也可为导电性基板,但该基板较佳为绝缘体基板,并且,较佳为表面具有金属膜的基板。作为该基板,较佳可举例如具有金刚石结构的基板等。基板材料只要具有金刚石结构则无特别限定,也可为已知的基板。作为该具有金刚石结构的基板,可举出例如以具有金刚石结构的基板材料作为主成分的底层基板等,更具体而言,可举出例如蓝宝石基板(较佳为c面蓝宝石基板)或 $\alpha$ 型氧化镓基板等。此处,“主成分”是指以原子比计,相对于基板材料的所有成分,较佳为包含50%以上的具有该特定结晶结构的基板材料,更佳为70%以上,再佳为90%以上,其指也可为100%。

[0081] (结晶成长步骤)

[0082] 结晶成长步骤中,使该金属氧化物气体在该基体表面附近结晶成长,而在该基体表面的一部分或是整个面上成膜。结晶成长温度,较佳为低于升华步骤的加热温度的温度,更佳为900℃以下,最佳为500℃~900℃。并且,结晶成长只要不阻碍本发明的目的,则可在真空下、非氧环境下、还原气体环境下及氧化环境下的任何一种环境下进行,并且,可在大气压下、加压下及减压下的任何条件下进行,但本发明较佳为在氧化环境下进行,较佳为在大气压下进行,更佳为在氧化环境且大气压下进行。另外,“氧化环境”,只要是可形成金属氧化物的结晶或是混晶的环境则无特别限定,只要是在氧或是含氧的化合物的存在下即可,可举出例如使用含氧的载气或使用氧化剂作为氧化环境等。并且,膜厚可通过调整成膜时间来设定。本发明中较佳为50nm以上,更佳为100nm以上,最佳为1.0 $\mu$ m以上。膜厚的上限并无特别限定,较佳为1mm,更佳为100 $\mu$ m。并且,本发明中,使金属氧化物气体中包含p型掺杂物而附加于本步骤中,也可对该具有金刚石结构的金属氧化物进行p型掺杂。作为该p型掺杂物,例如,可举出Mg、H、Li、Na、K、Rb、Cs、Fr、Be、Ca、Sr、Ba、Ra、Mn、Fe、Co、Ni、Pd、Cu、Ag、Au、Zn、Cd、Hg、Tl、Pb、N、P等及这些的2种以上的元素等。本发明中,该p型掺杂物较佳为周期表的第1族金属或是第2族金属,更佳为第2族金属,最佳为镁(Mg)。并且,本发明中,也可对本步骤所得的p型氧化物半导体膜进行退火处理。

[0083] 并且,本发明中,该金属氧化物气体也可由例如使该金属氧化物气体的前驱物的液状物(例如雾气等)蒸发及因应预期进行氧化而得。此情况中,该金属氧化物气体的前驱物的液状物(例如雾气等),较佳为使原料溶液雾化或是液滴化所得的雾气。

[0084] 以下,作为本发明的p型氧化物半导体膜的形成方法的其他较佳方案,将更详细说明,在使用了使金属氧化物气体的前驱物的液状物(例如雾气等)蒸发并且因应预期进行氧化而获得的金属氧化物的情况中,p型氧化物半导体膜的形成方法。

[0085] 本发明的p型氧化物半导体膜的形成方法,例如为使用图21所示的两区域式的成膜装置,使包含该金属氧化物气体的前驱物的原料溶液雾化或是液滴化(雾化/液滴化步骤)所得的雾气或是液滴,蒸发或是因应预期进行氧化(蒸发步骤),接着使用所得的金属氧化物气体,在具有金刚石结构的基体上使其结晶成长(结晶成长步骤)。此处,该基体及该结晶成长步骤,也可与使用上述该金属氧化物气体的固态物的p型氧化物半导体膜的形成方

法中的基体及结晶成长步骤相同。如此,通过形成p型氧化物半导体膜,与以往使用雾化CVD法等的情况不同,可更良好地形成p型氧化物半导体膜,而可得到半导体特性及表面平滑性优良的p型氧化物半导体膜。

[0086] (雾化/液滴化步骤)

[0087] 在雾化/液滴化步骤中,使原料溶液雾化或是液滴化。该原料溶液的雾化手段或是液滴化手段,只要可使该原料溶液雾化或是液滴化,则无特别限定,可为已知的手段,但在本发明中较佳为使用超音波的雾化手段或是液滴化手段。使用超音波所得的雾气或是液滴,较佳为初速度为零而在空中浮游,例如,并非是以喷雾喷吹附着,而是可作为在空间中浮游的气体而进行运送的雾气,因此不会因为冲突能量造成损伤,极为合适。液滴尺寸无特别限定,可为数毫米左右的液滴,但较佳为50 $\mu\text{m}$ 以下,更佳为100nm~10 $\mu\text{m}$ 。

[0088] (原料溶液)

[0089] 该原料溶液为包含该金属氧化物气体的前驱物,只要可雾化或是液滴化则无特别限定,并且,可包含无机材料,也可包含有机材料。本发明中,该原料溶液较佳为包含该p型氧化物半导体膜所包含的金属或是其化合物。并且,本发明中,作为该原料溶液,较佳为以络合物或是盐的形态,使该p型氧化物半导体膜所包含的金属,溶解或是分散于有机溶剂或是水。作为络合物的形态,例如,可举出乙酰丙酮络合物、羰基络合物、氨络合物、氢化物络合物等。作为盐的形态,例如,可举出有机金属盐(例如金属乙酸盐、金属乙二酸盐、金属柠檬酸)、硫化金属盐、硝化金属盐、磷氧化金属盐、卤化金属盐(例如氯化金属盐、溴化金属盐、碘化金属盐等)等。

[0090] 并且,该原料溶液中,优选混合氢卤酸或氧化剂等添加剂。作为该氢卤酸,例如,可举出氢溴酸、盐酸、氢碘酸等,其中从可得到更优质的膜的理由来看,较佳为氢溴酸或是氢碘酸。作为该氧化剂,可举出例如过氧化氢( $\text{H}_2\text{O}_2$ )、过氧化钠( $\text{Na}_2\text{O}_2$ )、过氧化钡( $\text{BaO}_2$ )、过氧化苯甲酰( $\text{C}_6\text{H}_5\text{CO}$ ) $_2\text{O}_2$ 等的过氧化物、次氯酸( $\text{HClO}$ )、过氯酸、硝酸、臭氧水、过乙酸及硝基苯等的有机化氧化物等。

[0091] 该原料溶液中也含掺杂物。通过使原料溶液包含掺杂物,可良好地进行掺杂。该掺杂物只要不阻碍本发明的目的则无特别限定。作为该掺杂物,例如,Mg、H、Li、Na、K、Rb、Cs、Fr、Be、Ca、Sr、Ba、Ra、Mn、Fe、Co、Ni、Pd、Cu、Ag、Au、Zn、Cd、Hg、Tl、Pb、N、P等的p型掺杂物等。掺杂物的浓度通常约为 $1 \times 10^{16}/\text{cm}^3 \sim 1 \times 10^{22}/\text{cm}^3$ ,并且,也可使掺杂物的浓度为例如约 $1 \times 10^{17}/\text{cm}^3$ 以下的低浓度。并且,本发明中,也可进一步以约 $1 \times 10^{20}/\text{cm}^3$ 以上的高浓度含有掺杂物。

[0092] 原料溶液的溶剂无特别限定,可为水等无机溶剂,可为醇等有机溶剂,可为无机溶剂与有机溶剂的混合溶剂。本发明中,较佳为该溶剂含水,更佳为水或是水与醇的混合溶剂。

[0093] (蒸发步骤)

[0094] 蒸发步骤中,可通过使该金属氧化物气体的前驱物的液状物(例如雾气等)蒸发及因应预期进行氧化,而得到该金属氧化物气体。作为该金属氧化物气体,可与上述升华步骤中的金属氧化物气体相同。并且,作为蒸发手段,可举出例如加热手段。蒸发手段中的加热温度,也可与该升华手段中的加热温度相同。本发明中,较佳为以载气将蒸发所得的金属氧化物气体运送至基体。作为载气的种类,只要不阻碍本发明的目的则无特别限定,可举出例

如氧、臭氧、氮或氩等非活性气体,或是氢气或合成气体等的还原气体等,但特佳为氧气及/或臭氧。本发明中,通过使用氧气及/或臭氧作为该载气,可较佳地使该金属氧化物气体的前驱物氧化。并且,载气的种类可为1种,也可为2种,更可使用改变载气浓度的稀释气体(例如10倍稀释气体等)等作为第2载气。并且,载气的供给处可不仅为1处,也可为2处以上。并且,载气的流量无特别限定,但较佳为0.01L/分钟~20L/分钟,更佳为0.1~10L/分钟。

[0095] 如上所述,所得的p型氧化物半导体膜,可使用已知的手段较佳地作为p型半导体层使用。另外,本发明中,作为该金属氧化物气体,可使用使该金属氧化物气体的固态物(例如粉末等)升华所得的气体,来形成该p型氧化物半导体膜,而能够更良好地形成该p型氧化物半导体膜,例如可得到表面粗糙度5nm以下的表面平滑性极佳的p型氧化物半导体膜,因而较佳。本发明中,可直接在该基体上成膜,也可在该基体上层叠与该p型半导体层不同的半导体层(例如,n型半导体层、n+型半导体层、n-型半导体层等)或绝缘体层(也包含半绝缘体层)、缓冲层等的其他层后,再于该基体上隔着其他层进行成膜。作为半导体层或绝缘体层,可举出例如包含该第13族金属的半导体层或绝缘体层等。作为缓冲层,可举出例如包含金刚石结构的半导体层、绝缘体层或是导电体层等作为较佳的例子。作为包含该金刚石结构的半导体层,可举例如 $\alpha$ -Fe<sub>2</sub>O<sub>3</sub>、 $\alpha$ -Ga<sub>2</sub>O<sub>3</sub>、 $\alpha$ -Al<sub>2</sub>O<sub>3</sub>等。该缓冲层的层叠手段无特别限定,也可与该p型氧化物半导体的形成手段相同。

[0096] 另外,本发明中,较佳为在该p型半导体层的成膜前或是成膜后形成n型半导体层。更具体而言,在该半导体装置的制造方法中,较佳为包含至少层叠p型半导体层与n型半导体层的步骤。n型半导体层的形成手段无特别限定,可为已知的手段,本发明中较佳为雾化CVD法。该n型半导体层较佳为以氧化物半导体为主成分,更佳为以包含周期表的第13族金属(例如Al、Ga、In、Tl等)的氧化物半导体为主成分。并且,该n型半导体层较佳为以结晶性氧化物半导体为主成分,更佳为以包含Ga的结晶性氧化物半导体为主成分,最佳为以具有金刚石结构且含Ga的结晶性氧化物半导体为主成分。并且,本发明中,作为该n型半导体的主成分的氧化物半导体与该p型氧化物半导体的晶格常数差若为1.0%以下也可形成良好的pn接合,因而为较佳,更佳为0.3%以下。此处,“晶格常数差”的定义如下:从作为该n型半导体的主成分的氧化物半导体的晶格常数减去该p型氧化物半导体的晶格常数,以此值除以该p型氧化物半导体的晶格常数,再将此数值的绝对值乘以100倍的数值(%)。作为该晶格常数差1.0%以下的情况的例子,可举出例如p型氧化物半导体具有金刚石结构的情况、且作为n型半导体的主成分的氧化物半导体也具有金刚石结构的情况等,更佳可举出例如p型氧化物半导体为Ir<sub>2</sub>O<sub>3</sub>的单晶或是混晶、且作为n型半导体的主成分的氧化物半导体为Ga<sub>2</sub>O<sub>3</sub>的单晶或是混晶的情况等。另外,“主成分”是指以原子比计,相对于n型半导体层的所有成分,较佳为包含50%以上的该氧化物半导体,更佳为70%以上,再佳为90%以上,并且指也可为100%。并且,本发明中,该p型氧化物半导体可为单晶,也可为多晶等。

[0097] 上述较佳的形成方法所得的p型氧化物半导体膜可用于工业上,且电特性优良。更具体而言,迁移率通常在1.0cm<sup>2</sup>/V·s以上。该迁移率是指以霍尔效应测量所得的迁移率,本发明中该迁移率较佳为3.0cm<sup>2</sup>/Vs以上。并且,该p型氧化物半导体膜中,载子密度较佳为8.0×10<sup>20</sup>/cm<sup>3</sup>以上。此处,该载子密度,指霍尔效应测量所得的半导体膜中的载子密度。该载子密度的下限无特别限定,较佳为约1.0×10<sup>15</sup>/cm<sup>3</sup>以上,更佳为约1.0×10<sup>17</sup>/cm<sup>3</sup>以上。本发明中,通过调节掺杂物的种类及量或是混晶的材料及其含有率,可将载子密度轻易控制

在 $1.0 \times 10^{16}/\text{cm}^3 \sim 1.0 \times 10^{20}/\text{cm}^3$ 的范围内。

[0098] 上述所得的p型氧化物半导体膜,可作为p型半导体层而用于半导体装置,在功率装置中尤其有用。通过将该p型氧化物半导体膜用于半导体装置,可抑制粗糙度散射,而使半导体装置的通道迁移率优良。并且,半导体装置可分类为电极形成于半导体层的单面侧的横型元件(横型装置)与在半导体层的表面与背面两侧分别具有电极的纵型元件(纵型装置),本发明可较佳地用于横型装置及纵型装置,其中,较佳为用于纵型装置。作为该半导体装置,可举例如肖特基势垒二极管(SBD)、金属半导体场效晶体管(MESFET)、高电子迁移率晶体管(HEMT)、金属氧化物半导体场效晶体管(MOSFET)、静电感应晶体管(SIT)、接面场效晶体管(JFET)、绝缘闸双极晶体管(IGBT)或是发光二极管等。

[0099] 图7至图13显示将p型氧化物半导体膜用于p型半导体层的示例。另外,n型半导体,可以是主成分与p型氧化物半导体相同并且包括n型掺杂物,或者可以是主成分等与p型氧化物半导体不同的n型半导体。另外,通过使用诸如调节n型掺杂物的含量的已知手段,n型半导体适合用作n-型半导体层、n+型半导体层等。

[0100] 图7显示肖特基势垒二极管(SBD)的一较佳示例,其包括n-型半导体层101a、n+型半导体层101b、p型半导体层102、金属层103、绝缘体层104、肖特基电极105a和欧姆电极105b。金属层103例如由诸如Al的金属制成,并且覆盖肖特基电极105a。图8显示高电子迁移率晶体管(HEMT)的一较佳示例,其包括宽带隙的n型半导体层121a、窄带隙的n型半导体层121b、n+型半导体层121c、p型半导体层123、闸电极125a、源电极125b、汲电极125c和基板129。

[0101] 肖特基电极和欧姆电极的材料可以是已知的电极材料。作为电极材料,可以举出Al、Mo、Co、Zr、Sn、Nb、Fe、Cr、Ta、Ti、Au、Pt、V、Mn、Ni、Cu、Hf、W、Ir、Zn、In、Pd、Nd或Ag等的金属或其合金;如氧化锡、氧化锌、氧化铟、氧化铟锡(ITO)、氧化铟锌(IZO)等的金属氧化物导电膜;及如聚苯胺、聚噻吩或聚吡咯的有机导电化合物或其混合物。

[0102] 肖特基电极和欧姆电极可以通过已知的方法形成,例如真空蒸镀法或溅镀法。更具体地,例如,可以在形成肖特基电极的情况下,层叠由Mo制成的层和由Al制成的层,并且使用光刻技术对由Mo制成的层和由Al制成的层进行图案化。

[0103] 作为绝缘层的材料,例如,可以举出GaO、AlGaO、InAlGaO、AlInZnGaO<sub>4</sub>、AlN、Hf<sub>2</sub>O<sub>3</sub>、SiN、SiON、Al<sub>2</sub>O<sub>3</sub>、MgO、GdO、SiO<sub>2</sub>或Si<sub>3</sub>N<sub>4</sub>。在本发明中,较佳地具有金刚石结构。绝缘体层的形成可以通过溅镀法、真空蒸镀法或CVD法等公知的手段进行。

[0104] 图9显示金属氧化物半导体场效应晶体管(MOSFET)的一较佳示例,其包含n-型半导体层131a、第一n+型半导体层131b、第二n+型半导体层131c、p型半导体层132、p+型半导体层132a、闸极绝缘膜134、闸电极135a、源电极135b和汲电极135c。另外,p+型半导体层132a可以是p型半导体层,或者可以与p型半导体层132相同。图10显示接面场效晶体管(JFET)的一较佳示例,其包括n型半导体层141a、第一n+型半导体层141b、第二n+型半导体层141c、p型半导体层142、闸电极145a、源电极145b和汲电极145c。图11显示闸极型双极晶体管(IGBT)的一较佳示例,其包括n型半导体层151、n-型半导体层151a、n+型半导体层151b、p型半导体层152、闸极绝缘膜154、闸电极155a、发射电极155b和集电极155c。

[0105] (LED)

[0106] 图12显示本发明半导体装置是发光二极管(LED)的情况的示例。图12的半导体发

光元件包括在第二电极165b上的n型半导体层161,并且发光层163层叠在n型半导体层161上。在发光层163上,层叠p型半导体层162。在p型半导体层162上,设置让发光层163所产生的光透过的透光性电极167,并且第一电极165a层叠在透光性电极167上。用于发光层的发光体可以是已知的装置。而且,除了电极部分之外,图12的半导体发光元件可以覆盖有保护层。

[0107] 作为透光性电极的材料,可以举出含有铟(In)或钛(Ti)等的氧化物的导电材料。更具体地,例如,可以举出 $\text{In}_2\text{O}_3$ 、 $\text{ZnO}$ 、 $\text{SnO}_2$ 、 $\text{Ga}_2\text{O}_3$ 、 $\text{TiO}_2$ 、 $\text{CeO}_2$ 或这些中的两种以上的混晶,或被掺杂的前述材料。可以通过诸如溅镀的已知方法使用这些材料来形成透光性电极。此外,在形成透光性电极之后,可以进行以使透光性电极透明化为目的的热退火。

[0108] 根据图12的半导体发光装置,第一电极165a用作正电极,第二电极165b用作负电极,并且隔着前述两者让电流通过p型半导体层162,发光层163和n型半导体层161,使得发光层163发光。

[0109] 第一电极165a和第二电极165b的材料,可以举出例如,Al、Mo、Co、Zr、Sn、Nb、Fe、Cr、Ta、Ti、Au、Pt、V、Mn、Ni、Cu、Hf、W、Ir、Zn、In、Pd、Nd或Ag等的金属或其合金;氧化锡、氧化锌、氧化铟、氧化铟锡(ITO)、氧化铟锡(IZO)等的金属氧化物导电膜;如聚苯胺、聚噻吩或聚吡咯等的有机导电化合物或其混合物等。形成电极的方法没有特别的限制,可以考虑材料的适合性,适当地选择以下的方法在基板上形成:如印刷法,喷涂法,涂布法的湿式法;如真空蒸镀法,溅镀法和离子镀法的物理方法;及如CVD和电浆CVD的化学方法。

[0110] 另外,图13显示发光元件的另一种形态。图13的发光元件中,在基板169上层叠n型半导体层161,通过切掉p型半导体层162、发光层163和n型半导体层161的一部分,以露出一半导体层暴露面,并在n型半导体层161的该半导体层暴露面的一部分上,层叠第二电极165b。

[0111] (HBT)

[0112] 图17显示本发明的半导体装置是异质接合型双极晶体管(HBT)的情况的一示例。图17的HBT可以具有nnp结构或pnp结构。在下文中,将详细说明nnp结构,而pnp结构的情况是相同的。能够以pnp结构的n型层取代nnp结构的p型层,反之亦然。基板60可以是半绝缘基板,并且可以具有高电阻率(例如电阻率超过 $10^5 \Omega \text{ cm}$ 等)。另外,基板60可以是n型。

[0113] 在基板60上方形成集电极层42。集电极层42的厚度为例如200nm至 $100 \mu\text{m}$ ,更佳地为400nm至 $20 \mu\text{m}$ 。集电极层42更佳地包含具有金刚石结构为主成分。更佳地,n型氧化物半导体,以包含周期表第2族金属(例如Be、Mg、Ca、Sr、Ba等)、第9族金属(例如Co、Rh、Ir等)或第13族金属(例如Al、Ga、In、Tl等)的氧化物半导体为主成分。更佳地,以包含选自铝、铟和镓的一种或二种以上的金属的氧化物半导体为主成分。最更佳为氧化镓或其混晶。这里,“主成分”与前述“主成分”相同。此外,在本实施形态中,n型氧化物半导体中的掺杂物(例如,锡、锗、硅、钛等)的浓度通常为约 $1 \times 10^{16} / \text{cm}^3$ 至 $1 \times 10^{22} / \text{cm}^3$ 。但是也可以例如在约 $1 \times 10^{17} / \text{cm}^3$ 以下的低浓度下,获得n-型半导体。此外,根据本发明,可以包含约 $1 \times 10^{20} / \text{cm}^3$ 以上的高浓度,来形成n+型半导体。

[0114] 在本实施形态中,特别是当基板60是半绝缘性时,子集电极层40可以形成在集电极层42和基板60之间。更佳地,子集电极层40包括具有金刚石结构的n+型氧化物半导体为主成分。更佳地,n+型氧化物半导体以包括周期表第13族金属(例如Al、Ga、In、Tl等)的氧化

物半导体为主成分。更佳地,以包含选自铝、镉和镓的一种或二种以上的金属的氧化物半导体为主成分。最较佳为氧化镓或其混晶。这里,“主成分”与前述“主成分”相同。子集电极层40的厚度较佳为约0.1至100 $\mu\text{m}$ 。在子集电极层40的表面上,形成集电极52。子集电极层40的目的是提高欧姆集电极52的性能。而且,如果基板60具有导电性,则可以省略子集电极层40。

[0115] 基极层44形成在集电极层42上。基极层44没有特别限制,只要其包含本发明的p型氧化物半导体作为主成分即可。尽管基极层44的厚度没有特别限制,但较佳为10nm至10 $\mu\text{m}$ ,更较佳为10nm至1 $\mu\text{m}$ 。更佳地,基极层44,从与集电极层42的接触部分至基极层44的顶面附近,使任一基极层44的组成逐渐地变化。而且,作为另一个实施形态,可以将超晶格堆积在基极层44的顶面上。

[0116] 发射极层46形成在基极层44上。发射极层46较佳地包含具有金刚石结构的n型氧化物半导体作为主成分。较佳地,n型氧化物半导体以包括周期表第13族金属(例如Al,Ga,In,Tl等)的氧化物半导体为主成分。更佳地,以包含选自铝、镉和镓的一种或二种以上的金属的氧化物半导体为主成分。最优选为氧化镓或其混晶。这里,“主成分”与前述“主成分”相同。而且,发射极层46的厚度没有特别限制,但较佳为10nm至100 $\mu\text{m}$ 。发射极层46通常具有比基极层44更宽的带隙。更佳地,发射极层46,从与基极层44的接触部分至发射极层46的顶面附近,使任一发射极层46的组成逐渐地变化。

[0117] 较佳地,在发射极层46上形成盖层(cap layer)48。盖层48较佳为具有金刚石结构的n+型氧化物半导体。较佳为包括选自铝、镉和镓的一种或二种以上的金属的n+型氧化物半导体。最优选为n+掺杂的氧化镓或其混晶。其厚度没有特别限制,但较佳为10nm至100 $\mu\text{m}$ 。在这些层上进行例如蚀刻等以暴露出基极层44,同时设置朝向上的集电极时,可以通过例如蚀刻等形成更深的通孔,来暴露出子集电极层40。

[0118] 集电极52、基电极54和发射电极56的每个电极最好是欧姆金属电极。发射电极56堆积在盖层48上,并且基电极54堆积在例如通过蚀刻等暴露出的基极层44上。集电极52如上所述堆积在子集电极层40上。在另一个实施形态中,当基板60是n型半导体等时,通常在与装置结构相反侧的基板60的背面上设置集电极(未图示)。

[0119] 每个电极的材料没有特别限制,可以分别使用已知的电极材料。作为电极用的较佳的组成物,可以举出已知的欧姆电极材料(例如,Ni,Al,Ti,Pt,Au及其层叠体)。每个电极m的厚度没有特别限制,但优选约10至约100 $\mu\text{m}$ 的厚度,并且可以通过电子束蒸镀,热蒸镀,溅镀或其他技术实现每个电极的堆积。而且,在堆积每种电极材料之后,可以进行退火处理以实现欧姆接触。退火温度没有特别限制,但较佳为约300至1000 $^{\circ}\text{C}$ 。

[0120] 另外,可以用npn HBT的n型层代替pnp HBT的p型层来形成pnp HBT,反之亦然。

[0121] 在本发明中,较佳地在以下(1)至(3)中的半导体装置使用p型氧化物半导体膜。

[0122] (1) 包含p型通道层的半导体装置

[0123] 半导体装置(1)至少包含一闸电极和一通道层,该通道层直接或隔着其他层,在该闸电极的侧壁形成通道,其中,该通道层的一部分或全部包含p型氧化物半导体作为主成分。通道层不特别限制,只要形成通道即可,通道层可以是半导体层的一部分或其整个部分,也可以形成跨至另一半导体层上。通过将p型氧化物半导体膜使用于p型半导体层,也可以使用于一种优良的半导体装置,即使不注入离子等,例如在介质击穿电场强度比SiC高得

多的高电压下为低损耗的n型半导体(例如氧化镓等)的半导体特性不会恶化的半导体装置。

[0124] 另外,半导体装置(1) 较佳地还内建有SBD。通过内建SBD,可以降低导通电压并使得续流电流更容易流动,从而可以制得有利于工业的优异的半导体特性。

[0125] (2) 包括p井层(p-well layer)的半导体装置

[0126] 半导体装置(2) 是至少包括n型半导体层和p+型半导体层的半导体装置,其中n型半导体层包含含有元素周期表第13族金属的结晶性氧化物半导体作为主成分,p+型半导体层包含p型氧化物半导体膜作为主成分。p型氧化物半导体膜可适用于p井层。

[0127] (3) 包括电场屏蔽层的半导体装置

[0128] 半导体装置(3) 为一种至少包括一n型半导体层、一电场屏蔽层和一闸电极的半导体装置,n型半导体层含有具有金刚石结构的结晶性氧化物半导体作为主成分,电场屏蔽层分别直接或隔着其他层被堆栈在n型半导体层上,其中电场屏蔽层包括p型氧化物半导体并且比闸电极更深地被埋入于n型半导体层中。通过以这种方式设置电场屏蔽层,可以减小反向的漏电流。

[0129] 图18显示包含有前述(1)至(3)的较佳的半导体装置。图18的半导体装置,包含第一n+型半导体层11a、n-型半导体层12、p型半导体层13、第二n+型半导体层11b、p+型半导体层16、闸电极14a、闸极绝缘膜15、肖特基电极14b和汲电极14c。在图18的半导体装置的开启(ON)状态下,在源电极14b和汲电极14c之间施加电压,相对源电极14b在闸电极14a上给予正电荷时,在p型半导体层13和闸极绝缘膜15的界面处形成通道并导通。在关闭(OFF)状态下,将闸电极14a的电压设置为0V,不能形成通道而关闭。而且,在图18的半导体装置中,比闸电极14a更深地将p型半导体层13埋入于n-型半导体层12中。通过采用这种配置,可以减小反向的漏电流并提高击穿电压。

[0130] 图18的半导体装置的每个层的形成手段,只要不妨碍本发明的目的,则无特别限制,并且可以是公知的手段。可以举出例如,通过真空蒸镀法、CVD法、溅镀法,各种涂布技术等形成膜后,通过光刻法进行图案化的手段,或者使用印刷技术等直接图案化的手段。而且,在图18的半导体装置中,第二n+型半导体层11b和p+型半导体层16隔着源电极14b连续地设置,然而也可以不隔着源电极14b,直接地连续设置第二n+型半导体层11b和p+型半导体层16。尽管未图示,在第二n+型半导体层11b和p+型半导体层16直接地连续设置的情况下,当p+型半导体层16比该第二n+型半导体层11b宽时,达到使电洞逸出变良好的效果。另外,当第二n+型半导体层11b比p+型半导体层16宽时,达成降低导通电阻的效果。

[0131] 半导体装置尤其可用于功率装置(power device)。作为半导体装置,举出例如,二极管(例如SBD等)或晶体管(例如,MESFET或JFET等)等。更优选SBD、MOSFET、IGBT或JFET,最优选MOSFET或JFET。此外,较佳的是,半导体装置包括SOI结构,该SOI结构包括硅基板和形成在该硅基板上的掩埋绝缘层,从而可以实现在更高温度下的操作。

[0132] 本发明的半导体装置中,除了上述的事项外,较佳地还使用公知的手段而能够用作功率模块(power module)、逆变器或转换器(converter),甚至较佳地用于例如使用电源装置的半导体系统等。可以使用公知的手段,将该半导体装置连接到布线图案等,制得该电源装置。图14显示电源系统的示例。图14使用多个电源装置和控制电路,来构成电源系统。如图15所示,前述电源系统可以与电子电路组合而使用于系统装置中。而且,图16显示电源

装置的电源电路图的一示例。图16显示包括功率电路和控制电路的电源装置的电源电路，利用逆变器(MOSFET:以A~D构成)，将DC电压以高频率进行切换，以转换到AC后，用变压器(transformer)来实施绝缘及变压，用整流MOSFET(A~B')进行整流后，用DCL(平滑线圈L1和L2)及电容器进行平滑，并输出直流电压。此时，用电压比较器将输出电压与基准电压进行比较，并且以PWM控制电路控制逆变器和整流MOSFET，以形成所期望的输出电压。

[0133] [实施例]

[0134] (实施例1)

[0135] 1. 成膜装置

[0136] 使用图1说明本实施例中所使用的成膜装置。图1的成膜装置1中设有：石英筒2，与载气供给源连结；及石英制的原料用设置台4，设于石英筒2内；在原料用设置台4上载置有原料5。原料用设置台周边的石英筒2的筒外，圆筒状地设置有加热器3，而构成可将原料5加热的形态。并且，石英筒2的内侧设有石英基板台以作为载台7，载台7可调整设置位置以使其在结晶成长温度内。

[0137] 2. 成膜准备

[0138] 在原料用设置台4上载置IrO<sub>2</sub>粉末作为原料5，在载台7上设置蓝宝石基板以作为基板6。接着，使加热器3的温度升温至850℃，将原料用设置台4上载置的IrO<sub>2</sub>粉末加热，由此使IrO<sub>2</sub>粉末升华，而产生气态的氧化铱。

[0139] 3. 形成膜

[0140] 接着，将加热器3的温度保持在850℃，于此状态下从载气供给源将载气供给至石英筒2内，使上述2.所产生的金属氧化物气体(气态的氧化铱)通过石英筒2而供给至基板6。另外，载气的流量为1.0L/分钟，使用氧作为载气。该金属氧化物气体，在大气压下，于基板6的表面附近反应，而在基板上形成膜。另外，成膜时间为60分钟，膜厚为220nm。并且，成膜时的基板温度为600℃。

[0141] 4. 评价

[0142] 针对上述3.所得的膜，使用X光衍射装置进行膜的鉴定，结果所得的膜为α-Ir<sub>2</sub>O<sub>3</sub>膜。另外，XRD的结果显示于图3。并且，针对所得的α-Ir<sub>2</sub>O<sub>3</sub>膜进行霍尔效应测量，结果F值为0.998，载子型态为“p”，可知为p型半导体。并且，载子浓度为 $1.05 \times 10^{22}$  (/cm<sup>3</sup>)，迁移率为3.12(cm<sup>2</sup>/V·s)。

[0143] 再者，使用原子力显微镜(AFM)观察膜表面，结果如图4所示，表面粗糙度(Ra)为3.5nm，可知表面平滑性非常优良。另外，表面粗糙度(Ra)，是使用原子力显微镜(AFM)针对90×90μm<sup>2</sup>的区域测量表面形状的结果，根据JIS B0601所算出。

[0144] (比较例1)

[0145] 1. 成膜装置

[0146] 使用图2说明本比较例中所使用的雾化CVD装置。雾化CVD装置19具备：载台21，载置基板20；载气供给手段22a，供给载气；流量调节阀23a，用以调节从载气供给手段22a送出的载气流量；载气(稀释)供给手段22b，供给载气(稀释)；流量调节阀23b，用以调节从载气(稀释)供给手段22b送出的载气的流量；雾气产生源24，收纳原料溶液24a；容器25，装有水25a；超声波振动元件26，安装于容器25的底面；供给管27，由内径40mm的石英管所构成；及加热器28，设置于供给管27的周围。载台21由石英构成，载置基板20的面相对于水平面倾

斜。作为成膜室的供给管27与载台21皆以石英制作,由此抑制来自装置的杂质混入形成于基板20上的膜内。

#### [0147] 2. 原料溶液的制作

[0148] 将氯化铟(铟浓度0.1mol/L)与溴化镓(镓浓度0.1mol/L)在超纯水中混合,以体积比成为20%的方式加入盐酸以调整水溶液,将其作为原料溶液。另外,氯化铟与溴化镓的体积比为19:1。

#### [0149] 3. 成膜准备

[0150] 上述2.中所得的原料溶液24a收纳于雾气产生源24内。接着,将c面蓝宝石基板设置于载台21上以作为基板20,使加热器28的温度升温至750℃。接着,开启流量调节阀23a、23b,从作为载气源的载气供给手段22a、22b将载气供给至供给管27内,以载气充分取代供给管27内的环境后,将载气的流量调整为1.0L/分钟,并将载气(稀释)的流量调整为0.5L/分钟。另外,使用氧作为载气。

#### [0151] 4. 形成膜

[0152] 接着,使超音波振动元件振动,透过水25将该振动传递至原料溶液24a,由此使原料溶液24a雾化而产生雾气。该雾气由载气运送至供给管27,于大气压下以750℃在基板20表面附近使雾气进行热反应,而在基板20上成膜。另外,膜厚为280nm。

[0153] 针对上述4.所得的膜,使用X光衍射装置进行膜的鉴定,结果所得的膜为 $\alpha$ - $\text{Ir}_2\text{O}_3$ 膜。另外,XRD的结果显示于图3。并且,针对所得的 $\alpha$ - $\text{Ir}_2\text{O}_3$ 膜进行霍尔效应测量,结果F值为0.998,载子型态为“p”,可知为p型半导体。并且,载子浓度为 $2.97 \times 10^{21}$  (/cm<sup>3</sup>),迁移率为0.38 (cm<sup>2</sup>/V·s)。并且,使用原子力显微镜(AFM)观察膜表面,结果如图5所示,表面粗糙度(Ra)为302nm。另外,表面粗糙度(Ra),是使用以原子力显微镜(AFM)针对量 $90 \times 90 \mu\text{m}^2$ 的区域测量表面形状的结果,并根据JIS B0601所算出。

#### [0154] (实施例2及比较例2)

[0155] 使成膜时间变长,除此之外,分别与实施例1及比较例1相同地得到膜,分别作为实施例2及比较例2。接着,针对所得的膜,使用SEM观察剖面。结果显示于图6。如图6明确得知,实施例2中所得的膜为膜状,相对于此,比较例2中所得的膜成长为针状,并未成为均质的膜状。

[0156] 从实施例及比较例的结果来看,本发明的p型氧化物半导体膜,因为表面平滑性及结晶性等的膜质优良,故在工业上有用,另外可知迁移率等的电特性也为优良。

#### [0157] (实施例3)

[0158] 除了使成膜时间为2小时以外,与实施例1相同地得到p型氧化物半导体膜。接着,在p型氧化物半导体膜上层叠n-型半导体层。n-型半导体层的层叠以下述方式进行:将溴化镓(镓浓度0.1mol/L)与超纯水混合,以体积比成为20%的方式加入氢溴酸而调整水溶液,以此作为原料溶液,并使加热器的温度为420℃,及使成膜时间为30分钟,除此之外,与比较例1相同地形成膜。膜为 $\alpha$ - $\text{Ga}_2\text{O}_3$ 膜。

[0159] 并且,在所得的n-型半导体层上层叠n+型半导体层。n+型半导体层的层叠以下述方式进行:将溴化镓(镓浓度0.1mol/L)与超纯水混合,以体积比成为10%的方式加入氢溴酸以调整水溶液,再加入氧化锗1%,以此作为原料溶液,使加热器的温度为390℃,及使成膜时间为30分钟,除此之外,与比较例1相同地形成膜。

[0160] 在所得的层叠体的n+型半导体层上,以溅镀使Ti成膜,接着实施微影与蚀刻,由此制作pn二极管。针对所得的pn二极管,进行I-V测量。结果显示于图19。从图19明确可知,本发明的p型氧化物半导体膜,例如,可实现在绝缘破坏电场强度高的高电压下低损失的n型半导体(例如氧化镓等),并且可实现良好的PN接合。

[0161] (实施例4)

[0162] 1.成膜装置

[0163] 使用图20说明本实施例中所使用的成膜装置。图20的成膜装置10中设有:石英筒2,与载气供给源连结;石英制的原料用设置台4,设于石英筒2内;原料用设置台4上载置有原料5。原料用设置台周边的石英筒2的筒外,分别圆筒状地设置有加热器(原料侧)3a及加热器(基板侧)3b,其构成可将原料5加热的态样。并且,石英筒2的内侧设置有石英基板台以作为载台7,载台7可调整设置位置而使其成为在结晶成长温度内。

[0164] 2.成膜准备

[0165] 原料用设置台4上载置有 $\text{IrO}_2$ 粉末作为原料5,在载台7上设置蓝宝石基板以作为基板6。接着,将加热器(原料侧)3a的温度升温至 $850^\circ\text{C}$ ,将载置于原料用设置台4上的 $\text{IrO}_2$ 粉末加热,由此使 $\text{IrO}_2$ 粉末升华,而产生气态的氧化铱。另外,加热器(基板侧)3b的温度升温至 $350^\circ\text{C}$ 。

[0166] 3.形成膜

[0167] 接着,将加热器(原料侧)3a的温度保持于 $850^\circ\text{C}$ ,并将加热器(基板侧)的温度保持于 $350^\circ\text{C}$ ,于此状态下,从载气供给源将载气供给至石英筒2内,使上述2.产生的金属氧化物气体(气态的氧化铱)通过石英筒2而供给至基板6。另外,载气的流量为 $2.0\text{L}/\text{分钟}$ ,使用氧作为载气。该金属氧化物气体,在大气压下,于基板6的表面附近反应,由此在基板上成膜。另外,成膜时间为90分钟。

[0168] 4.评价

[0169] 针对上述3.所得的膜,使用X光衍射装置进行膜的鉴定,结果所得的膜为 $\alpha\text{-Ir}_2\text{O}_3$ 膜。另外,XRD的结果显示于图22。再者,使用原子力显微镜(AFM)观察膜表面,结果表面粗糙度(Ra)为 $0.161\text{nm}$ ,可得知表面平滑性非常优良。另外,表面粗糙度(Ra),是使用原子力显微镜(AFM)针对 $90\times 90\mu\text{m}^2$ 的区域测量表面形状的结果,根据JIS B0601所算出。

[0170] (实施例5)

[0171] 使加热器(基板侧)的温度为 $250^\circ\text{C}$ ,载气的流量为 $4.0\text{L}/\text{分钟}$ ,及成膜时间为120分钟,除此之外,与实施例4相同地得到p型氧化物半导体膜。针对所得的膜,使用X光衍射装置进行膜的鉴定,结果所得的膜为 $\alpha\text{-Ir}_2\text{O}_3$ 膜。并且,所得的膜与实施例4中所得者相同,为表面粗糙度(Ra)非常优良的膜。针对所得的 $\alpha\text{-Ir}_2\text{O}_3$ 膜进行霍尔效应测量。结果F值为0.999,载子型态为“p”,可知为p型半导体。并且,载子浓度为 $1.64\times 10^{21}(/\text{cm}^3)$ ,迁移率为 $1.63(\text{cm}^2/\text{V}\cdot\text{s})$ 。

[0172] (实施例6)

[0173] 1.成膜装置

[0174] 使用图21说明本实施例中所使用的成膜装置。图21的成膜装置30具备:载台21,载置基板20;载气供给手段22a,供给载气;流量调节阀23a,用以调节从载气供给手段22a送出的载气流量;载气(稀释)供给手段22b,用以供给载气(稀释);流量调节阀23b,用以调节从

载气(稀释)供给手段22b送出的载气的流量;雾气产生源24,收纳原料溶液24a;容器25,装有水25a;超声波振动元件26,安装于容器25的底面;供给管27,由内径40mm的石英管所构成;及加热器(原料侧)28a以及加热器(基板侧)28b,分别设置于供给管27的周围。供给管27,由下述两个区域所构成:设有加热器(原料侧)28a的供给管(原料侧)27a及设有加热器(基板侧)28b的供给管(基板侧)27b。载台21由石英所构成,载置基板20的面相对于水平面倾斜。作为成膜室的供给管27与载台21皆由石英构成,由此抑制来自装置的杂质混入在基板20上形成的膜内。

#### [0175] 2. 原料溶液的制作

[0176] 将溴化铱(铱浓度0.1mol/L)与超纯水混合,加入48%的氢溴酸以调整水溶液,将此作为原料溶液。

#### [0177] 3. 成膜准备

[0178] 将上述2.所得的原料溶液24a收纳于雾气产生源24内。接着,在载台21上设置c面蓝宝石基板以作为基板20,使加热器(原料侧)28a的温度升温至950℃,使加热器(基板侧)28b的温度升温至350℃。接着,开启流量调节阀23a、23b,从作为载气源的载气供给手段22a、22b将载气供给至供给管27内,以载气充分取代供给管27内的环境后,将载气的流量调节为1.0L/分钟,并将载气(稀释)的流量调节为0.5L/分钟。另外,使用氧作为载气。

#### [0179] 4. 形成膜

[0180] 接着,使超声波振动元件振动,透过水25将该振动传递至原料溶液24a,使原料溶液24a雾化而产生雾气。该雾气,通过载气运送至供给管27a,使雾气蒸发、氧化,而产生气态的氧化铱。接着,所产生的金属氧化物气体(气态的氧化铱)由载气供给至供给管27b内的基板20,接着金属氧化物气体在大气压、350℃下于基板20表面附近反应,由此在基板上成膜。另外,成膜时间为60分钟。

#### [0181] 5. 评价

[0182] 针对上述4.所得的膜,使用X光衍射装置进行膜的鉴定,结果所得的膜为 $\alpha$ - $\text{Ir}_2\text{O}_3$ 膜。另外,XRD的结果显示于图23。并且,针对所得的 $\alpha$ - $\text{Ir}_2\text{O}_3$ 膜进行霍尔效应测量,结果F值为1.000,载气为“p”,可知为p型半导体。并且,载子浓度为 $1.12 \times 10^{22}$  (/cm<sup>3</sup>),迁移率为1.60 (cm<sup>2</sup>/V · s)。并且,使用原子力显微镜(AFM)观察膜表面,结果表面粗糙度(Ra)为9.443nm,可知表面平滑性优良。另外,表面粗糙度(Ra),是使用原子力显微镜(AFM)针对 $90 \times 90 \mu\text{m}^2$ 的区域测量表面形状的结果,并根据JIS B0601所算出。

[0183] 由实施例4~6的结果也可得知,本发明的形成方法所得的p型氧化物半导体膜,表面平滑性及结晶性等的膜质优良,可用于工业上,而且迁移率等的电特性也优良。

#### [0184] [产业上的利用可能性]

[0185] 本发明的p型氧化物半导体膜,可用于半导体(例如化合物半导体电子装置等)、电子零件/电力设备零件、光学/电子影像相关装置、工业构件等所有领域,但因p型的半导体特性优良,因此在半导体装置等的中特别有用。

#### [0186] [符号说明]

##### [0187] 1 成膜装置

##### [0188] 2 石英筒

##### [0189] 3 加热器

- [0190] 4 原料设置台
- [0191] 5 原料
- [0192] 6 基板
- [0193] 7 载台
- [0194] 11a 第一n+型半导体层
- [0195] 11b 第二n+型半导体层
- [0196] 12 n-型半导体层
- [0197] 13 p型半导体层
- [0198] 14a 闸电极
- [0199] 14b 源电极
- [0200] 14c 汲电极
- [0201] 15 闸极绝缘膜
- [0202] 16 p+型半导体层
- [0203] 19 雾化CVD装置
- [0204] 20 基板
- [0205] 21 载台
- [0206] 22a 载气供给手段
- [0207] 22b 载气(稀释)供给手段
- [0208] 23a 流量调节阀
- [0209] 23b流量调节阀
- [0210] 24 雾气产生源
- [0211] 24a 原料溶液
- [0212] 25 容器
- [0213] 25a 水
- [0214] 26 超音波振动元件
- [0215] 27 供给管
- [0216] 27a 供给管(原料侧)
- [0217] 27b 供给管(基板侧)
- [0218] 28 加热器
- [0219] 28a 加热器(原料侧)
- [0220] 28b 加热器(基板侧)
- [0221] 29 排气口
- [0222] 40 子集电层
- [0223] 42 集电层
- [0224] 44 基层
- [0225] 46 发射层
- [0226] 48 帽层
- [0227] 52 集电极
- [0228] 54 基极

- [0229] 56 发射电极
- [0230] 60 基板
- [0231] 101a n-型半导体层
- [0232] 101b n+型半导体层
- [0233] 102 p型半导体层
- [0234] 103 金属层
- [0235] 104 绝缘体层
- [0236] 105a 肖特基电极
- [0237] 105b 欧姆电极
- [0238] 121a 宽带隙的n型半导体层
- [0239] 121b 窄带隙的n型半导体层
- [0240] 121c n+型半导体层
- [0241] 123 p型半导体层
- [0242] 125a 闸电极
- [0243] 125b 源电极
- [0244] 125c 汲电极
- [0245] 128 缓冲层
- [0246] 129 基板
- [0247] 131a n-型半导体层
- [0248] 131b 第一n+型半导体层
- [0249] 131c 第二n+型半导体层
- [0250] 132 p型半导体层
- [0251] 134 闸极绝缘膜
- [0252] 135a 闸电极
- [0253] 135b 源电极
- [0254] 135c 汲电极
- [0255] 138 缓冲层
- [0256] 139 半绝缘体层
- [0257] 141a n-型半导体层
- [0258] 141b 第一n+型半导体层
- [0259] 141c 第二n+型半导体层
- [0260] 142 p型半导体层
- [0261] 145a 闸电极
- [0262] 145b 源电极
- [0263] 145c 汲电极
- [0264] 151 n型半导体层
- [0265] 151a n-型半导体层
- [0266] 151b n+型半导体层
- [0267] 152 p型半导体层

- [0268] 154 闸极绝缘膜
- [0269] 155a 闸电极
- [0270] 155b 发射电极
- [0271] 155c 集电极
- [0272] 161 n型半导体层
- [0273] 162 p型半导体层
- [0274] 163 发光层
- [0275] 165a 第一电极
- [0276] 165b 第二电极
- [0277] 167 半透明电极
- [0278] 169 基材

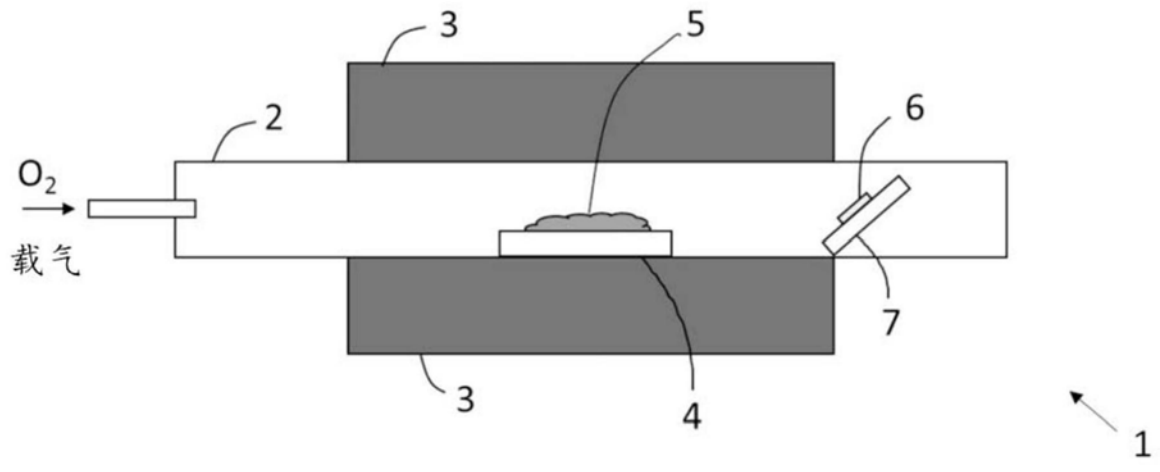


图1

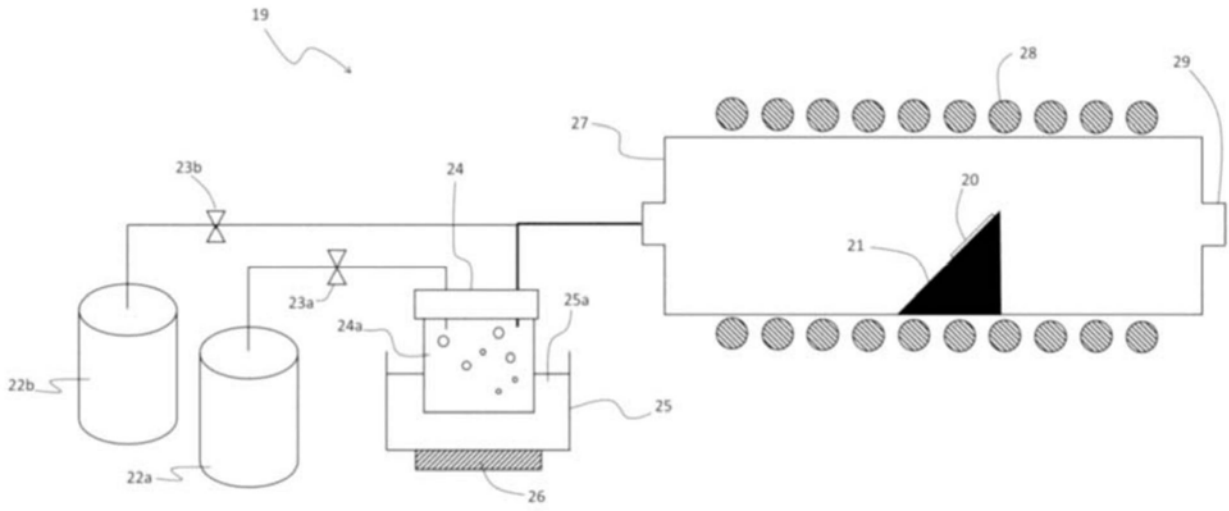


图2

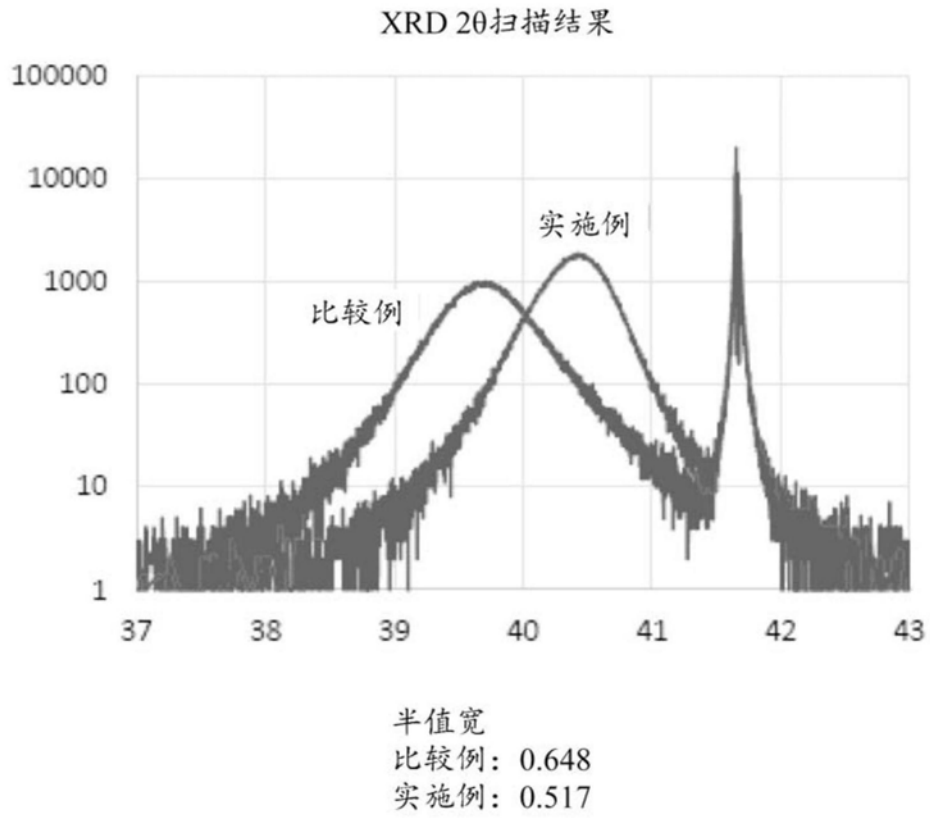
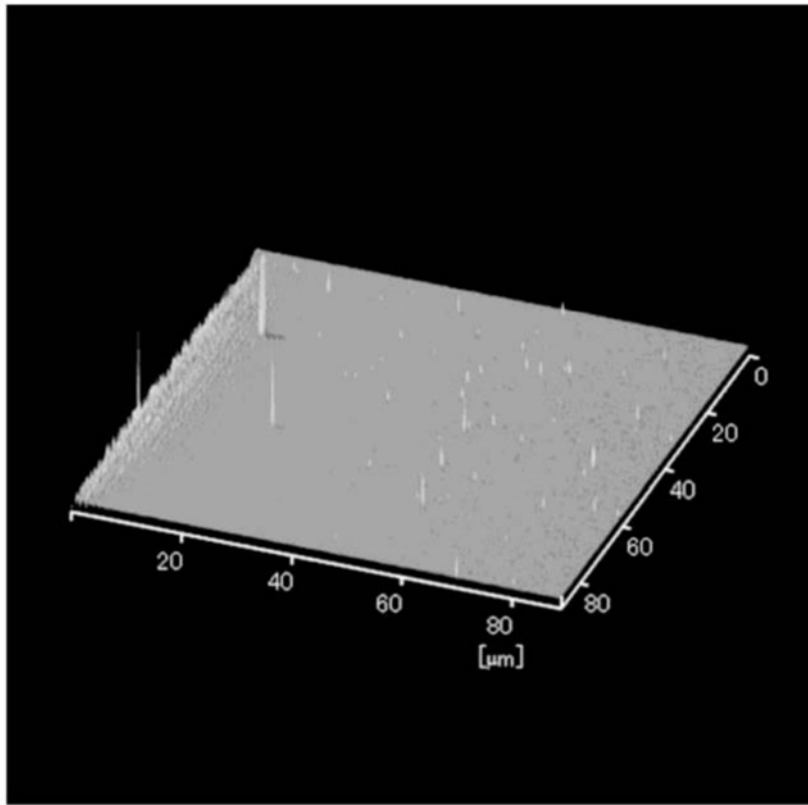
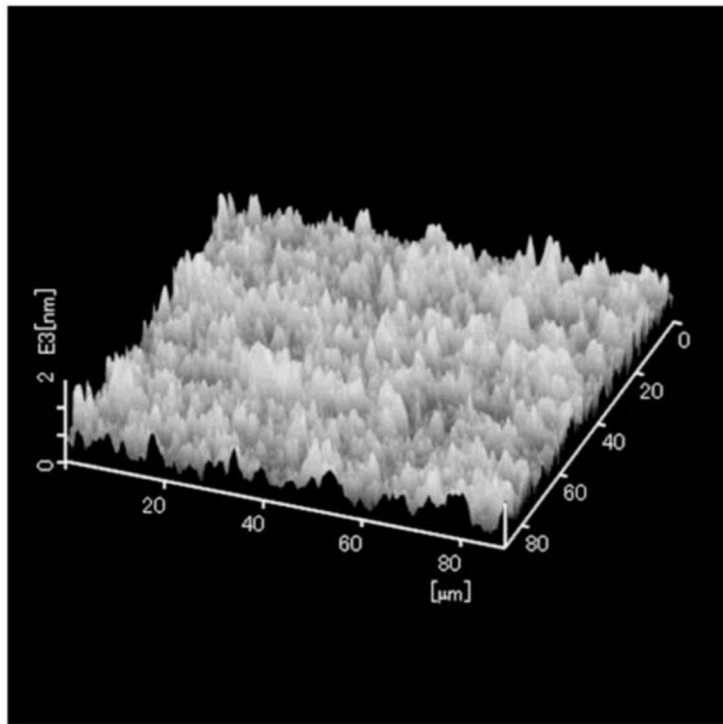


图3



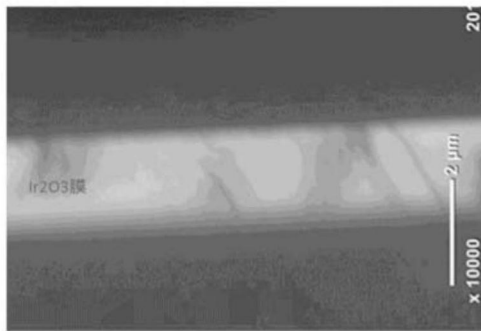
表面粗糙度(Ra) 3.5nm  
膜厚: 220nm(台阶仪测量)

图4

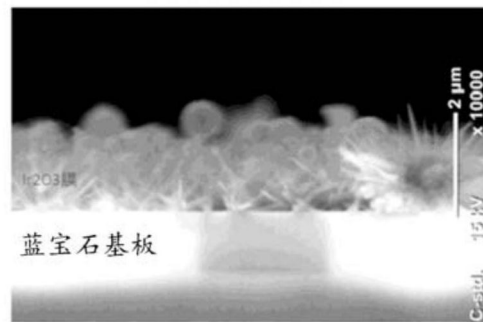


表面粗糙度(Ra) 302nm  
膜厚: 280nm(台阶仪测量)

图5



(a)



(b)

图6

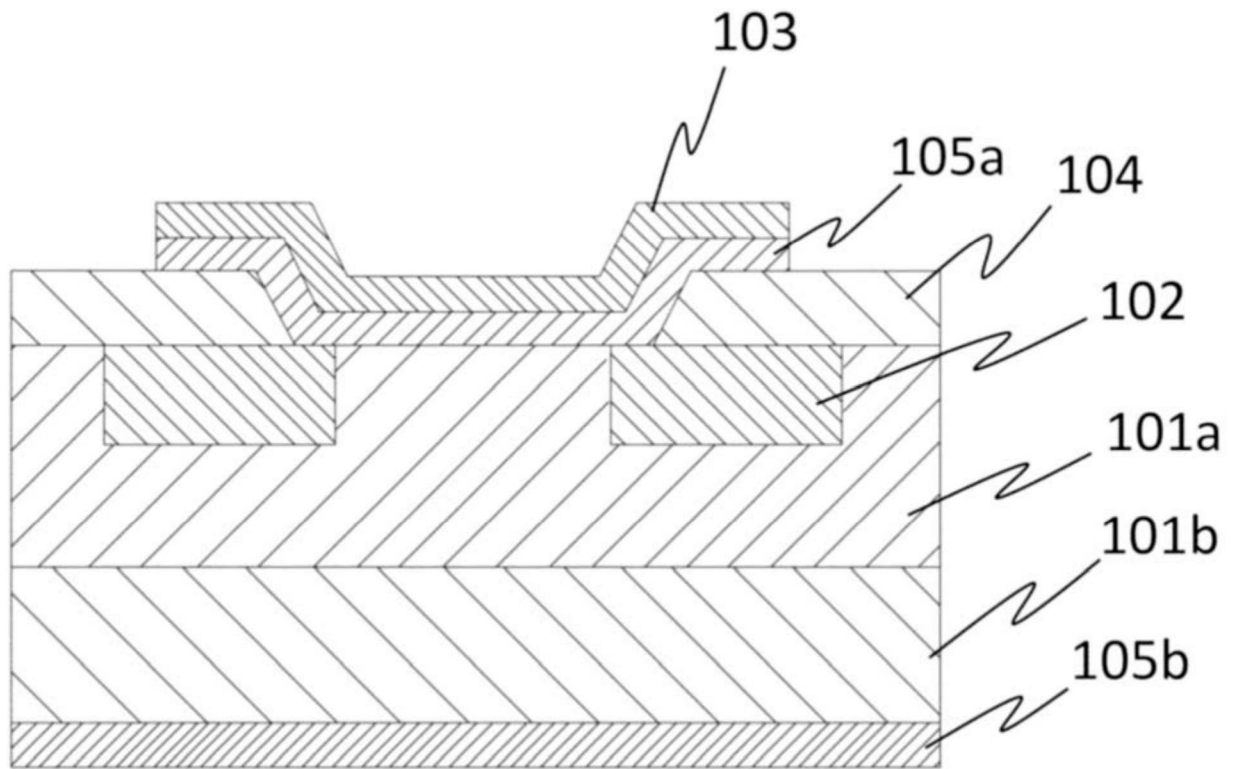


图7

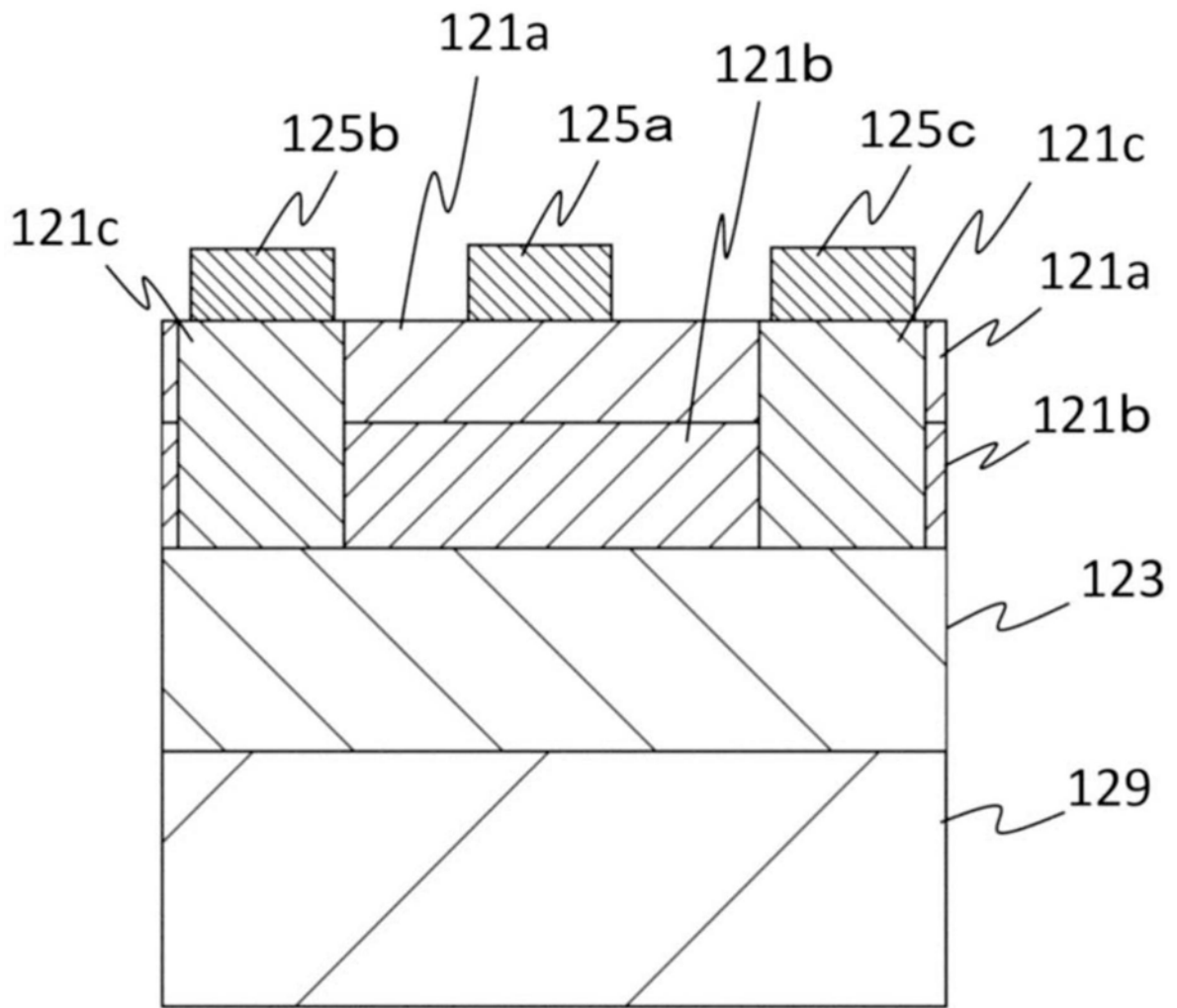


图8

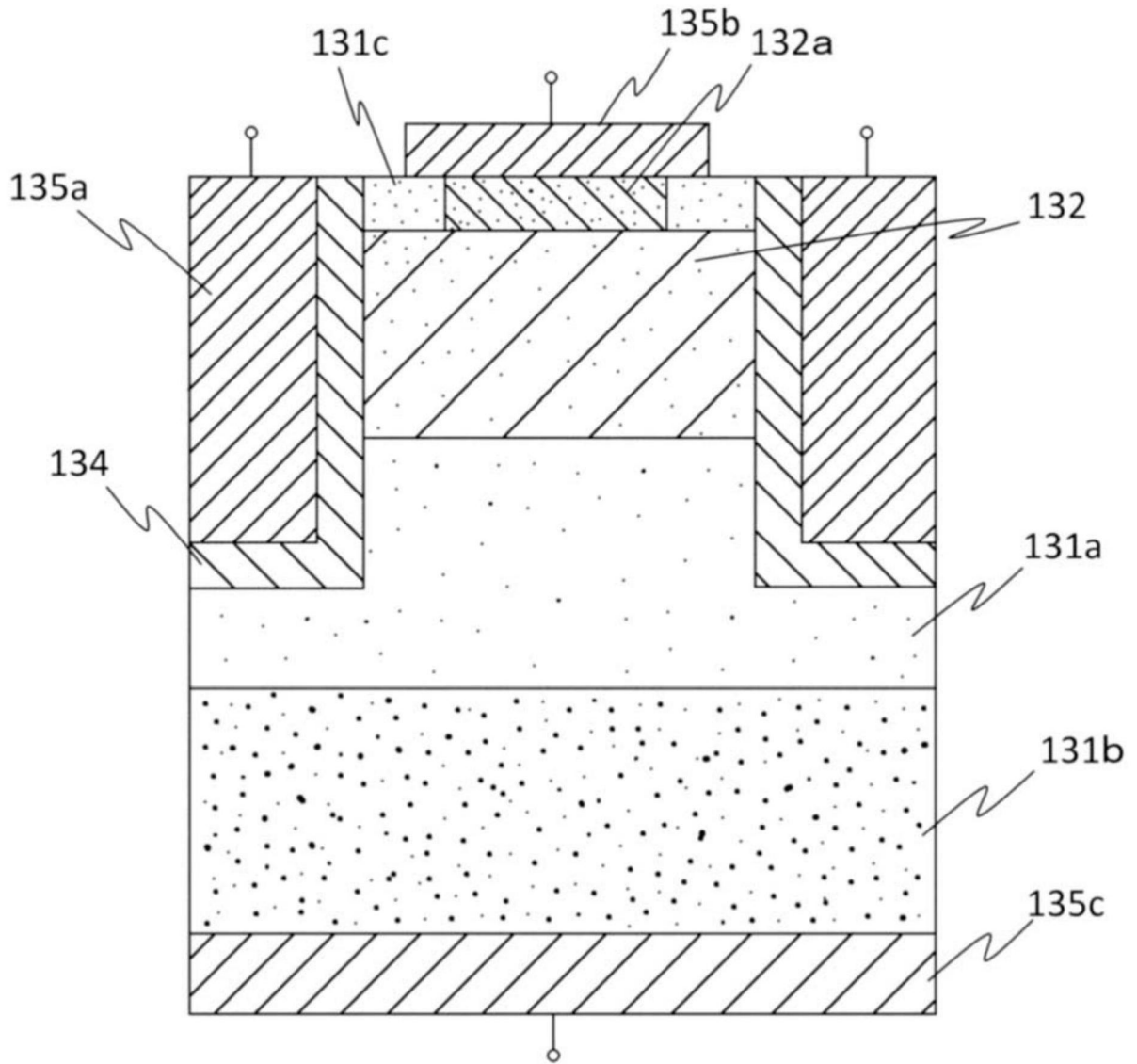


图9

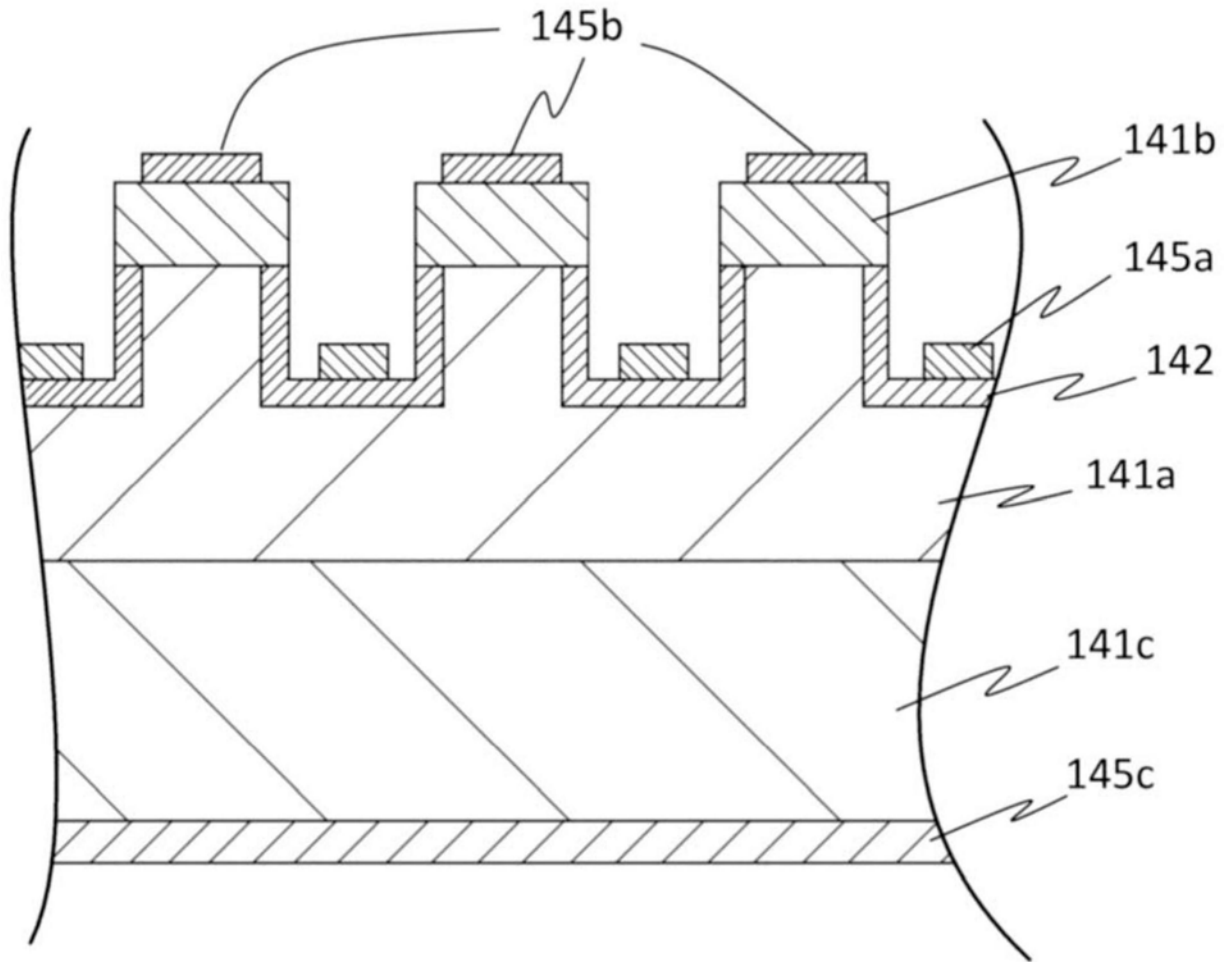


图10

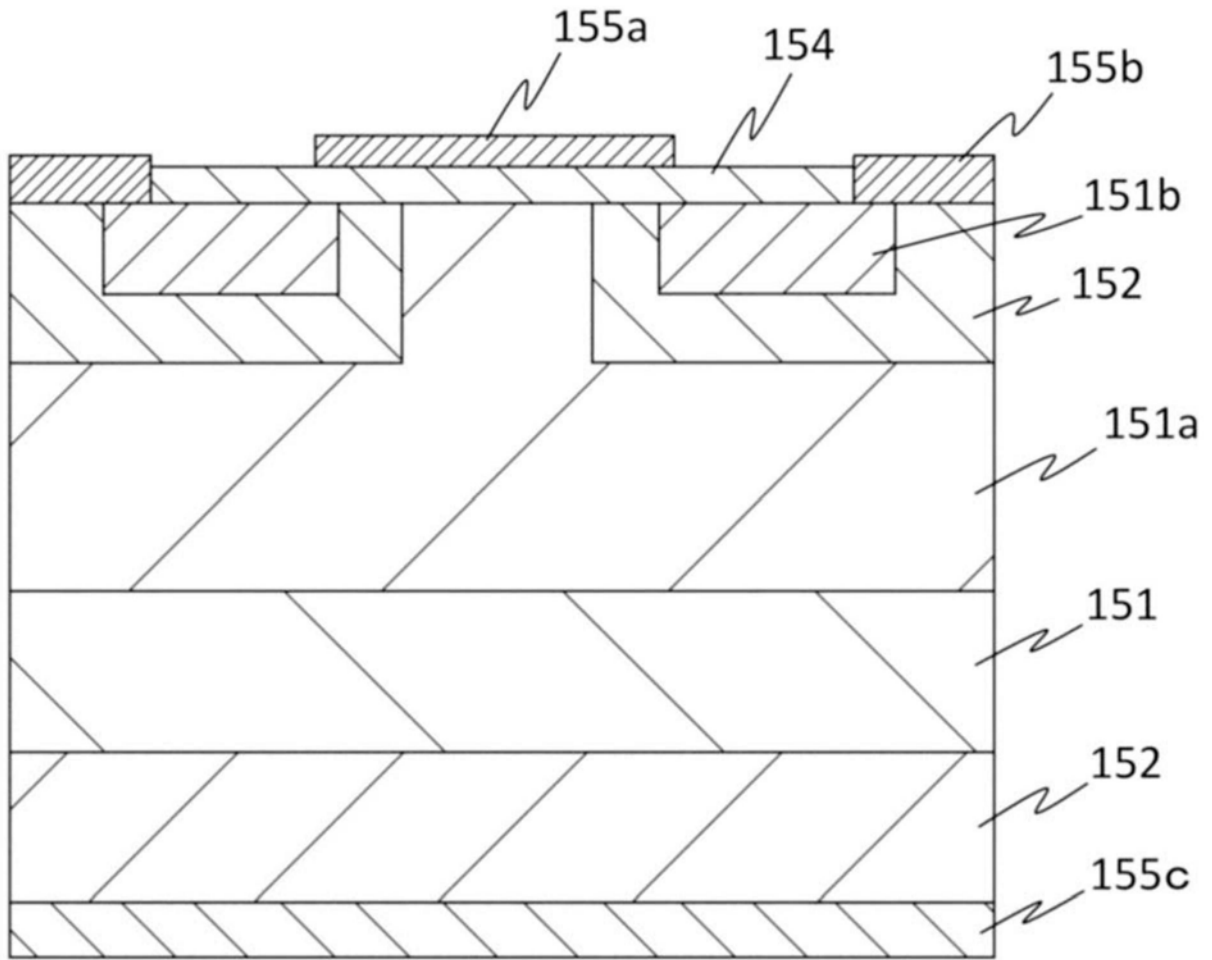


图11

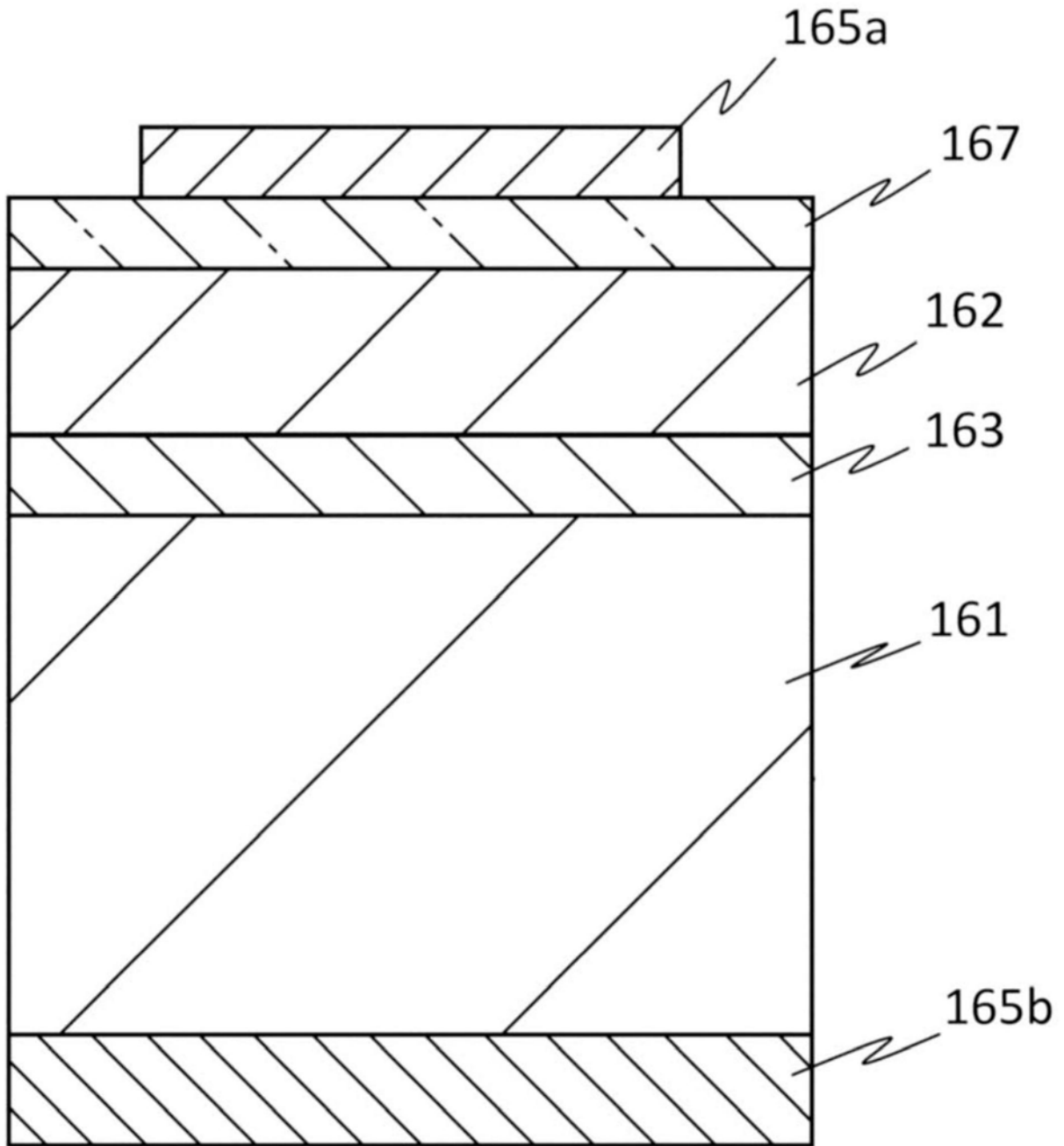


图12

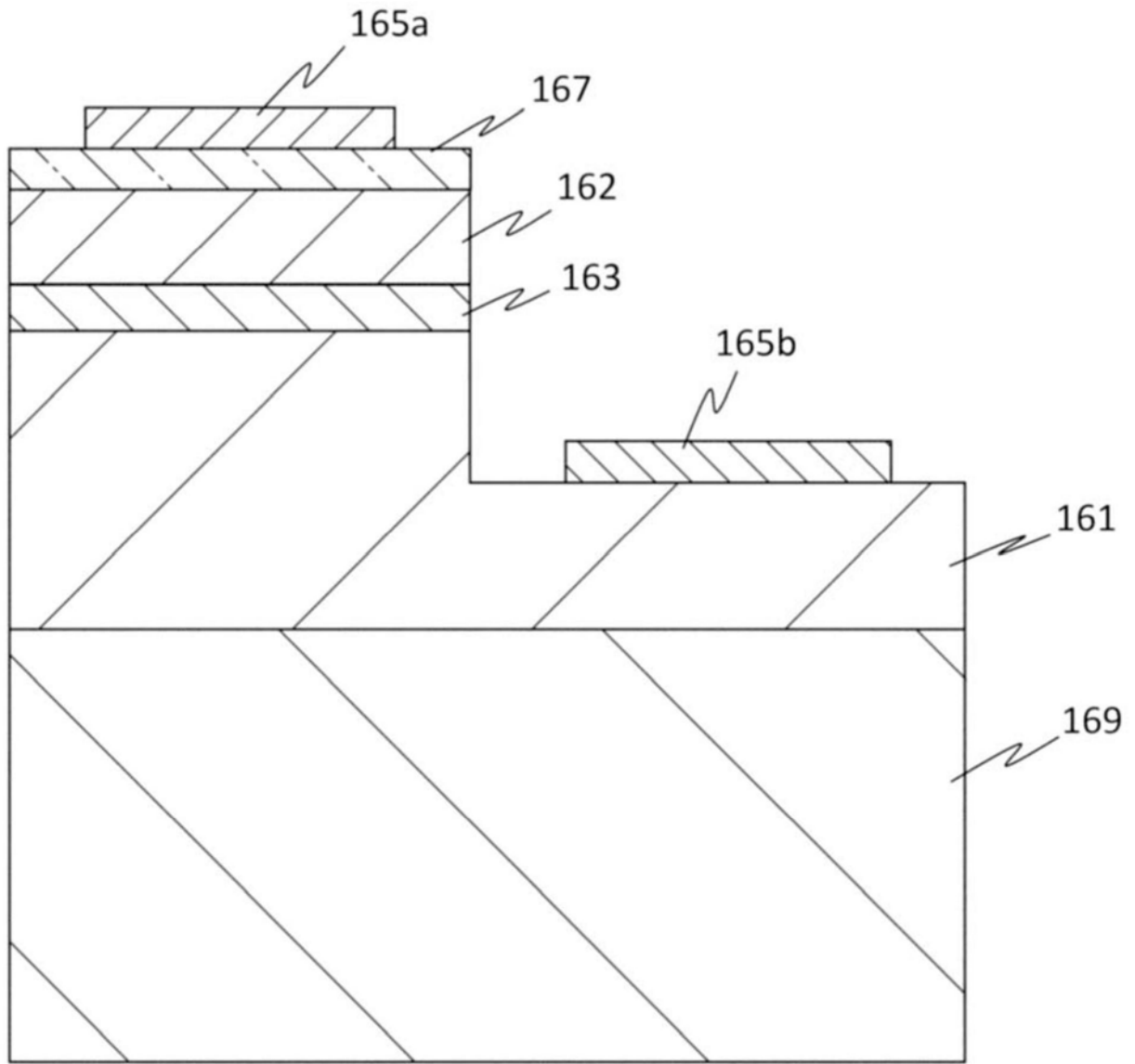


图13

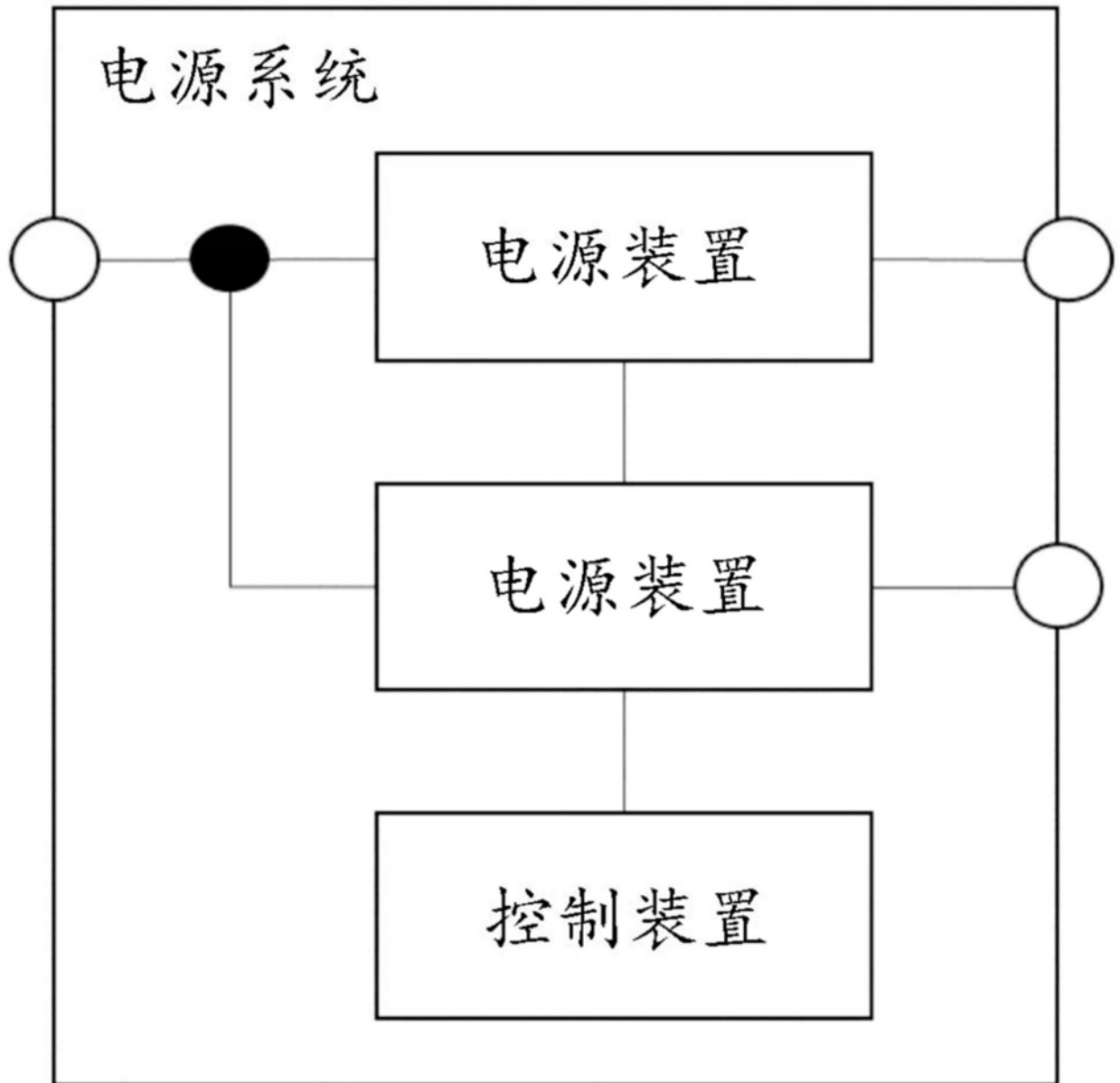


图14

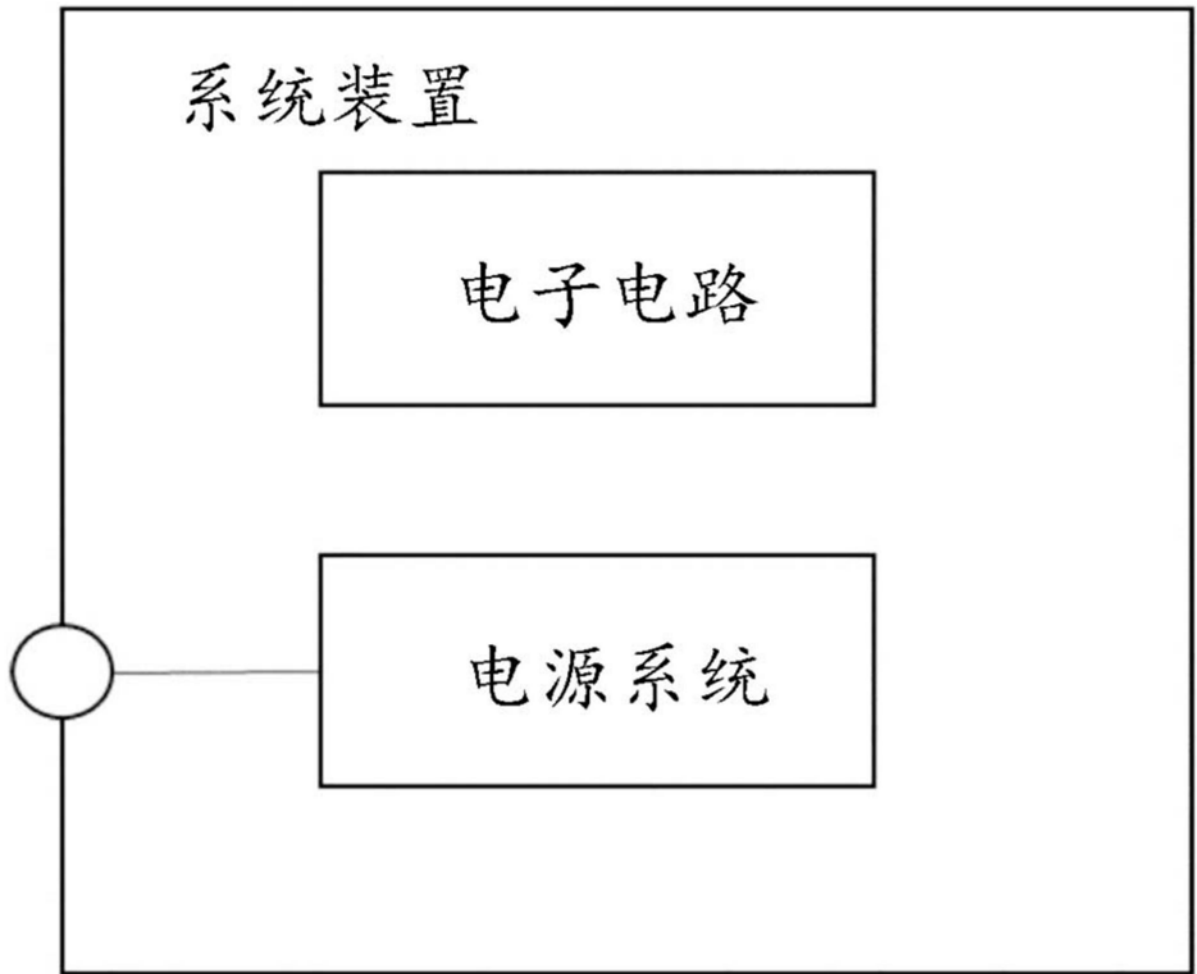


图15

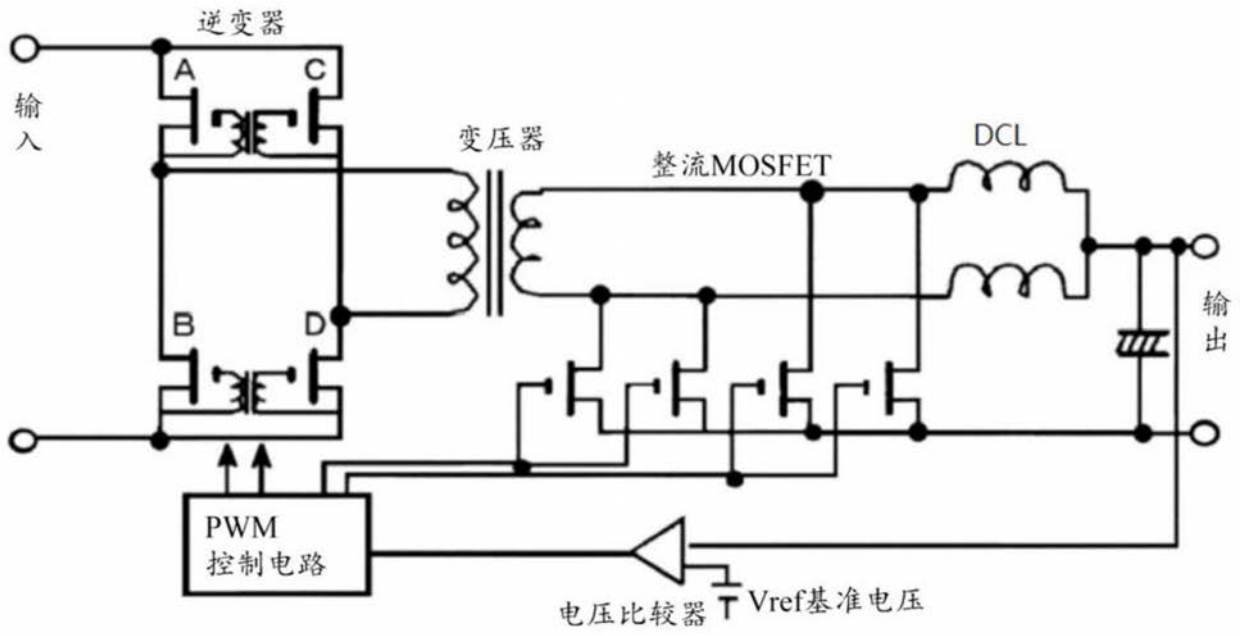


图16

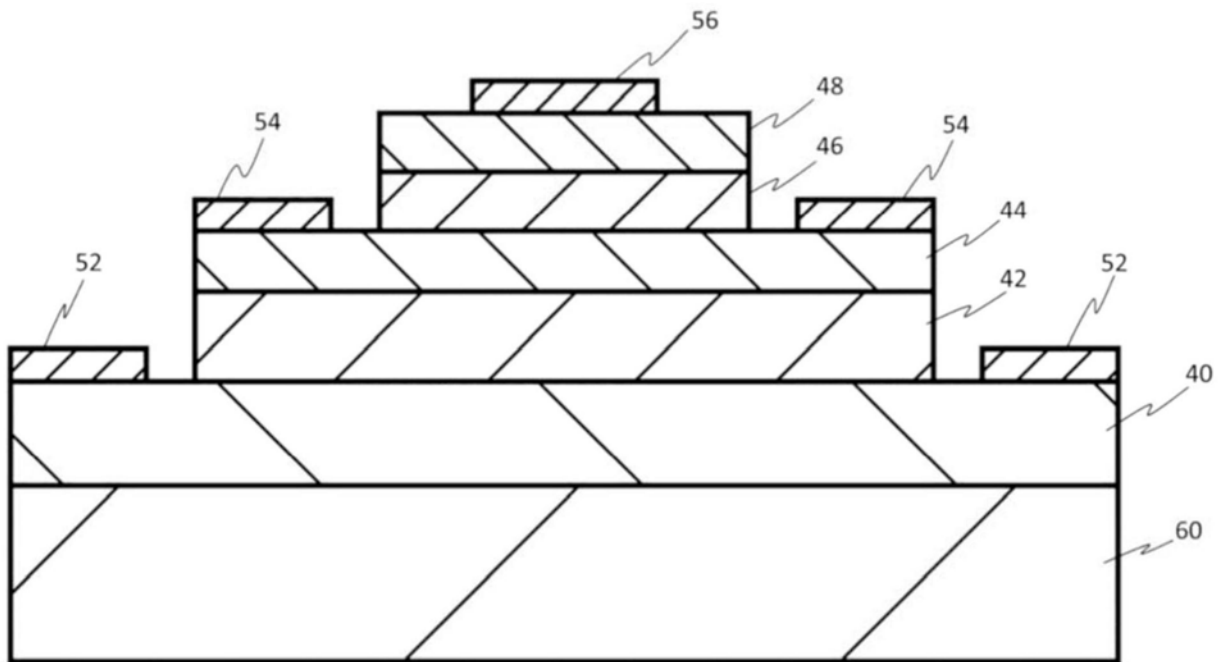


图17

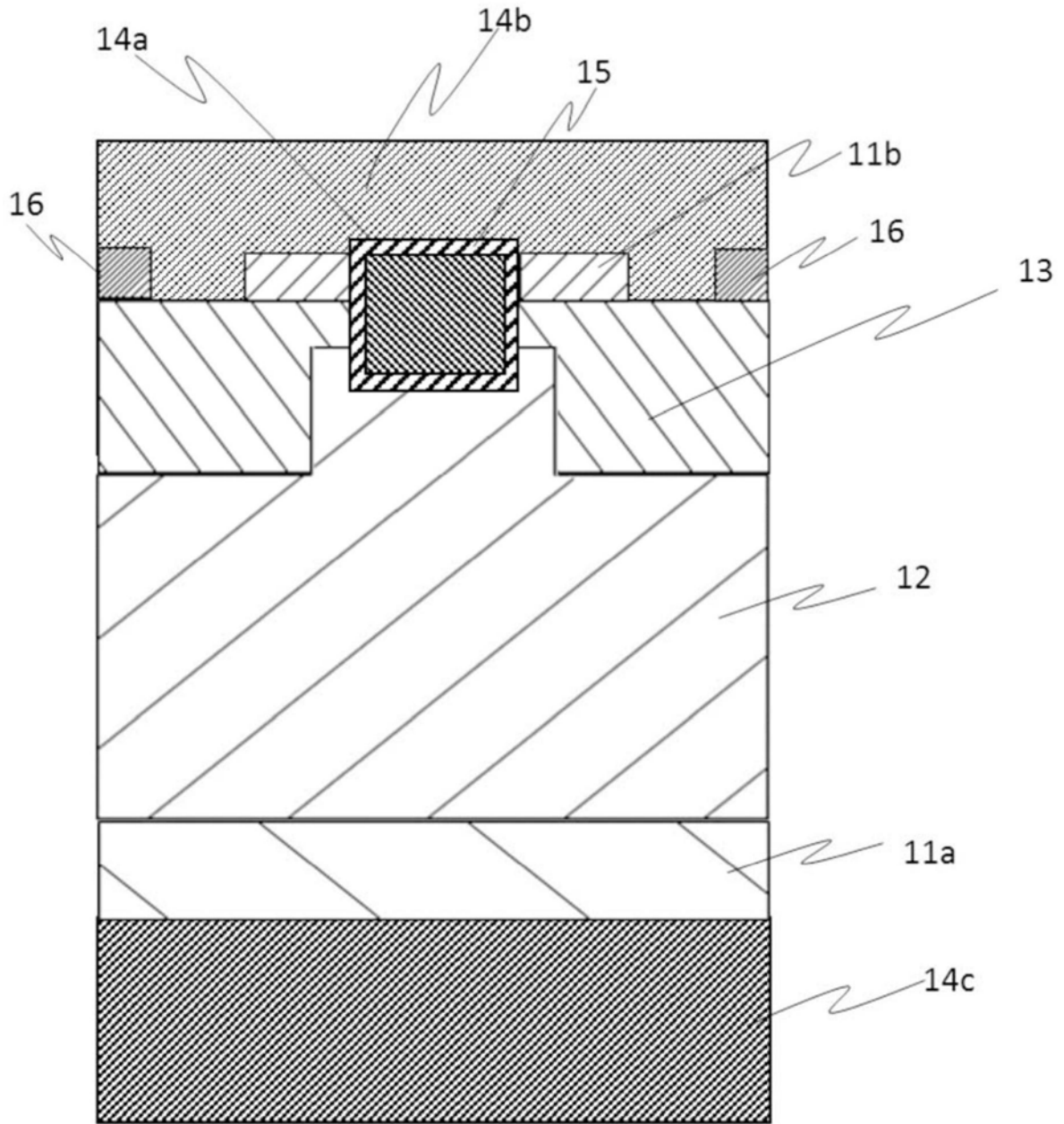


图18

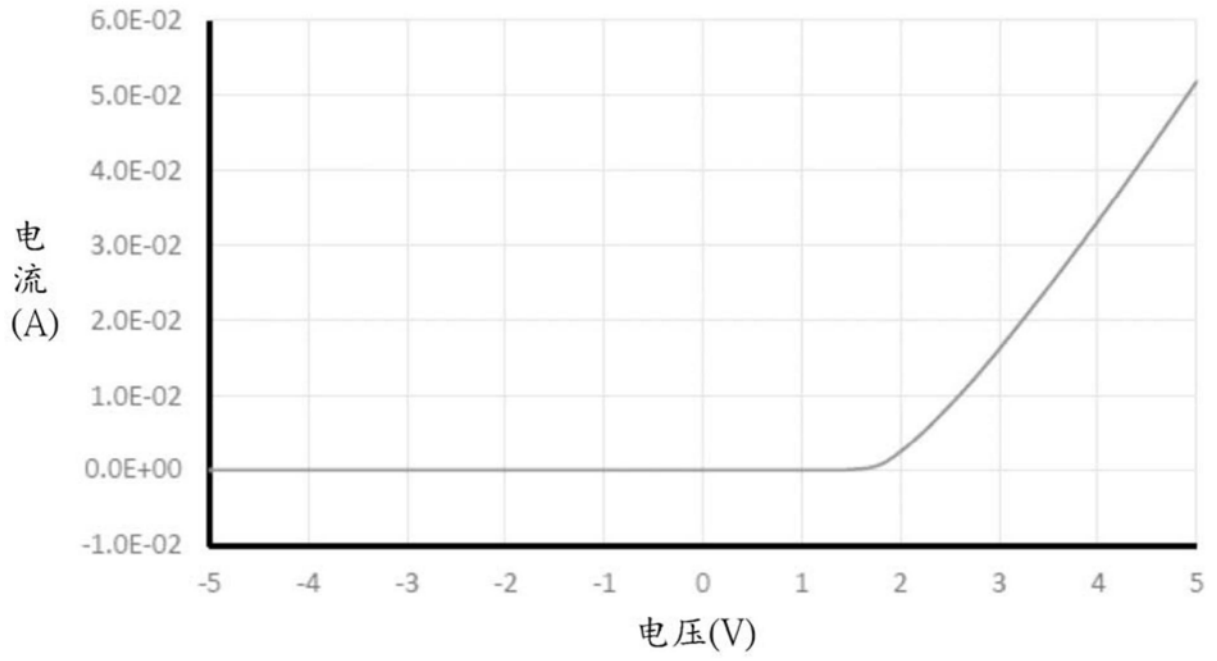


图19

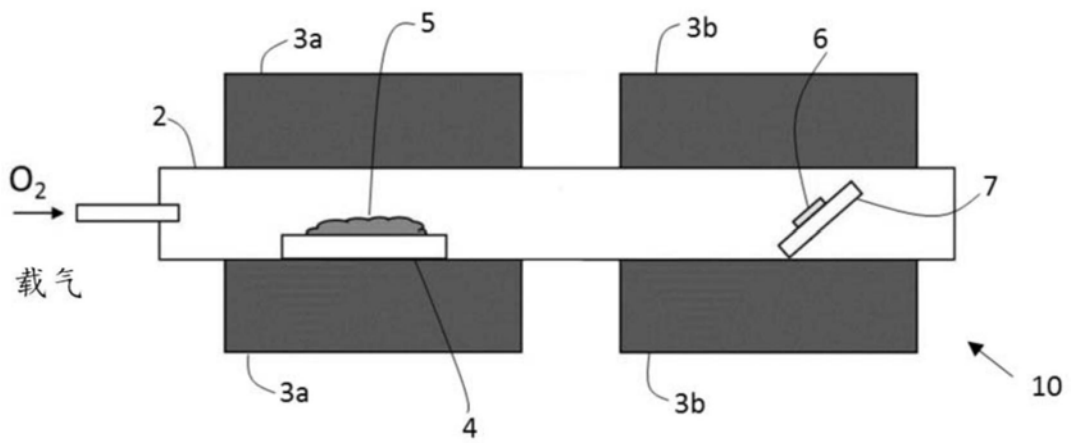


图20

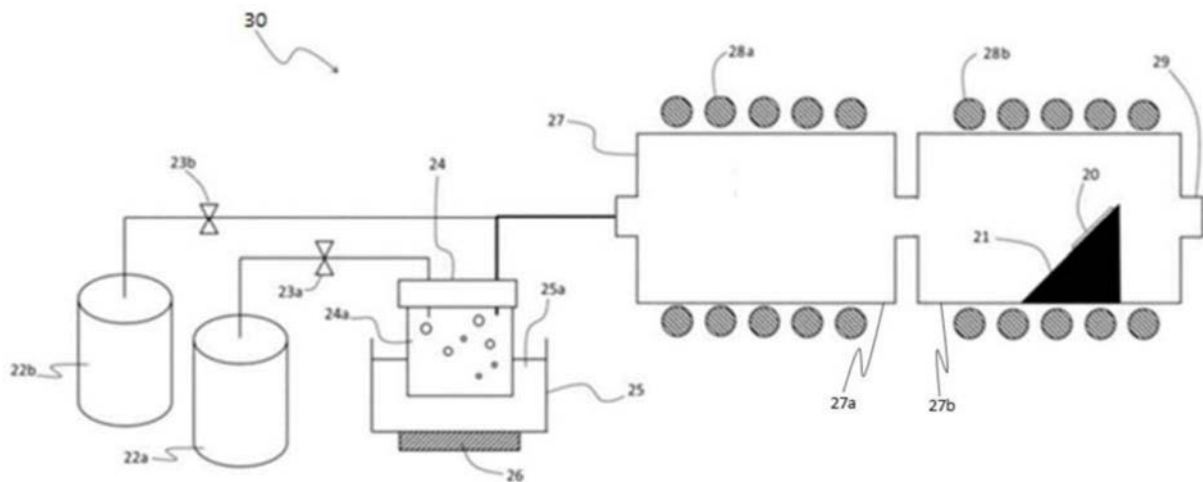


图21

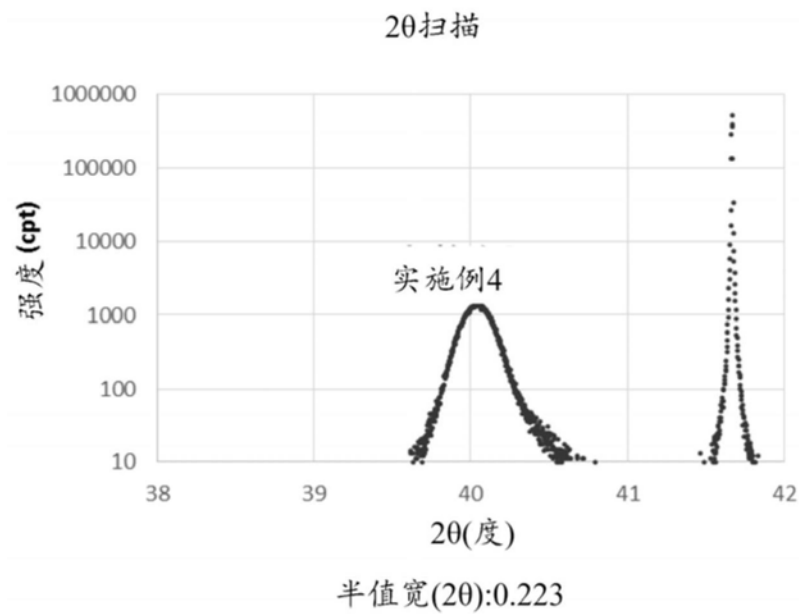


图22

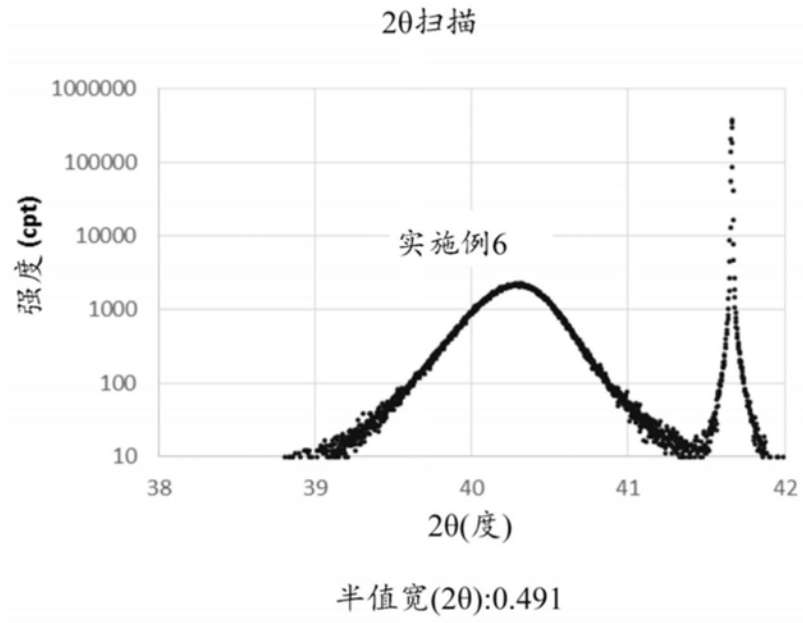


图23