

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3644477号

(P3644477)

(45) 発行日 平成17年4月27日(2005.4.27)

(24) 登録日 平成17年2月10日(2005.2.10)

(51) Int. Cl.⁷

F I

HO4L 12/56
G1OL 13/00
G1OL 19/00
HO4M 3/00

HO4L 12/56 23OZ
HO4M 3/00 B
G1OL 3/00 N
G1OL 3/00 F

請求項の数 4 (全 22 頁)

(21) 出願番号 特願平10-287501
(22) 出願日 平成10年10月9日(1998.10.9)
(65) 公開番号 特開2000-115248(P2000-115248A)
(43) 公開日 平成12年4月21日(2000.4.21)
審査請求日 平成15年8月15日(2003.8.15)

(73) 特許権者 000005496
富士ゼロックス株式会社
東京都港区赤坂二丁目17番22号
(74) 代理人 100091546
弁理士 佐藤 正美
(72) 発明者 池田 仁
神奈川県足柄上郡中井町境430 グリー
ンテクなかい富士ゼロックス株式会社内

審査官 玉木 宏治

(56) 参考文献 特開平10-207500(JP,A)
特開平10-210074(JP,A)
特開平9-27827(JP,A)

最終頁に続く

(54) 【発明の名称】 音声受信装置および音声送受信装置

(57) 【特許請求の範囲】

【請求項1】

複数の送信端末からネットワーク上に送信されたパケット化された音声データを受信する受信手段と、

前記受信手段で受信されたパケット化された音声データから、符号化されたデジタル音声データを得るパケット・デ・アセンブラ手段と、

前記パケット・デ・アセンブラ手段からの前記符号化されたデジタル音声データを前記送信端末ごとに一時的に記憶する記憶手段と、

前記記憶手段に一時的に記憶された前記送信端末ごとの前記デジタル音声データのデータ量が零になった送信端末を検出するデータ量検知手段と、

前記記憶手段に記憶されている前記送信端末ごとの符号化されたデジタル音声データについて、それぞれのデジタル音声データから補間音声データを生成するデータ生成手段と

、
前記送信端末ごとのデジタル音声データのそれぞれについて、前記データ生成手段からの補間音声データと、前記記憶手段の前記送信端末ごとのデジタル音声データとのいずれかを出力データとして選択する選択手段と、

前記データ量検知手段で、データ量が零になったことが検出された送信端末からのデジタル音声データについて前記補間音声データを挿入するために前記データ生成手段の出力を前記選択手段から選択出力させると共に、前記補間音声データを挿入した回数を前記送信端末ごとにカウントしながら前記補間音声データを挿入した回数が最大でない送信端末

10

20

からのデジタル音声データについて、所定の挿入期間で、前記データ生成手段で生成された補間音声データを前記選択手段から選択出力するようにするデータ制御手段と、

前記選択手段からの音声データのそれぞれを復号化する音声復号化手段と、
を備えることを特徴とする音声受信装置。

【請求項 2】

アナログ音声信号をデジタル音声データ系列に変換する音声符号化手段と、

前記音声符号化手段により符号化された音声データをパケットデータに変換するパケット・アセンブラ手段と、

前記パケット・アセンブラ手段によりパケット化された音声データをネットワーク上に送信する送信手段と、

前記ネットワーク上を伝送されてくるパケット化された音声データを受信する受信手段と、

前記受信手段で受信されたパケット化された音声データから、符号化されたデジタル音声データを得るパケット・デ・アセンブラ手段と、

前記パケット・デ・アセンブラ手段からの前記符号化されたデジタル音声データを前記送信端末ごとに一時的に記憶する記憶手段と、

前記記憶手段に一時的に記憶された前記送信端末ごとの前記デジタル音声データのデータ量が零になった送信端末を検出するデータ量検知手段と、

前記記憶手段に記憶されている前記送信端末ごとの符号化されたデジタル音声データについて、それぞれのデジタル音声データから補間音声データを生成するデータ生成手段と

、
前記送信端末ごとのデジタル音声データのそれぞれについて、前記データ生成手段からの補間音声データと、前記記憶手段の前記送信端末ごとのデジタル音声データとのいずれかを出力データとして選択する選択手段と、

前記データ量検知手段で、データ量が零になったことが検出された送信端末からのデジタル音声データについて前記補間音声データを挿入するために前記データ生成手段の出力を前記選択手段から選択出力させると共に、前記補間音声データを挿入した回数を前記送信端末ごとにカウントしながら前記補間音声データを挿入した回数が最大でない送信端末からのデジタル音声データについて、所定の挿入期間で、前記データ生成手段で生成された補間音声データを前記選択手段から選択出力するようにするデータ制御手段と、

前記選択手段からの音声データのそれぞれを復号化する音声復号化手段と、
を備えることを特徴とする音声送受信装置。

【請求項 3】

前記データ制御手段は、前記データ量検知手段により、ある期間、データ量が零になった前記送信端末が検出されなかったときに、前記記憶手段から前記送信端末ごとの符号化されたデジタル音声データを読み出すようにするが、前記音声復号化手段では、前記記憶手段から読み出された前記符号化されたデジタル音声データは、読み込まないようにすることを、所定の頻度で実行するようにした

ことを特徴とする請求項 1 に記載の音声受信装置。

【請求項 4】

前記データ制御手段は、前記データ量検知手段により、ある期間、データ量が零になった前記送信端末が検出されなかったときに、前記記憶手段から前記送信端末ごとの符号化されたデジタル音声データを読み出すようにするが、前記音声復号化手段では、前記記憶手段から読み出された前記符号化されたデジタル音声データは、読み込まないようにすることを、所定の頻度で実行するようにした

ことを特徴とする請求項 2 に記載の音声送受信装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、多地点でネットワークを介して音声の送受信を行う装置に関し、特に、パケ

10

20

30

40

50

ットデータが受信端末に到着するまでの時間が変動するネットワークに接続される場合に好適な音声受信装置および音声送受信装置に関するものである。

【0002】

【従来の技術】

通信回線を介して遠隔地に情報を伝達するデータ伝送の技術は、身近なところでは電話に利用されている。これまで一般の公衆電話はアナログ回線を利用していたが、近年ではデジタル回線を用いて音声以外のデータ伝送も同時に行えるようになってきた。また、企業内ではデジタル回線を利用したコンピューターネットワークの構築が盛んになり、このネットワークを利用して音声会話すなわち電話の機能を実現し、従来のようなアナログ電話回線網によっては内線電話網を構築しない動きが出てきている。

10

【0003】

ところで、イーサネット等の安価なバス型コンピューターネットワークで音声を伝送する場合、デジタル音声をパケット化してネットワークに送信することが一般に行われている。この場合に、ネットワークには他の端末が送信した音声以外のデータも流れているため、パケットデータが受信端末に到着するまでの時間はパケット毎に変動することになる。

【0004】

また、何らかの理由によりパケットが途中で破棄され、送信端末がデータの再送処理を行うことがある。この場合には、パケットデータが受信端末に到着するまでの時間は通常の場合に比べて長くなる。

【0005】

20

このような問題に対して、特開平5 - 344034号に示される従来例の方式では、通信路の状況によって受信端末までの遅延時間が変化する時間変動型の通信路において、受信端末が音声信号を途切れなく連続して処理できるようにしている。この従来例の方式を図9および図10を用いて説明する。

【0006】

図9は、この従来例の方式を用いる音声受信装置のブロック図である。図9においてアナログ音声は、送信側装置TMにおいて音声符号化器1によって符号化され、デジタル信号に変換される。符号化されたデジタルデータ列は、パケット網にインターフェイスするために、パケット・アセンブラ2によりパケットデータに変換され、受信側に送信される。送信されたパケット化されたデータ列は、パケット伝送路3を通過して受信側装置RVに到着する。

30

【0007】

受信側装置RVに到着したパケットデータについては、パケット伝送路3で生じたパケットの衝突あるいは再送処理により、当該パケットデータの、前のパケットの到着時点からの遅延時間がパケット毎に異なっている。受信側装置RVでは、このパケットデータを記憶回路4に蓄積し、一定時間の時間差をおいて記憶回路4から読み出し、パケット・デ・アセンブラ5に供給する。パケット・デ・アセンブラ5では、パケットをデ・アセンブルしてデジタルデータ列に変換し、音声復号化器6に供給する。音声復号化器6は、このデジタルデータ列をアナログ音声信号に変換する。

【0008】

40

図10は記憶回路4の動作を示す図である。図10では、伝送路で、パケットの衝突や再送処理がない場合には、前のパケットの到着時点から今回のパケットの到着時点までの遅延時間が T_x とされている。そして、図10は、パケット番号 $(i+1)$ のパケットが、伝送路の途中で何らかの原因により再送が行われ、このパケット番号 $(i+1)$ のパケットは、通常の遅延時間 T_x と比較して長い遅延時間 $(T_x + \quad)$ で受信された場合を示している。

【0009】

この場合、記憶回路4には、パケットデータが受信された順に書き込みが行われる。一方、記憶回路4からの読み出しは、パケット到着予想時点(通常の遅延時間 T_x の時間間隔により定まる時点)よりも一定時間 T だけ遅れて行われる。したがって、パケット番号(

50

$i + 1$) のデータが再送で遅延した場合でも遅延変動時間が、前記一定時間 T 以内であれば、読み出されたデータ列は時間変動がなくなっている。

【0010】

【発明が解決しようとする課題】

上述したように、従来例の方式によれば、受信データを記憶回路 4 によりバッファリングして、一定時間の遅延を置いて受信データを読み出すことにより、パケット伝送路における時間変動を除去して、安定した品質の音声信号の伝送ができる。

【0011】

しかしながら、電話のような会話をを行う場合、受信データのバッファリング量を大きくすると、音声の遅延が大きくなり、会話相手の応答が遅くなり、いらいらさせられたり、会話の衝突が引き起こされたりして、通信品質が劣化してしまう。

10

【0012】

そこで、バッファリング量を小さくして、通信品質の向上を図るようにすることが考えられるが、バッファリング量を小さくすると、音声の遅延が小さくなり、パケット伝送路での許容される遅延変動時間が小さくなってしまふ。遅延変動時間が小さいということは、バッファリングされたデータがすべて読み出されてしまふ機会が多くなり、音声のとぎれを招来することになる。

【0013】

この場合、バッファリングされたデータが全て読み出されてしまった場合の音声のとぎれの問題を解決する一つ的手段としては、音声復号化器 6 に、無音 / 疑似雑音あるいは記憶回路 4 に保持されていた最後のデータを供給するという方法 (特開平 7 - 175492) が知られている。

20

【0014】

しかし、この方法では多地点からの音声パケットを受信する場合には、不都合が生じる。すなわち、ある送信端末 a からの音声パケット P_a の到着が遅れると、音声復号化器 6 に、しばらくの間、無音もしくは疑似雑音データが送られ、その後に遅れていた音声パケット P_a が到着する。これに対して、他の送信端末 b からの音声パケット P_b が、遅れを伴わずに音声復号化器 6 に送られた場合には、両端末 a, b から受信された音声データの出力時に、時間的なずれが生じてしまふ。すなわち、本来、ほぼ同じ時間に音声データ出力され、再生されるべき複数の音声間に時間的なずれが生じることになり、違和感が生じる

30

【0015】

この問題を解決するために、遅れを伴って受信された音声データは、その先頭時点から無音もしくは疑似雑音データを出力した時間分のデータまでを削除して、音声復号化器 6 に入力することで、両端末 a, b から受信された音声データの出力時の時間的なずれをなくすることが可能である。しかし、このようにした場合には、無音もしくは疑似雑音データを出力した時間分の音声データが失われてしまふという問題点があった。

【0016】

この発明は、以上の点にかんがみ、複数の送信端末から同じ時間にネットワーク送出された複数個の音声パケットの受信時に、パケット伝送路で各音声パケットに異なる遅延変動が生じて、それら複数個の音声パケットの到着に変動が生じた場合であっても、音声データの損失を伴わずに、それら複数個の音声パケットの出力データの時間的なずれを無くすることができるようにすることを目的とするものである。

40

【0017】

【課題を解決するための手段】

上記課題を解決するため、請求項 1 の発明による音声受信装置は、
複数の送信端末からネットワーク上に送信されたパケット化された音声データを受信する受信手段と、

前記受信手段で受信されたパケット化された音声データから、符号化されたデジタル音声データを得るパケット・デ・アセンブラ手段と、

50

前記パケット・デ・アセンブラ手段からの前記符号化されたデジタル音声データを前記送信端末ごとに一時的に記憶する記憶手段と、

前記記憶手段に一時的に記憶された前記送信端末ごとの前記デジタル音声データのデータ量が零になった送信端末を検出するデータ量検知手段と、

前記記憶手段に記憶されている前記送信端末ごとの符号化されたデジタル音声データについて、それぞれのデジタル音声データから補間音声データを生成するデータ生成手段と、

前記送信端末ごとのデジタル音声データのそれぞれについて、前記データ生成手段からの補間音声データと、前記記憶手段の前記送信端末ごとのデジタル音声データとのいずれかを出力データとして選択する選択手段と、

10

前記データ量検知手段で、データ量が零になったことが検出された送信端末からのデジタル音声データについて前記補間音声データを挿入するために前記データ生成手段の出力を前記選択手段から選択出力させると共に、前記補間音声データを挿入した回数を前記送信端末ごとにカウントしながら前記補間音声データを挿入した回数が最大でない送信端末からのデジタル音声データについて、所定の挿入期間で、前記データ生成手段で生成された補間音声データを前記選択手段から選択出力するようにするデータ制御手段と、

前記選択手段からの音声データのそれぞれを復号化する音声復号化手段と、

を備えることを特徴とする。

【0018】

また、請求項2の発明の音声送受信装置は、

20

アナログ音声信号をデジタル音声データ系列に変換する音声符号化手段と、

前記音声符号化手段により符号化された音声データをパケットデータに変換するパケット・アセンブラ手段と、

前記パケット・アセンブラ手段によりパケット化された音声データをネットワーク上に送信する送信手段と、

前記ネットワーク上を伝送されてくるパケット化された音声データを受信する受信手段と、

前記受信手段で受信されたパケット化された音声データから、符号化されたデジタル音声データを得るパケット・デ・アセンブラ手段と、

前記パケット・デ・アセンブラ手段からの前記符号化されたデジタル音声データを前記送信端末ごとに一時的に記憶する記憶手段と、

30

前記記憶手段に一時的に記憶された前記送信端末ごとの前記デジタル音声データのデータ量が零になった送信端末を検出するデータ量検知手段と、

前記記憶手段に記憶されている前記送信端末ごとの符号化されたデジタル音声データについて、それぞれのデジタル音声データから補間音声データを生成するデータ生成手段と、

前記送信端末ごとのデジタル音声データのそれぞれについて、前記データ生成手段からの補間音声データと、前記記憶手段の前記送信端末ごとのデジタル音声データとのいずれかを出力データとして選択する選択手段と、

前記データ量検知手段で、データ量が零になったことが検出された送信端末からのデジタル音声データについて前記補間音声データを挿入するために前記データ生成手段の出力を前記選択手段から選択出力させると共に、前記補間音声データを挿入した回数を前記送信端末ごとにカウントしながら前記補間音声データを挿入した回数が最大でない送信端末からのデジタル音声データについて、所定の挿入期間で、前記データ生成手段で生成された補間音声データを前記選択手段から選択出力するようにするデータ制御手段と、

40

前記選択手段からの音声データのそれぞれを復号化する音声復号化手段と、

を備えることを特徴とする。

【0019】

また、請求項3または請求項4の発明は、請求項1の音声受信装置または請求項2の音声送受信装置において、

50

前記データ制御手段は、前記データ量検知手段により、ある期間、データ量が零になった前記送信端末が検出されなかったときに、前記記憶手段から前記送信端末ごとの符号化されたデジタル音声データを読み出すようにするが、前記音声復号化手段では、前記記憶手段から読み出された前記符号化されたデジタル音声データは、読み込まないようにすることを、所定の頻度で実行するようにしたことを特徴とする。

【0020】

【作用】

上述の構成の請求項1の発明においては、データ量検知手段で、デジタル音声データのデータ量が零になった送信端末が検知されると、データ制御手段は、選択手段を制御し、そのデータ量が零になった送信端末以外の送信端末からのデジタル音声データについては、データ生成手段で生成された補間音声データを、音声復号化手段に供給するようにする。

10

【0021】

これにより、時間遅延が生じないようにすべきである複数の音声データのパケットの、ネットワーク上での伝送遅延に違いがあっても、出力音声では、その伝送遅延分の時間的なずれがなくなるように制御される。

【0022】

請求項2の発明によれば、音声データをパケット送信できる機能を有するので、請求項1の作用に加えて、音声データによる相互通信、つまり、通話を行うことができるようになる。

20

【0023】

請求項3の発明においては、前記データ量検知手段により、ある期間、データ量が零になった前記送信端末が検出されなかったときには、記憶手段から送信端末ごとの符号化されたデジタル音声データは読み出すが、音声復号化手段ではそのデータを読み込まないようにされる。すなわち、このデジタル音声データは廃棄されることになる。

【0024】

ある期間、データ量が零になった送信端末が検出されなかったということは、パケット伝送路での複数の送信元からの音声パケットについての遅延変動が少ない場合である。この場合に、請求項3または請求項4の場合には、所定のデータは廃棄されることで、音波形的には、不連続点が発生することなく、パケット受信から音声出力までの遅延時間が自動的に短縮されるものである。

30

【0025】

【発明の実施の形態】

以下、この発明による音声送受信装置の実施の形態を、図を参照しながら説明する。

【0026】

[第1の実施の形態]

図1は、この第1の実施の形態の音声送受信装置のブロック図であり、送信側装置TMからのパケット化された音声データがパケット伝送路3を通じて受信側装置RVに供給される構成は、図9に示した構成と全く同様である。

【0027】

この実施の形態では、受信側装置RVの内部構成が図9とは異なる。送信側装置TMは、図9の場合と全く同様であるので、図示は省略するが、音声符号化部1と、パケット・アセンブラ2とからなるものである。なお、図1において、太線の矢印は、複数ビットの並列データ（音声サンプルデータワード）を示し、細線は、単一データ線を示している。この関係は、後述する第2の実施の形態の図6においても同じである。

40

【0028】

この実施の形態の受信側装置RVでは、パケット伝送路3を通じて伝送されてきたパケット化された音声データを受信回路11で受信する。受信回路11は、受信したパケットデータをパケット・デ・アセンブラ12に出力する。

【0029】

50

パケット・デ・アセンブラ 12 では、各パケットデータを、ヘッダ情報部と音声データブロック部に分離する。分離されたヘッダ情報の中の送信元アドレス E A D R (送信端末の識別情報) は、例えば 8 ビット幅の信号であって、複数個の F I F O メモリで構成される一時記憶回路 13 に入力される。また、分離された音声データブロック部の例えば 8 ビット幅のデータ D A T A は、例えば 16 M H z のクロック信号 C L K の立ち上がりエッジに同期して、この一時記憶回路 13 に入力される。

【 0 0 3 0 】

パケット・デ・アセンブラ 12 は、また、これより出力している音声データ D A T A が、有効なデータであることを示す有効指示信号 R L E N を、クロック信号 C L K の立ち上がりエッジに同期して一時記憶回路 13 に出力する。この例では、この有効指示信号 R L E N がハイレベルのとき、データ D A T A は有効である。

10

【 0 0 3 1 】

また、この例では、一つの音声データブロックサイズは、1500ワード×8ビット、すなわち 1500バイトとされ、連続して出力されるものとされている。さらに、一つの音声データブロックを出力する間、送信元アドレス E A D R は変化しないものとされている。

【 0 0 3 2 】

一時記憶回路 13 は、予め定められている複数個の送信元、この例では、4個の送信元からの音声データが、各送信元ごとに記憶されるように構成されている。この例の場合の一時記憶回路 13 は、図 2 のブロック図に示すように構成されている。

20

【 0 0 3 3 】

図 2 に示すように、一時記憶回路 13 は、この例では 4 個の送信元に対応して 4 個の端末毎メモリ 131A, 131B, 131C, 131D を備える。端末毎メモリ 131A, 131B, 131C, 131D のそれぞれは、F I F O メモリで構成されており、各 F I F O メモリは、この例では 3000ワード×8ビットすなわち 3000バイトの容量を持つ。

【 0 0 3 4 】

そして、端末毎メモリ 131A, 131B, 131C, 131D を構成する F I F O メモリの R S T 端子は、図示されないリセット回路からのリセット信号 R E S E T に接続され、このリセット信号 R E S E T がハイレベルのとき、端末毎メモリ 131A, 131B, 131C, 131D の書き込みアドレスポインターと読み出しアドレスポインターとが初期化される。なお、リセット信号 R E S E T は、最初の音声データパケットが到着する前にはローレベルになっている。

30

【 0 0 3 5 】

また、F I F O メモリ 131A, 131B, 131C, 131D は、そのクロック端子 C K の入力の立ち上がりエッジにおいて、書き込みイネーブル端子 W E N がハイレベルであると、データ入力端子 D I に入力されているデータが書き込まれ、書き込みアドレスポインターがインクリメントされる。さらに、クロック端子 C K の入力の立ち上がりエッジにおいて、読み出しイネーブル端子 R E N がハイレベルであると、読み出しアドレスポインターがインクリメントされ、データ出力端子 D O のデータが変化する。

40

【 0 0 3 6 】

この実施の形態の場合、各端末毎メモリ 131A, 131B, 131C, 131D には、それぞれのメモリ毎に、予め定められている別々の送信元からの音声データ D A T A が記憶されるように構成されている。

【 0 0 3 7 】

すなわち、端末毎メモリ 131A, 131B, 131C, 131D のデータ入力端子 D I のそれぞれには、パケット・デ・アセンブラ 12 からの受信音声データ D A T A が共通に供給されている。

【 0 0 3 8 】

そして、一時記憶回路 13 には、送信元アドレスレジスタ 132A, 132B, 132C

50

、132Dが設けられ、これら送信元アドレスレジスタ132A、132B、132C、132Dには、前述した予め定められている4個の送信元のアドレスが、それぞれ一つずつ、予め、書き込まれている。そして、送信元アドレスレジスタ132A、132B、132C、132Dからの送信元アドレスは、それぞれ対応する比較器133A、133B、133C、133Dの一方の入力端Aに、それぞれ供給されている。

【0039】

また、比較器133A、133B、133C、133Dのそれぞれの他方の入力端Bには、パケット・デ・アセンブラ12が出力する、受信したパケットデータから分離抽出した送信元アドレスEADRが供給され、比較器133A、133B、133C、133Dのそれぞれにおいて、レジスタ132A、132B、132C、132Dからの送信元アドレスと比較される。そして、比較器133A、133B、133C、133Dのそれぞれにおいては、両入力端A、Bのアドレスの値が一致した場合のみ、その出力EQA、EQB、EQC、EQDをハイレベルにする。

10

【0040】

比較器133A、133B、133C、133Dの出力EQA、EQB、EQC、EQDは、パケット・デ・アセンブラ12からの有効指示信号RL ENのハイレベルによりゲート開となるアンドゲート134A、134B、134C、134Dをそれぞれ通じて端末毎メモリ131A、131B、131C、131Dの書き込みイネーブル端子WENに供給される。

【0041】

したがって、端末毎メモリ131A、131B、131C、131Dの書き込みイネーブル端子WENは、有効指示信号RL ENがハイレベルで、かつ、比較器133A、133B、133C、133Dの出力EQA、EQB、EQC、EQDがハイレベルのときにハイレベルとなるので、音声データDATAは送信元アドレスEADRにより異なる端末毎メモリに書き込まれることになる。

20

【0042】

また、端末毎メモリ131A、131B、131C、131Dの読み出しイネーブル端子RENのそれぞれには、後述するデータ制御回路14からの信号REA、REB、REC、REDがそれぞれ供給され、読み出し制御される。

【0043】

そして、端末毎メモリ131A、131B、131C、131Dから読み出されて、データ出力端子DOに導出された各出力データDA、DB、DC、DDは、それぞれ一時記憶回路13の出力信号線を通じて、後述するデータ生成回路15に接続される。

30

【0044】

また、この実施の形態の場合、端末毎メモリ131A、131B、131C、131Dを構成するFIFOメモリとしては、エンプティ状態になると、すなわち、それに蓄積されているデータ量が零になると、端子FEよりハイレベルになるデータエンプティ信号EMPを出力するものを使用している。この実施の形態の場合、各端末毎メモリ131A、131B、131C、131Dの端子FEからのデータエンプティ信号EMPA、EMPB、EMPC、EMPDは、データ制御回路14およびデータ生成回路15に供給される。

40

【0045】

データ生成回路15は、一時記憶回路13の各端末毎メモリ131A、131B、131C、131Dの出力データDA、DB、DC、DDが供給される際には、その出力データを、そのまま、若干遅延したデータDOA、DOB、DOC、DODを出力するとともに、出力データDA、DB、DC、DDのそれぞれから補間データDHA、DHB、DHC、DHDを生成して出力する。

【0046】

また、データ生成回路15は、端末毎メモリ131A、131B、131C、131Dの蓄積データ量が零であって、このデータ生成回路15に、一時記憶回路13からの出力データDA、DB、DC、DDが入力されないときには、無音データを出力するようにする

50

。

【0047】

データ生成回路15の構成例のブロック図を図3に示す。図3に示すように、データ生成回路15は、端末毎メモリ131A, 131B, 131C, 131Dのそれぞれに対応して、それぞれ2入力セクタ151A, 151B, 151C, 151Dと、それぞれ8ビット幅の3個のレジスタ152A, 152B, 152C, 152D、153A, 153B, 153C, 153Dおよび154A, 154B, 154C, 154Dと、補間データ演算器としての加算器155A, 155B, 155C, 155Dと、無音データ発生器156とを備える。

【0048】

2入力セクタ151A, 151B, 151C, 151Dでは、一時記憶回路13からのデータエンプティ信号EMPA, EMPB, EMPC, EMPDがハイレベル、すなわち端末毎メモリ131A, 131B, 131C, 131Dがエンプティ状態のときには、それぞれ、無音データレジスタ156の出力である無音データが選択され、また、データエンプティ信号EMPA, EMPB, EMPC, EMPDがローレベルのときには、それぞれ、端末毎メモリ131A~131Dの出力データDA, DB, DC, DDが選択される。そして、この2入力セクタ151A, 151B, 151C, 151Dの出力データは、それぞれレジスタ152A, 152B, 152C, 152Dのデータ入力端子DIに供給される。

【0049】

レジスタ152A, 152B, 152C, 152Dには、データ制御回路14からの信号REA, REB, REC, REDが、それぞれハイレベルのときに、クロック信号CLKの立ち上がりに同期して、それぞれセクタ151A, 151B, 151C, 151Dの出力がロードされる。信号REA, REB, REC, REDは、このデータ生成回路15では、読み込み信号としての役割を持つ。レジスタ152A, 152B, 152C, 152Dの出力データは、レジスタ153A, 153B, 153C, 153Dのデータ入力端子に供給される。

【0050】

レジスタ153A, 153B, 153C, 153Dには、データ制御回路14からの信号REA, REB, REC, REDが、それぞれハイレベルのときに、クロック信号CLKの立ち上がりに同期して、それぞれレジスタ152A, 152B, 152C, 152Dが出力しているデータがロードされる。このレジスタ153A, 153B, 153C, 153Dの出力データは、データ生成回路15からの第1の出力データDOA, DOB, DOC, DODとして、選択回路16に供給される。

【0051】

補間データ演算器としての加算器155A, 155B, 155C, 155Dは、この例では、それぞれレジスタ152Aと153A, 152Bと153B, 152Cと153C, 152Dと153Dの出力データを受けて、平均値補間データを生成する。すなわち、加算器155A, 155B, 155C, 155Dは、2つのレジスタの出力データを加算し、その加算結果の最下位ビットを除いた8ビットデータを出力する。この加算器155A, 155B, 155C, 155Dからの補間データは、クロック信号CLKの立ち上がりに同期して、それぞれレジスタ154A, 154B, 154C, 154Dにロードされる。

【0052】

レジスタ154A, 154B, 154C, 154Dの出力データ、つまり、平均値補間データDHA, DHB, DHC, DH Dは、データ生成回路15の第2の出力データとして、選択回路16に供給される。

【0053】

なお、この例では平均値補間は直線補間を採用したが、レジスタ152A, 152B, 152C, 152Dの出力データのそれぞれと、レジスタ153A, 153B, 153C,

10

20

30

40

50

153Dの出力データのそれぞれの、データ値に応じた重み付けを伴う重み付け平均値補間であってもよい。また、補間データ演算器155A, 155B, 155C, 155Dで求める補間データとしては、平均値補間データに限られるものではなく、例えば前値ホールドデータを用いてもよい。

【0054】

選択回路16は、4個の送信端末用の端末毎メモリ131A~131Dに対応したデータ生成回路15からの出力データDOAと補間データDHA, 出力データDOBとDHB, 出力データDOCと補間データDHC, 出力データDODと補間データDHDの4対に対応した4個のセレクト(図示せず)を備えるもので、データ制御回路14からのデータ選択信号SELA, SELB, SELC, SELDのそれぞれにより、それぞれ出力データDOA, DOB, DOC, DODと、補間データDHA, DHB, DHC, DHDのいずれか一方を選択して、その選択出力信号DOUTA, DOUTB, DOUTC, DOUTDを音声復号化器17に出力する。

10

【0055】

この例では、選択回路16は、データ選択信号SELA, SELB, SELC, SELDのそれぞれがハイレベルのときには平均値補間データDHA, DHB, DHC, DHDを出力する。また、ローレベルのときには出力データDOA, DOB, DOC, DODを選択して出力する。

【0056】

音声復号化器17では、図示されないシステム制御回路からのスタート信号STがハイレベルになると、例えば8kHzの音声再生クロック信号CLKに同期してデータリクエスト信号DREQをデータ制御回路14に出力する。

20

【0057】

なお、この例では、スタート信号STは、リセット信号RESETがハイレベルのときにローレベルに初期化され、全ての送信元からのパケットデータが到着してしばらくしてからハイレベルになるものとする。

【0058】

また、音声再生クロック信号CLKが、前記クロック信号CLKと同期していない場合には、同期化回路が必要となるが、この実施の形態では、2つのクロック信号が同期していて、クロック信号CLKは音声再生クロック信号CLKに比べて十分高速であるものとして説明を行う。この場合のクロック信号CLKと、音声再生クロック信号CLKと、データリクエスト信号DREQの関係を図4に示す。

30

【0059】

音声復号化器17は、クロック信号CLKの立ち上がりエッジにおいてデータリクエスト信号DREQがアクティブ状態のとき、選択回路16の出力選択信号DOUTA, DOUTB, DOUTC, DOUTDを取り込み、取り込んだデータのミキシングおよびデジタル音声データのアナログ信号への変換を行った後、出力する。

【0060】

次に、データ制御回路14の構成および詳細な動作について説明する。

【0061】

データ制御回路14の内部ブロック構成例を図5に示す。データ制御回路14は、補間データの挿入頻度(挿入間隔)を定める回路17と、補間データを挿入すべき出力データを選定して、前述したデータ選択信号SELA~SELDおよび信号REA~REDを生成する回路18とからなる。

40

【0062】

補間データの挿入頻度を定める回路17は、例えば5ビットのバイナリーカウンタ171と、比較器172と、レジスタ173および174と、オアゲート175とからなる。

【0063】

また、データ選択信号SELA~SELDおよび信号REA~REDを生成する回路18は、例えば12ビットの4個のバイナリーカウンタ181A, 181B, 181C, 18

50

1 Dと、最大値選択回路182と、4個の比較器183A, 183B, 183C, 183Dと、その他の複数の論理ゲートとを備えて構成されている。

【0064】

補間データの挿入頻度を定める回路17では、図示されないリセット回路からのリセット信号RESETがハイレベルのとき、カウンタ171のロード端子LDがハイレベルとなり、このカウンタ171のクロック入力端子CKに入力されるクロック信号CLKの立ち上がりエッジに同期して、カウンタ171のデータ入力端子DIに入力されているレジスタ173の出力がロードされる。

【0065】

レジスタ173には、図示されない制御装置により、予め、カウント値「0」を意味する5ビットデータ「00000」が書き込まれているため、カウンタ171の出力カウント値は、「00000」に初期化される。そして、カウンタ171の、ロード端子LD入力がローレベル、かつ、カウントイネーブル端子EN入力である音声復号化器17が出力するデータリクエスト信号DREQがハイレベルのとき（つまり、データリクエスト時）に、クロック信号CLKの立ち上がりエッジに同期して、カウンタ171の出力端子DOの値はカウントアップする。

10

【0066】

比較器172では、カウンタ171の出力カウント値と、レジスタ174の出力値との比較を行い、その比較結果の出力EQiを出力端子から得る。出力EQiは、比較の結果、2つの入力値が一致しているときのみハイレベルとなる。

20

【0067】

レジスタ174には、図示されない制御装置により、予め、補間データの挿入間隔を決定するカウント値が書き込まれている。この例では、レジスタ174には、カウント値「20」を意味する5ビットデータ「10100」が書き込まれている。このため、カウンタ171が「20」までカウントアップすると、比較器172の出力EQiはハイレベルとなる。

【0068】

比較器172の出力EQiは、オアゲート175を通じてカウンタ171のロード端子LDに入力されているため、比較器172の出力EQiのハイレベルにより、このロード端子LD入力がハイレベルとなり、次のクロック信号CLKの立ち上がりエッジに同期して、カウンタ171の出力端子DOの値は、再び、「00000」に初期化される。以後、回路17では、上述した動作を繰り返す。

30

【0069】

こうして、回路17では、データリクエスト信号DREQの出力回数の21回に1回の割合で、比較器172の出力EQiがハイレベルとなる。この出力EQiは、後述する回路18に供給される。

【0070】

次に、データ選択信号SELA~SELDおよび信号REA~REDを生成する回路18について、説明する。

【0071】

12ビットバイナリーカウンタ181A, 181B, 181C, 181Dのカウントイネーブル端子EN入力は、アンドゲート184A, 184B, 184C, 184Dの出力であって、音声復号化器17が出力するデータリクエスト信号DREQがハイレベルで、かつ、それぞれ、一時記憶回路13の出力信号EMP, EMPB, EMPC, EMPDがハイレベルのときにハイレベルとなる。そして、カウンタ181A, 181B, 181C, 181Dでは、そのカウントイネーブル端子EN入力がハイレベルのときに、クロック端子CK入力であるクロック信号CLKの立ち上がりエッジに同期して、それぞれカウントアップする。

40

【0072】

したがって、カウンタ181A, 181B, 181C, 181Dのそれぞれは、一時記憶

50

回路13の端末毎メモリ131A, 131B, 131C, 131Dのそれぞれについての無音データ出力数を、それぞれカウントすることになる。カウンタ181A, 181B, 181C, 181Dのそれぞれの出力カウント値(無音データ出力数)は、最大値選択回路182の4個の入力端子D0, D1, D2, D3に供給される。

【0073】

最大値選択回路182は、その入力端子D0, D1, D2, D3の入力カウント値のうちから最大の値のものを選択して出力端子D0から出力する。したがって、最大値選択回路182では、無音データ出力数が最大のカウンタ値が選択され、その最大カウンタ値は、比較器183A, 183B, 183C, 183Dの一方の入力端子Bに供給される。

【0074】

比較器183A, 183B, 183C, 183Dの他方の入力端子Aには、カウンタ181A, 181B, 181C, 181Dのそれぞれの出力カウント値(無音データ出力数)が供給される。そして、比較器183A, 183B, 183C, 183Dでは、入力端子Aと入力端子Bの入力値の比較を行い、入力端子Aの入力値のほうが、入力端子Bの入力値よりも小さいときだけ、出力端子からの比較出力をハイレベルにする。

【0075】

したがって、比較器183A, 183B, 183C, 183Dの出力端子の比較出力は、カウンタ181A, 181B, 181C, 181Dの出力カウント値が最大でないものに接続されている比較器の出力だけがハイレベルとなる。

【0076】

比較器183A, 183B, 183C, 183Dの比較出力は、それぞれデータ選択信号を生成するアンドゲート185A, 185B, 185C, 185Dに入力される。このアンドゲート185A, 185B, 185C, 185Dには、回路17の比較器172の出力EQ_iが供給されるとともに、一時記憶回路13からのデータエンプティ信号EMP_A, EMP_B, EMP_C, EMP_Dが、それぞれインバータ186A, 186B, 186C, 186Dにより反転されて供給されている。

【0077】

したがって、アンドゲート185A, 185B, 185C, 185Dの出力であるデータ選択信号SEL_A, SEL_B, SEL_C, SEL_Dのそれぞれは、比較器183A, 183B, 183C, 183Dの比較出力がハイレベルで、かつ、対応するデータエンプティEMP_A, EMP_B, EMP_C, EMP_Dがハイレベル(端末毎メモリのデータ量零)で、しかも、回路18の比較器172の出力EQ_iがハイレベル(カウンタ171のカウント値が「20」)のときだけハイレベルとなり、選択回路16において補間データDHA~DHDが選択されることになる。

【0078】

以上説明したように、第1の実施の形態では、ある送信元からのパケットデータの受信が遅れ、その送信元からのデータを一時記憶すべき端末毎メモリがエンプティ状態になると、データ生成回路15において、その送信元からの音声出力として無音データが選択される。

【0079】

その後、遅れていたパケットデータが到着すると、その音声出力が開始されるが、それ以外の送信元からの音声データは、すでに音声出力が開始されているため、音声出力としては、それらと時間的なずれが生じてしまうことになる。

【0080】

しかし、この実施の形態では、データ受信が遅れていなかった送信元からのデータ列には、遅れのみ分だけまばらに、上述の実施の形態では、データリクエスト信号DREQの21パルスごとに1回の割合で、補間データが挿入されるので、その補間データのみだけ、音声出力が遅れることになる。したがって、この第1の実施の形態によれば、波形的な不連続が生じることなく時間的なずれを解消することができる。

【0081】

10

20

30

40

50

なお、上述の実施の形態の説明では、データリクエスト信号 DREQ のパルス数の 21 個毎に一つの補間データを挿入するようにしたが、補間データ挿入間隔（補間データ挿入頻度）はこれに限定されるものではない。すなわち、レジスタ 174 の設定値を変えることで、容易に補間データ挿入間隔（補間データ挿入頻度）を変えることが可能である。

【0082】

[第2の実施の形態]

次に、第2の実施の形態について、図6～図8を用いて説明する。この第2の実施の形態は、一時記憶回路13の複数の端末毎メモリのすべてがデータエンptyにならない状態が、しばらく継続したときに、まばらに受信データ削除を行って、データが受信されてから、音声出力されるまでの時間を自動的に短縮するようにしたものである。

10

【0083】

図6は、この発明による音声送受信装置の第2の実施の形態の場合のブロック図である。データ制御回路20以外の回路については、図1を用いて示した第1の実施の形態と同一のものであるので説明を省略する。

【0084】

第1の実施の形態では、データ制御回路14からの信号 REA～RED は、一時記憶回路13に読み出しイネーブル信号として、データ生成回路15には読み込みイネーブル信号として、それぞれ供給するようにしたが、この第2の実施の形態のデータ制御回路20では、一時記憶回路13の読み出しイネーブル信号用と、データ生成回路15の読み込みイネーブル信号用とで、信号を異ならせている。

20

【0085】

すなわち、この第2の実施の形態のデータ制御回路20においては、第1の実施の形態と同様の信号 REA～RED は、データ生成回路15のみに供給する。そして、一時記憶回路13への読み出しイネーブル信号 FREA～FRED を、以下に説明するようにして、新たに生成するようにする。

【0086】

この第2の実施の形態の場合のデータ制御回路20の内部ブロック構成例を図7に示す。

【0087】

図7のデータ制御回路20は、図5のデータ制御回路14の構成に加えて、データ削除間隔を設定する回路21と、データ削除を制御するための回路22とが追加されている。そして、補間データの挿入間隔を定める回路17は、第1の実施の形態と全く同様に構成されているが、回路18は、新たな読み出し信号 FREA～FRED を生成するために、幾つかの論理ゲート回路が追加されている。また、回路18において、各送信端末からの音声データについての無音データ量をカウントするカウンタ181A～181Dは、アップダウンカウンタの構成とされ、後述するように、回路22の出力信号 DOWN のハイレベルにより、ダウンカウントさせられるように構成されている。

30

【0088】

なお、図7では、図面スペースの関係上、回路18のうちの、端末毎メモリ131A～131Dのそれぞれに対応する構成同一部分については、点線で囲んで示し、その具体的な構成は、端末毎メモリ131Aに対応する部分のみについて示した。すなわち、点線で囲んだ部分における各構成要素は、端末毎メモリ131B～131Dについては、それぞれ、そのサフィックスとして、AがB～Dに変わるだけで、全く同一である。図4と重複する部分の説明は省略する。

40

【0089】

データ削除間隔を設定する回路21は、例えば13ビットのバイナリーカウンタ211と、比較器212と、レジスタ213および214と、オアゲート215とからなる。

【0090】

このデータ削除間隔を設定する回路21では、図示されないリセット回路からのリセット信号 RESET がハイレベルのとき、カウンタ211のロード端子LDがハイレベルとなり、このカウンタ211のクロック入力端子CKに入力されるクロック信号CLKの立ち

50

上がりエッジに同期して、カウンタ211のデータ入力端子DIに入力されているレジスタ213の出力がロードされる。

【0091】

レジスタ213には、図示されない制御装置により、予め、カウント値「0」を意味する13ビットデータ「0000000000000」が書き込まれているため、カウンタ211の出力カウント値は、「0000000000000」に初期化される。そして、カウンタ211の、ロード端子LD入力がローレベル、かつ、カウントイネーブル端子EN入力である音声復号化器17が出力するデータリクエスト信号DREQがハイレベルのとき（つまり、データリクエスト時）に、クロック信号CLKの立ち上がりエッジに同期して、カウンタ211の出力端子DOの値はカウントアップする。

10

【0092】

比較器212では、カウンタ211の出力カウント値と、レジスタ214の出力値との比較を行い、その比較結果の出力EQRを出力端子から得る。出力EQRは、比較の結果、2つの入力値が一致しているときのみハイレベルとなる。

【0093】

レジスタ214には、図示されない制御装置により、予め、データの削除間隔を決定するカウント値が書き込まれている。この例では、レジスタ214には、カウント値「6000」を意味する13ビットデータ「1011101110000」が書き込まれている。このため、カウンタ211が「6000」までカウントアップすると、比較器212の出力EQRはハイレベルとなる。

20

【0094】

比較器212の出力EQRは、オアゲート215を通じてカウンタ211のロード端子LDに入力されているため、出力EQRのハイレベルにより、このロード端子LD入力がハイレベルとなり、次のクロック信号CLKの立ち上がりエッジに同期して、カウンタ211の出力端子DOのカウント値は、再び、「0000000000000」に初期化される。以後、回路21では、上述した動作を繰り返す。

【0095】

こうして、回路21では、データリクエスト信号DREQの出力回数の6001回に1回の割合で、比較器212の出力EQRがハイレベルとなる。この出力EQRは、後述する回路22に供給される。

30

【0096】

次に、回路22は、制御回路221と、比較器222と、アンドゲート223とを備える。比較器222の4入力端子D0, D1, D2, D3には、カウンタ181A, 181B, 181C, 181Dからの、それぞれの無音データのカウンタ出力が、それぞれ供給される。比較器222は、4入力の比較を行い、全ての入力が等しく、かつ、入力値が「0000000000000」でない場合のみ、その出力信号EQOをハイレベルにする。この比較器222の出力EQOがハイレベルであるときは、4個の端末毎メモリ131A~131Dのデータ量が零になっていないことを意味する。

【0097】

そして、この比較器222の出力信号EQOは、制御回路221の端子SIGCに供給される。また、端末毎メモリ131Aに対応する回路18のカウンタ181Aの出力カウント値が、制御回路221のデータ入力端子DIに供給される。また、回路21の比較器212の出力EQRが端子SIGBに供給される。

40

【0098】

また、データエンブティ信号EMPA~EMPDがインバータ186A~186Dのそれぞれにより反転された信号がアンドゲート223に供給され、このアンドゲート223の出力EXが制御回路221の端子SIGDに供給される。アンドゲート223の出力EXは、端末毎メモリ131A~131Dのすべてがエンブティ状態でなかったときには、ハイレベルとなり、端末毎メモリ131A~131Dのいずれかのデータ量が零になったときには、ローレベルとなる。

50

【 0 0 9 9 】

そして、制御回路 2 2 1 の端子 D R E Q には、データリクエスト信号 D R E Q が供給され、また、制御回路 2 2 1 は、リセット信号 R E S E T によって、リセットされる。

【 0 1 0 0 】

この制御回路 2 2 1 の内部構成例のブロック図を図 8 に示す。図 8 に示すように、制御回路 2 2 1 は、レジスタ 2 2 1 1 および 2 2 1 2 と、2 入力セクタ 2 2 1 3 と、デクリメント回路 2 2 1 4 と、比較器 2 2 1 5 と、アンドゲート 2 2 1 6 および 2 2 1 8 と、フリップフロップ 2 2 1 7 とを備えて構成されている。

【 0 1 0 1 】

レジスタ 2 2 1 1 の入力端子 D I に接続されている入力端子 S I G C には、前述したように、比較器 2 2 2 の出力 E Q o が供給されており、この入力端子 S I G C は、全ての送信元からの音声データについての無音データ出力数が等しいときだけハイレベルになる。端末毎メモリ 1 3 1 A ~ 1 3 1 D のデータ数が零にならないときには、カウンタ 1 8 1 A ~ 1 8 1 D でカウントされる無音データ数は零で、等しい。この入力端子 S I G C の入力信号は、アンドゲート 2 2 1 6 にも供給されている。

10

【 0 1 0 2 】

制御回路 2 2 1 の入力端子 S I G B には、前述したように、比較器 2 1 2 の出力 E Q r が供給されており、この入力端子 S I G B は、バイナリーカウンタ 2 1 1 のカウント値が、「1 0 1 1 1 0 1 1 1 0 0 0 0」、すなわち、「6 0 0 0」のときだけハイレベルになる。この入力端子 S I G B の入力信号は、アンドゲート 2 2 1 8 を通じてレジスタ 2 2 1 1

20

【 0 1 0 3 】

制御回路 2 2 1 の入力端子 S I G D には、前述したように、アンドゲート 2 2 3 の出力 E X が供給されており、この入力端子 S I G D は、送信元からのデータが一時記憶される端末毎メモリが全てエンpty状態でないときだけハイレベルになる。この入力端子 S I G D の入力信号は、アンドゲート 2 2 1 6 に供給される。入力端子 S I G C と S I G D の2つの状態により、すべての端末毎メモリ 1 3 1 A ~ 1 3 1 D がデータ零になっていないことが確認される。

【 0 1 0 4 】

端子 D R E Q に入力されるデータリクエスト信号 D R E Q は、アンドゲート 2 2 1 8 を通じてレジスタ 2 2 1 1 のイネーブル端子 E N に供給されるとともに、アンドゲート 2 2 1 6 に供給される。アンドゲート 2 2 1 8 の出力は、レジスタ 2 2 1 2 のイネーブル端子 E N にも供給されている。

30

【 0 1 0 5 】

アンドゲート 2 2 1 6 には、さらに、レジスタ 2 2 1 1 の出力データと、比較器 2 2 1 5 の出力が供給される。

【 0 1 0 6 】

フリップフロップ 2 2 1 7 は、この 6 入力アンドゲート 2 2 1 6 の出力をクロック信号 C L K に同期してラッチする。このフリップフロップ 2 2 1 7 の出力は、制御回路 2 2 1 の出力信号 D O W N となっている。

40

【 0 1 0 7 】

また、セクタ 2 2 1 3 の一方の入力端子 D 0 には、回路 1 8 のカウンタ 1 8 1 A (図 7 には図示せず) の出力カウント値が入力される。セクタ 2 2 1 3 の他方の入力端子 D 1 には、デクリメント回路 2 2 1 4 の出力が入力される。セクタ 2 2 1 3 は、フリップフロップ 2 2 1 7 の出力により選択制御される。

【 0 1 0 8 】

セクタ 2 2 1 3 の選択出力データは、レジスタ 2 2 1 2 のデータ入力端子 D I に供給される。レジスタ 2 2 1 2 からの出力データは、デクリメント回路 2 2 1 4 に供給されるとともに、比較器 2 2 1 5 の一方の入力端子 A に供給される。デクリメント回路 2 2 1 4 では、入力値を「1」だけ減じた値を出力する。

50

【 0 1 0 9 】

比較器 2 2 1 5 の他方の入力端子 B には、回路 1 8 のカウンタ 1 8 1 A (図 7 には図示せず) の出力カウント値が入力される。比較器 2 2 1 5 は、両入力端子 A , B の値が一致するとハイレベルとなる出力をアンドゲート 2 2 1 6 に供給する。

【 0 1 1 0 】

この制御回路 2 2 1 の動作について、説明する。端子 R S T に入力されるリセット信号 R E S E T がハイレベルとなることにより、レジスタ 2 2 1 1 およびフリップフロップ 2 2 1 7 がリセットされて、レジスタ 2 2 1 1 の出力端子 D O がローレベルに初期化されるとともに、リップフロップ 2 2 1 7 の出力、すなわち、出力信号 D O W N もローレベルに初期化される。

10

【 0 1 1 1 】

出力信号 D O W N がローレベルであるときには、2 入力セクタ 2 2 1 3 では、入力端子 D 0 に入力されているカウンタ 1 8 1 A の出力が選択され、レジスタ 2 2 1 2 に供給される。レジスタ 2 2 1 1 と、レジスタ 2 2 1 2 とは、アンドゲート 2 2 1 8 の出力により、回路 2 1 のカウンタ 2 1 1 の出力カウント値が「 6 0 0 0 」で、かつ、音声復号化器 1 7 からのデータリクエスト信号 D R E Q がハイレベルのときのみ、クロック信号 C L K の立ち上がりエッジに同期して、それぞれのデータ入力端子 D I の入力データをラッチする。前述したように、レジスタ 2 2 1 1 のデータ入力は、比較器 2 2 2 の出力 E Q o であり、また、レジスタ 2 2 1 2 のデータ入力は、セクタ 2 2 1 3 の出力である。

【 0 1 1 2 】

レジスタ 2 2 1 1 の出力端子 D O に得られる出力信号は、現在の入力端子 S I G C の値より、データリクエスト信号 D R E Q のパルス数で「 6 0 0 0 」だけ前の時点での入力端子 S I G C の値である。また、レジスタ 2 2 1 2 の出力データについても同様である。

20

【 0 1 1 3 】

比較器 2 2 1 5 は、レジスタ 2 2 1 2 の出力値とカウンタ 1 8 1 A の出力値との比較を行い、等しいときだけ端子 E Q 出力をハイレベルにする。したがって、比較器 2 2 1 5 は、カウンタ 1 8 1 A の現在の出力と、それよりデータリクエスト信号 D R E Q のパルス数で「 6 0 0 0 」だけ前の時点でのカウンタ 1 8 1 A の出力カウント値との比較を行い、カウンタ出力が変化していないとき、すなわち無音データ出力が、その間で行われていないときだけ、比較器 2 2 1 5 出力はハイレベルとなる。

30

【 0 1 1 4 】

6 入力アンドゲート 2 2 1 6 の出力は、比較回路 2 2 1 5 の出力がハイレベル、レジスタ 2 2 1 1 の出力がハイレベル、入力端子 S I G B がハイレベル、入力端子 S I G C がハイレベル、入力端子 S I G D がハイレベル、入力端子 D R E Q がハイレベル、のすべてを満足するときのみ、ハイレベルとなる。

【 0 1 1 5 】

すなわち、回路 2 1 のカウンタ 2 1 1 のカウント値が「 6 0 0 0 」で、データリクエスト信号 D R E Q がハイレベルになっていて、なおかつ、データリクエスト信号 D R E Q のパルス数で「 6 0 0 0 」の期間で全ての送信元からのデータが端末毎メモリ 1 3 1 A ~ 1 3 1 D をエンブティ状態にするような遅延を持たずに受信された場合にのみ、6 入力アンドゲート 2 2 1 6 の出力はハイレベルとなる。

40

【 0 1 1 6 】

フリップフロップ 2 2 1 7 は、6 入力アンドゲート 2 2 1 7 の出力を、クロック信号 C L K の立ち上がりエッジでラッチする。したがって、制御回路 2 2 1 の出力信号 D O W N は、6 入力アンドゲート 2 2 1 6 の出力を、クロック信号 C L K で 1 クロック分遅らせたものとなる。

【 0 1 1 7 】

制御回路 2 2 1 の出力信号 D O W N がハイレベルになると、図 7 に示すように、回路 1 8 のアップダウンカウンタ 1 8 1 A , 1 8 1 B , 1 8 1 C , 1 8 1 D のイネーブル端子 E N 入力がハイレベルとなり、かつ、カウンタ 1 8 1 A , 1 8 1 B , 1 8 1 C , 1 8 1 D のア

50

アップダウン制御端子UP入力がローレベルとなるので、カウンタ181A, 181B, 181C, 181Dでは、カウントダウンが行われる。

【0118】

また、出力信号DOWNがハイレベルとなると、2入力セクタ2213では、入力端子D1に接続されるデクリメント回路2214の出力が選択され、それがレジスタ2212にラッチされる。デクリメント回路2214は、その入力端子DIの値から「1」引いた値を出力する。したがって、レジスタ2212の出力は、アップダウンカウンタ181A, 181B, 181C, 181Dの出力カウント値と一致する。

【0119】

出力信号DOWNがローレベル、かつ、データリクエスト信号DREQがハイレベル、かつ、エンプティ信号EMPA~EMPDがハイレベルのときは、アップダウンカウンタ181A~181Dのイネーブル端子EN入力がハイレベル、かつ、アップダウン制御端子UP入力がハイレベルとなるので、カウンタ181A~181Dでは、カウントアップが行われる。

10

【0120】

出力信号DOWNと、信号REA~REDの論理和を、オアゲート201A~201Dで取ったものが、端末毎メモリ131A~131Dの読み出しイネーブル信号FREA~FREDとして、一時記憶回路13に出力される。なお、信号REA~REDは、第1の実施の形態の場合と同様に、データ生成回路15に、読み込みイネーブル信号として供給される。

20

【0121】

したがって、出力信号DOWNがハイレベルのとき、端末毎メモリ131A, 131B, 131C, 131Dの読み出しイネーブル信号FREA, FREB, FREC, FREDはハイレベルとなり、読み出しアドレスポインタがインクリメントされ、端末毎メモリ131A, 131B, 131C, 131Dの出力が更新される。

【0122】

このとき、データエンプティ信号EMPA~EMPDは、常にローレベルであるので、信号REA, REB, REC, REDはローレベルであり、更新される前の出力データは、データ生成回路15でラッチされない。その結果として全ての、端末毎メモリ131A, 131B, 131C, 131Dの受信データが、1ワードづつ削除されることになる。

30

【0123】

以上説明したように、この第2の実施の形態においては、パケットデータ受信において、全ての一時記憶用の端末毎メモリ131A~131Dが、エンプティ状態にならない状態がしばらく継続すると、まばらに、それぞれの受信データについて削除が行われる。したがって、これにより、波形的な不連続が生じることなく、データが受信されてから音声出力が行われるまでの遅延を自動的に短くしていくことができる。

【0124】

なお、この第2の実施の形態でも、データリクエスト信号DREQのパルス数21毎に一つの補間データを挿入しているが、補間データ挿入間隔はこれに限定されるものではない。また、データリクエスト信号DREQのパルス数6001毎に1ワード分のデータを削除しているが、データ削除間隔は、これに限定されるものではない。すなわち、回路17および回路21のレジスタ174および214の設定値を変えることで、挿入間隔および削除間隔を容易に変えることが可能である。

40

【0125】

【発明の効果】

以上説明したように、この発明によれば、複数の送信元からの音声パケットを受信する際に、パケット伝送路での遅延変動により複数の受信音声出力間で時間的なずれが生じるような場合に、音声波形的に不連続点が発生することなく時間的なずれを解消することができる。

【0126】

50

また、パケット伝送路での遅延変動が少ない場合には、波形的に不連続点が発生することなく、パケット受信から音声出力までの遅延時間を自動的に短くすることができる。

【図面の簡単な説明】

【図 1】この発明による音声送受信装置の第 1 の実施の形態のブロック図である。

【図 2】第 1 の実施の形態の一部ブロックの構成例を示すブロック図である。

【図 3】第 1 の実施の形態の一部ブロックの構成例を示すブロック図である。

【図 4】第 1 の実施の形態を説明するためのタイミング図である。

【図 5】第 1 の実施の形態の一部ブロックの構成例を示すブロック図である。

【図 6】この発明による音声送受信装置の第 2 の実施の形態のブロック図である。

【図 7】第 2 の実施の形態の一部ブロックの構成例を示すブロック図である。

10

【図 8】図 7 の一部ブロックの構成例を示すブロック図である。

【図 9】従来の音声受信装置の一例を説明するためのブロック図である。

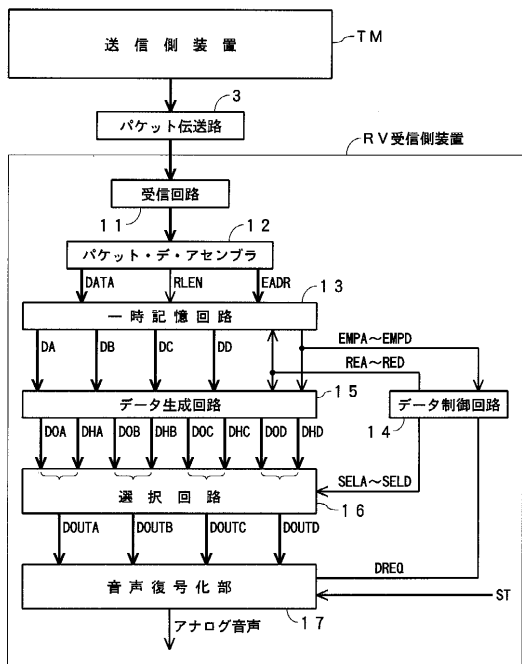
【図 10】図 9 の従来例の説明のためのタイミング図である。

【符号の説明】

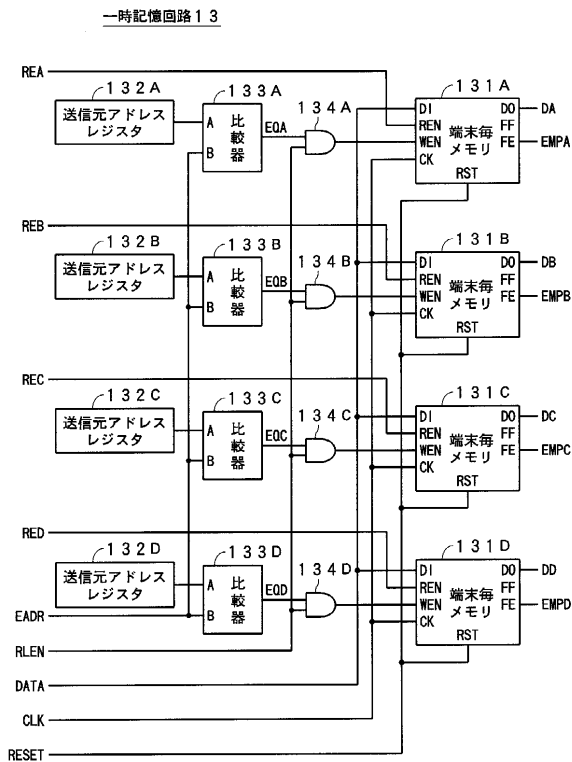
- 1 音声符号化器
- 2 パケット・アセンブラ
- 3 パケット伝送路
- 6 音声復号化器
- 1 1 受信回路
- 1 2 パケット・デ・アセンブラ
- 1 3 一時記憶回路
- 1 4、2 0 データ制御回路
- 1 5 データ生成回路
- 1 6 選択回路
- 1 7 音声復号化器
- 1 3 1 A ~ 1 3 1 D 端末毎メモリ

20

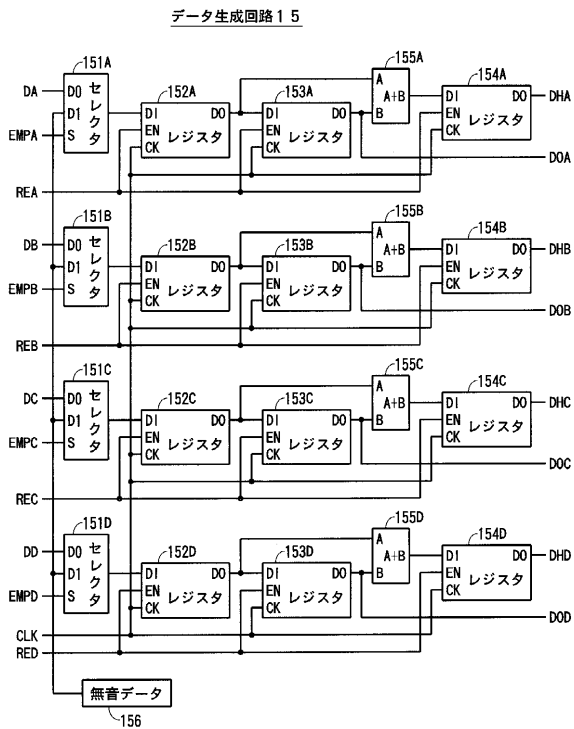
【図1】



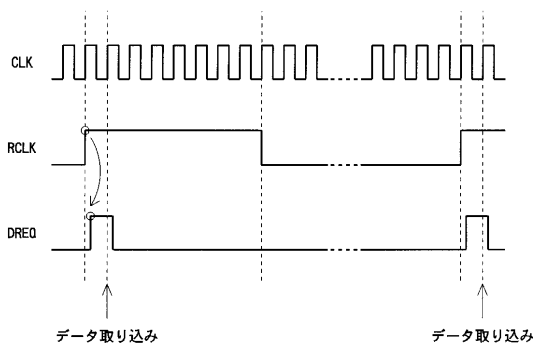
【図2】



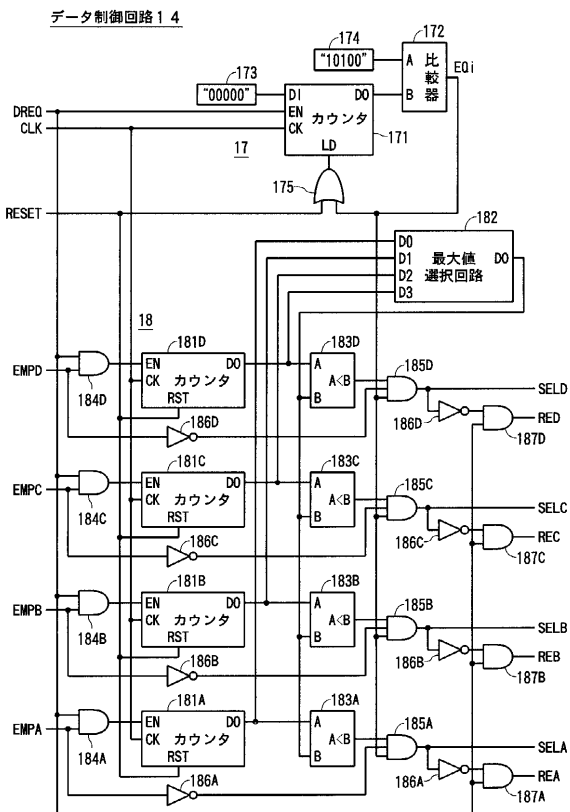
【図3】



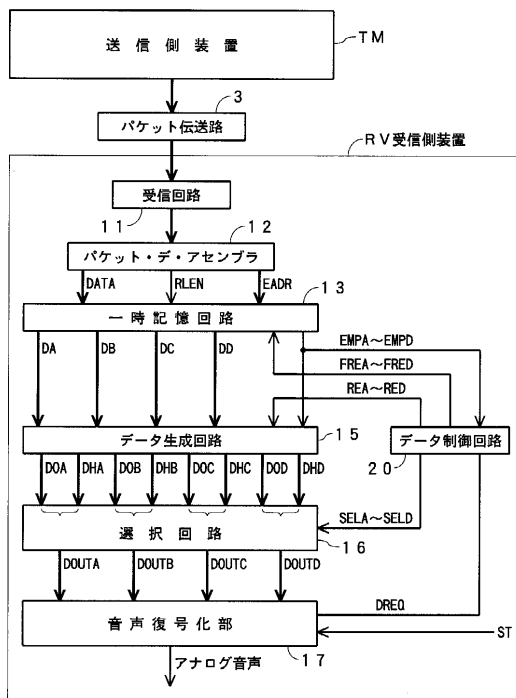
【図4】



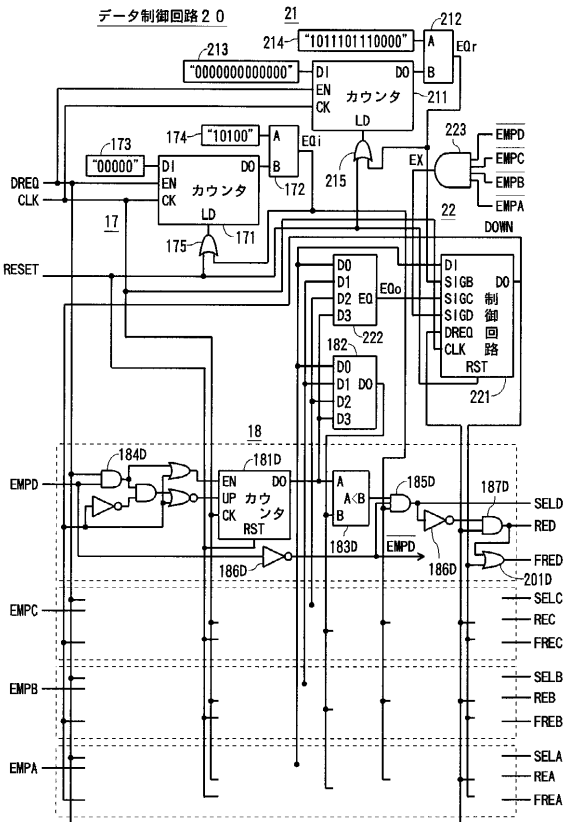
【図5】



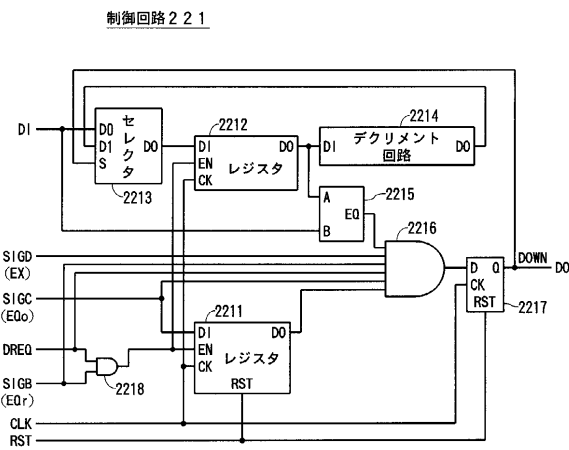
【図6】



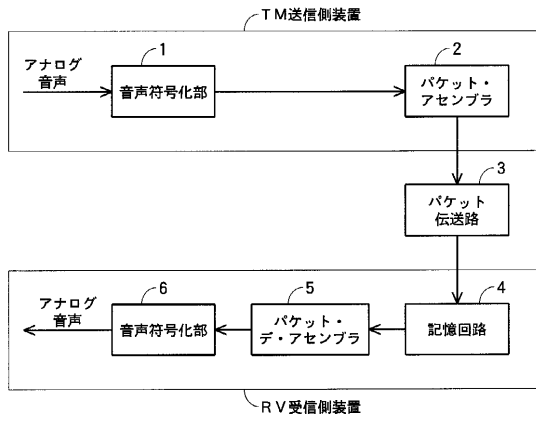
【図7】



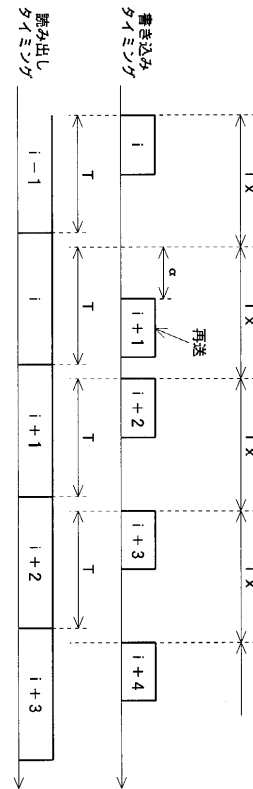
【図8】



【 図 9 】



【 図 10 】



フロントページの続き

(58)調査した分野(Int.Cl.⁷, DB名)

H04L 12/56

G10L 13/00

G10L 19/00

H04M 3/00