

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2006-5207

(P2006-5207A)

(43) 公開日 平成18年1月5日(2006. 1. 5)

(51) Int. Cl.	F I	テーマコード (参考)
H O 1 L 21/331 (2006.01)	H O 1 L 29/72 S	5 F O O 3
H O 1 L 29/732 (2006.01)	H O 1 L 27/04 H	5 F O 3 3
H O 1 L 27/04 (2006.01)	H O 1 L 29/78 3 O 1 X	5 F O 3 8
H O 1 L 21/822 (2006.01)	H O 1 L 21/88 T	5 F 1 4 O
H O 1 L 29/78 (2006.01)		

審査請求 未請求 請求項の数 26 O L (全 23 頁) 最終頁に続く

(21) 出願番号 特願2004-180722 (P2004-180722)
 (22) 出願日 平成16年6月18日 (2004. 6. 18)

(71) 出願人 503121103
 株式会社ルネサステクノロジ
 東京都千代田区丸の内二丁目4番1号
 (74) 代理人 100080001
 弁理士 筒井 大和
 (72) 発明者 豊田 久志
 東京都千代田区丸の内二丁目4番1号 株
 式会社ルネサステクノロジ内
 Fターム(参考) 5F003 AP07 BA93 BA97 BB07 BB08
 BC08 BE07 BE08 BH05 BH08
 BH16 BH18 BH94 BH99 BJ20
 BP06 BS05 BS08 BZ05

最終頁に続く

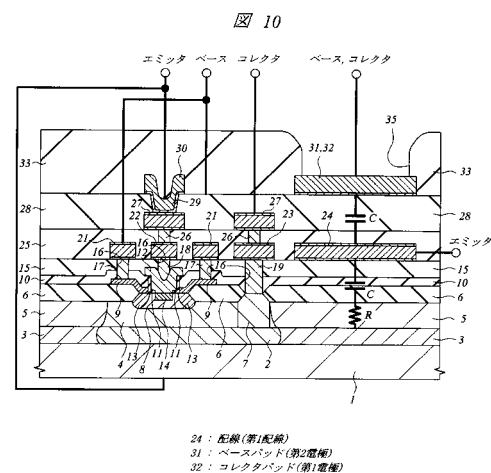
(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 バイポーラトランジスタにおける高利得化および低雑音化を同時に実現できる技術を提供する。

【解決手段】 ベースパッド31およびコレクタパッド32の下部にエミッタ（基準（接地）電位）と電気的に接続された配線24が設けられた基板シールド構造とすることにより、ベースパッド31およびコレクタパッド32と配線24との間では容量が設けられた構造として電力消費をなくし、基板1からの熱雑音は、配線24を介して基準（接地）電位へと逃がし、ベースパッド31およびコレクタパッド32へは届かないようにする。

【選択図】 図10



【特許請求の範囲】

【請求項 1】

バイポーラトランジスタを有し、
(a) 第 1 導電型の半導体基板と、
(b) 前記半導体基板上に形成されたコレクタ用の第 2 導電型の第 1 半導体層と、
(c) 前記第 1 半導体層上に形成され、前記第 1 半導体層より不純物濃度が低いコレクタ用の第 2 導電型の第 2 半導体層と、
(d) 前記第 2 半導体層内に形成され、前記第 1 半導体層と前記第 2 半導体層とを電氣的に接続し、前記第 2 半導体層より不純物濃度が高い第 3 半導体層と、
(e) 前記第 2 半導体層上に形成されたベース用の第 1 導電型の第 4 半導体層と、
(f) 前記第 3 半導体層内に形成されたエミッタ用の第 2 導電型の第 5 半導体層と、
(g) 前記第 4 半導体層および前記第 5 半導体層より上層に形成された第 1 配線層と、
(h) 前記第 1 配線層より上層に形成され、前記第 1 半導体層および前記第 2 半導体層と電氣的に接続されたコレクタ用の第 1 電極と、
(i) 前記第 1 配線層より上層に形成され、前記第 4 半導体層と電氣的に接続されたベース用の第 2 電極と、
(j) 前記第 1 配線層より上層に形成され、前記第 5 半導体層と電氣的に接続されたエミッタ用の第 3 電極とを備え、

前記第 1 配線層に含まれ、前記第 1 電極下および前記第 2 電極下のうちの選択された 1 つ以上に配置された第 1 配線は、基準電位と電氣的に接続されていることを特徴とする半導体装置。 20

【請求項 2】

請求項 1 記載の半導体装置において、

前記第 1 配線は、前記第 5 半導体層および前記第 3 電極と電氣的に接続されていることを特徴とする半導体装置。

【請求項 3】

請求項 2 記載の半導体装置において、

前記第 5 半導体層および前記第 3 電極は、前記半導体基板に電氣的に接続されていることを特徴とする半導体装置。

【請求項 4】

請求項 1 記載の半導体装置において、

通信機器のフロントエンド部における低ノイズ増幅器、低ノイズ増幅器バッファ、ドライバおよび電力増幅器のうちの 1 つ以上に用いることを特徴とする半導体装置。

【請求項 5】

請求項 4 記載の半導体装置において、

前記低ノイズ増幅器および低ノイズ増幅器バッファは、1 つの半導体チップ内に形成されていることを特徴とする半導体装置。

【請求項 6】

請求項 4 記載の半導体装置において、

前記ドライバおよび前記電力増幅器は、1 つの半導体チップ内に形成されていることを特徴とする半導体装置。 40

【請求項 7】

請求項 4 記載の半導体装置において、

前記通信機器の信号の周波数帯は、5 GHz 帯または 2 GHz 帯であることを特徴とする半導体装置。

【請求項 8】

請求項 1 記載の半導体装置において、

前記半導体基板上には複数層の配線層が形成され、

前記第 1 配線層は最下層の配線層であることを特徴とする半導体装置。

【請求項 9】

請求項 8 記載の半導体装置において、

前記第 1 配線層は金属を主成分とすることを特徴とする半導体装置。

【請求項 10】

請求項 1 記載の半導体装置において、

前記半導体基板上には複数層の配線層が形成され、

前記第 1 配線層は最上層の配線層であることを特徴とする半導体装置。

【請求項 11】

請求項 1 記載の半導体装置において、

前記第 1 配線は、前記第 1 電極下にのみ配置され、

前記バイポーラトランジスタの出力は 1 W 以上であることを特徴とする半導体装置。

10

【請求項 12】

バイポーラトランジスタを有し、

(a) 第 1 導電型の半導体基板と、

(b) 前記半導体基板上に形成されたコレクタ用の第 2 導電型の第 1 半導体層と、

(c) 前記第 1 半導体層上に形成され、前記第 1 半導体層より不純物濃度が低いコレクタ用の第 2 導電型の第 2 半導体層と、

(d) 前記第 2 半導体層内に形成され、前記第 1 半導体層と前記第 2 半導体層とを電氣的に接続し、前記第 2 半導体層より不純物濃度が高い第 3 半導体層と、

(e) 前記第 2 半導体層上に形成されたベース用の第 1 導電型の第 4 半導体層と、

(f) 前記第 3 半導体層内に形成されたエミッタ用の第 2 導電型の第 5 半導体層と、

20

(g) 前記第 4 半導体層および前記第 5 半導体層より上層に形成された第 1 導電体層と、

(h) 前記第 1 導電体層より上層に形成され、前記第 1 半導体層および前記第 2 半導体層と電氣的に接続されたコレクタ用の第 1 電極と、

(i) 前記第 1 導電体層より上層に形成され、前記第 4 半導体層と電氣的に接続されたベース用の第 2 電極と、

(j) 前記第 1 導電体層より上層に形成され、前記第 5 半導体層と電氣的に接続されたエミッタ用の第 3 電極とを備え、

前記第 1 導電体層は、前記第 4 半導体層と電氣的に接続された第 1 導電体片と、前記第 1 電極下および前記第 2 電極下のうちの選択された 1 つ以上に配置された第 2 導電体片とを含み、

30

前記第 2 導電体片は、基準電位と電氣的に接続されていることを特徴とする半導体装置。

【請求項 13】

請求項 12 記載の半導体装置において、

前記第 2 導電体片は、前記第 5 半導体層および前記第 3 電極と電氣的に接続されていることを特徴とする半導体装置。

【請求項 14】

請求項 13 記載の半導体装置において、

前記第 5 半導体層および前記第 3 電極は、前記半導体基板に電氣的に接続されていることを特徴とする半導体装置。

40

【請求項 15】

請求項 12 記載の半導体装置において、

前記第 1 導電体層は、シリコンを主成分とし、表面に前記シリコンと金属との化合物層が形成されていることを特徴とする半導体装置。

【請求項 16】

請求項 12 記載の半導体装置において、

前記第 2 導電体片は、前記第 1 電極下にのみ配置され、

前記バイポーラトランジスタの出力は 1 W 以上であることを特徴とする半導体装置。

【請求項 17】

M I S F E T を有し、

50

- (a) 第1導電型の半導体基板と、
- (b) 前記半導体基板の主面に形成された第1導電型のウエルと、
- (c) 前記ウエル内に形成され、前記MISFETのソース、ドレインとなる第2導電型の半導体領域と、
- (d) 前記半導体領域より上層に形成されたゲート電極と、
- (e) 前記ゲート電極より上層に形成され、前記半導体領域と電氣的に接続されたドレイン用の第4電極と、
- (f) 前記ゲート電極より上層に形成され、前記ゲート電極と電氣的に接続されたゲート用の第5電極と、
- (g) 前記ゲート電極より上層に形成され、前記半導体領域と電氣的に接続されたソース用の第6電極とを備え、

前記第4電極下および前記第5電極下のうちの選択された1つ以上に配置された第3導電体片は、基準電位と電氣的に接続されていることを特徴とする半導体装置。

【請求項18】

請求項17記載の半導体装置において、

前記第3導電体片は、前記MISFETの前記ソースとなる前記半導体領域と電氣的に接続されていることを特徴とする半導体装置。

【請求項19】

請求項18記載の半導体装置において、

前記MISFETの前記ソースとなる前記半導体領域および前記第6電極は、前記半導体基板に電氣的に接続されていることを特徴とする半導体装置。

【請求項20】

請求項17記載の半導体装置において、

前記第3導電体片は、前記ゲート電極より上層に形成された配線層に含まれることを特徴とする半導体装置。

【請求項21】

請求項20記載の半導体装置において、

前記配線層は、金属を主成分とすることを特徴とする半導体装置。

【請求項22】

請求項17記載の半導体装置において、

前記ゲート電極および前記第3導電体片は、同じ導電体層に含まれていることを特徴とする半導体装置。

【請求項23】

請求項22記載の半導体装置において、

前記導電体層は、シリコンを主成分とし、表面に前記シリコンと金属との化合物層が形成されていることを特徴とする半導体装置。

【請求項24】

バイポーラトランジスタを有し、

- (a) 第1導電型の半導体基板と、
- (b) 前記半導体基板の主面に形成され、素子分離領域を形成する第1絶縁膜と、
- (c) 前記半導体基板上に形成されたコレクタ用の第2導電型の第1半導体層と、
- (d) 前記第1半導体層上に形成され、前記第1半導体層より不純物濃度が低いコレクタ用の第2導電型の第2半導体層と、
- (e) 前記第2半導体層内に形成され、前記第1半導体層と前記第2半導体層とを電氣的に接続し、前記第2半導体層より不純物濃度が高い第3半導体層と、
- (f) 前記第2半導体層上に形成されたベース用の第1導電型の第4半導体層と、
- (g) 前記第3半導体層内に形成されたエミッタ用の第2導電型の第5半導体層と、
- (h) 前記第1配線層より上層に形成され、前記第1半導体層および前記第2半導体層と電氣的に接続されたコレクタ用の第1電極と、
- (i) 前記第1配線層より上層に形成され、前記第4半導体層と電氣的に接続されたベー

ス用の第 2 電極と、

(j) 前記第 1 配線層より上層に形成され、前記第 5 半導体層と電氣的に接続されたエミッタ用の第 3 電極と、

(k) 前記第 3 電極下を含む前記第 1 絶縁膜下に形成され、前記第 2 半導体層より不純物濃度が高い第 6 半導体層と、

(l) 前記第 3 電極下に形成され、前記第 3 電極と前記第 6 半導体層とを電氣的に接続する 1 つ以上のプラグとを備え、

前記第 6 半導体層は、前記第 1 電極下および前記第 2 電極下のうちの選択された 1 つ以上に配置され、基準電位と電氣的に接続されていることを特徴とする半導体装置。

【請求項 25】

10

請求項 24 記載の半導体装置において、

前記第 5 半導体層および前記第 3 電極は、前記半導体基板に電氣的に接続されていることを特徴とする半導体装置。

【請求項 26】

請求項 24 記載の半導体装置において、

前記第 6 半導体層は、前記第 1 電極下にのみ配置され、

前記バイポーラトランジスタの出力は 1 W 以上であることを特徴とする半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

20

本発明は、半導体装置に関し、特に、デジタル無線通信機器のフロントエンド部における送受信用の低ノイズ増幅器 (LNA; Low Noise Amplifier) もしくは電力増幅器に含まれるバイポーラトランジスタに適用して有効な技術に関するものである。

【背景技術】

【0002】

たとえば、マイクロ波集積回路用の半導体集積装置において、パッド部の前面直下にグランドプレートとなる下層配線を配置せずに拡散層の表面にシリサイド層を形成してこれをシールドプレートとし、下層配線からシリサイド拡散層へグランド電位を供給することにより、熱ノイズおよび寄生容量の低減を同時に達成する技術がある (たとえば、特許文献 1 参照)。

30

【特許文献 1】特開平 11-168100 号公報

【発明の開示】

【発明が解決しようとする課題】

【0003】

本発明者は、たとえばデジタルコードレス電話などのデジタル無線通信機器のフロントエンド部における送受信用の LNA に適用されるバイポーラトランジスタについて検討している。この種のトランジスタを開発するに当たって、高利得化、低雑音化、および周波数特性の向上といった項目が重要視される。本発明者は、これら重要視される項目のうち、高利得化および低雑音化について特に着目しつつバイポーラトランジスタの開発を進めている。その中で、本発明者らは以下のような課題を見出した。

40

【0004】

すなわち、上記バイポーラトランジスタにおいて、高利得化と低雑音化とはお互いにトレードオフの関係にあり、両方を同時に実現することが困難である。

【0005】

また、半導体基板 (以下、単に基板と記す) の主面にベース、コレクタおよびエミッタを設ける一方、基板の主面とは反対側の裏面と上記エミッタとを電氣的に接続して同電位に設定した構造の基板エミッタ構造のバイポーラトランジスタがある。この基板エミッタ構造のバイポーラトランジスタにおいては、バイポーラトランジスタとするために基板の主面に設けられたベースパッドおよびコレクタパッドと基板との間に、容量と抵抗とが直列に接続された CR 直列回路が設けられる。しかしながら、この CR 直列回路は、インピ

50

ーダンスとなってバイポーラトランジスタに入力された電力を消費してしまうことから、高利得化を阻害してしまう課題が存在する。また、そのC R直列回路は、インピーダンスとなって電力を消費することにより熱を発生し、熱の発生によって熱雑音を発生してしまうことから、低雑音化を阻害してしまう課題が存在する。

【0006】

本発明の目的は、バイポーラトランジスタにおける高利得化および低雑音化を同時に実現できる技術を提供することにある。

【0007】

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【課題を解決するための手段】

【0008】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【0009】

本発明による半導体装置は、
バイポーラトランジスタを有し、
(a) 第1導電型の半導体基板と、
(b) 前記半導体基板上に形成されたコレクタ用の第2導電型の第1半導体層と、
(c) 前記第1半導体層上に形成され、前記第1半導体層より不純物濃度が低いコレクタ用の第2導電型の第2半導体層と、
(d) 前記第2半導体層内に形成され、前記第1半導体層と前記第2半導体層とを電氣的に接続し、前記第2半導体層より不純物濃度が高い第3半導体層と、
(e) 前記第2半導体層上に形成されたベース用の第1導電型の第4半導体層と、
(f) 前記第3半導体層内に形成されたエミッタ用の第2導電型の第5半導体層と、
(g) 前記第4半導体層および前記第5半導体層より上層に形成された第1配線層と、
(h) 前記第1配線層より上層に形成され、前記第1半導体層および前記第2半導体層と電氣的に接続されたコレクタ用の第1電極と、
(i) 前記第1配線層より上層に形成され、前記第4半導体層と電氣的に接続されたベース用の第2電極と、
(j) 前記第1配線層より上層に形成され、前記第5半導体層と電氣的に接続されたエミッタ用の第3電極とを備え、
前記第1配線層に含まれ、前記第1電極下および前記第2電極下のうちの選択された1つ以上に配置された第1配線は、基準電位と電氣的に接続されているものである。

【0010】

また、本発明による半導体装置は、
バイポーラトランジスタを有し、
(a) 第1導電型の半導体基板と、
(b) 前記半導体基板上に形成されたコレクタ用の第2導電型の第1半導体層と、
(c) 前記第1半導体層上に形成され、前記第1半導体層より不純物濃度が低いコレクタ用の第2導電型の第2半導体層と、
(d) 前記第2半導体層内に形成され、前記第1半導体層と前記第2半導体層とを電氣的に接続し、前記第2半導体層より不純物濃度が高い第3半導体層と、
(e) 前記第2半導体層上に形成されたベース用の第1導電型の第4半導体層と、
(f) 前記第3半導体層内に形成されたエミッタ用の第2導電型の第5半導体層と、
(g) 前記第4半導体層および前記第5半導体層より上層に形成された第1導電体層と、
(h) 前記第1導電体層より上層に形成され、前記第1半導体層および前記第2半導体層と電氣的に接続されたコレクタ用の第1電極と、
(i) 前記第1導電体層より上層に形成され、前記第4半導体層と電氣的に接続されたベース用の第2電極と、

10

20

30

40

50

(j) 前記第1導電体層より上層に形成され、前記第5半導体層と電氣的に接続されたエミッタ用の第3電極とを備え、

前記第1導電体層は、前記第4半導体層と電氣的に接続された第1導電体片と、前記第1電極下および前記第2電極下のうちの選択された1つ以上に配置された第2導電体片とを含み、

前記第2導電体片は、基準電位と電氣的に接続されているものである。

【発明の効果】

【0011】

本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば以下のとおりである。

10

【0012】

すなわち、バイポーラトランジスタにおける高利得化および低雑音化を同時に実現できる。

【発明を実施するための最良の形態】

【0013】

以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において、同一の部材には原則として同一の符号を付し、その繰り返しの説明は省略する。

【0014】

(実施の形態1)

20

本実施の形態1の半導体装置は、たとえばデジタル無線通信機器のフロントエンド部における送受信用の低ノイズ増幅器(LNA; Low Noise Amplifier)もしくは電力増幅器に適用される出力約1Wクラスのバイポーラトランジスタを含むものである。この本実施の形態1の半導体装置について、その製造工程に沿って説明する。

【0015】

まず、図1に示すように、たとえば p^+ 型(第1導電型)のシリコンからなる半導体基板(以降、単に基板と記す)1に、フォトリソグラフィ(以下、単にリソグラフィと記す)工程を経て、イオン注入法または熱拡散法等により、 n^+ 型(第2導電型)のコレクタ埋め込み領域(第1半導体領域)2を形成する。この際、コレクタ埋め込み領域2の抵抗を低くするため、高濃度で浅い接合を形成するのに適したAs(ヒ素)を用いる。これにより、コレクタ埋め込み領域2の抵抗を低くすることができるので、コレクタ抵抗を低減できる。続いて、 n^+ 型のコレクタ埋込領域2とアイソレーションするため、リソグラフィ工程を経て、イオン注入法または熱拡散法等により、 p^+ 型の分離領域3を形成する。この分離領域3の不純物濃度がコレクタと基板1との間の容量を決めるパラメータとなるため最適化を図る。

30

【0016】

次に、図2に示すように、基板1の主面上にエピタキシャル法によりn型のSiエピタキシャル層を形成することにより、n型のコレクタ領域(第2半導体層)4を形成する。この際、p型の分離領域3と、これに囲まれた活性領域とのアイソレーションを考慮し、n型のコレクタ領域4の不純物濃度を低くする。これは、n型のコレクタ領域4の不純物濃度が高いと、p型の分離領域3がn型に反転し、アイソレーションできなくなる可能性があるためであり、n型のコレクタ領域4の不純物濃度は最適化が重要である。その後、上記活性領域のアイソレーションのため、リソグラフィ工程を経て、イオン注入法または熱拡散法等により、p型の分離領域5を形成する。

40

【0017】

次に、図3に示すように、上記エピタキシャル層の上面上に分離部6を形成することにより、エピタキシャル層の上面部に上記活性領域を形成する。この際、エミッターベース接合領域用の活性領域と、コレクタ引出領域用の活性領域とを同時に形成する。本実施の形態1では、n型のコレクタ領域4、p型のベース領域、 p^+ 型のベース引出領域およびエミッタ領域が、 n^+ 型のコレクタ埋め込み領域2および n^+ 型のコレクタ引き出し領域に

50

より取り囲まれる、いわゆるエンクローチ型コレクタレイアウトを採用する。これにより、上記のようにコレクタからベースに流れる電流の経路を増加させることができ、かつ、電流集中を緩和できるので、コレクタ抵抗の低減と、素子破壊耐量の向上とを同時に実現できる。なお、p型のベース領域、p⁺型のベース引出領域、エミッタ領域およびn⁺型のコレクタ引き出し領域は、後の工程で形成するものであり、その工程時に詳述する。

【0018】

続いて、リソグラフィ工程を経て、イオン注入法等により、n⁺型のコレクタ引き出し領域7を形成する。この際、コレクタ引き出し領域7は、コレクタ領域4の上面からコレクタ埋め込み領域2に達するようにしなければならないため、コレクタ引き出し領域7を形成するための不純物として、たとえば拡散係数の大きいP（リン）を用いる。また、コレクタ引き出し領域（第3半導体層）7の抵抗はコレクタ抵抗に影響するため低抵抗化が必要である。

10

【0019】

次に、図4に示すように、上記エミッターベース接合領域用の活性領域に、リソグラフィ工程を経て、イオン注入法等により、p型のベース領域（第4半導体層）8を形成し、pn接合を形成する。続いて、図5に示すように、基板1上にp型の不純物（たとえばB）が導入された多結晶シリコン膜を堆積した後、その多結晶シリコン膜をリソグラフィ工程によってパターニングし、ベース引き出し電極9を形成する。

【0020】

次に、図6に示すように、たとえば熱CVD（Chemical Vapor Deposition）法によって酸化シリコン膜10を堆積した後、その酸化シリコン膜10をリソグラフィ工程によってパターニングし、ベース領域8上に開口部を形成する。続いて、その開口部内を含む基板1上に窒化シリコン膜11を堆積した後、その窒化シリコン膜11をリソグラフィ工程によってパターニングし、窒化シリコン膜11をその開口部の底面の一部および側面に残す。続いて、基板1上にn型の不純物（たとえばAsまたはP）が導入された多結晶シリコン膜を堆積した後、その多結晶シリコン膜をリソグラフィ工程によってパターニングし、エミッタ引き出し電極12を形成する。このエミッタ引き出し電極11を形成するn型の多結晶シリコン膜は、たとえばIDP（In Situ phosphorus-Doped Polysilicon）を適用し、バイポーラトランジスタQeの電流増幅率hFEの温度依存性を考慮する。これは、温度依存性に優れているIDP膜を使用することにより、高出力デバイス用途の中で重要となる熱による素子破壊を低減または防止するためである。

20

30

【0021】

次いで、基板1に熱処理を施すことにより、ベース引き出し電極9およびエミッタ引き出し電極12から不純物を拡散させ、ベース領域8にp⁺型のベース引き出し領域13およびn⁺型のエミッタ領域（第5半導体層）14を自己整合的に形成する。

【0022】

次に、図7に示すように、たとえばCVD法等により基板1上に酸化シリコン膜を堆積することにより、絶縁膜15を形成する。続いて、リソグラフィ工程によってその絶縁膜15をパターニングし、コンタクトホール16を形成する。続いて、たとえばコンタクトホール16内を含む基板1上に薄い窒化チタン膜を堆積した後、基板1上にW（タングステン）膜を堆積し、そのW膜でコンタクトホール16を埋め込む。続いて、CMP法によりコンタクトホール16外のW膜および窒化チタン膜を除去し、ベース引き出し電極9と電氣的に接続するプラグ17、エミッタ引き出し電極12と電氣的に接続するプラグ18、およびコレクタ引き出し電極7と電氣的に接続するプラグ19を形成する。

40

【0023】

続いて、たとえば基板1上に窒化チタン膜、Al（アルミニウム）膜および窒化チタン膜を順次堆積して積層膜を形成した後、リソグラフィ工程によってこの積層膜をパターニングすることによって第1配線層を形成する。それにより、プラグ17と電氣的に接続する配線21、プラグ18と電氣的に接続する配線22、プラグ19と電氣的に接続する配線23、および配線（第1配線）24が形成される。

50

【0024】

次に、図8に示すように、たとえばCVD法等により基板1上に酸化シリコン膜を堆積することにより、絶縁膜25を形成する。続いて、リソグラフィ工程によってその絶縁膜25をパターニングし、第1配線層に達するコンタクトホールを形成した後、そのコンタクトホール内に前述のプラグ17～19と同様のプラグ26を形成する。次いで、配線21～24を形成した工程と同様の工程により、プラグ26と電氣的に接続する配線27を含む第2配線層を形成する。

【0025】

次に、図9に示すように、たとえばCVD法等により基板1上に酸化シリコン膜を堆積することにより、絶縁膜28を形成した後、リソグラフィ工程によってこの絶縁膜28をパターニングし、配線27に達するコンタクトホール29を形成する。続いて、基板1上に、たとえば窒化チタン膜およびAl膜を順次堆積することによって積層膜を形成した後、リソグラフィ工程によってこの積層膜をパターニングし、配線27と電氣的に接続する配線30、ベースパッド（第2電極）31、エミッタパッドおよびコレクタパッド（第1電極）32を形成する。ベースパッド31、エミッタパッドおよびコレクタパッド32は、それぞれ個別に設けるものであり、図9は、ベースパッド31もしくはコレクタパッド32が配置された断面を図示したものである。ベースパッド31は、図9中では図示されない配線30、配線27およびプラグ26を介して、ベース領域8と電氣的に接続する配線21と電氣的に接続されている。エミッタパッドは、配線30、配線27およびプラグ26を介して、エミッタ領域14と電氣的に接続する配線22と電氣的に接続されている。コレクタパッド32は、図9中では図示されない配線30、配線27およびプラグ26を介して、コレクタ領域4と電氣的に接続する配線23と電氣的に接続されている。また、エミッタパッドおよびエミッタ領域14と電氣的に接続された配線30は、図9中では図示されない配線27およびプラグ26を介して、配線24と電氣的に接続されている。

【0026】

次に、図10に示すように、配線30、ベースパッド31、エミッタパッドおよびコレクタパッド32を覆う酸化シリコン膜を基板1上に堆積することにより、最終の表面保護用の絶縁膜33を形成する。続いて、リソグラフィ工程によってこの絶縁膜33をパターニングし、ベースパッド31、コレクタパッド32およびエミッタパッド（第3電極）34のそれぞれに達する開口部35を形成する（図11参照）。なお、図11は、開口部35を形成した時点における基板1の上面（平面）の要部を図示したものである。この時、本実施の形態1のバイポーラトランジスタは基板エミッタ構造なので、チップの主面（デバイス形成面）からコレクタ電極を引き出せる。これにより、コレクタ用のボンディングパッドであるコレクタパッド32を複数設けることができ、コレクタ用のワイヤの数を増やすことができるので、インピーダンスの改善（低減）が可能となる。

【0027】

次に、基板1の裏面を研削した後、その裏面に、たとえばAu（金）等のような導電性膜を蒸着法等により被着する。この研削処理では、放熱性の向上を考慮して最終的なチップの厚さが薄くなるように仕上げる。

【0028】

次に、基板1を個々の半導体チップ（以下、単にチップと記す）へ分割する。続いて、図12に示すように、分割されたチップ1Cを、その主面（デバイス形成面）を上に向け、かつ、基板1の裏面を配線基板のエミッタ配線ELに接触させた状態で、配線基板の主面上に実装する。続いて、ボンディングワイヤBWを用いて、配線基板のベース配線BLとベースパッド31とを電氣的に接続し、配線基板のコレクタ配線CLとコレクタパッド32とを電氣的に接続し、配線基板のエミッタ配線ELとエミッタパッド34とを電氣的に接続する。

【0029】

ここで、図13および図14は、上記の本実施の形態1のバイポーラトランジスタを含むデジタル無線通信機器のフロントエンド部の回路ブロックの例を示しており、図13は

10

20

30

40

50

2 GHz 帯のデジタルコードレス電話のフロントエンド部の例であり、図 14 は 5 GHz 帯のデジタルコードレス電話のフロントエンド部の例である。このフロントエンド部は、アンテナ ANT、送受信信号切換スイッチ SW およびベースバンド処理部 B/B の他、その送受信信号切換スイッチ SW とベースバンド処理部 B/B との間に、受信系の LNAL1、LNA 用のバッファ回路 LNA B、ダウンコンバータ回路 DC、ローパスフィルタ LPF および IF (Intermediate Frequency) アンプ IFA1 の一群と、送信系の電力増幅器 (Power Amplifier) PA、電力増幅器用のドライバ回路 PAD、アップコンバータ回路 UC および IF アンプ IFA2 の一群と、PLL 周波数シンセサイザ (Phase Locked Loop Frequency Synthesizer) PSY、高周波 (RF: Radio Frequency) 用の電圧制御発振回路 (Voltage Controlled Oscillator) VCO および発振回路用の出力バッファ回路 OSB の一群とを有している。 10

【0030】

また、本実施の形態においては、2 GHz 帯とは 1.8 ~ 2.4 GHz の周波数帯域のことを指し、5 GHz 帯とは 5.0 ~ 6.0 GHz の周波数帯域のことを指す。特に 2 GHz 帯においては、1.8、1.9 および 2.4 GHz の周波数が一般的に用いられ、デジタルコードレス電話もしくは無線 LAN 等の用途として用いられる。また、5 GHz 帯においては、5.2 および 5.8 GHz の周波数が一般的に用いられ、5.2 GHz ではデジタルコードレス電話、5.8 GHz では無線 LAN として用いられることが多い。

【0031】

本実施の形態 1 のバイポーラトランジスタを含む半導体装置は、たとえば上記受信系増幅器の LNAL1、バッファ回路 LNA B、送信系増幅器の電力増幅器 (Power Amplifier) PA、ドライバ回路 PAD およびプリドライバ回路等に適用されている。なお、上記ドライバ回路 PAD の前段にプリドライバ回路を設けても良い。図 13 および図 14 中において、一点鎖線で囲んだ領域 CHP1、CHP2、CHP3 のそれぞれは、1 つのチップとして形成されている。 20

【0032】

図 15 は、遮断周波数・耐圧積のグラフ図を示している。遮断周波数・耐圧積とは、一般に高周波 (RF) バイポーラトランジスタの性能指数を示しており、数値が高いほどそのデバイスは優れていることを示している。同図から、本実施の形態 1 のバイポーラトランジスタのラインにおいて、ベース開放のコレクターエミッタ間電圧 V_{CE0} が 4 V 以上のデバイスは、上記電力増幅器 PA として使用し、4 V 以下のデバイスは、上記 LNAL1 として使用している。その理由は、それぞれのデバイスに印加される電圧が、送信段の電力増幅器 PA は高く、受信段の LNAL1 は比較的小さいためである。また、LNAL1 は高周波領域での低雑音を重視するため遮断周波数 f_T の高いデバイスが要求されるからである。一方、Si デバイスのラインにおいて、ベース開放のコレクターエミッタ間電圧 V_{CE0} が 4 V 以上のデバイスは、上記電圧制御発振回路 VCO として使用している。 30

【0033】

本実施の形態 1 によれば、図 12 に示したボンディングワイヤ BW を用いた電氣的接続により、バイポーラトランジスタのエミッタは、基板 1 の裏面と電氣的に接続し、基準 (接地) 電位とすることができる。また、エミッタと電氣的に接続する配線 24 についても基準 (接地) 電位とすることができる。ここで、図 16 は、ベースパッド 31 およびコレクタパッド 32 の下部にエミッタ (基準 (接地) 電位) と電氣的に接続された配線 24 を設けていない場合の半導体装置の要部断面図である。図 16 に示したような構造の場合には、ベースパッド 31 およびコレクタパッド 32 と基板 1 との間に、容量 C および抵抗 R による CR 直列回路が設けられた構造となる。このような CR 直列回路が設けられた場合には、CR 直列回路がインピーダンスとなってバイポーラトランジスタに入力された電力を消費してしまうことから、高利得化を阻害してしまうことが懸念される。本発明者は、その高利得化を阻害するバイポーラトランジスタにおける高周波平均電力損失について検討した。この高周波平均電力損失を P_{ave} とし、ベースパッド 31 もしくはコレクタパッド 32 に入力される信号の電圧を V_m とし、 f をベースパッド 31 もしくはコレクタパ 40 50

ッド32に入力される信号の周波数とすると、 $P_{ave} = 1 / 2 \times V_m \times (f^2 C^2 R) / (1 + f^2 C^2 R^2)$ と表すことができる。図17は、その P_{ave} の式における R と $(f^2 C^2 R) / (1 + f^2 C^2 R^2)$ の値（電力損失）との関係をグラフ化したものであり、 f が2GHzおよび5GHzのそれぞれの場合についてと、 C が0.1pFおよび0.2pFのそれぞれの場合についての合計4通りの例について示している。図17に示すように、 f および C が大きいほど電力損失が大きくなることがわかる。

【0034】

また、上記CR直列回路は、インピーダンスとなって電力を消費することにより熱を発生し、熱の発生によって熱雑音を発生してしまうことから、低雑音化を阻害してしまうことが懸念される。ここで、図18は、雑音指数の周波数特性を示している。横軸は周波数、縦軸は雑音指数（NF：Noise Figure）を示している。図16に示した構造を有するバイポーラトランジスタ、および本実施の形態1のバイポーラトランジスタの使用周波数 f は、2GHz以上であり分配雑音（Partition noise）領域に含まれる。分配雑音は、バイポーラトランジスタのエミッタから注入された電流がベースとコレクタとに分かれるが、この分配比の微小なゆらぎにより発生する雑音である。雑音指数について、雑音指数の最小値を NF_{min} とし、入力電圧を V_i とし、入力電流を I_i とし、 k をボルツマン定数とし、 T を温度とし、 Δf を周波数の変化量とすると、 $NF_{min} = 1 + (V_i^2 I_i^2)^{1/2} / 2 k T \Delta f$ と定義することができる。また、 r_b をベース抵抗とし、 r_s を基板抵抗とし、 n を入力側への寄与率（%）とし、 g_m を相互コンダクタンスとし、 q を電子の電荷の絶対値とし、 I_b をベース電流とし、 I_c をコレクタ電流とすると、 $V_i^2 / \Delta f = 4 k T r_b + 4 k T r_s n + 2 k T / g_m$ と定義でき、 $I_i^2 / \Delta f = 2 q I_b + 2 q I_c \times (f^2 / f_T^2)$ と定義することができる。

【0035】

一方、図19は、ベースパッド31およびコレクタパッド32の下部にエミッタ（基準（接地）電位）と電氣的に接続された配線24が設けられた構造（以降、基板シールド構造と記す）を有する本実施の形態1の半導体装置の要部断面図である。このような基板シールド構造とした場合には、ベースパッド31およびコレクタパッド32と配線24との間では容量 C が設けられた構造（図10も参照）となるために電力消費はなくなる。また、配線24は、最下層の第1配線層で形成されているので、ベースパッド31およびコレクタパッド32と配線24との間に存在する容量 C の値を最小値とすることができる。それにより、本実施の形態1のバイポーラトランジスタの高周波特性を向上することが可能となる。

【0036】

また、配線24と基板1との間にはCR直列回路が設けられた構造（図10も参照）となるが、前述したように配線24は基準（接地）電位と電氣的に接続されていることから、基板1からの熱雑音は、配線24を介して基準（接地）電位へと逃がし、ベースパッド31およびコレクタパッド32へは届かないようにすることができる。さらに、配線24は、A1を主導電層とした低抵抗金属配線であることから、熱雑音を基準（接地）電位へ逃がしやすくなっている。すなわち、抵抗 R が0となることから上記高周波平均電力損失は0となり、基板シールド構造とした本実施の形態1によれば、高利得化および低雑音化を実現することが可能となる。

【0037】

図20は、図18を用いて説明した雑音指数 NF とコレクタ電流 I_c との関係について、実際の数値を代入してグラフ化したものであり、図16に示した従来の構造の場合と、図19に示した本実施の形態1の基板シールド構造の場合との2通りの例について図示している。図20に示すグラフを求める際の前提条件として、 $f = 5.8 \text{ GHz}$ 、 $f_{Tmax} = 36 \text{ GHz} / 33 \text{ GHz}$ 、電流利得 $h_{FE} = 200$ 、 $r_b = 20 \Omega$ 、および $r_s = 110 \Omega$ としている。図20に示すように、図16に示したような構造を有するバイポーラトランジスタに比べて、図19に示すような基板シールド構造を有する本実施の形態1のバイポーラトランジスタは、雑音指数が小さくなっており、低雑音化を可能としている。こ

こで、入力側への寄与率 n を 10 % とすると、基板抵抗の熱雑音への影響は約 0.3 dB と考えられる。

【0038】

図 21 は、図 16 に示した従来の構造を有するバイポーラトランジスタと、図 19 に示した基板シールド構造を有する本実施の形態 1 のバイポーラトランジスタとにおける、コレクタ電流 I_c と電力利得 PG との関係について図示したものである。電力利得 PG は、 C_{jc} をベース・コレクタ間容量とすると $PG = 10 \log (f_T / C_{jc} f^2 r_b C_{jc})$ と定義できるものである。図 21 に示すグラフを求める際の前提条件として、 $f = 5.8 \text{ GHz}$ 、 $f_{Tmax} = 36 \text{ GHz} / 33 \text{ GHz}$ 、 $r_b = 20 \Omega$ 、および $C_{jc} = 0.12 \text{ pF}$ としている。図 21 に示すように、図 16 に示したような構造を有するバイポーラトランジスタは、基板シールド構造としないことによる電力損失の影響が約 1.0 dB であると考えられる。すなわち、図 16 に示したような構造を有するバイポーラトランジスタに比べて、図 19 に示すような基板シールド構造を有する本実施の形態 1 のバイポーラトランジスタは、電力利得を向上することができる。

10

【0039】

(実施の形態 2)

次に、本実施の形態 2 について説明する。

【0040】

図 22 に示すように、本実施の形態 2 では、前記実施の形態 1 で形成した配線 24 (図 10 参照) を省略し、配線 27 を含む第 2 配線層において、ベースパッド 31 およびコレクタパッド 32 下に配線 (第 1 配線) 27A を配置したものである。この配線 27A は、前記実施の形態 1 で説明した配線 24 と同様に、エミッタ (基準 (接地) 電位) と電気的に接続されている。このような構造とした場合でも、前記実施の形態 1 で説明した基板シールド構造とすることができ、ベースパッド 31 およびコレクタパッド 32 と配線 27A との間では容量 C が設けられた構造となるために電力消費はなくなる。また、配線 27A と基板 1 との間には CR 直列回路が設けられた構造となるが、前述したように配線 27A は基準 (接地) 電位と電気的に接続されていることから、基板 1 からの熱雑音は、配線 27A を介して基準 (接地) 電位へと逃がし、ベースパッド 31 およびコレクタパッド 32 へは届かないようにすることができる。さらに、配線 27A は、A1 を主導電層とした低抵抗金属配線であることから、熱雑音を基準 (接地) 電位へと逃がしやすくなっている。すなわち、抵抗 R が 0 となることから上記高周波平均電力損失は 0 となり、基板シールド構造とした本実施の形態 1 によれば、高利得化および低雑音化を実現することが可能となる。

20

30

【0041】

上記のような本実施の形態 2 によっても前記実施の形態 1 と同様の効果を得ることができる。

【0042】

(実施の形態 3)

次に、本実施の形態 3 について説明する。

【0043】

図 23 に示すように、本実施の形態 3 では、前記実施の形態 1 で形成した配線 24 (図 10 参照) を省略し、ベース引き出し電極 (第 1 導電体片) 9 を形成した p 型の多結晶シリコン膜 (第 1 導電体層) を用いてベースパッド 31 およびコレクタパッド 32 下に導体片 (第 2 導電体片) 9A を配置したものである。導体片 9A は、多結晶シリコンを主成分としていることから、配線 24 に比べて抵抗が高く、低抵抗化が求められる。そこで、たとえばベース引き出し電極 9 および導体片 9A となる多結晶シリコン膜を堆積した後、パターンニングを行う前にその多結晶シリコン膜上に Co (コバルト) 膜を堆積し、熱処理を施すことによって多結晶シリコン膜の表面に Co シリサイド層 (化合物層) 9B を形成して低抵抗化する。この導体片 9A は、前記実施の形態 1 で説明した配線 24 と同様に、エミッタ (基準 (接地) 電位) と電気的に接続されている。このような構造とした場合でも

40

50

、前記実施の形態 1 で説明した基板シールド構造とすることができ、ベースパッド 3 1 およびコレクタパッド 3 2 と導体片 9 A との間では容量 C が設けられた構造となるために電力消費はなくなる。また、導体片 9 A と基板 1 との間には C R 直列回路が設けられた構造となるが、前述したように導体片 9 A は基準（接地）電位と電氣的に接続されていることから、基板 1 からの熱雑音は、導体片 9 A を介して基準（接地）電位へと逃がし、ベースパッド 3 1 およびコレクタパッド 3 2 へは届かないようにすることができる。さらに、導体片 9 A は、表面に C o シリサイド層 9 B が形成されて低抵抗化されていることから、熱雑音を基準（接地）電位へと逃がしやすくなっている。すなわち、抵抗 R が 0 となることから上記高周波平均電力損失は 0 となり、基板シールド構造とした本実施の形態 1 によれば、高利得化および低雑音化を実現することが可能となる。

10

【0044】

（実施の形態 4）

本実施の形態 4 の半導体装置は、高周波高出力用途で用いられる出力約 3 W ~ 5 W クラスのバイポーラトランジスタを含むものである。

【0045】

前記実施の形態 1 においては、ベースパッド 3 1 およびコレクタパッド 3 2 下に配線 2 4（図 10 参照）を配置した例について説明したが、本実施の形態 4 は、配線 2 4 はコレクタパッド 3 2 下のみに配置したものである。また、図 2 4 および図 2 5 に示すように、前記実施の形態 1 に比べてコレクタパッド 3 2 の配置数を増やし、コレクタパッド 3 2 に接続するボンディングワイヤ B W の数を増やしている。高出力とするためには、出力側のインピーダンスを低減することが求められるが、コレクタパッド 3 2 に接続するボンディングワイヤ B W の数が増やしたことにより、出力側のインピーダンスを低減することができる。また、ベースパッド 3 1 下の配線 2 4 を省略したことにより、ベースパッド 3 1 と配線 2 4 との間で形成された容量 C（図 10 参照）がなくなるので、入力容量を低減することができる。

20

【0046】

上記の本実施の形態 4 では、配線 2 4 を配置した例について説明したが、前記実施の形態 2 で説明した配線 2 7 A もしくは前記実施の形態 3 で説明した導体片 9 A を用いた場合でも、コレクタパッド 3 2 下のみに配置することによって同様の効果を得ることができる。

30

【0047】

（実施の形態 5）

本実施の形態 5 の半導体装置は、たとえば高周波用の n チャネル型 M I S F E T（Metal Insulator Semiconductor Field Effect Transistor）を有するものであり、図 2 6 は、その要部断面図である。

【0048】

図 2 6 に示すように、本実施の形態 5 の半導体装置は、 p^+ 型のシリコンからなる基板 1 上に p 型のエピタキシャル層 1 B が形成され、そのエピタキシャル層 1 B の表面には、前記実施の形態 1 で説明した分離部 6（図 3 参照）と同様の分離部 6 が形成され、活性領域を規定している。その活性領域においては、エピタキシャル層 1 B 中に p 型ウエル 1 P が形成され、p 型ウエル 1 P の表面には M I S F E T のソース・ドレインとなる n 型半導体領域 1 N が形成されている。ソース・ドレイン間のチャンネル上には、ゲート絶縁膜を介して、たとえば多結晶シリコン膜から形成されたゲート電極 G 1 が形成されている。分離部 6 上においては、ゲート電極 G 1 を形成する多結晶シリコン膜と同じ多結晶シリコン膜から形成された導体片（第 3 導電体片）G 2 が形成されている。図示は省略するが、ゲート電極 G 1 および導体片 G 2 の表面には、前記実施の形態 3 で説明した C o シリサイド層 9 B（図 2 3 参照）と同様の C o シリサイド層が形成され、低抵抗化されている。ゲート電極 G 1 および導体片 G 2 上には、窒化シリコン膜 1 5 A および酸化シリコン膜 1 5 B が形成され、これら窒化シリコン膜 1 5 A および酸化シリコン膜 1 5 B がゲート電極 G 1 および導体片 G 2 を覆っている。窒化シリコン膜 1 5 A および酸化シリコン膜 1 5 B には、

40

50

n型半導体領域1Nおよびゲート電極G1に達するコンタクトホールがそれぞれ形成され、そのコンタクトホール内には前記実施の形態1で説明したプラグ17～19と同様のプラグ20S、20G、20Dが形成されている。酸化シリコン膜15B上には、前記実施の形態1で説明した配線30、ベースパッド31およびコレクタパッド32と同様の工程で形成された配線37、38、39、ゲートパッド（第5電極）40、ドレインパッド（第4電極）41およびソースパッド（第6電極（図示は省略））が形成されている。ゲートパッド40は、図26中では図示されない配線、配線38およびプラグ20Gを介してゲート電極G1と電氣的に接続している。ドレインパッド41は、図26中では図示されない配線、配線39およびプラグ20Dを介してMISFETのドレインとなるn型半導体領域1Nと電氣的に接続している。ソースパッドは、図26中では図示されない配線、配線37およびプラグ20Sを介してMISFETのソースとなるn型半導体領域1Nと電氣的に接続している。ゲートパッド40、ドレインパッド41およびソースパッドは、ボンディングワイヤ（図示は省略）によって配線基板（図示は省略）に電氣的に接続されている。また、このボンディングワイヤによる電氣的接続によってソースパッドは基板1の裏面と電氣的に接続され、ソースを基準（接地）電位とすることができる。さらに、前述の導体片G2は、ゲートパッド40およびドレインパッド41下に配置され、ソース（基準（接地）電位）と電氣的に接続されている。

10

20

30

【0049】

上記のような本実施の形態5のnチャネル型MISFETにおいても、前記実施の形態1～4で説明したバイポーラトランジスタと同様に、基板シールド構造とすることができる。それにより、ゲートパッド40およびドレインパッド41と配線27Aとの間では容量Cが設けられた構造となるために電力消費はなくなる。また、導体片G2と基板1との間にはCR直列回路が設けられた構造となるが、前述したように導体片G2は基準（接地）電位と電氣的に接続されていることから、基板1からの熱雑音は、導体片G2を介して基準（接地）電位へと逃がし、ゲートパッド40およびドレインパッド41へは届かないようにすることができる。さらに、配線27Aは、A1を主導電層とした低抵抗金属配線であることから、熱雑音を基準（接地）電位へ逃がしやすくなっている。すなわち、抵抗Rが0となることから上記高周波平均電力損失は0となり、基板シールド構造とした本実施の形態1によれば、高利得化および低雑音化を実現することが可能となる。さらに、導体片G2は、表面にCオシロサイド層が形成されて低抵抗化されていることから、熱雑音を基準（接地）電位へ逃がしやすくなっている。すなわち、抵抗Rが0となることから前記実施の形態1で説明した高周波平均電力損失は0となり、基板シールド構造とした本実施の形態5によれば、高利得化および低雑音化を実現することが可能となる。

【0050】

上記の本実施の形態5では、多結晶シリコン膜から形成された導体片G2を配置する場合について説明したが、基板1上に多層に配線層を形成し、そのうちの1層においてゲートパッド40およびドレインパッド41下に配線を配置し、その配線をソース（基準（接地）電位）と電氣的に接続した構造としてもよい。

【0051】

なお、上記の本実施の形態5では、nチャネル型MISFETを有する半導体装置について説明したが、pチャネル型MISFETを有する半導体装置についても同様の基板シールド構造を適用することができる。

40

【0052】

上記のような本実施の形態5によっても前記実施の形態1～4と同様の効果を得ることができる。

【0053】

（実施の形態6）

次に、本実施の形態6について説明する。

【0054】

図27に示すように、本実施の形態6では、前記実施の形態1で形成した配線24（図

50

10 参照)を省略し、分離部(第1絶縁膜)6の下部に、たとえばAsまたはPを導入することによって n^+ 型半導体層(第6半導体層)NSを形成し、前記実施の形態1でも説明した基板シールド構造としたものである。この n^+ 型半導体層NSは、ベースパッド31、コレクタパッド32およびエミッタパッド34の下部に配置されるように形成する。また、平面でエミッタパッド34の全域において、エミッタパッド34下には複数のプラグPLGおよび配線(図示は省略)を形成し、これらプラグPLGおよび配線を介してエミッタパッド34と n^+ 型半導体層NSとが電氣的に接続されるようにする。なお、図27中においては、本実施の形態6の半導体装置の構造をわかりやすくするために、第1配線層より上層の配線層については、ベースパッド31、コレクタパッド32およびエミッタパッド34を除いて図示は省略している。

10

【0055】

n^+ 型半導体層NSは、プラグPLGを介してエミッタ(基準(接地)電位)と電氣的に接続されている。このような構造とした場合でも、前記実施の形態1で説明した基板シールド構造とすることができ、ベースパッド31およびコレクタパッド32と配線27Aとの間では容量Cが設けられた構造となるために電力消費はなくなる。また、 n^+ 型半導体層NSと基板1との間にはCR直列回路が設けられた構造となるが、前述したように n^+ 型半導体層NSは基準(接地)電位と電氣的に接続されていることから、基板1からの熱雑音は、 n^+ 型半導体層NSを介して基準(接地)電位へと逃がし、ベースパッド31およびコレクタパッド32へは届かないようにすることができる。すなわち、抵抗Rが0となることから上記高周波平均電力損失は0となり、基板シールド構造とした本実施の形態1によれば、高利得化および低雑音化を実現することが可能となる。また、平面でエミッタパッド34の全域において、エミッタパッド34下に複数のプラグPLGを配置して、エミッタパッド34の全域で n^+ 型半導体層NSと電氣的に接続する構造としている。それにより、エミッタパッド34と n^+ 型半導体層NSとのコンタクト抵抗を低減できる。その結果、 n^+ 型半導体層NSと基準(接地)電位との電氣的接続を強化することができる。

20

【0056】

以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

30

【産業上の利用可能性】

【0057】

本発明の半導体装置は、たとえばデジタルコードレス電話などのデジタル無線通信機器のフロントエンド部などに広く適用することができる。

【図面の簡単な説明】

【0058】

【図1】本発明の実施の形態1である半導体装置の製造方法を説明する要部断面図である。

【図2】図1に続く半導体装置の製造工程中の要部断面図である。

【図3】図2に続く半導体装置の製造工程中の要部断面図である。

40

【図4】図3に続く半導体装置の製造工程中の要部断面図である。

【図5】図4に続く半導体装置の製造工程中の要部断面図である。

【図6】図5に続く半導体装置の製造工程中の要部断面図である。

【図7】図6に続く半導体装置の製造工程中の要部断面図である。

【図8】図7に続く半導体装置の製造工程中の要部断面図である。

【図9】図8に続く半導体装置の製造工程中の要部断面図である。

【図10】図9に続く半導体装置の製造工程中の要部断面図である。

【図11】本発明の実施の形態1である半導体装置の製造工程中の要部平面図である。

【図12】本発明の実施の形態1である半導体装置の製造工程中の要部平面図である。

【図13】本発明の実施の形態1である半導体装置を含むデジタル無線通信機器のフロン

50

トエンド部の回路ブロック図である。

【図 1 4】本発明の実施の形態 1 である半導体装置を含むデジタル無線通信機器のフロントエンド部の回路ブロック図である。

【図 1 5】遮断周波数・耐圧積のグラフ図である。

【図 1 6】本発明の実施の形態 1 である半導体装置と比較した半導体装置の要部断面図である。

【図 1 7】高周波平均電力損失を示す説明図である。

【図 1 8】雑音指数の周波数特性を示す説明図である。

【図 1 9】本発明の実施の形態 1 である半導体装置の要部断面図である。

【図 2 0】雑音指数とコレクタ電流との関係について、実際の数値を代入してグラフ化した説明図である。 10

【図 2 1】コレクタ電流と電力利得との関係について示した説明図である。

【図 2 2】本発明の実施の形態 2 である半導体装置の要部断面図である。

【図 2 3】本発明の実施の形態 3 である半導体装置の要部断面図である。

【図 2 4】本発明の実施の形態 4 である半導体装置の要部平面図である。

【図 2 5】本発明の実施の形態 4 である半導体装置の要部平面図である。

【図 2 6】本発明の実施の形態 5 である半導体装置の要部断面図である。

【図 2 7】本発明の実施の形態 6 である半導体装置の要部断面図である。

【符号の説明】

【0 0 5 9】 20

1 基板

1 B エピタキシャル層

1 C チップ

2 コレクタ埋め込み領域（第 1 半導体領域）

3 分離領域

4 コレクタ領域（第 2 半導体層）

5 分離領域

6 分離部（第 1 絶縁膜）

7 コレクタ引き出し領域（第 3 半導体層）

8 ベース領域（第 4 半導体層） 30

9 ベース引き出し電極（第 1 導電体片）

9 A 導体片（第 2 導電体片）

9 B C o シリサイド層（化合物層）

1 0 酸化シリコン膜

1 1 窒化シリコン膜

1 2 エミッタ引き出し電極

1 3 ベース引き出し領域

1 4 エミッタ領域（第 5 半導体層）

1 5 絶縁膜

1 6 コンタクトホール 40

1 7 ～ 1 9 プラグ

2 0、2 0 D、2 0 G、2 0 S プラグ

2 1 ～ 2 3 配線

2 4 配線（第 1 配線）

2 5 絶縁膜

2 6 プラグ

2 7 配線

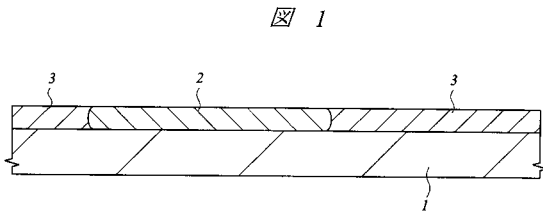
2 7 A 配線（第 1 配線）

2 8 絶縁膜

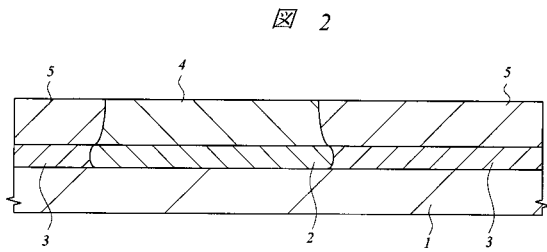
2 9 コンタクトホール 50

3 0	配線	
3 1	ベースパッド (第 2 電極)	
3 2	コレクタパッド (第 1 電極)	
3 3	絶縁膜	
3 4	エミッタパッド (第 3 電極)	
3 5	絶縁膜	
3 7、3 8、3 9	配線	
4 0	ゲートパッド (第 5 電極)	
4 1	ドレインパッド (第 4 電極)	
A N T	アンテナ	10
B / B	ベースバンド処理部	
B L	ベース配線	
B W	ボンディングワイヤ	
C L	コレクタ配線	
D C	ダウンコンバータ回路	
E L	エミッタ配線	
G 1	ゲート電極	
G 2	導体片 (第 3 導電体片)	
I F A 1、I F A 2	I F アンプ	
L 1	L N A	20
L N A B	バッファ回路	
L P F	ローパスフィルタ	
N S	n ⁺ 型半導体層 (第 6 半導体層)	
O S B	出力バッファ回路	
P L G	プラグ	
P A	電力増幅器	
P A D	ドライバ回路	
P S Y	P L L 周波数シンセサイザ	
S W	送受信信号切換スイッチ	
U C	アップコンバータ回路	30
V C O	電圧制御発振回路	

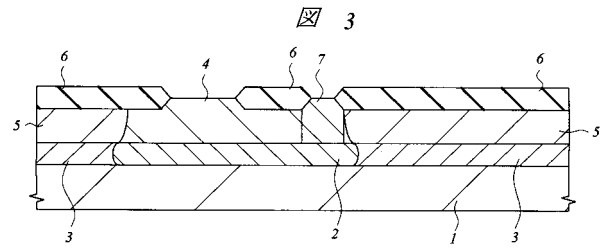
【図 1】



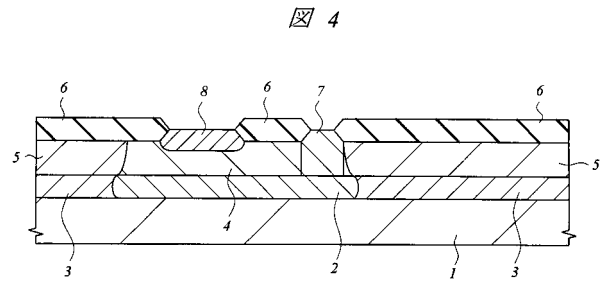
【図 2】



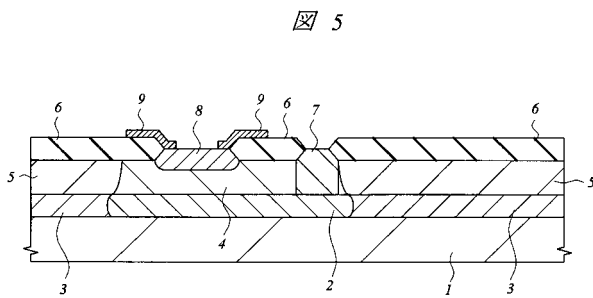
【図 3】



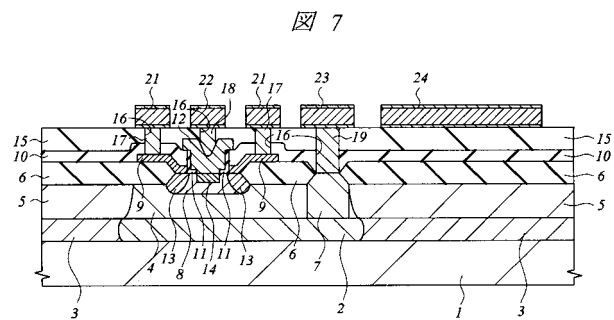
【図 4】



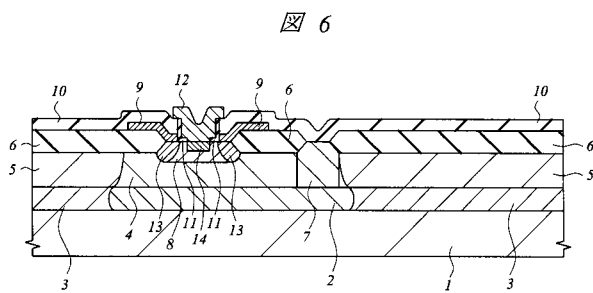
【図 5】



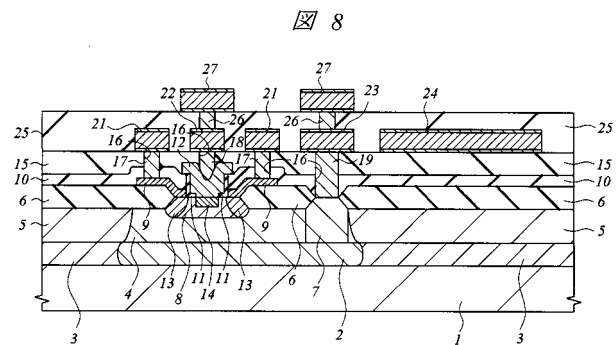
【図 7】



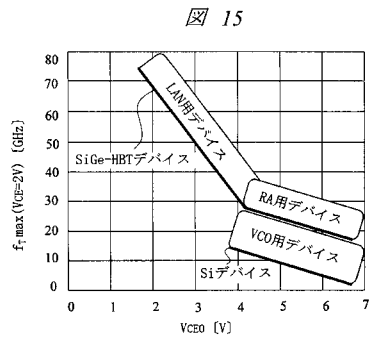
【図 6】



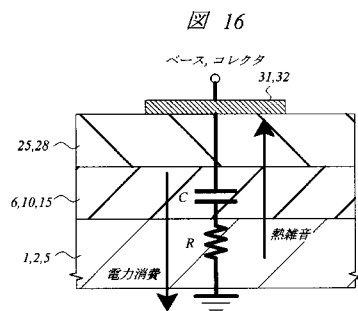
【図 8】



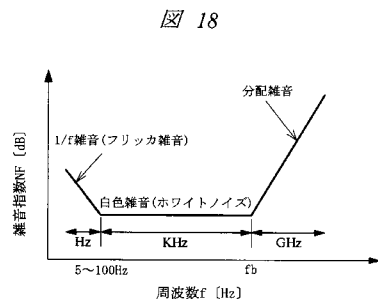
【図 15】



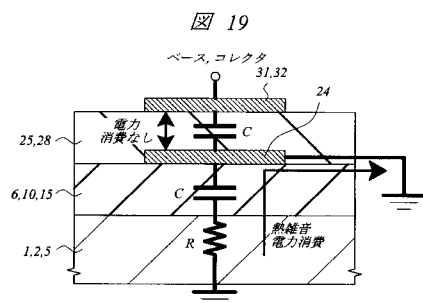
【図 16】



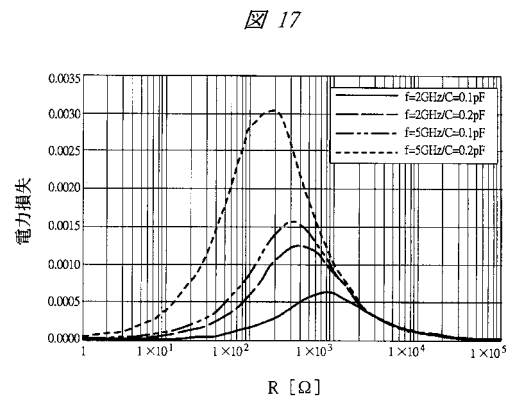
【図 18】



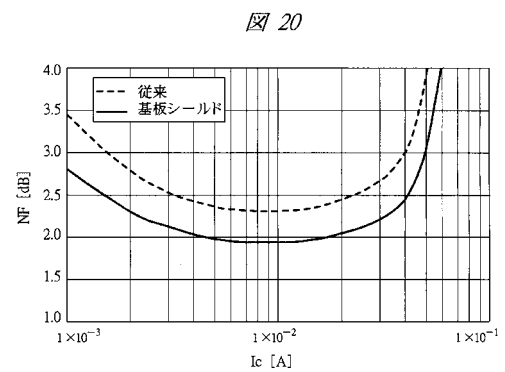
【図 19】



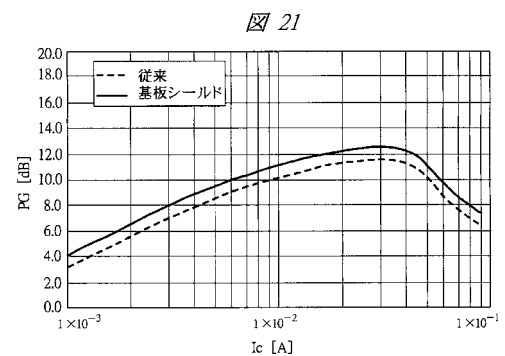
【図 17】



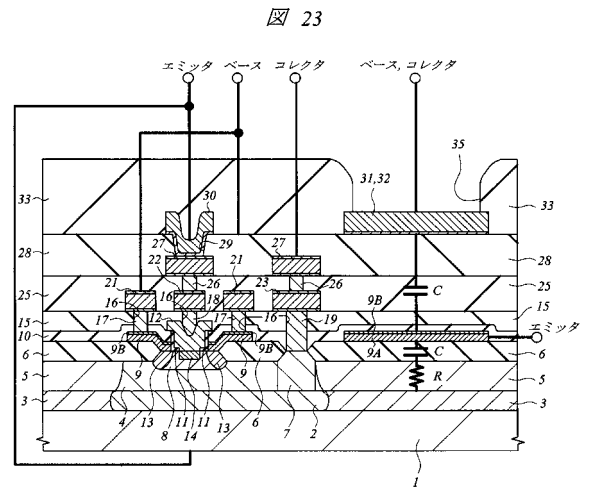
【図 20】



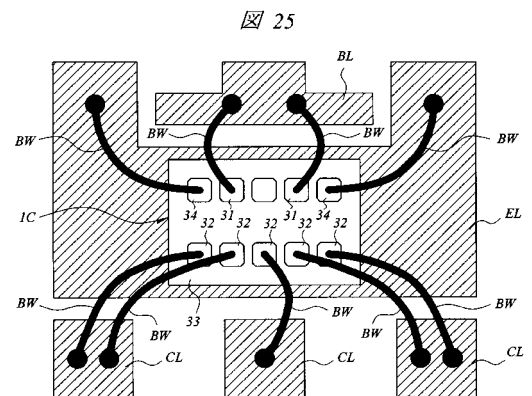
【図 21】



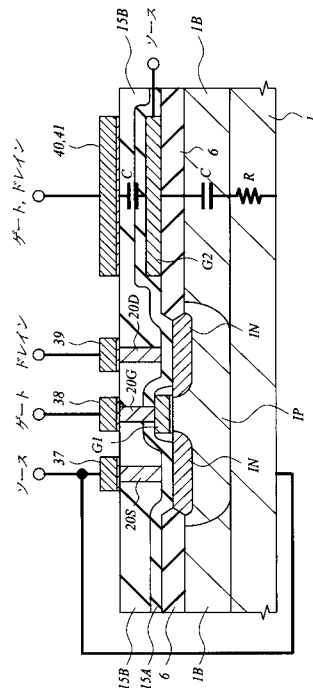
【 図 2 3 】



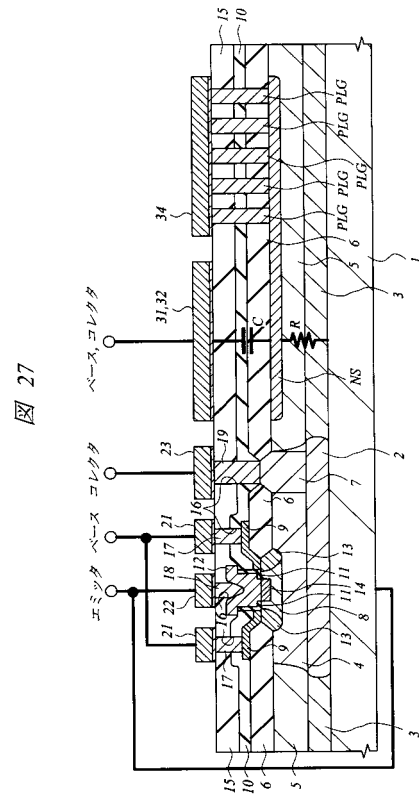
【图 2 5】



【図 26】



【図 27】



フロントページの続き

(51)Int.Cl.

F I

テーマコード (参考)

H O 1 L 23/52 (2006.01)**H O 1 L 21/3205 (2006.01)**

Fターム(参考) 5F033 HH04 HH08 HH33 JJ04 JJ19 JJ33 KK01 KK04 KK08 KK25
KK33 LL04 MM05 MM07 MM13 QQ09 QQ37 QQ48 QQ70 RR04
SS11 VV07 VV10 WW00 XX23
5F038 BH03 BH06 BH07 BH10 BH19 CA10 CA16 DF01 DF08 EZ14
EZ15 EZ20
5F140 AA03 AB09 BA01 BA16 BC12 BF04 BF11 BF18 BF60 BG08
BJ01 BJ08 CB01 CB08 CC03 CC08 CF01 CF04 CF05