

[19] 中华人民共和国国家知识产权局

[51] Int. Cl⁷



[12] 发明专利说明书

专利号 ZL 01133803.2

H01L 21/50

H01L 21/78

H01L 21/56

H01L 23/12

H01L 23/28

[45] 授权公告日 2005 年 12 月 7 日

[11] 授权公告号 CN 1230882C

[22] 申请日 2001.12.20 [21] 申请号 01133803.2

[30] 优先权

[32] 2000.12.20 [33] JP [31] 387825/2000

[71] 专利权人 株式会社日立制作所

地址 日本东京

共同专利权人 日立超大规模集成电路系统株式会社

日立米沢电子株式会社

[72] 发明人 高桥典之 铃木雅之 土屋孝司

松浦隆男 桥爪孝则 一谷昌弘

铃木一成 西田隆文 井村健一

三轮孝志

审查员 冀小强

[74] 专利代理机构 中国国际贸易促进委员会专利
商标事务所

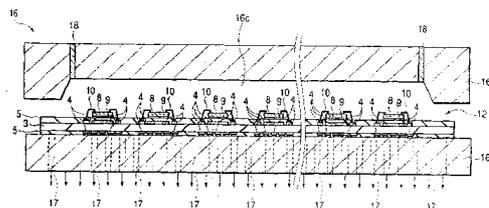
代理人 王永刚

权利要求书 2 页 说明书 26 页 附图 41 页

[54] 发明名称 一种半导体器件的制造方法和一种
半导体器件

[57] 摘要

多个半导体芯片安装其上的条状衬底的背面被真空吸附于一模具的下半模具上,在这种状态,多个半导体芯片与树脂同时被密封形成一密封体。其后,条状衬底和密封体从模具中被释放出,并被切成多个半导体器件。从而获得的半导体器件在其安装可靠性上被改进。



ISSN 1008-4274

1. 半导体器件的制造方法，包含步骤：

- (a) 安装多个半导体芯片于第一衬底的第一表面上；
- (b) 将在其上安装了多个半导体芯片的第一衬底放入一模具中，以便背对第一表面的第一衬底的第二表面面朝模具的下半模具；
- (c) 倾倒密封树脂于模具的空洞中形成把多个半导体芯片密封在一起的密封体；
- (d) 从模具中释放出密封体；并且，
- (e) 切割第一衬底和密封体，并取出各单个半导体器件，

其中，在其中形成一组半导体器件形成区的第一区域和位于第一区域外的第二区域被布置于第一衬底的第一和第二表面的每一个上，并且多个分离的加固图形被布置于第二区域内。

2. 根据权利要求1的方法，其中给各半导体器件形成区分别布置分离的加固图形。

3. 根据权利要求1或2的方法，其中，在加固图形中一预定的加固图形具有能沿第一和第二表面延展和收缩的图形结构。

4. 根据权利要求3的方法，其中预定的加固图形包含彼此分离的多个第一图形，该第一图形在其横向上彼此相邻以及其在纵向彼此分开。

5. 根据权利要求3的方法，其中预定加固图形包含片状图形。

6. 根据权利要求1的方法，其中在第一衬底的第一和第二表面上布置用于走线的导线图形和伪导线图形，伪导线图形布置在布置了用于走线的导线图形外的其它区域。

7. 根据权利要求6的方法，其中伪导线图形被以分离模式布置。

8. 根据权利要求6的方法，其中伪导线图形被布置于形成在第一和第二表面中一面或两面上的多个半导体器件形成区中每一个的中心。

9. 根据权利要求1的方法，其中导线图形被布置于第一和第二表面来使其彼此接近。

10. 根据权利要求1的方法，其中覆盖第一衬底的第一和第二表面的

绝缘膜也被提供于无任何用于走线的导线图形的区域。

11.根据权利要求1的方法，其中绝缘膜被形成于第一和第二表面的每一个上，以便覆盖于第一和第二表面的绝缘膜相互接近。

12.根据权利要求1的方法，其中同时延伸穿透第一和第二表面的孔被形成于第一衬底上的多个半导体器件形成区的每一个上，一阻挡区被提供于形成在第一表面中的孔的周围，通过除去部分绝缘膜来形成阻挡区。

13.根据权利要求1的方法，在步骤(d)之后和步骤(e)之前，还包含如下步骤：同时分别键合多个块至多个用于走线的导线图形上，所述导电图形布置于第一衬底的第二表面上。

一种半导体器件的制造方法和一种半导体器件

技术领域

本发明涉及半导体器件制备方法和一种半导体技术。特别是，本发明着眼于在具有小尺寸封装结构的半导体器件中有效应用的一种技术。

背景技术

CSP（芯片尺寸封装）或类似结构具有一几乎等于或稍微大于芯片尺寸的外部封装尺寸，相对于裸片，它允许高密度封装，而且生产成本很低。由于这些优点，在诸如便携信息设备，数码相机和笔记本个人电脑的小尺寸、轻型电子设备领域中，对 CSP 的需要不断增加。

与 CSP 连接时，许多封装形式是可用的。但通常采用球栅阵列（BGA）结构，其中，焊接块连到半导体芯片附着的封装衬底的一侧上，并被回流焊接到印刷线路板的表面上。特别是，在薄膜多脚 CSP 情形，一个 TCP（带载封装）型 BGA（带型 BGA）是最流行的，其中半导体芯片附着的封装衬底是由如聚酰亚胺带的绝缘带构成的。对于把绝缘带用作封装衬底的 TCP，例如，在日本已公布的未审查专利申请 No Hei7(1995)-321248 中被公开。

发明内容

但是，本发明者发现把绝缘带用作封装衬底时，在上述 CSP 技术中涉及以下问题。

问题是，对于高可靠性要求的产品，应用 CSP 技术有困难。例如，这是因为在把绝缘带用作封装衬底的 CSP 结构中，不可避免的要求封装后，温度循环性被设得低于用户要求，这可能归因于封装衬底物质是聚酰亚胺，从而使得不可能进一步提高可靠性。

第二个问题是，这种半导体器件的制备成本很高。例如，这是因为用作封装物质的聚酰亚胺很贵。另一个原因是把绝缘带用作封装衬底的 CSP 加工中，每个半导体芯片被封装，并且因而每单位面积上的产品数

目小，从而导致基本的单位价格高。

相关于本发明，本发明者从模具角度研究了已有技术。结果，例如在日本已公布的未审查专利申请 No.Hei 10 (1998) -256286 中，发现公布了一种技术，其中，一层覆盖层被形成于模具的内表面而使模具容易释放，在日本已公布的未审查专利申请 No.Hei 10 (1998) -244556 中公布了一种进行树脂封装的技术，用于在释放膜和模具内表面紧密接触的状态中，加快从模具中除去树脂封装体。在日本已公布的未审查专利申请 No.Hei 11 (1999) -16930 中公布了一使用疏散薄片来防止在使用薄片合模时薄片褶皱。在日本已公布的未审查专利申请 No.2000-12578 中，公布了一种当在一个衬底上放置大量芯片时，执行移动合模的技术。另外，在日本已公布未审查专利申请 No.2000-138246 中公布了一种为许多模块逐一连上一个排出引脚的高灵活性模具。

本发明的一个目的在于提供一种能提高半导体器件可靠性的技术。

本发明的另一目的在于提供一种能降低半导体器件成本的技术。

下面的描述和附图使上述的和其它的目的以及本发明的新特点变得明了。

从这里公布的发明中，下面将对典型发明作概述。

根据本发明，其第一表面上放置了多个半导体芯片的第一衬底被放在一个模具中，一层薄膜被插入模具的上半部和第一衬底的第一表面之间，然后这层膜被真空压于上模具，在这个状态中，多个半导体芯片与树脂密封在一起形成一密封体，然后通过使用薄膜从模具中一道释放出的第一衬底和这个密封体被切成许多半导体。

根据本发明，其第一表面上放置了许多半导体芯片的第一衬底被放于一个模具中，位于第一衬底的第一表面背部的第二表面被真空压于模具的下半部，然后在这个状态中，多个半导体芯片与树脂封装在一起形成一密封体，然后从模具中释放出的第一衬底和密封体被切成许多半导体器件。

根据本发明，被放置于第一衬底的第一主表面上的多个半导体器件具有一个强抗热应力的结构，被封装在一起形成一密封体，然后密封体从

使用的模具中释放出，其后，从模具中一起释放出来的第一衬底和密封体被切成许多半导体器件。

根据本发明，上述第一衬底主要由一与放于第一衬底上的第二衬底所使用的相同类型的绝缘物质所构成。

根据本发明，上述第一衬底主要由一与放于第一衬底上的第二衬底所使用的相同热膨胀系数的绝缘物质所构成。

根据本发明，上述第一和第二衬底主要由基于玻璃态环氧树脂绝缘物质所构成。

本发明提供一种半导体器件的制造方法，包含步骤：（a）安装多个半导体芯片于第一衬底的第一表面上；（b）将在其上安装了多个半导体芯片的第一衬底放入一模具中，以便背对第一表面的第一衬底的第二表面面朝模具的下半模具；（c）倾倒密封树脂于模具的空洞中形成把多个半导体芯片密封在一起的密封体。（d）从模具中释放出密封体；并且，（e）切割第一衬底和密封体，并取出各单个半导体器件。其中，一组半导体器件形成区形成其上的第一区域和位于第一区域外的第二区域被布置于第一衬底的第一和第二表面的每一个上，并且多个分离的加固图形被布置于第二区域内。

根据本发明的上述方法，其中给各半导体器件形成区分别布置分离的加固图形。

根据本发明的上述方法，其中，在加固图形中有一预定的加固图形，具有能沿第一和第二表面延展和收缩的图形结构。

根据本发明的上述方法，其中预定的加固图形包含彼此分离的多个第一图形，该第一图形在其横向上彼此相邻以及其在纵向彼此分开。

根据本发明的上述方法，其中预定加固图形包含片状图形。

根据本发明的上述方法，其中在第一衬底的第一和第二表面上布置用于走线的导线图形和伪导线图形，伪导线图形布置在布置了用于走线的导线图形外的其它区域。

根据本发明的上述方法，其中伪导线图形被以分离模式布置。

根据本发明的上述方法，其中伪导线图形被布置于形成在第一和第

二表面中一面或两面上的多个半导体器件形成区中每一个的中心。

根据本发明的上述方法，其中导线图形被布置于第一和第二表面来使其彼此接近。

根据本发明的上述方法，其中覆盖第一衬底的第一和第二表面的绝缘膜也被提供于无任何用于走线的导线图形的区域。

根据本发明的上述方法，其中绝缘膜被形成于第一和第二表面的每一个上，以便覆盖于第一和第二表面的绝缘膜相互接近。

根据本发明的上述方法，其中同时延伸穿透第一和第二表面的孔被形成于第一衬底上的许多半导体器件形成区的每一个上。一阻挡区被提供于形成在第一表面中的孔的周围，通过除去部分绝缘膜来形成阻挡区。

根据本发明的上述方法，在步骤(d)之后和步骤(e)之前，再包含一步骤，同时分别键合多个块至多个用于走线的导线图形上，导电图形布置于第一衬底的第二表面上。

附图说明

图1是采用本发明的半导体器件的透视图。

图2是沿图1中线A1-A1的截面图。

图3(a)是制备图1所示半导体器件的制备工艺中使用的条状衬底的主表面平面图，而图3(b)是图3(a)背面的平面视图。

图4是沿图3(a)中线A2-A2的截面图。

图5是图3所示形成于条状衬底上一增强模式的主要部分的放大平面视图。

图6是沿图5中线A4-A4的截面图。

图7(a)是描绘在作为一修改例子的另一例子的形成于图3所示的条状衬底上一增强模式的主要部分的放大截面图，图7(b)是沿图7(a)中线A5-A5的截面图。

图8(a)是图3所示形成于条状衬底上一增强模式的主要部分的放大平面视图，图8(b)是沿图8(a)中线A6-A6的截面图。

图9是形成于图3所示的条形衬底的主表面上半导体器件形成区中的一个导线图形例子的平面图。

图 10 是图 9 中主要部分的放大平面图。

图 11 是形成于图 3 所示条形衬底的背面上半导体器件形成区中的一个导线图形例子的平面图。

图 12 是图 11 的主要部分的放大平面图。

图 13 是形成于图 3 所示条形衬底的主表面上半导体器件形成区中的绝缘膜图形例子的平面图。

图 14(a)是图 13 中心部分的放大平面图，图 14(b)是沿图 14(a)中线 A7-A7 的截面图，而图 14(c)是基于图 14(a)中结构的操作图表解释。

图 15 是形成于图 3 所示条形衬底的背面上半导体器件形成区中的绝缘膜图形例子的平面图。

图 16 是用于采用本发明中的半导体器件制备工艺的条形衬底的截面图。

图 17 是在跟随图 16 之后步骤中被加工的条形衬底的截面图。

图 18 是在跟随图 17 之后步骤中被加工的条形衬底的截面图。

图 19 是在跟随图 18 之后步骤中被加工的条形衬底的截面图。

图 20 是垂直于图 19 平面的截面图。

图 21 是描述采用本发明的半导体器件制备工艺中所使用的模具例子的解释图表。

图 22 是图 21 所示模具的低半部中合模表面的主要部分的放大平面图。

图 23 是在跟随图 19 之后步骤中被加工的条形衬底的截面图。

图 24 是在跟随图 23 之后步骤中被加工的条形衬底的截面图。

图 25 是在跟随图 24 之后步骤中被加工的条形衬底的截面图。

图 26 是在跟随图 25 之后步骤中被加工的条形衬底的截面图。

图 27 是在跟随图 26 之后步骤中被加工的条形衬底的截面图。

图 28 是在跟随图 27 之后步骤中被加工的条形衬底的截面图。

图 29 是在跟随图 28 之后步骤中被加工的条形衬底的截面图。

图 30 是放置于采用本发明的半导体器件上的安装衬底的平面图。

图 31 是图 30 的侧面图。

图 32 是采用本发明的半导体器件另一制备工艺中使用的条形衬底的截面图。

图 33 是垂直于图 32 平面的截面图。

图 34 是在跟随图 32 之后步骤中被加工的条形衬底的截面图。

图 35 是在跟随图 34 之后步骤中被加工的条形衬底的截面图。

图 36 是在跟随图 35 之后步骤中被加工的条形衬底的截面图。

图 37 是在跟随图 36 之后步骤中被加工的条形衬底的截面图。

图 38 是采用本发明的半导体器件另一制备工艺中使用的条形衬底的截面图。

图 39 是在跟随图 38 之后步骤中被加工的条形衬底的截面图。

图 40 是在跟随图 39 之后步骤中被加工的条形衬底的截面图。

图 41 是在跟随图 40 之后步骤中被加工的条形衬底的截面图。

图 42 是在跟随图 41 之后步骤中被加工的条形衬底的截面图。

图 43 是在跟随图 42 之后步骤中被加工的条形衬底的截面图。

图 44 是采用本发明的另一半导体器件的截面图。

图 45 是采用本发明的另一半导体器件的截面图。

图 46(a)是根据本发明, 条状衬底被用于制备图 1 中所示的半导体器件的一修改例子中条状衬底的主表面的平面图, 图 46(b)是图 46(a)背面的平面图; 并且,

图 47(a)是根据本发明, 条状衬底被用于制备图 1 中所示的半导体器件的另一修改例子中条状衬底的主表面的平面图, 图 47(b)是图 47(a)背面的平面图。

具体实施方式

在详细描述本发明前, 先解释下面使用的术语含义。

温度循环测试: 是指涉及重复暴露被测半导体器件于高低温中的测试, 导致尺寸和其它的物理性质的改变, 决定工作特性和物理破坏的耐久性。

方便起见, 条状衬底的主表面(芯片安装表面, 第一表面)及其背面(封装安装表面, 第二表面)被分成下列区域。半导体器件被形成其上

的区域被称为半导体器件形成区，排列了一组这样的半导体形成区的整个区域被称为“产品区”（第一区），而沿产品区外围延伸的区域被称为“外围区”（第二区）。

方便起见，下述实施方案将按分成多个部分或模式的方式描述，但除非另外指出，它们是并非互不相关的，但以一部分是另一部分的修改或详细或补充解释的方式相关联。

对于后述涉及到的元件的数目（包括元件数目，数值，数量和范围），不限于这些特定值，但甚至比特定值更大或更小的值也是可接受的，除非另外指明或除了作基本地和明显地设定特定值限制的情形。

在下面的实施方案中，相关组成部分（包括组成步骤）不是基本的，除了被特别指出是基本的和它们被明显认为是基本的情形外，这一点是无需多言的。

同样，对于下面的实施方案中涉及到的形状和位置关系，应理解成，也包括相似的或密切相似的形状和位置关系，除非另外指明或除非另外被认为是基本的，明显的。

在解释实施方案的所有附图中，具有相同功能的部分被以相同标示数字标明，其重复解释将被省略。

在涉及本实施方案的附图中，即便是平面图，其中影线被用于使其更容易明了。

参考附图，本发明的实施方案将在下面被详细解释。

（第一实施方案）

图 1 是采用本发明的半导体器件的透视图，图 2 是沿图 1 中线 A1-A1 的截面图。

例如，本实施方案中的半导体器件 1 具有一 FBGA（精细间距球栅阵列）结构。例如，使用平面方形薄板形成半导体器件 1 的封装衬底 2。封装衬底 2 包括衬底体 3，皆形成于衬底体 3 的主表面（芯片安装表面）和一背面（衬底安装表面）上的导线图形 4 和焊接保护物质 5(solder resist)，以及键合形成于封装衬底 2 背面的导线图形 4 上的块电极 7，一通孔被形成同时穿透封装衬底 2 的主表面和背面。

在这一实施方案中，一等价于 FR-5 的单层玻璃-环氧树脂板被用作衬底 3 的材料，例如，它具有强耐热性。通过采用一廉价的单层玻璃-环氧树脂板作为衬底 3 的材料，这样能最小化半导体 1 的生产成本，即半导体器件 1 的生产成本被降低。

另外，通过使用与通常作为一衬底装配半导体器件 1 的印刷线路板相同材料的玻璃-环氧树脂作为衬底 3 的材料，这样能降低施加于半导体器件 1 的块电极 7 上的应力，这归因于封装衬底 2 和印刷线路板之间热膨胀系数的不同。因此，这能改善安装半导体器件 1 的可靠性。

另外，与用聚酰亚胺带或类似物构造衬底体 3 的情况相比较，在温度循环测试中，温度循环特性能提高两倍或更多，因此半导体器件 1 能不仅用于便携式器件和商业用途，而且可用于诸如工业器件和汽车相关产品中需要可靠性的产品。

但是，衬底体 3 的物质不限于此，可作各种修改。例如，能用一诸如 BT 树脂或芳族聚酸胺非交织纤维的有机绝缘物质。即使用任何这类物质，都将得到与使用前面的玻璃-环氧树脂所得到的相同效果。此外，在选择 BT 树脂作为衬底体 3 的物质时，能改善热辐射特性，这是因为它的热导率高。

例如，使用一简单两层结构，在封装衬底 2 上形成导线图形 4，由此半导体器件 1 的生产成本能保持为最低，因此其成本能被降低。在本实施方案中，导线图形 4 包括用于走线的图形和伪图形两种。而且，导线图形 4 不仅包括普通线形，也包括键合至块电极 7 的宽线形，键合线或通孔。同时形成于封装衬底 2 的主表面和背面的用于走线的导线图形 4 被通过同时穿透封装衬底 2 的主表面和背面而形成的通孔相互电连接起来。通过刻蚀附加于衬底体 3 的主表面（芯片安装表面）和背面（封装安装表面）的，如电解铜箔（或碾平铜箔）的导线膜而形成用于走线或虚设的导线图形 4。这些表面被镀上如镍（Ni）或金（Au）。提供用于伪导线图形 4 的原因是它能同时增加封装衬底 2 的主表面和背面上导线图形 4 的密度。对这一点将在以后作描述。

封装衬底 2 的主表面和背面为焊接保护物质（绝缘膜）5 所覆盖。部

分焊接保护物质被除去来暴露部分导线图形 4。焊接保护物质 5，也被称为焊接掩膜或阻挡层，是用于封装衬底 2 的主表面和背面的特定区域的隔热覆盖物质，而且它是防止与附着其上的焊接件焊接上的阻挡物质。焊接保护物质 5 的主要功能是防止在焊接时导线图形 4 未焊接的部分与融化的焊料接触，并作为保护除焊接部分外的导线图形 4 的保护膜。焊接物质 5 也用于防止导线间的焊桥，防止生锈和湿气，防止损坏，提供与外部环境的阻隔物，防止迁移，确保电路间绝缘，防止电路与其它元件（半导体芯片（其后简称芯片）和印刷线路板）短路。因此，焊接保护物质 5 是由具有这些功能的绝缘物质组成。在本实施方案中，考虑到其热膨胀系数，使用环氧树脂和丙烯酸树脂作为焊接保护物质 5。在本实施方案中，覆盖情形（例如，覆盖面积和厚度）在封装衬底 2 的主表面和背面几乎都是均匀的，以这种方式覆盖焊接保护物质 5。

同时穿透主表面和背面，通孔 6 被形成于封装衬底 2 上。形成通孔以便用于固定芯片 8 至封装衬底 2 上的粘合剂中的空洞和湿气能在半导体器件 1 的装配工序（后工序）中热处理前或其间能被释放到外部。关于通孔 6，后面将给出描述。

块电极 7 被键合到形成于封装衬底 2 背面的用于走线的导线图形 4 上，块电极 7 被用于装配半导体器件 1 至安装衬底上，并用于电连接半导体器件 1 和安装衬底上的导线。例如，使用铅（Pb）/锡（Sn）合金形成块电极 7，例如，半径为 0.3 至 0.5mm。例如，也使用基于锡（Sn）-银（Ag）的无铅焊接物作为可用的块电极 7 的物质。

封装衬底 2 的总厚度（衬底体 3 厚度，导线图形 4 和焊接保护物质 5 的厚度之和）是很小的，例如为 0.2mm 或更小，由此，半导体器件 1 能被设计得更薄。因而，这种半导体器件装配其上的电子器件或信息处理器的尺寸，厚度和重量可设计得更小。

芯片 8 以主表面（元件形成表面）面对的方式被装配于封装衬底 2 的主表面的中心。使用如含银（Ag）或无银绝缘糊的粘合剂 9 使芯片 8 固定在封装衬底的主表面上。例如微处理器，ASIC 或存储器的集成电路被形成于芯片 8 的主表面上。芯片 8 主表面上的集成电路被电连接至形成

于芯片 8 上的顶部布线层的键合引脚（外部端口）。通过键合线 10 键合引脚被电连接至形成于封装衬底 2 的主表面用于走线的导线图形 4。键合线 10 都是由如半径为 $25\mu\text{m}$ 的细金（Au）线形成。键合线 10 连接和键合至形成于封装衬底 2 的主表面上用于走线的导线图形 4 的焊接保护物质 5 上的暴露区。但是，芯片 8 的安装形式不限于用键合线 10 的连接方式。如向下键合形式也可被采用，其中，通过形成于芯片主表面的块电极，芯片 8 被安装至安装衬底 2 的主表面上，并被电连接至形成在封装衬底 2 上的导线。

芯片 8 和键合线 10 密封在一起，密封体 11 覆盖于封装衬底 2 的主表面上。例如，密封体 11 包含一环氧树脂和一低分子树脂。密封体 11 的侧表面基本垂直于封装衬底 2 的主表面，以这种方式形成密封体。例如半导体器件的总高度（从安装衬底的安装表面上至半导体器件的上表面的高度） h_1 是 1.2 至 1.4mm。

下面描述关于本实施方案中半导体器件制备方法中使用的条状衬底。图 3 和图 4 描述了标为 12 的条状衬底，图 3(a) 是条状衬底 12 的主表面（芯片安装表面）的平面图，图 3(b) 是其背面（封装安装表面）的平面图。图 4 是图 3 中沿线 A2-A2 的截面图。尽管图 3 是平面图，影线是电镀导线的线条。

条状衬底 12 包括一通常为平面方形的薄板，例如其长 40 至 60mm，宽 151mm，厚 0.2mm 或更小。条状衬底 12 是一封装衬底 2 的矩阵，包括衬底体 3、导线图形 4 和焊接保护物质 5。例如在每个条状衬底 12 的主表面和背面，总共 18 个（ $2 \times 9 = 18$ ）半导体器件形成区 DA 被布置，横向 2 个，纵向 9 个。条状衬底 12 的主表面上每个半导体器件形成区 DA 中的破折线代表半导体芯片 8 的安装区。相邻区 DA 的边线也用作后述中的切割线。

在条状衬底的主表面和背面的四边上，形成加固图形 13 用以包围一组半导体器件形成区 DS（产品区）。加固图形 13 用于确保条状衬底传送中所需的机械压力和抑制制备半导体器件 1 中热处理导致的压致扭曲和变形。即使条状衬底 12 很薄，使用加固图形 13 能确保其所需的机械

强度，因此，条状衬底 12 能被安全传送。此外，因为半导体器件 1 制备中可能由热处理导致压致扭曲和变形，所以这能确保半导体器件的高平坦性。因此，满意的密封能在后述的密封步骤中实现，这能提高半导体器件 1 的产出量。

从保证条状衬底 12 所需的机械强度的角度出发，可连续沿条状衬底的外围边形成加固图形 13。但在所述例子中，同时为条状衬底 12 的主表面的背面上的每一半导体器件形成区 DA 分别安置一加固图形 13（除了加固图形 13b）。这是由于下述原因。例如，在半导体器件 1 制备中热处理时，根据条状衬底物质（衬底体 3，导线图形 4，和焊接保护物质 5）的热膨胀系数不同，而导致条状衬底的扭曲和变形，但加于相邻的半导体形成区 DA 之间的所致热压力相当强，因此，通过上述分离放置加固图形 13 能分散和减轻这一热压力，来确保整个条状衬底 12 的平坦。另外，如果加固图形未被分离放置，在相邻半导体器件形成区 DA 的加固图形 13 里可能产生残留图形扭伤，这种扭伤应通过分离放置加固图形 13 来避免。另外，分别为每一半导体器件形成区 DA 提供加固图形 13，能不仅确保整个条状衬底 12 的平坦，而且能确保基本成为半导体器件的每一半导体器件形成区的平坦，这样就能使树脂密封达到满意程度，并提高了半导体器件 1 的产量（成品率）。另外，因为在条状衬底切割线上没有任何加固图形 13a，在切割条状衬底时，这能防止加固图形 13a 的外来导电物质（毛边）的产生，从而能防止短路问题的产生或由这种外来物质的存在而导致的类似情况。

例如，加固图形 13 由铜箔在与导线图形 4 相同方式的形成步骤中形成。对于加固图形 13，加固图形 13a 不是以实心模式形成，而是以片状模式形成。图 5 是各加固图形 13a 的放大平面图，图 6 是其沿线 A4-A4 的截面图。加固图形 13a 是由彼此分开的，同时规则排列于加固图形 13a 的横向和纵向的多个方形精细图形（第一图形）组成。但是在这种加固图形 13a 中，在图形 13a 的横向相邻的方形精细图形在图形 13a 的纵向相互错位。

加固图形 13a 形成片状的原因是加固图形 13a 在上述热处理中能伸

缩，减轻了前述热应力导致的热收缩。因此，半导体器件 1 的制备工艺中热处理时导致的热应力能被释放，残留图形扭曲的产生能被抑制或防止，因此，条状衬底 12 的平坦性能被进一步提高。

但是，加固图形 13a 的形状不限于片状。如果仅采用的形状基本上可伸缩而能吸收热应力，就可作各种修改。例如，可采用如图 7 中所示的结构。图 7(a)是加固图形 13a 主要部分的放大平面图，图 7(b)是沿图 7(a)中线 A5-A5 的截面图。尽管图 7(a)是平面图，对导线图形使用影线使得附图更易理解。

图 7 中所示的加固图形是点状图形，在这一加固图形 13a 中，通过除去部分导线膜形成多个除去方形导线膜的区域 14，假定区域 14 与在加固图形 13a 的横向上的另一区域互相对准。

图 5 和 7 所示的加固图形 13a 都能支持关于前述热应力的效应，但从保证条状衬底 12 的高机械强度的角度而言，图 5 所示的图形更好。这是因为图 5 中所示的在加固图形 13a 的结构（导线膜除去的区域 14，方形精细图形）在横向上相邻的图形在加固图形的纵向上相互错位。此外，与其他结构相比，如图 5 所示使用加固图形 13a 有效避免了残余图形扭曲的产生。这是因为在具有图 5 所示的片状结构的加固图形 13a 的情形下，其方形精细图形成成分在空间上相互分离，因此扭曲不会留在加固图形自身中。

另一方面，在图 3 和 4 所示的条状衬底 12 的主表面（芯片安装表面）上，被安排在接近一纵向边的加固图形 12b 没有被分割，也没有呈片状，而是实心模式。图 8(a)是加固图形 13b 的主要部分的放大平面图，图 8(b)是沿图 8(a)中线 A6-A6 的截面图。尽管图 8(a)是平面图，阴影用于导线图形使附图更易理解。

加固图形 13(b)未被分割而是形成一实心模式的原因在于，在后述的芯片 8 的密封等步骤中，部分加固图形 13b 可能变成放置用于密封模的栅极的一部分。更特别的是，密封树脂被倾倒入密封树脂的空腔里，直接与加固图形 13b 相接触，因此，如果加固图形 13b 被分割或形成网状，这将不可能在密封步骤结束后把条状衬底 12 从密封模中分离出。通过让

加固图形 13b 不作分割来避免这一不便。换句话说，如果密封模是其栅极被分割的那种，那么加固图形 13b 就可以被分割。

加固图形 13c 也被形成为实心模式。这是因为在条状衬底 12 传递过程中，加固图形 13c 作为提供硬度的部分。图 3 所示的导电图形 4m 是用于在电镀处理时，给布置在半导体器件形成区 DA 的导线图形提供电流。

现在将对条状衬底 12 的主表面和背面上的半导体器件形成区 DA 内导线图形 4 的排列都作描述。图 9 是整个条状衬底 12 的主表面（即，封装衬底 2 的主表面（芯片安装表面））上半导体器件形成区 DA 的平面图，图 10 是图 9 中主要部分的放大平面图，图 11 是整个条状衬底 12 的背面（即，封装衬底 2 的背面（封装安装表面））上半导体器件形成区 DA 的平面图，图 12 是图 11 中主要部分的放大平面图。图 9 至图 12 中，阴影用于导线图形 4 使导线图形 4 的排列更易理解。

如前述，除了用于走线的导线图形 4a 外，在条状衬底 12 的主表面和背面上的每一半导体器件形成区 DA（即，封装衬底 2 的主表面和背面）形成用作虚设的导线图形 4b，来增大导线图形 4 的密度。通过在每一半导体器件形成区 DA 增大导线图形 4 的密度，可减小在半导体器件 1 的制造过程中的热处理导致的在半导体器件形成区 DA 中，即封装衬底 2 中衬底的扭曲和起伏。更好的是让导线图形 4 的布置面积，位置和密度，在条状衬底 12（封装衬底 2）的主表面和背面都几乎相同。这样以来，主表面和背面的热收缩量可能一致，因此能减少衬底的热扭曲和起伏。因此，能提高条状衬底 12 和封装衬底 2 的平坦性。此外，通过增大导线图形 4 的密度，焊接保护物质 5 能难于破裂，因此能防止走线导线图形 4a 的断路。另外，通过在相邻走线导线图形 4a 间插入伪导线图形 4b 便能消除相邻走线导线图形 4 间的杂散电容，并防止感应噪声的产生。

但是，如果导线图形 4 的密度太高，衬底体 3 和焊接保护物质 5 的接触区变得更小，构建两元件间的键合力下降。因此，对于伪导线图形 4b，它们在适当位置被分割。这样一来，能保证衬底体 3 和焊接保护物质 5 间所需的接触面积，因此能提高两者间的键合力。另外，在回流时，由芯片 8 和条状衬底 12 间的热膨胀系数不同导致的应力易于集中在芯片安

装区的周围，因此，焊接保护物质 5 的剥离是易于产生的。考虑到这，最小化伪导线图形区域或通过不形成它们能减小导线图形 4 的断路和焊接保护物质 5 的剥离。如图 9 至 12 所示，在每一半导体器件形成区 DA，即封装衬底 2 的主表面和背面的中心，形成一大块伪导线图形 4b，通常为平面方形。通过这样在与芯片 8（参见图 2）的背面相对位置形成一大块伪导线图形，能不仅提高上述导线图形 4 的密度，也能改善在芯片 8 工作时产生的热量的耗散特性。此外，多个除去导线膜的图形区域 14 被规则的成于中间的伪导线图形 4b 内。除去导线膜的区域 4 能调整条状衬底 12（即封装衬底 2）的主表面和背面上导线图形 4 的布置密度。另外，因为能确保衬底体 3 和焊接保护物质 5 之间所需接触面积，两者间键合强度能被进一步提高。

在图 10 中形成于条状衬底 12 的主表面（封装衬底 2 的主表面）的走线导线图形 4a 中，通常为平面方形的宽导线图形 4a1(4)，是键合至键合线 10 的图形部分。同样，在走线导线图形 4a 中，通常是平面椭圆形的宽导线图形 4a2(4)是通孔穿过的图形部分。另外，在图 11 中形成于条状衬底 12 背面（封装衬底 2 的背面），在走线导线图形 4a 中，相当宽的导线图形 4a3(4)是通孔穿过并键合至块电极 7 的图形部分。

现在下面描述条状衬底 12 的主表面和背面上的每一半导体器件形成区 DA 内焊接保护物质 5 的布置。图 13 是条状衬底 12 主表面（即封装衬底 2 的主表面（芯片安装表面））上各整个半导体器件形成区 DA 的平面图，图 14(a)是图 13 中心部分的放大平面图，图 14(b)是沿图 14(a)中线 A7-A7 的截面图，图 14(c)是基于图 14(a)中结构的实现过程的图表解释，图 15 是条状衬底 12 背面（即封装衬底 2 的背面（封装安装表面））上各整个半导体器件形成区 DA 的平面图。在图 13，14(a)和 15 中，使用阴影使焊接保护 5 的布置使得更易理解。

如上所述，焊接保护物质 5 被几乎一致地形成于条状衬底 12 主表面和背面上（即封装衬底 2 的主表面和背面）的每一半导体器件形成区 DA 上。也就是说，焊接保护物质 5 被同时以基本相同的厚度和面积形成于主表面和背面。特别是，焊接保护物质 5 也被形成于无导线图形 4 的区

域，以便最小化在这种无导线图形区内主表面和背面的热收缩差别。因此，能使得条状衬底 12（封装衬底 2）的主表面和背面的热收缩量不变，所以，能减小每一半导体器件形成区 DA 内衬底的扭曲和起伏，即是在封装衬底内，由半导体器件制备工艺中热处理所导致。因此能同时提高条状衬底 12 和封装衬底 2 的平坦性。

在本实施方案中，如图 13 和 14 所示，焊接保护物质 5 的一部分用于包围通孔 6，圆形框状除去保护物质的区域 15a 被形成用于包围所述焊接保护部分。除去保护物质的区域 15a 被用作防止由粘合剂 9 所致阻塞的阻挡区。如果除去保护物质的区域 15a 未被提供，于是在用粘合剂 9 固定芯片 8 至封装衬底 2 的主表面时，在由芯片 8 施加的压力下，粘合剂 9 沿着封装衬底 2 的主表面流动，停留在通孔 6 上。另一方面，如果除去保护物质的区域 15a 被提供，如图 14(c)所示，被迫流动的粘合剂 9 停下来，并阻陷在除去保护物质的区域 15a，因此能防止通孔的阻塞。

在图 13 中，用于键合线连接的半导体图形 4a1 从许多方形除去保护物质的区域 15b 中暴露出来。同样，在图 15 中，用于块电极连接的导线图形 4a3 从许多圆形除去保护物质的区域 15c 中暴露出来。

参考图 16 至 29，一采用本发明的半导体器件制备方法将在下面被描述。其中，图 16 至 20 和 23 至 29 是半导体器件制备工艺中加工的主要部分的截面图。

本实施方案的半导体制备方法是 MAP（合模阵列封装）型制备方法，其中装配于条状衬底 12 的多个芯片 8 被一次性密封。

第一，如图 16 所示，条状衬底 12 被提供，其后，如图 17 所示，例如，使用作为绝缘糊的粘合剂 9，芯片 8 被装配于条状衬底 12 的主表面上的芯片安装区内。例如，每个芯片 8 的尺寸为长 5mm，宽 5mm，至长 8mm，宽 8mm，厚约 0.28mm。

然后，如图 18 所示，使用例如金线的键合线 10，在芯片 8 的键合引脚和条状衬底 12 的主表面上的走线导线图形 4a1 被电连接在一起。对于这种电连接，同时使用到超声振荡和热压键合的一种已知的键合机。

其后，如图 19 和 20 所示，已经过上述导线键合步骤的条状衬底 12

被传送至模具 16。在这样情形下，因为具有如前述的严格结构，所以无需考虑变形和受压，传送能可靠地被实现。图 20 是垂直于图 19 平面的截面图。用于本实施方案中的模具 16 是能一次性把多个芯片 8 树脂密封至条状衬底 12 主表面上的完整合模结构。在密封模具 16 的下半模具 16a 中形成多个真空吸附孔 17。在密封步骤（从放置条状衬底 12 于模具 16 至通过树脂密封把多个芯片 8 密封于条状衬底上），真空吸附孔 17 通过吸力来固定条状衬底背面（封装安装面）。因此牢固地固定住超薄的条状衬底。特别的是，真空吸附孔 17 用于抑制从下半模具 16a 的发热导致的条状衬底 12 的扭曲和变形。

在上半模具 16b 中提供了空洞 16c，剔选块 16d 和门控 16e。空洞 16c 用于合模部分的树脂倾倒区域。本实施方案中使用的空洞 16c 是能一次性密封多个芯片 8 于条状衬底 12 上的大尺寸空洞。即，多个芯片 8 能被放于一个空洞 16c 中，剔选块 16d 是剩余的固化于空洞中的树脂部分，形成于模具中用于给空洞 16c 提供合模材料的低凹部分，合模材料是用后述的活塞注入的。门控 16e 是将熔化的树脂倒入空洞 16c 中的入口。给上半模具 16b 提供排出引脚 18 用来伸入空洞 16c 中。排出引脚 18 用于在密封步骤后从模具 16 中释放出条状衬底 12。排出引脚 18 被布置于一组半导体器件形成区 DA 的外周边（产品区），即在最终被切割的区域中，未留于各半导体器件 1 中。这是因为在相对于形成在条状衬底 12 上的密封件推动排出引脚时和取出条状衬底时，由排列引脚 18 所导致的痕迹和缺陷不应留在半导体器件 1 中。

图 21 和 22 所示的是模具 16 的一个例子。图 21 是模具 16 的完整透视图，图 22 描述了模具 16 的下半模具 16a 的合模表面。图 21 提供了使下半模具 16a 和上半模具 16b 的合模表面更易理解的描述，没有描述两模具的开合状况。

使用所述的模具 16，两个条状衬底 12 能在一个密封步骤中被密封。在下半模具 16a 的合模表面的横向中心处沿下半模具的纵向布置了许多端口/活塞部分 16f。在端口/活塞部分 16f 中，端口是提供合模材料的入口，而活塞是用于倾倒位于端口中的合模材料至空洞中并以压力压住。

条状衬底 12 被分别放于一列端口/活塞部分 16f 的两侧。

在下半模具 16a 的合模表面上每一条状衬底 12 的布置区域内，规则地（如黑圈所标明）布置前述多个真空吸附孔 17。更好的是布置真空吸附孔 17 于条状衬底 12 平面内和一组（产品区）半导体器件形成区外。如后述，这是因为在树脂密封步骤中，由于条状衬底 12 背面的真空吸附，许多突出物可能被形成于密封树脂上，这种小突出物应被防止留在半导体器件 1 上。但是，在本实施方案中，真空吸附 17 也被形成于相应的条状衬底 12 横向上中线位置，是因为条状衬底的平面尺寸很大，也是因为需要条状衬底很牢固地被真空吸附来确保其平坦性。上述中线区域与后述的切割区相对应，也将被切掉。因此，即使密封步骤后前述突出物留于中线上，它们最终不会留在各半导体器件 1 上，然而即使留下，也能使它们很小，不将破坏外观。从实现这一目的出发，下半模具 16a 可以使用多孔物质形成，以便条状衬底 12 的整个背面基本上被均匀地真空吸附。在这种情况下，上述与突出物相关的问题不会发生，因为整个衬底背面能受到真空吸附。即，归因于上述突出物的半导体器件 1 的成品量下降能被避免。

另一方面，在上半模具 16b 合模表面的横向中心处，沿上半模纵向布置许多剔选块 16d。另外，在上半模具 16b 的合模表面，一系列剔选块 16d 的两边都布置了空洞 16c。位于其两边的每一剔选块 16d 和空洞通过门控 16e 相互联系。

接着，如图 23 所示，条状衬底 12 被放于下半模具 16a 的合模表面，其后，设定下半模具 16a 的温度为如 175°C 时，各条状衬底 12 被预热约 20 秒。这一预热处理能使条状衬底 12 对于热变形稳定。

然后，在本实施方案中，例如条状衬底 12 本身很难因热应力而致扭曲，起伏，和变形（其后简称扭曲等）。因此，当条状衬底 12 被放于模具 16 上时，能减小归因于热传导机制的条状衬底的扭曲等。另外，如前述，不仅能确保整个条状衬底的平坦性，而且能确保各单个半导体器件形成区 DA 的平坦性。

而后，如图 24 所示，例如，把下半和上半模具 16a, 16b 的温度设为

175°C, 条状衬底 12 的背面被真空吸附孔 17 所吸住, 致使条状衬底 12 和下半模具 16a 的合模表面紧密接触在一起。这时, 由于条状衬底如前述特别薄, 所示条状衬底 12 能以满意程度被真空吸附。由此, 在本实施方案中, 条形衬底 12 的背面受到密封处理中的真空吸附, 由此, 被前述热处理导致的扭曲等能被进一步减小。因此, 即使条状衬底 12 的平面面积进一步增加来满足增加所得产品数的要求, 或即使条状衬底 12 的厚度变得更小来满足减小半导体器件壁厚的要求, 也能影响树脂密封, 而保证整个条状衬底 12 和每一半导体器件形成区 DA 的平坦性不导致因前述热处理所致的扭曲等。图 24 等中附加于真空吸附孔 17 的箭头表示真空吸附的方向。

然后, 如图 25 所示, 当维持上述温度时, 如环氧树脂和低分子树脂的密封树脂被倾倒入上半模具 16b 的空洞 16c 中, 并一次性一起将多个芯片 8 和键合线 10 真空吸附而密封在条状衬底 12 的主表面上, 从而形成一包含多个芯片 8 于条状衬底 12 的主表面上的完整立体形状的密封体 11。在这种情况下, 因为本实施方案中条状衬底 12 的平坦性高, 所以能实现一平坦的树脂封装。因此, 半导体器件 1 出现缺陷的产生率能被降低, 因此, 能提高半导体器件的产量。接着, 如图 26 所示, 当维持下半和上半模具 16a, 16b 的温度于前述温度时, 被提供于上半模具 16b 的排出引脚 18 被朝空洞 16c 推动, 在密封步骤后, 具有密封体 11 的各条状衬底 12 被从模具 16 中取出。在这一阶段, 密封体 11 包含多个芯片 8。密封体 11 被无任何空隙存在地运至相邻半导体器件形成区之间的空隙处。

然后, 如图 27 所示, 焊接块 7A 被对准连接至形成于各条状衬底 12 背面的半导体器件形成区 DA 内的走线导线图形 4(4a3)上。焊接块 7A 至导线图形 4 的连接被以下列方式实现。使用工具 19 夹住每个事先以孔状形成的许多焊接块 7A, 然后在这种状态下, 焊接块 7A 被浸沾于焊剂容器让助焊剂作表面覆盖, 其后, 利用助焊剂的粘性, 焊接块 7A 被分别临时固定于相应的导线图形 4(4a3)。

焊接块 7A 由铅/锡合金所形成, 例如半径约为 0.5mm。形成于一半导

体器件形成区 DA 内的焊接块 7A 能被一次性接到一起,但从提高块连接步骤的产量出发,最好让多个半导体形成区 DA 内的焊接块接到一起。在这种情况下,具有大面积的工具 19 被使用,因此,如果条状衬底 12 被扭曲或变形,可能产生一些焊接块 7A 未被连接到导线图形 4 的问题。另一方面,因为在本实施方案中,条状衬底 12 在目前进行的制备工序中几乎不扭曲或变形,许多半导体器件形成区 DA 中的多个焊接块 7A 能被同时以高精度一起连至相应的多个导线图形 4(4a3)。另外,考虑到扭曲和变形的程度不同,如果使用一在安装焊接块时具有强力夹住整个条状衬底 12 来维持平坦性机制的装置,就能进一步提高连接精度。

其后,在约 $235\pm 5^{\circ}\text{C}$ 的温度下热回流,焊接块 7A 被固化于导线图形 4(4a3)上来形成块电极 7,如图 28 所示,然后使用合成清洁剂或类似物,残留于条状衬底 12 上的焊剂等将被清除,至此,块电极连接步骤被完成。

接着,通过切割条状衬底 12,获得许多如图 1 和 2 所示的半导体器件 1。为了从条形衬底 12 得到半导体器件 1,如图 29 所示,使用一切割刀 20,以与切割半导体晶片成芯片 18 的相同方法,从其背面将条状衬底 12 切割开。

然而,在本实施方案中,假定执行整体合模,通过增大条状衬底 12 单位面积上所得产品数目,能减少条状衬底 12 的单位价格。对于模具 16,因为无需提供各种形状模具,初始成本也能被降低。因为一集成多工序能包含多个步骤,所以能进一步减小半导体器件 1 的制备成本。

如图 30 和 31 所示的是含如此制造的半导体器件 1 的电子器件的一个例子。图 30 是电子器件 21 的部分平面图,图 31 是其侧面图。

例如,电子器件 21 是内存卡,但本实施方案中的半导体器件 1 的应用不限于内存卡,各种其它应用能被实现。例如半导体器件 1 能用于构造逻辑电路或能被安装于普通的印刷电路板上构造一预定电路。

例如,如半导体器件 1 的封装衬底 2,作为电子器件 21 的一组成部分,安装衬底 22 的衬底体被由玻璃-环氧树脂形成。通过让块电极 7 的背面面对封装衬底 22 的主表面(封装安装表面),在安装衬底 22 的主表面(封装安装表面)上安装多个 FBGA 型半导体器件 1。因为与半导体

器件 1 内的封装衬底 2 的衬底体 3 相同的材料,被用作安装衬底 22 的材料,所以能减小半导体器件 1 和安装衬底 22 间的热膨胀系数的差别。因此能减小由所述差别导致的热应力的产生。因此,能提高许多半导体器件 1 的安装可靠性。

在上述例子中,内存电路,例如 SRAM(静态随机访问存储器)或闪存(EEPROM:电擦写可编程只读存储器)被形成于各半导体器件 1 中。通过形成于半导体器件背面(封装安装表面)上的块电极 7,各半导体器件 1 中的内存电路被电连接至安装衬底 22 上的导线上。以这种方式,总体上含一预定容量的内存电路被形成于安装衬底 22 上。

另外,TQFP(薄型四方扁平封装)型半导体器件 23 被安装于安装衬底 22 的主表面。通过从密封体本身的四边伸出的翼型引线,半导体器件 23 被电连接至安装衬底 22 上的导线上。半导体器件 1 被并入形成于安装衬底 22 上的带预定容量的内存电路中,用作控制内存操作。在安装衬底 22 的一端上沿一端边布置多个外部端口 24。外部端口 24 被电连接至安装衬底 22 上的导线上,用于电连接形成于安装衬底 22 上的带预定电容的内存电路至外部器件。各半导体器件 1 和半导体器件 23 的总高度几乎彼此相等。

(第二实施方案)

在第二实施方案中,根据本发明,半导体器件制备方法的另一例子将被描述。图 32 和 33 描述条状衬底 12 已被传送至模具 16 的状态,其中图 33 是垂直于图 32 平面的截面图。

在本实施方案中,一层压机械部分 25 被提供于模具 16 中,层压机械部分 25 包括一层压膜 25a 和用于卷取层压膜的卷轴 25b。层压膜 25a 是强绝热,大小大约能覆盖上半模具 16b2 各空洞 16c 的整个内壁表面的绝缘膜。层压膜 25a 被插于模具 16 的下半模具 16a2 和上半模具 16b2 之间。

在本实施方案中,真空吸附孔未被形成于模具 16 的下半模具 16a2 内。下半模具的其它结构要点与前面第一实施方案中描述的下半模具相同。在本实施方案中,多个真空吸附孔 26 被形成于上半模具 16b2 中。真空吸附孔 26 用于使层压膜 25a 被吸附于上半模具 16b2 的空洞 16c 侧。真

空吸附孔 26 的平面位置大约与前面第一实施方案中形成于下半模具 16a 中的真空吸附孔 (参见图 19 和 22) 相同, 原因也基本与前述相同。即, 真空吸附孔 26 最好布置于条状衬底 12 的产品区的外围部分。这是用于防止树脂密封步骤中真空吸附时由密封树脂内的真空吸附孔形成小突出物 (孔痕)。但是, 在本实施方案中, 条状衬底 12 上的所有芯片 8 被密封在一起, 因此空洞 16c 的面积很大。由此, 需要真空吸附防止层压膜 25a 中折痕等的产生。例如, 真空吸附孔 26 也能布置于相应于条状衬底 12 横向上中线的位置。中线位置与后述切割区有关, 也将被切掉。因此, 即使前述孔痕在密封步骤后被形成于中线上, 它们不将留在最后得到的各半导体器件 1 上, 或者即使留上, 也能使它们小到不破坏外观的程度。从实现这一目的出发, 上半模具 16b2 能被形成具有多孔结构或使用一多孔物质以使层压膜 25a 的上表面被基本均匀地真空吸附于整个表面上。在这种情况下, 因为真空吸附能覆盖层压膜 25a 的整个上表面, 所以能避免由前述孔痕导致的半导体器件 1 产量的下降。另外, 排出引脚也未被提供于上半模具 16b2 中, 这种考虑, 后面将作描述。第二实施方案中, 上半模具的其它结构要点与前面第一实施方案中的相同。

首先, 如图 34 所示, 条状衬底 12 被放于下半模具 16a2 的合模表面上, 其后, 设置下半模具 16a2 的温度为如 175°C, 条状衬底被预热约 20 秒。这一预热处理能使条状衬底在热变形下稳定。

在本实施方案中, 如上所述, 条状衬底 12 本身的结构很难经受由例如热应力所致的扭曲等。因此, 当条状衬底 12 被放于模具 16 上时, 能消除归因于热导机制的条状衬底的扭曲等。此外, 如前述, 不仅能确保条状衬底 12 的整体平坦, 也能确保每个半导体器件形成区 DA 的平坦。

接着, 如图 35 所示, 下半和上半模具 16a2, 16b2 的温度被设为如 175°C, 其后, 层压膜 25a 的上表面 (背对上半模具 16b2 的表面) 被真空吸附孔 26 所吸附, 导致层压膜 25a 与上半模具 16b2 紧密接触。加于图 35 等中真空吸附孔 26 的箭头标明了真空吸附的方向。

然后, 如图 36 所示, 如环氧树脂和低分子树脂的密封树脂被倾倒入上半模具 16b2 的每一空洞 16c, 同时维持上述温度, 把多个芯片 8 和条

状衬底 12 主表面上的键合线 10 一次性密封在一起。由此在条状衬底 12 的主表面侧上形成含有多个芯片 8 的一完整密封体 11。在这种情况下，与前面第一上述方案的情形一样，因为条状衬底 12 的平坦性高，所以也能实现平坦树脂封装。因此，半导体器件 1 的外形缺陷的产生率被降低，因此能提高半导体器件的产量。图 36 所示的箭头标明了真空吸附的方向。

接着，如图 37 所示，下半模具 16a2 维持上述温度，停止对层压薄膜 25a 的真空吸附，利用层压薄膜 25a 的张力，在密封步骤后，含有密封体 11 的条状衬底 12 被从模具 16 中取出。在这种情形下，层压薄膜 25a 被插于上半模具 16b2 的各空洞 16c 的内壁表面和密封体 1 的表面之间，即上半模具 16b2 和密封体 11 没有直接相互接触，在从空洞 16c 中取出密封体 11 时，压力未被施加于密封体表面的某些点上而是施加于表面。因此，用相当小的压力就能使密封体 11 从上半模具 16b2 中分离出。因而，用于在密封后取出条状衬底 12 的排出引脚不需要被提供于上半模具 16b2 中，即前面的实施方案中，条状衬底 12（密封体 11）侧上提供排出引脚的区域能被有效利用。此外，因为密封体 11 和上半模具 16b2 之间的可释放性能被改善，所以能实现更大尺寸的树脂密封。另外，因为对模具 16 内部的清洁次数能被减少，所以能降低半导体器件的制备成本。后续制备步骤与第一实施方案中相同，这里省略其解释。

（第三实施方案）

在第三实施方案中，根据本发明，半导体制备方法的另一例子将被描述。图 38 描述了条状衬底 12 已被传送到模具 16 中的状态。

在第三实施方案中，上述第二实施方案中描述的层压机械部分 25 被提供于模具 16 中。模具 16 的下半模具 16a 的结构与前面第一实施方案中所述相同。即多个真空吸附孔 17 被形成于下半模具 16a 中。对于本实施方案中使用的上半模具 16b2 的结构，这与第二实施方案中使用的相同。即，各个真空吸附孔 26 也被形成于上半模具 16b2 中。

首先，如图 39 所示，条状衬底 12 被放于模具 16 的下半模具 16a 的合模表面。然后设置下半模具 16a2 的温度为如 175°C，条状衬底被预热约 20 秒。这一预热处理能使条状衬底 12 在热形变中稳定。根据第三实

施方案，如前面的第一和第二实施方案，能消除条状衬底 12 的扭曲等，因此能确保整个条状衬底的平坦性和每个半导体器件形成区的平坦性。

接着，如图 40 所示，把下半和上半模具 16a2, 16b2 的温度设为如 175°C，条状衬底 12 的背面被真空吸附孔 17 吸住。这时，本实施方案中，由上述热处理导致的扭曲等能在密封处理中通过吸附条状衬底 12 的背面于真空下而进一步被消除。因此，即使条状衬底的平面区进一步增大来满足增大所获产品数的需求或即使条状衬底的厚度变得更小来满足减小半导体器件壁厚的需求，也能实现树脂密封，同时保证整个条状衬底 12 的平坦和每个半导体器件形成区 DA 的平坦。在图 40 及以下等图中，附加于真空吸附孔 17 的箭头标明了真空吸附的方向。

接着，如图 41 所示，例如把上半和下半模具 16a2, 16b2 的温度设为 175°C，并让下半模具 16a2 被保持真空吸附状态，层压薄膜 25a 的上表面（背对上半模具 16b2 的表面）被真空吸附孔 26 所吸附，导致层压薄膜 25a 与上半模具 16b2 形成紧密接触。附加于图 41 及以后等图中真空吸附孔 26 的箭头标明了真空吸附方向。

然后，如图 42 所示，当上述温度和真空吸附状态被维持时，例如环氧树脂和低分子树脂的密封树脂被倾倒入上半模具 16b2 中各空洞 16c 中来将条状衬底 12 的主表面上多个芯片 8 和键合线 10 一次性一起密封，因此形成一完整密封体 11，其中包括多个芯片 8 于条状衬底 12 的主表面上。在本实施方案中，如同第一实施方案一样，因为条状衬底 12 的平坦性高，所以也能实现平坦的树脂密封。因此，半导体 1 的缺陷外观的产生率能被减小，并因此能提高半导体器件的产量。

接着，如图 43 所示，与前面第二实施方案一样，让下半模具 16a2 的温度保持在上述温度，停止对层压薄膜 25a 的真空吸附，在密封步骤后，利用层压薄膜，含密封体 11 的条状衬底 12 被从模具 16 中取出。在这种情况下，与第二实施方案中所提原因相同，密封体 11 能被以相当小的力从上半模具 16b2 中分离出。然后，在第三实施方案中排出引脚的使用也能如第二实施方案中一样被忽略，能有效利用排出引脚的布置区域。此外，因为模具 16 内部的清洁次数能被减小，所以能减小半导体制备成本。

另外,在本实施方案中,由发热引起的条状衬底 12 的扭曲等能被抑制或防止,密封体 11 的可释放性能被提高,以便能减少阻碍条状衬底 12 和密封体 11 的尺寸增加的因素,从而允许进一步增加条状衬底和密封体的尺寸。然后,单一条状衬底 12 上能获得的半导体器件 1 的数目增加,半导体器件形成区上能装配的芯片数目的增加也能被期望。因此,能进一步降低每一半导体器件的成本,并进一步改善其性能。后继步骤与第一实施方案中相同,所以这里省略其解释。

(第四实施方案)

在本实施方案中,下面将描述有关上述半导体器件结构的修改例子。

图 44 是根据一修改例子的半导体器件 1 的截面图。在同一图中,未形成通孔,而且使用粘合剂 9,芯片 8 被固定。粘合剂 9 例如是与密封树脂材料同样质量的硬质糊状材料或树脂膏,因而能抵抗高温循环。

图 45 是根据另一修改例子的半导体器件 1 的截面图。在同一图中,焊接保护物质 5 被部分除去来使得焊接保护物质的热收缩影响很小。从而提高温度循环性。

(第五实施方案)

在本实施方案中,下面将描述有关上述条状衬底结构的修改例子。

图 46 是根据修改例子的条状衬底 12 的平面图,图 46(a)描述了条状衬底 12 的一芯片安装表面,图 46(b)描述其背面的封装安装表面。图 46 中,使用部分影线使附图更易明白。

在本实施方案中,如第一实施方案,多个加固图形 13a 被沿条状衬底 12 的外围边分离地布置,假设本实施方案中,所有加固图形 13a 到 13c(13) 被形成为实心模式。在这种情形,与第一实施方案中的情形一样,不仅能确保条状衬底 12 的机械强度,而且由半导体器件 1 制备中热处理引起的扭曲和变形也能被抑制,而且条状衬底的平坦性也被保证。因此,在密封步骤中,密封能达到满意程度,并能提高半导体器件 1 的产量。另外,因为加固图形 13a 被分离地布置,被施加于条状衬底 12 上相邻半导体器件形成区 DA 的相当强的热应力能被分散,如第一实施方案中被减轻,从而能保证整个条状衬底 12 的平坦性。它也能抑制或防止加固图形

遭受残余图形扭伤。另外，因为它能保证条状衬底 12 上各半导体器件形成区 DA 的平坦性，所以能实现满意程度的树脂密封，并提高半导体器件 1 的产量。还有，因为加固图形 13a 未处于条状衬底 12 的切割线上，所以能防止在切割条状衬底 12 时产生加固图形 13a 的导电外来物质（毛边），因此能防止由这种外来物质所致的短路缺陷和类似物的产生。

（第六实施方案）

在本实施方案中，下面将描述有关条状衬底结构的另一修改例子。图 47 是根据另一修改例子的条状衬底 12 的平面图，在图 47(a)中描述了条状衬底 12 的芯片安装表面，图 47(b)描述了其背面封装安装背面。在图 47 中，使用部分影线使附图更易明白。

在本实施方案中，加固图形 13b(13)被沿条状衬底 12 的主背面和背面的外围长边布置，而加固图形 13e(13)沿条状衬底的主表面和背面的外围短边布置。

加固图形 13d 没有在相邻半导体器件形成区 DA 间分开，而是延伸于条状衬底 12 的纵向上。如第一实施方案，加固图形 13d 被形成为片状。但在这种情形，加固图形 13d 的形状也不限于片状。能作各种修改，只要加固图形具有能扩展和收缩的结构。例如，加固图形 13d 可形成为参照第一实施方案的点状。加固图形 13e 延伸于条状衬底 12 的横向上，也是片状。加固图形 13d 和 13e 被形成于如第一实施方案中使用的加固图形 13a 的相同导电物质（例如铜箔）。

根据第六实施方案，不仅能确保条状衬底 12 所需的机械强度，而且确保通过形成加固图形 13d 来实现一在前述热处理中能延展和收缩的结构，这能减轻由半导体制备工艺中热处理所致热应力；此外残余图形扭伤的产生也能被抑制或防止，结果，条状衬底 12 的平坦性能被进一步提高。

尽管上面已具体以其实施方案的方式描述了本发明，但无需多言的是本发明不限于以上实施方案，而在不偏离本发明要义的范围内，能作各种修改。

例如，尽管在上述 1 至 3，5 和 6 实施方案中，单一通孔能被形成于

封装衬底的中间（半导体器件形成区），但这里没有限制，能提供多个通孔。

尽管在第一实施方案中，在一起树脂密封多个半导体芯片时，条状衬底被真空吸附于下半模具，无需执行这种真空吸附普通树脂密封也能被实现。在这种情形，因为条状衬底为一强抗热应力的结构，所以能实现树脂密封，同时保证条状衬底的平坦。

尽管上述描述的本发明实现的发明主要是相对于以 FBGA 型半导体器件的应用作为本发明的背景应用领域，但是本发明也适用于例如 CSP，BGA 和 LGA（平区栅格阵列）型半导体器件和制备它们的方法。

下面将简要描述由这里公布的典型发明所获得的效果。

- (1) 根据本发明，多个半导体芯片安装于其第一表面上的第一衬底被放于一个模具中，然后多个半导体芯片被一起以树脂密封形成一密封体，而后从模具中释放出的第一衬底和密封体被切成多个半导体器件，由此每单位面积所得的产品数目能被增加，因此能降低半导体器件的制造成本。
- (2) 根据本发明，因为第一衬底主要由与用作第一衬底的安装衬底的第二衬底的热膨胀系数相同的绝缘物质形成，半导体器件的可靠性可以被提高。

图 1

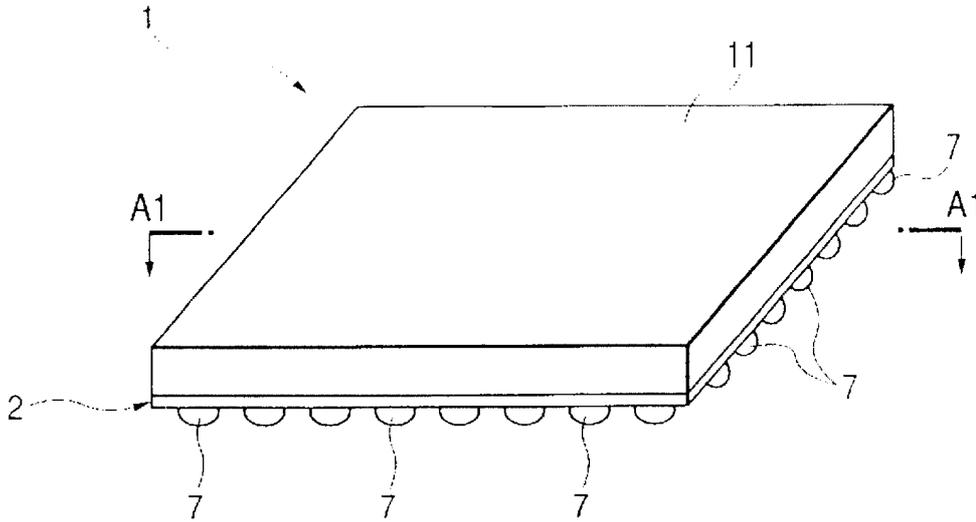
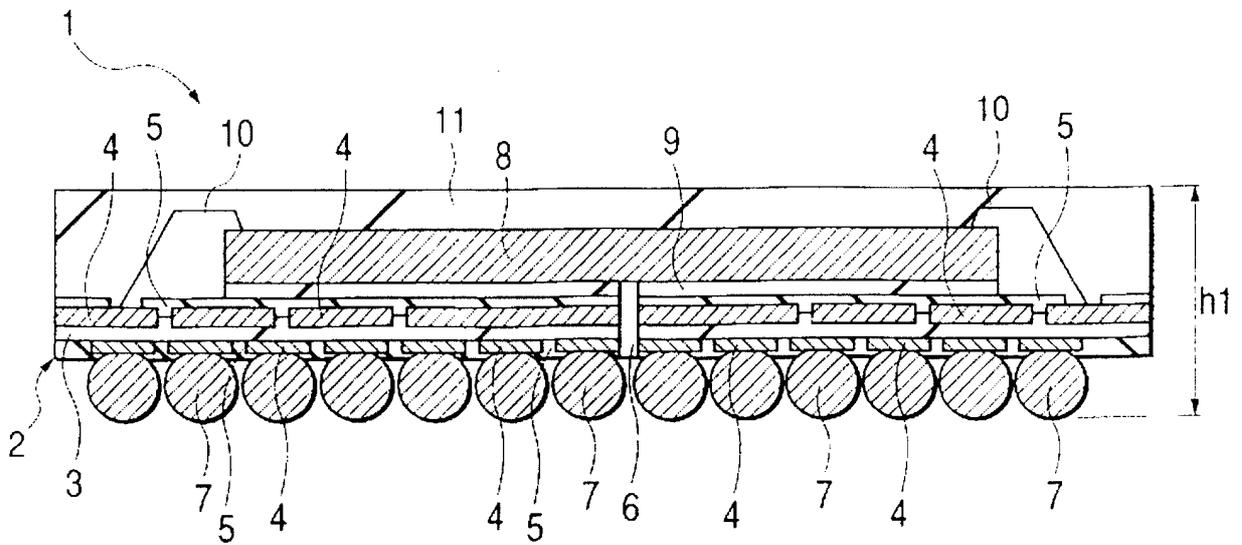


图 2



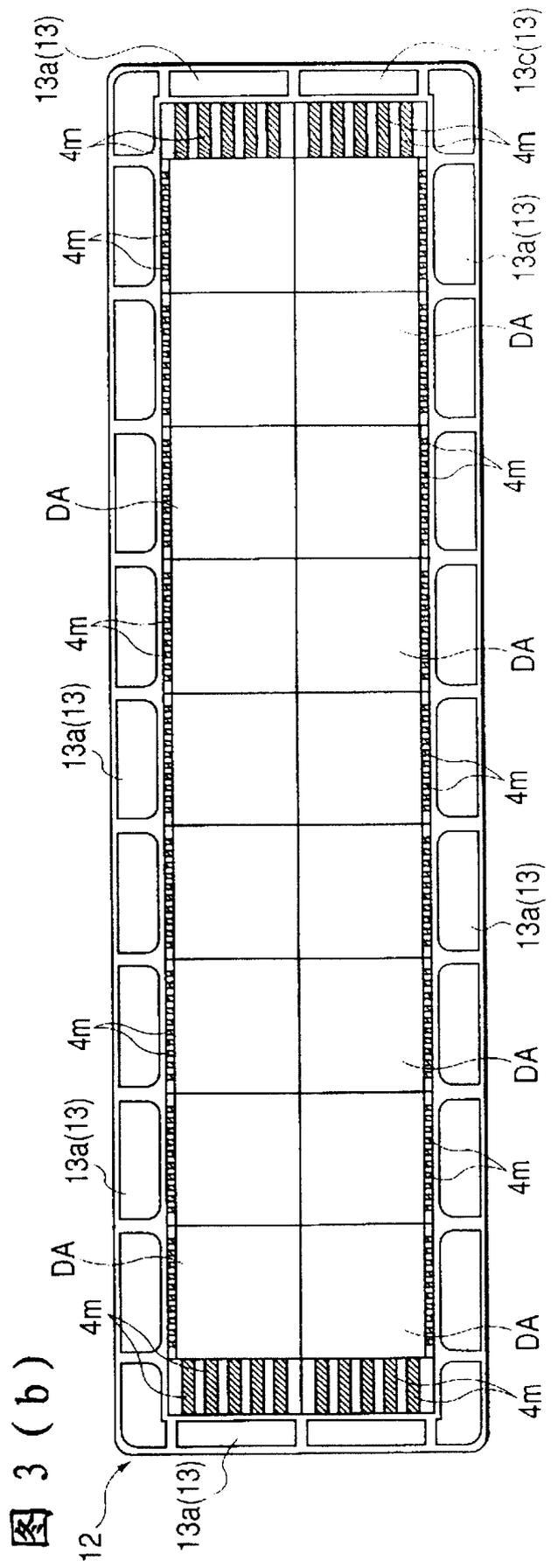
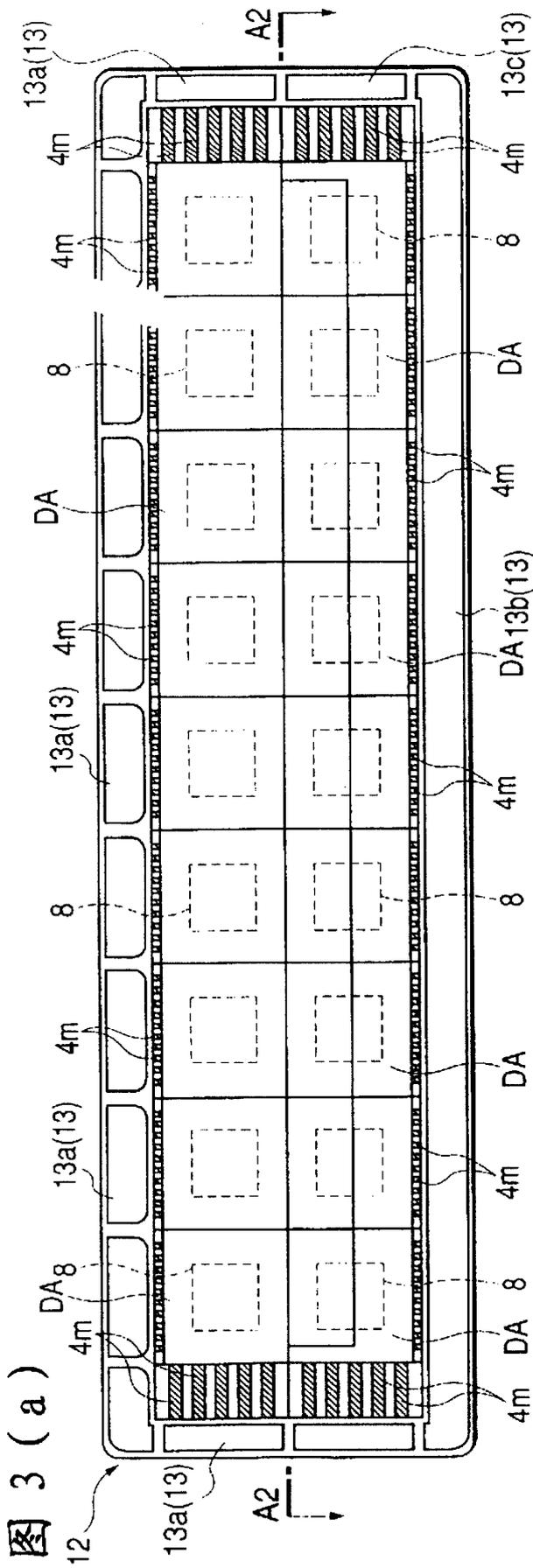


图 4

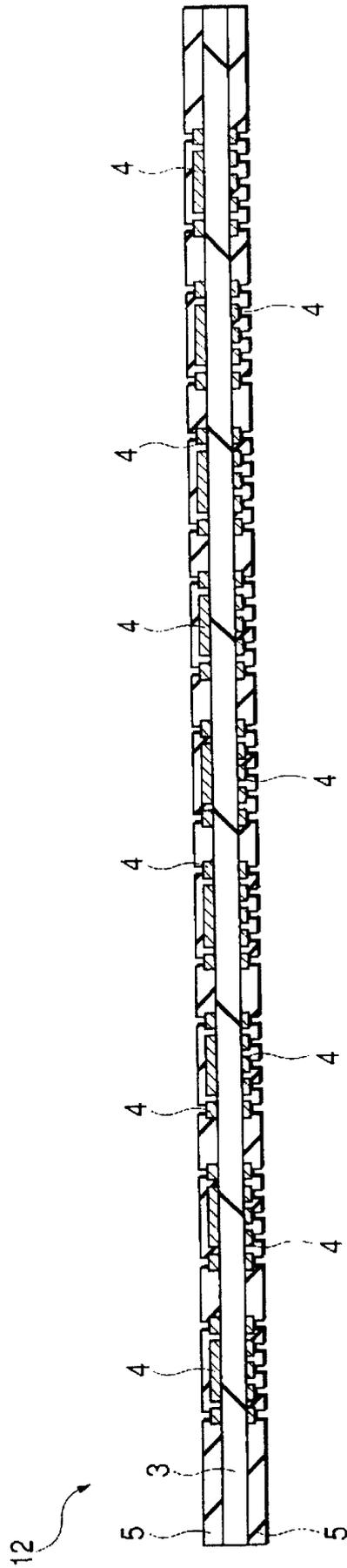


图 5

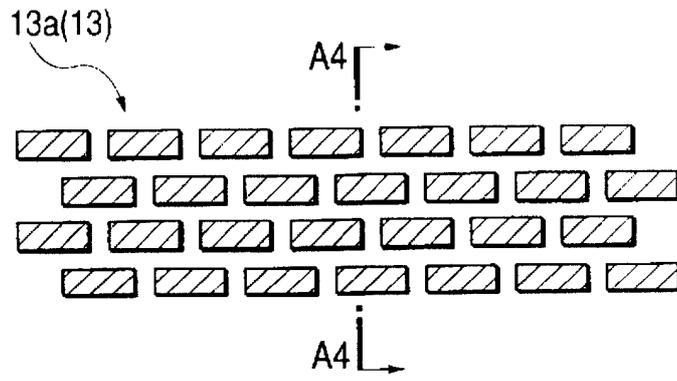


图 6

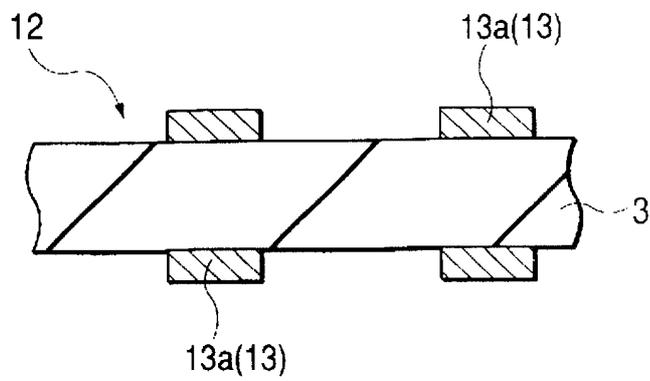


图 7 (a)

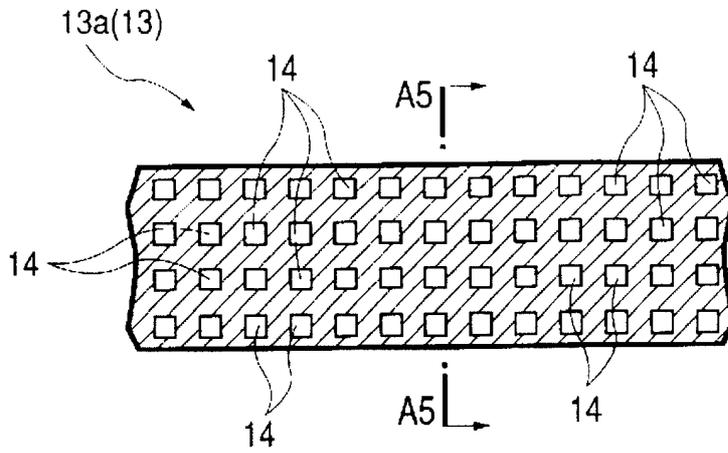


图 7 (b)

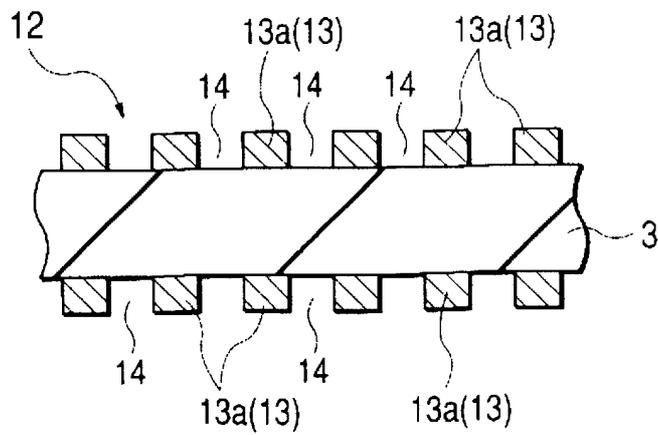


图 8 (a)

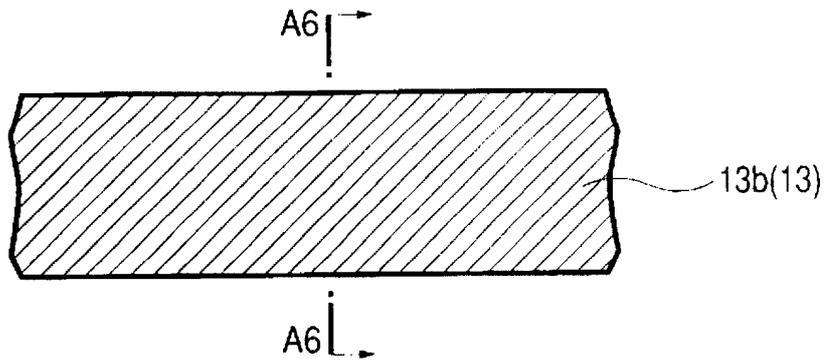


图 8 (b)

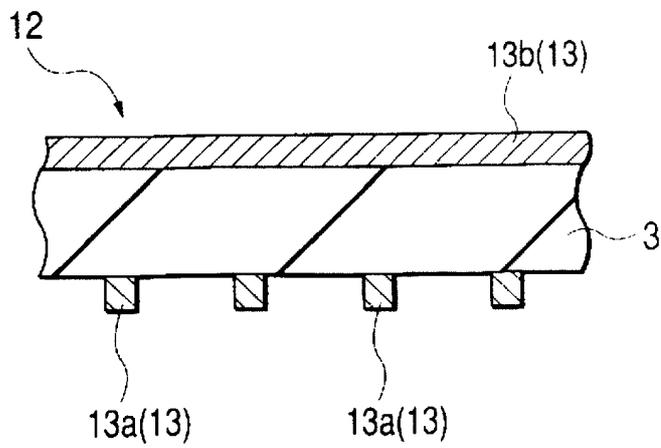


图 9

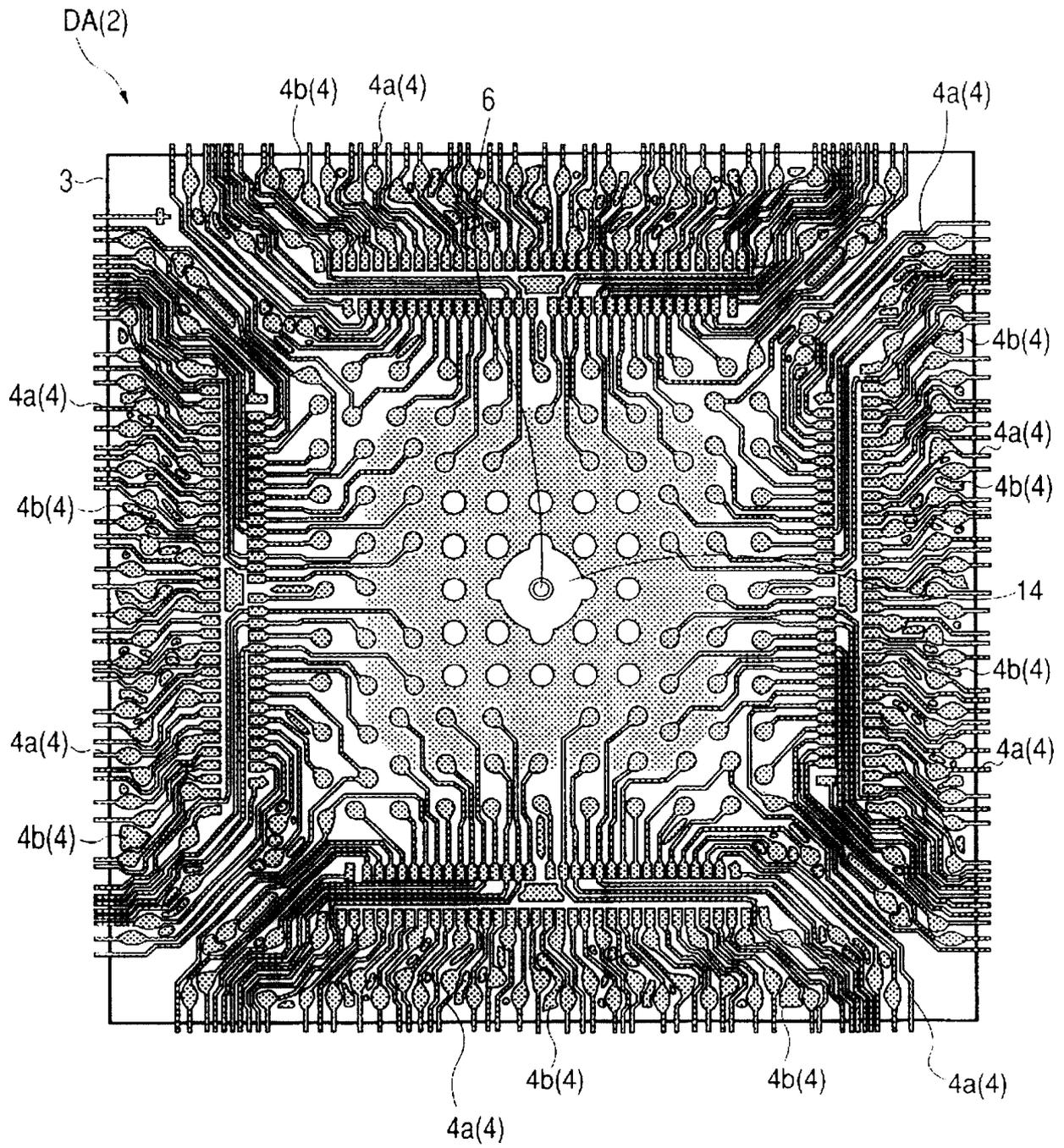


图 10

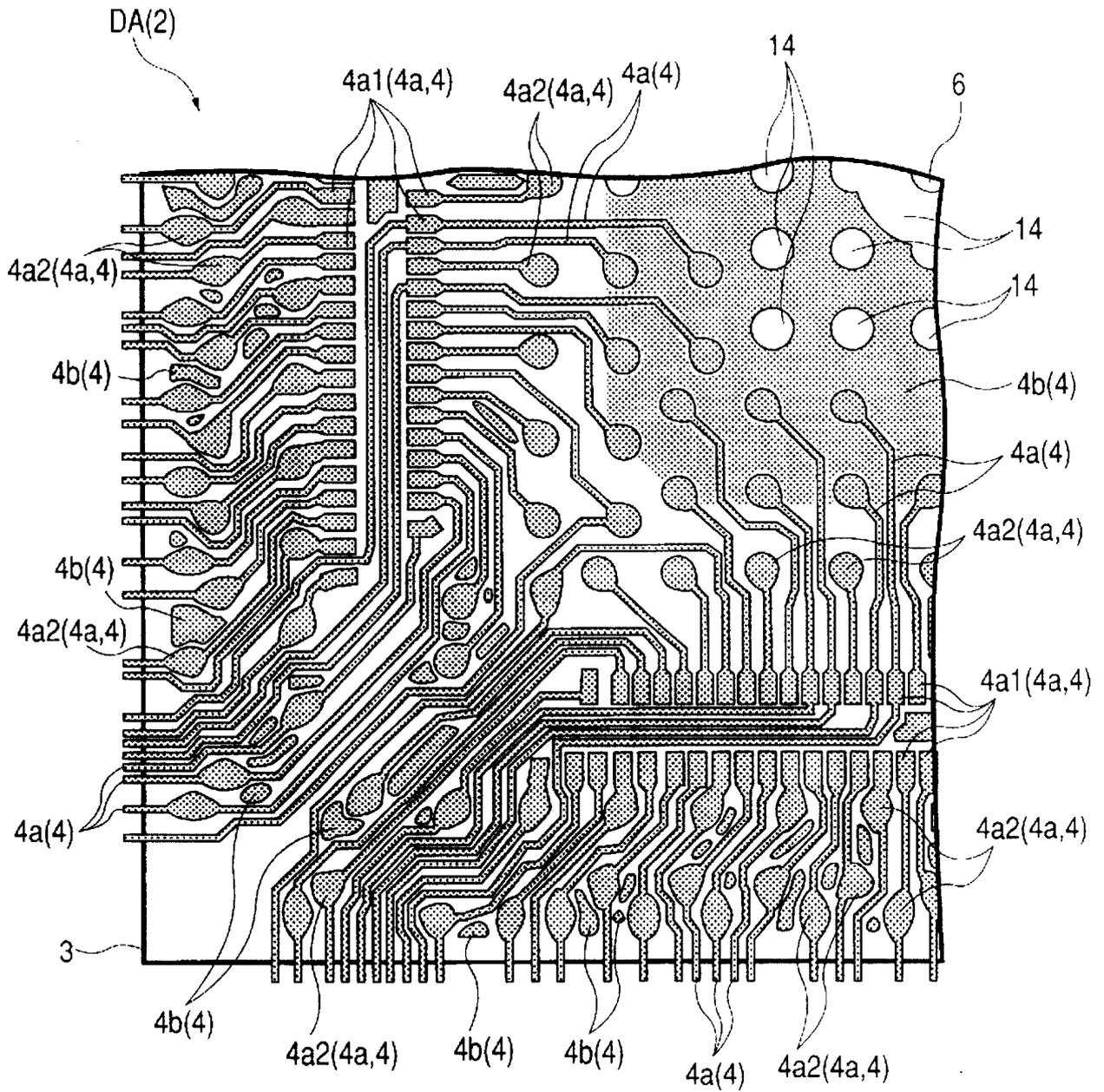


图 11

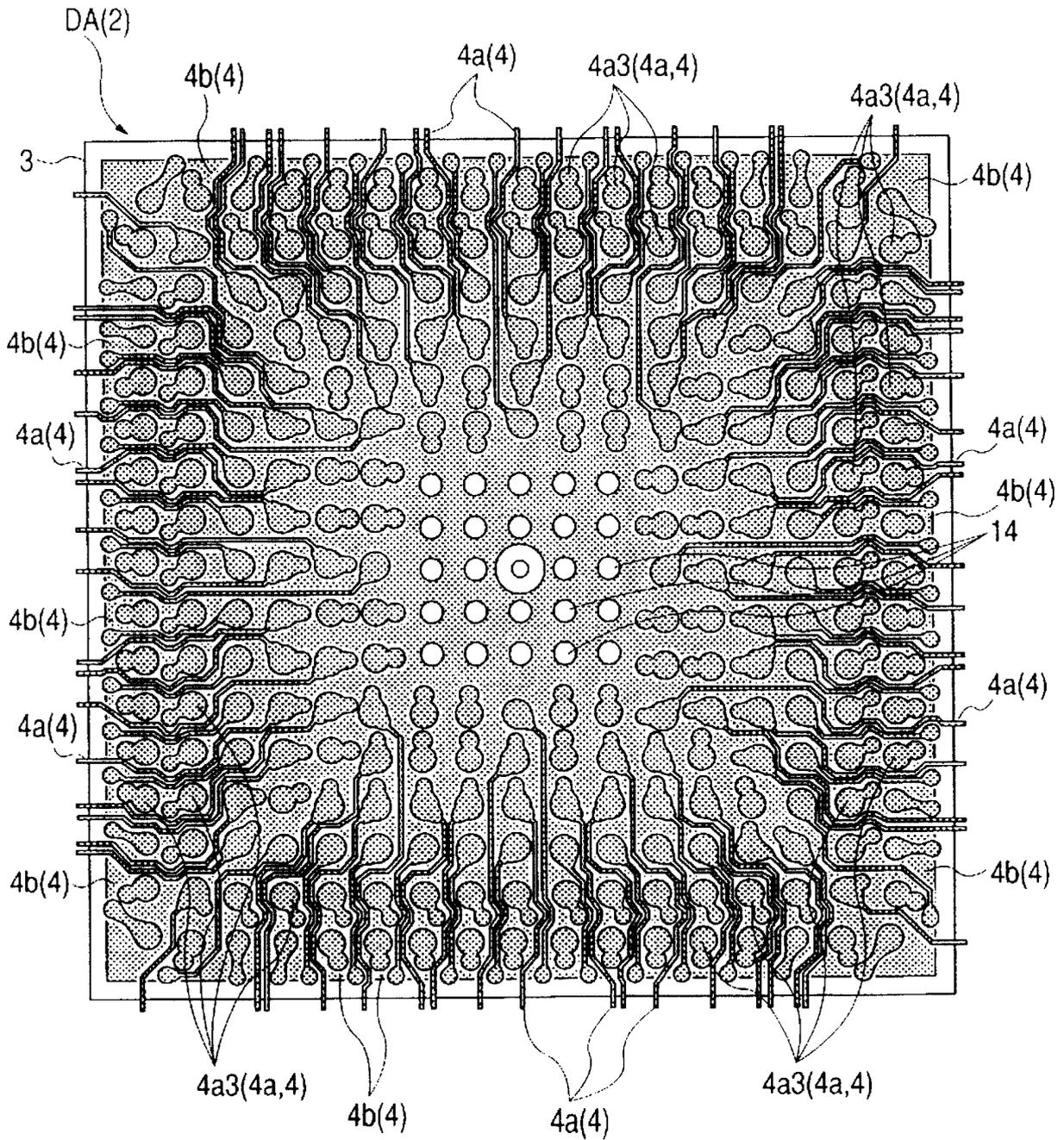


图 12

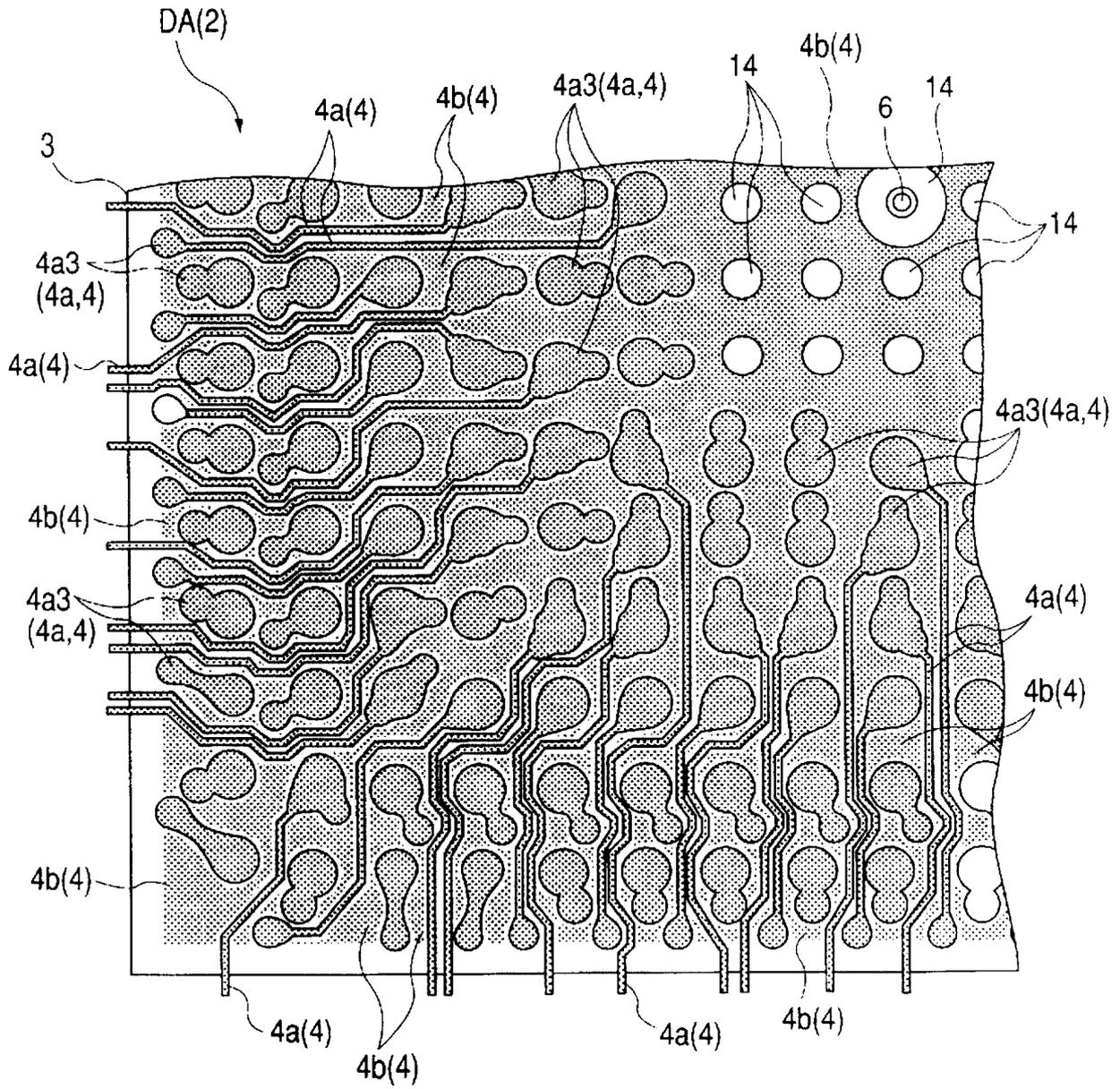
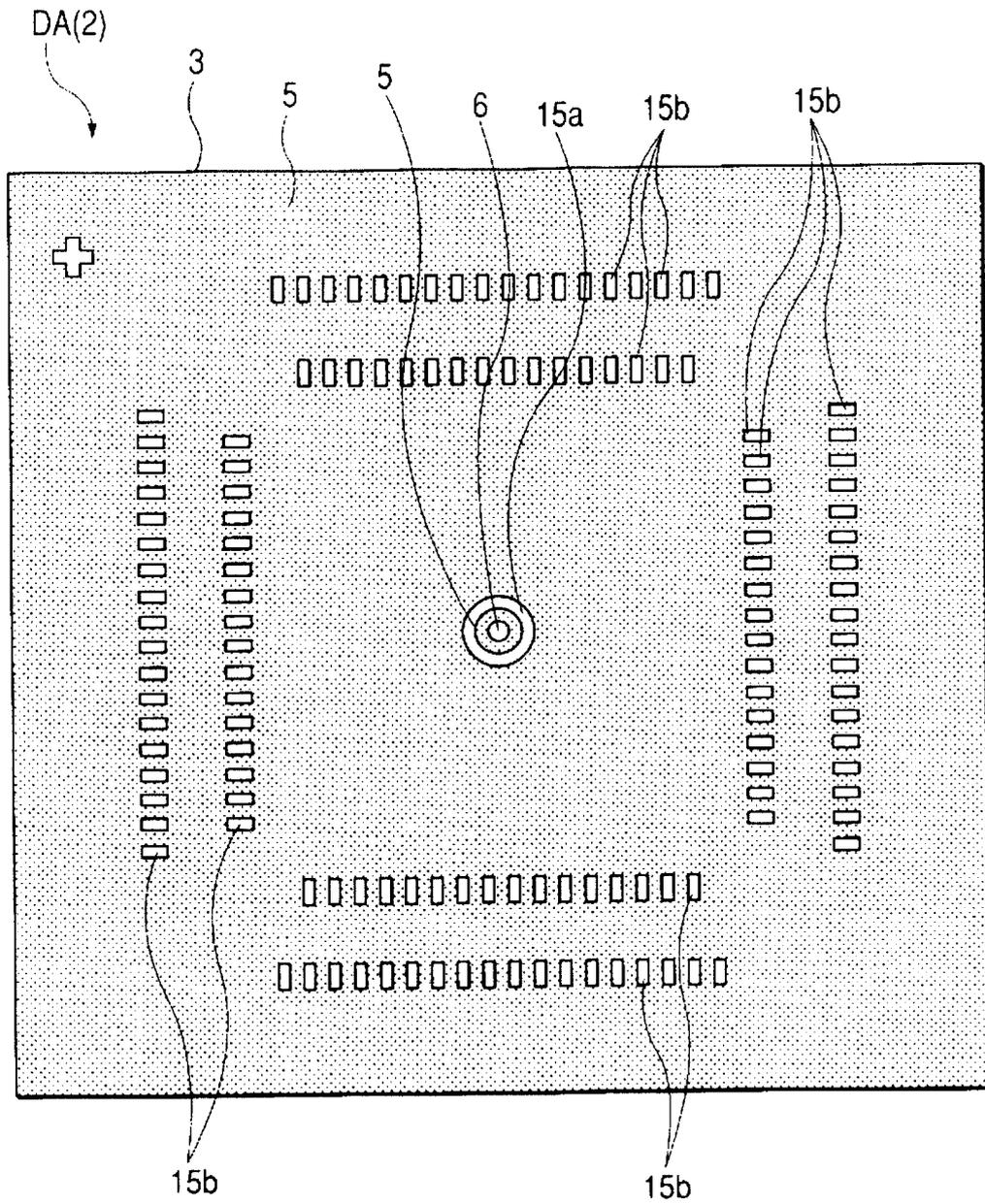


图 13



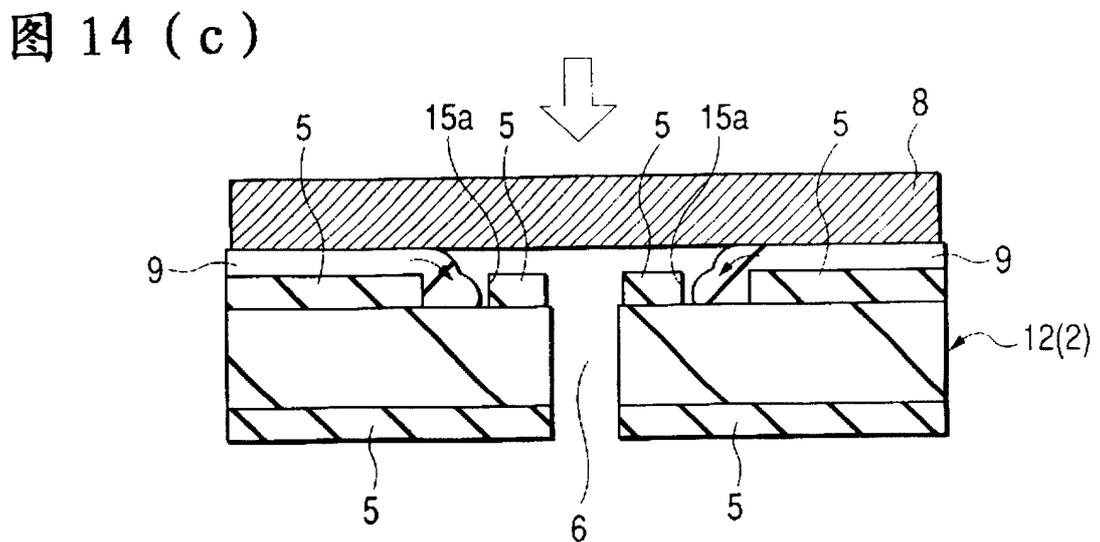
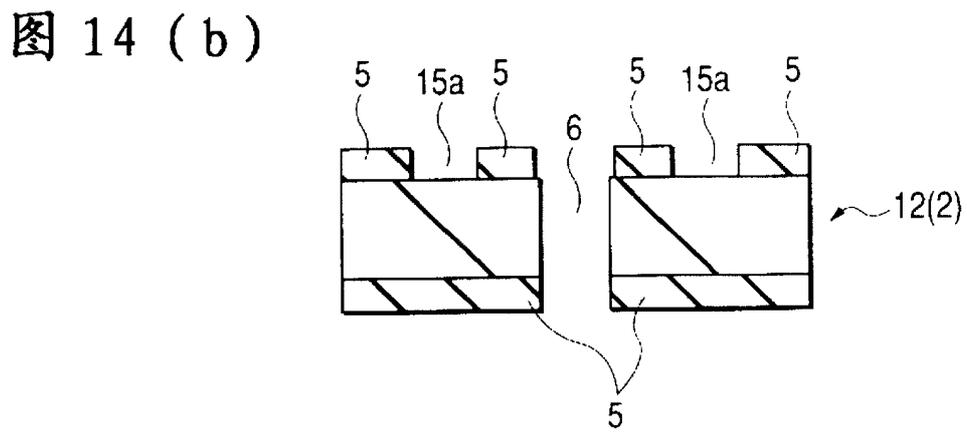
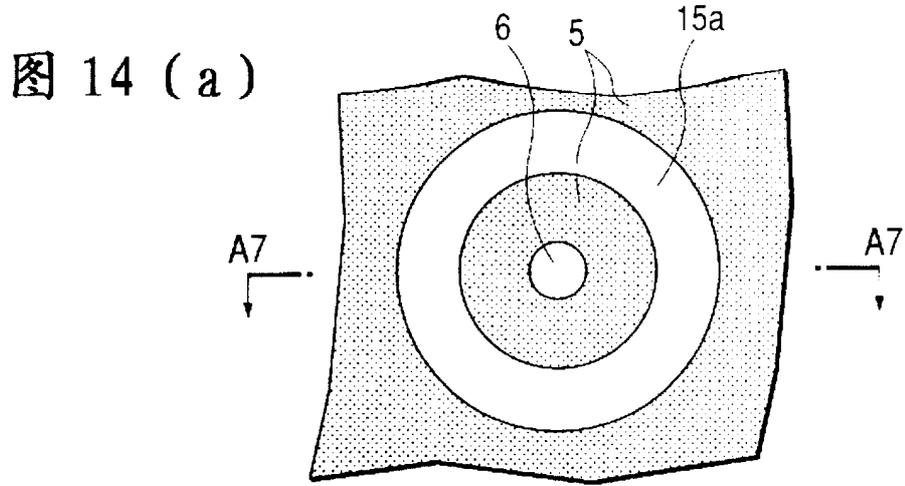
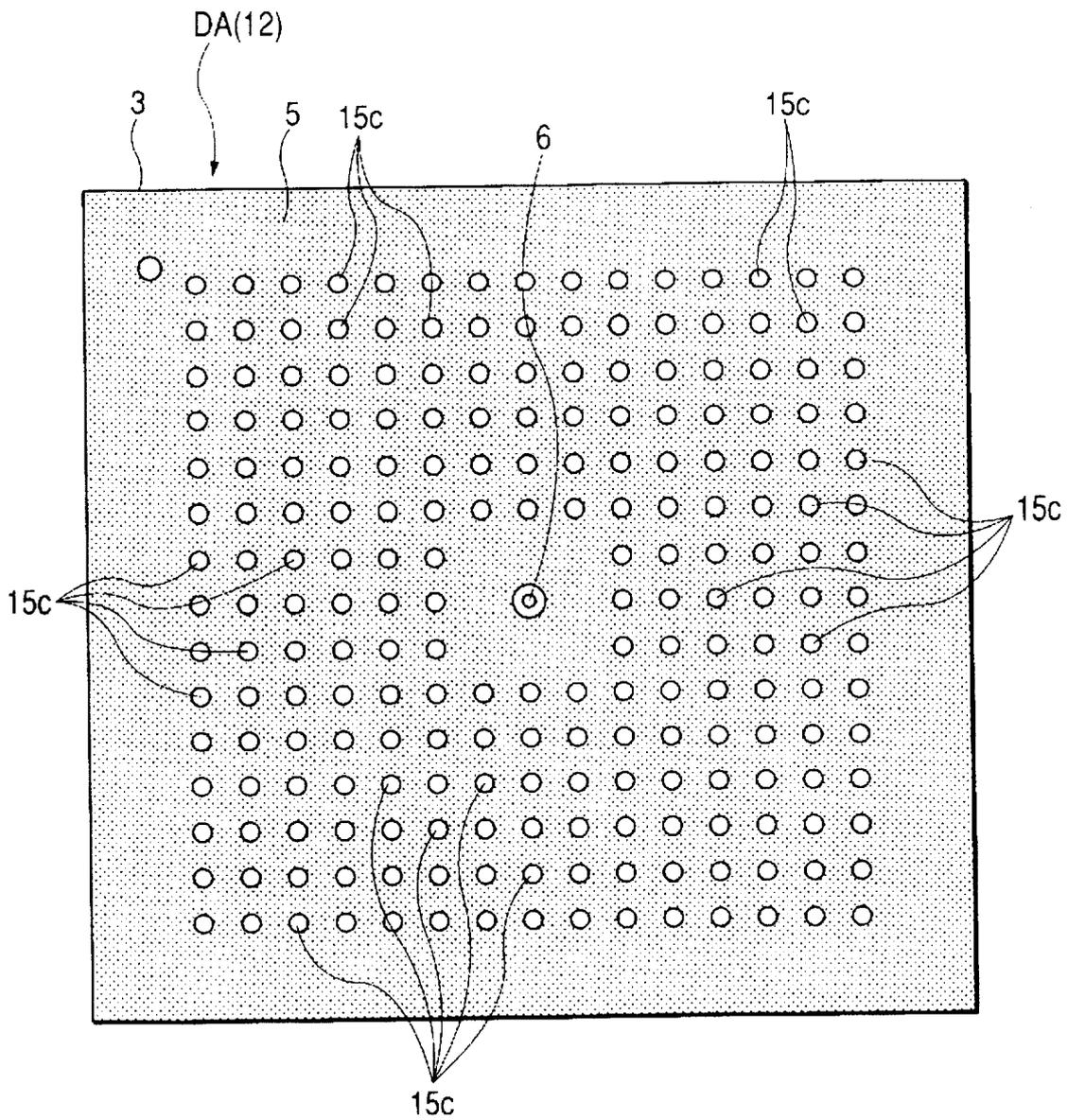


图 15



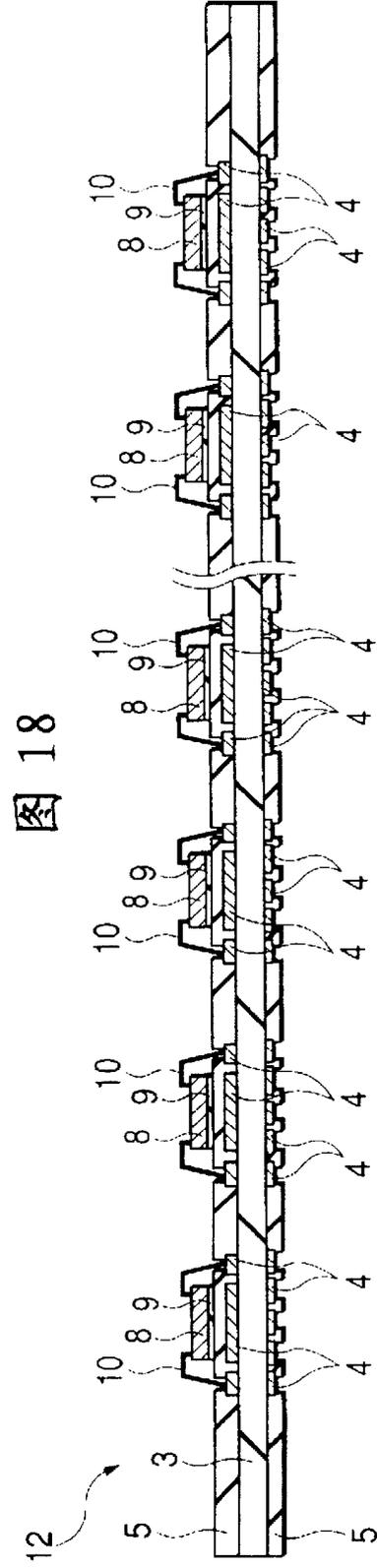
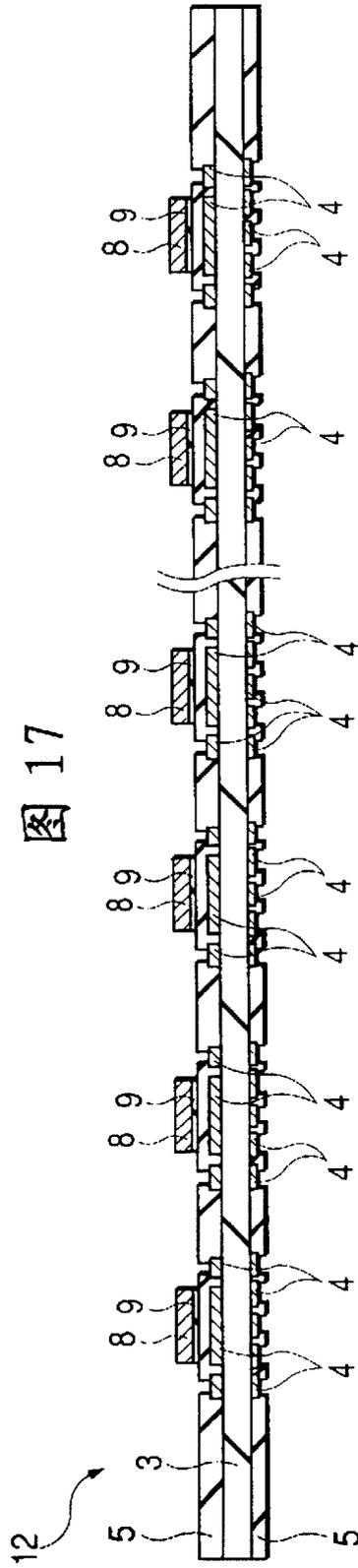
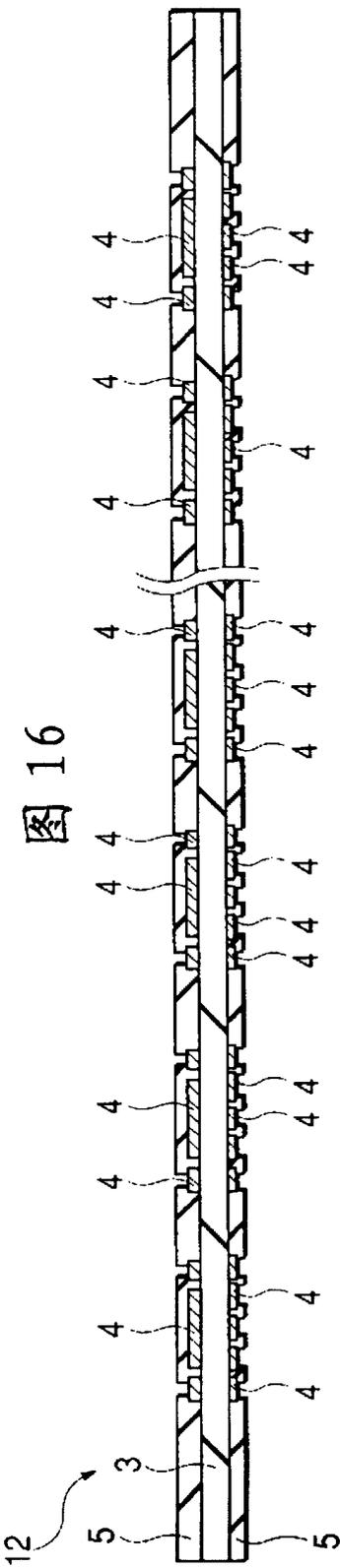


图 19

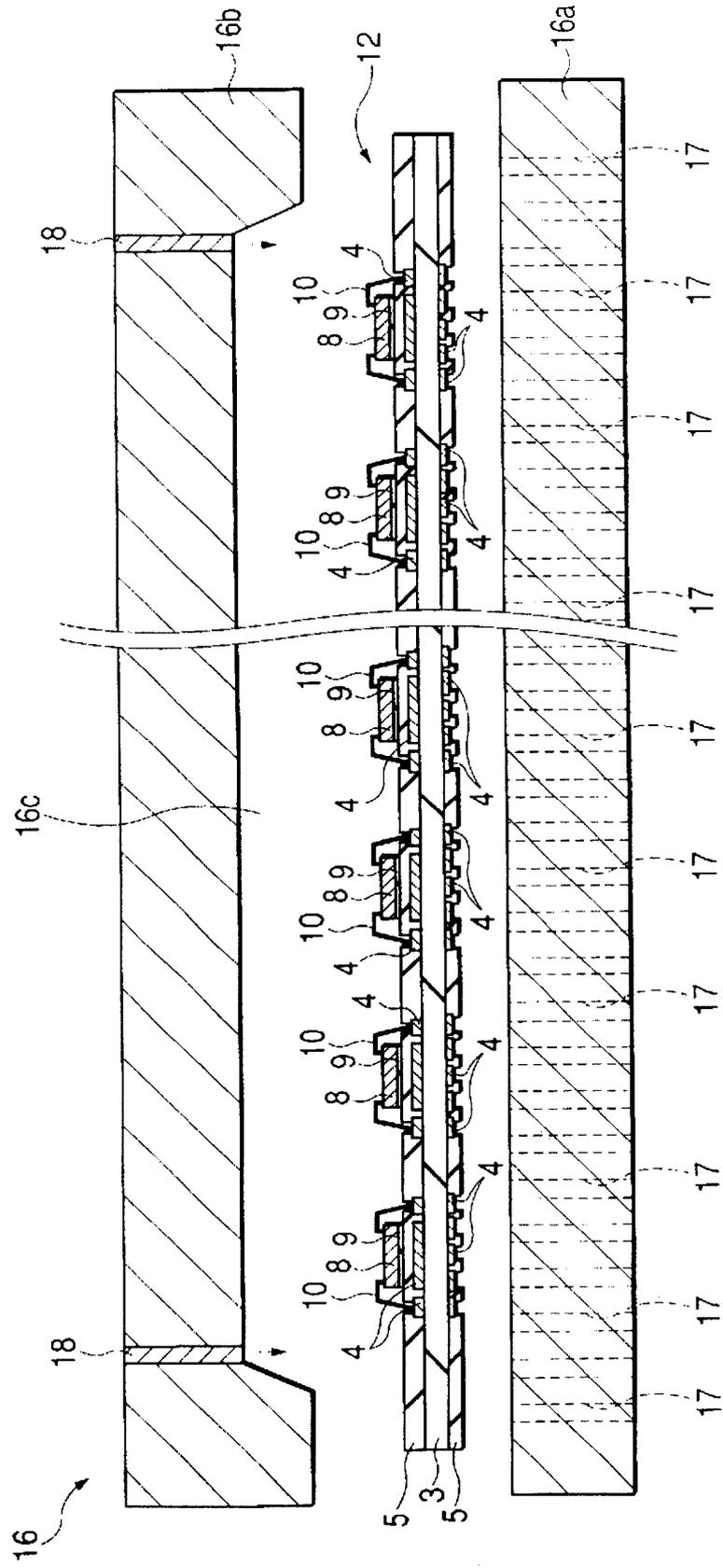


图 20

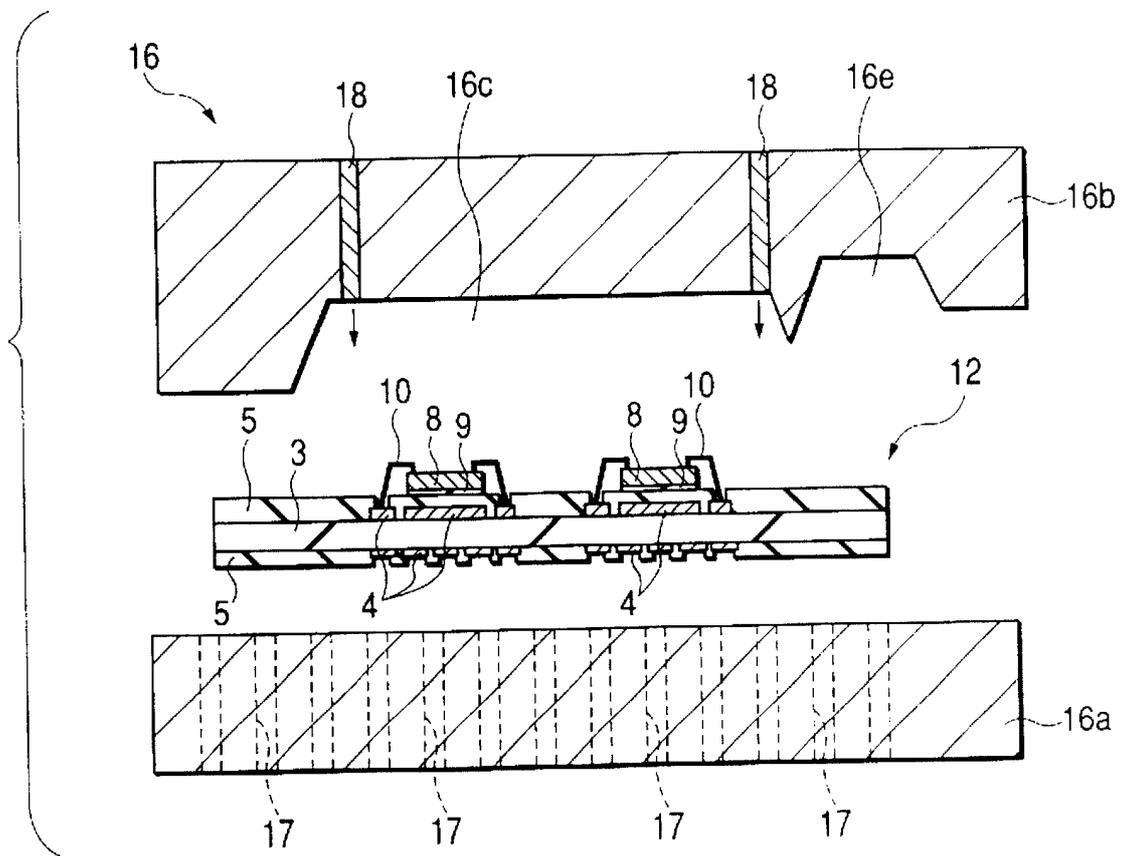


图 21

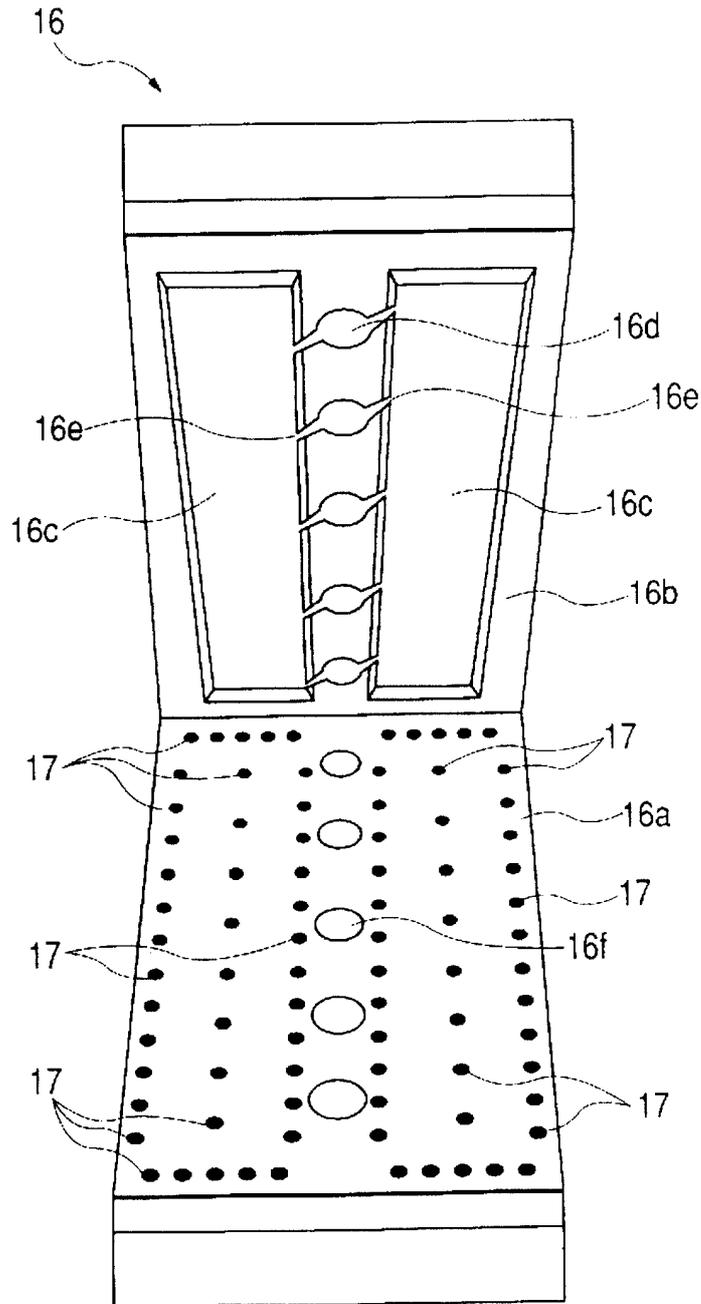


图 22

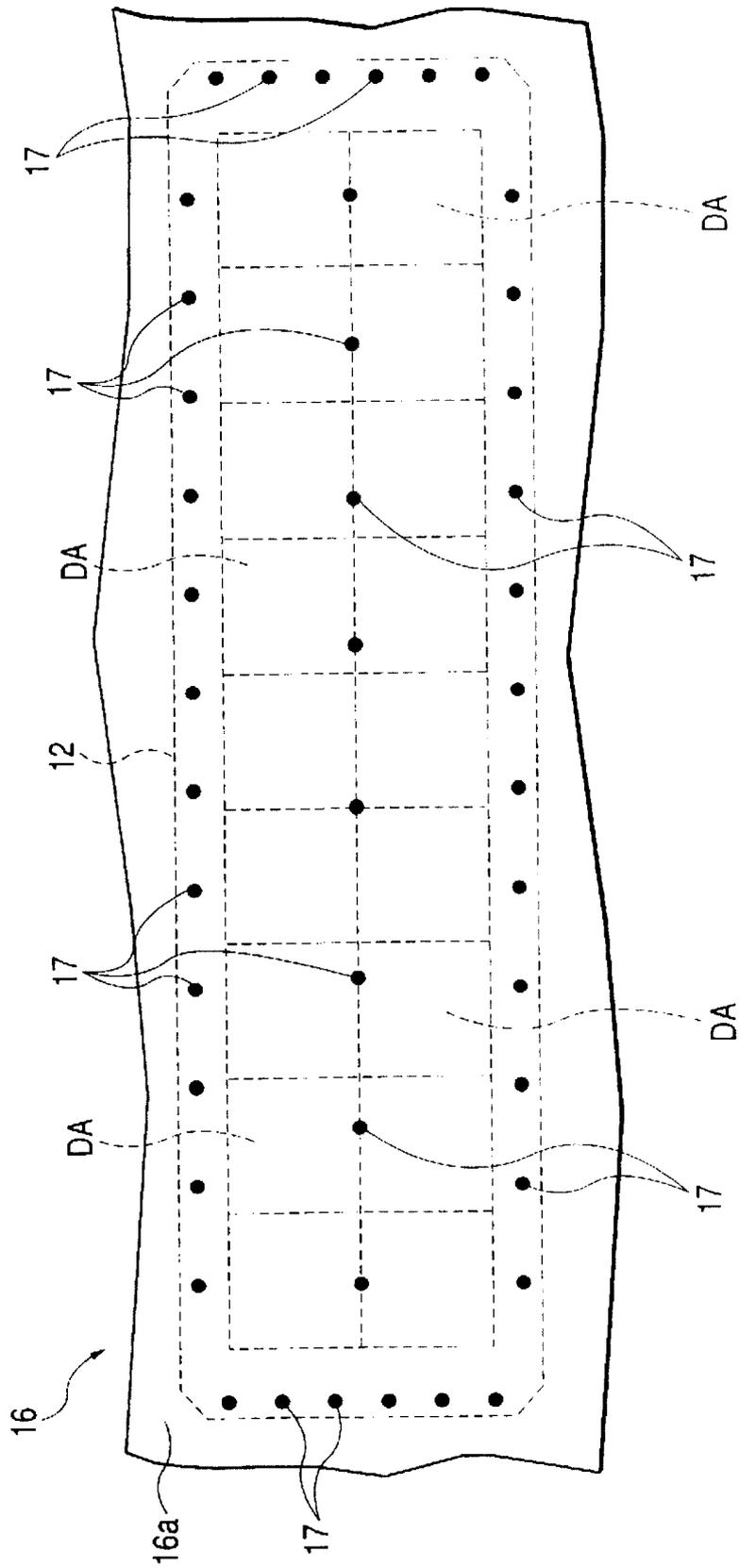


图 23

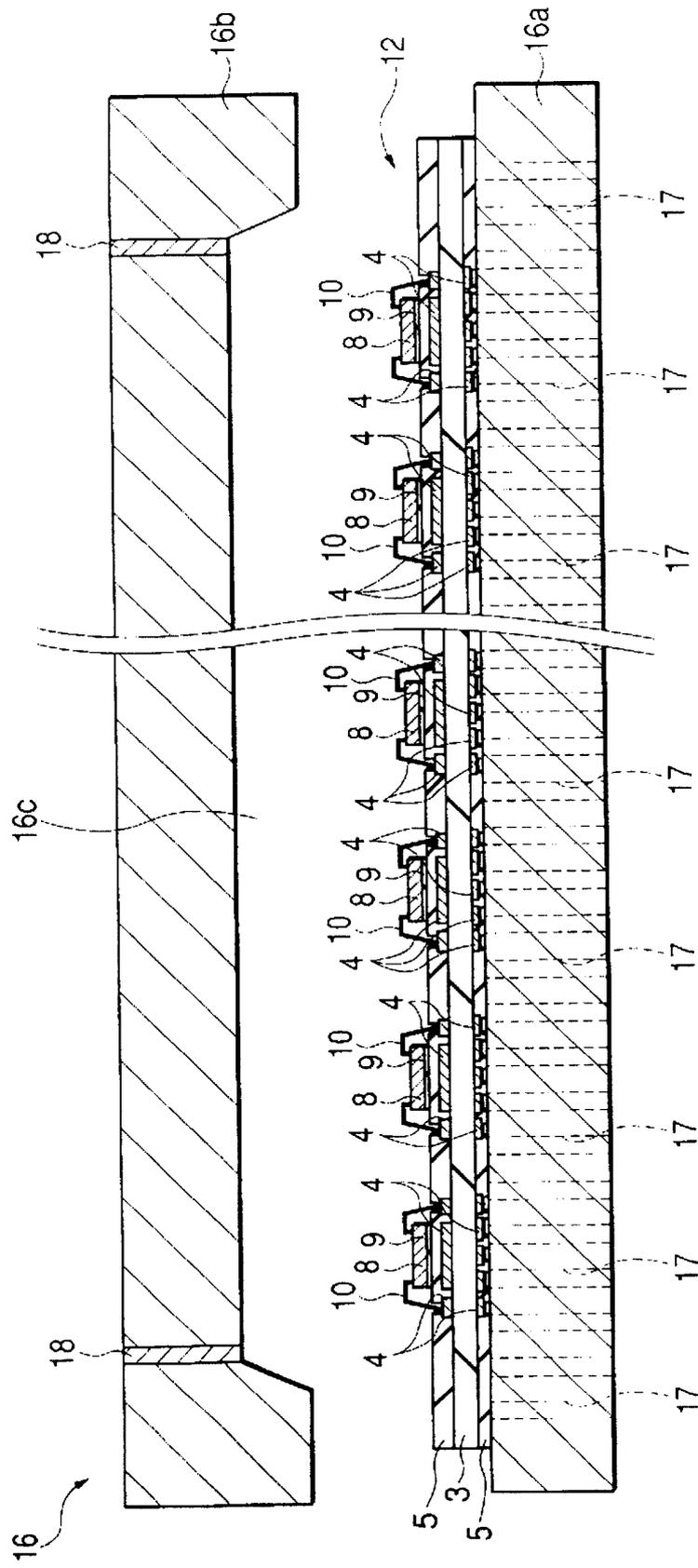


图 24

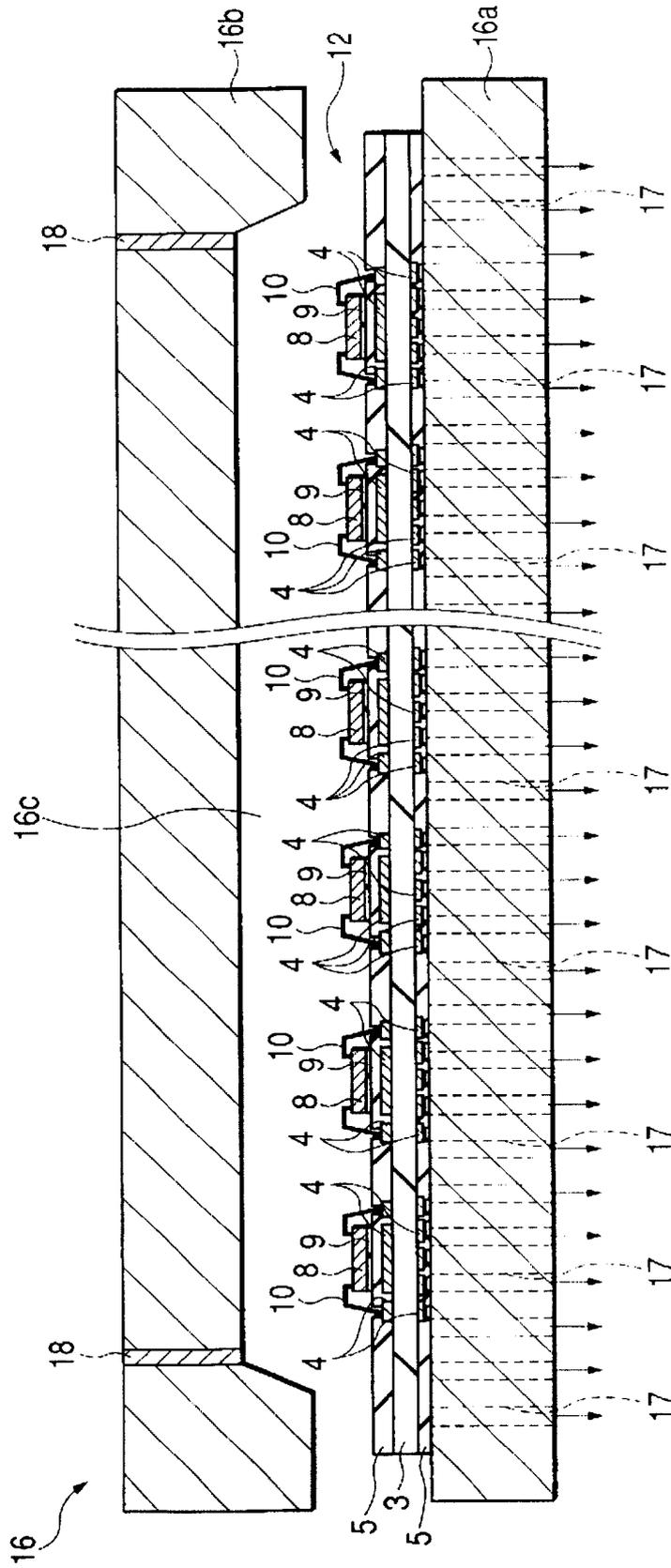


图 25

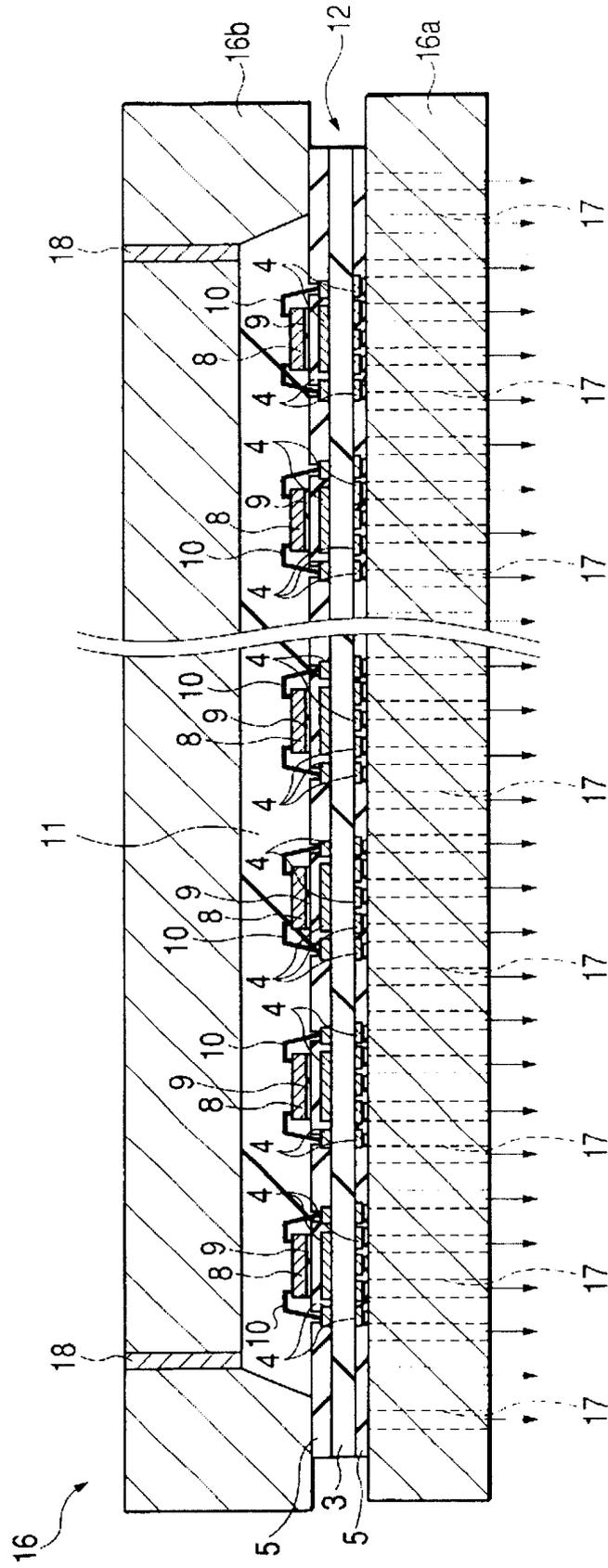


图 26

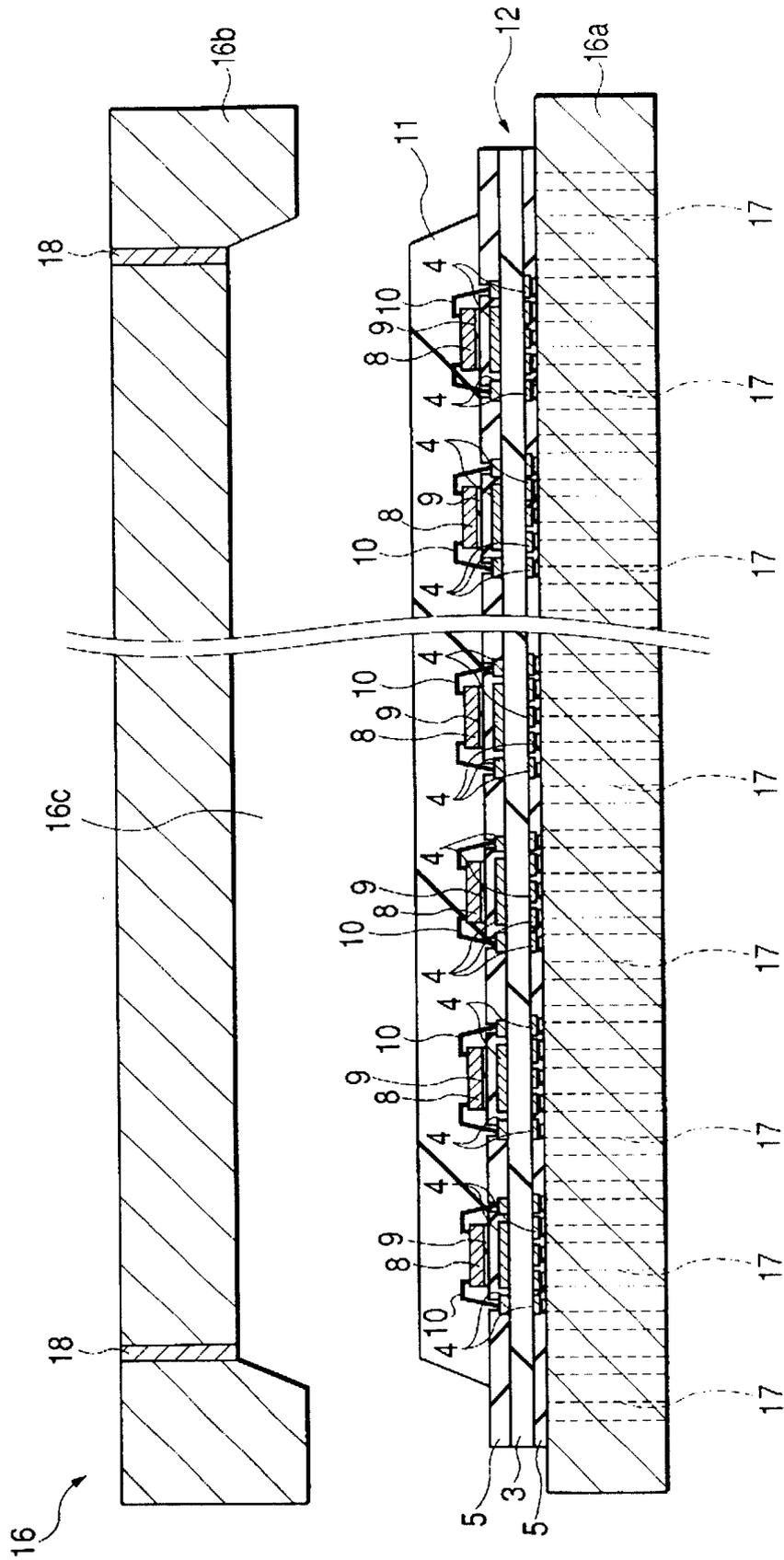


图 27

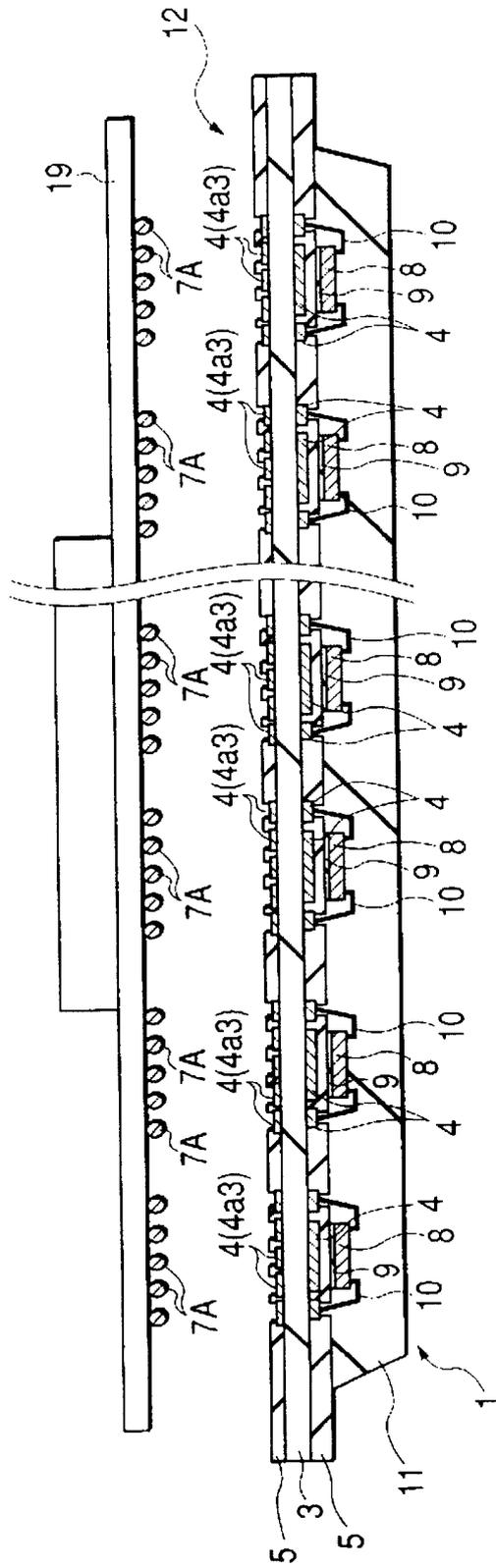


图 28

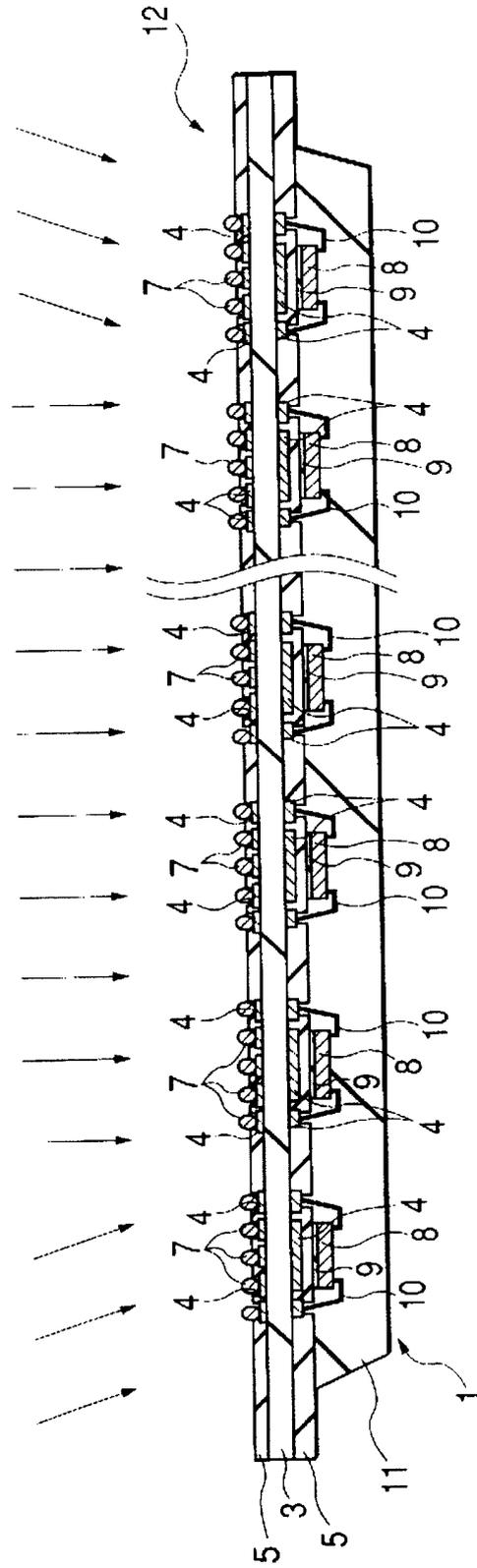


图 29

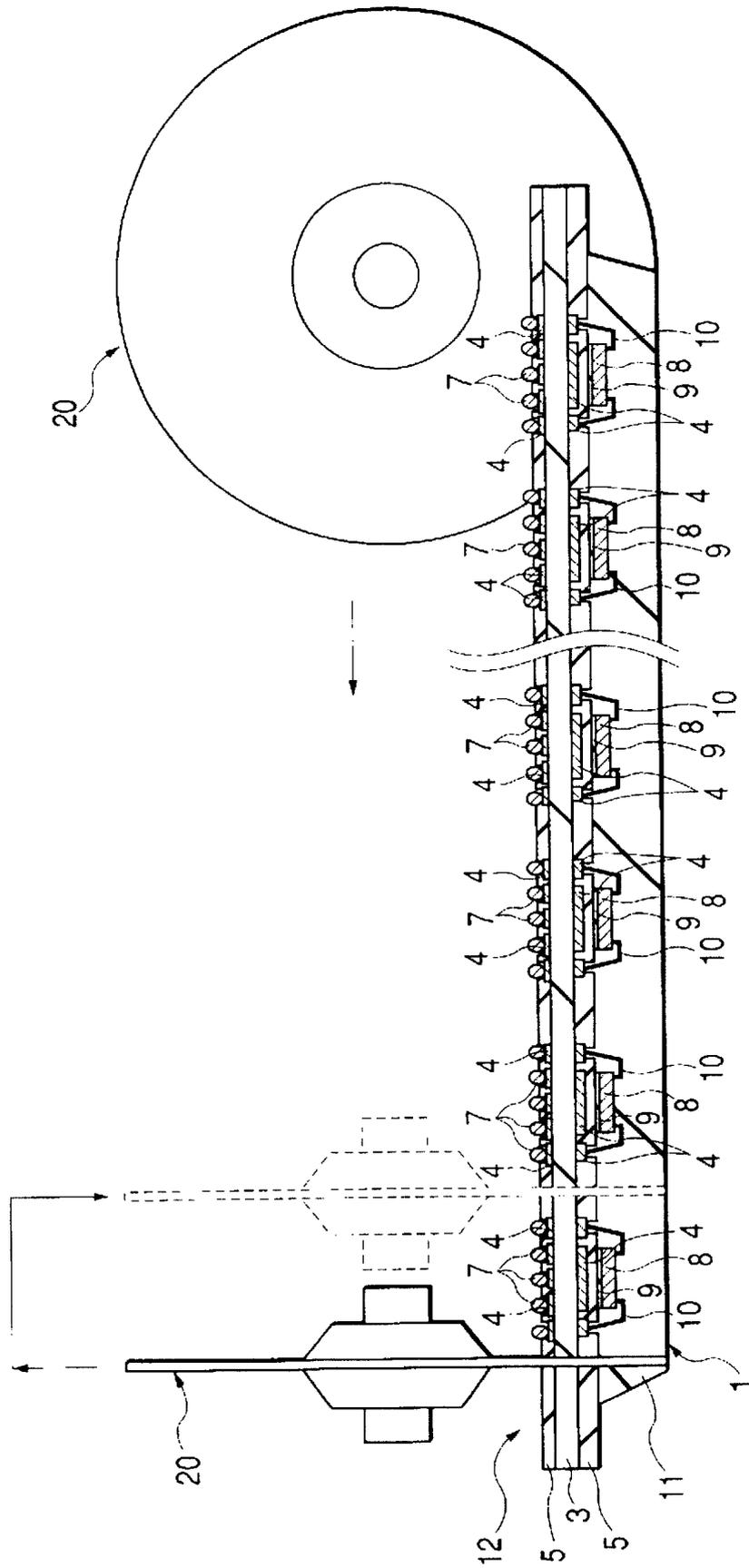


图 30

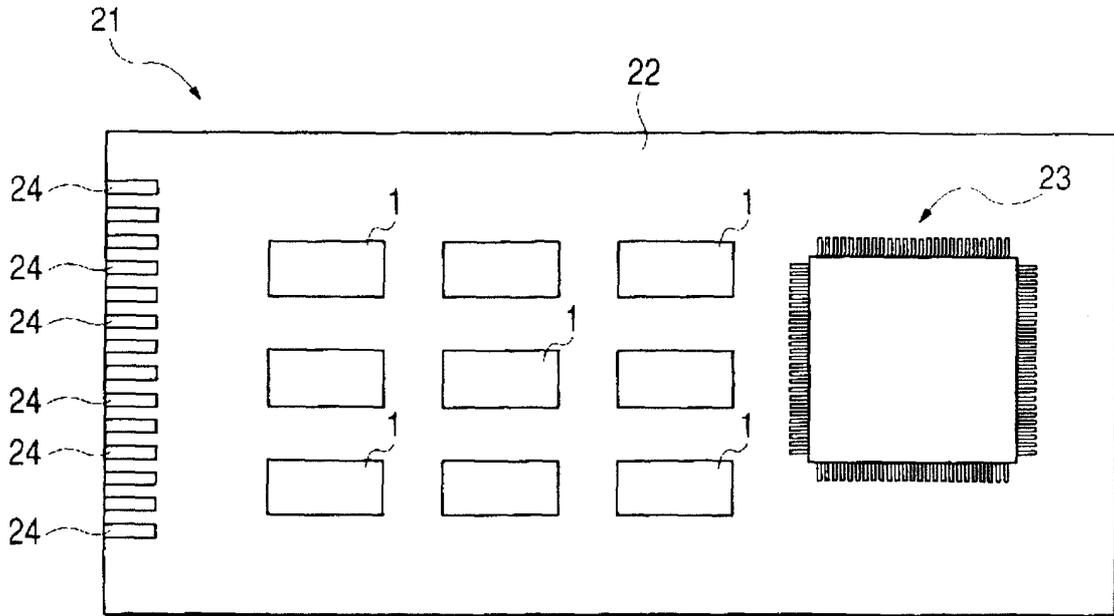


图 31

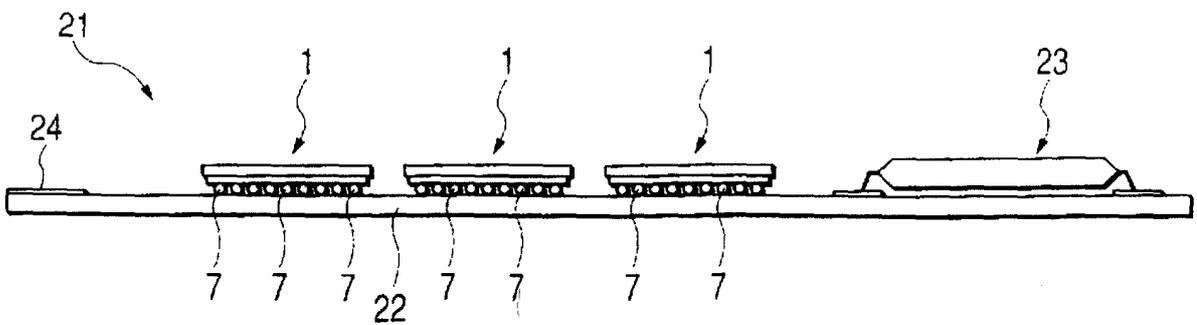


图 32

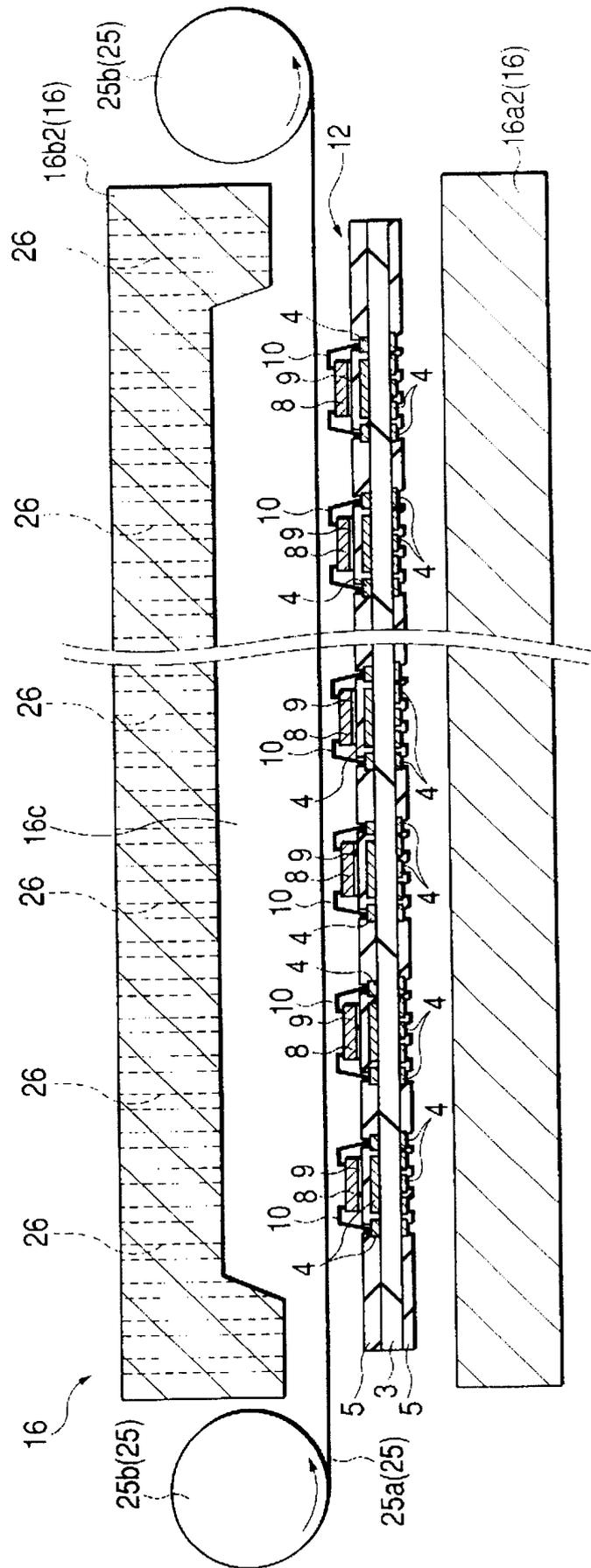


图 33

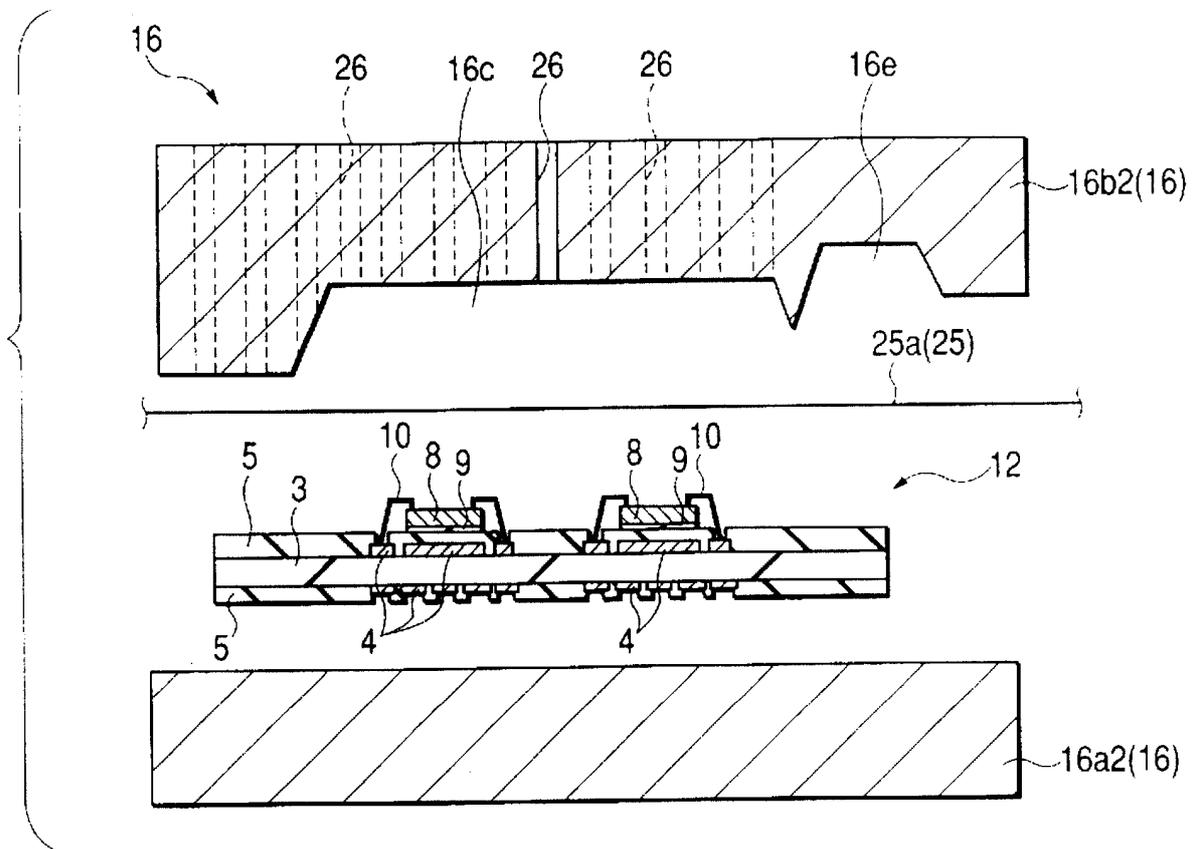


图 35

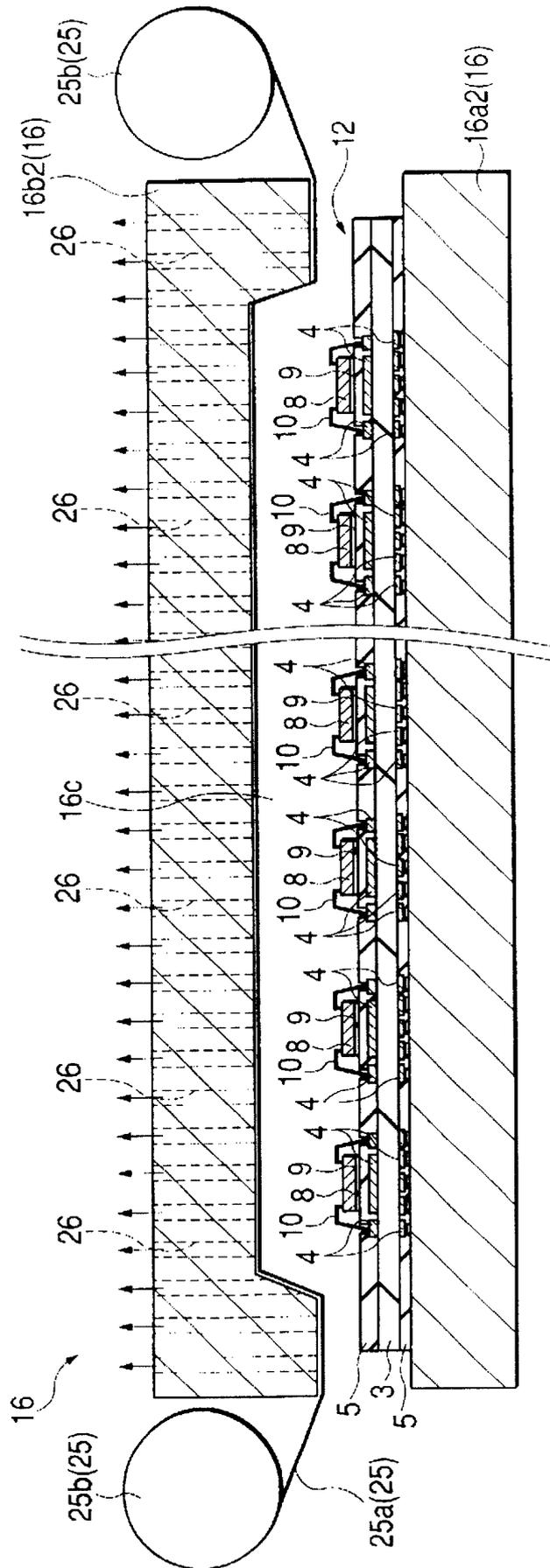


图 37

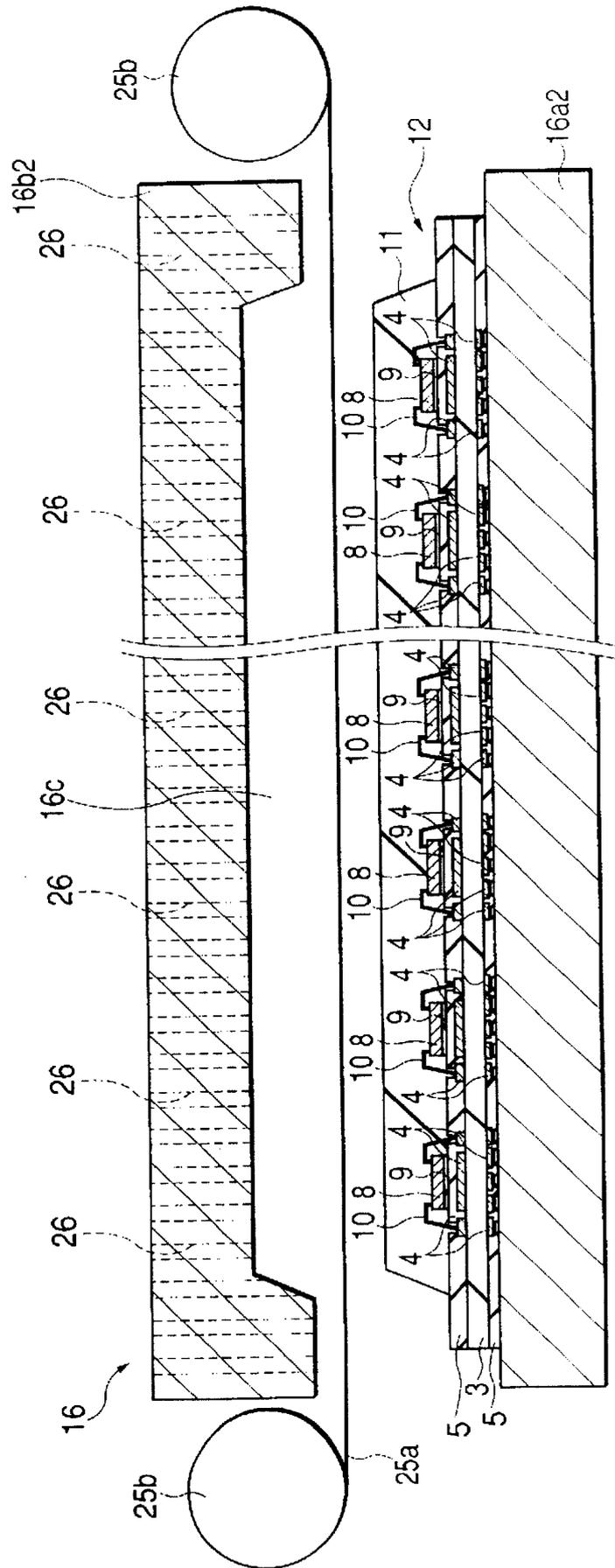


图 38

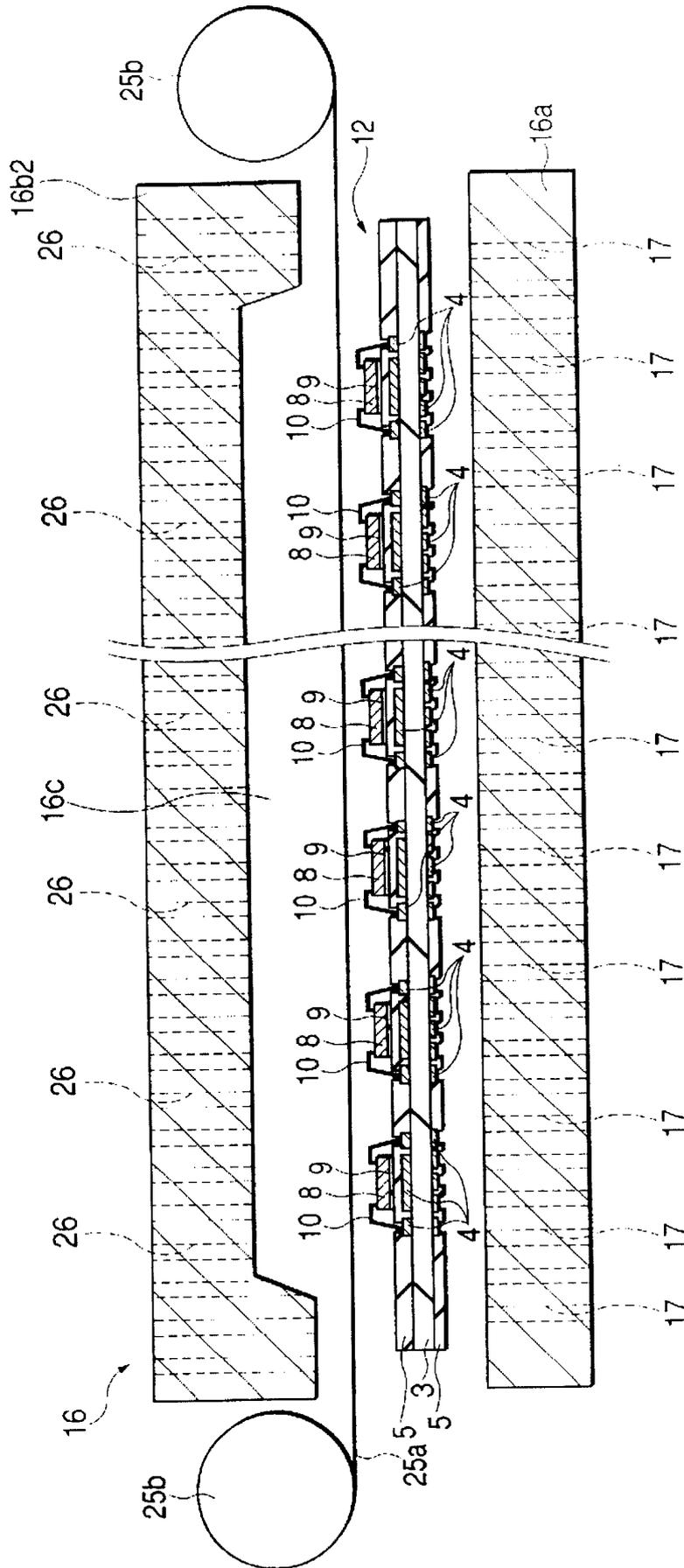


图 39

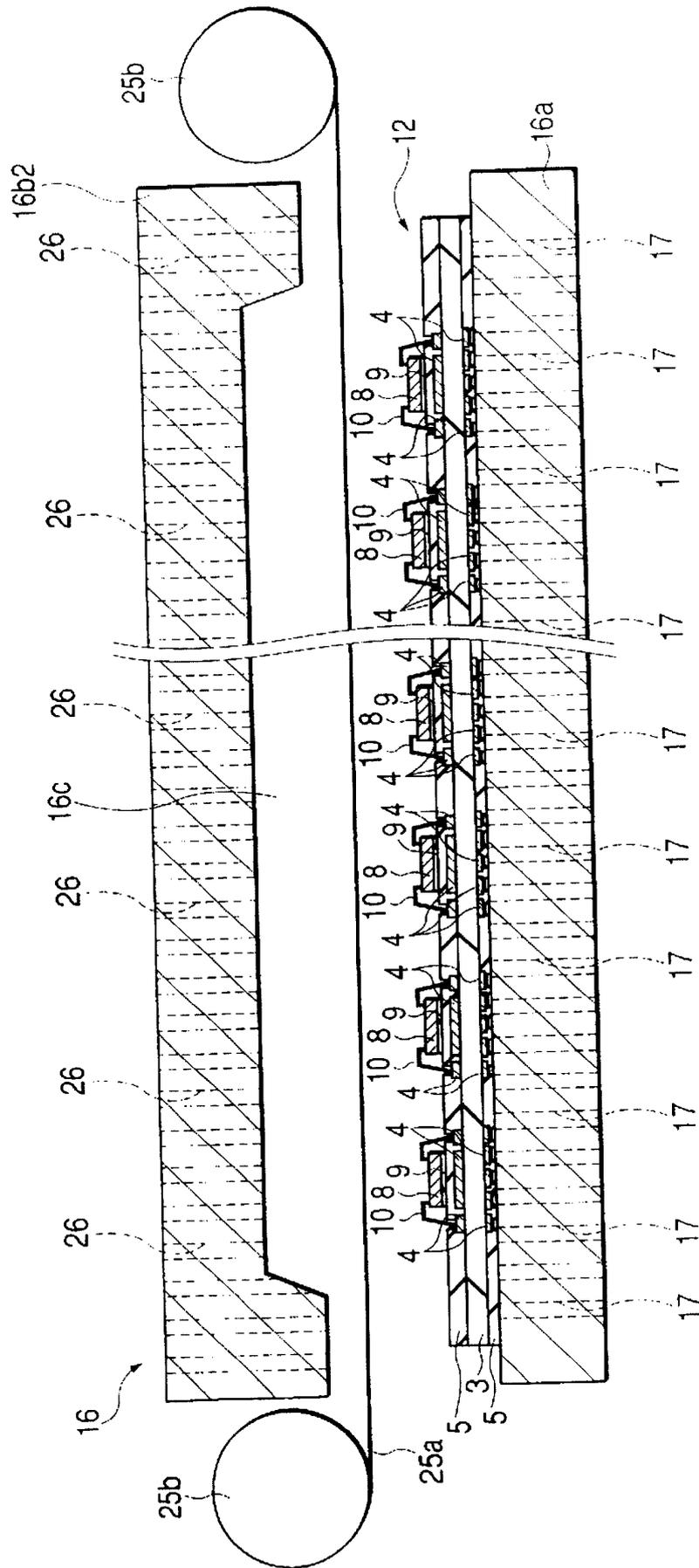


图 40

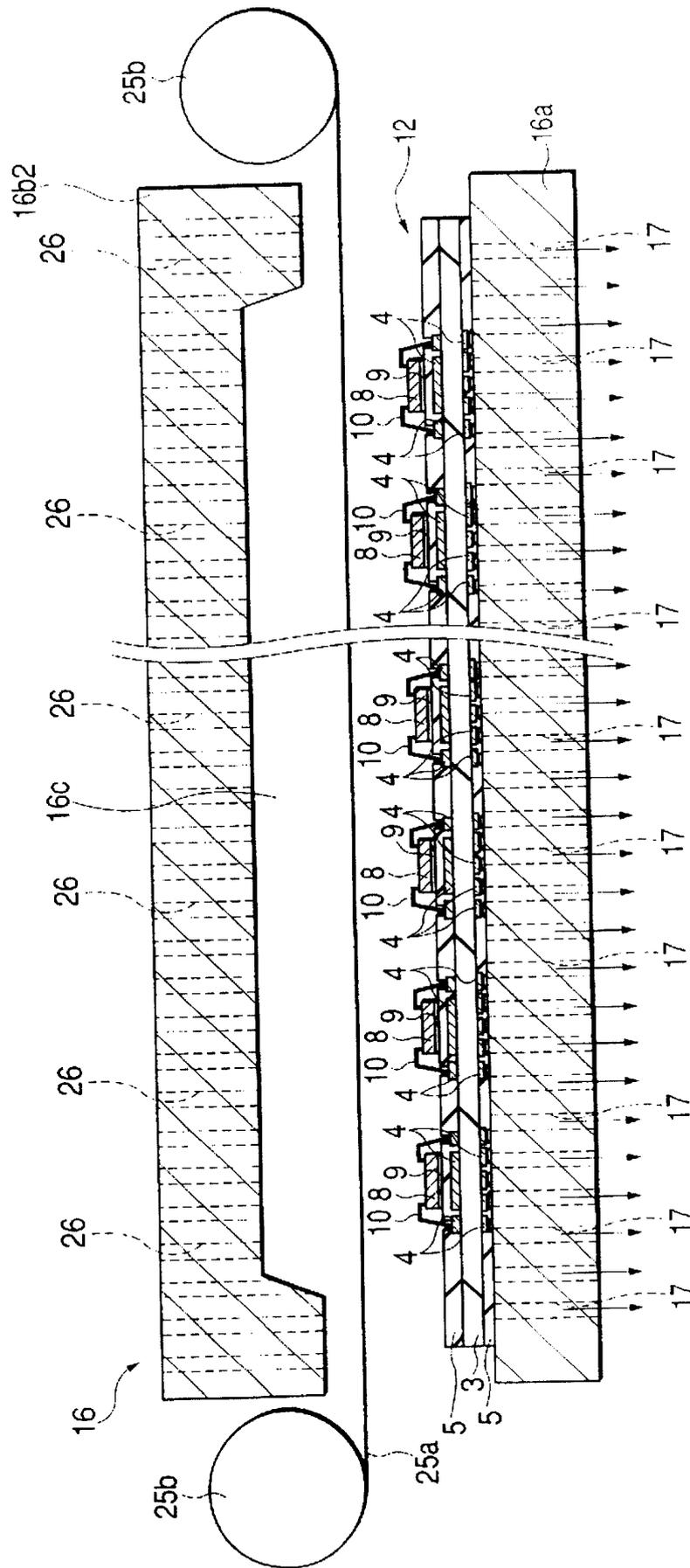


图 41

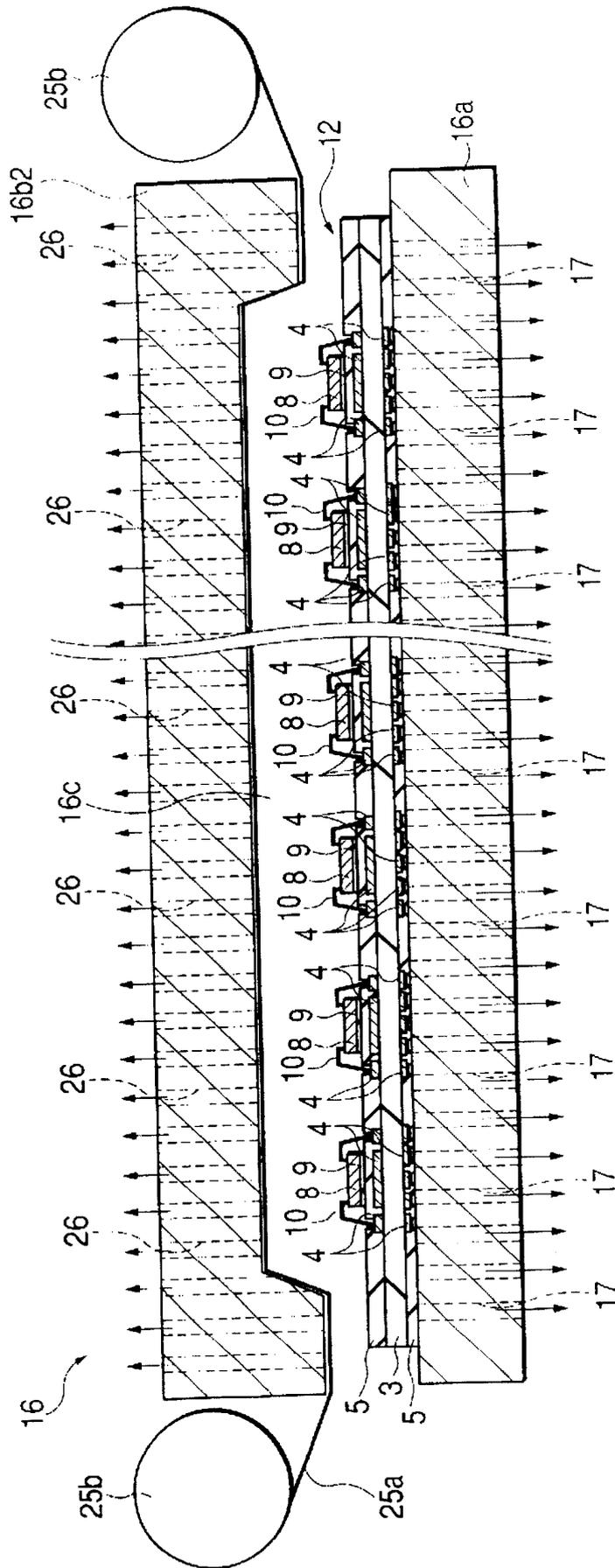


图 42

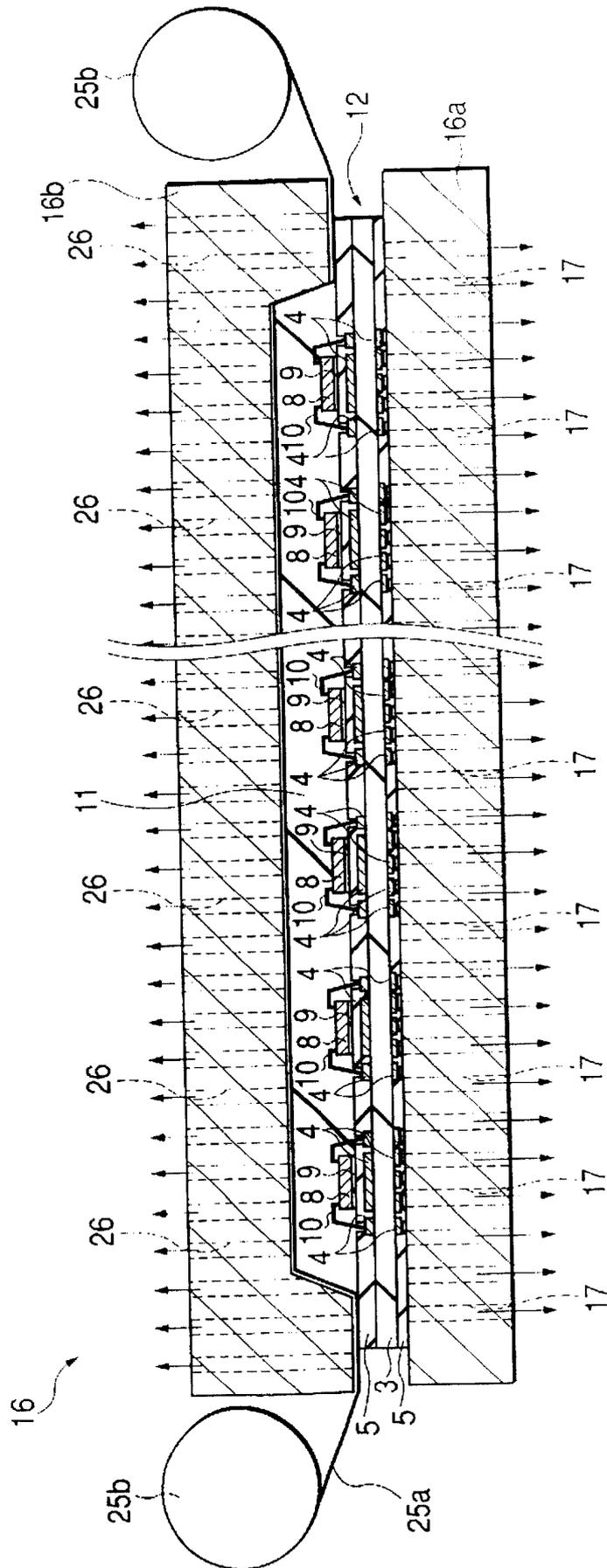


图 43

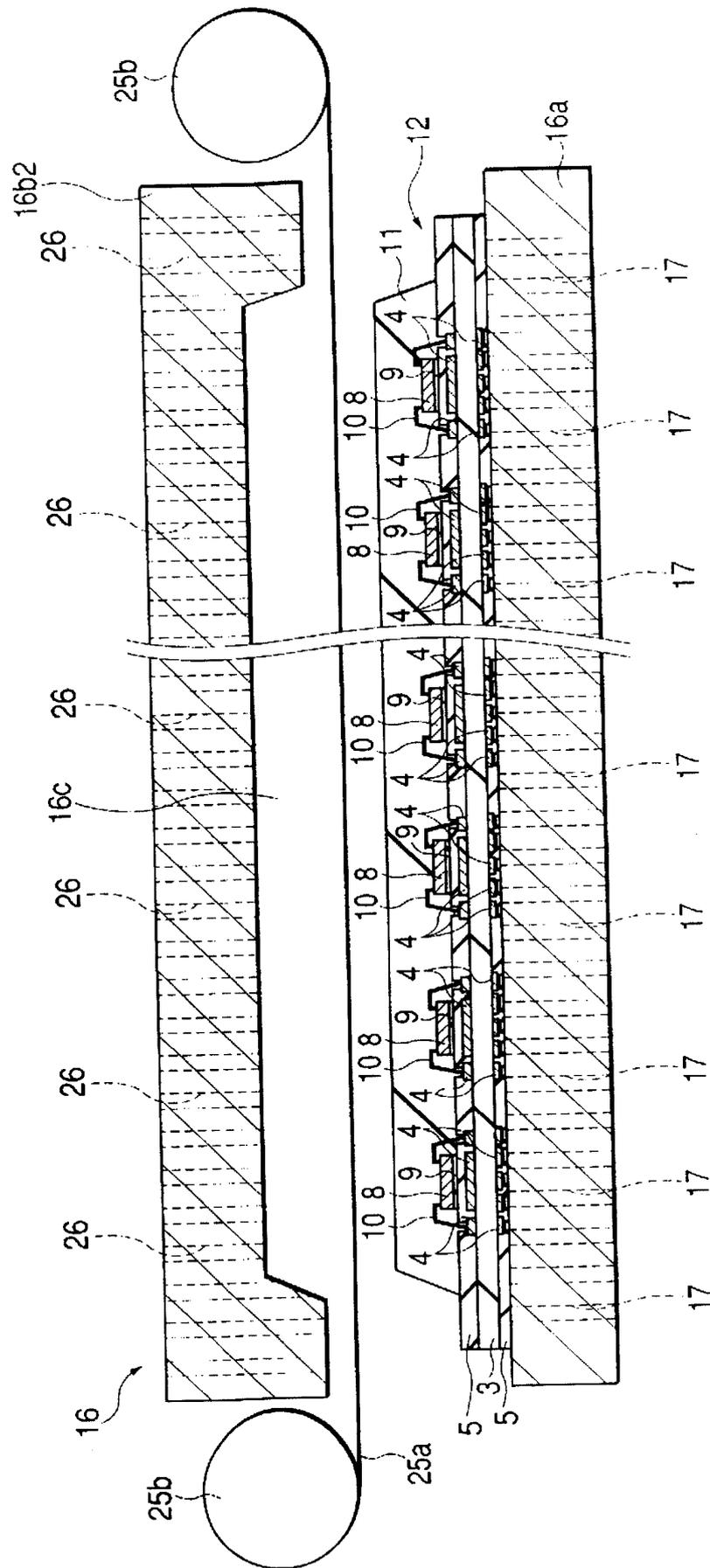


图 44

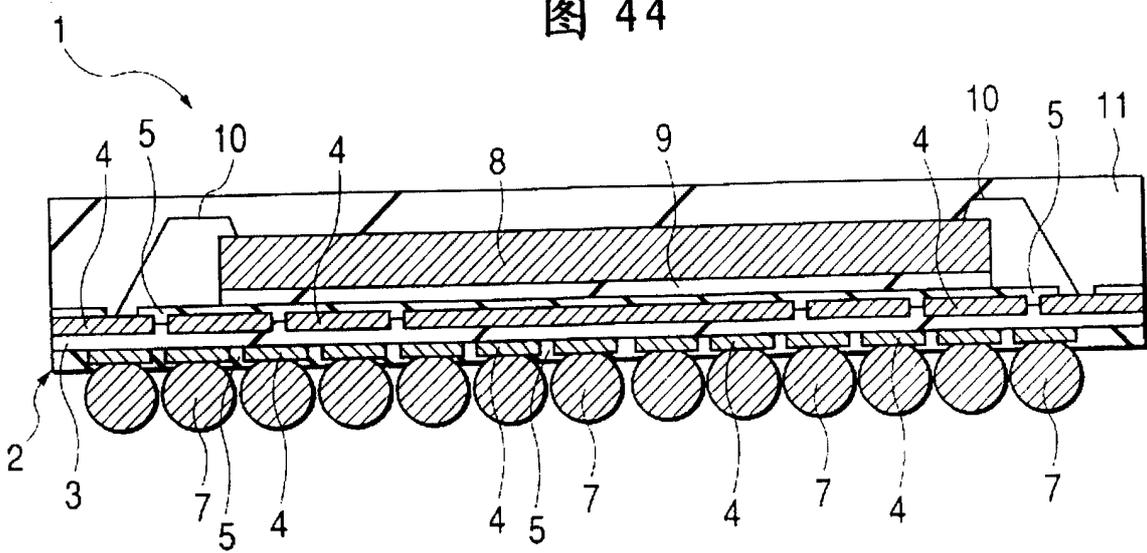


图 45

