



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2009년01월23일  
(11) 등록번호 10-0880072  
(24) 등록일자 2009년01월15일

(51) Int. Cl.<sup>9</sup>  
G02F 1/136 (2006.01)  
(21) 출원번호 10-2007-0040959  
(22) 출원일자 2007년04월26일  
심사청구일자 2007년04월26일  
(65) 공개번호 10-2007-0105921  
(43) 공개일자 2007년10월31일  
(30) 우선권주장  
JP-P-2006-00121642 2006년04월26일 일본(JP)  
(56) 선행기술조사문헌  
JP13013520 A\*  
JP16101615 A\*  
KR100111301 B1\*  
JP09203912 A\*  
\*는 심사관에 의하여 인용된 문헌

(73) 특허권자  
엡슨 이미징 디바이스 가부시카이가샤  
일본국 나가노켄 아즈미노시 도요시나 다자와 6925  
(72) 발명자  
히라바야시 유키야  
일본 나가노켄 아즈미노시 도요시나 다자와 6925  
엡슨 이미징디바이스 가부시카이가샤 내  
사토 다카시  
일본 나가노켄 아즈미노시 도요시나 다자와 6925  
엡슨 이미징디바이스 가부시카이가샤 내  
(74) 대리인  
김창세

전체 청구항 수 : 총 7 항

심사관 : 김기현

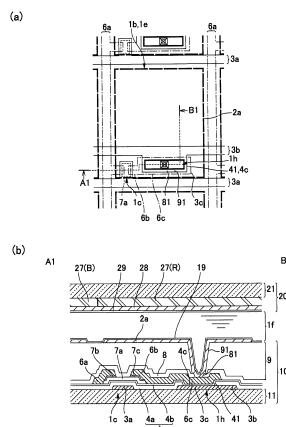
(54) 전기 광학 장치 및 전자 기기

(57) 요약

저장 용량의 유전체층을 얇게 한 경우에도, 하측 전극의 외주 단부와 상측 전극이 겹쳐 있는 부분에서의 내(耐)전압의 저하를 방지할 수 있는 전기 광학 장치 및 이 전기 광학 장치를 구비한 전자 기기를 제공하는 것을 과제로 한다.

액정 장치의 저장 용량을 구성하는 데 있어서, 게이트 절연층(4)의 두꺼운 하층측 게이트 절연층(4a)을 형성한 후, 건식 에칭에 의해 하측 전극(3c)과 겹치는 부분의 하층측 게이트 절연층(4a)을 제거한다. 다음으로, 얇은 상층측 게이트 절연층(4b)을 형성하고, 그 상층측 게이트 절연층(4b)을 저장 용량(1h)의 유전체층(4c)으로서 이용한다. 이 때, 적어도 하측 전극(3c)의 외주 단부와 상측 전극(6c)이 겹치는 부분으로서는 게이트 절연층(4)에 있어서 하층측 게이트 절연층(4a)과 상층측 게이트 절연층(4b)이 적층된 후막 부분으로 한다.

대표도 - 도3



## 특허청구의 범위

### 청구항 1

소자 기판 상의 복수의 화소 영역 각각에, 게이트 전극, 게이트 절연층 및 반도체층이 적층된 박막 트랜지스터와, 상기 박막 트랜지스터의 드레인 영역에 전기적으로 접속된 화소 전극과, 상기 게이트 절연층을 구성하는 재료를 이용한 절연층을 사이에 두고 대향하는 하측 전극 및 상측 전극을 구비한 저장 용량을 갖는 전기 광학 장치에 있어서,

상기 상측 전극은 상기 하측 전극의 외주 단부의 적어도 일부와 겹치도록 형성되고,

상기 게이트 절연층은 상기 하측 전극과 상기 상측 전극이 겹치는 영역의 내측 영역에 막 두께가 얇은 박막 부분을 갖고, 상기 하측 전극의 외주 단부와 상기 상측 전극이 겹치는 부분에는 상기 박막 부분보다 막 두께가 두꺼운 후막 부분을 가지며,

상기 하측 전극의 외주 단부와 상기 상측 전극이 겹치는 부분에 있어서, 상기 후막 부분에 있어서의 상기 하측 전극의 외주 단부로부터 내측을 향하는 폭 치수(w)는 상기 후막 부분의 막 두께(d) 이상인

것을 특징으로 하는 전기 광학 장치.

### 청구항 2

제 1 항에 있어서,

상기 박막 트랜지스터는 상기 게이트 전극, 상기 게이트 절연층 및 상기 반도체층이 하층측부터 순서대로 적층되어 있는 것을 특징으로 하는 전기 광학 장치.

### 청구항 3

제 1 항 또는 제 2 항에 있어서,

상기 게이트 절연층은 상기 하측 전극과 상기 상측 전극이 겹치는 영역 중, 상기 하측 전극의 외주 단부와 상기 상측 전극이 겹치는 부분 이외의 영역에는 상기 박막 부분을 갖고 있는 것을 특징으로 하는 전기 광학 장치.

### 청구항 4

삭제

### 청구항 5

제 1 항 또는 제 2 항에 있어서,

상기 게이트 절연층은 한 층 내지 복수 층의 절연막으로 이루어지는 하층측 게이트 절연층과, 한 층 내지 복수 층의 절연막으로 이루어지는 상층측 게이트 절연층을 구비하되,

상기 게이트 절연층에서는 상기 하층측 게이트 절연층의 제거 부분에 의해 상기 박막 부분이 구성되고, 상기 하층측 게이트 절연층과 상기 상층측 게이트 절연층이 적층된 부분에 의해 상기 후막 부분이 구성되어 있는 것

을 특징으로 하는 전기 광학 장치.

### 청구항 6

제 5 항에 있어서,

상기 하층측 게이트 절연층은 한 층의 절연막으로 구성되고,

상기 상층측 게이트 절연층은 한 층의 절연막으로 구성되어 있는 것

을 특징으로 하는 전기 광학 장치.

### 청구항 7

제 1 항 또는 제 2 항에 있어서,

상기 반도체층은 아몰퍼스(amorphous) 실리콘 막으로 이루어지는 것을 특징으로 하는 전기 광학 장치.

**청구항 8**

청구항 1 또는 청구항 2에 기재된 전기 광학 장치를 구비하고 있는 것을 특징으로 하는 전자 기기.

**명세서**

**발명의 상세한 설명**

**발명의 목적**

**종래기술의 문헌 정보**

- <31> 특허 문헌 1 : 일본국 특허 공개 평성 제 9-160070호 공보
- <32> 특허 문헌 2 : 일본 특허 공개 2005-217342호 공보
- <33> 특허 문헌 3 : 일본 특허 공개 2004-45811호 공보
- <34> 특허 문헌 4 : 특허 제 3106566호 공보

**발명이 속하는 기술 및 그 분야의 종래기술**

- <35> 본 발명은 소자 기판 상에 박막 트랜지스터 및 저장 용량을 구비한 전기 광학 장치 및 이 전기 광학 장치를 구비한 전자 기기에 관한 것이다.
- <36> 각종 전기 광학 장치 중, 액티브 매트릭스형 액정 장치에서는 예컨대, 도 16(a), (b)에 나타내는 소자 기판(10)과 대향 기판(도시하지 않음) 사이에 액정이 유지되어 있다. 소자 기판(10)에 있어서, 게이트선(3a)(주사선)과 소스선(6a)( 데이터선)의 교차에 대응하는 복수의 화소 영역(1e) 각각에는 화소 스위칭용 박막 트랜지스터(1c) 및 이 박막 트랜지스터(1c)의 드레인 영역에 전기적으로 접속된 화소 전극(2a)이 형성되어 있고, 소스선(6a)으로부터 박막 트랜지스터(1c)를 거쳐서 화소 전극(2a)에 인가된 화상 신호에 의해 액정의 배향을 화소마다 제어한다. 화소 영역(1e)에는 용량선(3b)의 일부를 하측 전극(3c)으로 하여, 드레인 전극(6b)의 연장 설치 부분을 상측 전극(6c)으로 하는 저장 용량(1h)이 형성되어 있고, 저장 용량(1h)에서는 박막 트랜지스터(1c)의 게이트 절연층(4)을 유전체층(4c)으로서 이용하는 일이 많다. 여기서, 저장 용량(1h)의 단위 면적당 용량값을 높이면, 전하의 유지 특성이 향상된다. 또한, 저장 용량(1h)의 단위 면적당 용량값을 높이면, 점유 면적을 축소하여, 화소 개구율을 높일 수 있다.
- <37> 그래서, 박막 트랜지스터에 있어서의 게이트 절연층의 내(耐)전압을 저하시키지 않고, 저장 용량의 단위 면적당 용량값을 높이는 구성으로서, 게이트 절연층을 두껍게 하고, 유전체층을 얇게 하는 것이 제안되어 있다.
- <38> 예컨대, 저장 용량의 유전체층으로서의 하측 전극에 대한 양극 산화막을 이용하고, 게이트 절연막에 있어서는 게이트 전극에 대한 양극 산화막과, 상측 전극의 상층에 형성된 실리콘 질화막의 적층막을 이용하는 것이 제안되어 있다(특허 문헌 1 참조).
- <39> 또한, 하프 톤(half-tone) 마스크를 이용한 에칭에 의해, 게이트 절연막의 일부에 대해서는 중간 위치까지 제거하여 박막 부분을 형성하고, 이 박막 부분을 저장 용량의 유전체층으로서 이용하는 것이 제안되어 있다(특허 문헌 2 참조).
- <40> 또한, 저장 용량의 유전체층을 형성한 후, 박막 트랜지스터의 형성 영역에서는 유전체층을 제거하고, 새롭게 게이트 절연막을 형성하는 것이 제안되어 있다(특허 문헌 3 참조).
- <41> 또한, 반도체층, 게이트 절연층 및 게이트 전극이 하층측부터 순서대로 적층된 탑 게이트 구조의 박막 트랜지스터를 형성하는 데 있어서, 반도체층에 대한 열산화에 의해 형성한 실리콘 산화막으로 이루어지는 제 1 절연막과 CVD 법에 의해 형성한 실리콘 질화막으로 이루어지는 제 2 절연막의 적층막을 게이트 절연층으로서 형성한 후, 게이트 절연층 중 채널 영역과 겹치는 영역을 레지스트 마스크로 덮고 제 2 절연막을 에칭에 의해 제거하여, 게이트 절연층에 있어서 막 두께를 얇게 한 부분을 저장 용량의 유전체층으로서 이용하는 구성이 제안되어 있다(특허 문헌 4 참조).

**발명이 이루고자 하는 기술적 과제**

- <42> 그러나, 상기 특허 문헌 중 어디에도, 저장 용량의 유전체층을 얇게 하는 구성은 제안되어 있지만, 저장 용량의 유전체층을 얇게 한 경우에 하측 전극의 외주 단부와 상측 전극이 겹쳐 있는 부분에서의 내전압의 저하에 대해서는 일체 배려되고 있지 않다. 즉, 하측 전극의 외주 단부에서는 그 단부 형상이 반영된 형상으로 유전체층이 형성되기 때문에, 하측 전극과 상측 전극 사이에 전압이 인가되었을 때, 유전체층에 균일한 전계가 형성되지 않고 하측 전극의 외주 단부에 전계가 집중된 결과, 내전압의 저하, 또한 절연 파괴(쇼트)가 발생하기 쉽다. 또한, 유전체층을 성막했을 때, 막의 성장 방향이나 성막 속도가 기초 형상의 영향을 받는 결과, 유전체층에 있어서 하측 전극의 외주 단부를 피복하는 부분의 막질이 불균일하게 되기 쉽고, 이러한 막질의 불균일에 의해서도 내전압의 저하가 발생하기 쉽다.
- <43> 이상의 문제점을 감안해서, 본 발명의 과제는 저장 용량의 유전체층을 얇게 한 경우에도, 하측 전극의 외주 단부와 상측 전극이 겹쳐 있는 부분에서의 내전압의 저하를 방지할 수 있는 전기 광학 장치 및 이 전기 광학 장치를 구비한 전자 기기를 제공하는 것에 있다.
- <44> 상기 과제를 해결하기 위해서, 본 발명에서는 소자 기판상의 복수의 각 화소 영역의 각각에 게이트 전극, 게이트 절연층 및 반도체층이 적층된 박막 트랜지스터와, 이 박막 트랜지스터의 드레인 영역에 전기적으로 접속된 화소 전극과, 상기 게이트 절연층을 구성하는 재료를 이용한 절연층을 사이에 두고 대향하는 하측 전극 및 상측 전극을 구비한 저장 용량을 갖는 전기 광학 장치에 있어서, 상기 상측 전극은 상기 하측 전극의 외주 단부의 적어도 일부와 겹치도록 형성되고, 상기 게이트 절연층은 상기 하측 전극과 상기 상측 전극이 겹치는 영역의 적어도 내측 영역에 막 두께가 얇은 박막 부분을 갖고, 적어도 상기 하측 전극의 외주 단부와 상기 상측 전극이 겹치는 부분에는 상기 박막 부분보다 막 두께가 두꺼운 후막 부분을 갖는 것을 특징으로 한다.
- <45> 본 발명에서는 하측 전극과 상측 전극이 겹치는 영역의 적어도 내측 영역에서 게이트 절연층이 막 두께가 얇은 박막 부분으로 되어 있기 때문에, 저장 용량의 단위 면적당 용량값이 높다. 또한, 저장 용량의 유전체층을 얇게 하는 한편, 하측 전극의 외주 단부와 상측 전극이 겹치는 부분에는 게이트 절연층이 두꺼운 부분(후막 부분)이 위치하고 있다. 이 때문에, 하측 전극의 외주 단부에 있어서는 단부 형상에 기인하는 전계 집중이 두꺼운 절연막에 의해서 완화되어, 내전압은 저하하지 않는다. 따라서, 하측 전극의 외주 단부에 있어서, 그 단부 형상이 반영된 형상으로 유전체층이 형성되어 있는 것에 기인하여, 하측 전극의 외주 단부와 상측 전극 사이에 전계가 집중한 경우에도, 이 부분의 유전체층이 두껍기 때문에, 내전압의 저하가 발생하지 않는다. 또한, 게이트 절연층을 형성했을 때, 막의 성장 방향이나 성막 속도가 기초 형상의 영향을 받는 결과, 유전체층에 있어서 하측 전극의 외주 단부를 피복하는 부분의 막질이 불균일하게 된 경우에도, 이 부분의 유전체층이 두껍기 때문에, 내전압의 저하나 절연 파괴(쇼트)가 발생하지 않는다. 특히, 유전체층을 얇게 하면 할수록, 상기한 불량은 발생하기 쉽게 되지만, 본 발명에 의하면, 유전체층을 얇게 하더라도 상기한 불량의 발생을 회피할 수 있다. 이 때문에, 본 발명에 의하면, 저장 용량의 유전체층을 얇게 하여 단위 면적당 용량값을 높인 경우에도, 내전압이 높은 저장 용량을 구성할 수 있다.
- <46> 본 발명에 있어서, 상기 박막 트랜지스터는 상기 게이트 전극, 상기 게이트 절연층 및 상기 반도체층이 하층측부터 순서대로 적층되어 있는 구성을 채용할 수 있다.
- <47> 본 발명에 있어서, 상기 게이트 절연층은 상기 하측 전극과 상기 상측 전극이 겹치는 영역 중, 상기 하측 전극의 외주 단부와 상기 상측 전극이 겹치는 부분 이외의 영역에는 상기 박막 부분을 갖고 있는 것이 바람직하다. 이와 같이 구성하면, 박막 부분을 확장할 수 있기 때문에, 단위 면적당 용량값을 높일 수 있다. 또한, 하측 전극의 외주 단부와 상측 전극이 겹치는 부분 이외의 영역에서는 가령 상측 전극의 외주 단부에서도, 단차에 기인하는 전계 집중이나 막질 열화가 발생하지 않기 때문에, 저장 용량의 내전압이 저하하는 일이 없다.
- <48> 본 발명에 있어서, 상기 하측 전극의 외주 단부와 상기 상측 전극이 겹치는 부분에 있어서, 상기 후막 부분은 상기 하측 전극의 외주 단부로부터 내측을 향해서 상기 후막 부분의 막 두께 이상의 폭 치수를 갖고 형성되어 있는 것이 바람직하다. 이러한 조건을 설정하면, 단차에 기인하는 전계 집중이나 막질 열화를 원인으로 하는 내전압의 저하를 확실히 방지할 수 있다. 또한, 이러한 조건을 만족하는 범위로 박막 부분을 확장하면, 단위 면적당 용량값을 높일 수 있다.
- <49> 본 발명에 있어서, 상기 게이트 절연층은 한 층 내지 복수 층의 절연막으로 이루어지는 하층측 게이트 절연층과, 한 층 내지 복수 층의 절연막으로 이루어지는 상층측 게이트 절연층을 구비하며, 상기 게이트 절연층에서는 상기 하층측 게이트 절연층의 제거 부분에 의해 상기 박막 부분이 구성되고, 상기 하층측 게이트 절연층

과 상기 상층측 게이트 절연층이 적층된 부분에 의해 상기 후막 부분이 구성되어 있는 것이 바람직하다. 이와 같이 구성하면, 상층측 게이트 절연층과 반도체층을 연속하여 성막할 수 있기 때문에, 게이트 절연층과 반도체층 사이에 청정한 계면을 구성할 수 있어, 박막 트랜지스터의 신뢰성을 향상할 수 있다. 또한, 게이트 절연층을 부분적으로 얇게 한 부분을 저장 용량의 유전체층으로서 이용하는 데 있어서, 하층측 게이트 절연층을 남기지 않고, 상층측 게이트 절연층만으로 유전체층을 구성하기 때문에, 게이트 절연층을 깊이 방향의 중간 위치까지 에칭하는 구성을 채용할 필요가 없다. 이 때문에, 에칭 깊이의 격차에 기인하는 저장 용량의 용량 격차를 방지할 수 있다. 또한, 하층측 게이트 절연층 및 상층측 게이트 절연층 중, 하층측 게이트 절연층을 제거하여, 상층측 게이트 절연층을 저장 용량의 유전체층으로서 이용하여, 상층측 게이트 절연층이라면, 하층측 게이트 절연층을 부분적으로 건식 에칭할 때의 정전기나 플라즈마에 노출되는 일이 없기 때문에, 상층측 게이트 절연층에서, 표면의 손상이나 결함이 발생하는 것을 방지할 수 있다. 또한, 상층측 게이트 절연층은 하층측 게이트 절연층을 부분적으로 습식 에칭했을 때의 에칭액에 접촉하는 일도 없기 때문에, 상층측 게이트 절연층에는 핀홀도 발생하지 않는다. 이 때문에, 저장 용량의 내전압이 저하하는 것을 방지할 수 있다.

- <50> 본 발명에 있어서, 상기 하층측 게이트 절연층은 한 층의 절연막으로 구성되고, 상기 상층측 게이트 절연층은 한 층의 절연막으로 구성되어 있는 구성을 채용할 수 있다.
- <51> 본 발명에 있어서, 상기 반도체층은 예컨대 아몰퍼스(amorphous) 실리콘막으로 이루어진다.
- <52> 본 발명에 관한 전기 광학 장치는 휴대 전화기나 모바일 컴퓨터 등의 전자 기기에 이용할 수 있다.

**발명의 구성 및 작용**

<53> 이하, 도면을 참조하여, 본 발명의 실시예를 설명한다. 또한, 이하의 설명에 이용한 각 도면에서는 각 층이나 각 부재를 도면 상에서 인식 가능한 정도의 크기로 하기 위해서, 각 층이나 각 부재마다 축척을 다르게 했다. 또한, 이하의 설명에서는 도 16에 나타난 예와의 대응이 명확하게 되도록, 공통하는 기능을 갖는 부분에는 동일한 부호를 부여하여 설명한다.

<54> (실시예 1)

<55> (액정 장치의 전체 구성)

<56> 도 1(a), (b)는 각각 액정 장치(전기 광학 장치)를 그 위에 형성된 각 구성 요소와 함께 대향 기관 측에서 본 평면도 및 그 H-H' 단면도이다. 도 1(a), (b)에 있어서, 본 실시예의 액정 장치(1)는 TN(Twisted Nematic) 모드, ECB(Electrically Controlled Birefringence) 모드, 혹은 VAN(Vertical Aligned Nematic) 모드의 투과형인 액티브 매트릭스형 액정 장치이다. 이 액정 장치(1)에서는 밀봉재(22)를 통해서 소자 기관(10)과 대향 기관(20)이 서로 붙어있으며, 그 사이에 액정(1f)이 유지되어 있다. 소자 기관(10)에 있어서, 밀봉재(22)의 외측에 위치하는 단부 영역에는 데이터선 구동용 IC(60) 및 주사선 구동용 IC(30)가 COG(Chip On Glass) 실장되어 있음과 아울러, 기관변을 따라서 실장 단자(12)가 형성되어 있다. 밀봉재(22)는 소자 기관(10)과 대향 기관(20)을 그들 주변에서 접합하기 위한 광경화 수지나 열경화성 수지 등으로 이루어지는 접착제이며, 양 기관 사이의 거리를 소정값으로 하기 위한 유리 섬유 혹은 유리 비드 등의 갭 재료가 배합되어 있다. 밀봉재(22)에는 그 중간의 끊긴 부분에 의해서 액정 주입구(25)가 형성되어, 액정(1f)을 주입한 후, 밀봉재(26)에 의해 밀봉되어 있다.

<57> 상세한 것은 후술하지만, 소자 기관(10)에는 박막 트랜지스터(1c)나 화소 전극(2a)이 매트릭스 형상으로 형성되고, 그 표면에 배향막(19)이 형성되어 있다. 대향 기관(20)에는 밀봉재(22)의 내측 영역에 차광성 재료로 이루어지는 액자(24)(도 1(b)에서는 도시를 생략)가 형성되고, 그 내측이 화상 표시 영역(1a)으로 되어 있다. 대향 기관(20)에는 도시를 생략하지만, 각 화소의 중첩의 경계 영역과 대향하는 영역에 블랙 매트릭스, 혹은 블랙 스트라이프 등으로 지칭될 수 있는 차광막이 형성되고, 그 상층측에는 대향 전극(28) 및 배향막(29)이 형성되어 있다. 도 1(b)에서는 도시를 생략하지만, 대향 기관(20)에 있어서, 소자 기관(10)의 각 화소에 대향하는 영역에는 RGB의 컬러 필터가 그 보호막과 함께 형성되어, 이에 의하여, 액정 장치(1)를 모바일 컴퓨터, 휴대전화기, 액정 텔레비전 등의 전자 기기의 컬러 표시 장치로서 이용할 수 있다.

<58> (소자 기관(10)의 구성)

<59> 도 2는 도 1에 나타내는 액정 장치의 소자 기관의 전기적인 구성을 나타내는 설명도이다. 도 2에 도시하는 바와 같이 소자 기관(10)에는 화상 표시 영역(1a)에 상당하는 영역에 복수의 소스선(6a)(데이터선) 및 게이트선(3a)(주사선)이 서로 교차하는 방향으로 형성되고, 이들 배선의 교차 부분에 대응하는 위치에 화소(1b)가 구성되어 있다. 게이트선(3a)은 주사선 구동용 IC(30)로부터 연장하고 있고, 소스선(6a)은 데이터선 구동용 IC(60)로부터 연장하고 있다.

0)로부터 연장하고 있다. 또한, 소자 기관(10)에는 액정(1f)의 구동을 제어하기 위한 화소 스위칭용 박막 트랜지스터(1c)가 각 화소(1b)에 형성되고, 박막 트랜지스터(1c)의 소스에는 소스선(6a)이 전기적으로 접속되며, 박막 트랜지스터(1c)의 게이트에는 게이트선(3a)이 전기적으로 접속되어 있다.

<60> 또한, 소자 기관(10)에는 게이트선(3a)과 병렬하여 용량선(3b)이 형성되어 있다. 본 실시예에서는 박막 트랜지스터(1c)에 대하여, 대향 기관(20)과의 사이에 구성된 액정 용량(1g)이 직렬로 접속되어 있음과 아울러, 액정 용량(1g)에 대하여 병렬로 저장 용량(1h)이 접속되어 있다. 여기서, 용량선(3b)은 주사선 구동용 IC(30)에 접속되어 있지만, 정전위로 유지되어 있다. 또한, 저장 용량(1h)은 전단의 게이트선(3a)과의 사이에 구성되는 경우가 있고, 이 경우, 용량선(3b)은 생략할 수 있다.

<61> 이와 같이 구성한 액정 장치(1)에서는 박막 트랜지스터(1c)를 일정 기간만 그 온 상태로 함으로써, 소스선(6a)으로부터 공급되는 화상 신호를 각 화소(1b)의 액정 용량(1g)에 소정 타이밍에 기입한다. 액정 용량(1g)에 기입된 소정 레벨의 화상 신호는 액정 용량(1g)에서 일정 기간 유지됨과 아울러, 저장 용량(1h)은 액정 용량(1g)에 유지된 화상 신호가 리크하는 것을 방지하고 있다.

<62> (각 화소의 구성)

<63> 도 3(a), (b)은 본 발명의 실시예 1에 관한 액정 장치의 화소 하나 분의 평면도, 및 A1-B1에 해당하는 위치로 액정 장치를 절단했을 때의 단면도이다. 도 3(a)에서는 화소 전극을 굵고 긴 점선으로 나타내고, 게이트선 및 이와 동시에 형성된 박막을 가는 실선으로 나타내며, 소스선 및 이와 동시에 형성된 박막을 가는 일점쇄선으로 나타내고, 반도체층을 가늘고 짧은 점선으로 나타내고 있다. 또한, 저장 용량의 유전체층 중 게이트 절연층이 얇은 부분에 대해서는 굵은 실선으로 나타내고, 콘택트 홀에 대해서는 게이트선 등과 같이 가는 실선으로 나타내고 있다.

<64> 도 3(a)에 도시하는 바와 같이 소자 기관(10)에서는 게이트선(3a)과 소스선(6a)으로 둘러싸인 화소 영역(1e)에 화소(1b)를 구성하는 이하의 요소가 구성되어 있다. 우선, 화소 영역(1e)에는 바닥 게이트형 박막 트랜지스터(1c)의 능동층을 구성하는 아몰퍼스 실리콘막으로 이루어지는 반도체층(7a)이 형성되어 있다. 또한, 게이트선(3a)으로부터의 돌출 부분에 의해서 게이트 전극이 형성되어 있다. 박막 트랜지스터(1c)의 능동층을 구성하는 반도체층(7a) 중 소스측의 단부에는 소스선(6a)이 소스 전극으로서 겹쳐 있고, 드레인측의 단부에는 드레인 전극(6b)이 겹쳐 있다. 또한, 게이트선(3a)과 병렬하여 용량선(3b)이 형성되어 있다.

<65> 또한, 화소 영역(1e)에는 용량선(3b)으로부터의 돌출 부분을 하측 전극(3c)으로 하고, 드레인 전극(6b)으로부터의 연장 설치 부분을 상측 전극(6c)으로 하는 저장 용량(1h)이 형성되어 있다. 또한, 상측 전극(6c)에 대해서는 콘택트 홀(81, 91)을 통해서, ITO 막(Indium Tin Oxide)으로 이루어지는 화소 전극(2a)이 전기적으로 접속되어 있다.

<66> 이와 같이 구성한 소자 기관(10)의 A1-B1 단면은 도 3(b)에 도시하는 바와 같이 표시된다. 우선, 유리 기관이나 석영 기관으로 이루어지는 절연 기관(11)상에는 도전막으로 이루어지는 게이트선(3a)(게이트 전극) 및 용량선(3b)(저장 용량(1h)의 하측 전극(3c))이 형성되어 있다. 본 실시예에 있어서, 게이트선(3a) 및 용량선(3b)은 모두, 막 두께가 150nm인 네오듐 함유 알루미늄 합금막의 상층에 막 두께가 20nm인 몰리브덴막을 적층한 2층 구조로 되어 있다.

<67> 본 실시예에 있어서, 게이트선(3a)의 상층측에는 게이트선(3a)을 피복하도록 게이트 절연층(4)이 형성되어 있다. 게이트 절연층(4)의 상층 중 게이트선(3a)의 돌출 부분(게이트 전극)과 부분적으로 겹치는 영역에는 박막 트랜지스터(1c)의 능동층을 구성하는 반도체층(7a)이 형성되어 있다. 반도체층(7a) 중 소스 영역의 상층에는 도핑된 실리콘막으로 이루어지는 오믹 콘택트층(7b) 및 소스선(6a)이 적층되고, 드레인 영역의 상층에는 도핑된 실리콘막으로 이루어지는 오믹 콘택트층(7c) 및 드레인 전극(6b)이 형성되어서, 박막 트랜지스터(1c)가 구성되어 있다. 또한, 드레인 전극(6b)의 연장 설치된 부분에 의해서 저장 용량(1h)의 상측 전극(6c)이 형성되어 있다. 본 실시예에 있어서, 반도체층(7a)은 막 두께가 150nm인 진성의 아몰퍼스 실리콘막으로 이루어지고, 오믹 콘택트층(7b, 7c)은 인이 도핑된 막 두께가 50nm인 n<sup>+</sup>형 아몰퍼스 실리콘막으로 이루어진다. 소스선(6a) 및 드레인 전극(6b:상측 전극(6c)) 모두 하층측으로부터 상층측을 향해서, 막 두께가 5nm인 몰리브덴막, 막 두께가 1500nm인 알루미늄막 및 막 두께가 50nm인 몰리브덴막을 적층한 3층 구조를 갖추고 있다.

<68> 소스선(6a), 드레인 전극(6b) 및 상측 전극(6c)의 상층측에는 실리콘 질화막 등으로 이루어지는 패시베이션막(8) 및 아크릴 수지 등의 감광성 수지층으로 이루어지는 평탄화막(9)이 각각, 층간 절연막으로서 형성되어 있고, 평탄화막(9)의 상층에는 화소 전극(2a)이 형성되어 있다. 화소 전극(2a)은 평탄화막(9)에 형성된 콘택트

홀(91) 및 패시베이션막(8)에 형성된 콘택트 홀(81)을 통해서 상측 전극(6c)에 전기적으로 접속하고, 상측 전극(6c) 및 드레인 전극(6b)을 통해서 박막 트랜지스터(1c)의 드레인 영역에 전기적으로 접속하고 있다. 화소 전극(2a)의 표면에는 배향막(19)이 형성되어 있다. 본 실시예에 있어서, 패시베이션막(8)은 막 두께가 250nm인 실리콘 질화막으로 이루어지고, 화소 전극(2a)은 막 두께가 100nm인 ITO 막으로 이루어진다.

<69> 이와 같이 구성된 소자 기판(10)에 대향하도록 대향 기판(20)이 배치되고, 소자 기판(10)과 대향 기판(20) 사이에는 액정(1f)이 유지되어 있다. 대향 기판(20)에는 각 색의 컬러 필터(27), 대향 전극(28) 및 배향막(29)이 형성되어 있고, 화소 전극(2a)과 대향 전극(28) 사이에 액정 용량(1g)(도 2 참조)이 구성된다. 또한, 대향 기판(20) 측에는 블랙 매트릭스나 보호막 등이 형성되는 경우가 있지만, 그들의 도시는 생략한다.

<70> (게이트 절연층 및 유전체층의 구성)

<71> 도 4(a), (b), (c)는 도 3에 나타내는 저장 용량의 확대 평면도, 하측 전극의 외주 단부와 상측 전극과의 중첩 부분의 확대 단면도, 및 하측 전극과 상측 전극의 외주 단부 중첩 부분의 확대 단면이다. 또한, 도 4(a)에는 하측 전극과 상측 전극과의 중첩 부분에 사선을 넣었다.

<72> 도 3(a), (b) 및 도 4(a)에 도시하는 바와 같이 본 실시예의 액정 장치(1)에 있어서, 게이트 절연층(4)은 하층 측이 두꺼운 실리콘 질화막으로 이루어지는 하층측 게이트 절연층(4a)과, 상층측의 얇은 실리콘 질화막으로 이루어지는 상층측 게이트 절연층의 2층 구조로 되어 있다. 본 실시예에 있어서, 하층측 게이트 절연층(4a)의 막 두께는 박막 트랜지스터(1c)의 기생 용량의 영향을 작게 하는 두께로 형성되고, 상층측 게이트 절연막(4b)의 막 두께는 하층측 게이트 절연막(4a)보다 얇게 형성된다. 예컨대 하층측 게이트 절연막(4a)은 250~500nm이고, 바람직하게는 300nm이며, 상층측 게이트 절연층(4b)의 막 두께는 50~200nm이고, 바람직하게는 100nm이다. 이들 막 두께는 박막 트랜지스터(1c)의 기록 능력, 기생 용량 및 저장 용량(1h)의 밸런스를 고려한 후에 최적화하여 결정할 수 있다. 예컨대, 고선명이며, 화소(1b)의 치수가 작은 구조인 경우(예컨대, 1 화소의 짧은 변이 40 $\mu$ m 이하), 화소(1b)에서의 저장 용량(1h), 액정 용량(1g)이 작아지지만, 박막 트랜지스터(1c)의 최소 치수는 포토 리소그래피의 해상도에 따라 달라진다. 이 때문에, 이러한 고선명 화소에서는 박막 트랜지스터(1c)의 기생 용량이 1 화소 전체의 용량에 차지하는 비율이 높아진다. 이 기생 용량의 비율(이하, 기생 용량비)이 커지면, 전기 광학 장치(1)는 플리커나, 크로스토크, 이미지 고정(image-sticking)등의 표시 품질의 열화를 초래하는 것이 알려져 있으며, 이 기생 용량비가 최대한 작아지도록 설계를 하는 것이 일반적이다. 그러나, 상술한 바와 같은 고선명인 레이아웃에 의해서 기생 용량비가 제약을 받는 경우, 종래의 수법으로서는 이것을 개선하는 것이 곤란하다. 그런데 본 발명의 구조, 프로세스를 이용하면, 박막 트랜지스터(1c)의 게이트 절연막의 막 두께를 저장 용량(1h)의 측과는 완전히 독립해서 설정·제조할 수 있다. 즉, 상기한 고선명 화소에 있어서는 게이트 절연막을 표준 조건보다 두껍게 설정함으로써, 박막 트랜지스터(1c)의 기생 용량을 저감하여, 기생 용량비를 작게 할 수 있다. 또한, 이러한 조건 설정에 있어서는 박막 트랜지스터(1c)의 전류 구동 능력(화소(1b)로의 신호 기록 능력)이 저하하지만, 고선명 화소는 기입하는 화소 용량 그 자체가 작아져 있기 때문에, 이와 같이 게이트 절연막의 막 두께를 두껍게 하더라도 기록 능력적으로는 문제가 발생하지 않도록 설계할 수 있다.

<73> 게이트 절연층(4)에 있어서, 하층측 게이트 절연층(4a)은 저장 용량(1h)의 하측 전극(3c) 및 상측 전극(6c)과 평면적으로 겹치는 영역에서 두께 방향의 전체에 걸쳐 제거되어서, 개구(41)가 형성되어 있다. 이에 대하여, 상층측 게이트 절연층(4b)은 거의 전면(全面)에 형성되어 있다. 이 때문에, 게이트 절연층(4)은 하측 전극(3c) 및 상측 전극(6c)과 평면적으로 겹치는 영역(개구(41)와 평면적으로 겹치는 영역)에, 상층측 게이트 절연층(4b)만으로 이루어지는 막 두께가 얇은 박막 부분(40a)을 구비하고, 그 외의 영역은 하층측 게이트 절연층(4a)과 상층측 게이트 절연층(4b)이 적층된 후막 부분(40b)으로 되어 있다. 따라서, 저장 용량(1h)은 게이트 절연층(4)의 박막 부분을 유전체층(4c)으로서 이용하게 된다.

<74> 이와 같이 구성한 저장 용량(1h)에서, 드레인 전극(6b)으로부터의 직사각형의 연장 설치 부분(상측 전극(6c))은 용량선(3b)으로부터의 직사각형의 돌출 부분(하측 전극(3c))으로부터 일부가 밀려 나오도록 형성되어 있다. 이 때문에, 하측 전극(3c)의 3변에 상당하는 외주 단부(31c, 32c, 33c)에 대하여 상측 전극(6c)이 겹쳐 있다. 여기서, 하측 전극(3c)의 외주 단부(31c, 32c, 33c)에서는 도 4(b)에 도시하는 바와 같이 하측 전극(3c)의 외주 단부(31c, 32c, 33c)의 단차 형상이 반영된 형상에 게이트 절연층(4)이 형성되어 있고, 이러한 부분에서는 전계의 집중이 발생하기 쉽고, 또한, 기초의 단차 형상의 영향을 받아, 게이트 절연층(4)의 막질이 저하하기 쉽다.

<75> 그래서, 본 실시예에서는 하측 전극(3c)의 외주 단부(31c, 32c, 33c)로부터 소정의 폭 치수만큼 내측의 영역으로 개구(41)를 형성하고 있다. 이 때문에, 하측 전극(3c)과 상측 전극(6c)의 중첩 부분의 내측 영역은 상층측 게이트 절연층(4b)만으로 이루어지는 박막 부분(40a)이지만, 하측 전극(3c)의 외주 단부(31c, 32c, 33c)와 상측

전극(6c)의 중첩 부분을 따라서는 하층측 게이트 절연층(4a)과 상층측 게이트 절연층(4b)이 적층된 후막 부분(40b)이 형성되어 있다. 이 때문에, 하측 전극(3c)의 외주 단부(31c, 32c, 33c)에서, 그 단차 형상이 반영된 형상으로 게이트 절연층(4)이 형성되어 있기 때문에, 이러한 부분에서 전계의 집중이 발생한 경우나, 기초의 단차 형상의 영향을 받아 게이트 절연층(4)의 막질이 저하한 경우에도, 이러한 부분에는 후막 부분(40b)이 형성되어 있기 때문에, 저장 용량(1h)의 내전압이 높다.

<76> 또, 본 실시예에서는 도 4(c)에 도시하는 바와 같이, 하측 전극(3c)과 상측 전극(6c)의 중첩 부분의 다른 변에 상당하는 외주 단부(64c)를 따라서도, 하층측 게이트 절연층(4a)과 상층측 게이트 절연층(4b)이 적층된 후막 부분(40b)이 형성되어 있다.

<77> (액정 장치(1)의 제조 방법)

<78> 도 5(a)~(g), 및 도 6(a)~(d)은 본 실시예의 액정 장치(1)에 이용한 소자 기관(10)의 제조 방법을 나타내는 공정 단면도이다. 또한, 소자 기관(10)을 제조하기 위해서는 소자 기관(10)을 다수 취할 수 있는 대형 기관의 상태로 이하의 공정이 행해지지만, 이하의 설명에서는 대형 기관에 관해서도 소자 기관(10)으로서 설명한다.

<79> 우선, 도 5(a)에 나타내는 게이트 전극 형성 공정에서, 대형 유리 기관 등의 절연 기관(11)의 표면에 금속막(막 두께가 150nm인 알루미늄 함금막과, 막 두께가 20nm인 폴리브텐막의 적층막)을 형성한 후, 포토리소그래피 기술을 이용하여 금속막을 패터닝하여, 게이트선(3a)(게이트 전극), 및 용량선(3b)(하측 전극(3c))을 동시에 형성한다.

<80> 다음으로, 게이트 절연층 형성 공정을 행한다. 본 실시예에 있어서, 게이트 절연층 형성 공정에서는 우선, 도 5(b)에 나타내는 하층측 게이트 절연층 형성 공정에서 플라즈마 CVD 법에 의해, 게이트 절연층(4)의 하층측을 구성하는 두꺼운 하층측 게이트 절연층(4a)을 형성한다. 본 실시예에 있어서, 하층측 게이트 절연층(4a)은 막 두께가 약 300nm인 실리콘 질화막으로 이루어진다.

<81> 다음으로, 도 5(c)에 나타내는 하층측 게이트 절연층 에칭 공정에서는 포토리소그래피 기술을 이용하여, 하측 전극(3c)과 평면적으로 겹치는 영역에 개구를 가진 레지스트 마스크(도시하지 않음)를 형성한 후, 하층측 게이트 절연층(4a)에 대하여, SF<sub>6</sub> 등의 불소계의 에칭 가스에 의한 반응성 이온 에칭(건식 에칭)을 행하여 개구(41)를 형성한다. 이러한 반응성 이온 에칭은 이온의 물리적인 스퍼터 효과와, 래디컬의 화학적인 에칭 효과의 상승 효과를 이용하기 때문에, 이방성이 우수하고 또한, 높은 생산성을 얻을 수 있다.

<82> 다음으로, 도 5(d)에 나타내는 상층측 게이트 절연층 성막 공정에서는 플라즈마 CVD 법에 의해, 게이트 절연층(4)의 상층측을 구성하는 얇은 상층측 게이트 절연층(4b)을 형성한다. 본 실시예에 있어서, 상층측 게이트 절연층(4b)은 막 두께가 약 100nm인 실리콘 질화막으로 이루어진다. 그 결과, 게이트선(3a)(게이트 전극)의 상층측에는 두꺼운 하층측 게이트 절연층(4a)과, 얇은 상층측 게이트 절연층(4b)으로 이루어지는 게이트 절연층(4)이 형성되는 한편, 개구(41)와 평면적으로 겹치는 영역에는 상층측 게이트 절연층(4b)만으로 이루어지는 유전체층(4c)이 형성된다.

<83> 다음으로, 도 5(e)에 나타내는 반도체층 형성 공정에서는 플라즈마 CVD 법에 의해, 막 두께가 150nm인 진성의 아몰퍼스 실리콘막(7d) 및 막 두께가 50nm인 n<sup>+</sup>형 실리콘막(7e)을 연속하여 형성한다. 이 때, 도 5(d)에 나타내는 상층측 게이트 절연층 형성 공정을 행한 소자 기관(10)을 진공 분위기 중으로 유지한 채로, 도 5(e)에 나타내는 반도체층 형성 공정을 행하여, 소자 기관(10)을 대기과 접촉시키지 않는다. 이에 의하여, 게이트 절연층(4)(상층측 게이트 절연층(4b))의 표면이 청정한 상태로 아몰퍼스 실리콘막(7d)을 적층할 수 있다.

<84> 다음으로, 도 5(f)에 도시하는 바와 같이 포토리소그래피 기술을 이용하여, 아몰퍼스 실리콘막(7d), 및 n<sup>+</sup>형 실리콘막(7e)에 에칭을 행하여, 섬 형상의 반도체층(7a), 및 섬 형상의 n<sup>+</sup>형 실리콘막(7e)을 형성한다. 이 에칭에 있어서도, SF<sub>6</sub> 등의 불소계의 에칭 가스를 이용한 반응성 이온 에칭(건식 에칭)을 행한다.

<85> 다음으로, 도 5(g)에 도시하는 바와 같이 금속막(막 두께가 5nm인 폴리브텐막, 막 두께가 1500nm인 알루미늄막 및 막 두께가 50nm인 폴리브텐막의 적층막)을 형성한 후, 포토리소그래피 기술을 이용하여 패터닝하여, 소스선(6a), 드레인 전극(6b) 및 상측 전극(6c)을 형성한다. 계속해서, 소스선(6a) 및 드레인 전극(6b)을 마스크로서 이용하여, 소스선(6a)과 드레인 전극(6b) 사이의 n<sup>+</sup>형 실리콘막(7e)을 에칭에 의해 제거하여, 소스·드레인을 분리한다. 그 결과, 소스선(6a) 및 드레인 전극(6b)이 형성되어 있지 않은 영역에서 n<sup>+</sup>형 실리콘막(7e)이 제거



되어 오믹 콘택트층(7b, 7c)이 형성된다. 이 때, 반도체층(7a)의 표면의 일부가 에칭된다. 이렇게 하여, 바닥 게이트형 화소 스위칭용 박막 트랜지스터(1c)가 형성됨과 아울러, 저장 용량(1h)이 형성된다.

- <86> 다음으로, 도 6(a)에 도시하는 바와 같이 플라즈마 CVD 법에 의해, 막 두께가 250nm인 실리콘 질화막으로 이루어지는 패시베이션막(8)을 형성한다.
- <87> 다음으로, 도 6(b)에 도시하는 바와 같이 스퍼트법에 의해, 아크릴 수지 등의 감광성 수지를 도포한 후, 노광, 현상하여, 콘택트 홀(91)을 구비한 평탄화막(9)을 형성한다.
- <88> 다음으로, 도 6(c)에 도시하는 바와 같이 포토리소그래피 기술을 이용하여 패시베이션막(8)에 대하여 에칭을 행하여, 콘택트 홀(91)과 겹치는 위치에 콘택트 홀(81)을 형성한다. 이 에칭에 있어서도, SF<sub>6</sub> 등의 불소계의 에칭 가스를 이용한 반응성 이온 에칭(건식 에칭)을 행한다.
- <89> 다음으로, 도 6(d)에 도시하는 바와 같이 스퍼터법에 의해, 막 두께가 100nm인 ITO 막을 형성한 후, 포토리소그래피 기술 및 습식 에칭을 이용하여 패터닝하여, 화소 전극(2a)을 형성한다. 그 결과, 화소 전극(2a)은 콘택트 홀(91, 81)을 통해서 상측 전극(6c)에 전기적으로 접속된다. 계속해서, 도 3에 나타내는 배향막(19)을 형성하기 위한 폴리이미드막을 형성한 후, 연마 처리를 실시한다.
- <90> 이렇게 하여 대형 기판의 상태로 각종 배선이나 TFT를 형성한 소자 기판(10)에 대해서는 별도 형성한 대형 대향 기판(20)과 밀봉재(22)로 접합한 후, 소정의 사이즈로 절단한다. 이에 의하여, 액정 주입구(25)가 개구하기 때문에, 액상 주입구(25)로부터 소자 기판(10)과 대향 기판(20) 사이에 액정(1f)을 주입한 후, 액정주입구(25)를 밀봉재(26)에 의해 밀봉한다.
- <91> (본 실시예의 주 효과)
- <92> 이상 설명한 바와 같이, 본 실시예의 액정 장치(1)에서는 박막 트랜지스터(1c)를 바닥 게이트 구조로 구성했기 때문에, 상층측 게이트 절연막(4b), 능동층(반도체층(7a))을 구성하기 위한 진성의 아몰퍼스 실리콘막(7d) 및 오믹 콘택트층(7b, 7c)을 구성하기 위한 n<sup>+</sup>형 실리콘막(7e)을 연속 성막할 수 있다. 따라서, 청정한 상층측 게이트 절연막(4b)의 상층에 아몰퍼스 실리콘막(7d)을 형성할 수 있다. 더구나, 본 실시예에서는 상층측 게이트 절연막(4b), 아몰퍼스 실리콘막(7d), 및 오믹 콘택트층(7b, 7c)을 구성할 때, 소자 기판(10)을 진공 분위기 중으로 계속 유지하기 때문에, 상층측 게이트 절연막(4b)의 표면의 오염을 확실히 방지할 수 있다. 이 때문에, 게이트 절연층(4)과 반도체층(7a)의 계면이 청정이며, 박막 트랜지스터(1c)의 신뢰성이 높다.
- <93> 또한, 저장 용량(1h)의 유전체층(4c)의 두께가 게이트 절연층(4)의 두께의 1/4배이기 때문에, 단위 면적당 정전 용량이 4배이다. 더구나, 유전체층(4c)을 구성하는 상층측 게이트 절연층(4b)은 실리콘 질화막(유전율이 약 7~8)이며, 실리콘 산화막보다 유전율이 높기 때문에, 저장 용량(1h)은 단위면적당 정전 용량이 높다. 이 때문에, 저장 용량(1h)은 전하의 유지 특성이 높은 한편, 단위 면적당 용량값이 높아지는 만큼 그 점유 면적을 축소하면 화소 개구율을 높일 수 있다.
- <94> 또한, 본 실시예에서는 게이트 절연층(4)을 부분적으로 얇게 한 부분을 저장 용량(1h)의 유전체층(4c)으로서 이용하는 데 있어서, 하층측 게이트 절연층(4a)을 남기지 않고, 상층측 게이트 절연층(4b)만으로 유전체층(4c)을 구성함으로써, 하층측 게이트 절연층(4a)을 부분적으로 남기는 경우와 달리, 에칭 깊이의 격차에 기인하는 저장 용량(1h)의 용량 격차를 방지할 수 있다.
- <95> 또한, 본 실시예에서는 게이트 절연층(4)을 부분적으로 얇게 한 부분을 저장 용량(1h)의 유전체층(4c)으로서 이용하는 데 있어서, 하층측 게이트 절연층(4a) 및 상층측 게이트 절연층(4b) 중, 하층측 게이트 절연층(4a)을 제거하여, 이 하층측 게이트 절연층(4a)의 상층에 형성한 상층측 게이트 절연막(4b)을 저장 용량(1h)의 유전체층(4c)으로서 이용한다. 이러한 상층측 게이트 절연층(4b)이면, 하층측 게이트 절연층(4a)을 건식 에칭에 의해 제거할 때의 정전기나 플라즈마에 노출되는 일이 없기 때문에, 상층측 게이트 절연층(4b)의 결함 밀도가 낮다. 이 때문에, 저장 용량(1h)의 내전압의 저하 등의 불량 발생을 방지할 수 있다.
- <96> 또한, 본 실시예에서는 하측 전극(3c)과 상측 전극(6c)의 중첩 부분의 외주 단부(31c, 32c, 33c)로부터 소정의 폭 치수만큼 내측의 영역으로 개구(41)를 형성했기 때문에, 하측 전극(3c)의 외주 단부(31c, 32c, 33c)와 상측 전극(6c)의 중첩 부분을 따라서는 하층측 게이트 절연층(4a)과 상층측 게이트 절연층(4b)이 적층된 후막 부분(40b)이 형성되어 있다. 이 때문에, 하측 전극(3c)의 외주 단부(31c, 32c, 33c)에 있어서, 하측 전극(3c)의 외주 단부(31c, 32c, 33c)의 단차 형상이 반영된 형상에 게이트 절연층(4)이 형성된 결과, 이러한 부분에서는 단부 형상에 기인하는 전계 집중이 두꺼운 게이트 절연막에 의해서 완화되고 또한, 기초한 단차 형상의 영향을 받

아, 게이트 절연층(4)의 막질이 저하하기 쉬운 경우에도, 저장 용량(1h)의 내전압이 저하하는 일이 없다.

- <97> 또한, 본 실시예에서는 하층측 게이트 절연층(4a)에 대하여 건식 에칭을 행하여 개구(41)를 형성했지만, 습식 에칭을 행하여 개구(41)를 형성해도 된다. 이러한 경우에도, 상층측 게이트 절연층(4b)은 하층측 게이트 절연층(4a)에 대한 에칭액에 접촉하는 일도 없기 때문에, 상층측 게이트 절연층(4b)에 핀홀이 발생하는 일이 없다. 이 때문에, 저장 용량(1h)의 내전압이 분산되는 것을 방지할 수 있다.
- <98> (실시예 1에서의 조건 설정예)
- <99> 도 7(a), (b)는 도 3에 나타내는 저장 용량의 확대 평면도 및 하측 전극의 외주 단부와 상측 전극과의 중첩 부분의 확대 단면도이다.
- <100> 도 7(a), (b)에 도시하는 바와 같이 하측 전극(3c)과 상측 전극(6c)의 중첩 부분의 외주 단부(31c, 32c, 33c)로부터 소정의 폭 치수만큼 내측의 영역으로 개구(41)를 형성하면, 하측 전극(3c)의 외주 단부(31c, 32c, 33c)와 상측 전극(6c)의 중첩 부분을 따라서는 하층측 게이트 절연층(4a)과 상층측 게이트 절연층(4b)이 적층된 후막 부분(40b)이 형성된다. 여기서, 후막 부분(40b)에 대해서는 하측 전극(3c)의 외주 단부(31c, 32c, 33c)로부터 내측을 향하여 후막 부분(40b)의 막 두께(d) 이상의 폭 치수(w)를 갖고 형성하는 것이 바람직하다.
- <101> 이러한 조건을 설정하면, 하측 전극(3c)의 외주 단부(31c, 32c, 33c)의 단차에 기인하는 전계 집중이나 막질 열화를 원인으로 하는 내전압의 저하를 확실히 방지할 수 있다. 또한, 이러한 조건을 만족하는 범위로 박막 부분(40a)을 확장하면, 저장 용량(1h)의 단위 면적당 용량값을 높일 수 있다. 또한, 이상의 조건은 이하에 설명하는 모든 실시예에 적용할 수 있다.
- <102> (실시예 2)
- <103> 도 8(a), (b)는 본 발명의 실시예 2에 관한 액정 장치의 화소 하나 분의 평면도, 및 A2-B2에 상당하는 위치에서 액정 장치를 절단했을 때의 단면도이다. 도 9(a), (b) 및 (c)는 도 8에 나타내는 저장 용량의 확대 평면도, 하측 전극의 외주 단부와 상측 전극과의 중첩 부분의 확대 단면도 및 하측 전극과 상측 전극의 외주 단부와 중첩 부분의 확대 단면도이다. 도 8(a)에서는 화소 전극을 굽고 긴 점선으로 나타내고, 게이트선 및 이와 동시에 형성된 박막을 가는 실선으로 나타내며, 소스선 및 이와 동시에 형성된 박막을 가는 일점 쇄선으로 나타내고, 반도체층을 가늘고 짧은 점선으로 나타내고 있다. 또한, 저장 용량의 유전체층 중, 게이트 절연층이 얇은 부분에 대해서는 굵은 실선으로 나타내고, 콘택트 홀에 대해서는 게이트선 등과 같이 가는 실선으로 나타내고 있다. 도 9(a)에는 하측 전극과 상측 전극의 중첩 부분에 사선을 넣었다. 또한, 본 실시예의 기본적인 구성은 실시예 1과 마찬가지로 하기 때문에, 공통하는 부분에는 동일한 부호를 부여하고, 그들의 설명을 생략한다.
- <104> 도 8(a), (b), 및 도 9(a)에 도시하는 바와 같이 본 실시예에서도, 실시예 1과 같이 소자 기관(10)에 있어서, 게이트선(3a)과 소스선(6a)으로 둘러싸인 화소 영역(1e)에는 바닥 게이트형 박막 트랜지스터(1c)와 저장 용량(1h)이 형성되어 있다. 저장 용량(1h)은 용량선(3b)으로부터의 돌출 부분을 하측 전극(3c)으로 하고, 드레인 전극(6b)으로부터의 연장 설치 부분을 상측 전극(6c)으로 하고 있다. 게이트 절연층(4)은 실시예 1과 같이 하층측이 두꺼운 실리콘 질화막으로 이루어지는 하층측 게이트 절연층(4a)과, 상층측이 얇은 실리콘 질화막으로 이루어지는 상층측 게이트 절연층의 2층 구조로 되어 있다.
- <105> 본 실시예에서도, 실시예 1과 같이 게이트 절연층(4)에 있어서 하층측 게이트 절연층(4a)은 저장 용량(1h)의 하측 전극(3c) 및 상측 전극(6c)과 평면적으로 겹치는 영역에서 두께 방향 전체에 걸쳐 제거되어, 개구(41)가 형성되어 있다. 이에 대하여, 상층측 게이트 절연층(4b)은 거의 전면에서 형성되어 있다. 이 때문에, 게이트 절연층(4)은 하측 전극(3c) 및 상측 전극(6c)과 평면적으로 겹치는 영역(개구(41)와 평면적으로 겹치는 영역)에, 상층측 게이트 절연층(4b)만으로 이루어지는 막 두께가 얇은 박막 부분(40a)을 갖추고, 그 외의 영역은 하층측 게이트 절연층(4a)과 상층측 게이트 절연층(4b)이 적층된 후막 부분(40b)으로 되어 있다. 따라서, 저장 용량(1h)은 게이트 절연층(4)의 박막 부분을 유전체층(4c)으로서 이용하게 된다.
- <106> 이와 같이 구성한 저장 용량(1h)에서, 본 실시예에서는 드레인 전극(6b)으로부터의 직사각형의 연장 설치 부분(상측 전극(6c))이, 용량선(3b)으로부터의 직사각형의 돌출 부분(하측 전극(3c))의 1변에 상당하는 외주 단부(31c)에 걸쳐 있다. 여기서, 하측 전극(3c)의 외주 단부(31c)에서는 도 9(b)에 도시하는 바와 같이 하측 전극(3c)의 외주 단부(31c)의 단차 형상이 반영된 형상으로 게이트 절연층(4)이 형성되어 있어서, 이러한 부분에서는 전계의 집중이 발생하기 쉽고 또한, 기초한 단차 형상의 영향을 받아, 게이트 절연층(4)의 막질이 저하하기 쉽다.

- <107> 그래서, 본 실시예에서는 하측 전극(3c)의 외주 단부(31c)로부터 소정의 폭 치수만큼 내측의 영역으로 개구(41)를 형성하고 있다. 이 때문에, 하측 전극(3c)과 상측 전극(6c)의 중첩 부분의 대부분은 상층측 게이트 절연층(4b)만으로 이루어지는 박막 부분(40a)이며, 하측 전극(3c)의 외주 단부(31c)와 상측 전극(6c)의 중첩 부분을 따라서는 하층측 게이트 절연층(4a)과 상층측 게이트 절연층(4b)이 적층된 후막 부분(40b)이 형성되어 있다.
- <108> 여기서, 하측 전극(3c)의 외주 단부(31c, 32c, 33c, 34c) 중 외주 단부(32c, 33c, 34c)에서는 그 내측 영역에 상측 전극(6c)의 외주 단부가 위치하고 있다. 그래서, 본 실시예에서는 개구(41)를 하측 전극(3c)의 외주 단부(32c, 33c, 34c)보다 외측 영역으로까지 형성하고 있다. 따라서, 게이트 절연층(4)은 도 9(c)에 도시하는 바와 같이 하측 전극(3c)과 상측 전극(6c)이 겹치는 영역 중 하측 전극(3c)의 외주 단부(31c)와 상측 전극(6)이 겹치는 부분 이외의 영역의 모두가 박막 부분(40a)으로 되어 있다. 그 외의 구성은 실시예 1과 마찬가지로기 때문에, 설명을 생략한다.
- <109> 이와 같이, 본 실시예에서는 저장 용량(1h)의 기본적인 구성이 실시예 1과 마찬가지로기 때문에, 신뢰성이 높은 박막 트랜지스터(1c)를 형성할 수 있음과 아울러, 용량이 높은 저장 용량(1h)을 형성할 수 있는 등, 실시예 1과 마찬가지로의 효과를 낸다.
- <110> 또한, 본 실시예에서는 하측 전극(3c)과 상측 전극(6c)이 겹치는 영역 중, 하측 전극(3c)의 외주 단부(31c)와 상측 전극(6)이 겹치는 부분 이외의 영역의 모두가 박막 부분(40a)으로 되어 있어서, 박막 부분(40a)이 차지하는 범위가 넓다. 또한, 하측 전극(3c)의 외주 단부(31c)와 상측 전극(6c)이 겹치는 부분 이외의 영역에서는 가령 상측 전극(6c)의 외주 단부여도, 단차에 기인하는 전계 집중이나 막질 열화가 발생하지 않기 때문에, 저장 용량(1h)의 내전압이 저하하는 일이 없다. 이 때문에, 하측 전극(3c)의 외주 단부(31c)에서의 단차에 기인하는 저장 용량(1h)의 내전압의 저하를 발생시키는 일없이, 저장 용량(1h)의 단위 면적당 용량값을 최대한으로 높일 수 있다.
- <111> (실시예 2의 변형예)
- <112> 도 10은 본 발명의 실시예 2에 관한 액정 장치의 저장 용량에 있어서, 하측 전극과 상측 전극의 외주 단부의 중첩 부분의 확대 단면이다. 실시예 2에서는 도 9(c)에 도시하는 바와 같이 하측 전극(3c)의 외주 단부(32c, 33c, 34c)에서는 그 외측 영역까지 개구(41)를 형성했지만, 도 10에 도시하는 바와 같이 하측 전극(3c)의 외주 단부(32c, 33c, 34c)보다 내측 또한, 상측 전극(6c)의 외주 단부보다 외측까지 개구(41)를 형성해도 된다. 이와 같이 구성한 경우에도, 하측 전극(3c)과 상측 전극(6c)이 겹치는 영역 중 하측 전극(3c)의 외주 단부(31c)와 상측 전극(6)이 겹치는 부분 이외의 영역의 모두를 박막 부분(40a)으로 할 수 있기 때문에, 저장 용량(1h)의 단위 면적당 용량값을 최대한까지 높일 수 있다.
- <113> (실시예 3)
- <114> 도 11(a), (b)는 본 발명의 실시예 3에 관한 액정 장치의 화소 하나 분의 평면도 및 A3-B3에 상당하는 위치에서 액정 장치를 절단했을 때의 단면도이다. 도 11(a)에서는 화소 전극을 굵고 긴 점선으로 나타내고, 게이트선 및 이와 동시에 형성된 박막을 가는 실선으로 나타내며, 소스선 및 이와 동시에 형성된 박막을 가는 일점 쇄선으로 나타내고, 반도체층을 가늘고 짧은 점선으로 나타내고 있다. 또한, 저장 용량의 유전체층 중 게이트 절연층이 얇은 부분에 대해서는 굵은 실선으로 나타내고, 콘택트 홀에 대해서는 게이트선 등과 같이 가는 실선으로 나타내고 이다. 또한, 본 실시예의 기본적인 구성은 실시예 1과 마찬가지로기 때문에, 공통하는 부분에는 동일한 부호를 부여하고 그들의 설명을 생략한다.
- <115> 도 11(a), (b)에 도시하는 바와 같이 본 실시예에서도, 실시예 1과 같이 소자 기판(10)에 있어서, 게이트선(3a)과 소스선(6a)으로 둘러싸인 화소 영역(1e)에는 바닥 게이트형의 박막 트랜지스터(1c)와 저장 용량(1h)이 형성되어 있다.
- <116> 본 실시예에 있어서, 저장 용량(1h)은 용량선(3b)으로부터의 돌출 부분을 하측 전극(3c)이라고 하고 있다는 점에서는 실시예 1과 마찬가지로다. 단, 저장 용량(1h)의 상측 전극(5a)은 게이트 절연층(4)과 드레인 전극(6b)의 층간에 형성된 ITO 막에 의해서 구성되어 있고, 상측 전극(5a)은 드레인 전극(6b)과의 부분적인 중첩 부분에 의해 드레인 전극(6b)에 전기적으로 접속되어 있다. 본 실시예에 있어서, 상측 전극(5a)을 구성하는 ITO 막의 막 두께는 50nm이다. 또한, 상측 전극(5a)에 대해서는 콘택트 홀(81, 91)을 통해서, 평탄화막(9)의 상층에 형성된 화소 전극(2a)이 전기적으로 접속되어 있다.
- <117> 게이트 절연층(4)은 실시예 1과 같이 하층측이 두꺼운 실리콘 질화막으로 이루어지는 하층측 게이트 절연층(4

a)과, 상층층이 얇은 실리콘 질화막으로 이루어지는 상층층 게이트 절연층의 2층 구조로 되어 있다. 하층층 게이트 절연층(4a)은 저장 용량(1h)의 하측 전극(3c) 및 상측 전극(5a)과 평면적으로 겹치는 영역에서 두께 방향 전체에 걸쳐 제거되어서, 개구(41)가 형성되어 있다.

<118> 이와 같이 구성한 저장 용량(1h)에 있어서, 상측 전극(5a)은 용량선(3b)으로부터의 직사각형의 돌출 부분(하측 전극(3c))으로부터 사방으로 밀려나오도록 형성되어 있고, 하측 전극(3c)의 4변에 상당하는 외주 단부에 대하여 상측 전극(5a)이 겹치고 있다. 따라서, 본 실시예에서는 실시예 1과 같이 하측 전극(3c)과 상측 전극(5a)의 중첩 부분의 외주 단부로부터 소정의 폭 치수만큼 내측의 영역으로 개구(41)를 형성하고, 하측 전극(3c)의 외주 단부와 상측 전극(5a)의 중첩 부분을 따라, 하층층 게이트 절연층(4a)과 상층층 게이트 절연층(4b)이 적층된 후막 부분을 형성하고 있다. 그 외의 구성은 실시예 1과 마찬가지로 때문에, 설명을 생략한다. 또한, 본 실시예에서는 상측 전극(5a)으로서 ITO 막(투명 전극)을 이용했기 때문에, 드레인 전극(6b)의 연장 설치 부분을 상측 전극으로서 이용한 경우와 비교하여, 화소 개구율을 높일 수 있다.

<119> (실시예 4)

<120> 도 12(a), (b)는 본 발명의 실시예 4에 관한 액정 장치의 화소 하나 분의 평면도, 및 A4-B4에 상당하는 위치에서 액정 장치를 절단했을 때의 단면도이다. 도 12(a)에서는 화소 전극을 굽고 긴 점선으로 나타내고, 게이트선 및 이와 동시에 형성된 박막을 가는 실선으로 나타내며, 소스선 및 이와 동시에 형성된 박막을 가는 일점 쇄선으로 나타내고, 반도체층을 가늘고 짧은 점선으로 나타내고 있다. 또한, 저장 용량의 유전체층 중 게이트 절연층이 얇은 부분에 대해서는 굽은 실선으로 나타내고 있다. 또한, 본 실시예의 기본적인 구성은 실시예 1과 마찬가지로 때문에, 공통하는 부분에는 동일한 부호를 부여하고 그들의 설명은 생략한다.

<121> 도 12(a), (b)에 도시하는 바와 같이 본 실시예에서도, 실시예 1과 같이 소자 기관(10)에 있어서, 게이트선(3a)과 소스선(6a)으로 둘러싸인 화소 영역(1e)에는 바닥 게이트형의 박막 트랜지스터(1c)와, 저장 용량(1h)이 형성되어 있다. 단, 실시예 1~3와 달리, 본 실시예에서는 평탄화막이 형성되어 있지 않고, 화소 전극(2a)은 게이트 절연층(4)과 드레인 전극(6b)의 층간에 형성되고, 드레인 전극(6b)과의 부분적인 중첩 부분에 의해서 드레인 전극(6b)에 전기적으로 접속되어 있다.

<122> 또한, 저장 용량(1h)은 용량선(3b)으로부터의 돌출 부분을 하측 전극(3c)이라고 하는 점에서는 실시예 1과 마찬가지로 같다. 단, 저장 용량(1h)의 상측 전극은 화소 전극(2a) 중 하측 전극(3c)과 평면적으로 겹치는 부분에 의해서 구성되어 있다.

<123> 게이트 절연층(4)은 실시예 1과 같이 하층층이 두꺼운 실리콘 질화막으로 이루어지는 하층층 게이트 절연층(4a)과, 상층층이 얇은 실리콘 질화막으로 이루어지는 상층층 게이트 절연층의 2층 구조로 되어 있다. 하층층 게이트 절연층(4a)은 저장 용량(1h)의 하측 전극(3c) 및 화소 전극(2a)과 평면적으로 겹치는 영역에서 두께 방향의 전체에 걸쳐 제거되어, 개구(41)가 형성되어 있다. 이 때문에, 저장 용량(1h)의 유전체층(4c)은 게이트 절연층(4) 중 막 두께가 얇은 부분(하층층 게이트 절연층(4a))에 의해서 구성되어 있다.

<124> 이와 같이 구성한 저장 용량(1h)에 있어서도, 화소 전극(2a)(상측 전극)은 용량선(3b)으로부터의 직사각형의 돌출 부분(하측 전극(3c))으로부터 밀려나오도록 형성되어 있고, 하측 전극(3c)의 4변에 상당하는 외주 단부에 대하여 겹쳐 있다. 따라서, 본 실시예에서도, 실시예 1과 같이 하측 전극(3c)과 화소 전극(2a)의 중첩 부분의 외주 단부로부터 소정의 폭 치수만큼 내측의 영역으로 개구(41)를 형성하고, 하측 전극(3c)의 외주 단부와 화소 전극(2a)의 중첩 부분을 따라, 하층층 게이트 절연층(4a)과 상층층 게이트 절연층(4b)이 적층된 후막 부분을 형성하고 있다. 그 외의 구성은 실시예 1과 마찬가지로 때문에, 설명을 생략한다.

<125> (실시예 5)

<126> 도 13(a), (b)는 본 발명의 실시예 5에 관한 액정 장치의 화소 하나 분의 평면도, 및 A5-B5에 상당하는 위치에서 액정 장치를 절단했을 때의 단면도이다. 도 13(a)에서는 화소 전극을 굽고 긴 점선으로 나타내고, 게이트선 및 이와 동시에 형성된 박막을 가는 실선으로 나타내며, 소스선 및 이와 동시에 형성된 박막을 가는 일점 쇄선으로 나타내고, 반도체층을 가늘고 짧은 점선으로 나타내고 있다. 또한, 저장 용량의 유전체층 중, 게이트 절연층이 얇은 부분에 대해서는 굽은 실선으로 나타내고, 콘택트 홀에 대해서는 게이트선 등과 같이 가는 실선으로 나타내고 있다. 또한, 본 실시예의 기본적인 구성은 실시예 1과 마찬가지로 때문에, 공통하는 부분에는 동일한 부호를 부여하고 그들의 설명은 생략한다.

<127> 도 13(a), (b)에 도시하는 바와 같이 본 실시예에서도, 실시예 1과 같이 소자 기관(10)에 있어서, 게이트선(3a)과 소스선(6a)으로 둘러싸인 화소 영역(1e)에는 바닥 게이트형 박막 트랜지스터(1c)와, 저장 용량(1h)이 형성

되어 있다. 단, 실시예 1~4와 달리, 본 실시예에서는 용량선이 형성되어 있지 않고, 주사 방향(게이트선(3a)의 연재 방향과 교차하는 방향/소스선(6a)의 연재 방향)에 있어서의 전단층의 게이트선(3a)의 일부에 의해서 저장 용량(1h)의 하측 전극(3c)이 구성되어 있다.

<128> 또한, 저장 용량(1h)에서는 하측 전극(3c)과 겹치는 영역에 상측 전극(6d)이 형성되어 있고, 본 실시예에서는 상측 전극(6d)에서는 소스선(6a)이나 드레인 전극(6b)과 동시에 형성된 금속층이 이용되고 있다. 여기서, 상측 전극(6d)은 드레인 전극(6b)과 분리하여 형성되어 있다. 이 때문에, 평탄화막(9)의 상층에 형성된 화소 전극(2a)은 패시베이션막(8)의 콘택트 홀(81) 및 평탄화막(9)의 콘택트 홀(91)을 거쳐서 상측 전극(6d)에 전기적으로 접속하여, 패시베이션막(8)의 콘택트 홀(82), 및 평탄화막(9)의 콘택트 홀(92)을 거쳐서 드레인 전극(6b)에 전기적으로 접속하고 있다.

<129> 게이트 절연층(4)은 실시예 1과 같이 하층층이 두꺼운 실리콘 질화막으로 이루어지는 하층층 게이트 절연층(4a)과, 상층층이 얇은 실리콘 질화막으로 이루어지는 상층층 게이트 절연층의 2층 구조로 되어 있다. 하층층 게이트 절연층(4a)은 저장 용량(1h)의 하측 전극(3c) 및 상측 전극(6d)과 평면적으로 겹치는 영역에서 두께 방향의 전체에 걸쳐 제거되어, 개구(41)가 형성되어 있다. 이 때문에, 저장 용량(1h)의 유전체층(4c)은 게이트 절연층(4) 중, 막 두께가 얇은 부분(하층층 게이트 절연층(4a))에 의해서 구성되어 있다.

<130> 이와 같이 구성한 저장 용량(1h)에서도 상측 전극(6d)은 전단의 게이트선(3a)의 1번에 상당하는 외주 단부에 대하여 겹쳐 있다. 따라서, 본 실시예에서도, 실시예 1과 같이 하측 전극(3c)의 외주 단부와 상측 전극(6d)의 중첩 부분으로부터 소정의 폭 치수만큼 내측의 영역으로 개구(41)를 형성하여, 하측 전극(3c)의 외주 단부와 상측 전극(6d)의 중첩 부분을 따라, 하층층 게이트 절연층(4a)과 상층층 게이트 절연층(4b)이 적층된 후막 부분을 형성하고 있다. 그 외의 구성은 실시예 1과 마찬가지로 하기 때문에, 설명을 생략한다.

<131> (그 외의 실시예)

<132> 상기 실시예에서는 게이트 절연층(4)을 구성하는 하층층 게이트 절연층(4a) 및 상층층 게이트 절연층(4b) 모두 동일한 절연막으로 이루어지는 구성이지만, 하층층 게이트 절연층(4a) 및 상층층 게이트 절연층(4b)이 다른 절연막으로 이루어지는 구성이어도 된다. 이 때, 게이트 절연층(4)을 실리콘 산화막과 실리콘 질화막으로 구성하는 경우, 유전체층(4c)으로서 이용하는 상층층 게이트 절연층(4b)에 대해서는 유전율이 높은 실리콘 질화막에 의해 구성하는 것이 바람직하다. 또한, 상기 실시예에서는 하층층 게이트 절연층(4a) 및 상층층 게이트 절연층(4b)은 각각 한 층의 절연막으로 이루어지는 구성이지만, 하층층 게이트 절연층(4a) 및 상층층 게이트 절연층(4b)이 각각 복수 층의 절연막으로 이루어지는 구성이어도 된다.

<133> 상기 실시예에서는 게이트선(3a)에 알루미늄 합금막과 몰리브덴 막의 다층막을 이용하여, 소스선(6a)에 알루미늄막과 몰리브덴막의 다층막을 이용했지만, 이들 배선으로는 그 외의 금속막을 이용할 수 있고 또는, 실리콘사이드막 등의 도전막을 이용해도 된다. 또한, 상기 실시예에서는 반도체층(7a)으로서 진성의 아몰퍼스 실리콘막을 이용했지만, 그 외의 실리콘막이나, 유기 반도체막, 산화 아연 등의 투명 반도체막을 이용해도 된다.

<134> 또한, 상기 실시예에서는 하층층 게이트 절연층(4a)을 제거하고 상층층 게이트 절연층(4b)을 유전체층으로서 이용한 구성이지만, 게이트 절연층의 두께 방향의 일부를 에칭으로 제거하여 막 두께를 얇게 한 구성이나, 도 14를 참조하여 이하에 설명하는 바와 같이, 상층층 게이트 절연층(4b)을 제거하여 하층층 게이트 절연층(4a)을 유전체층으로서 이용한 구성을 채용한 경우에 본 발명을 적용해도 된다.

<135> 도 14에 나타내는 예로서는 우선, 도 14(a)에 도시하는 바와 같이 게이트선(3a)(게이트 전극)을 하측 전극(3c)(용량선(3b)의 일부)과 동시에 형성한 후, 도 14(b)에 도시하는 바와 같이 게이트 절연층(4)의 하층층을 구성하는 하층층 게이트 절연층(4a), 및 게이트 절연층(4)의 상층층을 구성하는 상층층 게이트 절연층(4b)을 형성한다. 다음으로, 능동층을 구성하기 위한 진성의 아몰퍼스 실리콘막(7d), 및 오믹 콘택트층을 구성하기 위한 n<sup>+</sup>형 실리콘막(7e)을 순차적으로 형성한 후, 에칭을 행하여, 도 14(c)에 도시하는 바와 같이 능동층을 구성하는 반도체층(7a) 및 n<sup>+</sup>형 실리콘막(7e)을 섬 형상으로 패터닝한다. 다음으로, 도 14(d)에 도시하는 바와 같이 게이트 절연층(4)에 있어서 하측 전극(3c)과 겹치는 부분에 대하여 에칭을 행하여, 상층층 게이트 절연층(4b)을 제거하여 개구(41)를 형성한다. 다음으로, 도전막을 형성한 후, 에칭을 행하여, 소스 전극(소스선(6a)) 및 드레인 전극(6b)을 형성한다. 계속해서, n<sup>+</sup>형 실리콘막(7e)에 에칭을 행하여, 오믹 콘택트층(7b, 7c)을 형성한다. 그 결과, 박막 트랜지스터(1c)가 형성된다. 또한, 하층층 게이트 절연층(4a)을 유전체층(4c)으로 하여, 드레인 전극(6b)의 연장 설치 부분을 상측 전극(6c)으로 하는 저장 용량(1h)이 형성된다.

<136> 또한, 상기 실시예에서는 투과형의 액정 장치를 예로 설명했지만, 반투과반사형 액정 장치나 전반사형 액정 장치에 본 발명을 적용해도 된다. 또한, 상기 실시예에서는 TN 모드, ECB 모드, VAN 모드의 액티브 매트릭스형 액정 장치를 예로 설명했지만, IPS(In-Plane Switching) 모드의 액정 장치(전기 광학 장치)에 본 발명을 적용해도 된다.

<137> 또한, 전기 광학 장치로서 액정 장치에 한하지 않고 예컨대, 유기 EL(전계 발광) 장치에서도, 유기 EL 막을 전기 광학 물질로서 유지하는 소자 기관상의 각 화소 영역에, 박막 트랜지스터와, 해당 박막 트랜지스터에 전기적으로 접속된 화소 전극과, 상기 박막 트랜지스터의 게이트 절연층보다 하층측으로 하층 전극을 구비하는 저장 용량이 형성되기 때문에, 이러한 유기 EL 장치에 본 발명을 적용해도 된다.

<138> (전자 기기의 실시예)

<139> 도 15는 본 발명에 관한 액정 장치를 각종의 전자 기기의 표시 장치로서 이용하는 경우의 일 실시예를 나타내고 있다. 여기에 나타내는 전자 기기는 퍼스널 컴퓨터나 휴대 전화기 등이며, 표시 정보 출력원(170), 표시 정보 처리 회로(171), 전원 회로(172), 타이밍 제네레이터(173), 및 액정 장치(1)를 갖고 있다. 또한, 액정 장치(1)는 패널(175) 및 구동 회로(176)를 갖고 있고, 상술한 액정 장치(1)를 이용할 수 있다. 표시 정보 출력원(170)은 ROM(Read Only Memory), RAM(Random Access Memory) 등의 메모리, 각종 디스크 등의 스토리지 유닛, 디지털 화상 신호를 동조 출력하는 동조 회로 등을 구비하고, 타이밍 제네레이터(173)에 의해서 생성된 각종의 클럭 신호에 근거하여, 소정 포맷의 화상 신호 등의 표시 정보를 표시 정보 처리 회로(171)에 공급한다. 표시 정보 처리 회로(171)는 시리얼-패러렐 변환 회로나, 증폭·반전 회로, 로테이션 회로, 감마 보정 회로, 클램프 회로 등의 주지된 각종 회로를 갖추고, 입력된 표시 정보를 처리하여, 그 화상 신호를 클럭 신호 CLK와 함께 구동 회로(176)에 공급한다. 전원 회로(172)는 각 구성 요소에 소정의 전압을 공급한다.

**발명의 효과**

<140> 본 발명에 의해서, 저장 용량의 유전체층을 얇게 한 경우에도, 하층 전극의 외주 단부와 상층 전극이 겹쳐 있는 부분에서의 내전압의 저하를 방지할 수 있는 전기 광학 장치 및 이 전기 광학 장치를 구비한 전자 기기를 제공할 수 있다.

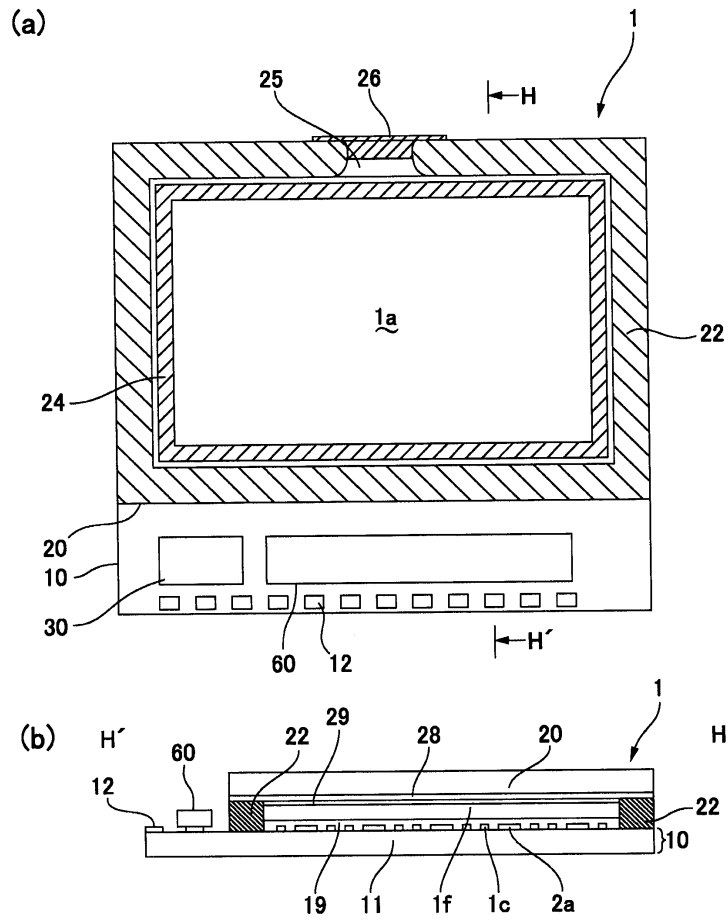
**도면의 간단한 설명**

- <1> 도 1(a), (b)는 각각 액정 장치(전기 광학 장치)를 그 위에 형성된 각 구성 요소와 함께 대향 기관 측에서 본 평면도 및 그 H-H'의 단면도,
- <2> 도 2는 도 1에 나타내는 액정 장치의 소자 기관의 전기적인 구성을 나타내는 설명도,
- <3> 도 3(a), (b)는 각각 본 발명의 실시예 1에 관한 액정 장치의 화소 하나 분의 평면도 및 A1-B1에 해당하는 위치에서 액정 장치를 절단했을 때의 단면도,
- <4> 도 4(a), (b), (c)는 도 3에 나타내는 저장 용량의 확대 평면도, 하층 전극의 외주 단부와 상층 전극과의 중첩 부분의 확대 단면도 및 하층 전극과 상층 전극의 외주 단부의 중첩 부분의 확대 단면,
- <5> 도 5(a)~(g)는 도 3에 나타내는 액정 장치에 이용한 소자 기관의 제조 방법을 나타내는 공정 단면도,
- <6> 도 6(a)~(d)는 도 3에 나타내는 액정 장치에 이용한 소자 기관의 제조 방법을 나타내는 공정 단면도,
- <7> 도 7(a), (b)는 도 3에 나타내는 저장 용량의 조건 설정예를 나타내는 저장 용량의 확대 평면도 및 하층 전극의 외주 단부와 상층 전극의 중첩 부분의 확대 단면도,
- <8> 도 8(a), (b)는 각각 본 발명의 실시예 2에 관한 액정 장치의 화소 하나 분의 평면도 및 A2-B2에 해당하는 위치에서 액정 장치를 절단했을 때의 단면도,
- <9> 도 9(a), (b), (c)는 도 8에 나타내는 저장 용량의 확대 평면도, 하층 전극의 외주 단부와 상층 전극과의 중첩 부분의 확대 단면도 및 하층 전극과 상층 전극의 외주 단부의 중첩 부분의 확대 단면,
- <10> 도 10은 본 발명의 실시예 2의 변형예에 관한 액정 장치에 있어서의 하층 전극과 상층 전극의 외주 단부의 중첩 부분의 확대 단면,
- <11> 도 11(a), (b)는 각각 본 발명의 실시예 3에 관한 액정 장치의 화소 하나 분의 평면도 및 A3-B3에 해당하는 위

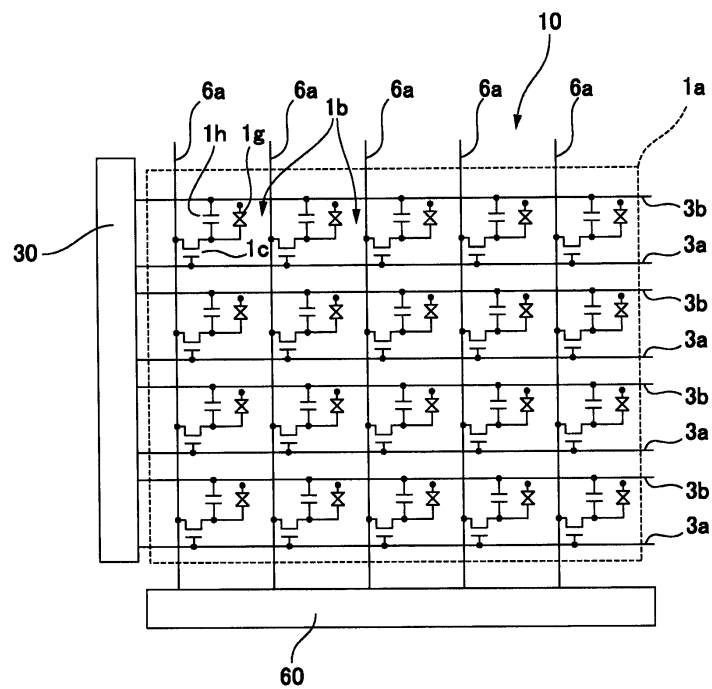


도면

도면1



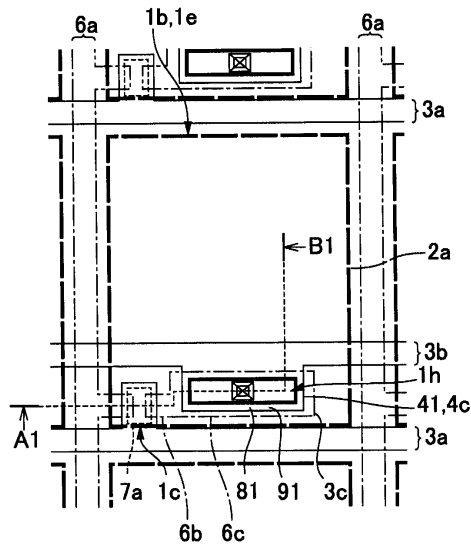
도면2



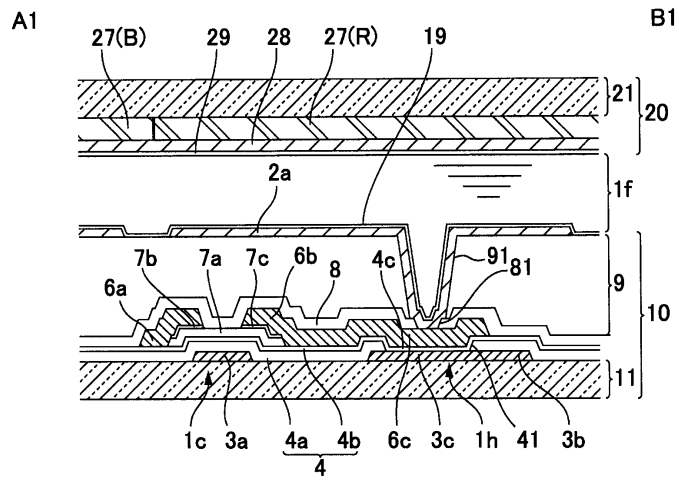


도면3

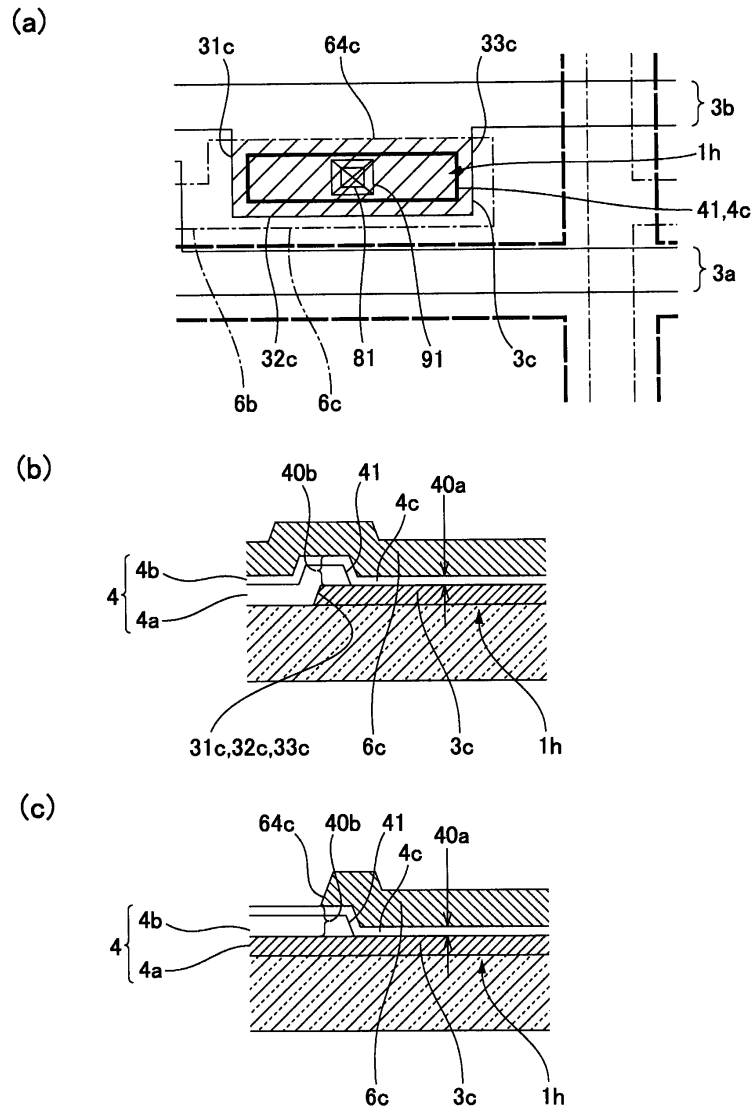
(a)



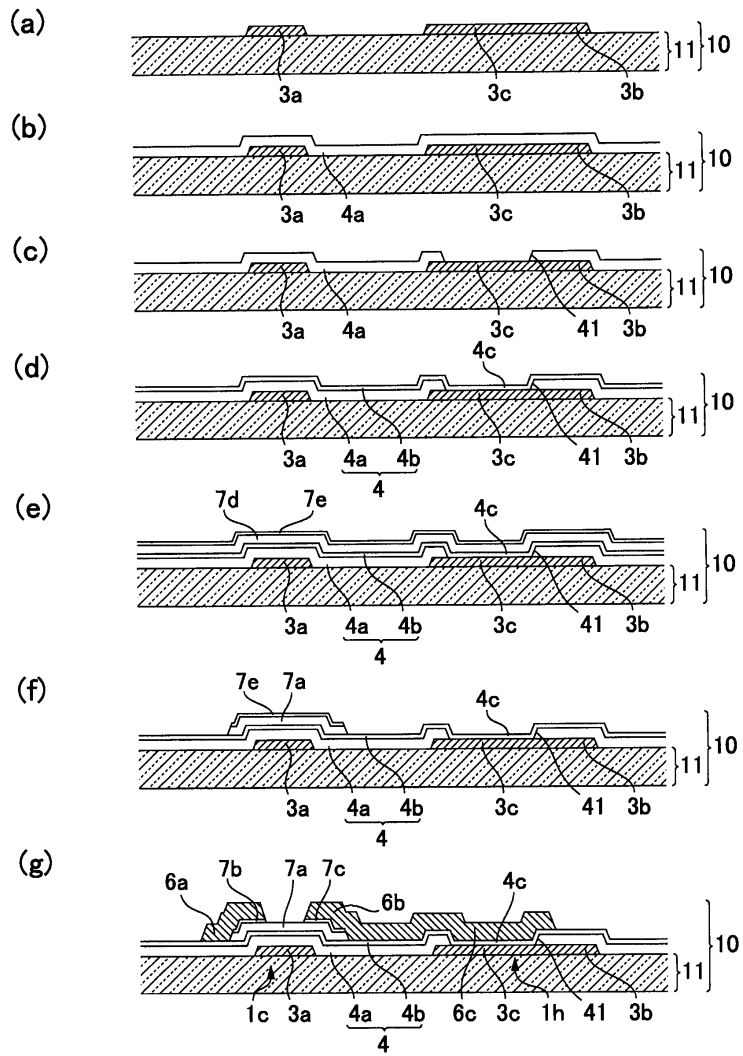
(b)



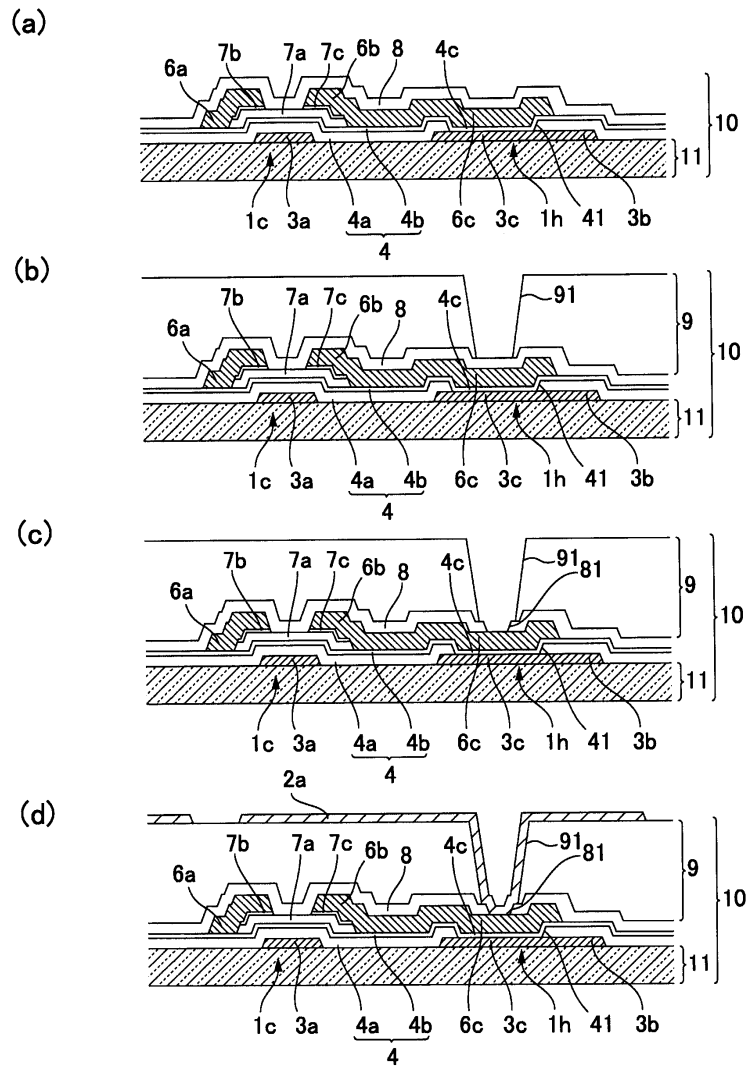
도면4



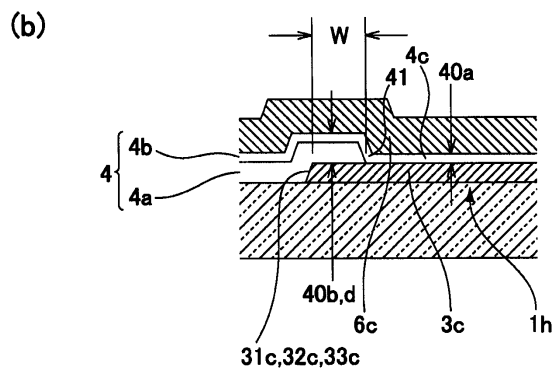
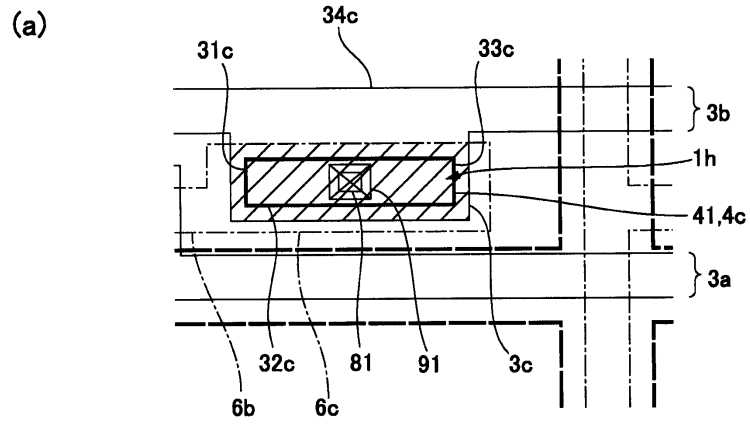
도면5



도면6

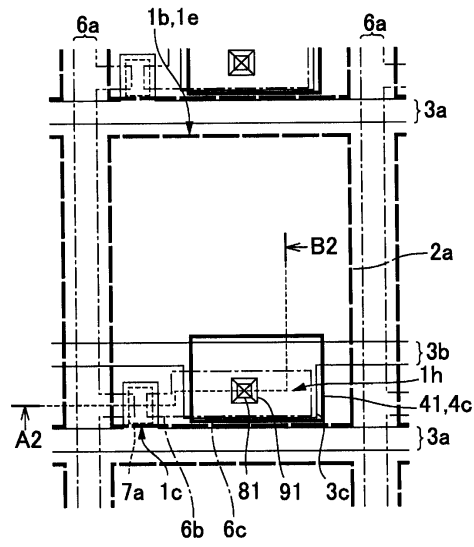


도면7

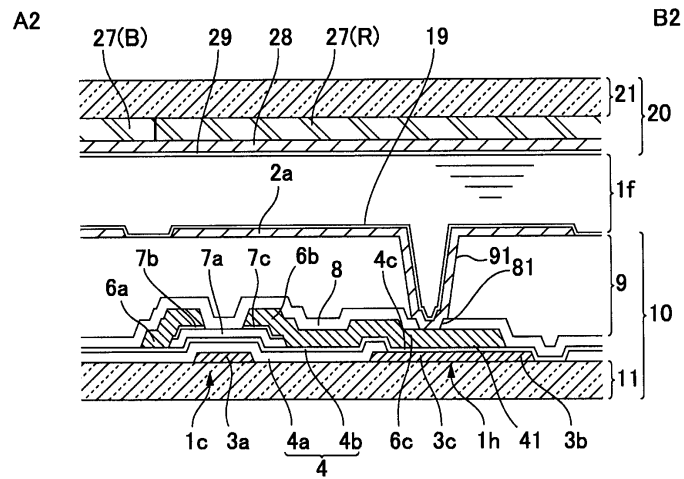


도면8

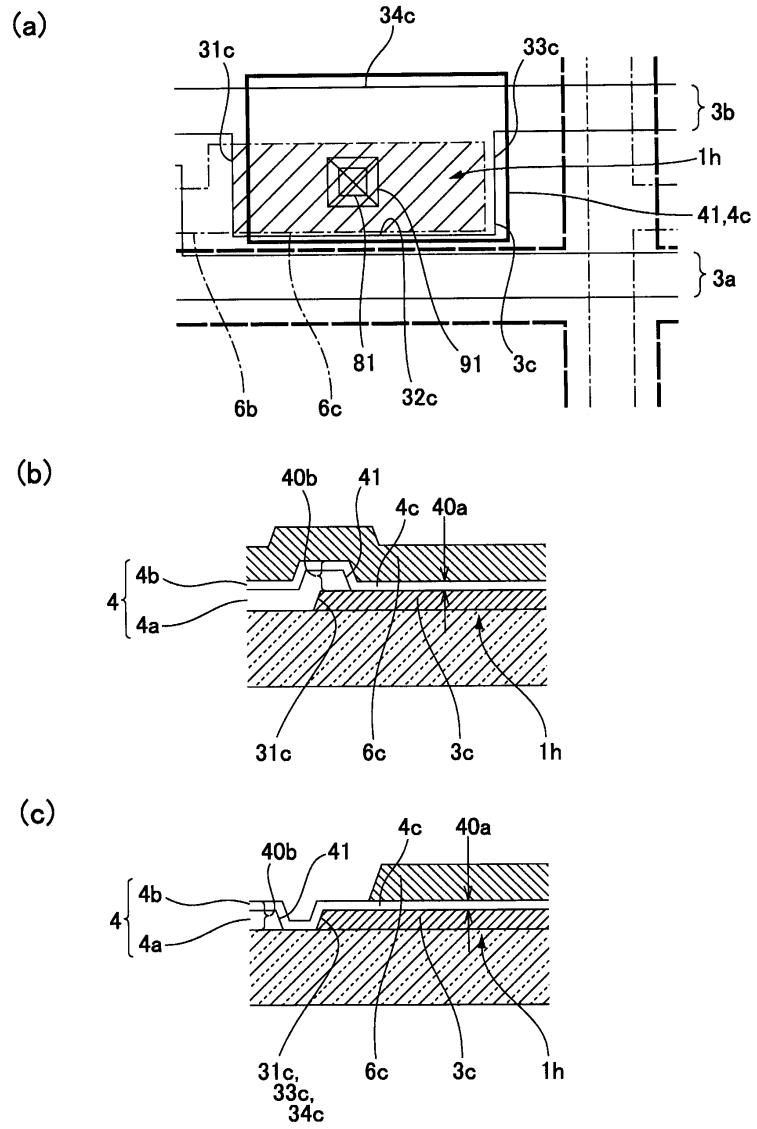
(a)



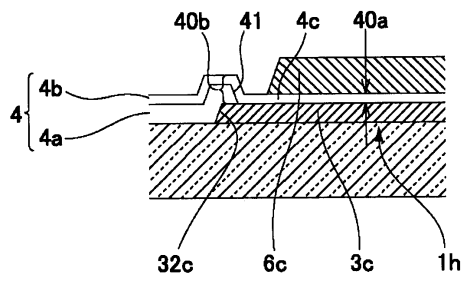
(b)



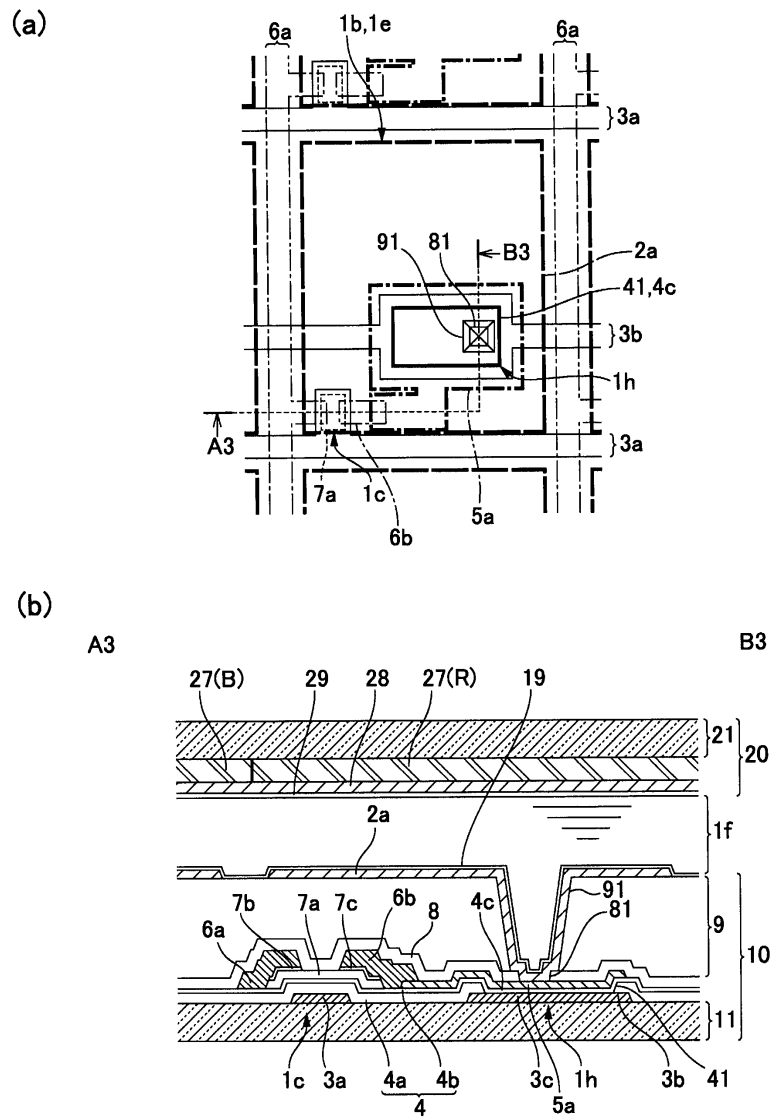
도면9



도면10

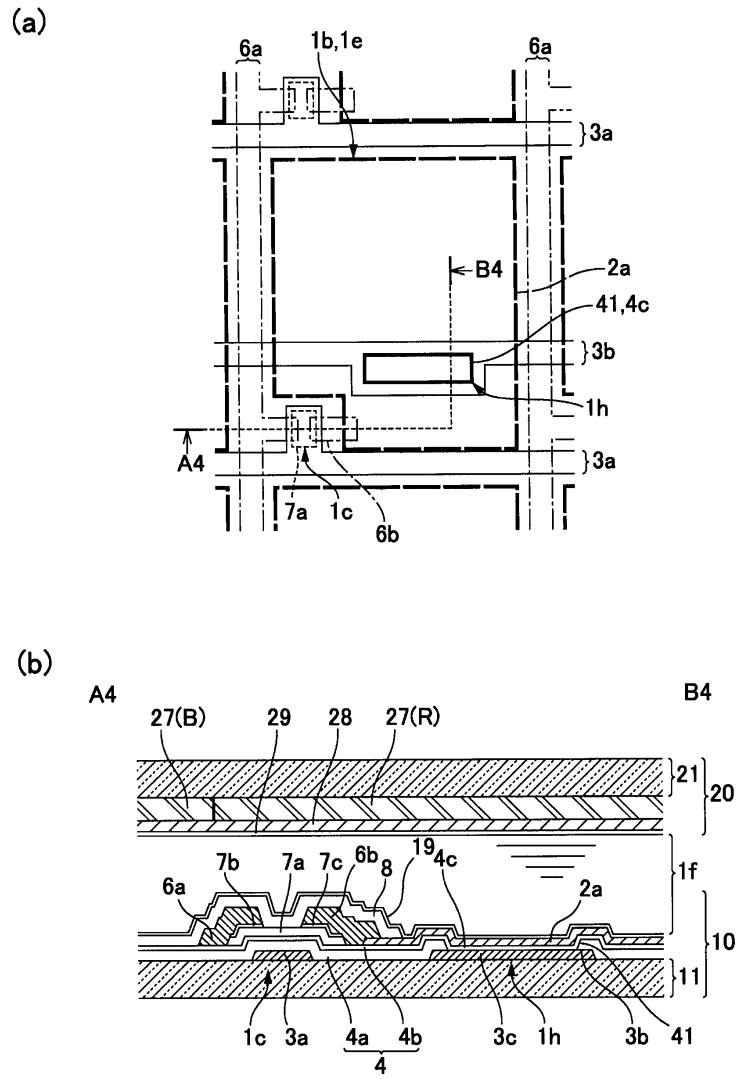


도면11

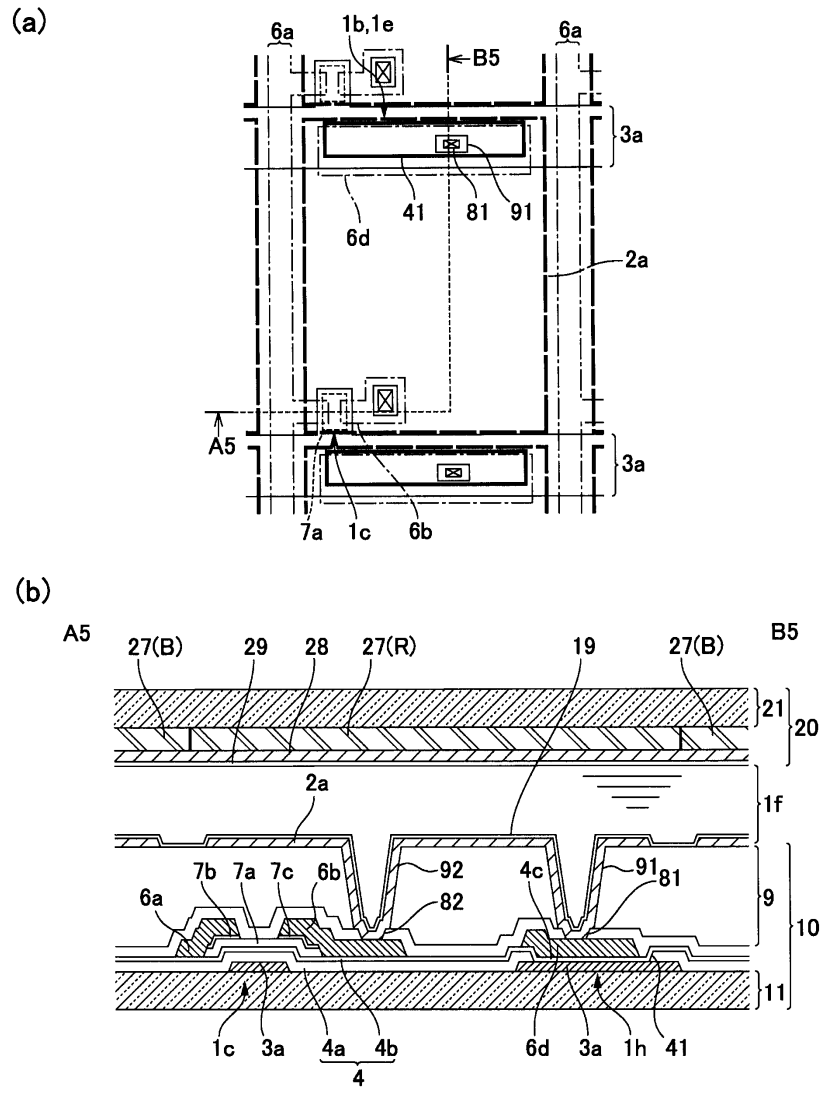




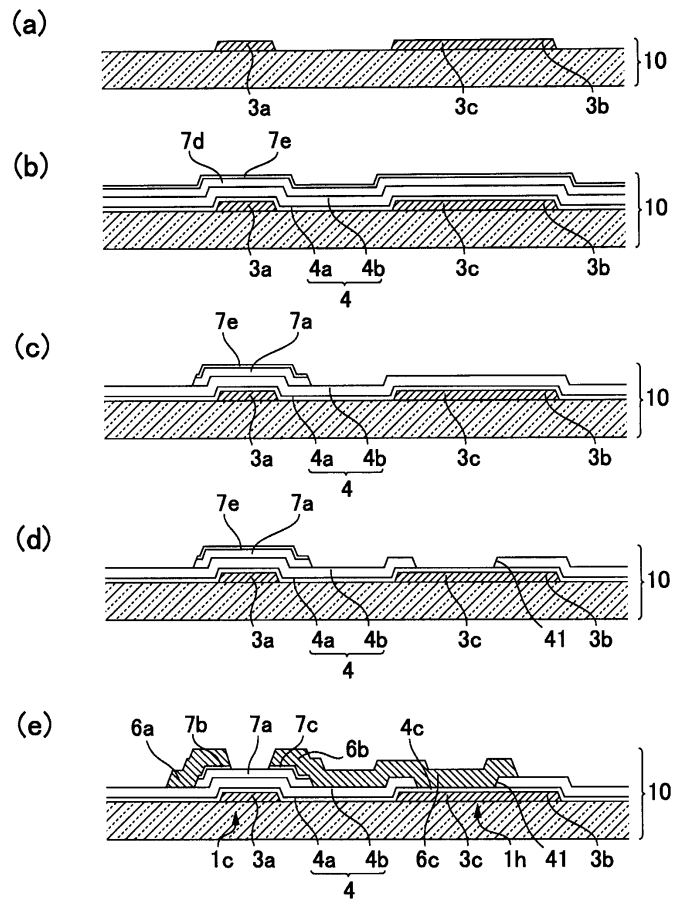
도면12



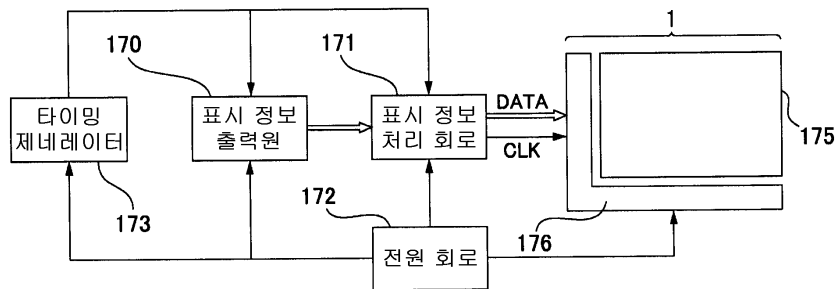
도면13



도면14

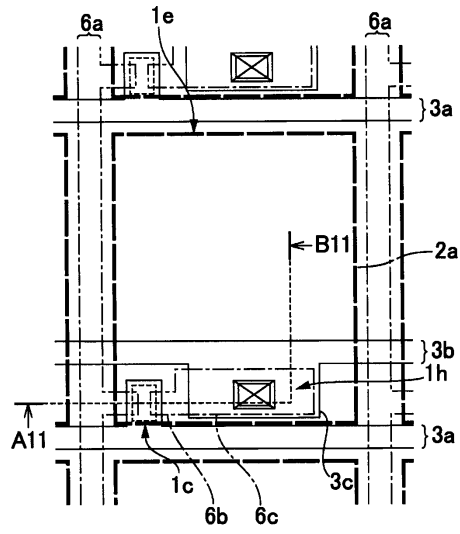


도면15



도면16

(a)



(b)

