(19)中华人民共和国国家知识产权局

(12)发明专利申请

(10)申请公布号 CN 103081016 A
(43)申请公布日 2013.05.01

(21)申请号 201180041359.8
(22)申请日 2011.08.25
(30)优先权数据
2010-189132 2010.08.26 JP
(85)PCT申请进入国家阶段日
2013.02.26
(86)PCT申请的申请数据
PCT/JP2011/069113 2011.08.25
(87)PCT申请的公布数据
WO2012/026506 JA 2012.03.01
(71)申请人 独立行政法人产业技术综合研究所
地址 日本国东京都
申请人 株式会社船井电机新应用技术研究所
船井电机株式会社
(72)发明人 高桥刚 增田雄一郎 古田成生
角谷透 小野雅敏 林豊
福冈敏美 清水哲夫
库玛拉古卢巴兰·索姆 菅洋志
内藤泰久
(74)专利代理机构 隆天国际知识产权代理有限公司 72003
代理人 聂宁乐 浦柏明
(51)Int.Cl.
G11C 13/00(2006.01)
H01L 27/105(2006.01)
H01L 45/00(2006.01)
H01L 49/02(2006.01)

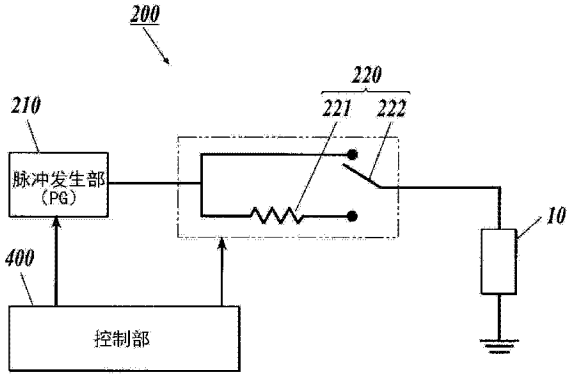
权利要求书2页 说明书10页 附图4页

(54)发明名称

存储元件的驱动方法及使用存储元件的存储装置

(57)摘要

更稳定地进行开关动作。存储元件10具有绝缘性基板1、设置于绝缘性基板的第一电极2及第二电极3、产生第一电极与第二电极之间的电阻值的变化现象的电极间间隙部4，通过从脉冲发生源向存储元件10施加用于从规定的低电阻状态向规定的高电阻状态转换的第一电压脉冲，经由串联的电阻体向存储元件10施加用于从高电阻状态向低电阻状态转换的第二电压脉冲，来减小流向变化为低电阻值之后的存储元件的电流值，与从低电阻状态向所述高电阻状态转换的情况相比，在从高电阻状态向低电阻状态转换的情况下，在使在脉冲发生源与存储元件之间的电阻变大之后，施加电压脉冲。



CN 103081016 A

1. 一种存储元件的驱动方法，

所述存储元件具有：

绝缘性基板，

第一电极及第二电极，设置于所述绝缘性基板上，

电极间间隙部，设置在所述第一电极与所述第二电极之间，具有纳米级的间隙，该纳米级的间隙用于通过向所述第一电极与所述第二电极之间施加规定电压而产生第一、第二电极之间的电阻值的变化现象；

通过施加电压脉冲，所述存储元件能够从规定的低电阻状态向规定的高电阻状态转换以及能够从所述高电阻状态向所述低电阻状态转换，

所述存储元件的驱动方法的特征在于，

至少在从所述高电阻状态向所述低电阻状态转换时，通过插入串联连接的电阻体，从脉冲发生源经由所述电阻体向所述存储元件施加电压脉冲，来减小电阻值变化之后的电流值，

另外，通过施加所述电压脉冲，使得与从所述低电阻状态向所述高电阻状态转换的情况相比，在从所述高电阻状态向所述低电阻状态转换的情况下，所述脉冲发生源与所述存储元件之间的电阻变大。

2. 如权利要求 1 所述的存储元件的驱动方法，其特征在于，

从所述高电阻状态向所述低电阻状态转换的情况下的所述电阻体的电阻值为 2MΩ ～ 0.5MΩ。

3. 一种使用存储元件的存储装置，其特征在于，

具有存储元件和电压施加部；

所述存储元件具有：

绝缘性基板，

第一电极及第二电极，设置于所述绝缘性基板上，

电极间间隙部，设置在所述第一电极与所述第二电极之间，具有纳米级的间隙，该纳米级的间隙用于通过向所述第一电极与所述第二电极之间施加规定电压而产生第一、第二电极之间的电阻值的变化现象；

所述电压施加部，通过施加电压脉冲，使得在所述存储元件的所述第一电极与第二电极之间，进行从规定的低电阻状态向规定的高电阻状态的转换以及从所述高电阻状态向所述低电阻状态的转换；

所述电压施加部具有：

脉冲发生源，产生规定电压的脉冲，

电阻体，用于至少减小在从所述高电阻状态向所述低电阻状态转换时所施加的电压脉冲使电阻值变化之后的流向所述存储元件的电流，

切换部，进行切换，使得与从所述低电阻状态向所述高电阻状态转换的情况相比，在从所述高电阻状态向所述低电阻状态转换的情况下，在所述脉冲发生源与所述存储元件之间的电阻变大。

4. 一种使用存储元件的存储装置，其特征在于，

具有存储元件和电压施加部；

所述存储元件具有：

绝缘性基板，

第一电极及第二电极，设置于所述绝缘性基板上，

电极间间隙部，设置在所述第一电极与所述第二电极之间，具有纳米级的间隙，该纳米级的间隙用于通过向所述第一电极与所述第二电极之间施加规定电压而产生第一、第二电极之间的电阻值的变化现象；

所述电压施加部，通过施加电压脉冲，使得在所述存储元件的所述第一电极与第二电极之间，进行从规定的低电阻状态向规定的高电阻状态的转换和从所述高电阻状态向所述低电阻状态的转换；

所述存储元件为多个，至少各自的存储元件分别与电阻体连接；

所述电压施加部具有切换部，所述切换部进行切换，使得与从所述低电阻状态向所述高电阻状态转换的情况相比，在从所述高电阻状态向所述低电阻状态转换的情况下，在所述脉冲发生源与所述存储元件之间的电阻变大。

5. 如权利要求 3 或者 4 所述的使用存储元件的存储装置，其特征在于，

从所述高电阻状态向所述低电阻状态转换的情况下的所述电阻体的电阻值为 2MΩ ～ 0.5MΩ。

存储元件的驱动方法及使用存储元件的存储装置

技术领域

[0001] 本发明涉及一种使用具有纳米间隙电极(nano-gap electrods)的存储元件的驱动方法及存储元件的存储装置。

背景技术

[0002] 当前,伴随着设备的小型化、高密度化,期望电气元件能够进一步微小化。作为电气元件的微小化的一个例子,已知有通过在间隔微小间隙(纳米间隙)的两个电极之间施加电压,以能够进行开关动作的元件。

[0003] 具体来说,例如,开发了一种由氧化硅和金之类的稳定的材料构成,通过倾斜蒸镀(Oblique deposition)的简便的制造方法进行制造,能够稳定并反复地进行开关动作的元件(例如,参照专利文献 1)。

[0004] 在具有这种纳米间隙的元件(下面,称为“纳米间隙存储元件”)中,为了写入或删除,通过施加具有规定的电压值的电压脉冲,使纳米间隙存储元件从该高电阻状态(关(OFF)状态)向低电阻状态(开(ON)状态)转换,或者从低电阻状态(开(ON)状态)向高电阻状态(关(OFF)状态)转换。

[0005] 现有技术文献

[0006] 专利文献

[0007] 专利文献 1 :日本特开 2007 — 123828 号公报

发明内容

[0008] 发明要解决的问题

[0009] 然而,特别是在从高电阻状态向低电阻状态转换时,存在这样的问题 :即使施加电压脉冲,转换成所期望的电阻状态(低电阻状态)的概率也很低。在此,为了提高从高电阻状态转换成低电阻状态的概率,考虑了增大脉冲宽度(即,一次施加电压脉冲的时间)的方法,或提高电压值等的方法。然而,在这些方法中,存在从高电阻状态转换成低电阻状态的概率仍然不够高的问题。

[0010] 本发明要解决的问题在于,提供一种能够高概率地从高电阻状态向低电阻状态转换的存储元件的驱动方法及使用该存储元件的存储装置。

[0011] 用于解决问题的手段

[0012] 在第一技术方案中记载的发明是一种存储元件的驱动方法,所述存储元件具有 :绝缘性基板 ;第一电极及第二电极,设置于所述绝缘性基板上 ;电极间间隙部,设置在所述第一电极与所述第二电极之间,具有纳米级的间隙,该纳米级的间隙用于通过向所述第一电极与所述第二电极之间施加规定电压而产生第一、第二电极之间的电阻值的变化现象。通过施加电压脉冲,所述存储元件能够从规定的低电阻状态向规定的高电阻状态转换以及能够从所述高电阻状态向所述低电阻状态转换。所述存储元件的驱动方法的特征在于,至少在从所述高电阻状态向所述低电阻状态转换时,通过插入串联连接的电阻体,从脉冲发

生源经由所述电阻体向所述存储元件施加电压脉冲，来减小电阻值变化之后的电流值；另外，通过施加所述电压脉冲，使得与从所述低电阻状态向所述高电阻状态转换的情况相比，在从所述高电阻状态向所述低电阻状态转换的情况下，所述脉冲发生源与所述存储元件之间的电阻变大。

[0013] 在第二技术方案中记载的发明具有与在第一技术方案中记载的发明相同的结构，并且该在第二技术方案中记载的发明的特征在于，从所述高电阻状态向所述低电阻状态转换的情况下的所述电阻体的电阻值为 2MΩ ～ 0.5MΩ。

[0014] 在第三技术方案中记载的发明是一种使用存储元件的存储装置，其特征在于，具有存储元件和电压施加部。所述存储元件具有：绝缘性基板；第一电极及第二电极，设置于所述绝缘性基板上；电极间间隙部，设置在所述第一电极与所述第二电极之间，具有纳米级的间隙，该纳米级的间隙用于通过向所述第一电极与所述第二电极之间施加规定电压而产生第一、第二电极之间的电阻值的变化现象。所述电压施加部，通过施加电压脉冲，使得在所述存储元件的所述第一电极与第二电极之间，进行从规定的低电阻状态向规定的高电阻状态的转换以及从所述高电阻状态向所述低电阻状态的转换。所述电压施加部具有：脉冲发生源，产生规定电压的脉冲；电阻体，用于至少减小在从所述高电阻状态向所述低电阻状态转换时所施加的电压脉冲使电阻值变化之后的流向所述存储元件的电流；切换部，进行切换，使得与从所述低电阻状态向所述高电阻状态转换的情况相比，在从所述高电阻状态向所述低电阻状态转换的情况下，在所述脉冲发生源与所述存储元件之间的电阻变大。

[0015] 在第四技术方案中记载的发明是一种使用存储元件的存储装置，其特征在于，具有存储元件和电压施加部。所述存储元件具有：绝缘性基板；第一电极及第二电极，设置于所述绝缘性基板上；电极间间隙部，设置在所述第一电极与所述第二电极之间，具有纳米级的间隙，该纳米级的间隙用于通过向所述第一电极与所述第二电极之间施加规定电压而产生第一、第二电极之间的电阻值的变化现象。所述电压施加部，通过施加电压脉冲，使得在所述存储元件的所述第一电极与第二电极之间，进行从规定的低电阻状态向规定的高电阻状态的转换和从所述高电阻状态向所述低电阻状态的转换；所述存储元件为多个，至少各自的存储元件分别与电阻体连接；所述电压施加部具有切换部，所述切换部进行切换，使得与从所述低电阻状态向所述高电阻状态转换的情况相比，在从所述高电阻状态向所述低电阻状态转换的情况下，在所述脉冲发生源与所述存储元件之间的电阻变大。

[0016] 在第五技术方案中记载的发明具有与在第三技术方案或者第四技术方案中记载的发明相同的结构，并且该在第五技术方案中记载的发明的特征在于，从所述高电阻状态向所述低电阻状态转换的情况下的所述电阻体的电阻值为 2MΩ ～ 0.5MΩ。

[0017] 发明的效果

[0018] 作为发明人们为了解决上述的问题而专心研究的结果，着眼于从脉冲发生源经由串联连接的电阻体向存储元件施加用于切换电阻状态的电压脉冲。由此可知，通过施加上述电压脉冲，使存储元件以更高的概率从高电阻状态向低电阻状态转换。

[0019] 根据本发明，就具有电极间间隙部的存储元件而言，至少从高电阻状态向低电阻状态转换时，电压脉冲的施加是经由串联的电阻体进行的，其中，电极间间隙部具有纳米级的间隙，该纳米级的间隙用于通过施加电压脉冲来进行从规定的低电阻状态向规定的高电阻状态的转换以及从高电阻状态向低电阻状态的转换。由此，在施加电压脉冲时，能够减小

流向变化为低电阻值之后的存储元件的电流值。

[0020] 以往，与从低电阻状态向高电阻状态切换相比，从高电阻状态向低电阻状态切换的成功率很低，但是通过以上述方式施加电压脉冲，能够显著地提高从高电阻状态向低电阻状态切换的成功率。

[0021] 例如，在交替进行从低电阻状态向高电阻状态切换和从高电阻状态向低电阻状态切换的反复重写（改写）试验中，能够更加可靠地执行在低电阻状态与高电阻状态之间的状态切换，另外，能够基本不重复地将低电阻状态的电阻值所属的范围与高电阻状态的电阻值所属的范围分开，由此，能够保持能够识别存储元件的两个状态，从而能够进一步提高作为存储装置的适应性。

附图说明

[0022] 图 1A 是表示本发明的存储装置的功能的结构的框图。

[0023] 图 1B 是表示存储装置的纳米间隙存储器阵列所包括的一个存储单元的结构的图。

[0024] 图 2 是示意性地表示本发明的存储装置所具有的纳米间隙存储元件的主要部分的剖视图。

[0025] 图 3 是表示本发明的存储装置所具有的电压施加部的功能的结构的框图。

[0026] 图 4 是示意性地表示另一个纳米间隙存储元件的主要部分的剖视图。

[0027] 图 5 是表示在交替并反复地施加使实施例中的纳米间隙存储元件从低电阻状态向高电阻状态转换的第一电压脉冲和使该纳米间隙存储元件从高电阻状态向低电阻状态转换的第二电压脉冲的情况下的元件的电阻值变化的图表。

[0028] 图 6 是表示在交替并反复地施加使比较例中的纳米间隙存储元件从低电阻状态向高电阻状态转换的第一电压脉冲和使该纳米间隙存储元件从高电阻状态向低电阻状态转换的第二电压脉冲的情况下的元件的电阻值变化的图表。

[0029] 图 7 是表示在交替并反复地施加使另一个例子中的纳米间隙存储元件从低电阻状态向高电阻状态转换的第一电压脉冲和使该纳米间隙存储元件从高电阻状态向低电阻状态转换的第二电压脉冲的情况下的元件的电阻值变化的图表，所述另一个例子中的纳米间隙存储元件与实施例中的纳米间隙存储元件结构相同，仅改变了施加给存储元件的脉冲的宽度。

具体实施方式

[0030] 下面，利用附图，针对本发明说明具体的方式。但是，发明的范围不限于图示的例子。

[0031] ＜具有纳米间隙存储元件的存储装置＞

[0032] 首先，参照图 1A ～图 3，针对存储装置 1000 的结构进行说明。

[0033] 存储装置 1000 为具有将多个存储单元 110 配置成阵列状的存储元件阵列来存储数据的装置。在此，在本发明的存储装置 1000 中，存储单元 110 由纳米间隙存储元件 10 和作为选择元件的 MOS（金属氧化物半导体）晶体管 11 构成，存储元件阵列为纳米间隙存储器阵列 100。

[0034] 具体来说，例如，如图 1A 所示，存储装置 1000 构成为具有：纳米间隙存储器阵列 100、电压施加部 200、读取部 300、控制部 400、为了选择排列成阵列状的存储单元 110 的中一个而指定存储单元 110 在 X 方向上的位置的 X 方向上的地址指定部 410、指定存储单元 110 在 Y 方向上的位置的 Y 方向上的地址指定部 420 等。

[0035] （纳米间隙存储器阵列）

[0036] 纳米间隙存储器阵列 100 为将例如多个存储单元 110 配置成阵列状（例如，二维阵列状）的高密度存储器。

[0037] 如图 1B 所示，存储单元 110 由 MOS 晶体管 11、与该 MOS 晶体管 11 的漏电极或源电极连接的纳米间隙存储元件 10 构成。MOS 晶体管 11 的源电极或漏电极与 X 方向上的地址指定部 410 连接，栅电极与 Y 方向上的地址指定部 420 连接。并且，若经由 X 方向上的地址指定部 410 施加后述的第一或第二电压脉冲，从 Y 方向上的地址指定部 420 输入指定信号，则实现对纳米间隙存储元件 10 施加电压脉冲，产生后述的电阻值变化现象。

[0038] （纳米间隙存储元件）

[0039] 纳米间隙存储元件 10 为例如使纳米间隙电极之间（电极间间隙部 4 的间隙）的电阻值切换（在低电阻 / 高电阻之间切换），以存储数据的存储元件。

[0040] 具体来说，例如，如图 2 所示，纳米间隙存储元件 10 构成为具有：绝缘性基板 1、设置于绝缘性基板 1 的一个面（上表面）的第一电极 2 及第二电极 3、设置在第一电极 2 与第二电极 3 之间的电极间间隙部 4 等。

[0041] 绝缘性基板 1 作为支持体起作用，用于以例如隔开纳米间隙存储元件 10 的两个电极（第一电极 2 和第二电极 3）的方式设置该两个电极。

[0042] 绝缘性基板 1 的结构及材料没有特别的限定。具体来说，例如，绝缘性基板 1 的表面的形状可以为平面，可以具有凹凸。另外，绝缘性基板 1 可以为例如在 Si 等的半导体基板的表面设置氧化膜等的基板，还可以采用基板自身具有绝缘性的基板。

[0043] 作为绝缘性基板 1 的材料，优选例如，玻璃、二氧化硅（SiO_2）等的氧化物、氮化硅（SiN）等的氮化物等，其中，从与第一电极 2 及第二电极 3 的贴合性好、制造的自由度大的角度出发，优选二氧化硅（SiO_2）。

[0044] 例如，第一电极 2 与第二电极 3 成对，用于进行纳米间隙存储元件 10 的开关动作。

[0045] 第一电极 2 的形状没有特别的限定，能够适当地任意改变。

[0046] 第一电极 2 的材料只要具有导电性即可，没有特别的限定，优选地，采用例如，从金、银、铂、钯（Palladium）、镍（Nickel）、铝（Aluminum）、钴（Cobalt）、铬（Chromium）、铑（Rhodium）、铜、钨（Tungsten）、钽（Tantalum）、碳或这些材料的合金中选择的至少一种。在此，为了强化第一电极 2 与绝缘性基板 1 的接合性，例如，可以叠加两层以上不同的金属来使用。具体来说，例如，第一电极 2 可以采用铬及金的层叠（多层）结构。

[0047] 例如，第二电极 3 与第一电极 2 成对，用于进行纳米间隙存储元件 10 的开关动作。

[0048] 第二电极 3 的形状没有特别的限定，能够适当地任意改变。

[0049] 第二电极 3 的材料只要具有导电性即可，没有特别的限定，优选地，采用例如，例如，金、銀、铂、钯、镍、铝、钴、铬、铑、铜、钨、钽、碳或这些材料的合金中选择的至少一种。为了强化第一电极 3 与绝缘性基板 1 的接合性，例如，可以叠加两层以上不同的金属来使用。具体来说，例如，第二电极 3 可以采用铬及金的层叠（多层）结构。

[0050] 电极间间隙部 4 例如形成于第一电极 2 与第二电极 3 之间，其起到发现纳米间隙存储元件 10 的电阻值变化现象的作用。

[0051] 具体来说，例如，电极间间隙部 4 具有纳米级（nanometer order）的间隙，该纳米级的间隙用于通过向第一电极 2 与第二电极 3 之间施加规定电压而产生电阻的开关现象。即，将第一电极 2 与第二电极 3 之间（纳米间隙电极之间）的距离（间隔）G 设定为纳米级。

[0052] 优选地，第一电极 20 与第二电极 30 之间（纳米间隙电极之间）的距离（间隔）G 为例如，0nm ＜ G ≤ 13nm，更优选地，为 0.8nm ＜ G ＜ 2.2nm。

[0053] 在此，将距离 G 的上限值设为 13nm 是因为，例如，在通过两次倾斜蒸镀制造纳米间隙存储元件的情况下，若间隙间隔超过 13nm，则纳米间隙存储元件不能进行开关动作。

[0054] 另外，若将低电阻状态、高电阻状态的典型的值代入隧道电流的理论公式，则作为间隙宽度的计算结果，求得 0.8nm ＜ G ＜ 2.2nm 的范围。

[0055] 此外，第一电极 2 与第二电极 3 的最接近的部位（电极间间隙部 4 的间隙），例如可以在第一电极 2 与第二电极 3 相向对置的区域内形成一处或者多处。

[0056] 另外，例如，可以在第一电极 2 与第二电极 3 之间形成由该第一电极 2 和第二电极 3 的结构材料等构成的岛部分（sandbank portion，沙洲部分）。在该情况下，例如，在第一电极 2 与岛部分之间、在第二电极 3 与岛部分之间形成有规定的间隙（电极间间隙部 4 的间隙），只要使第一电极 2 与第二电极 3 不短路即可。

[0057] （电压施加部）

[0058] 电压施加部 200 与例如纳米间隙存储器阵列 100 所具有的多个存储单元 110 及控制部 400 连接。电压施加部 200 基于例如从控制部 400 输入的控制信号，通过向在存储单元 110 内的纳米间隙存储元件 10 的第一电极 2 与第二电极 3 之间施加电压（电压脉冲），来将数据写入纳米间隙存储元件 10，或者从纳米间隙存储元件 10 内删除数据。

[0059] 具体来说，例如，从控制部 400 向电压施加部 200 输入与要施加电压脉冲的纳米间隙存储元件 10 的所在地相关的地址信息。若输入了这些信息，则电压施加部 200 向例如纳米间隙存储器阵列 100 所具有的多个纳米间隙存储元件 10 中的利用地址信息指定的纳米间隙存储元件 10 施加电压脉冲。

[0060] 另外，为了对各个纳米间隙存储元件 10 施加第一电压脉冲和第二电压脉冲，电压施加部 200 具备图 3 示出的结构，其中，第一电压脉冲和第二电压脉冲用于使各个纳米间隙存储元件 10 的第一电极 2 与第二电极 3 之间的电阻状态在低电阻状态与高电阻状态的两种状态之间切换。

[0061] 即，电压施加部 200 具有：作为脉冲发生源的脉冲发生器 210，其对存储元件 10 产生（施加）具有规定的电压及规定的脉冲宽度的电压脉冲；切换部 220，其使上述脉冲发生器 210 和纳米间隙存储元件 10 的第一电极 2 在第一连接状态与第二连接状态之间切换。此外，这些脉冲发生器 210 及切换部 220 被设置成经由 X 方向上的地址指定部 410 而与各纳米间隙存储元件 10 连接。此外，实际上，在电压施加部部 200 与各纳米间隙存储元件 10 之间设置有各地址指定部 410 及 MOS 晶体管 11，在图 3 中，省略这些设备的图示。

[0062] 脉冲发生器 210 能够输出单个电压脉冲，通过控制部 400，能够任意地控制该电压脉冲的电压和脉冲宽度。

[0063] 切换部 220 具有用于形成第一连接状态的路径和用于形成第二连接状态的路径，

其中，在所述第一连接状态下，直接连接脉冲发生器 210 和纳米间隙存储元件 10 的第一电极 2；在所述第二连接状态下，在脉冲发生器 210 与纳米间隙存储元件 10 的第一电极 2 之间串联配置作为电阻体的电阻元件 221，并且连接脉冲发生器 210、电阻元件 221、纳米间隙存储元件 10 的第一电极 2。切换部 220 能够通过切换元件 222 选择性地连接某一个的路径。通过控制部 400 进行上述切换元件 222 的切换控制。

[0064] 在通过切换部 220 以第一连接状态进行连接的情况下，将从脉冲发生器 210 输出的电压脉冲直接作为第一电压脉冲施加给纳米间隙存储元件 10。

[0065] 另外，在通过切换部 220 以第二连接状态进行连接的情况下，将从脉冲发生器 210 输出的电压脉冲经由电阻元件 222 之后的电压脉冲，作为第二电压脉冲施加给纳米间隙存储元件 10。此时，由于能够将电阻元件 222 及纳米间隙存储元件 10 看作串联的两个电阻元件，所以相对于电压脉冲，有与电阻元件 222 和纳米间隙存储元件 10 的合计的电阻值成反比例的电流流向纳米间隙存储元件 10，从而防止流经切换成低电阻状态的纳米间隙存储元件 10 的电流过大，从而能够稳定地保持纳米间隙存储元件 10 的低电阻状态，提高向对应低电阻切换的成功率。

[0066] 由此，通过施加第二电压脉冲，能够将纳米间隙存储元件 10 在能够固定的范围内固定为极小的电阻值。

[0067] 另外，防止在写入数据时，在纳米间隙存储元件 10 从高电阻变为低电阻而发生很大电阻变化时，因元件流入电流的急剧增加而导致断路等的元件损坏。

[0068] （X 方向及 Y 方向上的地址指定部）

[0069] X 方向上的地址指定部 410 具有多个配线，这些配线将在设置成阵列状的多个存储单元 110 内的沿着 Y 方向排列的多个存储单元 110 各自的 MOS 晶体管 11 的源电极并联，并且各配线设置成沿着 X 方向排列。能够对各配线逐个施加来自电压施加部 200 的电压脉冲。

[0070] Y 方向的地址指定部 420 具有多个配线，这些配线将在设置成阵列状的多个存储单元 110 内的沿着 X 方向排列的多个存储单元 110 各自的 MOS 晶体管 11 的栅电极并联，并且各配线设置成沿着 Y 方向排列。能够对各配线逐个施加作为指定信号的电压，由此，能够实现对各 MOS 晶体管 11 连接源电极和对各 MOS 晶体管 11 连接漏电极。

[0071] 即，根据 Y 方向上的地址指定部 420 的位置指定，对相应的配线施加指定信号，根据 X 方向上的地址指定部 410 的位置指定，对相应的配线施加电压脉冲，从而，能够对通过 X 方向和 Y 方向上的位置指定而确定的任意纳米间隙存储元件 10 施加电压脉冲。

[0072] 此外，通过将存储单元 110 构成为至少将纳米间隙存储元件 10 与电阻体连接（还可以与 MOS 晶体管 11 连接），能够使写入高速化。这是因为，到存储单元 110 为止的配线的充放电电流不受电阻体的限制。虽然存储单元面积有增加的可能性，但若将所述电阻体和所述存储元件的电极构成为层叠结构，则能够避免存储单元面积增加。

[0073] 在该情况下，不需要图 3 示出的切换部 220，能够由脉冲发生器 210 供给电压，以驱动存储单元。

[0074] （读取部）

[0075] 读取部 300 与例如纳米间隙存储器阵列 100 所具有的多个纳米间隙存储元件 10 及控制部 400 连接。读取部 300 根据例如从控制部 400 输入的控制信号，从纳米间隙存储

元件 10 读取数据，并将该读取结果输出至控制部 400。

[0076] 具体来说，例如，从控制部 400 向读取部 300 输入与读取数据的纳米间隙存储元件 10 的所在地相关的地址信息。若接收到该信息，则读取部 300 例如测定纳米间隙存储器阵列 100 所具有的多个纳米间隙存储元件 10 中的利用地址信息指定的纳米间隙存储元件 10 的纳米间隙电极之间（电极间间隙部 4 的间隙）的电阻值，从而从该纳米间隙存储元件 10 读取数据。

[0077] （控制部）

[0078] 控制部 400 向电压施加部 200 的脉冲发生器 210 输入控制信号（电压值信息等），向 X 方向及 Y 方向上的地址指定部 410、420 输入地址信号，控制以规定电压值向任意纳米间隙存储元件 10 施加事先设定的规定脉冲宽度的电压脉冲。

[0079] 此时，控制部 400 进行如下的控制：在使纳米间隙存储元件 10 从低电阻状态向（下面，也称为“开（ON）状态”）高电阻状态（下面，也称为“关（OFF）状态”）切换时，对切换元件 222 进行控制，以使切换部 220 处于第一连接状态，此后，使脉冲发生器 210 按照设定电压产生脉冲，向纳米间隙存储元件 10 施加第一电压脉冲。

[0080] 另外，进行如下的控制：在使纳米间隙存储元件 10 从高电阻状态（关（OFF）状态）向低电阻状态（开（ON）状态）切换时，对切换元件 222 进行控制，以使切换部 220 处于第二连接状态，此后，使脉冲发生振器 210 产生与第一电压脉冲相同的脉冲，向纳米间隙存储元件 10 施加第二电压脉冲。

[0081] 另外，例如，若施加第二电压脉冲，则控制部 400 向读取部 300 输入控制信号（地址信息等），从纳米间隙存储元件 10 读取数据，然后，基于该读取结果，判断纳米间隙存储元件 10 是否从高电阻状态转换成了低电阻状态。

[0082] 在判断的结果为纳米间隙存储元件 10 没有从高电阻状态转换成低电阻状态的情况下，可以进行再次施加第二电压脉冲的控制。

[0083] （纳米间隙存储元件的变形例）

[0084] 此外，本发明不限于上述实施方式，在不脱离本发明的思想的范围内，可以进行各种改良以及设计的变更。

[0085] 下面，针对本发明的纳米间隙存储元件的变形例进行说明。

[0086] 例如，如图 4 所示，变形例 1 的纳米间隙存储元件 10A 主要具有：绝缘性基板 1A、设置于绝缘性基板 1A 的上表面的绝缘体 5A、设置于绝缘性基板 1A 的上表面的第一电极 2A、设置于绝缘体 5A 的上表面的第二电极 3A、设置于第一电极 2A 与第二电极 3A 之间的电极间间隙部 4A。

[0087] 具体来说，通过将绝缘体 5A 设置于绝缘性基板 1A 的上表面，构成阶梯部，通过该绝缘体 5A，将第一电极 2A 和第二电极 3A 以具有高低差的方式配置在基板 1A 上。第一电极 2A 设置成与绝缘性基板 1A 的上表面及绝缘体 5A 的侧面 51A 的下侧部分接触，第二电极 3A 设置成与绝缘体 5A 的上表面及绝缘体 5A 的侧面 51A 的上侧部分接触。电极间间隙部 4A 设置在，设于绝缘体 5A 的侧面 51A 的下侧部分的第一电极 2A 与设于绝缘体 5A 的侧面 51A 的上侧部分的第二电极 3A 之间。即，电极间间隙部 4A 沿着由绝缘体 5A 形成的阶梯部的高度方向形成有间隙 G。

[0088] 此外，优选地，第一电极 2A 及第二电极 3A 的材料选择与上述的第一电极 2 及第二

电极 3 相同的材料。

[0089] 另外，绝缘体 5A 的第一对置部位与第二对置部位沿着相对于基板 1A 的平面的高度方向排列，所述第一对置部位与构成电极间间隙部 4A 的第一电极 2A 相对置，所述第二对置部位与第二电极 3A 相对置。因此，只要具备上述功能，也可以采用其它的结构。

[0090] 另外，绝缘体 5A 可以为例如在绝缘性基板 1A 的一部分设置氧化膜等而成的构件，可以为在绝缘性基板 1A 整个表面设置氧化膜等，通过去掉该氧化膜的一部分而形成的构件。另外，作为绝缘体 5A 的材料，优选例如，玻璃、二氧化硅（SiO_2）等的氧化物、氮化硅（Si_3N_4）等的氮化物等，其中，从与第一电极 2A 及第二电极 3A 的贴合性好、制造自由度大的角度出发，优选二氧化硅（SiO_2）。

[0091] 另外，电极间间隙部 4A 与上述的电极间间隙部 4 相比，除了所形成的平面的朝向不同以外，实体的结构基本相同。因此，电极间间隙部 4A 的尺寸等的设计条件、电极间间隙部 4A 的动作方法与上述的电极间间隙部 4 的情况相同。

[0092] 上述变形例 1 的存储元件 10A 具备与上述的存储元件 10 相同的技术的效果，并且通过由绝缘体 5A 形成的阶梯部，将第一电极 2A 及第二电极 3A 以具有高低差的方式配置在绝缘性基板 1A 的上表面，并且沿着绝缘体 5A 的高度方向形成有电极间间隙部 4A，因此，与将第一电极 2A、第二电极 3A 及电极间间隙部 4A 配置成排列在同一平面上的情况相比，从俯视绝缘性基板 1A 看来，能够减少该电极间间隙部 4A 的占有面积。由此，例如，在通过共用单个绝缘性基板 1A，集成多个存储元件 10A，来形成存储元件的情况下，有利于集成化，能够实现存储元件的小型化。

[0093] ＜实施例＞

[0094] 下面，根据具体的实施例，来更加详细地说明本发明，但是，本发明不限定于此。

[0095] 在此，针对利用图 4 示出的纳米间隙存储元件 10A 的实施例进行说明。此外，也可以采用纳米间隙存储元件 10。

[0096] 交替并反复地对上述的纳米间隙存储元件 10A 施加第一电压脉冲及第二电压脉冲，分别在施加各电压脉冲之后，测定该纳米间隙存储元件 10A 的纳米间隙电极之间（电极间间隙部 4A 的间隙）的电阻值。在施加第一电压脉冲及第二电压脉冲时，两者都将由脉冲发生器 210 产生的电压脉冲的电压设定为 10V，将脉冲宽度（施加一次电压脉冲的时间）设定为 100μs。另外，电压施加部 200 的切换部 220 的电阻元件使用 1MΩ。

[0097] 另外，作为比较例，对于相同的纳米间隙存储元件 10A，不使用切换部 220，而是直接连接脉冲发生器 210 与纳米间隙存储元件 10，将第二电压脉冲的施加电压设定为低于第一电压脉冲的施加电压，交替并反复地施加第一电压脉冲与第二电压脉冲，分别在施加各电压脉冲之后，测定此时的纳米间隙存储元件 10A 的纳米间隙电极之间（电极间间隙部 4A 的间隙）的电阻值。在该比较例中，将第一电压脉冲设定为 10V，将第二电压脉冲设定为 5V，将两者的脉冲宽度都设定为 500ns。

[0098] 图 5 是表示与每次施加实施例的第一电压脉冲和第二电压脉冲相对应的电阻值的图表，图 6 是表示与每次施加比较例的第一电压脉冲和第二电压脉冲相对应的电阻值的图表。在各图中，■表示施加第一电压脉冲时（关（OFF）时）的电阻值，●表示施加第二电压脉冲时（开（ON）时）的电阻值。

[0099] 在实施例及比较例中都显示出以下的趋势：在施加第一电压脉冲时，电阻值上升，

在施加第二电压脉冲时，电阻值下降。

[0100] 然而，在比较例的情况中，如图 6 所示，在施加第二电压脉冲之后，没有从高电阻状态充分切换成低电阻状态的情况很多，在施加第一电压脉冲之后的电阻值和在施加第二电压脉冲之后的电阻值各自的偏差很多，高电阻状态的电阻的数值范围与低电阻状态的电阻的数值范围有很大程度互相重复。其结果为，显示出若使用纳米间隙存储元件 10A 来作为存储装置内的一个存储元件，则难以识别开（ON）和关（OFF），导致不够实用的结果。

[0101] 另一方面，如图 5 所示，实施例能够抑制（减小）在施加第一电压脉冲之后的纳米间隙存储元件 10A 的电阻值和在施加第二电压脉冲之后的纳米间隙存储元件 10A 的电阻值各自的偏差，高电阻状态的电阻的数值范围与低电阻状态的电阻的数值范围基本不重复。即，通过决定出规定的阈值，纳米间隙存储元件 10A 能够更加可靠地识别开（ON）状态或关（OFF）状态，提高作为存储装置的实用性。

[0102] 另外，相对于图 5 的实施例，在图 7 中示出了在将在施加第一电压脉冲及第二电压脉冲时的脉冲宽度设定为 150 微秒（μs），进行与图 5 相同的试验的情况下的纳米间隙存储元件 10A 的电阻值的测定结果。

[0103] 在图 7 的例子中，与图 5 相同，能够抑制（减小）在施加第一电压脉冲之后的纳米间隙存储元件 10A 的电阻值和在施加第二电压脉冲之后的纳米间隙存储元件 10A 的电阻值各自的偏差，很好地分离高电阻状态的电阻的数值范围和低电阻状态的电阻的数值范围，从而能够易于识别纳米间隙存储元件 10A 的开（ON）状态或关（OFF）状态，提高作为存储装置的实用性。

[0104] （发明的实施方式的效果）

[0105] 如上所述，在存储装置 1000 中，通过利用电压施加部 200 的切换部 220，由脉冲发生器 210 直接对纳米间隙存储元件 10（或 10A）施加第一电压脉冲，由串联的电阻元件 221 对纳米间隙存储元件 10（或 10A）施加第二电压脉冲。

[0106] 由此，在施加第二电压脉冲时，能够对纳米间隙存储元件 10（或 10A）导通很小的电流。因此，就在施加第一电压脉冲之后的纳米间隙存储元件 10（或 10A）的电阻值和在施加第二电压脉冲之后的电阻值而言，能够抑制（减小）各自的偏差，能够有效抑制高电阻状态的电阻值的数值范围与低电阻状态的电阻值的数值范围重复。因此，能够提高作为纳米间隙存储元件 10（或 10A）的存储元件的可靠性及实用性。

[0107] 另外，由于通过利用切换部 220 切换电阻元件 221 的有无（串联电阻元件 221 或者不串联），来选择性地施加第一电压脉冲和第二电压脉冲，所以能够使脉冲发生器的输出电压恒定，从而能够施加稳定的电压。

[0108] （其他）

[0109] 此外，还可以通过利用规定的密封构件密封存储装置 1000 的一部分（例如，纳米间隙存储器阵列 100）或全部，以使得电极间间隙部 4 不与大气或水分接触。由此，能够使纳米间隙存储元件 10（或 10A）更稳定地进行动作。进而，通过利用规定的密封构件进行密封，能够保持将电极间间隙部 4 配置在任意的环境中的状态，从而能够在任意的环境中使用纳米间隙存储元件 10（或 10A）。

[0110] 此外，第一及第二电压脉冲的电压值、脉冲宽度，是根据纳米间隙存储元件的间隙的尺寸、电极的选择材料、间隙之间的空气的成分等适当地进行变更而得到的，另外，电

阻元件 221 的电阻值并不严格地限定于 1MΩ，而在 3MΩ ～ 0.3MΩ 的范围，更优选地，在 2MΩ ～ 0.5MΩ 的范围等的大致 1MΩ 的范围也有效果，另外，在同样的条件下，根据第一及第二电压脉冲的电压值、纳米间隙存储元件的在高电阻时或在低电阻时的电阻值等，能够适当地进行选择，而不限于上述的例子。

[0111] 另外，在上述存储装置 1000 中，例示了在纳米间隙存储器阵列 100 内进行存储的情况，但也可以将由单独的纳米间隙存储元件 10、与该单独的纳米间隙存储元件 10 对应的电压施加部 200、读取部 300、控制部 400 构成的设备作为存储装置。

[0112] 此外，在上述的存储装置 1000 中，电压施加部 200 仅在施加第二电压脉冲时经由电阻元件 221 来施加电压，但也可以在施加第一电压脉冲时也经由电阻元件来施加电压。但是，就在施加第一电压脉冲时所使用的电阻元件而言，需要选择电阻值比在施加第二电压脉冲时所使用的电阻元件 221 低的元件，以将在施加第一电压脉冲时流向纳米间隙存储元件 10 的电流值调整为比在施加第二电压脉冲时的电流大。

[0113] 工业上的可利用性

[0114] 可应用于能够通过施加电压脉冲来切换开（ON）（低电阻）- 关（OFF）（高电阻）的存储元件的领域中。

[0115] 附图标记说明

[0116] 1 绝缘性基板

[0117] 2 第一电极

[0118] 3 第二电极

[0119] 4 电极间间隙部

[0120] 10 纳米间隙存储元件（存储元件）

[0121] 200 电压施加部

[0122] 210 脉冲发生器（脉冲发生源）

[0123] 220 切换部

[0124] 221 电阻元件（电阻体）

[0125] 1000 存储装置

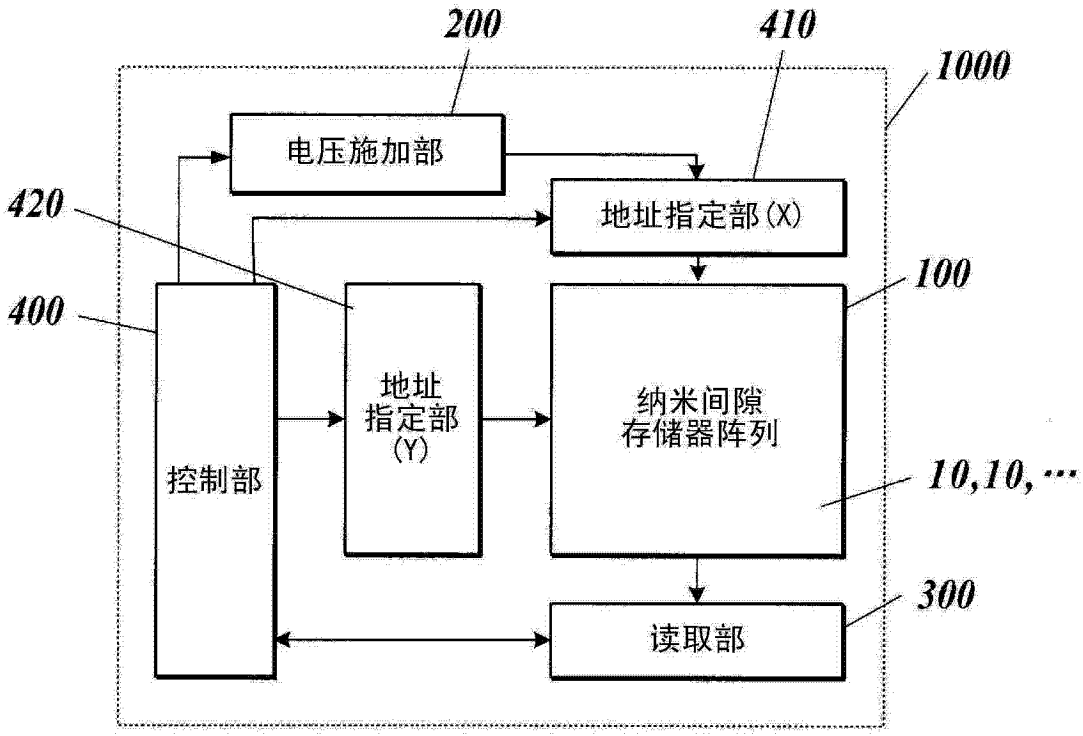

200
410
1000
电压施加部
地址指定部(X)
420
100
400
地址
指定部
(Y)
纳米间隙
存储器阵列
控制部
10,10,…
300
读取部

图 1A

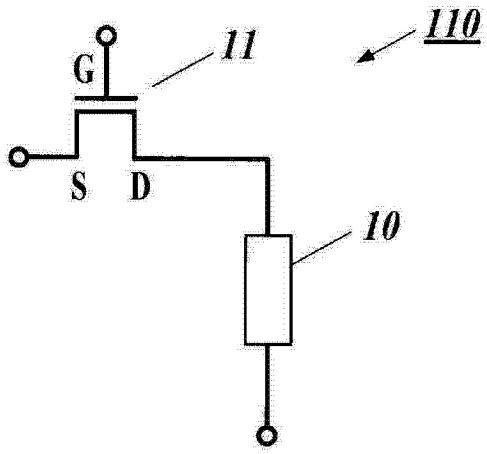

110
11
G
S
D
10

图 1B

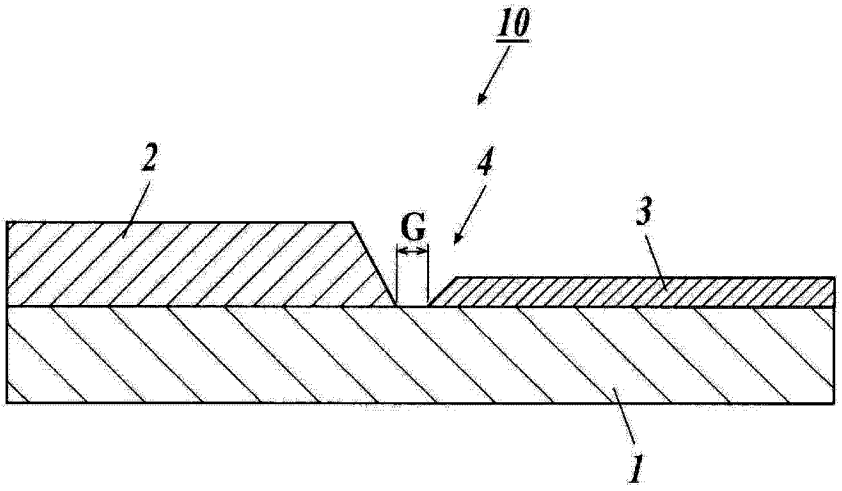


图 2

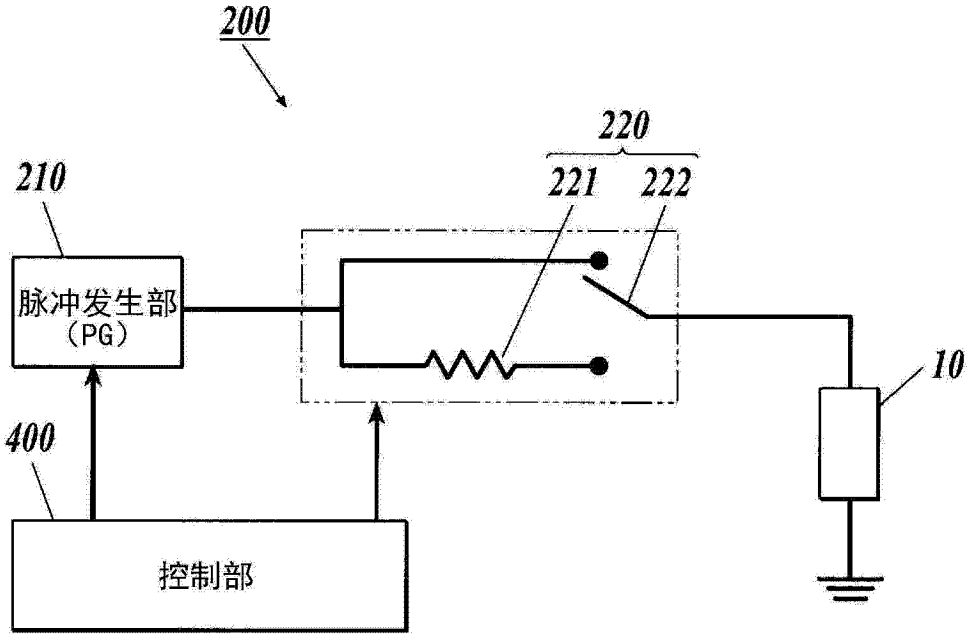


图 3

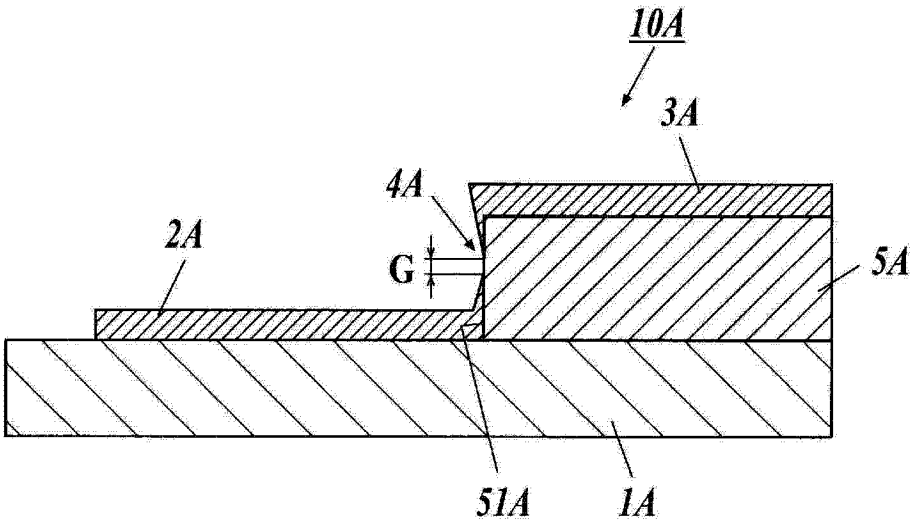

10A
3A
4A
2A
G
5A
51A
1A

图 4

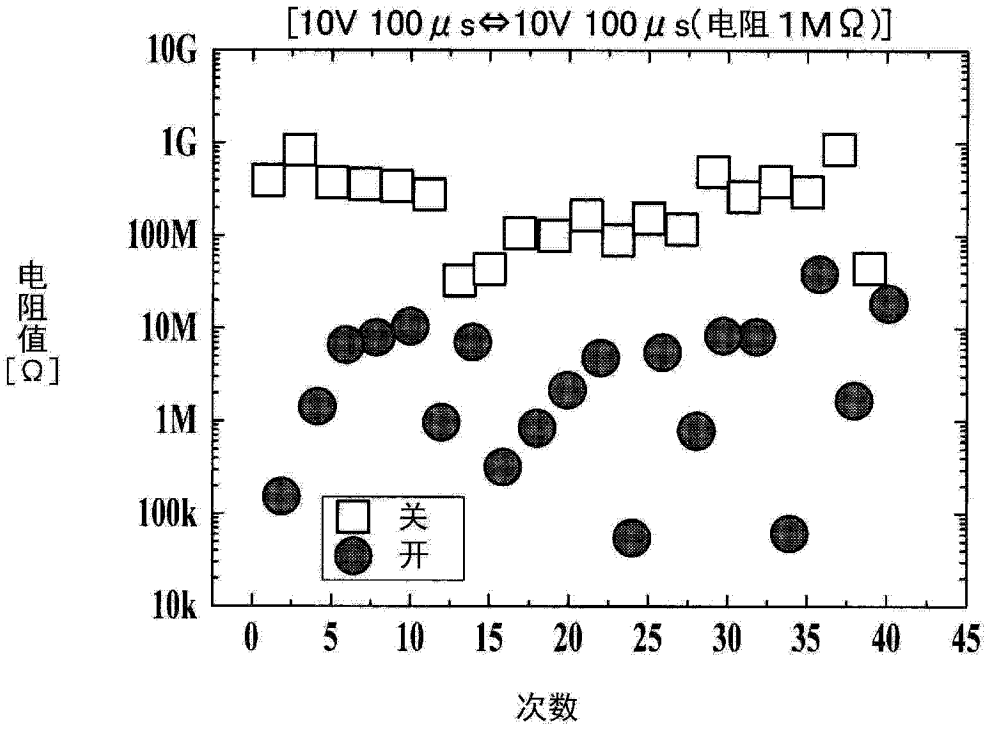

[10V 100μs⇔10V 100μs(电阻 1MΩ)]
电阻值[Ω]
10G
1G
100M
10M
1M
100k
10k
关
开
0
5
10
15
20
25
30
35
40
45
次数

图 5

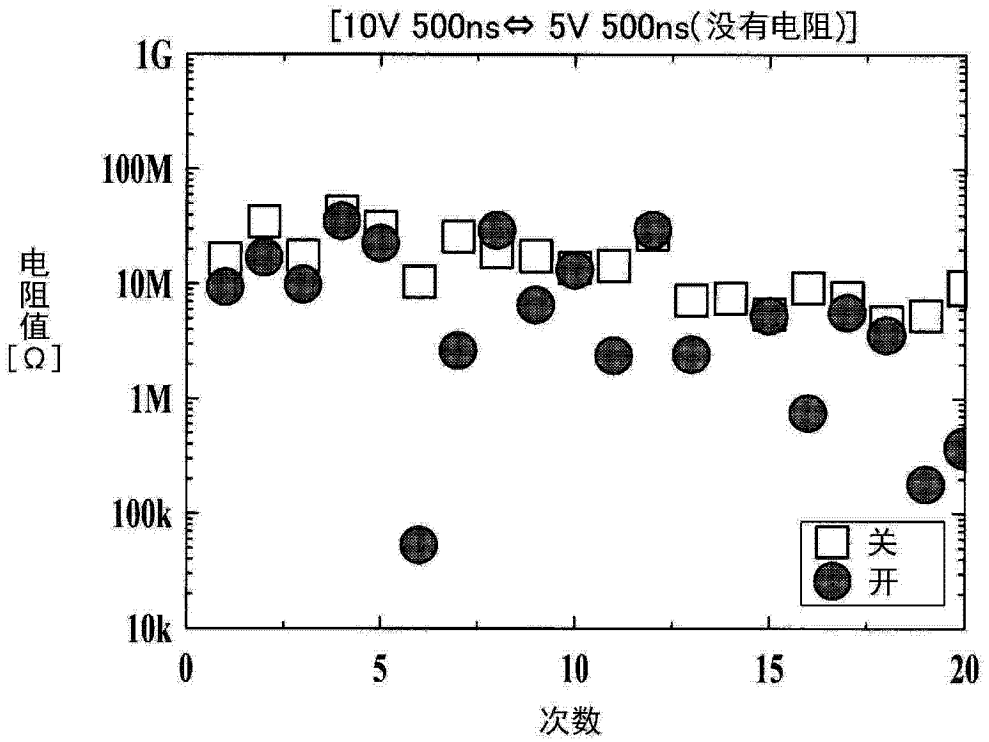

[10V 500ns⇔ 5V 500ns(没有电阻)]
1G
100M
10M
1M
100k
10k
电阻值[Ω]
0
5
10
15
20
次数
关
开

图 6

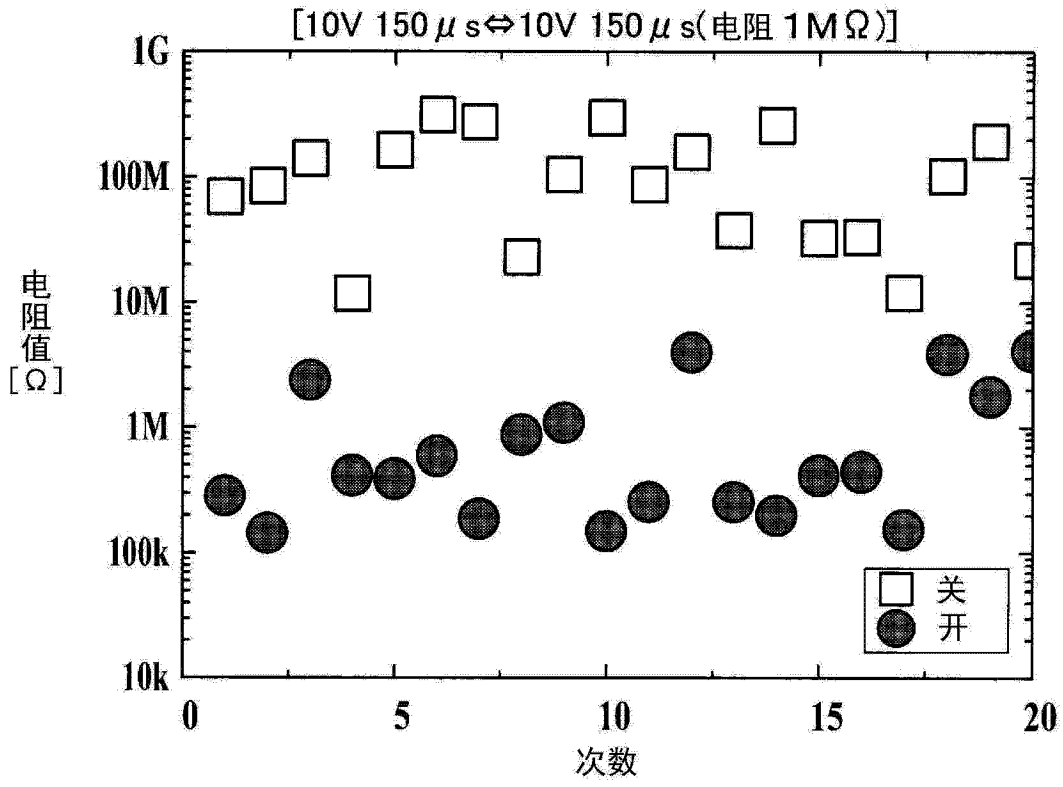

[10V 150μs⇔10V 150μs(电阻 1MΩ)]
1G
100M
10M
1M
100k
10k
电阻值[Ω]
0
5
10
15
20
次数
关
开

图 7