

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2003 年 2 月 27 日 (27.02.2003)

PCT

(10) 国際公開番号
WO 03/016064 A1

(51) 国際特許分類⁷: B41J 2/447, 2/45,
2/455, 2/355, 2/515, H04N 1/036, 1/23

式会社 (SHIMANE SANYO INDUSTRIAL CO., LTD.)
[JP/JP]; 〒699-1394 島根県 大原郡 木次町山方320番地
1 Shimane (JP).

(21) 国際出願番号: PCT/JP02/08149

(22) 国際出願日: 2002 年 8 月 8 日 (08.08.2002)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(72) 発明者; および

(75) 発明者/出願人 (米国についてのみ): 尾前 充弘
(OMAE, Mitsuhiro) [JP/JP]; 〒680-8634 鳥取県 鳥取
市 南吉方3丁目201番地 鳥取三洋電機株式会社内
Tottori (JP). 錦織 修 (NISHIKIORI, Osamu) [JP/JP]; 〒
699-1394 島根県 大原郡 木次町山方320番地 1 島根
三洋工業株式会社内 Shimane (JP).

(30) 優先権データ:
特願2001-243887 2001 年 8 月 10 日 (10.08.2001) JP

(74) 代理人: 佐野 静夫 (SANO, Shizuo); 〒540-0032 大阪府
大阪市 中央区天満橋京町2-6 天満橋八千代ビル別館
Osaka (JP).

(71) 出願人 (米国を除く全ての指定国について): 三洋電
機株式会社 (SANYO ELECTRIC CO., LTD.) [JP/JP];
〒570-0083 大阪府 守口市 京阪本通2丁目5番5号 Os-
aka (JP). 鳥取三洋電機株式会社 (TOTTORI SANYO
ELECTRIC CO., LTD.) [JP/JP]; 〒680-8634 鳥取県 鳥
取市 南吉方3丁目201番地 Tottori (JP). 島根三洋工業株

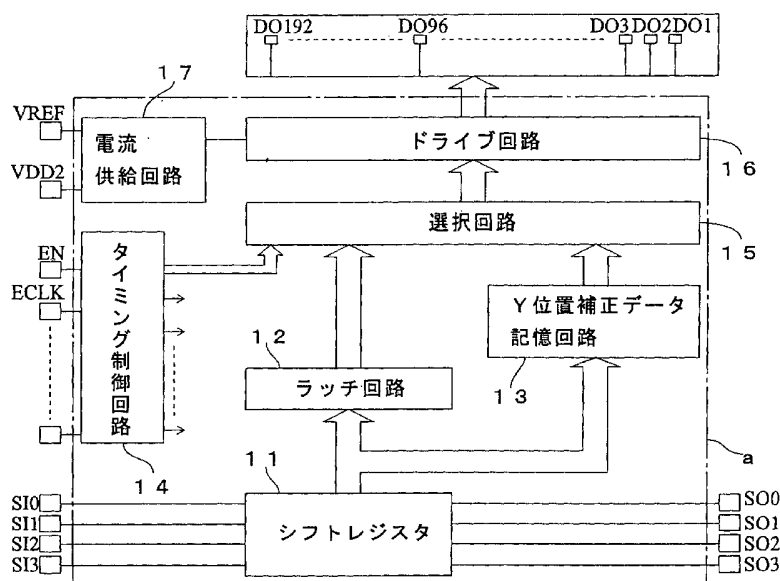
(81) 指定国 (国内): CN, IL, KR, US.

(84) 指定国 (広域): ヨーロッパ特許 (AT, BE, BG, CH, CY,
CZ, DE, DK, EE, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL,
PT, SE, SK, TR).

[続葉有]

(54) Title: DRIVE IC AND OPTICAL PRINT HEAD

(54) 発明の名称: 駆動用IC及び光プリントヘッド



17...CURRENT SUPPLY CIRCUIT
16...DRIVE CIRCUIT
15...SELECTION CIRCUIT
14...TIMING CONTROL CIRCUIT
12...LATCH CIRCUIT
13...Y-POSITION CORRECTION
DATA STORAGE CIRCUIT
11...SHIFT REGISTER

(57) Abstract: A data signal which is output from a latch circuit (12) having five stages of latch circuits each storing one-line data signal to a drive circuit (16) for lighting each light emission unit is selected by a selection circuit (15) according to a 9-bit correction data signal for each of the light emission units stored in a Y-position correction data storage circuit (13). Thus, lighting timing of each light emission unit is adjusted, thereby performing printing having a preferable linearity.

[続葉有]

WO 03/016064 A1



添付公開書類:
— 国際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(57) 要約:

1ライン分のデータ信号を格納されるラッチ回路を5段備えたラッチ回路12より、各発光部を点灯させるためにドライブ回路16に出力されるデータ信号が、Y位置補正データ記憶回路13に格納された各発光部毎に9ビットの補正データ信号に応じて、選択回路15によって選択される。このようにして各発光部の点灯タイミングを調整して、直線性の良好な印字を行うことができる。

-1-

明細書

駆動用 I C 及び光プリントヘッド

技術分野

本発明は、プリンタなどの記録ヘッドに用いられる光プリントヘッド及びこの光プリントヘッドに設けられた発光素子を駆動するための駆動用 I C に係るもので、特にタンデム方式でカラー印字を行うプリンタに設けられる光プリントヘッド及びこの光プリントヘッドの発光素子を駆動するための駆動用 I C。

背景技術

従来使用されている光プリントヘッドは、第 17 図のように、複数の発光部（以下、本明細書内における「発光部」とは、請求の範囲における「素子」に相当する）で構成された発光素子と、データ信号を取り込むシフトレジスタ 101 と、シフトレジスタ 101 に取り込まれたデータ信号を並列に取り込むラッチ回路 102 と、発光素子を駆動するためのドライブ回路 103 と、ドライブ回路 103 に電流を供給するための電流供給回路 104 と、各部に所定のタイミング信号を供給するタイミング制御回路 105 とを備えた第 18 図のような構成の複数の駆動用 I C とを有する。今、光プリントヘッドに、第 17 図のように、直列的に接続された 26 個の駆動用 I C b1 ～ b26 と、この 26 個の駆動用 I C b1 ～ b26 によって駆動される 4992 個の発光部 #1 ～ #4992 とが設けられているものとして、簡単に、従来の光プリントヘッドについて説明する。

このような構成の光プリントヘッドにおいて、まず、駆動用 I C b は、そのシフトレジスタ 101 内に、データ入力端子 S I 0 ～ S I 3 より入力される 4 ビットのデータ信号がクロック C L K に同期して取り込まれる。又、このシフトレジスタ 101 は、取り込んだ 4 ビットのデータ信号を、クロック C L K に同期してデータ出力端子 S O 0 ～ S O 3 から隣接した駆動用 I C のデータ入力端子 S I 0 ～ S I 3 に対して出力する。

このとき、クロック入力端子 C I より入力されるクロック C L K は、バッファを介してクロック出力端子 C O より出力され、隣接した駆動用 I C のクロック入

-2-

力端子C Iに入力される。よって、第19図のように、1248回目のクロックCLKが入力されたとき、26個の駆動用IC b1～b26のシフトレジスタ101には、4992個のデータ信号が 4×48 （192）個毎、取り込まれる。

このように、4992個のデータ信号が取り込まれると、次に、ロード信号LOADが駆動用ICのロード信号入力端子LIに入力される。このロード信号LOADによって生成されるタイミング信号が、192ビットのラッチ回路102に与えられると、シフトレジスタ101に取り込まれた192個のデータ信号が格納される。

このとき、ロード信号入力端子LIより入力されるロード信号LOADは、バッファを介してロード信号出力端子LOより出力され、隣接した駆動用ICのロード信号入力端子LIに入力される。よって、第19図のように、ロード信号LOADが入力されたとき、26個の駆動用IC b1～b26のシフトレジスタ101に取り込まれた各データ信号がラッチ回路102に格納される。

このように、駆動用IC b1～b26の各ラッチ回路102に192個ずつ格納された4992個のデータ信号に基づいて、ドライブ回路103がストロブ信号STBがローとなる期間に電流を端子DO1～DO192へ流すことによって、発光部#1～#4992が駆動し、1ライン分の印字が行われる。このようにドライブ回路103が動作を行っている間、ロード信号LOADをローとし、再び、クロックCLKを与えることによって、次のラインの取り込みが行われる。

また、光プリントヘッドは、第1図の上面図のように、複数の発光部で構成されるとともに中央部に配置された発光素子群1を覆うSLA（Self focusing Lens Array）2と、SLA2を固定するためのレンズホルダ3と、発光素子群1内の発光素子を構成する複数の発光部の位置を決定するための位置決め用ピン4a，4bとを有する。よって、発光素子群1を構成する各発光部は、位置決め用ピン4a，4bによって結ばれる直線上に配置されるように位置決めされる。

このような光プリントヘッドが、従来より、プリンタなどに設けられることで、紙面への印字が行われているが、基板上に設けられる発光素子が配列されたLEDアレイの曲がりや、光プリントヘッドに設けられたレンズのレンズ光軸の曲

がりや、このレンズ自身の曲がりによって、結像位置に曲がりが生じてしまう。今、X方向に発光素子が配列されるとき、このX方向に対し垂直となる方向をY方向とすると、このY方向に曲がりが生じる。以下、このY方向への曲がりを「Y曲がり」と呼ぶ。

このようなY曲がりとは、例として、第20図及び第21図のグラフに示されるような発光部のY方向における結像位置のずれである。更に、この結像位置のずれは、位置決めピン4a、4bによって結ばれる直線がY方向に対して斜めにずれることによって発生する。

このY曲がりによる影響はカラー印字を行うために複数の光プリントヘッドが設けられたタンデム方式のプリンタなどにおいて、大きく印字の品位が低下するという問題があった。又、このような印字の品位の低下を抑制するために、光プリントヘッドの良否選択や、レンズの調整及び良否選択などが必要となるため、光プリントヘッドやこの光プリントヘッドが備えられるプリンタに係るコストが大きくなる。

このような問題を鑑みて、本発明は、光プリントヘッドの機械的又は光学的な曲がりによって生じる結像位置のずれを補正するための駆動用IC及びこの駆動用ICを備えた光プリントヘッドを提供することを目的とする。

発明の開示

上記目的を達成するために、本発明の駆動用ICは、素子駆動用の駆動用ICにおいて、1組のデータ信号群を構成するn個のデータ信号に基づいて、n個の素子を駆動させるための駆動信号を生成する駆動回路と、x組の前記データ信号群それぞれが格納されるx段のラッチ回路と、前記素子毎に対応するデータ信号を前記駆動回路へ送出するタイミングを設定するために、1又は2入力のタイミング信号を遅延させて、y個の点灯タイミング信号を生成する遅延制御回路と、前記素子毎に対応するデータ信号を、前記x段のラッチ回路から選択し、n個のデータ信号によって1組のデータ信号群を形成するとともに、該1組のデータ信号群を構成する各データ信号を前記遅延制御回路から与えられる前記y個の点灯タイミング信号に応じて前記駆動回路に送出する選択回路と、を有することを特

徴とする。

又、本発明の別の駆動用 IC は、素子駆動用の駆動用 IC において、1 組のデータ信号群を構成する n 個のデータ信号に基づいて、 n 個の素子を駆動させるための駆動信号を生成する駆動回路と、前記データ信号を格納する x 段のラッチ回路と、前記素子毎に対応するデータ信号を前記駆動回路へ送出するタイミングを設定するために、1 又は 2 入力のタイミング信号を遅延させて、 y 個の点灯タイミング信号を生成し、前記 x 段のラッチ回路の最終段となるラッチ回路から前記駆動回路へ与えられる各データ信号による前記素子の駆動動作のタイミングを制御する出力制御回路と、を有し、前記各素子毎に、前記ラッチ回路でラッチされる段数を設定することによって、前記 x 段のラッチ回路の最終段となるラッチ回路から前記駆動回路へ出力される各データ信号のタイミングが設定されることを特徴とする。

又、本発明の光プリントヘッドは、 n 個の発光部を有する発光素子と、1 組のデータ信号群を構成する n 個のデータ信号に基づいて、 n 個の前記発光部を駆動させるための駆動信号を生成する駆動回路と、 x 組の前記データ信号群それぞれが格納される x 段のラッチ回路と、前記発光部毎に対応するデータ信号を前記駆動回路へ送出するタイミングを設定するために 1 又は 2 入力のタイミング信号を遅延させて y 個の点灯タイミング信号を生成する遅延制御回路と、前記発光部毎に対応するデータ信号を、前記 x 段のラッチ回路から選択し、 n 個のデータ信号によって 1 組のデータ信号群を形成するとともに、該 1 組のデータ信号群を構成する各データ信号を前記遅延制御回路から与えられる前記 y 個の点灯タイミング信号に応じて前記駆動回路に送出する選択回路と、を備える駆動用 IC と、を有することを特徴とする。

又、本発明の別の光プリントヘッドは、 n 個の発光部を有する発光素子と、1 組のデータ信号群を構成する n 個のデータ信号に基づいて、 n 個の前記発光部を駆動させるための駆動信号を生成する駆動回路と、前記データ信号を格納する x 段のラッチ回路と、前記発光部毎に対応するデータ信号を前記駆動回路へ送出するタイミングを設定するために 1 又は 2 入力のタイミング信号を遅延させて y 個の点灯タイミング信号を生成し前記 x 段のラッチ回路の最終段となるラッチ回路

から前記駆動回路へ与えられる各データ信号による前記各発光部の駆動動作のタイミングを制御する出力制御回路と、を備え、前記各発光部毎に、前記ラッチ回路でラッチされる段数を設定することによって、前記 x 段のラッチ回路の最終段となるラッチ回路から前記駆動回路へ出力される各データ信号のタイミングが設定される駆動用 IC と、有することを特徴とする。

更に、本発明の別の光プリントヘッドは、n 個の発光部を有する発光素子と、n 個のデータ信号で構成される x 組のデータ信号群それぞれが格納される x 段のラッチ回路と、前記発光部毎に対応するデータ信号を前記 x 段のラッチ回路から選択するとともに選択した n 個のデータ信号によって 1 組のデータ信号群を形成する第 1 選択回路と、該第 1 選択回路で選択されたデータ信号を一時記憶するとともに順に外部に出力する第 1 シフトレジスタと、を備える制御回路と、1 組のデータ信号群を構成する n 個のデータ信号に基づいて、n 個の前記発光部を駆動させるための駆動信号を生成する駆動回路と、前記発光部毎に対応するデータ信号を前記駆動回路へ送出するタイミングを設定するために 1 又は 2 入力のタイミング信号を遅延させて y 個の点灯タイミング信号を生成する遅延制御回路と、前記制御回路から送出される前記発光部毎に対応するデータ信号を前記遅延制御回路から与えられる前記 y 個の点灯タイミング信号に応じて前記駆動回路に送出する第 2 選択回路と、を備える駆動用 IC と、を有することを特徴とする。

図面の簡単な説明

第 1 図は、光プリントヘッドの外観上面図であり、

第 2 図は、本発明の光プリントヘッドの内部構成を示すブロック図であり、

第 3 図は、本発明の光プリントヘッド内に設けられた駆動用 IC の内部構成を示すブロック図であり、

第 4 図は、第 1 の実施形態の光プリントヘッド内に設けられた駆動用 IC の内部構成を示すブロック回路図であり、

第 5 図は、遅延制御回路の動作を示すタイミングチャートであり、

第 6 図は、遅延制御回路の内部構成を示すブロック回路図であり、

第 7 A 図～第 7 E 図は、発光部の結像位置と Y 位置補正後の印字イメージの関

係を示す図であり、

第 8 図は、第 4 図の駆動用 I C の動作を示すタイミングチャートであり、

第 9 図は、第 2 の実施形態の光プリントヘッド内に設けられた制御回路の要部構成を示すブロック回路図であり、

第 10 図は、第 2 の実施形態の光プリントヘッド内に設けられた駆動用 I C の内部構成を示すブロック回路図であり、

第 11 図は、第 9 図の制御回路の動作を示すタイミングチャートであり、

第 12 図は、第 10 図の駆動用 I C の動作を示すタイミングチャートであり、

第 13 図は、第 3 の実施形態の光プリントヘッド内に設けられた駆動用 I C の内部構成を示すブロック回路図であり、

第 14 図は、第 13 図の駆動用 I C 内のラッチ回路の内部構成を示すブロック図であり、

第 15 図は、フリップフロップ回路の内部構成を示すブロック回路図であり、

第 16 図は、第 13 図の駆動用 I C 内の出力制御回路の内部構成を示すブロック図であり、

第 17 図は、従来の駆動用 I C の内部構成を示すブロック回路図であり、

第 18 図は、従来の光プリントヘッドの内部構成を示すブロック図であり、

第 19 図は、従来の光プリントヘッドの動作を示すタイミングチャートであり、

、

第 20 図は、従来の光プリントヘッドで印字後の Y 位置のずれを示す図であり

、

第 21 図は、従来の光プリントヘッドで印字後の Y 位置のずれを示す図である

、

発明を実施するための最良の形態

以下に、本発明の実施の形態について、図面を参照して説明する。第 1 図及び第 2 図で示される構成は、後述する各実施の形態において、共通の構成である。そして、第 1 図のように、発光部 1、S L A 2、レンズホルダ 3、及び位置決めピン 4 a、4 b を有する光プリントヘッドは、第 2 図のブロック図で表されるよ

うな内部構成となる。

第2図のように、本実施形態の光プリントヘッドにおいて、発光素子群1が4992個の発光部#1～#4992で構成され、この発光部#1～#4992を192個毎に駆動させるための26個の駆動用ICa1～ICa26が設けられる。また、発光部#1～#4992のY方向の位置ずれに関するデータを格納するフラッシュメモリなどで構成されたメモリ5とを有する。又、メモリ5へのデータの読み出し及び書き込みや駆動用ICa1～ICa26にデータを与えて動作制御を行う制御回路6を付け加えても良い。尚、以下の各実施形態では、駆動用ICが26個で、又、発光部が4992個で構成されるものを一例に挙げて説明する。

<第1の実施の形態>

本発明の第1の実施の形態について、図面を参照して説明する。第3図及び第4図は、本実施形態における光プリントヘッドに設けられた駆動用ICの内部構成を示すブロック回路図である。

第2図のような光プリントヘッドにおける駆動用ICa（第2図の駆動用ICa1～ICa26に相当する）は、第3図のブロック図のように、データ入力端子S10～S13より入力される4ビットのデータ信号を取り込む192ビットのシフトレジスタ11と、シフトレジスタ11で取り込まれたデータ信号を192ビット単位毎に並列に取り込むラッチ回路12と、Y方向の補正を行うための192組の補正データを格納するY位置補正データ記憶回路13とを有する。

又、駆動用ICaは、各部に所定のタイミング信号を供給するタイミング制御回路14と、ラッチ回路12に格納されたデータ信号をY位置補正データ記憶回路13に格納された補正データに応じて選択する選択回路15と、選択回路15で選択されたデータ信号に応じて出力端子DO1～DO192に駆動信号を出力するドライブ回路16と、ドライブ回路16に定電流を供給する電流供給回路17とを有する。

更に、上述したように駆動用ICaが第3図のように構成されるとき、ラッチ回路12は、192ビットの構成のラッチ回路をシリアルに5段接続された構成とされるときともに、ラッチ回路12内の各段のラッチ回路には、シフトレジスタ

1 1 又は前段のラッチ回路より出力される 1 9 2 ビットのデータ信号がパラレルに入力される。又、ラッチ回路 1 2 内の各段のラッチ回路より出力される 1 9 2 ビットのデータ信号が選択回路 1 5 に与えられる。

そして、選択回路 1 5 では、ラッチ回路 1 2 より与えられる 1 9 2 × 5 ビットのデータ信号から、Y 位置補正データ記憶回路 1 3 より与えられる 1 9 2 × 9 ビットの補正データの内の 1 9 2 × 5 ビットの補正データに応じて選択した 1 9 2 ビットのデータ信号を、残りの 1 9 2 × 4 ビットの補正データで選択したタイミング制御回路 1 4 より供給される点灯タイミング信号 E N 1 ~ E N 4 に応じてドライブ回路 1 6 に出力する。

Y 位置補正データ記憶回路 1 3 は、9 ビットで構成される補正データを、データ信号に対応して 1 9 2 個記憶することができるように、例えば、1 9 2 × 9 ビットのラッチ回路で構成することができる。そして、Y 位置補正データ記憶回路 1 3 への補正データの書き込みは、シフトレジスタ 1 1 から並列に供給される 1 9 2 個単位の信号に基づいて、前もって行うことができる。

即ち、メモリ 5 内に格納された補正データが、プリンタ本体の制御回路又はプリントヘッド内の制御回路 6 により読み出されて駆動用 I C a に与えられるとき、Y 位置補正データ記憶回路 1 3 のみを書き込み状態としてシフトレジスタ 1 1 を介して補正データの各ビットを記憶する作業を 9 回繰り返すことによって書き込まれる。

以下に第 4 図を参照して、このように構成される駆動用 I C a の詳細な構成について説明する。尚、第 4 図は、説明を簡単にするために出力端子 D O 1 に基づいた回路ブロック図を示し、他の出力端子 D O 2 ~ D O 1 9 2 については同様となるため省略する。

ラッチ回路 1 2 は、1 9 2 ビットのデータ信号を格納することができるラッチ回路 1 2 a ~ 1 2 e を有し、ラッチ回路 1 2 a にシフトレジスタ 1 1 に格納された 1 9 2 ビットのデータ信号が、ラッチ回路 1 2 b にラッチ回路 1 2 a に格納された 1 9 2 ビットのデータ信号が、ラッチ回路 1 2 c にラッチ回路 1 2 b に格納された 1 9 2 ビットのデータ信号が、ラッチ回路 1 2 d にラッチ回路 1 2 c に格納された 1 9 2 ビットのデータ信号が、ラッチ回路 1 2 e にラッチ回路 1 2 d に

格納された 192 ビットのデータ信号が、ロード信号 LOAD に応じてそれぞれ与えられる。

又、このラッチ回路 12 a ~ 12 e のそれぞれに格納された 192×5 ビットのデータ信号が、ロード信号 LOAD に応じて、選択回路 15 に同時に送出される。このように 192×5 ビットのデータ信号が与えられる選択回路 15 は、出力端子 DO1 ~ DO192 のそれぞれに与えるための 192 ビットのデータ信号を選択するために、5 つの AND ゲート G1 ~ G5 と 1 つの OR ゲート G6 で構成されたゲート回路及び 4 つの AND ゲート G11 ~ G14 と 1 つの OR ゲート G15 で構成されたゲート回路がそれぞれ 192 組構成される。

この選択回路 15 は、遅延制御回路 18 で生成された点灯タイミング信号 EN1 ~ EN4 のいずれか 1 つの信号に応じてドライブ回路 16 にデータ信号を送出するために、OR ゲート G6, G15 それぞれからの出力が入力される AND ゲート G7 を 192 個有する。又、ドライブ回路 16 は、電流供給回路 17 より供給される電流を増幅して出力端子 DO1 ~ DO192 それぞれに供給する 192 個の電流増幅器 16 a によって構成される。

又、遅延制御回路 18 は、第 5 図に波形を示すように、タイミング信号 EN によって規定される期間をタイミングクロック ECLK に応じて複数の期間に分割するための点灯タイミング信号 EN1 ~ EN4 を生成するための回路である。即ち、第 6 図に示すように、タイミング信号 EN 及びタイミングクロック ECLK が入力される 4 つの出力遅延カウンタ 61 ~ 64 によって構成することができる。よって、この出力遅延カウンタ 61 ~ 64 それぞれより第 5 図のように、タイミングクロック ECLK 1 周期毎に順に遅延された点灯タイミング信号 EN1 ~ EN4 が出力される。

このように、遅延制御回路 18 は 1 つのタイミング信号 EN に基づいて 4 つの点灯タイミング信号 EN1 ~ EN4 を生成する。すなわち、点灯タイミング信号の数よりも少数の信号線を用いて制御信号（タイミング信号）を供給するので、外部と接続する制御信号の端子の数を削減して IC の小型化を図ることができるとともに、ワイヤボンダ配線などの外部配線数を削減することができる。又、点灯タイミング信号 EN1 ~ EN4 がハイとなる期間が、タイミング信号 EN がハ

イとなる期間とほぼ等しいため、各発光部の点灯時間を長く設定することができる。

ここで、出力端子DO1に基づいて説明すると、Y位置補正データ記憶回路13より出力される5ビットの補正データda～deがそれぞれ、5つのANDゲートG1～G5に入力される。又、このANDゲートG1～G5には、ラッチ回路12a～12eからの出力端子DO1に与えるためのデータ信号が1ビット毎に入力される。ORゲートG6には、ANDゲートG1～G5からの出力が入力され、補正データda～deの内、ハイとなる補正データが入力されたANDゲートからの出力がORゲートG6の出力となる。

又、Y位置補正データ記憶回路13より出力される4ビットの補正データta～tdがそれぞれ、4つのANDゲートG11～G14に入力される。そして、このANDゲートG11～G14には、遅延制御回路18で生成された点灯タイミング信号EN1～EN4がそれぞれ入力される。ORゲートG15には、ANDゲートG11～G14からの出力が入力され、補正データta～tdの内、ハイとなる補正データが入力されたANDゲートからの出力がORゲートG15の出力となる。そして、ORゲートG6、G15それぞれの出力がANDゲートG7に与えられ、補正データda～deによって選択されたデータ信号が、補正データta～tdによって選択された点灯タイミング信号EN1～EN4に応じて、ANDゲートG7を介して電流増幅回路16aに送出される。

シフトレジスタ11より出力されるデータ信号は、4ビット毎に、データ信号出力端子SO0～SO3より出力されて、隣接する駆動用ICaの入力端子SI0～SI3に入力される。又、クロック入力端子CIに入力されるクロックCLKがバッファB1を介してクロック出力端子COより出力されて、隣接する駆動用ICaのクロック入力端子CIに入力される。ロード信号入力端子LIに入力されるロード信号LOADは、バッファB2を介してロード信号出力端子LOより出力されて、隣接する駆動用ICaのロード信号入力端子LIに入力される。

このように構成される駆動用ICa1～ICa26が設けられた光プリントヘッドの動作について、第7A～E図及び第8図を参照して説明する。第7A～E図は、発光部のY方向の結像位置と補正後の印字イメージを示す図であり、又、

第 8 図は、駆動用 IC の動作を示すタイミングチャートである。

まず、第 7 A ～ E 図を参照して、簡単に説明する。尚、第 7 A ～ E 図は、説明を簡単にするために、発光部数を 17 ドットとして説明する。又、紙送り方向（印字方向と反対の方向となる）を第 7 A ～ E 図の矢印の方向とする。このとき、まず、各発光部 # 1 ～ # 17 の結像位置を、CCD（Charge Coupled Device）による位置計測や印字された直線の曲がりの計測などを用いて確認する。そして、このとき確認された各発光部 # 1 ～ # 17 の結像位置から、各発光部 # 1 ～ # 17 の点灯タイミングを表す補正データ $d_a \sim d_e$ 、 $t_a \sim t_d$ を設定する。そして、設定された補正データ $d_a \sim d_e$ 、 $t_a \sim t_d$ が制御回路 6 によってメモリ 5 に書き込まれる。

即ち、まず、第 7 A 図のように発光部 # 1 ～ # 17 それぞれの結像位置が確認されるとともに、発光部 # 1 ～ # 17 の内その結像位置が最下部となる発光部 # 17 が基準位置となるときの、第 7 B 図のように、発光部 # 15 ～ # 17 に対して補正データ d_a が、発光部 # 1、# 2、# 13、# 14 に対して補正データ d_b が、発光部 # 3、# 4、# 11、# 12 に対して補正データ d_c が、発光部 # 5 ～ # 7、# 9、# 10 に対して補正データ d_d が、発光部 # 8 に対して補正データ d_e が、それぞれ設定されてメモリ 5 に格納される。

この補正データ $d_a \sim d_e$ は、それぞれ、結像位置が基準位置付近であるものに対して d_a が、結像位置が基準位置より略 1 ライン分紙送り方向にずれた位置であるものに対して d_b が、結像位置が基準位置より略 2 ライン分紙送り方向にずれた位置であるものに対して d_c が、結像位置が基準位置より略 3 ライン分紙送り方向にずれた位置であるものに対して d_d が、結像位置が基準位置より略 4 ライン分紙送り方向にずれた位置であるものに対して d_e が与えられるようにして、設定される。

このように設定されたライン毎の Y 位置補正を行うための補正データ $d_a \sim d_e$ を用いて Y 位置補正が行われると、第 7 A 図のように確認される発光部 # 1 ～ # 17 の結像位置が、第 7 C 図のように補正される。しかしながら、第 7 C 図から明らかなように、ライン毎の Y 位置補正を行っても、まだ、基準位置における各発光部の結像位置のずれが完全に解消されていない。そこで、更に、基準位置

と基準位置より略1ライン分紙送り方向にずれた位置との間を4領域に分け、各領域毎の結像位置のずれに対するY位置補正を行うための補正データ $t_a \sim t_d$ が設定される。尚、各ライン間の幅を L とする。

即ち、第7D図のように、発光部 #1, #3, #5, #8, #10, #12, #14, #17 に対して補正データ t_a が、発光部 #6, #16 に対して補正データ t_b が、発光部 #2, #4, #9, #11, #13 に対して補正データ t_c が、発光部 #7, #15 に対して補正データ t_d が、それぞれ設定されてメモリ5に格納される。

この補正データ $t_a \sim t_d$ は、結像位置が基準位置付近であるものに対して補正データ t_a が、結像位置が基準位置より略 $(1/4)L$ 紙送り方向にずれた位置であるものに対して補正データ t_b が、結像位置が基準位置より略 $(1/2)L$ 紙送り方向にずれた位置であるものに対して補正データ t_c が、結像位置が基準位置より略 $(3/4)L$ 紙送り方向にずれた位置であるものに対して補正データ t_d が与えられるようにして設定される。

例えば、電源投入されたときなどにおいて、このようにメモリ5に格納された各発光部 #1 ~ #17 に対する補正データ $d_a \sim d_e$, $t_a \sim t_d$ が、プリンタ本体の制御回路又はプリントヘッド内の制御回路6によって読み出されて、駆動用ICaに与えられて、シフトレジスタ11を介してY位置補正データ記憶回路13に格納される。

そして、まず、ラッチ回路12aに格納されたデータ信号が、補正データ d_a が与えられる出力端子DO15 ~ DO17のそれぞれに対して設けられたANDゲートG1及びORゲートG6を介して、ANDゲートG7に与えられる。このとき、遅延制御回路18より点灯タイミング信号EN1が送出されると、補正データ t_a が与えられる出力端子DO17に設けられたANDゲートG11の出力がハイとなり、このANDゲートG11の出力がORゲートG15を介して、ANDゲートG7に与えられる。よって、出力端子DO17に対して設けられた電流増幅回路16aに、ラッチ回路12aに格納されたデータ信号が与えられ、発光部 #17に電流供給されて、基準位置付近の印字が行われる。

又、遅延制御回路18より点灯タイミング信号EN1が送出された後にタイミ

ングクロック 1 周期分遅延して点灯タイミング信号 E N 2 が送出されると、補正データ t b が与えられる出力端子 D O 1 6 に設けられた A N D ゲート G 1 2 の出力がハイとなり、この A N D ゲート G 1 2 の出力が O R ゲート G 1 5 を介して、A N D ゲート G 7 に与えられる。よって、出力端子 D O 1 6 に対して設けられた電流増幅回路 1 6 a に、ラッチ回路 1 2 a に格納されたデータ信号が与えられ、発光部 # 1 6 に電流供給されて、基準位置から (1 / 4) L ずれた位置の印字が行われる。そして、遅延制御回路 1 8 より点灯タイミング信号 E N 2 が送出された後にタイミングクロック 1 周期分遅延して点灯タイミング信号 E N 3 が送出される。

その後、更に、遅延制御回路 1 8 より点灯タイミング信号 E N 3 が送出された後にタイミングクロック 1 周期分遅延して点灯タイミング信号 E N 4 が送出されると、補正データ t d が与えられる出力端子 D O 1 5 に設けられた A N D ゲート G 1 4 の出力がハイとなり、この A N D ゲート G 1 4 の出力が O R ゲート G 1 5 を介して、A N D ゲート G 7 に与えられる。よって、出力端子 D O 1 5 に対して設けられた電流増幅回路 1 6 a に、ラッチ回路 1 2 a に格納されたデータ信号が与えられ、発光部 # 1 5 に電流供給されて、基準位置から (3 / 4) L ずれた位置の印字が行われる。このラインの印字が終了すると、ラッチ回路 1 2 a に格納されたデータ信号がラッチ回路 1 2 b に格納される。

次に、基準位置から 1 ラインずれた位置の印字が行われるとき、ラッチ回路 1 2 b に格納されたデータ信号が、補正データ d b が与えられる出力端子 D O 1 , D O 2 , D O 1 3 , D O 1 4 のそれぞれに対して設けられた A N D ゲート G 2 及び O R ゲート G 6 を介して、A N D ゲート G 7 に与えられる。このとき、遅延制御回路 1 8 より点灯タイミング信号 E N 1 が送出されると、補正データ t a が与えられる出力端子 D O 1 , D O 1 4 に設けられた A N D ゲート G 1 1 の出力がハイとなり、この A N D ゲート G 1 1 の出力が O R ゲート G 1 5 を介して、A N D ゲート G 7 に与えられる。よって、出力端子 D O 1 , D O 1 4 に対して設けられた電流増幅回路 1 6 a に、ラッチ回路 1 2 b に格納されたデータ信号が与えられ、発光部 # 1 , # 1 4 に電流供給されて、1 ラインずれた位置の印字が行われる。

又、遅延制御回路 18 より点灯タイミング信号 EN2 が送出された後に点灯タイミング信号 EN3 が送出されると、補正データ tc が与えられる出力端子 DO2, DO13 それぞれに設けられた AND ゲート G13 の出力がハイとなり、この AND ゲート G13 の出力が OR ゲート G15 を介して、AND ゲート G7 に与えられる。よって、出力端子 DO2, DO13 に対して設けられた電流増幅回路 16a に、ラッチ回路 12b に格納されたデータ信号が与えられ、発光部 #2, #13 に電流供給されて、1 ラインずれた位置から更に (1/2) L ずれた位置の印字が行われる。

更に、遅延制御回路 18 より点灯タイミング信号 EN4 が送出されて、このラインの印字が終了すると、ラッチ回路 12b に格納されたデータ信号がラッチ回路 12c に格納される。

次に、基準位置から 2 ラインずれた位置の印字が行われるとき、ラッチ回路 12c に格納されたデータ信号が、補正データ dc が与えられる出力端子 DO3, DO4, DO11, DO12 のそれぞれに対して設けられた AND ゲート G3 及び OR ゲート G6 を介して、AND ゲート G7 に与えられる。このとき、遅延制御回路 18 より点灯タイミング信号 EN1 が送出されると、補正データ ta が与えられる出力端子 DO3, DO12 に設けられた AND ゲート G11 の出力がハイとなり、この AND ゲート G11 の出力が OR ゲート G15 を介して、AND ゲート G7 に与えられる。よって、出力端子 DO3, DO12 に対して設けられた電流増幅回路 16a に、ラッチ回路 12c に格納されたデータ信号が与えられ、発光部 #3, #12 に電流供給されて、2 ラインずれた位置の印字が行われる。

又、遅延制御回路 18 より点灯タイミング信号 EN2 が送出された後に点灯タイミング信号 EN3 が送出されると、補正データ tc が与えられる出力端子 DO4, DO11 それぞれに設けられた AND ゲート G13 の出力がハイとなり、この AND ゲート G13 の出力が OR ゲート G15 を介して、AND ゲート G7 に与えられる。よって、出力端子 DO4, DO11 に対して設けられた電流増幅回路 16a に、ラッチ回路 12c に格納されたデータ信号が与えられ、発光部 #4, #11 に電流供給されて、2 ラインずれた位置から更に (1/2) L ずれた位

置の印字が行われる。

更に、遅延制御回路 18 より点灯タイミング信号 EN 4 が送出されて、このラインの印字が終了すると、ラッチ回路 12 c に格納されたデータ信号がラッチ回路 12 d に格納される。

次に、基準位置から 3 ラインずれた位置の印字が行われるとき、ラッチ回路 12 d に格納されたデータ信号が、補正データ d d が与えられる出力端子 DO 5 ～ DO 7, DO 9, DO 10 のそれぞれに対して設けられた AND ゲート G 4 及び OR ゲート G 6 を介して、AND ゲート G 7 に与えられる。このとき、遅延制御回路 18 より点灯タイミング信号 EN 1 が送出されると、補正データ t a が与えられる出力端子 DO 5, DO 10 に設けられた AND ゲート G 11 の出力がハイとなり、この AND ゲート G 11 の出力が OR ゲート G 15 を介して、AND ゲート G 7 に与えられる。よって、出力端子 DO 5, DO 10 に対して設けられた電流増幅回路 16 a に、ラッチ回路 12 d に格納されたデータ信号が与えられ、発光部 # 5, # 10 に電流供給されて、3 ラインずれた位置の印字が行われる。

又、遅延制御回路 18 より点灯タイミング信号 EN 2 が送出されると、補正データ t b が与えられる出力端子 DO 6 に設けられた AND ゲート G 12 の出力がハイとなり、この AND ゲート G 12 の出力が OR ゲート G 15 を介して、AND ゲート G 7 に与えられる。よって、出力端子 DO 6 に対して設けられた電流増幅回路 16 a に、ラッチ回路 12 d に格納されたデータ信号が与えられ、発光部 # 6 に電流供給されて、3 ラインずれた位置から更に (1/4) L ずれた位置の印字が行われる。

又、遅延制御回路 18 より点灯タイミング信号 EN 3 が送出されると、補正データ t c が与えられる出力端子 DO 9 に設けられた AND ゲート G 13 の出力がハイとなり、この AND ゲート G 13 の出力が OR ゲート G 15 を介して、AND ゲート G 7 に与えられる。よって、出力端子 DO 9 に対して設けられた電流増幅回路 16 a に、ラッチ回路 12 d に格納されたデータ信号が与えられ、発光部 # 9 に電流供給されて、3 ラインずれた位置から更に (1/2) L ずれた位置の印字が行われる。

更に、遅延制御回路 18 より点灯タイミング信号 EN 4 が送出されると、補正

データ t_d が与えられる出力端子 DO_7 に設けられた AND ゲート G_{14} の出力がハイとなり、この AND ゲート G_{14} の出力が OR ゲート G_{15} を介して、AND ゲート G_7 に与えられる。よって、出力端子 DO_7 に対して設けられた電流増幅回路 $16a$ に、ラッチ回路 $12d$ に格納されたデータ信号が与えられ、発光部 # 7 に電流供給されて、3 ラインずれた位置から更に $(3/4)$ L ずれた位置の印字が行われる。このラインの印字が終了すると、ラッチ回路 $12d$ に格納されたデータ信号がラッチ回路 $12e$ に格納される。

最後に、基準位置から 4 ラインずれた位置の印字が行われるとき、ラッチ回路 $12e$ に格納されたデータ信号が、補正データ d_e が与えられる出力端子 DO_8 に対して設けられた AND ゲート G_5 及び OR ゲート G_6 を介して、AND ゲート G_7 に与えられる。このとき、遅延制御回路 18 より点灯タイミング信号 EN_1 が送出されると、補正データ t_a が与えられる出力端子 DO_8 に設けられた AND ゲート G_{11} の出力がハイとなり、この AND ゲート G_{11} の出力が OR ゲート G_{15} を介して、AND ゲート G_7 に与えられる。よって、出力端子 DO_8 に対して設けられた電流増幅回路 $16a$ に、ラッチ回路 $12e$ に格納されたデータ信号が与えられ、発光部 # 8 に電流供給されて、4 ラインずれた位置の印字が行われる。

その後、点灯タイミング信号 $EN_2 \sim EN_4$ がそれぞれタイミングクロック CLK_1 周期分毎に遅延されて送出されると、最終的に、補正後の印字イメージが第 7 E 図のようになり、第 7 C 図と比べて、その直線性が大幅に改善される。

このように、発光部 # 15 ~ # 17 に現在印字するラインのデータが、発光部 # 1, # 2, # 13, # 14 に現在印字するラインの 1 ライン前のデータが、発光部 # 3, # 4, # 11, # 12 に現在印字するラインの 2 ライン前のデータが、発光部 # 5 ~ # 7, # 9, # 10 に現在印字するラインの 3 ライン前のデータが、発光部 # 8 に現在印字するラインの 4 ライン前のデータが、それぞれ与えられる。

更に、上述のように各発光部 # 1 ~ # 17 に与えられようとする各データは、点灯タイミング信号 EN_1 が与えられたときに、発光部 # 1, # 3, # 5, # 8, # 10, # 12, # 14, # 17 に対して、点灯タイミング信号 EN_2 が与

えられたときに、発光部 # 6, # 1 6 に対して、点灯タイミング信号 E N 3 が与えられたときに、発光部 # 2, # 4, # 9, # 1 1, # 1 3 に対して、点灯タイミング信号 E N 4 が与えられたときに、発光部 # 7, # 1 5 に対して、それぞれ与えられる。

次に、この光プリンタヘッドの詳細な動作について、第 8 図のタイミングチャートにより説明する。Y 位置補正データ記憶回路 1 3 には、上述した動作が行われることによって、既にメモリ 5 に格納された補正データが書き込まれると、まず、設定信号 S E T がローからハイとなって、Y 位置補正データ記憶回路 1 3 への書き込みを禁止する。

そして、端に位置する駆動用 I C a 2 6 のデータ入力端子 S I 0 ~ S I 3 に 1 ライン分 (4 9 9 2 ビット) のデータ信号が 4 ビット毎に順次与えられ、これがクロック C L K に同期して、駆動用 I C a 1 ~ I C a 2 6 のシフトレジスタ 1 1 に取り込まれる。即ち、1 番目、5 番目、9 番目、…のデータ信号が駆動用 I C a 2 6 のデータ入力端子 S I 0 に、2 番目、6 番目、1 0 番目、…のデータ信号が駆動用 I C a 2 6 のデータ入力端子 S I 1 に、3 番目、7 番目、1 1 番目、…のデータ信号が駆動用 I C a 2 6 のデータ入力端子 S I 2 に、4 番目、8 番目、1 2 番目、…のデータ信号が駆動用 I C a 2 6 のデータ入力端子 S I 3 に、それぞれ、与えられる。

そして、1 2 4 8 回目のクロック C L K が入力されたとき、駆動用 I C a 1, I C a 2, …, I C a 2 6 のシフトレジスタ 1 1 に、それぞれ、1 ライン目のデータ信号の内、1 ~ 1 9 2 番目、1 9 3 ~ 3 8 4 番目、…、4 8 0 1 ~ 4 9 9 2 番目のデータ信号が格納される。このようにして、1 ライン目のデータ信号が、駆動用 I C a 1 ~ I C a 2 6 のシフトレジスタ 1 1 に格納されると、クロック C L K が停止し、ハイのロード信号 L O A D が与えられる。

このロード信号 L O A D が与えられると、駆動用 I C a 1 ~ I C a 2 6 において、シフトレジスタ 1 1 に格納された 1 ライン目のデータ信号が、ラッチ回路 1 2 a に書き込まれる。このラッチ回路 1 2 a に書き込まれたデータ信号は、補正データ d a が与えられる A N D ゲート G 1 及び O R ゲート G 6 を介して、A N D ゲート G 7 に入力される。よって、ラッチ回路 1 2 a に格納された 1 ライン目の

データ信号の内、補正データ d_a が与えられた位置（基準位置付近）の発光部に与えるデータ信号が、ラッチ回路 12a より AND ゲート G7 に入力される。

そして、ロード信号 LOAD をローにした後、再び、クロック CLK の入力を開始するとともに、所定期間ハイとなるパルス信号となるタイミング信号 EN を与える。このとき、第 5 図で説明したように、点灯タイミング信号 $EN_1 \sim EN_4$ が、 EN_1 、 EN_2 、 EN_3 、 EN_4 の順に遅延制御回路 18 より出力される。

よって、まず、点灯タイミング信号 EN_1 が、補正データ t_a が与えられる AND ゲート G11 と OR ゲート G15 を介して AND ゲート G7 に与えられるため、1 ライン目の基準位置付近に存在する発光部に与えるデータ信号がドライブ回路 16 に与えられる。次に、タイミングクロック CLK 1 周期分遅延して点灯タイミング信号 EN_2 が、補正データ t_b が与えられる AND ゲート G12 と OR ゲート G15 を介して AND ゲート G7 に与えられるため、1 ライン目の基準位置から $(1/4)$ L ずれた位置に存在する発光部に与えるデータ信号がドライブ回路 16 に与えられる。

次に、タイミングクロック CLK 1 周期分遅延して点灯タイミング信号 EN_3 が、補正データ t_c が与えられる AND ゲート G13 と OR ゲート G15 を介して AND ゲート G7 に与えられるため、1 ライン目の基準位置から $(1/2)$ L ずれた位置に存在する発光部に与えるデータ信号がドライブ回路 16 に与えられる。最後に、タイミングクロック CLK 1 周期分遅延して点灯タイミング信号 EN_4 が、補正データ t_d が与えられる AND ゲート G14 と OR ゲート G15 を介して AND ゲート G7 に与えられるため、1 ライン目の基準位置から $(3/4)$ L ずれた位置に存在する発光部に与えるデータ信号がドライブ回路 16 に与えられる。更に、このとき、クロック CLK に同期して、駆動用 IC a のシフトレジスタ 11 に 2 ライン目のデータ信号が取り込まれる。

その後、2 ライン目のデータ信号が駆動用 IC a のシフトレジスタ 11 に格納されると、ハイのロード信号 LOAD を与えることによって、ラッチ回路 12a に格納された 1 ライン目のデータ信号をラッチ回路 12b に書き込むとともに、シフトレジスタ 11 に格納された 2 ライン目のデータ信号をラッチ回路 12a に

書き込む。ラッチ回路 12 a に書き込まれたデータ信号は、補正データ d_a が与えられる AND ゲート G 1 及び OR ゲート G 6 を介して、AND ゲート G 7 に入力される。又、ラッチ回路 12 b に書き込まれたデータ信号は、補正データ d_b が与えられる AND ゲート G 2 及び OR ゲート G 6 を介して、AND ゲート G 7 に入力される。

よって、まず、点灯タイミング信号 EN 1 が、補正データ t_a が与えられる AND ゲート G 1 1 と OR ゲート G 1 5 を介して AND ゲート G 7 に与えられるため、2 ライン目の基準位置付近に存在する発光部と 1 ライン目の基準位置から 1 ラインずれた位置に存在する発光部とに与えるデータ信号がドライブ回路 1 6 に与えられる。次に、タイミングクロック CLK 1 周期分遅延して点灯タイミング信号 EN 2 が、補正データ t_b が与えられる AND ゲート G 1 2 と OR ゲート G 1 5 を介して AND ゲート G 7 に与えられるため、2 ライン目の基準位置から $(1/4)$ L ずれた位置に存在する発光部と 1 ライン目の基準位置から 1 ライン及び $(1/4)$ L ずれた位置に存在する発光部とに与えるデータ信号がドライブ回路 1 6 に与えられる。

次に、タイミングクロック CLK 1 周期分遅延して点灯タイミング信号 EN 3 が、補正データ t_c が与えられる AND ゲート G 1 3 と OR ゲート G 1 5 を介して AND ゲート G 7 に与えられるため、2 ライン目の基準位置から $(1/2)$ L ずれた位置に存在する発光部と 1 ライン目の基準位置から 1 ライン及び $(1/2)$ L ずれた位置に存在する発光部とに与えるデータ信号がドライブ回路 1 6 に与えられる。

最後に、タイミングクロック CLK 1 周期分遅延して点灯タイミング信号 EN 4 が、補正データ t_d が与えられる AND ゲート G 1 4 と OR ゲート G 1 5 を介して AND ゲート G 7 に与えられるため、2 ライン目の基準位置から $(3/4)$ L ずれた位置に存在する発光部と 1 ライン目の基準位置から 1 ライン及び $(3/4)$ L ずれた位置に存在する発光部とに与えるデータ信号がドライブ回路 1 6 に与えられる。更に、このとき、クロック CLK に同期して、駆動用 IC a のシフトレジスタ 1 1 に 3 ライン目のデータ信号が取り込まれる。

その後、クロック CLK、ロード信号 LOAD、タイミング信号 EN がそれぞれ

れ、上述の動作を繰り返すことによって、まず、ラッチ回路 12 a, 12 b, 12 c のそれぞれに、3 ライン目、2 ライン目、1 ライン目のデータ信号が格納される。そして、1 ライン目の基準位置から略 2 ラインずれた位置の発光部、2 ライン目の基準位置から略 1 ラインずれた位置の発光部、及び、3 ライン目の基準位置付近に存在する発光部それぞれに対して、各ライン位置、各ラインから (1 / 4) L ずれた位置、各ラインから (1 / 2) L ずれた位置、各ラインから (3 / 4) L ずれた位置の順に、電流が供給される。

次に、ラッチ回路 12 a, 12 b, 12 c, 12 d のそれぞれに、4 ライン目、3 ライン目、2 ライン目、1 ライン目のデータ信号が格納される。そして、1 ライン目の基準位置から略 3 ラインずれた位置の発光部、2 ライン目の基準位置から略 2 ラインずれた位置の発光部、3 ライン目の基準位置から略 1 ラインずれた位置の発光部、及び、4 ライン目の基準位置付近に存在する発光部それぞれに対して、各ライン位置、各ラインから (1 / 4) L ずれた位置、各ラインから (1 / 2) L ずれた位置、各ラインから (3 / 4) L ずれた位置の順に、電流が供給される。

次に、ラッチ回路 12 a, 12 b, 12 c, 12 d, 12 e のそれぞれに、5 ライン目、4 ライン目、3 ライン目、2 ライン目、1 ライン目のデータ信号が格納される。そして、1 ライン目の基準位置から略 4 ラインずれた位置の発光部、2 ライン目の基準位置から略 3 ラインずれた位置の発光部、3 ライン目の基準位置から略 2 ラインずれた位置の発光部、4 ライン目の基準位置から略 1 ラインずれた位置の発光部、及び、5 ライン目の基準位置付近に存在する発光部それぞれに対して、各ライン位置、各ラインから (1 / 4) L ずれた位置、各ラインから (1 / 2) L ずれた位置、各ラインから (3 / 4) L ずれた位置の順に、電流が供給される。

よって、このように 5 ライン分の発光が終了した時点で初めて、1 ライン目の発光が完了する。その後、上述した動作が繰り返されることによって、2 ライン目、3 ライン目、…の発光が順次行われ、最終的に、静電写真型プリンタ 1 画面分の露光が行われる。

このように、本実施形態では、駆動用 IC a 1 ~ a 26 において、ライン毎の

Y位置のずれとライン間の領域毎のY位置のずれに対する補正が同時に行われる。即ち、駆動用IC a1～a26で、第7A図のようなY位置のずれが、直接、第7E図のように補正される。よって、高精度なY曲がり補正を行うことができる。

<第2の実施の形態>

本発明の第2の実施の形態について、図面を参照して説明する。第9図は、本実施形態における光プリントヘッドに設けられた制御回路の要部の構成を示すブロック回路図である。第10図は、本実施形態における光プリントヘッドに設けられた駆動用ICの内部構成を示すブロック回路図である。尚、第10図において、第4図に示す部分と同一の目的で使用する部分については、同一の符号を付し、その詳細な説明は省略する。又、本実施形態における駆動用ICは、その概略的なブロックは、第1の実施形態と同様、第3図のようになる。

本実施形態では、上述したように光プリントヘッドが第2図のように構成されるとき、制御回路6に補正データda～deが与えられて、まず、制御回路6において、駆動用IC a1～a26に与えられるデータ信号に対するライン毎のY位置のずれに対する補正が行われる。そして、制御回路6で補正されたデータ信号は、更に、補正データta～tdが与えられる駆動用IC a1～a26において、ライン間の領域毎のY位置のずれに対する補正が行われる。

この制御回路6は、第9図のように構成される。尚、第9図は、説明を簡単にするために発光部#1に基づいた回路ブロック図を示し、他の発光部#2～#4992については同様となるため省略する。

第9図に示す制御回路6は、データ入力端子S10～S13より入力される4ビットのデータ信号を取り込む4992ビットのシフトレジスタ21と、シフトレジスタ21で取り込まれたデータ信号を4992ビット単位毎に並列に取り込む5段のラッチ回路22と、Y方向の補正を行うための4992組の補正データを格納するY位置補正データ記憶回路23と、ラッチ回路22に格納されたデータ信号をY位置補正データ記憶回路23に格納された補正データに応じて選択する選択回路24と、選択回路24で選択されたデータ信号を取り込む4992ビットのシフトレジスタ25とを有する。

そして、ラッチ回路 22 は、4992 ビットのデータ信号を格納することができるラッチ回路 22 a ~ 22 e を有し、ラッチ回路 22 a にシフトレジスタ 21 に格納された 4992 ビットのデータ信号が、ラッチ回路 22 b にラッチ回路 22 a に格納された 4992 ビットのデータ信号が、ラッチ回路 22 c にラッチ回路 22 b に格納された 4992 ビットのデータ信号が、ラッチ回路 22 d にラッチ回路 22 c に格納された 4992 ビットのデータ信号が、ラッチ回路 22 e にラッチ回路 22 d に格納された 4992 ビットのデータ信号が、ロード信号 L O A D に応じてそれぞれ与えられる。

又、このラッチ回路 22 a ~ 22 e のそれぞれに格納された 4992 × 5 ビットのデータ信号が、ロード信号 L O A D に応じて、選択回路 24 に同時に送出される。このように 4992 × 5 ビットのデータ信号が与えられる選択回路 24 は、駆動用 I C a 1 ~ a 26 のそれぞれに与えるための 4992 ビットのデータ信号を選択するために、5 つの A N D ゲート G 1 ~ G 5 と 1 つの O R ゲート G 6 で構成されたゲート回路が 4992 組構成される。

そして、この選択回路 24 で選択された 4992 ビットのデータ信号が、シフトレジスタ 25 に与えられた後、一旦、格納される。又、シフトレジスタ 25 は、格納した 4992 ビットのデータ信号を、データ出力端子 S O 0 ~ S O 3 から、4 ビット毎に、駆動用 I C a 26 に出力する。

即ち、発光部 # 1 に対するデータ信号に基づいて説明すると、Y 位置補正データ記憶回路 23 より出力される 5 ビットの補正データ d a ~ d e がそれぞれ、5 つの A N D ゲート G 1 ~ G 5 に入力される。又、この A N D ゲート G 1 ~ G 5 には、ラッチ回路 22 a ~ 22 e からの発光部 # 1 に対するデータ信号が 1 ビット毎に入力される。O R ゲート G 6 には、A N D ゲート G 1 ~ G 5 からの出力が入力され、補正データ d a ~ d e の内、ハイとなる補正データが入力された A N D ゲートからの出力が出力となる。そして、この O R ゲート G 6 の出力が、シフトレジスタ 25 に送出される。

クロック入力端子 C I に入力されるクロック C L K がバッファ B 1 を介してクロック出力端子 C O より出力されて、駆動用 I C a 26 のクロック入力端子 C I に入力される。ロード信号入力端子 L I に入力されるロード信号 L O A D は、バ

ッファ B 2 を介してロード信号出力端子 L O より出力されて、駆動用 I C a 2 6 のロード信号入力端子 L I に入力される。

又、Y 位置補正データ記憶回路 2 3 は、5 ビットで構成される補正データを、データ信号に対応して 4 9 9 2 個記憶することができるように、例えば、4 9 9 2 × 5 ビットのラッチ回路で構成することができる。そして、Y 位置補正データ記憶回路 2 3 への補正データの書き込みは、シフトレジスタ 2 1 から並列に供給される 4 9 9 2 個単位の信号に基づいて、前もって行うことができる。

即ち、メモリ 5 内に格納された補正データが、プリンタ本体の制御回路又はプリントヘッド内の制御回路 6 により読み出されて制御回路 6 に与えられるとき、Y 位置補正データ記憶回路 2 3 のみを書き込み状態としてシフトレジスタ 2 1 を介して補正データの各ビットを記憶する作業を 5 回繰り返すことによって書き込まれる。

又、駆動用 I C a が第 1 0 図のように構成されるとき、ラッチ回路 1 2 は、第 1 の実施形態と異なり、シフトレジスタ 1 1 より出力される 1 9 2 ビットのデータ信号が平行に入力される 1 9 2 ビットの構成のラッチ回路 1 段で構成される。そして、選択回路 1 5 では、ラッチ回路 1 2 より与えられる 1 9 2 ビットのデータ信号を、Y 位置補正データ記憶回路より与えられる 1 9 2 × 4 ビットの補正データで選択したタイミング制御回路 1 4 より供給される点灯タイミング信号 E N 1 ～ E N 4 に応じてドライブ回路 1 6 に出力する。

Y 位置補正データ記憶回路 1 3 は、4 ビットで構成される補正データを、データ信号に対応して 1 9 2 個記憶することができるように、例えば、1 9 2 × 4 ビットのラッチ回路で構成することができる。そして、Y 位置補正データ記憶回路 1 3 への補正データの書き込みは、シフトレジスタ 1 1 から並列に供給される 1 9 2 個単位の信号に基づいて、前もって行うことができる。

即ち、メモリ 5 内に格納された補正データ t a ～ t d が、プリンタ本体の制御回路又はプリントヘッド内の制御回路 6 により読み出されて駆動用 I C a に与えられるとき、Y 位置補正データ記憶回路 1 3 のみを書き込み状態としてシフトレジスタ 1 1 を介して補正データの各ビットを記憶する作業を 4 回繰り返すことによって書き込まれる。

以下に第 10 図を参照して、このように構成される駆動用 I C a の詳細な構成について説明する。尚、第 10 図は、説明を簡単にするために出力端子 D O 1 に基づいた回路ブロック図を示し、他の出力端子 D O 2 ~ D O 1 9 2 については同様となるため省略する。

ラッチ回路 1 2 は、1 9 2 ビットのデータ信号を格納することができるラッチ回路であり、シフトレジスタ 1 1 に格納された 1 9 2 ビットのデータ信号が、ロード信号 L O A D に応じて与えられる。又、このラッチ回路 1 2 に格納された 1 9 2 ビットのデータ信号が、ロード信号 L O A D に応じて、選択回路 1 5 に同時に送出される。そして、この選択回路 1 5 は、4 つの A N D ゲート G 1 1 ~ G 1 4 と 1 つの O R ゲート G 1 5 で構成されたゲート回路がそれぞれ 1 9 2 組構成される。

又、この選択回路 1 5 は、遅延制御回路 1 8 で生成された点灯タイミング信号 E N 1 ~ E N 4 のいずれか 1 つの信号に応じてドライブ回路 1 6 にデータ信号を送出するために、ラッチ回路 1 2 から出力されるデータ信号と O R ゲート G 1 5 の出力とが入力される A N D ゲート G 7 を 1 9 2 個有する。尚、シフトレジスタ 1 1、ドライブ回路 1 6、電流供給回路 1 7、及び遅延制御回路 1 8 については、第 1 の実施形態（第 4 図）と同様になる。

即ち、Y 位置補正データ記憶回路 1 3 より出力される 4 ビットの補正データ t a ~ t d がそれぞれ、4 つの A N D ゲート G 1 1 ~ G 1 4 に入力される。そして、この A N D ゲート G 1 1 ~ G 1 4 には、遅延制御回路 1 8 で生成された点灯タイミング信号 E N 1 ~ E N 4 がそれぞれ入力される。O R ゲート G 1 5 には、A N D ゲート G 1 1 ~ G 1 4 からの出力が入力され、補正データ t a ~ t d の内、ハイとなる補正データが入力された A N D ゲートからの出力が O R ゲート G 1 5 の出力となる。そして、ラッチ回路 1 2 から出力されるデータ信号が、補正データ t a ~ t d によって選択された点灯タイミング信号 E N 1 ~ E N 4 に応じて、A N D ゲート G 7 を介して電流増幅回路 1 6 a に送出される。

このように構成される制御回路 6 及び駆動用 I C a 1 ~ I C a 2 6 が設けられた光プリントヘッドの動作について、第 7 A ~ E 図、第 1 1 図及び第 1 2 図を参照して説明する。第 1 1 図は、制御回路の動作を示すタイミングチャートであり

、第 1 2 図は、駆動用 I C の動作を示すタイミングチャートである。

まず、制御回路 6 の動作について、第 1 1 図のタイミングチャートを参照して、説明する。第 1 の実施形態と同様にして得られた補正データ d a ～ d e が、例えば、電源投入されたときなどにおいて、プリンタ本体の制御回路又はプリントヘッド内の制御回路 6 によってメモリ 5 より読み出されて、シフトレジスタ 2 1 を介して Y 位置補正データ記憶回路 2 3 に格納される。このようにして、メモリ 5 に格納された補正データが書き込まれると、まず、設定信号 S E T がローからハイとなって、Y 位置補正データ記憶回路 2 3 への書き込みを禁止する。

そして、1 ライン分（4 9 9 2 ビット）のデータ信号が 4 ビット毎に順次与えられ、これがクロック C L K に同期して、制御回路 6 のシフトレジスタ 2 1 に取り込まれる。このクロック C L K が 1 2 4 8 回入力されたとき、シフトレジスタ 2 1 に、1 ライン目のデータ信号が格納される。このようにして、1 ライン目のデータ信号が、シフトレジスタ 2 1 に格納されると、クロック C L K が停止し、ハイのロード信号 L O A D が与えられる。

このロード信号 L O A D が与えられると、シフトレジスタ 2 1 に格納された 1 ライン目のデータ信号が、ラッチ回路 2 2 a に書き込まれる。このラッチ回路 2 2 a に書き込まれたデータ信号は、補正データ d a が与えられる A N D ゲート G 1 及び O R ゲート G 6 を介して、シフトレジスタ 2 5 に入力される。よって、ラッチ回路 2 2 a に格納された 1 ライン目のデータ信号の内、補正データ d a が与えられた位置（基準位置付近）の発光部に与えるデータ信号が、ラッチ回路 2 2 a よりシフトレジスタ 2 5 に入力される。

そして、ロード信号 L O A D をローにした後、再び、1 2 4 8 回分のクロック C L K の入力を開始すると、シフトレジスタ 2 5 に格納された 1 ライン目の基準位置付近の発光部に与えるデータ信号が、4 ビット毎に、データ出力端子 S O 0 ～ S O 3 より駆動用 I C a 2 6 のデータ入力端子 S I 0 ～ S I 3 に出力される。よって、駆動用 I C a 1, I C a 2, …, I C a 2 6 のシフトレジスタ 1 1 に、それぞれ、選択された 1 ライン目のデータ信号の内、1 ～ 1 9 2 番目、1 9 3 ～ 3 8 4 番目、…、4 8 0 1 ～ 4 9 9 2 番目のデータ信号が格納される。又、このとき、シフトレジスタ 2 1 に 2 ライン目のデータ信号が与えられる。

そして、再度、ハイのロード信号LOADを与えることで、ラッチ回路22aに格納された1ライン目のデータ信号をラッチ回路22bに書き込むとともに、シフトレジスタ21に格納された2ライン目のデータ信号をラッチ回路22aに書き込む。ラッチ回路22aに書き込まれた2ライン目のデータ信号は、補正データdaが与えられるANDゲートG1及びORゲートG6を介して、又、ラッチ回路22bに書き込まれた1ライン目のデータ信号は、補正データdbが与えられるANDゲートG2及びORゲートG6を介して、それぞれ、シフトレジスタ25に入力される。

よって、2ライン目の基準位置付近に存在する発光部と1ライン目の基準位置から1ラインずれた位置に存在する発光部とに与えるデータ信号がシフトレジスタ25に格納される。このシフトレジスタ25に格納されたデータ信号は、再びクロックCLKが与えられたときに、4ビット毎に、データ出力端子S00～S03より駆動用ICa26のデータ入力端子S10～S13に出力される。

その後、クロックCLK及びロード信号LOADがそれぞれ、上述の動作を繰り返すことによって、まず、ラッチ回路22a, 22b, 22cのそれぞれに、3ライン目、2ライン目、1ライン目のデータ信号が格納される。そして、1ライン目の基準位置から略2ラインずれた位置の発光部、2ライン目の基準位置から略1ラインずれた位置の発光部、及び、3ライン目の基準位置付近に存在する発光部それぞれに対して与えられるデータ信号が、シフトレジスタ25に格納される。

次に、シフトレジスタ25に格納されたデータ信号が、データ出力端子S00～S03より駆動用ICa26のデータ入力端子S10～S13に出力されると、ラッチ回路22a, 22b, 22c, 22dのそれぞれに、4ライン目、3ライン目、2ライン目、1ライン目のデータ信号が格納される。そして、1ライン目の基準位置から略3ラインずれた位置の発光部、2ライン目の基準位置から略2ラインずれた位置の発光部、3ライン目の基準位置から略1ラインずれた位置の発光部、及び、4ライン目の基準位置付近に存在する発光部それぞれに対して与えられるデータ信号が、シフトレジスタ25に格納される。

次に、シフトレジスタ25に格納されたデータ信号が、データ出力端子S00

～S O 3より駆動用 I C a 2 6のデータ入力端子 S I 0～S I 3に出力されると、ラッチ回路 1 2 a, 1 2 b, 1 2 c, 1 2 d, 1 2 eのそれぞれに、5ライン目、4ライン目、3ライン目、2ライン目、1ライン目のデータ信号が格納される。そして、1ライン目の基準位置から略4ラインずれた位置の発光部、2ライン目の基準位置から略3ラインずれた位置の発光部、3ライン目の基準位置から略2ラインずれた位置の発光部、4ライン目の基準位置から略1ラインずれた位置の発光部、及び、5ライン目の基準位置付近に存在する発光部それぞれに対して与えられるデータ信号が、シフトレジスタ 2 5に格納される。

制御回路 6において、このような動作が繰り返されることによって、駆動用 I C a 1～a 2 6に、補正データ d a～d eに基づいたライン分毎のY曲がり補正が行われたデータ信号が与えられることとなる。即ち、発光部 # 1～# 1 7において、第 7 A図のようなY位置のずれがある場合に、発光部 # 8に与える1ライン目のデータ信号が制御回路 6のシフトレジスタ 2 5より出力されるとき、発光部 # 5～# 7, # 9, # 1 0に与える2ライン目のデータ信号、発光部 # 3, # 4, # 1 1, # 1 2に与える3ライン目のデータ信号、発光部 # 1, # 2, # 1 3, # 1 4に与える4ライン目のデータ信号、及び発光部 # 1 5～# 1 7に与える5ライン目のデータ信号がともに出力される。よって、この制御回路 6より出力されるデータ信号を用いて発光部 # 1～# 1 7を点灯させたとき、第 7 C図のように、Y曲がり補正が成される。

次に、駆動用 I C a 1～a 2 6の動作について、第 1 2図のタイミングチャートを参照して、説明する。第 1の実施形態と同様にして得られた補正データ t a～t dが、例えば、電源投入されたときなどにおいて、プリンタ本体の制御回路又はプリントヘッド内の制御回路 6によってメモリ 5より読み出されて、シフトレジスタ 1 1を介してY位置補正データ記憶回路 1 3に格納される。このようにして、メモリ 5に格納された補正データが書き込まれると、まず、設定信号 S E Tがローからハイとなって、Y位置補正データ記憶回路 1 3への書き込みを禁止する。

そして、端に位置する駆動用 I C a 2 6のデータ入力端子 S I 0～S I 3に1ライン分（4 9 9 2ビット）のデータ信号が4ビット毎に順次与えられ、これが

クロックCLKに同期して、駆動用ICa1～ICa26のシフトレジスタ11に取り込まれる。そして、1248回目のクロックCLKが入力されたとき、駆動用ICa1, ICa2, …, ICa26のシフトレジスタ11に、それぞれ、5つの連続したラインから選択されたデータ信号の内、1～192番目、193～384番目、…、4801～4992番目のデータ信号が格納される。このようにして、5つの連続したラインから選択されたデータ信号が、駆動用ICa1～ICa26のシフトレジスタ11に格納されると、クロックCLKが停止し、ハイのロード信号LOADが与えられる。

このロード信号LOADが与えられると、駆動用ICa1～ICa26において、シフトレジスタ11に格納されたデータ信号が、ラッチ回路12に書き込まれる。このラッチ回路12に書き込まれたデータ信号は、ANDゲートG7に入力される。そして、ロード信号LOADをローにした後、再び、クロックCLKの入力を開始するとともに、所定期間ハイとなるパルス信号となるタイミング信号ENを与える。このとき、第5図で説明したように、点灯タイミング信号EN1～EN4が、EN1, EN2, EN3, EN4の順に遅延制御回路18より出力される。

よって、まず、点灯タイミング信号EN1が、補正データtaが与えられるANDゲートG11とORゲートG15を介してANDゲートG7に与えられるため、各ラインの基準位置付近に存在する発光部に与えるデータ信号がドライブ回路16に与えられる。次に、タイミングクロックCLK1周期分遅延して点灯タイミング信号EN2が、補正データtbが与えられるANDゲートG12とORゲートG15を介してANDゲートG7に与えられるため、各ラインの基準位置から(1/4)Lずれた位置に存在する発光部に与えるデータ信号がドライブ回路16に与えられる。

次に、タイミングクロックCLK1周期分遅延して点灯タイミング信号EN3が、補正データtcが与えられるANDゲートG13とORゲートG15を介してANDゲートG7に与えられるため、各ラインの基準位置から(1/2)Lずれた位置に存在する発光部に与えるデータ信号がドライブ回路16に与えられる

..

最後に、タイミングクロック ECLK 1 周期分遅延して点灯タイミング信号 EN4 が、補正データ t d が与えられる AND ゲート G14 と OR ゲート G15 を介して AND ゲート G7 に与えられるため、各ラインの基準位置から $(3/4)L$ ずれた位置に存在する発光部に与えるデータ信号がドライブ回路 16 に与えられる。更に、このとき、クロック CLK に同期して、駆動用 IC a のシフトレジスタ 11 に次に制御回路 6 より出力されるデータ信号が取り込まれる。

駆動用 IC a 1 ~ a26 において、このような動作が繰り返されることによって、各ラインの領域毎の Y 曲がり補正を行って、各発光部 #1 ~ #4992 の発光動作を制御することができる。

即ち、第 7 A 図のように発光部 #1 ~ #17 に与えられるデータ信号が制御回路 6 で補正された場合に、発光部 #8 に与える 1 ライン目のデータ信号が制御回路 6 より与えられてラッチ回路 12 に格納されると、まず、点灯タイミング信号 EN1 が遅延制御回路 18 より出力されるとき、発光部 #8 に 1 ライン目のデータ信号が、発光部 #5, #10 に 2 ライン目のデータ信号が、発光部 #3, #12 に 3 ライン目のデータ信号が、発光部 #1, #14 に 4 ライン目のデータ信号が、発光部 #17 に 5 ライン目のデータ信号が、それぞれ与えられる。

次に、遅延制御回路 18 より点灯タイミング信号 EN1 が送出された後にタイミングクロック 1 周期分遅延して点灯タイミング信号 EN2 が遅延制御回路 18 より出力されるとき、発光部 #6 に 2 ライン目のデータ信号が、発光部 #16 に 5 ライン目のデータ信号が、それぞれ与えられる。

次に、遅延制御回路 18 より点灯タイミング信号 EN2 が送出された後にタイミングクロック 1 周期分遅延して点灯タイミング信号 EN3 が遅延制御回路 18 より出力されるとき、発光部 #9 に 2 ライン目のデータ信号が、発光部 #4, #11 に 3 ライン目のデータ信号が、発光部 #2, #13 に 4 ライン目のデータ信号が、それぞれ与えられる。

最後に、遅延制御回路 18 より点灯タイミング信号 EN3 が送出された後にタイミングクロック 1 周期分遅延して点灯タイミング信号 EN4 が遅延制御回路 18 より出力されるとき、発光部 #7 に 2 ライン目のデータ信号が、発光部 #15 に 5 ライン目のデータ信号が、それぞれ与えられる。

よって、この制御回路 6 により第 7 C 図のように Y 曲がり補正が成されたデータ信号を用いて、駆動用 I C a によって発光部 # 1 ~ # 1 7 を点灯させたとき、第 7 E 図のように、更に高精度な Y 曲がり補正が成される。又、制御回路でライン毎の Y 曲がり補正を行うことで、駆動用 I C a の回路構成が簡単化されるため、第 1 の実施形態と比べて、駆動用 I C a を小型化することができる。

< 第 3 の実施形態 >

本発明の第 3 の実施の形態について、図面を参照して説明する。第 1 3 図は、本実施形態における光プリントヘッドに設けられた駆動用 I C の内部構成を示すブロック回路図である。尚、第 1 3 図において、第 3 図に示す部分と同一の目的で使用する部分については、同一の符号を付し、その詳細な説明は省略する。

本実施形態において、第 2 図のような光プリントヘッドにおける駆動用 I C a は、第 1 3 図のブロック図のように、シフトレジスタ 1 1 と、タイミング制御回路 1 4 と、電流供給回路 1 7 と、シフトレジスタ 1 1 で取り込まれたデータ信号を 1 9 2 ビット単位毎に並列に取り込むとともに Y 方向に対して粗い補正を行って出力するラッチ回路 3 1 と、Y 方向に対して細かい補正を行うためにドライブ回路 3 3 を制御する出力制御回路 3 2 と、ラッチ回路 3 1 から与えられるデータ信号と出力制御回路 3 2 によって制御される出力タイミングとに応じて出力端子 D O 1 ~ D O 1 9 2 に駆動信号を出力するドライブ回路 3 3 とを有する。

駆動用 I C a が第 1 3 図のように構成されるとき、ラッチ回路 3 1 は、シリアルに 5 段接続された 1 9 2 ビット構成のラッチ回路と、各段のラッチ回路を各ビット毎に制御信号を与えるラッチ制御回路とで構成される。このラッチ回路 3 1 内に構成される各段のラッチ回路には、シフトレジスタ 1 1 より出力される 1 9 2 ビットのデータ信号が平行に入力される。更に、ラッチ制御回路には、各段のラッチ回路に対して、各ビット毎に制御信号を与えて、各段のラッチ回路内に設けられる後述する 1 9 2 ビット分のフリップフロップ回路それぞれの動作を制御するために、1 9 2 × 5 ビットの補正データが格納される。

よって、ラッチ回路 3 1 内の各段のラッチ回路が、ラッチ制御回路によって各ビット毎にラッチ動作が制御されるため、シフトレジスタ 1 1 から与えられるデータ信号が、ビット毎に異なるタイミングで遅延されて出力される。又、ラッチ

回路 3 1 内の各段のラッチ回路のラッチ動作を制御するために、ラッチ制御回路に格納する補正データは、シフトレジスタ 1 1 を通じて、前もって書き込むことができる。

出力制御回路 3 2 は、後述するように、各出力端子毎に出力タイミングを決定するための 1 9 2 ビット分の出力遅延カウンタと、各出力遅延カウンタに制御信号を与えるカウンタ制御回路とで構成される。各遅延カウンタがクロック 4 周期分までの遅延動作をそれぞれ行うので、カウンタ制御回路に 1 9 2 × 4 ビットの補正データが格納される。

よって、出力制御回路 3 2 では、出力端子 D O 1 ~ D O 1 9 2 毎に設定されたタイミングで、各遅延カウンタより点灯タイミング信号 E N が遅延されて、ドライブ回路 3 3 に出力される。この際、各タイミングは、カウンタ制御回路に格納された補正データによって決定される。又、カウンタ制御回路に格納する補正データは、シフトレジスタ 1 1 を通じて、前もって書き込むことができる。

ドライブ回路 3 3 は、第 1 の実施形態と同様、出力端子に出力電流を与える電流増幅回路 1 6 a を 1 9 2 個有するとともに、第 1 の実施形態における駆動用 I C a 内の選択回路 1 5 に備えられた A N D ゲート G 7 を 1 9 2 個有する。A N D ゲート G 7 には、ラッチ回路 3 1 から出力されるデータ信号と、出力制御回路 3 2 から出力される遅延された点灯タイミング信号とが入力される。

この A N D ゲート G 7 の出力が電流増幅回路 1 6 a に与えられるため、ラッチ回路 3 1 から出力されるデータ信号が、出力制御回路 3 2 から出力される点灯タイミング信号に応じたタイミングで電流増幅回路 1 6 a に与えられる。よって、データ信号と点灯タイミング信号によって決定されるタイミングで、電流増幅回路 1 6 a より出力端子へ電流が出力される。

このような駆動用 I C a において、ラッチ回路 3 1 及び出力制御回路 3 2 の詳細について、更に説明する。まず、ラッチ回路 3 1 の構成について、第 1 4 図を参照して説明する。尚、第 1 4 図は、説明を簡単にするために出力端子 D O 1 に基づいて回路ブロック図を示し、他の出力端子 D O 2 ~ D O 1 9 2 については同様となるため省略する。

第 1 4 図のラッチ回路 3 1 において、ラッチ回路 3 1 a ~ 3 1 e は、それぞれ

、192個のフリップフロップ回路より構成され、各段のラッチ回路内のフリップフロップ回路が、各出力端子毎に直列に接続されることで、ラッチ回路31a～31eが直列に接続される。よって、シフトレジスタ11からの192個のデータ信号が並列的にラッチ回路31a～31eに与えられる。又、前述したように、各ラッチ回路31a～31eに設けられたフリップフロップ回路それぞれに制御信号を与えるラッチ制御回路41が設けられる。このラッチ制御回路41は、 192×5 の制御信号を各フリップフロップ回路に与えるため、その制御信号となる 192×5 ビットの補正データが格納される。

即ち、第14図のように、出力端子DO1において、ラッチ回路31a～31eそれぞれに、フリップフロップ回路f1～f5が設けられる。そして、シフトレジスタ11からの出力端子DO1へのデータ信号がフリップフロップ回路f1に与えられ、フリップフロップ回路f1からの出力がフリップフロップ回路f2に与えられ、フリップフロップ回路f2からの出力がフリップフロップ回路f3に与えられ、フリップフロップ回路f3からの出力がフリップフロップ回路f4に与えられ、フリップフロップ回路f4からの出力がフリップフロップ回路f5に与えられる。そして、フリップフロップ回路f5からの出力が、ドライブ回路33のANDゲートG7に与えられる。

このフリップフロップ回路f1～f5は、第15図のように、Dフリップフロップ42と、ORゲートG31、G32とによって構成される。シフトレジスタ11又は前段のラッチ回路におけるDフリップフロップ42の出力端子Qからの出力となるデータ信号が、Dフリップフロップ42の入力端子Dと、ORゲートG31の入力端子と、その入力が反転されるORゲートG32の入力端子とに与えられる。又、ラッチ制御回路41からの補正データがORゲートG31、G32それぞれの他方の入力端子に与えられ、ラッチ信号LATCHがDフリップフロップ42のクロック端子CKに与えられる。更に、ORゲートG31の出力がDフリップフロップ42のクリア端子CLRに与えられるとともに、ORゲートG32の出力がDフリップフロップ42のプリセット端子PRに与えられる。

このとき、Dフリップフロップ42は、次のように動作する。クリア端子CLR及びプリセット端子PRにハイの信号が入力されるとき、Dフリップフロップ

42は、クロック端子CKに入力されるラッチ信号LATCHに応じてラッチ動作を行う。クリア端子CLRにハイの信号が入力されるとともにプリセット端子PRにローの信号が入力される時、Dフリップフロップ42は、入力端子Dの入力のレベルに関係なく出力端子Qよりハイの信号を出力する。又、クリア端子CLRにローの信号が入力されるとともにプリセット端子PRにハイの信号が入力される時、Dフリップフロップ42は、入力端子Dの入力のレベルに関係なく出力端子Qよりローの信号を出力する。

よって、ラッチ制御回路41からの制御信号となる補正データがハイのときは、ORゲートG31、G32の出力が共にハイとなる。そのため、Dフリップフロップ42のクリア端子CLR及びプリセット端子PRへの入力が高レベルとなり、Dフリップフロップ42はクロック端子CKへ入力されるラッチ信号LATCHに応じて、入力端子Dに入力されるデータ信号のラッチ動作を行う。

又、ラッチ制御回路41からの制御信号となる補正データがローであるとともに、Dフリップフロップ42の入力端子Dに入力されるデータ信号が高レベルであるとき、ORゲートG31からクリア端子CLRへの入力が高レベルとなるとともにORゲートG32からプリセット端子PRへの入力がローとなる。よって、Dフリップフロップ42の出力端子Qからの出力が高レベルとなり、Dフリップフロップ42の入力端子Dに入力されたデータ信号と同じレベルの信号が出力される。

又、ラッチ制御回路41からの制御信号となる補正データ及びDフリップフロップ42の入力端子Dに入力されるデータ信号が共にローであるとき、ORゲートG31からクリア端子CLRへの入力がローとなるとともにORゲートG32からプリセット端子PRへの入力が高レベルとなる。よって、Dフリップフロップ42の出力端子Qからの出力がローとなり、Dフリップフロップ42の入力端子Dに入力されたデータ信号と同じレベルの信号が出力される。

即ち、ラッチ制御回路41から出力される補正データがハイの時、この補正データが与えられるフリップフロップ回路f（フリップフロップ回路f1～f5に相当する）は、入力されるデータ信号に対して、ラッチ信号LATCHに応じたラッチ動作を行う。又、ラッチ制御回路41から出力される補正データがローの時、この補正データが与えられるフリップフロップ回路fは、入力されたデータ

信号をそのまま出力するスルー動作を行う。

又、このようなフリップフロップ回路 f 1 ～ f 5 を備えたラッチ回路 3 1 a ～ 3 1 e に制御信号を与えるラッチ制御回路 4 1 は、補正データ d a ～ d e が格納される。よって、フリップフロップ回路 f 1 ～ f 5 それぞれに設けられた O R ゲート G 3 1, G 3 2 に入力される補正データが、d a ～ d e となる。即ち、補正データ (d a, d b, d c, d d, d e) の関係が、(H, L, L, L, L) となるとき、このような補正データがフリップフロップ回路 f 1 ～ f 5 に発光部位置では、ライン補正を行わない。尚、H がハイに、L がローに相当する。

又、補正データが (H, H, L, L, L) となるとき、1 ライン分のライン補正が、補正データが (H, H, H, L, L) となるとき、2 ライン分のライン補正が、補正データが (H, H, H, H, L) となるとき、3 ライン分のライン補正が、補正データが (H, H, H, H, H) となるとき、4 ライン分のライン補正が、それぞれ施される。出力端子 D O 1 ～ D O 1 9 2 に対する、このような補正データ d a ～ d e が、シフトレジスタ 1 1 を通じて、ラッチ制御回路 4 1 に与えられ、ラッチ制御回路 4 1 内で格納される。

次に、出力制御回路 3 2 の構成について、第 1 6 図を参照して説明する。尚、第 1 6 図は、説明を簡単にするために出力端子 D O 1 に基づいて回路ブロック図を示し、他の出力端子 D O 2 ～ D O 1 9 2 については同様となるため省略する。

第 1 6 図の出力制御回路 3 2 において、出力遅延カウンタ 5 1 に点灯タイミング信号 E N が入力されると、出力端子 D O 1 のみに設定されたタイミングで、ドライブ回路 3 3 の A N D ゲート G 7 に出力する。この出力遅延カウンタ 5 1 は、出力端子 D O 1 に対するもののみ図示しているが、実際は、出力端子 D O 2 ～ D O 1 9 2 についても設けられる。この出力遅延カウンタ 5 1 は、タイミングクロック E C L K に同期して動作を行う。

又、遅延カウンタ 5 1 は、カウンタ制御回路 5 2 から与えられる制御信号となる補正データによって、点灯タイミング信号 E N に対する遅延動作を行う。更に、遅延カウンタ 5 1 のカウンタがそれぞれ、タイミングクロック E C L K 4 周期分まで遅延を行うことが可能であるものとする。このとき、カウンタ制御回路 5 2 は、シフトレジスタ 1 1 を通じて、1 チップの駆動用 I C a 共通の 4 ビットの

補正データ $t_a \sim t_d$ が与えられ、 192×4 ビットの補正データが格納される。

更に、出力遅延カウンタ 51 が、第 15 図のような構成のフリップフロップ回路 $f_a \sim f_d$ が直列に接続されて構成される。このとき、カウンタ制御回路 52 より、フリップフロップ回路 $f_a \sim f_d$ のそれぞれに補正データ $t_a \sim t_d$ が制御信号として与えられる。

よって、補正データ (t_a, t_b, t_c, t_d) の関係が (H, L, L, L) となると、点灯タイミング信号 EN が 1 周期分遅延されて出力される。同様に、点灯タイミング信号 EN が、補正データ (t_a, t_b, t_c, t_d) の関係が (H, H, L, L) となると、タイミングクロック CLK 2 周期分、又、補正データ (t_a, t_b, t_c, t_d) の関係が (H, H, H, L) となると、タイミングクロック CLK 3 周期分、又、補正データ (t_a, t_b, t_c, t_d) の関係が (H, H, H, H) となると、タイミングクロック CLK 4 周期分、それぞれ遅延されて出力される。

このような 4 ビットの補正データ $t_a \sim t_d$ 192 組分が、シフトレジスタ 11 を通じて、カウンタ制御回路 52 に与えられると、カウンタ制御回路 52 内に書き込まれる。

このようなラッチ回路 31 と出力制御回路 32 が動作する際の、データ信号の遷移について、第 1 の実施形態と同様、第 7 A～E 図を参照して説明する。尚、第 7 A～E 図における d_a, d_b, d_c, d_d, d_e が、それぞれ、補正データ (d_a, d_b, d_c, d_d, d_e) の関係が (H, L, L, L, L)、(H, H, L, L, L)、(H, H, H, L, L)、(H, H, H, H, L)、(H, H, H, H, H) となることを示している。又、第 7 A～E 図における t_a, t_b, t_c, t_d が、それぞれ、補正データ (t_a, t_b, t_c, t_d) の関係が (H, L, L, L)、(H, H, L, L)、(H, H, H, L)、(H, H, H, H) となることを示している。

このとき、第 7 A 図のような Y 位置のずれがある場合に、ラッチ回路 31 内の各段のラッチ回路 31 a～31 e がそれぞれ、ラッチ制御回路 41 から与えられる発光部 #1～#17 それぞれに対する第 7 B 図のような補正データによって、

動作制御される。即ち、ラッチ回路 3 1 の最終段となるラッチ回路 3 1 e から、ドライブ回路 3 3 に対して、発光部 # 8 に与える 1 ライン目のデータ信号が出力されるとき、発光部 # 5 ~ # 7, # 9, # 1 0 に与える 2 ライン目のデータ信号、発光部 # 3, # 4, # 1 1, # 1 2 に与える 3 ライン目のデータ信号、発光部 # 1, # 2, # 1 3, # 1 4 に与える 4 ライン目のデータ信号、及び発光部 # 1 5 ~ # 1 7 に与える 5 ライン目のデータ信号がともに出力される。よって、ラッチ回路 3 1 より出力されるデータ信号を用いて発光部 # 1 ~ # 1 7 を点灯させたとき、第 7 C 図のように、Y 曲がり補正が成される。

又、出力制御回路 3 2 内の発光部 # 1 ~ # 1 7 に対する出力遅延カウンタ 5 1 がそれぞれ、カウンタ制御回路 5 2 より与えられる発光部 # 1 ~ # 1 7 それぞれに対する第 7 D 図のような補正データによって、動作制御される。即ち、出力制御回路 3 2 からドライブ回路 3 3 に対して、まず、発光部 # 1, # 3, # 5, # 8, # 1 0, # 1 2, # 1 4, # 1 7 に対する点灯タイミング信号 E N が出力され、次に、発光部 # 6, # 1 6 に対する点灯タイミング信号 E N が出力される。そして、発光部 # 2, # 4, # 9, # 1 1, # 1 3 に対する点灯タイミング信号 E N が出力され、最後に、発光部 # 7, # 1 5 に対する点灯タイミング信号 E N が出力される。

このように、ラッチ回路 3 1 及び出力制御回路 3 2 がそれぞれ、データ信号及び点灯タイミング信号をドライブ回路 3 3 に出力するため、まず、発光部 # 8 に 1 ライン目のデータ信号が、発光部 # 5, # 1 0 に 2 ライン目のデータ信号が、発光部 # 3, # 1 2 に 3 ライン目のデータ信号が、発光部 # 1, # 1 4 に 4 ライン目のデータ信号が、発光部 # 1 7 に 5 ライン目のデータ信号が、それぞれ与えられる。

次に、タイミングクロック E C L K 1 周期分遅延して、発光部 # 6 に 2 ライン目のデータ信号が、発光部 # 1 6 に 5 ライン目のデータ信号が、それぞれ与えられる。そして、更にタイミングクロック E C L K 1 周期分遅延して、発光部 # 9 に 2 ライン目のデータ信号が、発光部 # 4, # 1 1 に 3 ライン目のデータ信号が、発光部 # 2, # 1 3 に 4 ライン目のデータ信号が、それぞれ与えられる。最後に、更にタイミングクロック E C L K 1 周期分遅延して、発光部 # 7 に 2 ライン

目のデータ信号が、発光部 # 1 5 に 5 ライン目のデータ信号が、それぞれ与えられる。

このように動作するラッチ回路 3 1 及び出力制御回路 3 2 を有する駆動用 I C a 1 ~ a 2 6 において、各信号は、第 1 の実施形態と同様、第 8 図のように変化する。但し、本実施形態において、第 1 の実施形態と異なり、フリップフロップ回路 f のラッチ動作とスルー動作を制御することで、ラッチ回路 3 1 の最終段のラッチ回路 3 1 e より各発光部に与えるデータ信号が出力されるとともに、出力制御回路 3 2 の各出力遅延カウンタから各発光部に与える点灯タイミング信号が出力される。よって、第 1 の実施形態のように、各発光部に与えるデータ信号及び点灯タイミング信号を選択するための選択回路を省略することができる。

尚、第 1 ~ 第 3 の実施形態において、発光部の数を 4 9 9 2、駆動用 I C の出力端子の数を 1 9 2、Y 位置の補正するライン数を 5、各ライン間で Y 位置の補正を行う領域数を 4 としたが、それぞれの数量について限定するものではない。又、Y 位置の補正するライン数及び領域数については、紙送り速度や発光素子の点滅スピードに応じて変化させる必要がある。又、紙送り速度や発光素子の点滅スピードに応じた異なる複数組の補正データをメモリ内に格納して、印字スピードの変更時などに適切な補正データの組を読み出して駆動用 I C に転送するようにしても構わない。

又、各発光部毎に点灯タイミングを変えることができるものとしたが、本発明はこれに限られるものでなく、複数の発光部群単位毎に、又は、駆動用 I C 単位毎に、点灯タイミングを変えることができるようにしても構わない。このように複数の発光部群毎に点灯タイミングが変えられるようにすることで、駆動用 I C の回路構成を簡素なものとすることができる。

又、Y 位置補正データ以外に、各発光部の光量を均一にするために、予め求めた光量補正データを格納するための光量補正データ記憶回路を駆動用 I C 内に設けても構わない。このとき、各発光部毎に S ビットの補正データが光量補正データ記憶回路に格納されるとき、駆動用 I C において、各発光部に電流を供給するための出力端子毎に、出力端子に電流供給する S 個の電流増幅器を設けることで、S ビットの補正データに応じて S 個の電流増幅器を動作させて、光量補正を行

うことができる。

又、駆動用 I C の出力端子に対して発光部 1 つが接続された光プリントヘッドとしたが、例えば特開平 6 - 1 6 3 9 8 0 号公報や特開平 1 0 - 2 2 6 1 0 2 号公報などに示されるように、その一端が共通電極に接続される n 個の発光部を 1 群として m 群に分けるとともに、異なる群の m 個の発光部の他端を個別電極に接続し、駆動用 I C の出力端子を共通電極に接続されるものと、個別電極に接続されるものの 2 種類とすることで、時分割駆動を行うことができるようにしても構わない。

又、データ信号を複数ビットで構成する場合などにおいては、それに応じてシフトレジスタやラッチ回路などの構成を変更することもでき、例えば、シフトレジスタをアドレス指定方式のメモリで構成することもできる。

産業上の利用可能性

以上のように本発明の駆動用 I C によれば、光プリントヘッドに設けられた発光素子の複数の発光部の結像位置ずれに応じて、各発光部の点灯タイミングを変更することができる。そして、このような駆動用 I C が設けられた光プリントヘッドが印字する際に、その直線性を改善することができる。よって、本発明の光プリントヘッドを複数備えたカラータンデム方式のプリンタにおいて、色ずれの少ないカラー印字を得ることができる。更に、印字ライン周期毎に、異なるタイミングで発生する点灯タイミング信号が生成され、発光部の結像位置ずれに応じて、各発光部の点灯タイミングをそれぞれの点灯タイミング信号に同期させる。よって、その直線性の微調整を行うことが可能となり、高精度な補正を行うことができる。

又、直線性を改善するために、従来のような機械的な調整や光学的な調整がほとんど不要となる。よって、組立工数が大幅に削減されるとともに、レンズや発光素子などの各部品について大まかな良否判定でよくなるので、光プリントヘッド及びこれが設けられたプリンタを高品質化で安価なものとすることができる。

請求の範囲

1. 素子駆動用の駆動用 IC において、

1 組のデータ信号群を構成する n 個のデータ信号に基づいて、 n 個の素子を駆動させるための駆動信号を生成する駆動回路と、

x 組の前記データ信号群それぞれが格納される x 段のラッチ回路と、

前記素子毎に対応するデータ信号を前記駆動回路へ送出するタイミングを設定するために、1 又は 2 入力のタイミング信号を遅延させて、 y 個の点灯タイミング信号を生成する遅延制御回路と、

前記素子毎に対応するデータ信号を、前記 x 段のラッチ回路から選択し、 n 個のデータ信号によって 1 組のデータ信号群を形成するとともに、該 1 組のデータ信号群を構成する各データ信号を前記遅延制御回路から与えられる前記 y 個の点灯タイミング信号に応じて前記駆動回路に送出する選択回路と、

を有することを特徴とする駆動用 IC。

2. 前記 n 個のデータ信号が m 個毎に入力された後、 n 個のデータ信号を並列的に 1 段目の前記ラッチ回路に送出するシフトレジスタを備えるとともに、

前記 x 段の各ラッチ回路が、後段に接続されるラッチ回路に対して、 n 個のデータ信号を並列的に送出することを特徴とする請求の範囲第 1 項に記載の駆動用 IC。

3. 前記各素子の駆動タイミングを記憶する記憶回路を備えるとともに、

前記記憶回路に記憶された前記駆動タイミングに応じて、前記 n 個のデータ信号が前記 x 段のラッチ回路より選択され、該選択された n 個のデータ信号それぞれが前記駆動回路に送出されるタイミングが設定されることを特徴とする請求の範囲第 2 項に記載の駆動用 IC

4. 前記 n 個の素子が発光素子を構成する n 個の発光部であるとともに、該複数の発光部が一行に配されているとき、

前記選択回路において、前記 n 個の発光部の配列方向に対して垂直な方向における前記各発光部の結像位置に基づいて、前記各発光部に対応するデータ信号が選択される前記ラッチ回路と前記駆動回路に送出されるタイミングとが設定されることを特徴とする請求の範囲第 3 項に記載の駆動用 IC。

5. 前記駆動用 IC が光プリントヘッド内に備えられた前記発光素子の発光部を駆動するための駆動用 IC であるとともに、

前記光プリントヘッドを使用したプリンタの印字方向を下側とし、前記複数の発光部の内、最も下側に位置する発光部の結像位置を基準位置としたとき、

前記印字方向において前記基準位置より離れた位置を結像位置とする発光部に対応したデータ信号ほど、後段のラッチ回路より選択される、又は、後段のラッチ回路までラッチされることを特徴とする請求の範囲第 4 項に記載の駆動用 IC

6. 前記 y 個の点灯タイミング信号が、印字ライン周期毎に発生することを特徴とする請求の範囲第 5 項に記載の駆動用 IC。

7. 前記発光部の結像位置が、該結像位置より印字方向の下側に位置するとともに最も近い位置にある印字ラインに対してより離れた位置にある前記発光部ほど、前記印字ライン周期においてより遅いタイミングで発生される前記点灯タイミング信号に応じたタイミングで、前記駆動回路が駆動させることを特徴とする請求の範囲第 6 項に記載の駆動用 IC。

8. 前記 y 個の点灯タイミング信号が、重なり合う期間を有することを特徴とする請求の範囲第 5 項に記載の駆動用 IC。

9. 前記 y 個の点灯タイミング信号が、重なり合う期間を有することを特徴とする請求の範囲第 4 項に記載の駆動用 IC。

10. 前記各素子の駆動タイミングを記憶する記憶回路を備えるとともに、

前記記憶回路に記憶された前記駆動タイミングに応じて、前記 n 個のデータ信号が前記 x 段のラッチ回路より選択され、該選択された n 個のデータ信号それぞれが前記駆動回路に送出されるタイミングが設定されることを特徴とする請求の範囲第1項に記載の駆動用 IC。

11. 前記 n 個の素子が発光素子を構成する n 個の発光部であるとともに、該複数の発光部が一行に配されているとき、

前記選択回路において、前記 n 個の発光部の配列方向に対して垂直な方向における前記各発光部の結像位置に基づいて、前記各発光部に対応するデータ信号が選択される前記ラッチ回路と前記駆動回路に送出されるタイミングとが設定されることを特徴とする請求の範囲第1項に記載の駆動用 IC。

12. 前記駆動用 IC が光プリントヘッド内に備えられた前記発光素子の発光部を駆動するための駆動用 IC であるとともに、

前記光プリントヘッドを使用したプリンタの印字方向を下側とし、前記複数の発光部の内、最も下側に位置する発光部の結像位置を基準位置としたとき、

前記印字方向において前記基準位置より離れた位置を結像位置とする発光部に対応したデータ信号ほど、後段のラッチ回路より選択される、又は、後段のラッチ回路までラッチされることを特徴とする請求の範囲第1項に記載の駆動用 IC

13. 前記 y 個の点灯タイミング信号が、印字ライン周期毎に発生することを特徴とする請求の範囲第12項に記載の駆動用 IC。

14. 前記発光部の結像位置が、該結像位置より印字方向の下側に位置するとともに最も近い位置にある印字ラインに対してより離れた位置にある前記発光部ほど、前記印字ライン周期においてより遅いタイミングで発生される前記点灯タイミング信号に応じたタイミングで、前記駆動回路が駆動させることを特徴とする

請求の範囲第 13 項に記載の駆動用 IC。

15. 前記 y 個の点灯タイミング信号が、重なり合う期間を有することを特徴とする請求の範囲第 1 項に記載の駆動用 IC。

16. 素子駆動用の駆動用 IC において、

1 組のデータ信号群を構成する n 個のデータ信号に基づいて、n 個の素子を駆動させるための駆動信号を生成する駆動回路と、

前記データ信号を格納する x 段のラッチ回路と、

前記素子毎に対応するデータ信号を前記駆動回路へ送出するタイミングを設定するために、1 又は 2 入力のタイミング信号を遅延させて、y 個の点灯タイミング信号を生成し、前記 x 段のラッチ回路の最終段となるラッチ回路から前記駆動回路へ与えられる各データ信号による前記素子の駆動動作のタイミングを制御する出力制御回路と、

を有し、

前記各素子毎に、前記ラッチ回路でラッチされる段数を設定することによって、前記 x 段のラッチ回路の最終段となるラッチ回路から前記駆動回路へ出力される各データ信号のタイミングが設定されることを特徴とする駆動用 IC。

17. 前記 n 個のデータ信号が m 個毎に入力された後、n 個のデータ信号を並列的に 1 段目の前記ラッチ回路に送出するシフトレジスタを備えるとともに、

前記 x 段の各ラッチ回路が、後段のラッチ回路に対して、各データ信号毎に、そのデータ信号をラッチした後に送出するか、ラッチせずに後段のラッチ回路に送出するかが設定されることを特徴とする請求の範囲第 16 項に記載の駆動用 IC。

18. 前記 n 個の素子が発光素子を構成する n 個の発光部であるとともに、該複数の発光部が一行に配されているとき、

前記選択回路において、前記 n 個の発光部の配列方向に対して垂直な方向にお

ける前記各発光部の結像位置に基づいて、前記各発光部に対応するデータ信号が選択される前記ラッチ回路と前記駆動回路に送出されるタイミングとが設定されることを特徴とする請求の範囲第 17 項に記載の駆動用 IC。

19. 前記駆動用 IC が光プリントヘッド内に備えられた前記発光素子の発光部を駆動するための駆動用 IC であるとともに、

前記光プリントヘッドを使用したプリンタの印字方向を下側とし、前記複数の発光部の内、最も下側に位置する発光部の結像位置を基準位置としたとき、

前記印字方向において前記基準位置より離れた位置を結像位置とする発光部に対応したデータ信号ほど、後段のラッチ回路より選択される、又は、後段のラッチ回路までラッチされることを特徴とする請求の範囲第 18 項に記載の駆動用 IC。

20. 前記 y 個の点灯タイミング信号が、印字ライン周期毎に発生することを特徴とする請求の範囲第 19 項に記載の駆動用 IC。

21. 前記発光部の結像位置が、該結像位置より印字方向の下側に位置するとともに最も近い位置にある印字ラインに対してより離れた位置にある前記発光部ほど、前記印字ライン周期においてより遅いタイミングで発生される前記点灯タイミング信号に応じたタイミングで、前記駆動回路が駆動させることを特徴とする請求の範囲第 20 項に記載の駆動用 IC。

22. 前記 y 個の点灯タイミング信号が、重なり合う期間を有することを特徴とする請求の範囲第 21 項に記載の駆動用 IC。

23. 前記 n 個の素子が発光素子を構成する n 個の発光部であるとともに、該複数の発光部が一行に配されているとき、

前記選択回路において、前記 n 個の発光部の配列方向に対して垂直な方向における前記各発光部の結像位置に基づいて、前記各発光部に対応するデータ信号が

選択される前記ラッチ回路と前記駆動回路に送出されるタイミングとが設定されることを特徴とする請求の範囲第 16 項に記載の駆動用 IC。

24. 前記駆動用 IC が光プリントヘッド内に備えられた前記発光素子の発光部を駆動するための駆動用 IC であるとともに、

前記光プリントヘッドを使用したプリンタの印字方向を下側とし、前記複数の発光部の内、最も下側に位置する発光部の結像位置を基準位置としたとき、

前記印字方向において前記基準位置より離れた位置を結像位置とする発光部に対応したデータ信号ほど、後段のラッチ回路より選択される、又は、後段のラッチ回路までラッチされることを特徴とする請求の範囲第 16 項に記載の駆動用 IC。

25. 前記 y 個の点灯タイミング信号が、印字ライン周期毎に発生することを特徴とする請求の範囲第 24 項に記載の駆動用 IC。

26. 前記発光部の結像位置が、該結像位置より印字方向の下側に位置するとともに最も近い位置にある印字ラインに対してより離れた位置にある前記発光部ほど、前記印字ライン周期においてより遅いタイミングで発生される前記点灯タイミング信号に応じたタイミングで、前記駆動回路が駆動させることを特徴とする請求の範囲第 25 項に記載の駆動用 IC。

27. 前記 y 個の点灯タイミング信号が、重なり合う期間を有することを特徴とする請求の範囲第 16 項に記載の駆動用 IC。

28. n 個の発光部を有する発光素子と、

1 組のデータ信号群を構成する n 個のデータ信号に基づいて、 n 個の前記発光部を駆動させるための駆動信号を生成する駆動回路と、 x 組の前記データ信号群それぞれが格納される x 段のラッチ回路と、前記発光部毎に対応するデータ信号を前記駆動回路へ送出するタイミングを設定するために 1 又は 2 入力のタイミン

グ信号を遅延させて y 個の点灯タイミング信号を生成する遅延制御回路と、前記発光部毎に対応するデータ信号を、前記 x 段のラッチ回路から選択し、 n 個のデータ信号によって 1 組のデータ信号群を形成するとともに、該 1 組のデータ信号群を構成する各データ信号を前記遅延制御回路から与えられる前記 y 個の点灯タイミング信号に応じて前記駆動回路に送出する選択回路と、を備える駆動用 IC と、

を有することを特徴とする光プリントヘッド。

29. 前記駆動用 IC において、

前記 n 個のデータ信号が m 個毎に入力された後、 n 個のデータ信号を並列的に 1 段目の前記ラッチ回路に送出するシフトレジスタが設けられるとともに、

前記 x 段の各ラッチ回路が、後段に接続されるラッチ回路に対して、 n 個のデータ信号を並列的に送出することを特徴とする請求の範囲第 28 項に記載の光プリントヘッド。

30. 前記 n 個の発光部の配列方向に対して垂直な方向における前記各発光部の結像位置に基づく前記各発光部の駆動タイミングが格納されるメモリを備え、

前記駆動用 IC において、

前記メモリから読み出された前記駆動タイミングを記憶する記憶回路が設けられるとともに、

前記記憶回路に記憶された前記駆動タイミングに応じて、前記 n 個のデータ信号が前記 x 段のラッチ回路より選択され、該選択された n 個のデータ信号それぞれが前記駆動回路に送出されるタイミングが設定されることを特徴とする請求の範囲第 29 項に記載の光プリントヘッド。

31. 前記光プリントヘッドを使用したプリンタの印字方向を下側とし、前記複数の発光部の内、最も下側に位置する発光部の結像位置を基準位置としたとき、

前記印字方向において前記基準位置より離れた位置を結像位置とする発光部に対応したデータ信号ほど、後段のラッチ回路より選択される、又は、後段のラッ

チ回路までラッチされるように、前記駆動タイミングが設定されることを特徴とする請求の範囲第 30 項に記載の光プリントヘッド。

32. 前記 y 個の点灯タイミング信号が、印字ライン周期毎に発生し、

前記発光部の結像位置が、該結像位置より印字方向の下側に位置するとともに最も近い位置にある印字ラインに対してより離れた位置にある前記発光部ほど、前記印字ライン周期においてより遅いタイミングで発生される前記点灯タイミング信号に応じたタイミングで、前記駆動回路によって駆動されることを特徴とする請求の範囲第 31 項に記載の光プリントヘッド。

33. 前記 y 個の点灯タイミング信号が、重なり合う期間を有することを特徴とする請求の範囲第 32 項に記載の光プリントヘッド。

34. 前記 n 個の発光部の配列方向に対して垂直な方向における前記各発光部の結像位置に基づく前記各発光部の駆動タイミングが格納されるメモリを備え、

前記駆動用 IC において、

前記メモリから読み出された前記駆動タイミングを記憶する記憶回路が設けられるとともに、

前記記憶回路に記憶された前記駆動タイミングに応じて、前記 n 個のデータ信号が前記 x 段のラッチ回路より選択され、該選択された n 個のデータ信号それぞれが前記駆動回路に送出されるタイミングが設定されることを特徴とする請求の範囲第 28 項に記載の光プリントヘッド。

35. 前記光プリントヘッドを使用したプリンタの印字方向を下側とし、前記複数の発光部の内、最も下側に位置する発光部の結像位置を基準位置としたとき、

前記印字方向において前記基準位置より離れた位置を結像位置とする発光部に対応したデータ信号ほど、後段のラッチ回路より選択される、又は、後段のラッチ回路までラッチされるように、前記駆動タイミングが設定されることを特徴とする請求の範囲第 28 項に記載の光プリントヘッド。

36. 前記 y 個の点灯タイミング信号が、印字ライン周期毎に発生し、

前記発光部の結像位置が、該結像位置より印字方向の下側に位置するとともに最も近い位置にある印字ラインに対してより離れた位置にある前記発光部ほど、前記印字ライン周期においてより遅いタイミングで発生される前記点灯タイミング信号に応じたタイミングで、前記駆動回路によって駆動されることを特徴とする請求の範囲第35項に記載の光プリントヘッド。

37. 前記 y 個の点灯タイミング信号が、重なり合う期間を有することを特徴とする請求の範囲第28項に記載の光プリントヘッド。

38. n 個の発光部を有する発光素子と、

1組のデータ信号群を構成する n 個のデータ信号に基づいて、 n 個の前記発光部を駆動させるための駆動信号を生成する駆動回路と、前記データ信号を格納する x 段のラッチ回路と、前記発光部毎に対応するデータ信号を前記駆動回路へ送出するタイミングを設定するために1又は2入力のタイミング信号を遅延させて、 y 個の点灯タイミング信号を生成し前記 x 段のラッチ回路の最終段となるラッチ回路から前記駆動回路へ与えられる各データ信号による前記各発光部の駆動動作のタイミングを制御する出力制御回路と、を備え、前記各発光部毎に、前記ラッチ回路でラッチされる段数を設定することによって、前記 x 段のラッチ回路の最終段となるラッチ回路から前記駆動回路へ出力される各データ信号のタイミングが設定される駆動用 IC と、

有することを特徴とする光プリントヘッド。

39. 前記駆動用 IC において、

前記 n 個のデータ信号が m 個毎に入力された後、 n 個のデータ信号を並列的に1段目の前記ラッチ回路に送出するシフトレジスタが設けられるとともに、

前記 x 段の各ラッチ回路が、後段のラッチ回路に対して、各データ信号毎に、そのデータ信号をラッチした後に送出するか、ラッチせずに後段のラッチ回路に

送出するかが設定されることを特徴とする請求の範囲第 38 項に記載の光プリントヘッド。

40. 前記 n 個の発光部の配列方向に対して垂直な方向における前記各発光部の結像位置に基づく前記各発光部の駆動タイミングが格納されるメモリを備え、

前記駆動用 IC において、

前記記憶回路に記憶された前記駆動タイミングに応じて、前記 n 個のデータ信号毎の前記 x 段のラッチ回路同士における受け渡し動作が設定されるとともに、前記最終段となるラッチ回路から前記駆動回路へ与えられる各データ信号による前記発光部毎の駆動動作のタイミングが設定されることを特徴とする請求の範囲第 39 項に記載の光プリントヘッド。

41. 前記光プリントヘッドを使用したプリンタの印字方向を下側とし、前記複数の発光部の内、最も下側に位置する発光部の結像位置を基準位置としたとき、

前記印字方向において前記基準位置より離れた位置を結像位置とする発光部に対応したデータ信号ほど、後段のラッチ回路より選択される、又は、後段のラッチ回路までラッチされるように、前記駆動タイミングが設定されることを特徴とする請求の範囲第 40 項に記載の光プリントヘッド。

42. 前記 y 個の点灯タイミング信号が、印字ライン周期毎に発生し、

前記発光部の結像位置が、該結像位置より印字方向の下側に位置するとともに最も近い位置にある印字ラインに対してより離れた位置にある前記発光部ほど、前記印字ライン周期においてより遅いタイミングで発生される前記点灯タイミング信号に応じたタイミングで、前記駆動回路によって駆動されることを特徴とする請求の範囲第 41 項に記載の光プリントヘッド。

43. 前記 y 個の点灯タイミング信号が、重なり合う期間を有することを特徴とする請求の範囲第 42 項に記載の光プリントヘッド。

44. 前記 n 個の発光部の配列方向に対して垂直な方向における前記各発光部の結像位置に基づく前記各発光部の駆動タイミングが格納されるメモリを備え、

前記駆動用 IC において、

前記記憶回路に記憶された前記駆動タイミングに応じて、前記 n 個のデータ信号毎の前記 x 段のラッチ回路同士における受け渡し動作が設定されるとともに、前記最終段となるラッチ回路から前記駆動回路へ与えられる各データ信号による前記発光部毎の駆動動作のタイミングが設定されることを特徴とする請求の範囲第 38 項に記載の光プリントヘッド。

45. 前記光プリントヘッドを使用したプリンタの印字方向を下側とし、前記複数の発光部の内、最も下側に位置する発光部の結像位置を基準位置としたとき、

前記印字方向において前記基準位置より離れた位置を結像位置とする発光部に対応したデータ信号ほど、後段のラッチ回路より選択される、又は、後段のラッチ回路までラッチされるように、前記駆動タイミングが設定されることを特徴とする請求の範囲第 38 項に記載の光プリントヘッド。

46. 前記 y 個の点灯タイミング信号が、印字ライン周期毎に発生し、

前記発光部の結像位置が、該結像位置より印字方向の下側に位置するとともに最も近い位置にある印字ラインに対してより離れた位置にある前記発光部ほど、前記印字ライン周期においてより遅いタイミングで発生される前記点灯タイミング信号に応じたタイミングで、前記駆動回路によって駆動されることを特徴とする請求の範囲第 45 項に記載の光プリントヘッド。

47. 前記 y 個の点灯タイミング信号が、重なり合う期間を有することを特徴とする請求の範囲第 38 項に記載の光プリントヘッド。

48. n 個の発光部を有する発光素子と、

n 個のデータ信号で構成される x 組のデータ信号群それぞれが格納される x 段のラッチ回路と、前記発光部毎に対応するデータ信号を前記 x 段のラッチ回路か

ら選択するとともに選択した n 個のデータ信号によって 1 組のデータ信号群を形成する第 1 選択回路と、該第 1 選択回路で選択されたデータ信号を一時記憶するとともに順に外部に出力する第 1 シフトレジスタと、を備える制御回路と、

1 組のデータ信号群を構成する n 個のデータ信号に基づいて、 n 個の前記発光部を駆動させるための駆動信号を生成する駆動回路と、前記発光部毎に対応するデータ信号を前記駆動回路へ送出するタイミングを設定するために 1 又は 2 入力のタイミング信号を遅延させて y 個の点灯タイミング信号を生成する遅延制御回路と、前記制御回路から送出される前記発光部毎に対応するデータ信号を前記遅延制御回路から与えられる前記 y 個の点灯タイミング信号に応じて前記駆動回路に送出する第 2 選択回路と、を備える駆動用 IC と、

を有することを特徴とする光プリントヘッド。

49. 前記制御回路において、

前記 n 個のデータ信号が m 個毎に入力された後、 n 個のデータ信号を並列的に 1 段目の前記ラッチ回路に送出する第 2 シフトレジスタが設けられるとともに、

前記 x 段の各ラッチ回路が、後段に接続されるラッチ回路に対して、 n 個のデータ信号を並列的に送出することを特徴とする請求の範囲第 48 項に記載の光プリントヘッド。

50. 前記 n 個の発光部の配列方向に対して垂直な方向における前記各発光部の結像位置に基づく前記各発光部の駆動タイミングが格納されるメモリを備え、

前記制御回路に、前記メモリから読み出された前記駆動タイミングを記憶する第 1 記憶回路が設けられ、

前記駆動用 IC に、前記メモリから読み出された前記駆動タイミングを記憶する第 2 記憶回路が設けられ、

前記制御回路において、前記第 1 記憶回路に記憶された前記駆動タイミングに応じて、前記 n 個のデータ信号が前記 x 段のラッチ回路より選択され、

前記駆動用 IC において、前記第 2 記憶回路に記憶された前記駆動タイミングに応じて、前記制御回路で選択された n 個のデータ信号それぞれが前記駆動回路

に送出されるタイミングが設定されることを特徴とする請求の範囲第49項に記載の光プリントヘッド。

51. 前記光プリントヘッドを使用したプリンタの印字方向を下側とし、前記複数の発光部の内、最も下側に位置する発光部の結像位置を基準位置としたとき、

前記印字方向において前記基準位置より離れた位置を結像位置とする発光部に対応したデータ信号ほど、後段のラッチ回路より選択される、又は、後段のラッチ回路までラッチされるように、前記駆動タイミングが設定されることを特徴とする請求の範囲第50項に記載の光プリントヘッド。

52. 前記 y 個の点灯タイミング信号が、印字ライン周期毎に発生し、

前記発光部の結像位置が、該結像位置より印字方向の下側に位置するとともに最も近い位置にある印字ラインに対してより離れた位置にある前記発光部ほど、前記印字ライン周期においてより遅いタイミングで発生される前記点灯タイミング信号に応じたタイミングで、前記駆動回路によって駆動されることを特徴とする請求の範囲第51項に記載の光プリントヘッド。

53. 前記 y 個の点灯タイミング信号が、重なり合う期間を有することを特徴とする請求の範囲第52項に記載の光プリントヘッド。

54. 前記 n 個の発光部の配列方向に対して垂直な方向における前記各発光部の結像位置に基づく前記各発光部の駆動タイミングが格納されるメモリを備え、

前記制御回路に、前記メモリから読み出された前記駆動タイミングを記憶する第1記憶回路が設けられ、

前記駆動用ICに、前記メモリから読み出された前記駆動タイミングを記憶する第2記憶回路が設けられ、

前記制御回路において、前記第1記憶回路に記憶された前記駆動タイミングに応じて、前記 n 個のデータ信号が前記 x 段のラッチ回路より選択され、

前記駆動用ICにおいて、前記第2記憶回路に記憶された前記駆動タイミング

に応じて、前記制御回路で選択された n 個のデータ信号それぞれが前記駆動回路に送出されるタイミングが設定されることを特徴とする請求の範囲第 48 項に記載の光プリントヘッド。

55. 前記光プリントヘッドを使用したプリンタの印字方向を下側とし、前記複数の発光部の内、最も下側に位置する発光部の結像位置を基準位置としたとき、

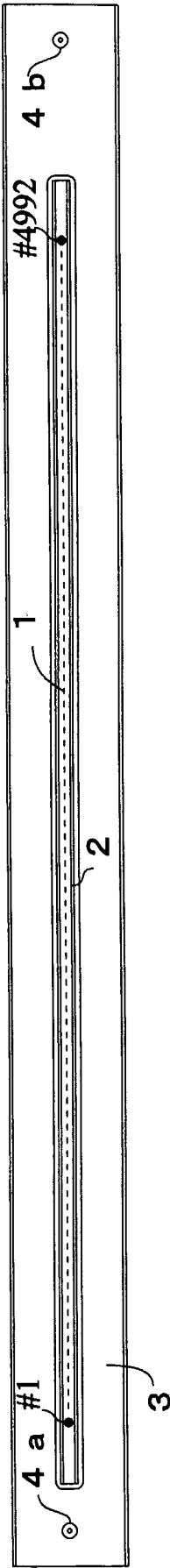
前記印字方向において前記基準位置より離れた位置を結像位置とする発光部に対応したデータ信号ほど、後段のラッチ回路より選択される、又は、後段のラッチ回路までラッチされるように、前記駆動タイミングが設定されることを特徴とする請求の範囲第 48 項に記載の光プリントヘッド。

56. 前記 y 個の点灯タイミング信号が、印字ライン周期毎に発生し、

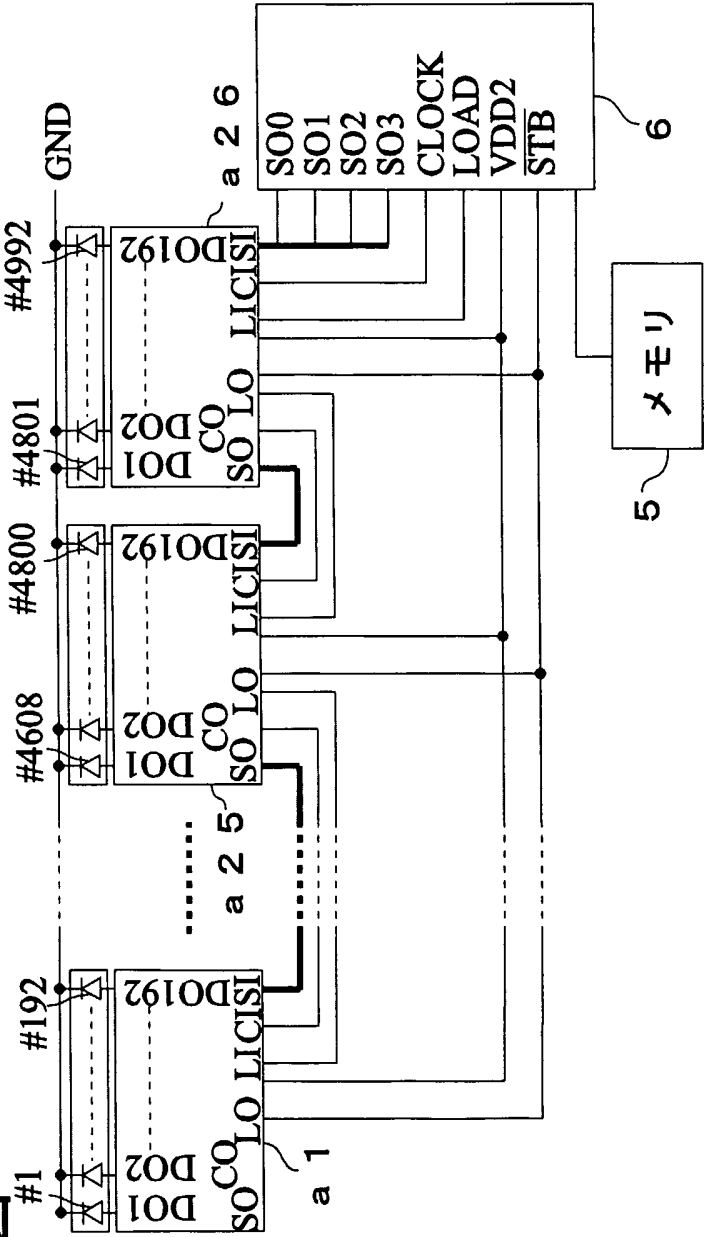
前記発光部の結像位置が、該結像位置より印字方向の下側に位置するとともに最も近い位置にある印字ラインに対してより離れた位置にある前記発光部ほど、前記印字ライン周期においてより遅いタイミングで発生される前記点灯タイミング信号に応じたタイミングで、前記駆動回路によって駆動されることを特徴とする請求の範囲第 55 項に記載の光プリントヘッド。

57. 前記 y 個の点灯タイミング信号が、重なり合う期間を有することを特徴とする請求の範囲第 48 項に記載の光プリントヘッド。

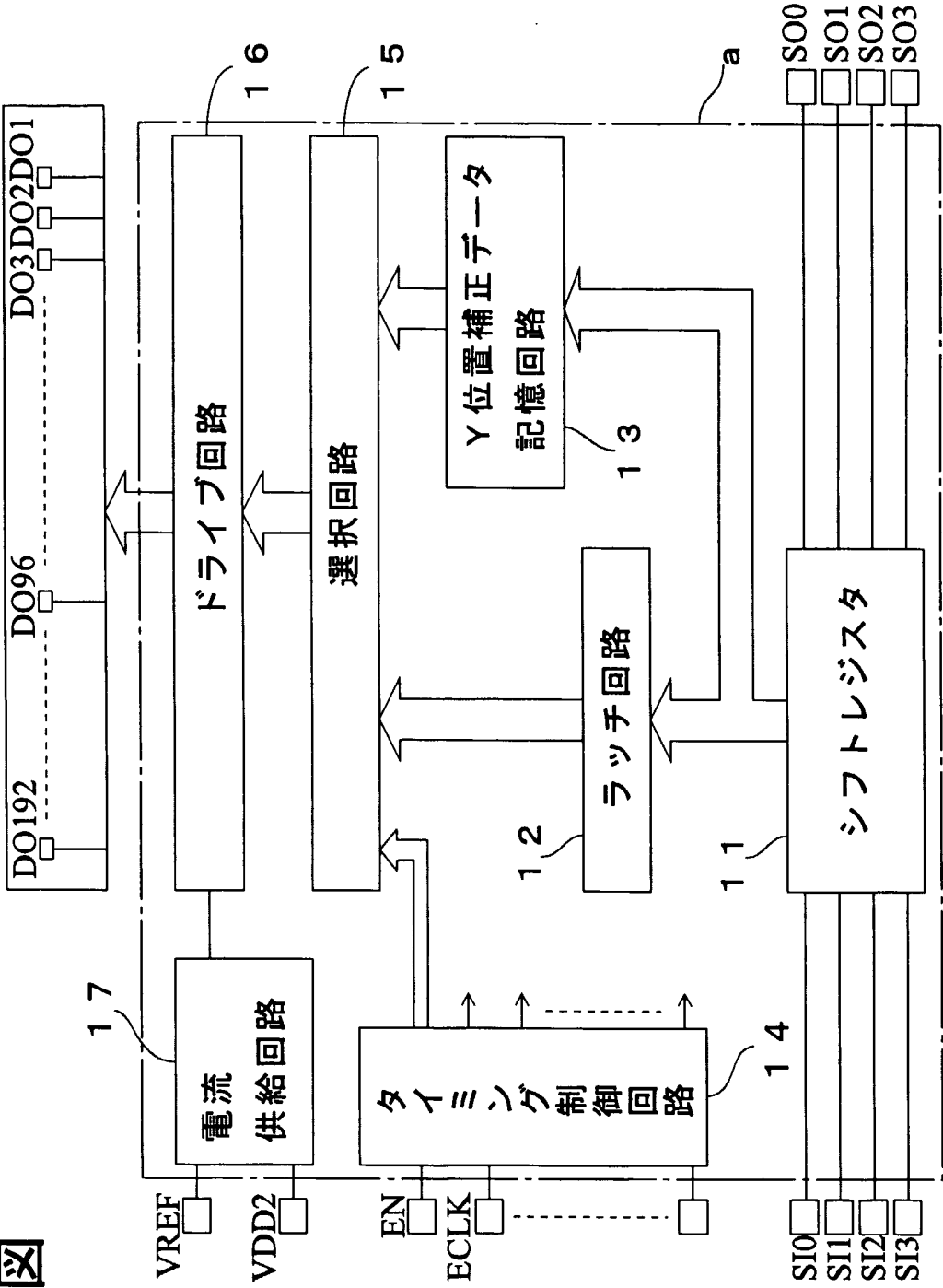
第1図



第2図

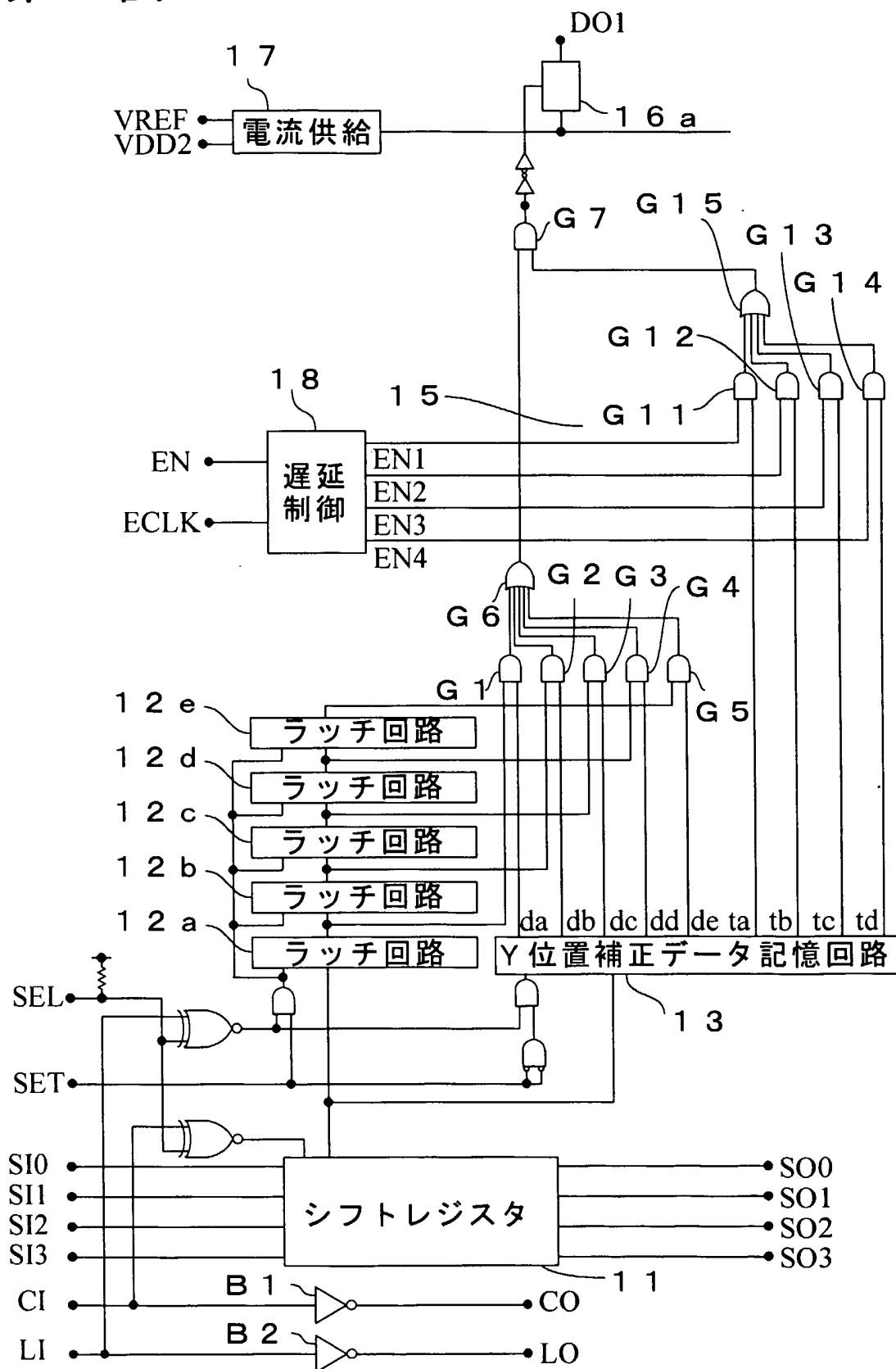


第3図

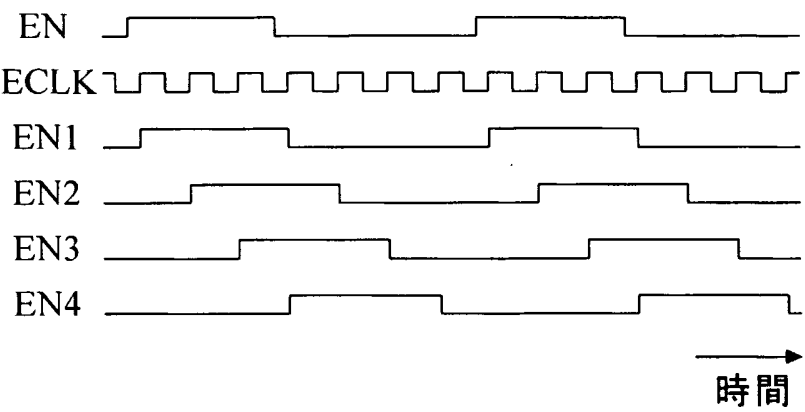


3/16

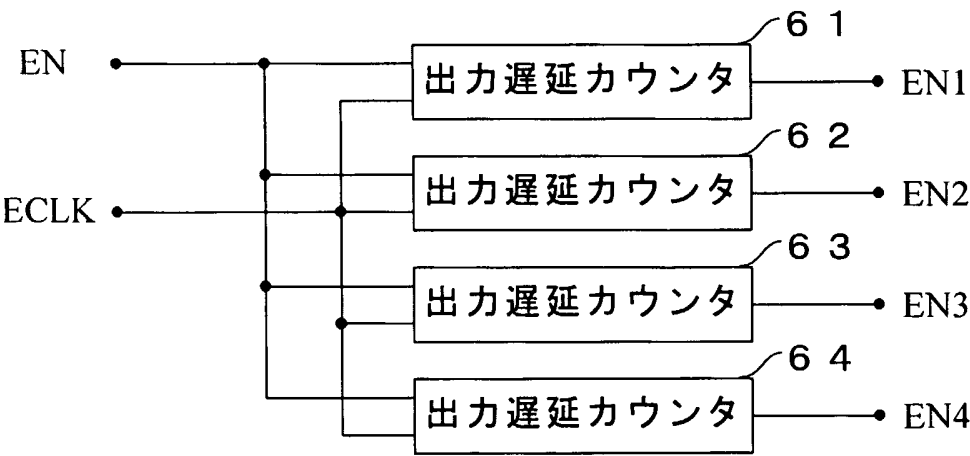
第 4 図



第 5 図

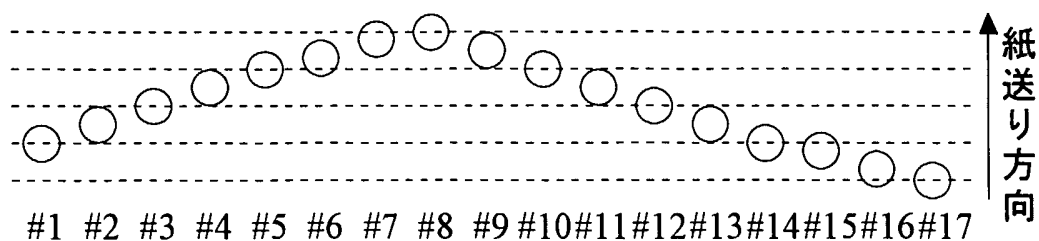


第 6 図



5/16

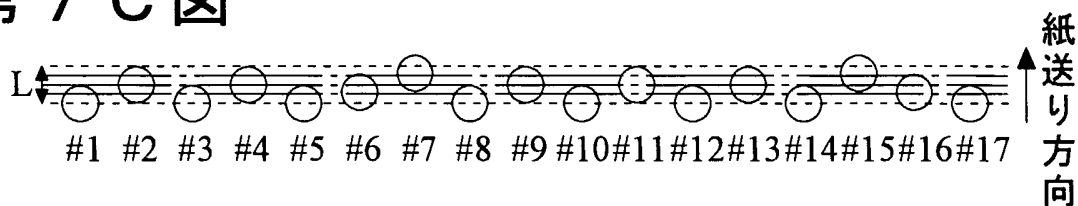
第 7 A 図



第 7 B 図

#1 #2 #3 #4 #5 #6 #7 #8 #9 #10 #11 #12 #13 #14 #15 #16 #17
 db db dc dc dd dd dd de dd dd dc dc db db da da da

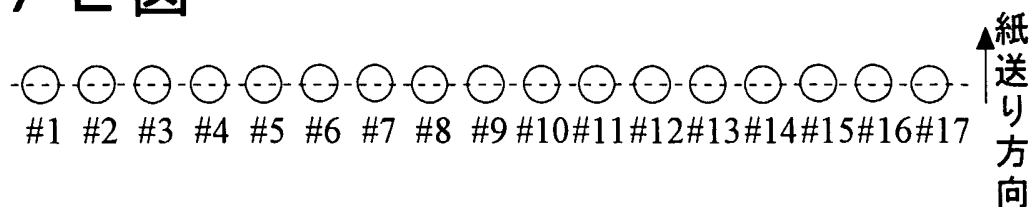
第 7 C 図



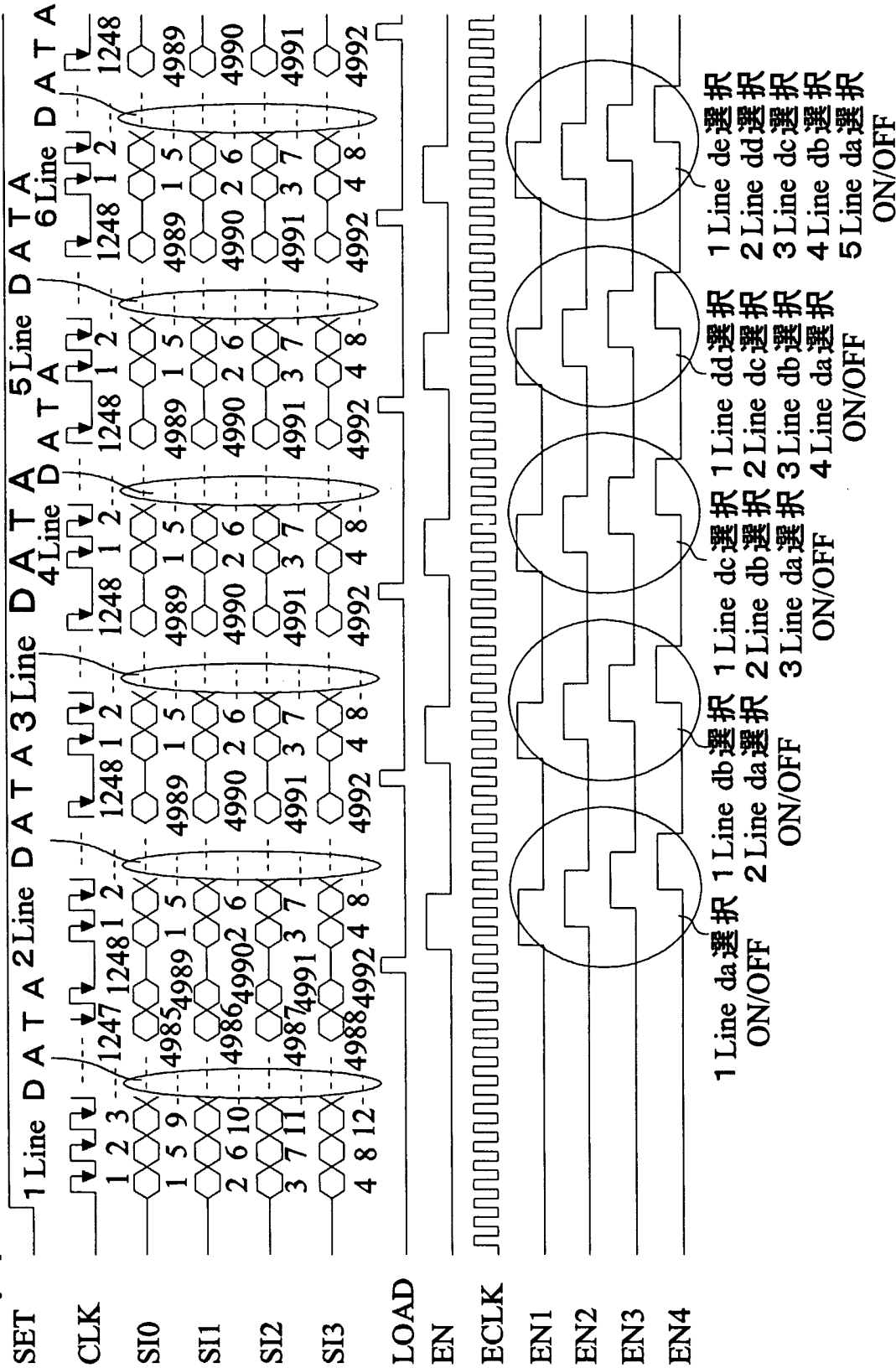
第 7 D 図

#1 #2 #3 #4 #5 #6 #7 #8 #9 #10 #11 #12 #13 #14 #15 #16 #17
 ta tc ta tc ta tb td ta tc ta tc ta tc ta td tb ta

第 7 E 図

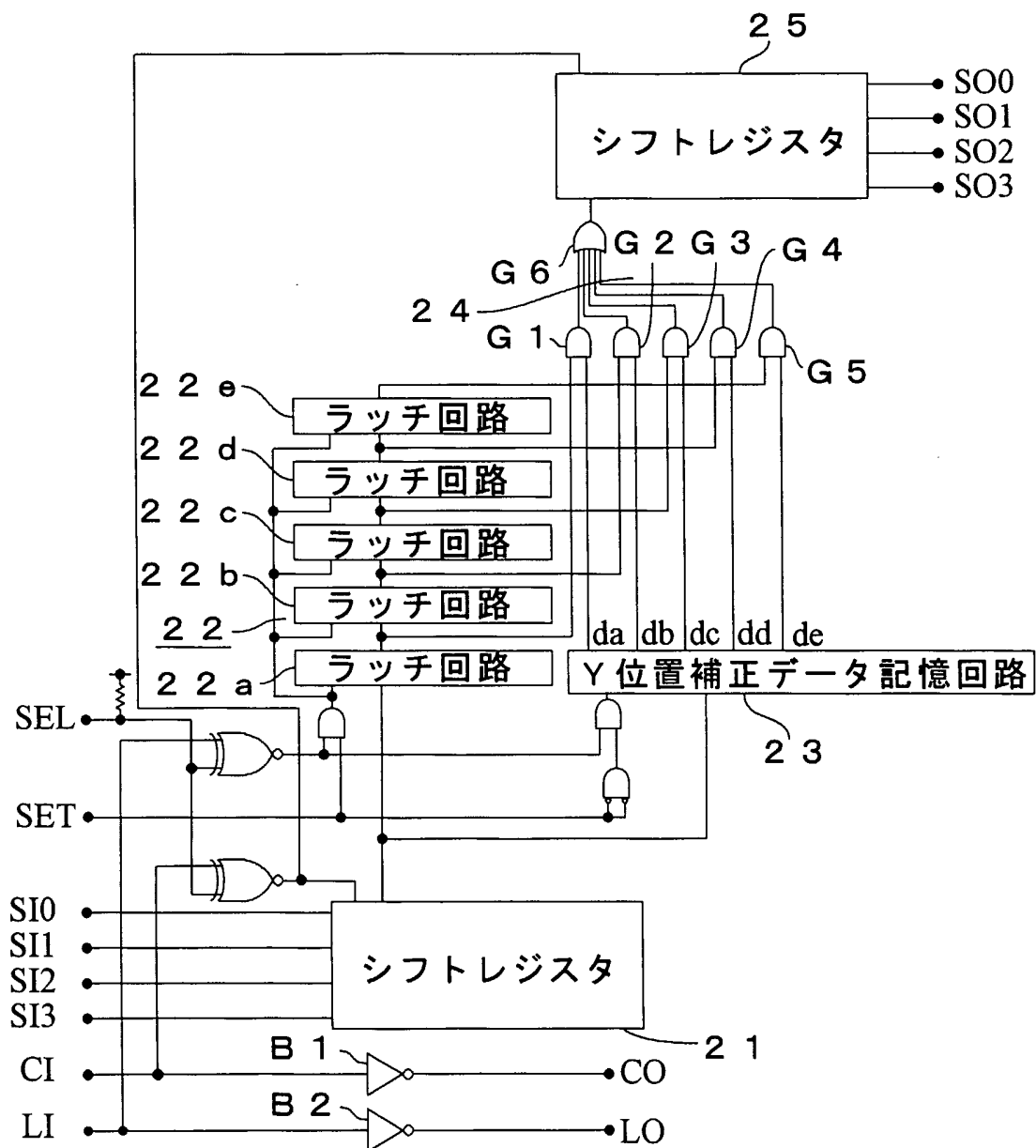


第 8 図

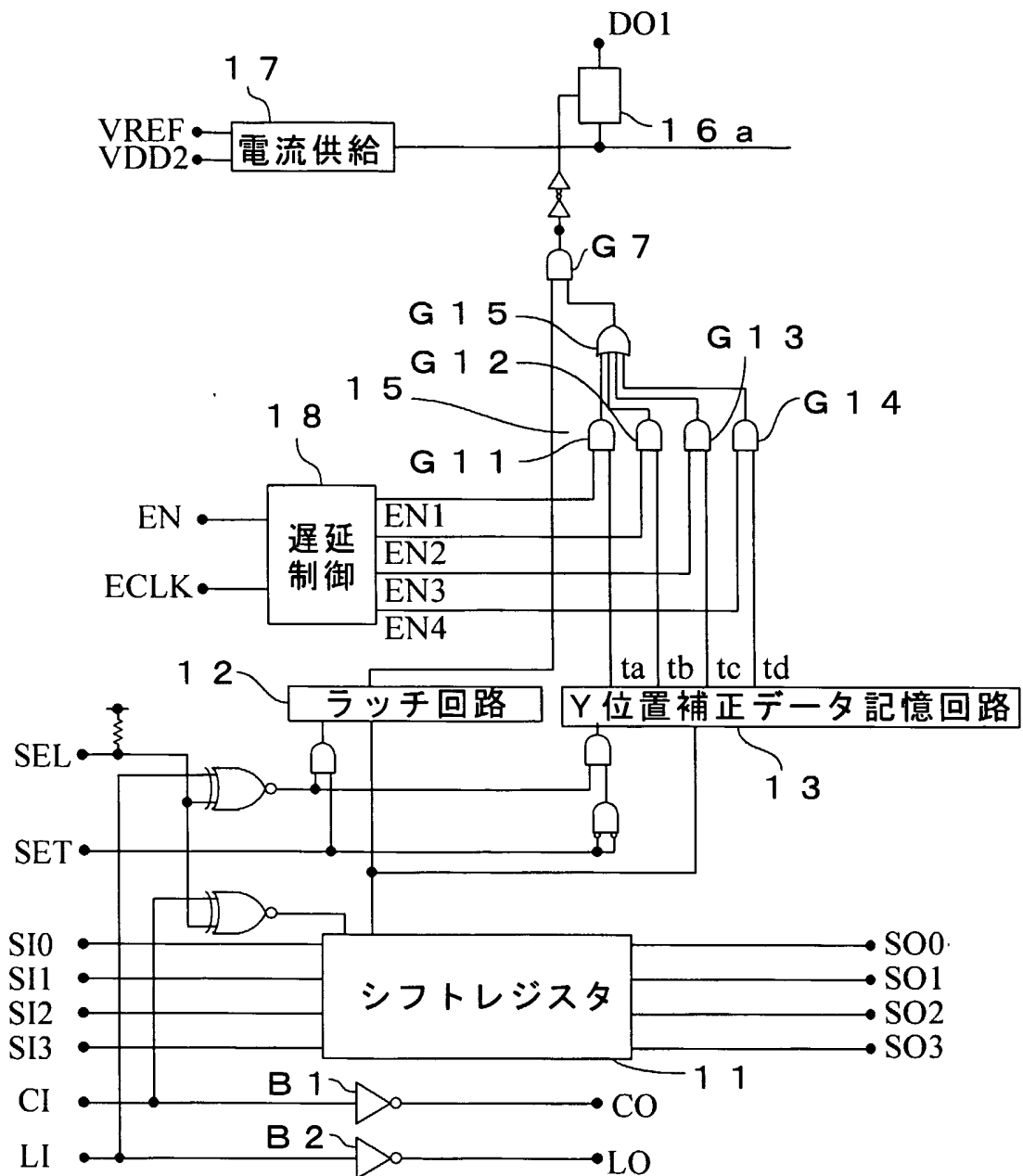


7/16

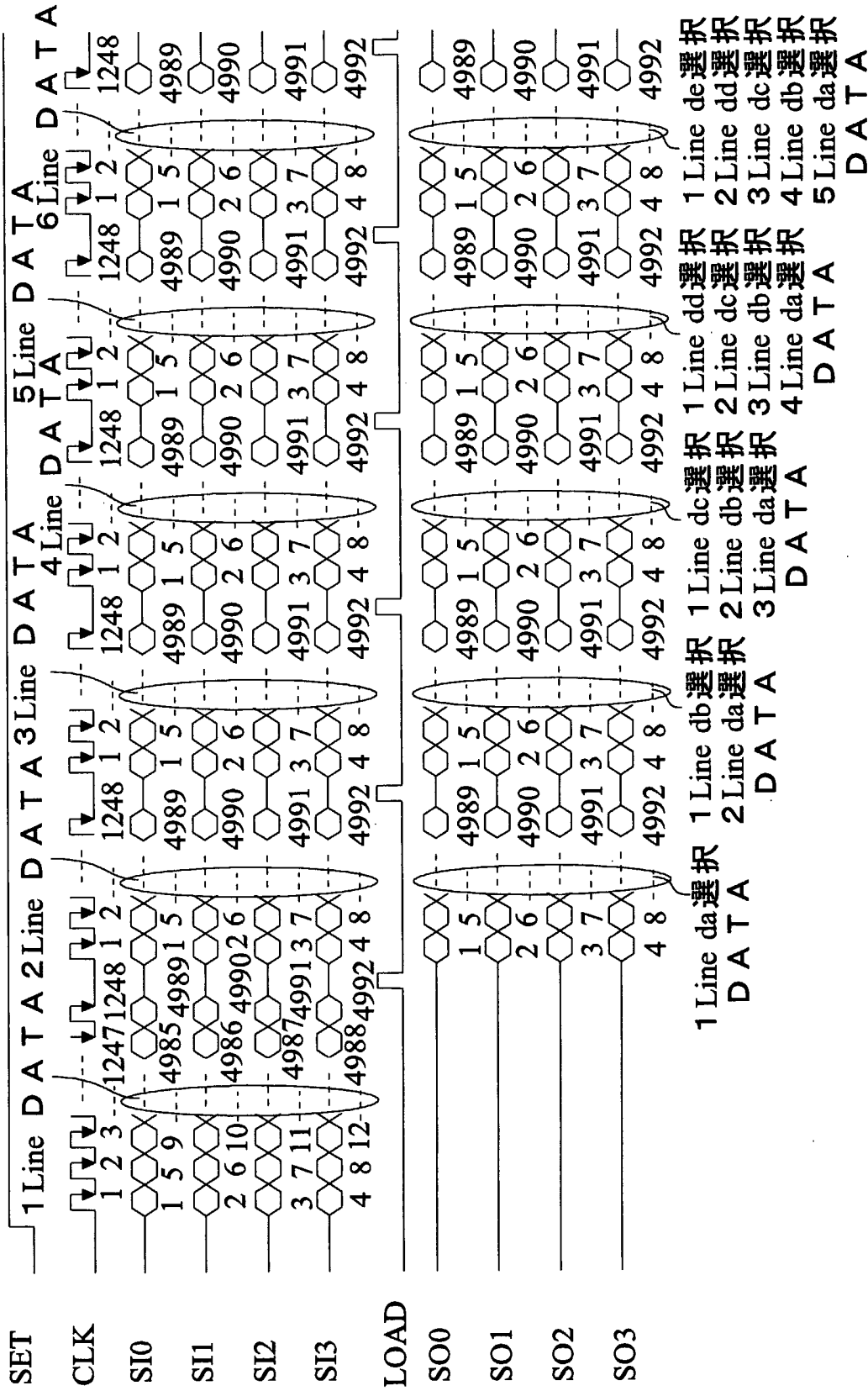
第 9 図



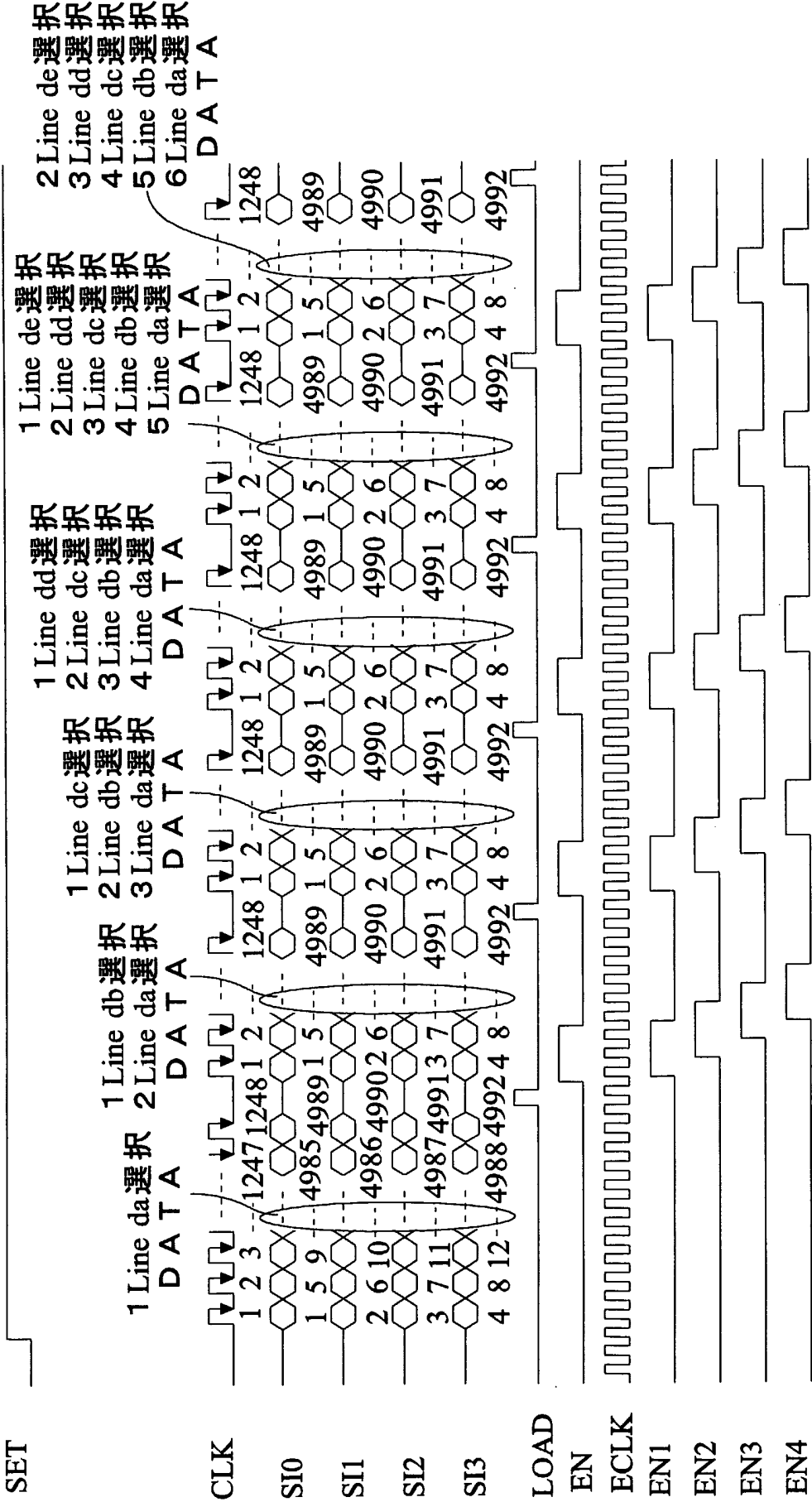
第 10 図



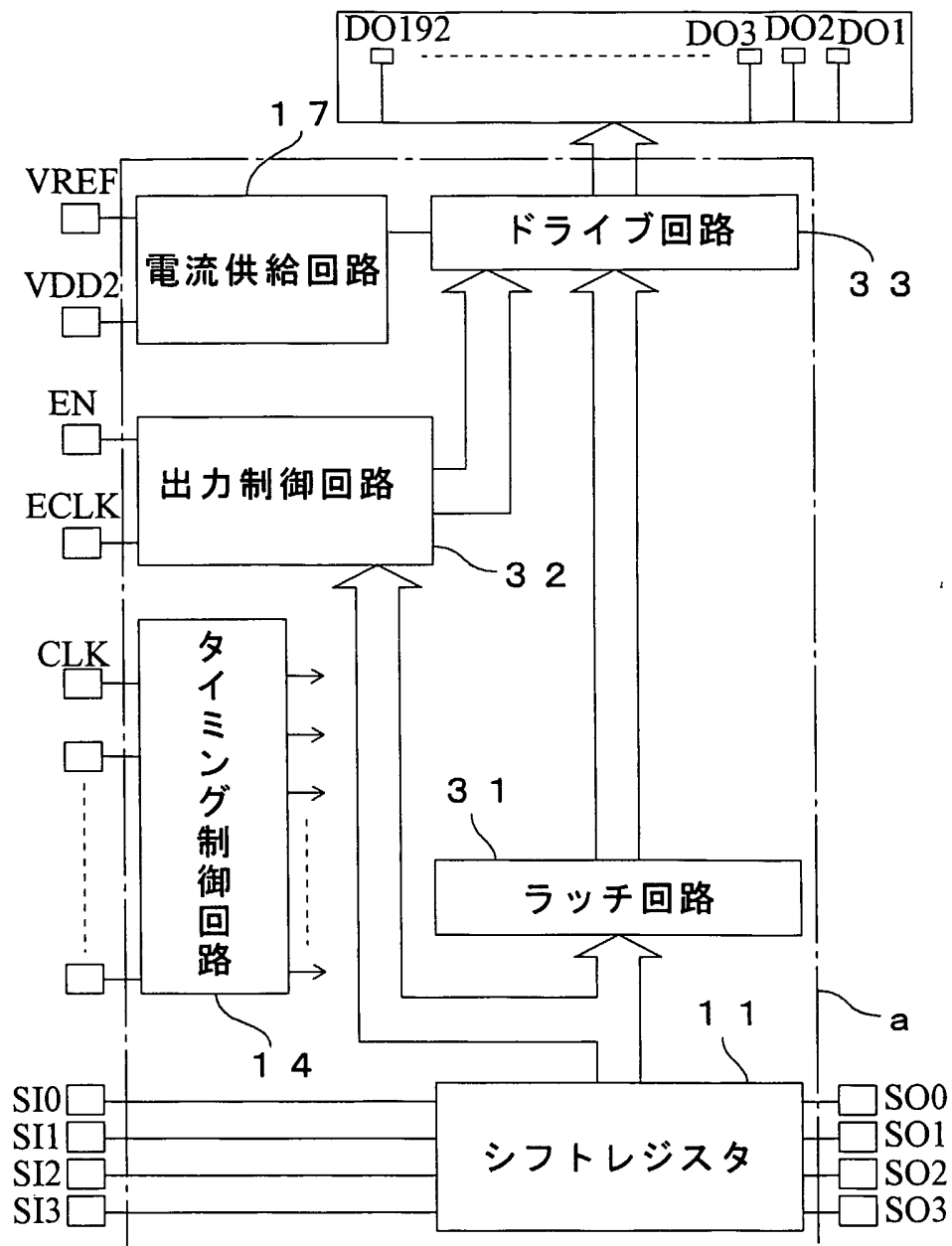
第 1 1 図



第 1 2 図

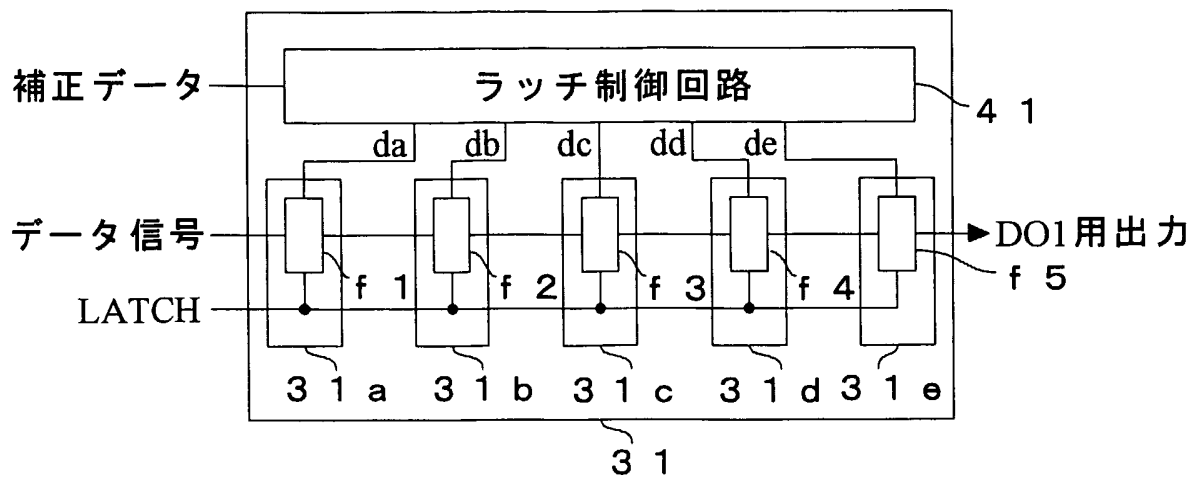


第 1 3 図

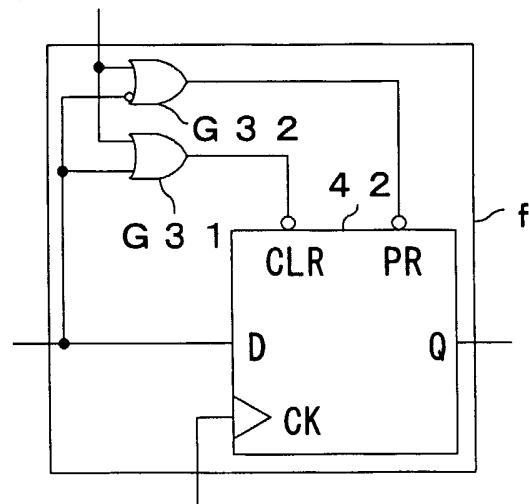


12/16

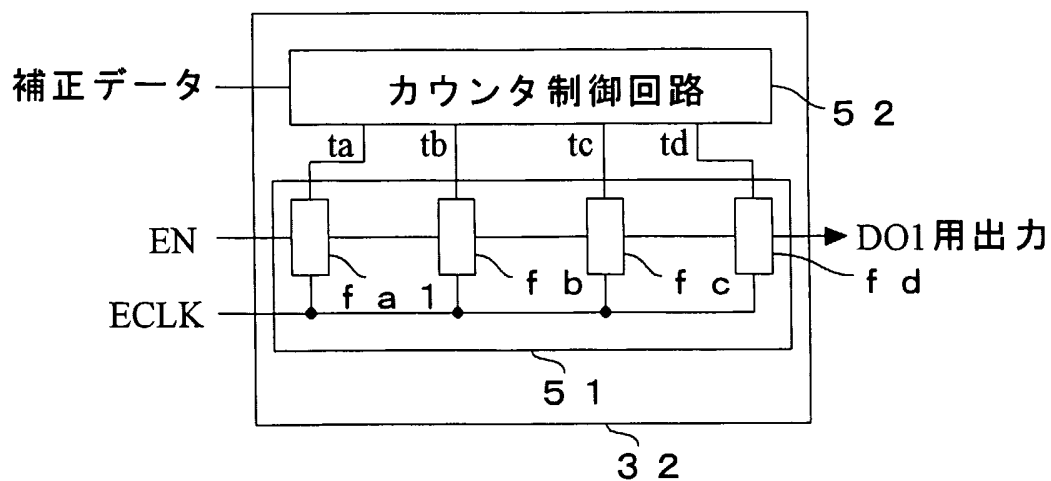
第 1 4 図



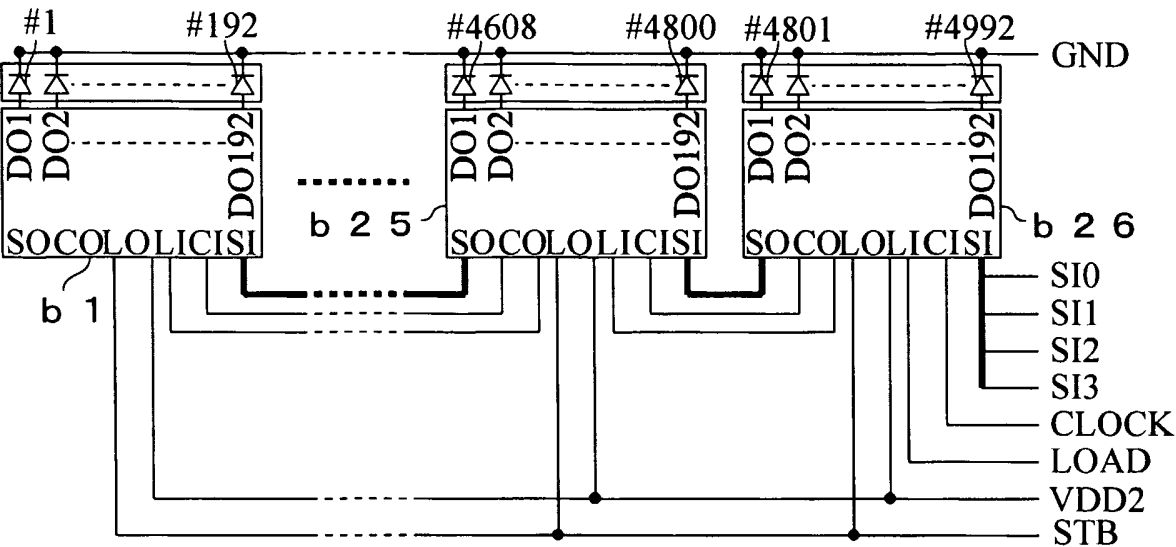
第 1 5 図



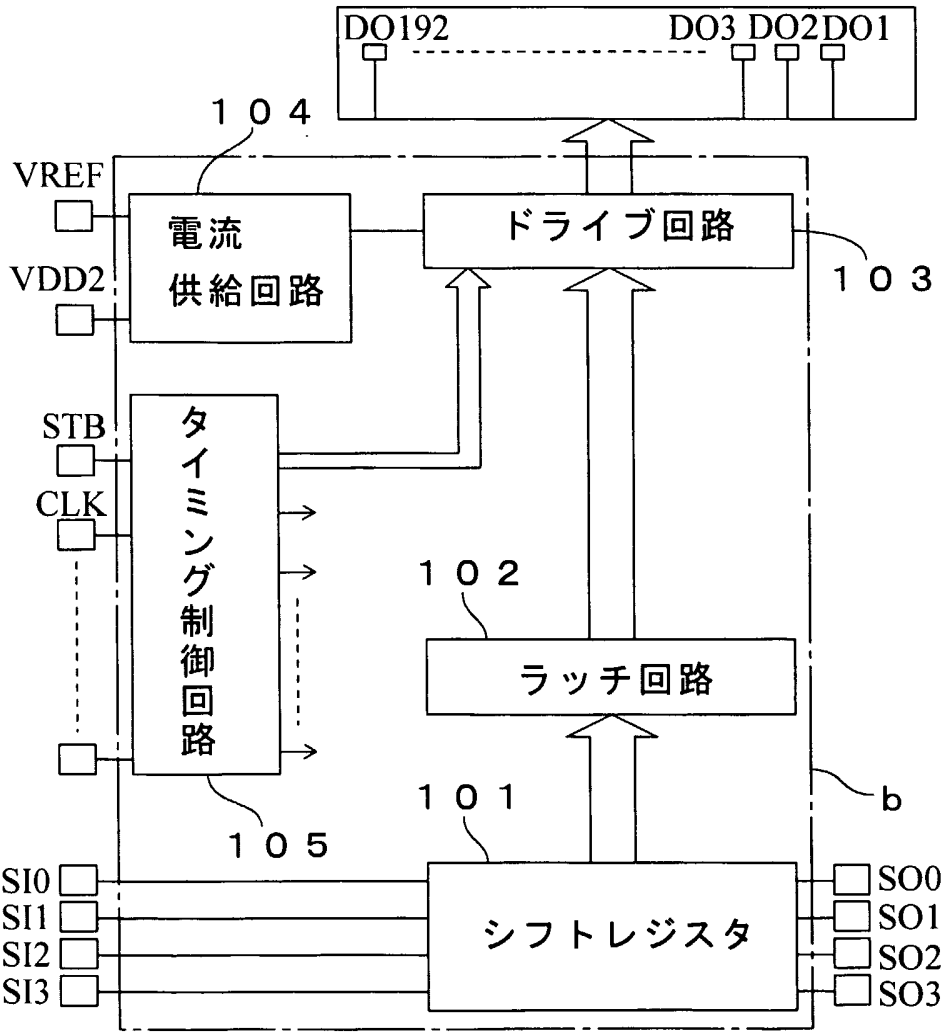
第 1 6 図



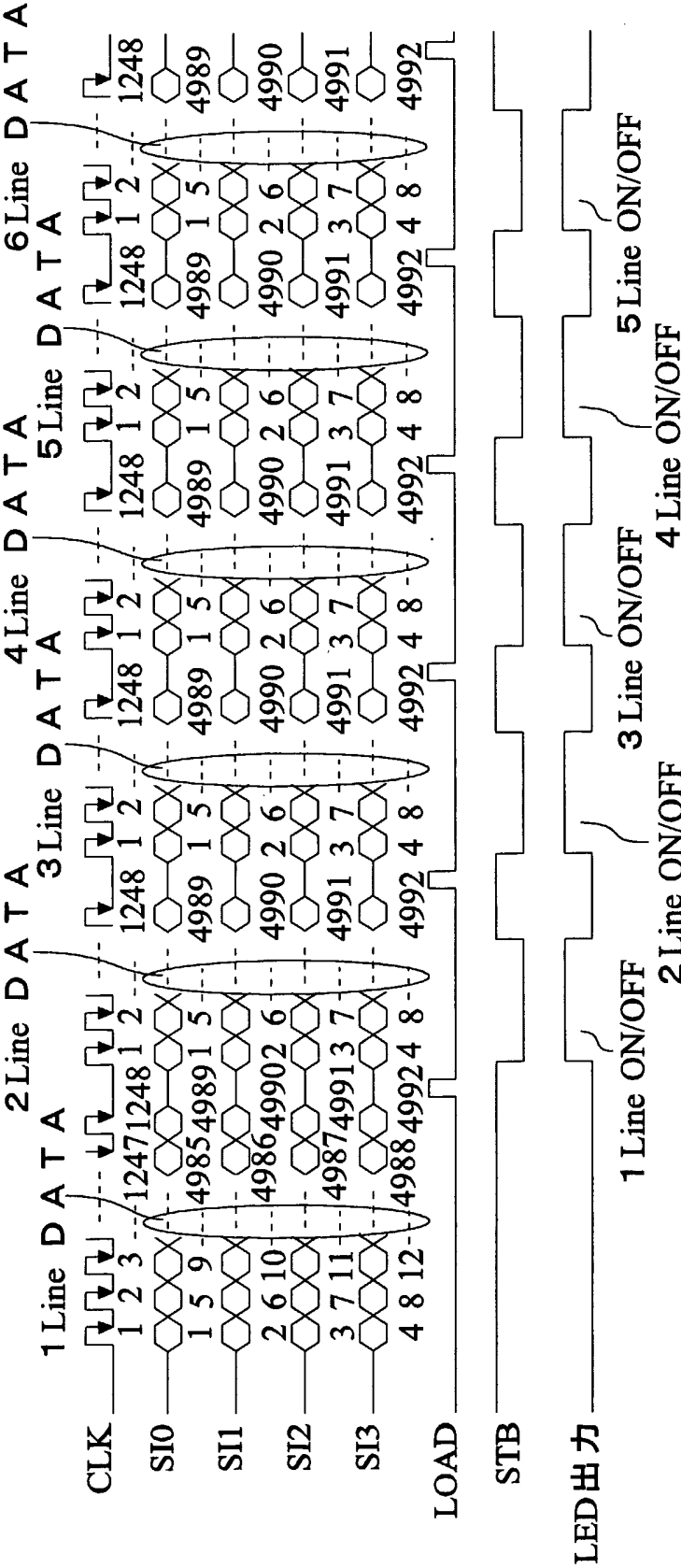
第 1 7 図 13/16



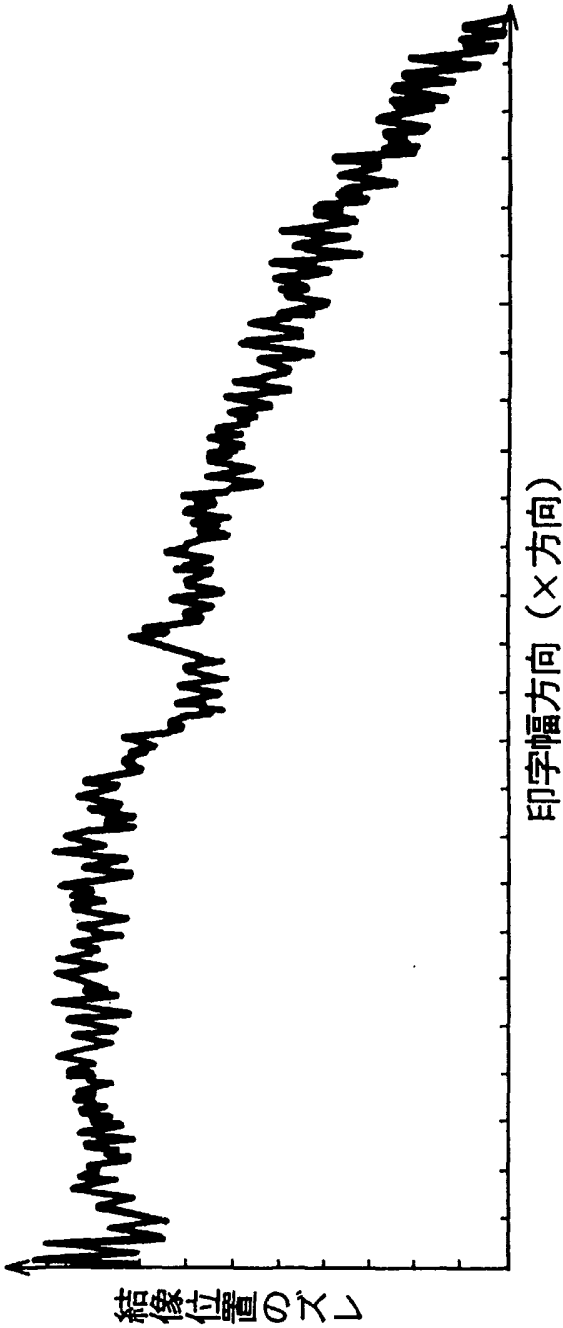
第 1 8 図



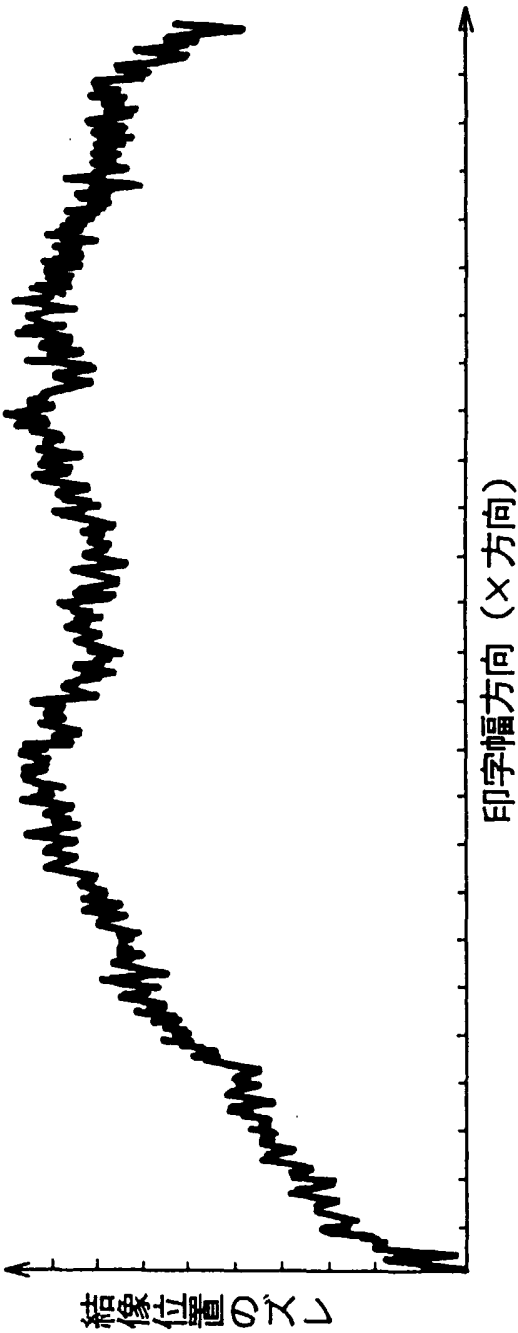
第 1 9 図



第20図



第21図



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP02/08149

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ B41J2/447, B41J2/45, B41J2/455, B41J2/355, B41J2/515,
H04N1/036, H04N1/23

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ B41J2/447, B41J2/45, B41J2/455, B41J2/355, B41J2/515,
H04N1/036, H04N1/23

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Toroku Jitsuyo Shinan Koho	1994-2002
Kokai Jitsuyo Shinan Koho	1971-2002	Jitsuyo Shinan Toroku Koho	1996-2002

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	US 5719680 A (Oki Electric Industry Co., Ltd.), 17 February, 1998 (17.02.98), Column 1, lines 20 to 44; column 2, lines 9 to 22; column 2, line 46 to column 3, line 29; column 4, lines 1 to 19; column 7, lines 36 to 59; all drawings & JP 07-304211 A	1-57
Y	JP 04-291372 A (Fujitsu Ltd.), 15 October, 1992 (15.10.92), Page 1; Par. Nos. [0007], [0008], [0013], [0016]-[0024], [0031], [0032], [0039], [0040]; all drawings (Family: none)	1-57

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
25 October, 2002 (25.10.02)

Date of mailing of the international search report
05 November, 2002 (05.11.02)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP02/08149

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 06-015877 A (Matsushita Electric Industrial Co., Ltd.), 25 January, 1994 (25.01.94), Page 1; Par. Nos. [0008], [0012]-[0014], [0021]-[0022], [0026], [0027], [0032]-[0037]; all drawings (Family: none)	1-57

A. 発明の属する分野の分類 (国際特許分類 (IPC))		
Int. Cl ⁷ B41J2/447, B41J2/45, B41J2/455, B41J2/355, B41J2/515, H04N1/036, H04N1/23		
B. 調査を行った分野		
調査を行った最小限資料 (国際特許分類 (IPC))		
Int. Cl ⁷ B41J2/447, B41J2/45, B41J2/455, B41J2/355, B41J2/515, H04N1/036, H04N1/23		
最小限資料以外の資料で調査を行った分野に含まれるもの		
日本国実用新案公報 1922-1996 日本国公開実用新案公報 1971-2002 日本国登録実用新案公報 1994-2002 日本国実用新案登録公報 1996-2002		
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	US 5719680 A (Oki Electric Industry Co., Ltd.) 1998.02.17 第1欄第20行~第44行、第2欄第9行~第22行、第2欄第46行~第3欄第29行、第4欄第1行~第19行、第7欄第36行~第59行、全図面 & JP 07-304211 A	1-57
Y	JP 04-291372 A (富士通株式会社) 1992.10.15 第1頁、【0007】、【0008】、【0013】、【0016】-【0024】、【0031】、【0032】、【0039】、【0040】、全図面 (ファミリーなし)	1-57
☒ C欄の続きにも文献が列举されている。 ☐ パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」 口頭による開示、使用、展示等に言及する文献 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」 同一パテントファミリー文献		
国際調査を完了した日 25.10.02	国際調査報告の発送日 05.11.02	
国際調査機関の名称及びあて先 日本国特許庁 (ISA/JP) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 名取 乾治 電話番号 03-3581-1101 内線 3261	2P 9211

C (続き). 関連すると認められる文献		
引用文献の カテゴリ*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 06-015877 A(松下電器産業株式会社)1994.01.25 第1頁、【0008】、【0012】－【0014】、【0021】－【0022】、【0026】、【0027】、【0032】－【0037】、全図面(ファミリーなし)	1-57