

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 2 区分

【発行日】平成 18 年 10 月 26 日 (2006.10.26)

【公開番号】特開 2005-93909 (P2005-93909A)

【公開日】平成 17 年 4 月 7 日 (2005.4.7)

【年通号数】公開・登録公報 2005-014

【出願番号】特願 2003-328226 (P2003-328226)

【国際特許分類】

H 0 1 L 21/28 (2006.01)

H 0 1 L 29/78 (2006.01)

H 0 1 L 21/336 (2006.01)

H 0 1 L 29/417 (2006.01)

【F I】

H 0 1 L 21/28 3 0 1 S

H 0 1 L 21/28 A

H 0 1 L 29/78 3 0 1 P

H 0 1 L 29/50 M

【手続補正書】

【提出日】平成 18 年 9 月 11 日 (2006.9.11)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

ゲートと、ソース領域およびドレン領域との間に、それぞれサイドウォールを有する MOS トランジスタにおいて、

前記ゲート、ソース領域、およびドレン領域の表層に形成された酸化膜を、プラズマにより活性化された N_2 ガスおよび H_2 ガスに添加することで活性化された NF_3 ガスと反応させて、生成膜を形成する工程と、

形成された前記生成膜を加熱して気化させることにより、前記酸化膜を除去する工程と、

前記酸化膜が除去された前記ゲート、ソース領域、およびドレン領域の表面に金属を成膜する工程と、

前記金属膜が成膜された前記ゲート、ソース領域、およびドレン領域を $450 \sim 550$ でアニールして、前記ゲート、ソース領域、およびドレン領域の表層に金属シリサイドを形成する工程と、
を備えたことを特徴とする基板処理方法。

【請求項 2】

前記成膜される金属は、Coであることを特徴とする請求項 1 に記載の基板処理方法。

【請求項 3】

前記成膜される金属は、Niであることを特徴とする請求項 1 に記載の基板処理方法。

【請求項 4】

前記金属を成膜する工程と、前記金属シリサイドを形成する工程との間に、前記成膜された金属膜上に当該金属膜の酸化を防止する酸化防止膜を成膜する工程を更に備えたことを特徴とする請求項 1 に記載の基板処理方法。

【請求項 5】

前記酸化防止膜は、T i N膜であることを特徴とする請求項4に記載の基板処理方法。

【請求項6】

前記450～550 のアニールにより形成された金属シリサイドを650 以上の温度で再度アニールすることを特徴とする請求項1に記載の基板処理方法。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【発明の詳細な説明】

【発明の名称】基板処理方法

【技術分野】

【0001】

本発明は、金属シリサイド層をS i系材料層の表層に形成する基板処理方法に関する。

【背景技術】

【0002】

半導体装置の高集積化に伴い、例えばM O S F E Tにおいて、不純物拡散層であるソース（ソース領域）、ドレイン（ドレイン領域）の低抵抗化が重要になってきている。

【0003】

この不純物拡散層の低抵抗化の手法としては、電気抵抗の低い金属シリサイド層を不純物拡散層の表面に形成するシリサイド化手法が開発されている。シリサイド化手法は、S i系材料層の全面にシリサイド化できる金属膜を薄く堆積させ、熱処理（シリサイド化アニリング）を施して、金属膜とS i系材料層とが接触した部分でシリサイド化反応を進行させ、金属シリサイドを形成する方法である。

【0004】

このシリサイド化工程を行うには、その前工程として、S i系材料層の表面に形成されている自然酸化膜を除去する必要がある。従来、この自然酸化膜の除去方法としては、D H F（H F / H₂ O）等のウェット洗浄が採用されていた。

【0005】

従来技術に関する特許文献としては、以下のものがある。

【特許文献1】特開2000-315662号公報

【特許文献2】特開平10-335316号公報

【発明の開示】

【発明が解決しようとする課題】

【0006】

ところで、このD H F洗浄を採用する方法では、金属シリサイド層の抵抗値を十分に下げるには、アニール工程で550 以上に加熱する必要がある。図6はこれを示すグラフであって、D H F洗浄を採用した場合、コバルトシリサイドの抵抗値を60 ohm/sq程度に抑えるには、550 以上に加熱する必要があることがわかる。これは、D H F洗浄をしてもなおS i系材料層表面に僅かながら酸化膜が残存し、そのためシリサイド化のためにより多くのエネルギーを必要とするからである。

【0007】

しかしながら、加熱温度を高くすると、この高温アニールに起因する熱履歴が基板中の不純物の分布に好ましくない影響を与えてしまうという問題点があった。

【0008】

本発明は、上記問題点を解決するためになされたものであって、金属シリサイド形成のための高温処理を必要としない基板処理方法及び基板処理装置を提供することを目的としている。

【課題を解決するための手段】

【0009】

本発明は、ゲートと、ソース領域およびドレン領域との間に、それぞれサイドウォールを有するMOSトランジスタにおいて、

前記ゲート、ソース領域、およびドレン領域の表層に形成された酸化膜を、プラズマにより活性化された N_2 ガスおよび H_2 ガスに添加することで活性化された NF_3 ガスと反応させて、生成膜を形成する工程と、

形成された前記生成膜を加熱して気化させることにより、前記酸化膜を除去する工程と、

前記酸化膜が除去された前記ゲート、ソース領域、およびドレン領域の表面に金属を成膜する工程と、

前記金属膜が成膜された前記ゲート、ソース領域、およびドレン領域を $450 \sim 550$ でアニールして、前記ゲート、ソース領域、およびドレン領域の表層に金属シリサイドを形成する工程と、

を備えた基板処理方法である。

【0010】

例えば、前記成膜される金属は、 Co や Ni である。

【0011】

前記金属を成膜する工程と、前記金属シリサイドを形成する工程との間に、前記成膜された金属膜上に当該金属膜の酸化を防止する酸化防止膜を成膜する工程を更に備えていてもよい。

【0012】

例えば、前記酸化防止膜は、 TiN 膜である。

【0013】

前記 $450 \sim 550$ のアニールにより形成された金属シリサイドを 650 以上の温度で再度アニールしてもよい。

【発明の効果】

【0014】

本発明にあっては、 DHF 洗浄を採用して酸化膜を除去する場合に比して、金属シリサイドを形成するためのアニール工程をより低温で行うことができる。このため、高温アニールに起因する熱履歴が基板中の不純物の分布に好ましくない影響を与えることを防止することができる。

【発明を実施するための最良の形態】

【0015】

以下、本発明による基板処理方法の実施の形態について図1ないし図6を参照して説明する。

【0016】

図1は、本発明の処理方法が適用されるMOSFET11を示す断面図である。この図において符号13は Si 基板を示す。この Si 基板13の両側には不純物拡散層であるソース15とドレン17が設けられている。このソース15、ドレン17の間の Si 基板が露出している部分にはゲート酸化膜19を介して多結晶シリコンからなるゲート21が設けられている。そして、このゲート21の両側には、サイドウォール23が設けられている。

【0017】

このようなMOSFET11は、図4に示すような基板処理装置41で処理される。この基板処理装置41は、中央部に搬送室43を有している。この搬送室43には、ウエハ搬送用の搬送装置が設けられている。この搬送室43の内部は、非反応性雰囲気、例えば真空になされており、ウエハWの搬送中にウエハWに自然酸化膜が発生することを抑制することができる。この搬送室43には、未処理ウエハWを搬送室43に搬入するためのロードロック室45が接続されている。

【0018】

このロードロック室45の反対側には、搬送室43に接続して低温処理室47が設けら

れている。

【 0 0 1 9 】

この低温処理室 4 7 は、図 5 に示すように、真空引きのできる処理容器 4 9 を有しており、この処理容器 4 9 内には処理されるウエハ W を載置する載置台 5 1 が設けられている。一方、この処理容器 4 9 の天井壁にはプラズマ形成管 5 3 が設けられ、このプラズマ形成管 5 3 を通って、プラズマによって活性化された N_2 ガス、 H_2 ガスが処理容器 4 9 内に供給される。このプラズマ形成管 5 3 の下端には、下方に向かって傘状に広がった覆い部材 5 5 が接続されており、載置台 5 1 上のウエハ W に向かってガスを効率的に流下できるようにになっている。

【 0 0 2 0 】

また、覆い部材 5 5 の内周側には、多数のガス孔 5 7 を有する環状のシャワーヘッド 5 9 が配設され、このシャワーヘッド 5 9 には、連通管 6 1 が接続されている。そして、この連通管 6 1 を通って NF_3 ガスがシャワーヘッド 5 9 に供給され、多数のガス孔 5 7 から覆い部材 5 5 内に供給される。このようにして、この覆い部材 5 5 内で NF_3 ガスが N_2 、 H_2 の活性ガス種に衝突して、 NF_3 ガスも活性化する。そして、この活性化した NF_3 ガスがウエハ W 上の MOSFET の表面に形成された自然酸化膜と反応して、生成膜が形成される。

【 0 0 2 1 】

低温処理室 4 7 の隣には、加熱室 7 1 が搬送室 4 3 に接続して設けられている。この加熱室 7 1 には、ウエハ W が低温処理室 4 7 から搬送室 4 3 を経由して搬入される。ここでは、低温処理室 4 7 でウエハ W 上の MOSFET の表面に形成された生成膜を加熱することによって、気化させ、ウエハ表面を洗浄する。

【 0 0 2 2 】

前記低温処理室 4 7 の加熱室 7 1 と反対の側には、C o スパッタリング室 8 1 が搬送室 4 3 に接続して設けられ、この C o スパッタリング室の隣には、T i N スパッタリング室 8 3 が同様に搬送室 4 3 に接続して設けられている。この C o スパッタリング室 8 1 では、洗浄された MOSFET の表面にスパッタリングによって C o 膜を形成する。そして、次の T i N スパッタリング室 8 3 では、さらにこの C o 膜の上に T i N 膜をスパッタリングによって形成する。

【 0 0 2 3 】

T i N スパッタリング室 8 3 の隣には、アニール室 8 5 が搬送室 4 3 に接続して設けられている。このアニール室 8 5 は、C o 成膜がなされたウエハ W にアニール工程を施すところである。

【 0 0 2 4 】

なお、加熱室 7 1 の隣には、冷却室 8 7 が搬送室 4 3 に接続されて設けられている。これは、処理されて加熱されたウエハ W を冷却することによって、ウエハが反応性雰囲気に戻っても、反応しないようになっている。

【 0 0 2 5 】

次に、このような基板処理室 4 1 を用いて MOSFET にシリサイド化処理を行う方法について図 1 ないし図 3 を参照して説明する。

【 0 0 2 6 】

まず、図 1 に示すような MOSFET を、図 4 に示す低温処理室 4 7 に搬入する。そして、この中で活性化された NF_3 と自然酸化膜とを反応させ、生成膜を形成させる。

【 0 0 2 7 】

ついで、この MOSFET を加熱室 7 1 に搬入して加熱し、生成膜を気化させて洗浄を行う（以下この洗浄方法を NOR 洗浄という）。

【 0 0 2 8 】

このようにして、表面が洗浄された MOSFET を、まず C o スパッタリング室 8 1 に搬入し、図 2 に示すように、表面に C o 膜 9 1 を形成し、T i N スパッタリング室 8 3 に搬入して、その表面に T i N 膜 9 3 を形成する。この T i N 膜 9 3 は C o 膜 9 1 が酸化す

るのを防止するためのものである。

【0029】

ついで、このMOSFETをアニール室85に搬入する。そして、ここで低温(450~550)でアニールを行い、ソース15、ドレン17、ゲート21表面にCoSi層95を形成する。

【0030】

ここで、低温(450~550)アニールが可能なのは、以下の理由による。

【0031】

すなわち、図6に示すように、NOR洗浄を採用した場合、アニール温度450~550で、コバルトシリサイドの抵抗を60ohm/sqにすることができる。従って、この基板処理方法にあっては、DHF洗浄を採用した場合と異なり遙かに低温でアニールできることになり、高温アニールに起因する熱履歴が基板中の不純物の分布に好ましくない影響を与えてしまうことを防止することができる。

【0032】

つぎに、このMOSFETを搬送室43とロードロック室45を通して搬出し、メタル洗浄室(図示せず)に搬入する。そして、ここでSPM洗浄を行い、残存しているCo膜とTiN膜を除去する。

【0033】

その後、このMOSFETをメタル洗浄室から搬出し第2アニール室(図示せず)に搬入して650以上で再度アニールを行う。これによって、ソース15、ドレン17、ゲート21の表面に形成されたCoSi層91をCoSi₂層97に変化させ、Coシリサイド層を形成する。

【0034】

このように、上記基板処理方法にあっては、MOSFET11のゲート21、ソース15、ドレン17表層に形成された自然酸化膜を、活性化されたNF₃ガスで除去し、この自然酸化膜が除去されたゲート21、ソース15、ドレン17の表面にCo膜91を形成し、このMOSFETに対して低温アニール(450~550)を行い、このCo膜91と、ゲート21、ソース15、ドレン17のシリコン化合物とを反応させてこのシリコン化合物の表層に金属シリサイド層を形成するようにしている。従って、自然酸化膜をDHF洗浄を採用して除去する場合に比して、アニール工程をより低温で行うことができ、高温アニールに起因する熱履歴が基板中の不純物の分布に好ましくない影響を与えることを防止することができる。

【0035】

また、Co膜91の表面にTiN膜93を成膜しているから、Co膜形成後にCo膜が酸化するのを防止することができる。

【0036】

また、上記基板処理装置41にあっては、シリコン化合物の表層に形成された酸化膜に活性化された反応ガスを反応させて生成膜を形成する低温処理室47と、この生成膜が形成されたシリコン化合物を加熱して、前記生成膜を気化させて除去する加熱室71と、前記生成膜が除去されたシリコン化合物の表面に金属を成膜するCoスパッタリング室81と、前記低温処理室47と前記加熱室71とCoスパッタリング室81とに接続され、これら低温処理室47と加熱室71とCoスパッタリング室81との間でウエハを非反応性雰囲気中で搬送する搬送装置を有する搬送室43とを備えているから、酸化膜除去、Co膜形成、Coシリサイド層形成を効率よく行うことができるとともに、これらの工程中に不必要な酸化が生ずるのを防止することができる。

【0037】

なお、上記実施の形態においては、MOSFETのゲート、ソース、ドレン表面にCo膜を形成する工程の後に、Coシリサイドを形成する工程を行うようにしているが、これに限る必要はなく、ゲート、ソース、ドレン表面にCo膜を形成する工程と、Coシリサイドを形成する工程とを同時に行うようにしてもよい。このようにすれば、工程を短縮す

ることができ、スループットを向上させることができる。

【 0 0 3 8 】

また、上記実施の形態においては、M O S F E Tのゲート、ソース、ドレン表面にC o膜を形成するようにしているが、これに限る必要はなく、N i膜を形成するようにしてもよい。

【 0 0 3 9 】

さらに、上記実施の形態においては、M O S F E Tのゲート、ソース、ドレンの表面にC oシリサイドを形成する場合について説明しているが、これに限る必要はなく、表層に酸化膜が形成されているシリコン化合物において、この酸化膜を除去後金属シリサイドを形成するすべての場合適用してもよく、例えば、エレベーターソース、ドレンにも適用できることは勿論である。

【図面の簡単な説明】

【 0 0 4 0 】

【図 1】本発明の実施形態の基板処理方法でM O S F E Tを処理する場合の第 1 のステップを示す断面図。

【図 2】本発明の実施形態の基板処理方法でM O S F E Tを処理する場合の第 2 のステップを示す断面図。

【図 3】本発明の実施形態の基板処理方法でM O S F E Tを処理する場合の第 3 のステップを示す断面図。

【図 4】本発明の実施形態の基板処理装置を示す平面図。

【図 5】本発明の実施形態において低温処理を行う低温処理室を示す断面図。

【図 6】D H F 洗浄を施した場合とN O R 洗浄を施した場合におけるアニール温度とコバルトシリサイド抵抗との関係を示すグラフ。

【符号の説明】

【 0 0 4 1 】

- 1 1 M O S F E T
- 1 5 ソース
- 1 7 ドレン
- 2 1 ゲート
- 2 3 サイドウォール
- 4 1 基板処理装置
- 4 3 搬送室
- 4 7 低温処理室
- 7 1 加熱室
- 8 1 C oスパッタリング室
- 9 1 C o膜（金属膜）
- 9 3 T i N膜（酸化防止膜）
- 9 5 C o S i 層（金属シリサイド層）
- 9 7 C o S i ₂ 層（金属シリサイド層）