

公告本

申請日期	88.9.16
案 號	88116011
類 別	Hal 2/842

A4
C4

(以上各欄由本局填註)

441032

發明專利說明書

一、發明 名稱	中 文	具有隔離領之溝渠式電容器之製造方法
	英 文	Production-method for a trench-capacitor with an isolation-collar
二、發明 人	姓 名	1.馬丁屈倫斯 (Martin Schrems) 2.諾伯特亞諾 (Norbert Arnold)
	國 籍	1.奧地利 2.美國
	住、居所	1.德國蘭吉布魯克 D-01465 布倫街 4e 號 2.美國紐約州 10952 栗脊凱斯道 26 號
三、申請人	姓 名 (名稱)	西門斯股份有限公司 SIEMENS AKTIENGESELLSCHAFT
	國 籍	德國
	住、居所 (事務所)	德國慕尼黑 D-80333 威田巴契廣場 2 號
	代 表 人 姓 名	1.貝斯納 (Basner) 2.雷哈特 (Reinhardt)

裝

訂

線

441032

(由本局填寫)

承辦人代碼：
大類：
IPC分類：

A6
B6

本案已向：

德 國(地區) 申請專利，申請日期： 案號： ， ☒有 ☐無主張優先權
1998年9月17日 19842665.8

有關微生物已寄存於： ，寄存日期： ，寄存號碼：

(請先閱讀
之注意事項再填寫本頁各欄)

裝

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明()

本發明是關於一種具有隔離領之溝渠式電容器及其製造方法。

積體電路(ICs)或晶片使用電容器來儲存電荷。使用電容器來儲存電荷的一種IC之例子是記憶體IC,例如動態隨機存取式寫入- / 讀出記憶體(DRAM)用之晶片。電容器中之電荷狀態("0"或"1")因此是表示一種資料位元。

DRAM晶片含有矩陣式記憶胞,其連接成許多列和行(Column)。列連接區通常稱為字元線而行連接區則稱為位元線。由記憶胞讀出資料或使資料寫入記憶胞中是藉由適當之字元線和位元線之驅動來達成。

DRAM記憶胞通常含有一個與電容器相接之電晶體。此電晶體含有二個擴散區,此二個擴散區由通道所隔開,通道上方配置一個閘極。依據電流之方向而稱其中一個擴散區為汲極,另一個則稱為源極。此處就擴散區而言此種名稱"汲極"和"源極"是可互換的。閘極是與字元線相連接,擴散區之一是與位元線相連接。另一擴散區是與電容器相連接。施加適當之電壓至閘極可使電晶體導通,使電流在擴散區之間流經此通道,以便在電容器和位元線之間形成一種連接。電晶體關閉時使此種連接斷開,流經通道之電流即被中斷。

電容器中所儲存之電荷由於本就存在之漏電流而會隨時間消失。在電荷減少至一未定之位準(低於一種臨界值)之前,此記憶電容器必須被更新(Refresh)。

記憶元件持續地力求小型化需要發展一種較大密度及

五、發明說明 (>)

較小特性值，(即，較小之記憶胞面積)之 DRAMs。為了製成記憶胞(其具有較小之表面區域)，則須使用較小之組件(例如，電容器)。但使用較小之電容器會造成較小之儲存容量，這樣會對記憶元件之功能優異性及可用性有不利之影響。例如，讀出放大器需要足夠之信號位準以便讀取記憶胞中之資訊。記憶體電容對位元線電容之比(Ratio)值在決定信號位準時是有決定性的。若記憶體電容太小，則此種比值太小而不能產生足夠大之信號。較小之記憶體電容同樣需要一種較大之更新(Refresh)頻率。

用在 DRAMs 中之電容器之型式通常是一種溝渠式電容器。溝渠式電容器具有一種三維空間之結構，其形成於矽基板中。溝渠式電容器之體積或電容之增加可藉由基板中較深之蝕刻來達成。在此種情況下此溝渠式電容器之電容之提高不會使記憶胞所占用之表面增大。

一般之溝渠式電容器含有一種已在基板中蝕刻完成之溝渠。此種溝渠中典型上是以 p^+ -或 n^+ -摻雜之多晶矽填入，此種多晶矽用作電容器(亦稱為記憶電容器)之電極。可選擇之方式是：電容器第二電極(亦稱為"埋入板")可藉由摻雜物質源(Source)之 n^+ -摻雜物質往外擴散至基板之一個區域(其圍繞溝渠之下部區段)中而形成。 n^+ -摻雜之矽酸鹽玻璃(例如，以砷來摻雜之矽酸鹽玻璃(ASG))用作此種摻雜物質源。記憶體介電質(其含有氮化物)通常用來隔離電容器之二個電極。

五、發明說明()

在溝渠之上部區中產生一種介電領，以便防止電容器終端(其具有該埋入板)之漏電流。溝渠上部區(其中形成一種"領(Collar)")中之記憶體介電質在"領"形成之前須去除。氮化物去除後可防止一種沿著該領之垂直式漏電流。

雖然本發明可用在任意之溝渠式電容器，但本發明及其所要解決之問題以下將參考一種使用在DRAM記憶胞中之溝渠式電容器來詳述。此種記憶胞使用在積體電路(ICs)中，例如，用在隨機存取記憶體(RAMs)，動態RAMs(DRAMs)，同步DRAMs(SDRAMs)，靜態RAMs(SRAMs)，嵌入式DRAMs及唯讀記憶體(ROMs)中。其它積體電路包含一些邏輯元件，例如，可程式化之邏輯陣列(PLAs)，特定用途之ICs(ASICs)，混合邏輯/記憶體-ICs(嵌入式DRAMs)或其它之電路元件。通常許多ICs同時製造在半導體基板(例如，矽晶圓)上。晶圓在處理之後須切割，以便使ICs分割成許多各別之晶片。這些晶片然後包裝在終端產品中以便應用在消耗性產品中，例如，用在電腦系統，蜂巢式電話，個人數位助理(PDAs)和其它產品中。為了討論上之目的，本發明只就各別記憶胞之構成來說明。

為了描述本發明所要解決之問題，以下將首先描述一些一般性之溝渠式電容器-DRAM-記憶胞以及其製法。

第5圖是一種一般性之溝渠式電容器-DRAM-記憶胞100，其包含一個溝渠式電容器160，其形成在基板101

五、發明說明(4)

中。基板 101 以 p 型摻雜物質(例如, 硼(B))來進行輕微之摻雜(p^-), 溝渠 108 中通常填入多晶矽 161, 其是以 n-摻雜物質(n^+), 例如砷(As)或磷(P), 來摻雜。另一方式是埋入板 165(其例如以 As 來摻雜)可設置在溝渠 108 之下部區之周圍中之基板 101 中。砷(As)由一種摻雜物質源(例如 ASG)而擴散至矽基板 101 中, 摻雜物質源形成在溝渠 108 之側壁上。多晶矽 161 及埋入板 165 用作電容器之電極。

記憶體介電質 164 使電容器電極相隔開。記憶體介電層 164 例如包括氮化物或氮化物/氧化物。亦可使用氮化物/氮化物/氧化物或其它介電層或各介電層之堆疊(Stack), 例如, 氮化物, 氮化之氮化物或 NONO 。

DRAM-記憶體胞 100 同樣具有一個電晶體 110。此電晶體 110 包括: 閘極 112 及擴散區 113, 114。擴散區 113, 114 (其由通道 117 所隔開)是藉由植入 n 型摻雜物質(例如, 磷(P))而形成。電容器終端擴散區 125 (其稱為電容器終端)可使溝渠式電容器 160 與電晶體 110 相連接。電容器終端擴散區 125 是由摻雜物質由溝渠-多晶矽 161 經由埋入橋 162 往外擴散而成。

領 168 形成在溝渠 108 之上部區上。所謂溝渠 108 之上部區是指包括此領 168 之區段, 溝渠之下部區是指領 168 下方之區段。領 168 可防止電容器終端 162 之漏電流流至該埋入板 165。此種漏電流是吾人所不期望的, 因為其會使記憶體胞之保持時間(Holding Time)惡化。這樣會使

五、發明說明(5)

更新(Refresh)頻率提高，因此會妨礙元件之功能。

埋入式盆形區 170(其具有 n 型摻雜物質，例如，P 或 As)是設置在基板 101 表面下方。埋入式 n 盆形區 170 中之摻雜物質之濃度最大值大約是在領 168 之下側上。埋入式盆形區 170 之摻雜度典型上是較埋入板 165 者還小。埋入式盆形區 170 是用來使記憶胞矩陣中之 DRAM 記憶胞之埋入板 165 相連接。

電晶體 110 之驅動是藉由施加適當之電壓至閘極 112 和位元線 185 來達成且使溝渠式電容器 160 相連接。閘極 112 通常是與字元線 120 相連接，而擴散區 113 是經由接觸區 183 而與 DRAM 矩陣中之位元線 185 相連接。位元線 185 是經由擴散區 113，114 之間的介電質中間層 189 而與擴散區 113，114 相隔離。

設置一種狹窄之隔離溝渠(STI-隔離)180，以便使 DRAM 記憶胞 100 與其它記憶胞或其它電性元件相隔離。如圖所示，另一字元線 120 形成於溝渠 108 上方且藉由 STI-溝渠 180 而與溝渠 108 相隔離。延伸於 STI-溝渠 180 上方之字元線 120' 是一種旁通之字元線。此種組態稱為折疊式位元線結構。

第 5 圖之一般性溝渠式電容器含有記憶體介電質 164，其以步級(Step)方式形成於領 168 上方，這樣就不需去除記憶體介電層之上部區。可避免在領和記憶體介電層之上部邊緣之間的接面上形成一些針孔。其它形式是溝渠之下部區所具有之寬度或直徑 W_2 至少須和上部區

五、發明說明 (b)

之寬度或直徑 W_1 同樣大。於是可使漏電流降低且使電容提高。

第 5 圖之 DRAM 記憶胞 100 是一種 MINT 記憶胞 (MINT = merged isolation node trench) 而具有埋入橋 162 而不會有一般上之限制。其它記憶胞組態 (例如, 使用一種位於表面處之橋接元件者) 同樣是可使用的。溝渠 108 (其例如使用 $0.25 \mu m$ 設計準則而製作在 256Mb DRAM 晶片中者) 之典型大小大約是 $7-8 \mu m$ 深, 其溝渠開口大約是 $0.25 \mu m \times 0.50 \mu m$ 。

如第 5 圖所示, 溝渠式電容器 160 形成在基板 101 中。基板例如是以第一導電型式之摻雜物質作輕微之摻雜。在本例子中此基板 101 是以 p 型摻雜物質例如, 硼作輕微之摻雜 (p^-)。使用大量摻雜之 p 型基板 (p^+) 同樣是可能的。例如可使用磊晶方式製成之 p^+ / p^- 基板。此種基板之摻雜物質濃度大約是 $10^{19} cm^{-3}$, 其具有典型厚度是 $2-3 \mu m$ 之 p^- 磊晶層。B 之濃度大約是 $1.5 \times 10^{16} cm^{-3}$ 。一種 (未顯示之) p 型盆形區是用來隔離矩陣式元件。p 盆形區之摻雜濃度大約是 5×10^{17} 至 $8 \times 10^{17} cm^{-3}$ 。

第 6a-g 圖是以習知之方法來製造第 5 圖之一般性 DRAM 記憶胞所用之方法。

參考第 6a 圖, 須製備基板 101, DRAM 記憶胞形成在其上。基板 101 之主表面並不重要, 可使用任意適當之方位, 例如, (100), (110) 或 (111)。在本例子中基板 101 以 p 型摻雜物質 (例如, B 作輕微之摻雜 (p^-))。B 之濃度大約是 $1-2 \times 10^{16} cm^{-3}$ 。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(7)

基板 101 含有 n-摻雜之埋入式盆形區 (170, 盆形區 (170) 以 P 或 Al 作為摻雜物質。在本例子中須使遮罩結構化, 以便界定上述之埋入式盆形區。然後使 n 型摻雜物質植入基板 101 之埋入式盆形區中。埋入式盆形區 170 用來使 p 盆形區與基板 101 隔離且同樣可在電容器之埋入板 165 之間形成一種導電橋。植入所需之濃度在能量大約 1.5 MeV 時大約是 $> 1 \times 10^{19} \text{ cm}^{-3}$ 。另一方式是埋入式盆形區 170 藉由植入以及隨後之磊晶矽層之生長而形成在基板表面上方。此種技術描述在 Bronner 等多人所發表之 US-Patent No. 5,250,829 中。

基礎堆疊 107 形成在基板 101 之表面上。基礎堆疊 107 例如包括基礎氧化層 104 及基礎停止層 105。基礎停止層 105 (其適合作為隨後之過程所用之拋光劑或蝕刻停止劑) 例如具有氮化物。在基礎停止層 105 上方設置硬遮罩層 106, 此層 (106) 包含 TEOS。其它材料 (例如, BSG) 同樣可用作硬遮罩層。其它方式是使用一種抗反射層 (ARC), 以便改良微影術之解析度。

硬遮罩層 106 使用一般之微影技術而被結構化, 以便界定此區域 102, 在區域 102 中形成溝渠。這些步驟包含光阻層之沈積以及以所期望之圖樣選擇性地對光阻層進行照射。光阻然後被顯影且將所照射之區域或未照射之區域去除, 這與使用正光阻或負光阻有關。然後對基礎堆疊 107 所照射之區域進行蝕刻直至基板 101 之表面為止。一種反應性離子蝕刻步驟 (RIE) 然後形成深的溝渠 108。

五、發明說明(8)

在晶圓上沈積一種多晶矽 - 半導體層 152 , 以便填入溝渠 108 中。同樣可使用非晶形之矽。其它之材料形式(其具有 1050 至 1100°C 之溫度穩定性且可選擇性地對氮化物或氧化物而被去除)同樣可使用。多晶矽 152 稱為多晶矽 - 犧牲層, 因為其稍後會被去除。典型之方式是形成一種自然之氧化物 151 , 其在溝渠以多晶矽 152 填入之前覆蓋著溝渠側壁。氧化層 151 典型上大約 0.3 - 5nm 厚。

如第 6b 圖所示, 然後去除多晶矽 152 直至將形成之領之下側為止。多晶矽 152 之去除例如包括以化學 - 機械拋光法所進行之整平過程, 化學乾式蝕刻 (CDE) 或反應性離子蝕刻以便在溝渠 108 中及基礎堆疊 107 之上側上形成一種與多晶矽之上側共平面之表面。然後進行一種反應性離子蝕刻, 以便使多晶矽 152 下降至溝渠 108 中。使用化學乾式蝕刻使多晶矽 152 下降至溝渠 108 中同樣是可能的。但較佳是多晶矽 152 須被整平且藉由 CDE 或 RIE 而在各別之步驟中由基板表面典型上是下降 0.5 - 2 μ m。

然後使介電層沈積於晶圓上, 介電層覆蓋基礎堆疊 107 及溝渠側壁。介電層是用來形成上述之領 168。介電層例如可由氧化物構成。在本例子中, 介電層是藉由化學氣相沈積法 (CVD) (例如, 電漿促進法 CVD (PECVD) 或低壓 CVD (LPCVD)) 而在使用 TEOS 之情況下藉由熱氧化物所構成之層之生長以及隨後之氧化層之沈積來形成。CVD 氧化物可藉由退火步驟而變成較濃密。氧化層須足夠厚

五、發明說明(9)

(即, 10-50nm)以便防止垂直式之漏電流。另一方式是介電層可具有一種熱氧化物所構成之層。

在另一例子中, 介電層是由CVD氧化物所構成。在形成CVD氧化物之後可進行一種退火步驟以便使氧化物變成較濃密。此種退火步驟例如是在Ar, N₂, O₂, H₂O, N₂O, NO或NH₃大氣中進行一種氧化用之大氣(例如, O₂或H₂O)可用來在CVD氧化物下方形成熱氧化層。氧由大氣中經由CVD氧化物而擴散以便在基板表面上形成熱氧化層。這樣若希望時可有利地形成一種熱氧化物而不需在沈積CVD氧化物之前進行熱氧化步驟。典型上退火步驟是在溫度大約1000-1100°C時進行大約0.5-3小時。

請參考第6b圖, 介電層例如是以反應性離子蝕刻法而被蝕刻, 以便形成該領168。須選取反應性離子蝕刻用之化學劑, 使氧化物可選擇性地對多晶矽152和氮化物106而被蝕刻。反應性離子蝕刻使介電層由基礎堆疊之表面及開口之底部而被去除。介電層保持在矽側壁上, 以便形成上述之領168。如第6b圖所示, 此領168之上部區輕微地被腐蝕而形成一種傾斜之上部區段。

參考第6c圖, 多晶矽-犧牲層152由溝渠108之下側去除。多晶矽-犧牲層152之去除較佳是藉由CDE來達成。自然之薄的氧化層151於是典型上存在於裸露之溝渠側壁。此種自然之薄氧化層151須夠厚以使用作CDE-蝕刻停止層。CDE蝕刻步驟(例如使用NF₃+Cl₂作為化學劑

五、發明說明(一〇)

時)可以對氧化物有較高之選擇性來對矽或多晶矽進行蝕刻。這樣可在使用自然之薄氧化層151作為蝕刻停止層時使多晶矽去除。例如在使用自然之氧化物151作為蝕刻停止層而由溝渠108去除多晶矽時可獲得之選擇性大約是4000:1。

在另一例子中使用 Cl_2 含量高之CDE-步驟,以便提高矽蝕刻或多晶矽蝕刻相對於氧化物之選擇性。大約12 sccm之電流率會造成一種有效之氧化物零蝕刻速率,而多晶矽之蝕刻速率大約是在 $2 \mu m/min$ 之數量級中。這樣可使自然之氧化層151作為有效之蝕刻停止層以便去除犧牲性多晶矽層。自然之氧化物151之厚度典型上是在大約0.5至1 nm中。

另一方式是可使用濕式蝕刻,例如同樣在去除多晶矽時可使用KOH或 $HF:HNO_3:CH_3COOH$ 。但使用KOH會在溝渠側壁上造成K-污染,這樣就另外需要一種淨化步驟。反應性離子蝕刻在去除多晶矽時同樣是可能的,因為其是以非等向性方式而工作。去除多晶矽用之反應性離子蝕刻所用之適當之化學劑含有 $SF_6/NF_3/HBr$ 。其它適當之化學劑(其可選擇性地對氧化物或氮化物而對多晶矽進行蝕刻)例如可為 NF_3/HBr , CF_4/O_2 或 $CF_4/O_2/Cl_2$ 。

反應性離子蝕刻就聚合物而言相對於氧化物或氮化物之選擇性在平坦之表面上大約小於100:1,但在垂直之表面上會上升到超過大約2000:1,這是由於反應性離

五、發明說明()

子蝕刻期間離子是在較有利之垂直方向移動所造成。由於多晶矽在垂直表面上相對於氧化物或氮化物有較高之選擇性，則只有此領168之上部區會受到侵蝕。但這不是問題，因為此領168在基板表面下方處不會受到侵蝕。

在去除多晶矽之後，可形成此種具有n型摻雜物質(例如，As或P)之埋入板165以便選擇性地作為電容器第二電極。領168用作隔離遮罩，其可使：只有位於此領168下方之區域受到摻雜。摻雜物質之濃度大約是 $1 \times 10^{19} - 10^{20} \text{ cm}^{-3}$ 。為了形成此種埋入板165，則可使用一種氣相摻雜(其係使用 PH_3 或 AsH_3)，電漿摻雜或電漿浸入-離子植入(PIM, Plasmaimmersions-Ionenimplantation)法。此種技術例如描述在Ransom et al., J. Electrochemical. Soc. Band 141, No.5 (1994), Page 1378及其後各頁；US-Patent No. 5,344,381及US-Patent No. 4,937,205。

在使用此領168作為隔離遮罩時同樣可進行一種離子植入。另一種方式是可在使用一種摻雜之矽酸鹽玻璃(例如，ASG)作為摻雜物質源之情況下形成上述之埋入板165。使用摻雜之矽酸鹽玻璃作為摻雜物質源例如已描述在Becker et al., J. Electrochemical. Soc., Band 136(1989), Page 3033及以後各頁中。若使用摻雜之矽酸鹽玻璃，則此層須在形成上述之埋入板之後被去除。

現在參考第6d圖，記憶體介電層164沈積在晶圓上，

五、發明說明 (v)

此介電層 164 覆蓋基礎堆疊 107 之表面且覆蓋溝渠 108 之內部。記憶體介電層 164 作為記憶體介電質用以便使電容器之板面相隔開。在本例子中，介電層包含一種 NO-膜-堆疊。此種 NO-膜-堆疊是藉由氮化層之沈積而形成，氮化層隨後又再氧化。氮化層例如是藉由熱氮化作用和 CVD-氮化物而形成，其厚度大約是 5 nm。氮化層例如是在大約 900°C 之溫度時又再氧化。氮化層之此種再氧化可在邊緣處增加氮化層之厚度。其它型式之介電式薄膜堆疊，例如，氧化物-氮化物-氧化物 (ONO) 或氧化物-氮化物-氧化物-氮化物 (ONON)，同樣是有用的。亦可使用薄的氧化物，氮化物或氮化之氧化膜。

其它之多晶矽層 161 須沈積在晶圓表面上以便填入溝渠 108 中且覆蓋上述之基礎堆疊 107，這例如是藉由 CVD 或其它習知之技術來達成。如上所示，多晶矽層 161 是共形的 (Conformal) 且以 n 型摻雜物質 (例如，P 和 As) 來摻雜。在一種例子中此多晶矽層 161 是以 As 來摻雜。As 之濃度大約是 $1 \times 10^{19} - 1 \times 10^{20} \text{ cm}^{-3}$ 。摻雜之多晶矽 161 用作電容器電極。另一方式是此種層可由非晶 (amorphous) 矽所構成。此種材料能以原處方式 (in situ) 或依順序而被摻雜。

現在參考第 6e 圖，多晶矽層 161 例如藉由 CDE 步驟或 RIE 步驟在使用適當之化學劑 (例如， $\text{NF}_3 / \text{Cl}_2$ 或 NF_3 / HBr 或 SF_6) 之情況下往下降。在另一個例子中此多晶矽 161 下降至大約基礎-氮化物 106 之位準處。這樣在隨

五、發明說明(一)

後之濕式蝕刻過程中可有利地保護該基礎氧化物 105。若欠(under)蝕刻不會有問題，則多晶矽可下降至該埋入橋之深度處。

依據第 6f 圖，多晶矽 161 上方殘留之記憶體介電層 164 是以濕蝕刻方式去除，例如是以 DHF 和 HF/甘油來去除。硬遮罩層 106 然後同樣以濕化學方式來去除，例如以 BHF 來去除。CDE-步驟之進行因此亦是可能的。硬遮罩層亦可在製程中提早去除，例如，在形成深的溝渠 108 之後去除。如上所示，領 168 和介電層 164 同樣可輕易地下降至溝渠 108 中。

如第 6g 圖所示，然後形成上述之埋入橋 162。埋入橋 162 之形成是藉由蝕刻來達成以便使摻雜之多晶矽 161 下降至溝渠中。典型上此處使用一種反應性離子蝕刻。晶胞之非主動區然後藉由一般之微影術來界定且進行非等向性之蝕刻，適當之方式是以反應性離子蝕刻來進行。非主動區是 STI 溝渠 180 即將形成之區域。

再參考第 5 圖，STI 溝渠 180 重疊於溝渠之一部份，以便對埋入橋 162 之一部份進行切割。在隨後之退火步驟中摻雜物質由摻雜之多晶矽 161 往上和往外經由埋入橋 162 而擴散以形成擴散區 125。STI 溝渠之深度大約是 $0.25\mu m$ 。典型上須對此領 168 之氧化物之上側下方之非主動區進行蝕刻。在一個例子中須對此非主動區蝕刻至大約基板表面下方 $0.25\mu m$ 處。

在對此非主動區進行蝕刻之後，須去除光阻層和 ARC

五、發明說明(14)

層。為了確保不會留下光阻-或ARC-殘留物，則可使用一些淨化步驟。為了防止氧擴散至矽側壁及多晶矽側壁中，可設置一種(未顯示之)可選擇的外罩以便保護上述之非主動區。此種外罩例如含有氮化物。典型上在形成氮化物外罩之前可以加熱方式在裸露之矽上生長一種鈍化型氧化物。氮化物外罩例如是藉由化學低壓蒸氣沈積(LPCVD)法來形成。

在基板之表面上形成介電材料。介電材料例如具有 SiO_2 。在另一例子中介電材料是TEOS。可使用高密度電漿(HDP)氧化物或其它之隔離材料。介電層之厚度須足夠填入非主動區中。由於介電層典型上是共形的(Conformal)，則可使用一種整平方法，例如，化學-機械拋光法。此種方法例如描述在Nesbit et al., A $0.6\mu\text{m}^2$ 256Mb Trench DRAM Cell With Self-Aligned Buried Strap(BEST), IEDM 93-627。基板101之表面須被拋光，使STI溝渠180和氮化層基本上是平坦的。

基礎-停止層105然後例如藉由濕式化學蝕刻而去除。濕式化學蝕刻對氧化物而言是有選擇性的。基礎氧化物104在這點上同樣藉由濕式化學蝕刻而去除，此種蝕刻對矽而言是有選擇性的。在去除基礎氧化物104之後在晶圓表面上形成一種氧化層。此種氧化層(稱為閘極-犧牲層)作為隨後植入過程用之雜散氧化物。

為了對DRAM記憶胞之n-通道-電晶體110之p型盆形區予以界定，則須在氧化層之上側沈積一種光阻層且適當

五、發明說明 (15)

地予以結構化，以便使 p-盆形區裸露出來。如上所示，使 p 型摻雜物質（例如，硼（B））植入盆形區中。摻雜物質之植入須夠深以防止一種穿孔現象且使層電阻降低。須測定此摻雜物質之外型（Profile）以達到所期望之電性，例如，達到所期望之閘極 - 臨界（Threshold）電壓（ V_{th} ）。

其它方式是同樣形成 p 型盆形區以用於 n-通道 - 電源電路配置中。就互補式金屬氧化物 - 矽元件（CMOS）中之互補式盆形區而言，須設置一些 n-盆形區。n 型盆形區之形成另外需要微影術步驟及植入步驟以便界定且形成 n 型盆形區。就像在 p 型盆形區中者一樣須設計此 n 型盆形區之外型（Profile）以便達到所期望之電性。在形成盆形區之後須去除閘極 - 犧牲層。

然後形成各種不同之層以形成電晶體 110 之閘極 112。這包括：閘極氧化層之形成，其作為閘極氧化物用；多晶矽層以及外單氮化層之形成。多晶矽層典型上可以含有一種金屬矽化層，例如， WSi_x ，其中所形成之多晶矽化物（Polycide）可降低層電阻。然後對各種不同之閘極層進行結構化，以便形成電晶體 110 之閘極堆疊 112。閘極堆疊之側壁然後例如藉由熱氧化作用而隔離。

作為字元線 120' 用之由旁經過之閘極堆疊典型上是形成於溝渠上方且是藉由 STI 溝渠 180 而與溝渠相隔離。源極 / 汲極擴散區 413, 414 藉由 n 型摻雜物質（例如，P 或 As）之植入而形成。在一個例子中，使 P 植入源極區和

五、發明說明(16)

汲極區 113, 114 中。須選取劑量和能量，以便達到一種摻雜物質外型，其可確保所期望之操作特性。為了改良此種擴散作用以及源極，汲極相對於閘極之對準作用，則可使用氮化物距離支件(未顯示)。擴散區 114 是與擴散區 125 相連接，以便形成電容器終端。

介電層 189 是形成於晶圓表面上方且覆蓋閘極 112 和基板表面。介電層例如包含 BPSG。此外，同樣可使用其它介電層(例如，TEOS)。如上所示，須對一種無邊緣之接觸孔 483 進行蝕刻以便使擴散區 413 裸露。接觸孔中然後以導電性材料(例如， n^+ -摻雜之多晶矽)填入，以便在該處形成一種接觸堆疊。金屬層 485 (其是一種位元線)形成於介電層上方，以便經由接觸堆疊而與源極相接觸。最後得到第 5 圖中所示之結構。

第 7 圖是一般 DRAM 記憶胞之另一例子。

如第 7 圖所示，溝渠式電容器 160 之下部區之寬度 W_2 或直徑較上部區之寬度 W_1 或直徑還大。提高 W_1 可提高電容器之電容。為了達成此種結構，則第 6b 圖中所示之多晶矽-犧牲層 152 須以 CDE 去除，例如，以 NF_3/Cl_2 去除。矽之選擇性蝕刻所用之其它化學劑同樣可使用。此外，亦可在使用 SF_6 ， NF_3/HBr 之情況下進行反應性離子蝕刻或在使用 KOH 之情況下進行一種濕式蝕刻。溝渠之下部例如藉由 CDE 蝕刻而變寬。溝渠之變寬例如已描述在 T. Ozaki et al., $0.228 \mu m^2$ Trench Cell

Technologies with Bottle-shaped Capacitor for 1

五、發明說明(7)

Gigabit DRAMs, IEDM 95, pp. 661或US-Patent No. 5,336,912 from S. Ohtsuki中。須選取CDE蝕刻所用之蝕刻劑，使溝渠側壁上之薄的自然之氧化物同樣可被去除。這可藉由 Cl_2 之流動率之降低來達成，以便使相對於氧化物之蝕刻選擇性降低；或可藉由化學劑之改變來達成。

須控制上述之濕蝕刻或CDE，使其將犧牲性多晶矽去除，而此種蝕刻之擴張須受限，使其不會延伸至相鄰之溝渠中或與其接觸。溝渠之下部區之寬度大約是相鄰溝渠間之最小間距之50%，較佳是小於20-30%。由於相鄰溝渠之間的距離典型上是用來達成最小尺寸，則上述之寬度應限制於此最小尺寸之50%以下。這例如提供了一種平坦形式之溝渠，其下部之直徑較最小尺寸之二倍還小。溝渠之寬度較佳大約是最小尺寸之20-40%。

在去除犧牲性多晶矽和蝕刻停止層之後，可選擇性地形成上述之埋入板165。形成此埋入板所用之各種技術，例如，在大約1000-1100°C溫度時以 AsH_3 或 PH_3 來進行之氣相摻雜，As或P之離子植入，電漿摻雜或電漿浸入-離子植入同樣是可能的。然後沈積摻雜之多晶矽以便形成電容器電極。摻雜之多晶矽在形成中空區172時填入溝渠之下部區中。由於中空區172位於溝渠之下部區中，其並不影響以下之處理過程或元件之功能。提高溝渠電容所用之其它技術，例如，於溝渠中形成半球形之矽粒(HSG)或在沈積記憶體介電質之前使溝渠側壁粗

五、發明說明(8)

糙化，同樣都是可能的。

第8a-c圖是製造第5圖之DRAM記憶胞所用之習知方法的另一例子。

請參考第8a圖，其提供了一種基板101。如上所示，此基板含有埋入式n型盆形區170。基礎堆疊107（其含有基礎氧化層104，基礎停止層105及硬遮罩層106）形成在基板101之表面上。基礎堆疊107須被結構化，使其可界定溝渠區102，且溝渠區中藉由反應性離子蝕刻而形成一種較深之溝渠108。

在形成溝渠108之後須在溝渠側壁上沈積一層蝕刻停止層176。當溝渠側壁上之自然之氧化層151（第4圖）太薄（大約小於1 nm）時，則蝕刻停止層176特別有效，以便可足以作為蝕刻停止用。蝕刻停止層176覆蓋此基礎堆疊107且鋪設在溝渠側壁上。在另一例子中此蝕刻停止層含有一種材料，其可相對於多晶矽而被選擇性地去除。蝕刻停止層176之厚度須足以確保：隨後所沈積之多晶矽-犧牲材料152可由溝渠108去除而不會使側壁變寬，以便在基礎氧化物支撐下防止溝渠之變形。所需之實際厚度是依據蝕刻方法之各條件（其是用來去除犧牲性多晶矽152）而被最佳化。層厚度典型上是大約1-20 nm且較佳是大約1-5 nm。

在另一例子中蝕刻停止層包含一種介電材料，例如，氧化物，氮化物或氧化之氮化物，其是由各種不同之技術所形成，例如，由熱生長或CVD所形成。蝕刻停止層

五、發明說明(9)

較佳是具有氧化物。使用氧化物可在形成上述之領之前有利地不須去除上部區或在去除犧牲性多晶矽之後不須去除下部區。

犧牲性多晶矽層 152 沈積於晶圓上方以便填入溝渠 108 中。然後使犧牲性多晶矽 152 下降，以便去除溝渠上部區之犧牲性多晶矽，其是大約下降至即將形成之領 168 之下側。可選擇之方式是使用 DHF 化學劑所進行之濕式蝕刻而使溝渠上部區中蝕刻停止層之裸露區域被去除。然後形成領層 167，其覆蓋溝渠側壁之上部區以及犧牲性多晶矽之上側。介電層（其作為領氧化物）典型上在 CVD 氧化物下方含有一種薄的熱氧化物。亦可進行一種退火步驟以便使領層變密。另一方式是藉由 CVD 氧化物之沈積及使其濃縮於氧化用之周圍中而形成領氧化物。這樣可在溝渠 / CVD 氧化物之界面上輕易地形成一種熱氧化物，這樣可提高此領 168 之可靠度。形成一種純粹是熱生長之領氧化物（例如，30-40nm）同樣是可能的，但其包括一種較強之偏移形成傾向。

參考第 8b 圖，以反應性離子蝕刻來對領層 168 進行蝕刻以形成此領 168。犧牲性多晶矽 152 然後以反應性離子蝕刻或以 CDE 去除。在去除此種犧牲性材料時濕式蝕刻同樣是有用的。氧化物 - 蝕刻停止層可防止：犧牲性多晶矽被去除時蝕刻過程使溝渠側壁變寬。

參考第 8c 圖，然後去除氧化物 - 蝕刻停止層 176。使用先前所探討之技術來形成上述之埋入板 165。介電層 164

五、發明說明 (20)

須沈積於晶圓上方，使其覆蓋此領 168 及溝渠下部區中之溝渠側壁。介電層作為溝渠式電容器之記憶體介電質。然後沈積摻雜之多晶矽層 161 以填入溝渠中。形成溝渠式電容器及記憶體所用之過程繼續進行，如第 6d-g 圖所示。

第 9a-c 圖是製造第 5 圖之 DRAM 記憶體所用之一般方法的另一例子。

如第 9a 圖所示，基礎堆疊 107 (其具有基礎-氧化層 104，基礎-停止層 105 及硬遮罩層 (未顯示)) 形成在基板 101 表面上。基礎堆疊 107 然後被結構化以形成一種溝渠區 102。進行一種反應性離子蝕刻以便在溝渠區 102 中形成一種深溝渠 108。埋入式 n 型盆形區 170 同樣形成在基板 101 中。

硬遮罩層 106 在形成溝渠之後須去除，以便使基礎-停止層 105 和基礎-氧化層 104 保留在基板表面上。須形成一種蝕刻停止層 176，使其作為蝕刻停止用以便去除溝渠中之犧牲性多晶矽 152。在形成此蝕刻停止層之後須沈積犧牲性多晶矽 152 以便填入溝渠 108 中。犧牲性多晶矽 152 下降至所期望之深度處，其大約在領 168 之下側處。蝕刻停止層 176 之裸露區域例如可藉由濕式 DHF 蝕刻或藉由 CDE 蝕刻而產生。蝕刻停止層 176 之裸露區之去除同樣亦可去除溝渠之 RIE 損害及污染，這樣可改良隨後所形成之領 168 之可靠性。然後沈積介電層 167，使其覆蓋溝渠之表面及側壁。介電層是用來形成上述之領 168。

五、發明說明(一)

進行一種退火步驟，以便使介電層 167 變密。另一方式是沈積一種 CVD 氧化物且在氧化用之大氣中退火，以便使 CVD 氧化物變密且在 CVD 氧化物下方形成一種熱氧化物，即，在各別之熱處理步驟中形成。

參考第 9b 圖，進行一種反應性離子蝕刻以形成此領 168。在反應性離子蝕刻之後去除犧牲性多晶矽 152 及蝕刻停止層 176。

參考第 9c 圖，使用上述之技術形成該埋入板 165。然後形成記憶體介電質 164。n-摻雜之多晶矽 161 填入溝渠中。

然後使填入之多晶矽 161 下降至第 6g 圖中所示之製程階段所示者，以便界定上述之埋入橋 162。去除記憶體介電質 164 和領氧化物 168，沈積此埋入橋 162 用之多晶矽或非晶矽且將之整平，下降。繼續像第 6g 圖中所示者進行這些步驟。

綜合本例子，在適當薄之蝕刻停止層 176 (即，摻雜劑，例如，As 和 P，可擴散而過之此種厚度) 中，埋入板 165 可藉由犧牲性多晶矽 152 之擴散而製成，為了此一目的此犧牲性多晶矽 152 必須被摻雜 (例如，以 As 或 P 來摻雜)。

第 10a-e 圖是製造第 5 圖之 DRAM 記憶胞所用之習知方法的另一例子。

在本例子中不用未摻雜之蝕刻停止層 176 或自然之氧化物 151，而是使用已摻雜之蝕刻停止層 177 (例如，AsG

五、發明說明(一)

，PSG，...），其特別是用作摻雜物質源以形成上述之埋入板165。

如第10a圖所示，首先形成此溝渠108，如上所述。在去除硬遮罩層106之後在基礎-停止層105上及溝渠108之側壁上例如沈積一種ASG層以作為蝕刻停止層177（其厚度典型上是5至30nm）。若不用ASG，則亦可使用PSG或CVD氧化物，其是以As或P例如藉由PLAD或離子植入而被摻雜。

可選擇性地在ASG-蝕刻停止層177之表面上形成0.5-20nm厚之外罩層（未顯示），其例如是PECVD-TEOS或氮化矽，以便防止：摻雜物質由ASG-蝕刻停止層177抵達此種即將設置於溝渠108中之犧牲性多晶矽152。然後在溝渠中以及晶圓之表面上沈積犧牲性多晶矽152。犧牲性多晶矽152不必摻雜，因為其在本例子中不具備摻雜物質源之功能，反之，其適當之方式是不摻雜，這樣可使沈積速率提高。

已摻雜之ASG-蝕刻停止層177之厚度依據材料和溝渠尺寸通常是2-80nm，其中其應具有一種平坦之表面及一種例如50%之步級覆蓋區。藉由沈積壓力之降低亦可使步級覆蓋區達成較高之值。

如第10b圖所示，犧牲性多晶矽152由基板101表面下降大約0.5至2 μ m以便界定上述之領區，其是以RIE，CDE或濕式蝕刻來進行。然後去除ASG蝕刻停止層177，這例如是由BHF濕式蝕刻或CDE蝕刻來達成。若使用一種

五、發明說明(一)

可選擇之氮化物覆蓋層，則其須在ASG層去除之前例如以CDE(化學乾式蝕刻)或以濕式化學方法(例如，HF/乙烯乙二醇)去除。

然後在溝渠側壁上及基板表面上藉由CVD氧化物(厚度10-60nm)之形成或藉由熱氧化層(5-10nm)及隨後形成CVD氧化物(厚度10-60nm)而沈積領-氧化層167。

如第10c圖所示，然後在一專門之製程步驟中使領-氧化層167變密且使埋入板165由ASG蝕刻停止層177往外擴散，這例如是在1050°C進行1小時。若領-氧化層167只藉由CVD-沈積而形成，則適當之方式是首先進行一種熱氧化作用，這例如是在900°C時進行5分鐘(氧經由CVD氧化物而擴散)，以便在矽基板/領之界面上形成一種熱氧化物，這可提高即將形成之領168之可靠性。當然此種熱氧化作用可在和該領變密時以及埋入板165擴散時相同之高溫製程步驟中進行。

然後如第10d圖所示進行一種反應性離子蝕刻以形成原來之領168。

最後，如第10e圖所示，藉由反應性離子蝕刻，CDE蝕刻或濕式蝕刻來去除犧牲性多晶矽152以及藉由BHF-或DHF-濕式蝕刻或CDE蝕刻來去除ASG-蝕刻停止層177。同樣對此基礎-氮化物105和領-氧化物168進行蝕刻。但這不會有問題，因為其厚度較ASG-蝕刻停止層177者大很多。

然後沈積記憶體介電質164及上述之填入用之多晶矽

五、發明說明(4)

161，以便達到第9c圖中所示之狀態。為了達成第6g圖中所示之製程階段，須使填入用之多晶矽161下降，以便界定上述之埋入橋162。去除記憶體介電質164及上述之氮氧化物168且沈積此埋入橋162用之多晶矽或非晶矽，將之整平且下降。繼續進行此方法，如第6g圖所示。

就上述而言，依據此例子之製程當然同樣可用於平坦式溝渠中，其具有較高之溝渠電容(請比較第7圖)。

以摻雜之蝕刻停止層和未摻雜之犧牲性多晶矽來進行之此種過程同樣可類似於第8圖來進行。硬遮罩層不像第7a圖中者一樣須在溝渠102蝕刻之後去除，而是只有在如第4e圖所示之犧牲性多晶矽161下降且裸露之記憶體介電質164去除之後才去除。若多晶矽-蝕刻(特別是犧牲性多晶矽161剝除)會造成一種強大之基礎氮化物-去除現象，則上述之方式是有利的。當然本方法需要其它之蝕刻步驟，這樣會使製造成本增加。

硬遮罩層106亦可選擇性地在深溝渠蝕刻之後去除或只有在犧牲性多晶矽161第一次下降且已被蝕刻而裸露之記憶體介電質164被去除之後才去除。

本例子之優點是能以簡化之製程同時形成上述之氮168及埋入板165。埋入板165相對於目前所使用之製程而言是自動對準於溝渠168之下側，其中此埋入板165在形成氮化鎢之前是藉由光阻-下降-製程而形成(Nesbit et al.)。然後依據此種由Nesbit et al.所述之變形藉由多晶矽-下降而形成此鎢，因此產生以下情況：埋入

五、發明說明 (25)

板和氧化矽互相間並不對準（例如，埋入板位於太深之處或太高且將選擇電晶體短路）。此種問題在本發明中是藉由自我校準之製程來解決。

由於蝕刻停止層 177 是埋入板 165 用之摻雜物質源，於是不會有厚度上之限制，這樣可大大地降低多晶矽 - 下降過程和犧牲性多晶矽去除過程中切割用之選擇性需求（多晶矽相對於氧化物）。這些蝕刻過程因此能以簡單很多之方式來控制。

在上述習知之製法中所顯示之缺點是：乾式蝕刻步驟（例如，矽氧化物 168 或犧牲性多晶矽之反應性離子蝕刻）會使基礎 - 停止層 105 或襯墊 - 氮化物變薄，因此它們之厚度最初必須選得較大。基礎 - 停止層 105 之此種較大之厚度當然會使溝渠用之微影步驟及遮罩開口用之蝕刻變成較困難，因為製程用之視窗會變小。此外，在矽氧化物 168 之反應性離子蝕刻中會隨著變小之溝渠寬度而使矽氧化物 168 由溝渠中之平坦之各面中去除時更困難。

本發明之目的是提供一種改良之製法以用於一種具有隔離矽之溝渠式電容器中，其不需對矽氧化物進行反應性離子蝕刻。

依據本發明，上述目的由申請專利範圍第 1 項中之製法來達成。

較佳之其它形式敘述在申請專利範圍各附屬項中。

本發明之方法相對於習知之方法所具有之優點是：矽氧化物 168 不需反應性離子蝕刻步驟，而是可確保只在

五、發明說明 (> b)

溝渠上部區中之側壁上局部性地形成此領。於是可防止先前技藝中所產生之問題，這些問題例如基礎 - 停止層之去除以及變小之溝渠在領蝕刻時缺少可標度性。特別是 LOCOS 製程或 SELOX 製程可作為局部性氧化用之方法。在基板表面上或溝渠之下部區中未氧化之區域可特別受到氮化物覆蓋物之保護。

本發明之實施例顯示在圖式中且詳述在下文中。圖式簡單說明：

第 1 圖 係本發明具有 LOCOS 領之 DRAM 記憶胞之實施例。

第 2 a-h 圖 係本發明製造第 1 圖之 DRAM 記憶胞所用方法之第一實施形式。

第 3 圖 係本發明 DRAM 記憶胞之另一實施例。

第 4 圖 係本發明製造一種相對於第 1 圖修改後之 DRAM 記憶胞 (其具有 SELOX 領) 所用方法之第二實施形式。

第 5 圖 係一般性 DRAM 記憶胞之一個例子。

第 6 a-g 圖 係製造第 5 圖之一般性 DRAM 記憶胞所用習知方法之各步驟。

第 7 圖 係一般性 DRAM 記憶胞之另一個例子。

第 8 a-c 圖 係製造第 5 圖之 DRAM 記憶胞所用習知方法之各步驟的另一例子。

第 9 a-c 圖 係製造第 5 圖之 DRAM 記憶胞所用習知方法之各步驟的另一例子。

第 10 a-e 圖 係製造第 5 圖之 DRAM 記憶胞所用習知方

五、發明說明 (>7)

法之各步驟的另一例子。

第1圖是本發明DRAM記憶胞之實施例。

第1圖所示DRAM記憶胞即為第5圖所示之一般性記憶胞，其不同點是：領168'藉由局部性熱氧化步驟(LOCOS)而選擇性地形成在溝渠108上部區中，且因此在其下側具有典型之鳥嘴形。

第2a-h圖是本發明製造第1圖之DRAM記憶胞所用方法之第一實施形式。

在第一實施形式中，就像第10-e圖之例子一樣使用摻雜之蝕刻停止層177(例如，ASG，PSG，...)，其特別是作為摻雜物質源以便形成上述之埋入板165。

如第2a圖所示，首先形成溝渠108，就像先前技藝中者一樣。然後在去除硬遮罩層106之後在基礎-停止層105上及溝渠108之側壁上沈積典型上厚度是5至30nm之ASG層以用作蝕刻停止層177。若不用ASG，則亦可使用PSG或CVD氧化物(其藉由PLAD或離子植入而以As或P來摻雜)。同樣可使用一種典型上是在950°C-1050°C進行之氣相(例如，AsH₃，PH₃)擴散。

摻雜之ASG-蝕刻停止層177之厚度依據材料和溝渠尺寸通常是2-80nm，其中此種層177具有一種平坦之表面及例如50%之步級覆蓋區。藉由沈積壓力之下降亦可使步級覆蓋區達到較高之值。

依據蝕刻選擇性例如藉由CVD(LPCVD，PECVD)而在ASG-蝕刻停止層177之表面上形成5-30nm厚之氮化物-或氧

五、發明說明 (> 8)

化之氮化物-外罩層 178，以便一方面在稍後之局部性領氧化步驟中作為遮罩用且另一方面可防止：摻雜物質由 ASG-蝕刻停止層 177 到達此種即將設置在溝渠 108 中之犧牲性多晶矽 152 中。

然後在溝渠中及晶圓之表面上沈積犧牲性多晶矽 152，此種多晶矽 152 不必被摻雜，因為其在本例子中不具備摻雜物質源之功能，反之，其適當之方式是不被摻雜，這樣可具有較高之沈積速率。

如第 2b 圖所示，犧牲性多晶矽 152 由基板 101 表面大約下降 0.5 至 2 μm 以便界定上述之領 (Collar) 區域，這是藉由 RIE，CDE 或濕式蝕刻而選擇性地對氧化物和氮化物來進行。

然後去除領區域中之外罩層 178，這例如是藉由以 $\text{CF}_4 / \text{O}_2 / \text{N}_2$ 來進行之 CDE (化學乾式蝕刻) 或以 $\text{HF} /$ 乙二醇來進行之濕式化學蝕刻來達成。

然後如第 2c 圖所示，在下部溝渠區域中選擇性地對基礎-停止層 105，ASG-蝕刻停止層 177 以及外罩層 178 藉由反應性離子蝕刻，CDE 蝕刻或濕式蝕刻而去除犧牲性多晶矽 152。接著在領區域中選擇性地對基礎-停止層 105 和外罩層 178 藉由 BHF-或 DHF-濕式蝕刻或 CDE-蝕刻而去除 ASG-蝕刻停止層 177。

然後如第 2d 圖所示，在 1050°C 時進行局部性熱氧化作用 (LOCOS) 1 小時以便沈積領氧化層 168' (厚度是 20-40 nm) 而得到典型的鳥嘴形。適當之方式是在一種獨特

五、發明說明 (29)

之步驟中使埋入板 165 由 ASG-蝕刻停止層 177 往外擴散。

因此不需反應性離子蝕刻以形成原來之領 168，這在先前技藝中是需要的，因此先前技藝中會有上述缺點。

接著如第 2e 圖所示，去除溝渠 108 之下部區中之外單層 178，這是藉由以 $CF_4 / O_2 / N_2$ 來進行之 CDE (化學乾式蝕刻) 或以 HF/ 乙烯乙二醇來進行之濕式化學蝕刻而達成。外單層 178 之去除是選擇性對領氧化物 168' 來達成或例如以 HF/ 乙烯乙二醇藉由較小之選擇性來達成，其中此領必須較厚 (典型上是 5 nm)。

然後如第 2f 圖所示，在溝渠 108 之下部區中盡可能選擇性地對基礎 - 停止層 105 和領氧化物 168' 而藉由 BHF- 或 DHF- 濕式蝕刻或 CDE- 蝕刻使 ASG- 蝕刻停止層 177 去除。於是須注意：在此種過程中不能達到很高之選擇性，基礎 - 停止層 105 和領氧化物 168' 同樣可被蝕刻。由於 ASG- 蝕刻停止層之厚度在溝渠側壁上典型上只有 5-10 nm，而領氧化物之厚度典型上是 20-40 nm 且基礎 - 停止層是 100-200 nm 厚，則基礎 - 停止層 105 和領氧化物 168' 在此步驟中被蝕刻而去除數個 nm (例如，5-10 nm) 是可容忍的。

依據第 2g 圖，沈積記憶體介電質 164 以及 As- 或 P- 摻雜之填入用之多晶矽 161。

為了達成第 2h 圖中所示之階段，須使填入用之多晶矽 161 下降，以便界定上述之埋入橋 162。然後去除記憶體介電質 164 和領氧化物 168 且沈積此埋入橋 162 所需之多

五、發明說明(20)

晶矽或非晶矽，將之整平且下降。然後繼續進行本方法，如先前技藝中所述之第6g圖。

此時須說明的是：本例子之製程當然同樣可用在平坦式溝渠中，其具有較高之溝渠電容，如第3圖所示。

依據其它(未顯示之)實施形式，可使用一種未摻雜之ASG-蝕刻停止層，然後在去除未摻雜之ASG-蝕刻停止層之後可選擇性地在溝渠108之下部區中設置上述之埋入板165。

這特別是可藉由氣相摻雜(以 AsH_3 或 PH_3 來進行)，電漿摻雜(PLAD)或PIII(Plasma Immersion Ion Implantation)過程或一般之離子植入來進行。

一般之離子植入甚至可在蝕刻停止層或外單層去除之前進行，以便使用這些層作為離散層用。

在電漿摻雜(PLAD)或PIII過程或一般之離子植入過程中需要其它之驅入式退火步驟，其例如在 $1000^{\circ}C$ 時在 N_2 大氣中進行1小時。

此種第1實施形式中通常須藉由局部性氧化作用而在矽上形成一種隔離領，且在使用多晶矽下降法(不是使用光阻過程)時以自我對準LOCOS領之方式來設置可選擇之埋入板，這樣可達成一種較佳之下降控制。此種下降控制是重要的，以便在所有情況下可使垂直式寄生性場效電晶體(其具有作為開極用之領)保持關閉。溝渠下部區中之外單層及基礎-停止層(其同樣是由氮化物所構成)可使LOCOS氮化物只生長在溝渠之上部區中，以便形成上述之領。

在LOCOS-領中由於熱氮化物應力所造成之偏移以及因此使保持時間(Retention Time)改變，這樣會造成某些問題。沿著周邊之厚度會變動，因為氮化物之生長速率

五、發明說明(カ)

是與晶體之方向有關。

第4圖是本發明製作一種已對第1圖作修改後之DRAM記憶胞(其具有一種SELOX領)所用方法之第二實施形式。

第4圖因此對應於第2d圖中所示之階段，其中在此種第二實施形式中藉由選擇性沈積CVD氧化物(SELOX過程)而設置一種領-氧化層168"。除了第一實施形式之優點以外，這又有下述之特殊優點：在LOCOS過程中由於領區域中之機械應力而產生之偏移會被最小化，因為使用一種CVD氧化物-領。在選擇性CVD過程中厚度亦是均勻的，因為在此層中很少發生結晶上之改變。最後，上部溝渠區之寬度(典型上是5nm)和LOCOS過程中者相比較時小很多，其典型上是30nm。

特別是SELOX-過程已由Gabric揭示在US-A-5,399,389中且設置了以下之一般性方式。首先在不同高度之表面上以不同之SiO₂生長速率設置一些先質(Precursor)層。然後在其表面上進行一種臭氧驅動之SiO₂之CVD沈積，其中SiO₂層之生長在較低位置之表面是較在較高位置之表面中之生長還快。這些表面藉由此過程繼續進行直至到達平面位準為止以達到平衡。此過程之其它細節可參考US-A-5,399,389。

由N. Elbel et. al., "A New STI Process Based on Selective Oxide Deposition", 1998 Symposium on VLSI Technology Digest of Technical Papers, IEEE, p. 21.2 及以後各頁中可知SELOX-過程之其它細

五、發明說明 (33)

節。

特別是在領區域中選擇性地對基礎 - 停止層 105 和外單層 178 沈積一種典型上厚度是 50nm 之領氧化物 168"。相較之下，在基礎 - 停止層 105 上以及外單層 178 上之厚度典型上只有 10nm 或更小。

基礎 - 停止層 105 和外單層 178 之氧化物之回蝕刻例如可以 BHF 利用等向性濕式蝕刻來進行，較佳是在此領變密之前在高溫步驟中進行。

亦可在一種共同之製程步驟中進行此領之沈積，變密以及埋入板 165 之驅動，這例如是在 900°C 添加 O₂ 時進行 5 分鐘或在 1050°C 添加 N₂ 時進行 30 分鐘，然後進行回 (Back) 蝕刻。

去除這些層 177, 178, 這就像第一實施形式中者一樣，其例如是以 HF/ 乙烯乙二醇 - 蝕刻步驟來達成。

在非常高之選擇性氧化步驟 (選擇性例如是 80:1) 中甚至可完全不需回蝕刻步驟。

其它方式是使回蝕刻與層 177, 178 之去除過程組合於唯一之乾蝕刻步驟中。所剩下之領典型上所具有之厚度是 30nm。

第二實施形式之其它步驟對應於第 2a-h 圖中所示之第一實施形式者。

此處須說明的是：依據第二實施形式之製程當然同樣可用在平坦式溝渠中，其具有較大之溝渠電容，如第 3 圖所示。

五、發明說明 (ㄗ)

此外，在第二實施形式中可使用未摻雜之 ASG-蝕刻停止層且在去除未摻雜之 ASG-蝕刻停止層之後可選擇性地在溝渠 108 之下部區中設置上述之埋入板 165，如第一實施形式中所詳述者。

依據其它(未顯示之)實施形式，在第一及第二實施形式中此犧牲性填料例如可以是光阻(不是多晶矽)或其它適當之填料。在此情況下相對應之下降步驟及去除步驟必須適當地調整。使用光阻時例如可進行 CDE 蝕刻或以 H_2SO_4/H_2O_2 來進行一種濕式蝕刻。

雖然本發明先前是依據較佳之實施例來描述，但本發明並不限於此，而是可以各種不同之方式來修改。

特別是所使用之材料只是舉例而已，其它具有適當性質之材料亦可使用。同樣情況亦適用於上述蝕刻過程及沈積過程。

所有已提及之實施形式亦可互相組合。這包括各種材料及各步驟之順序。

符號之說明

100.....溝渠式電容器 DRAM 記憶胞

101.....基板

102.....溝渠區

104.....基礎-氧化層

105.....基礎-停止層

106.....便遮罩層

107.....基礎堆疊

五、發明說明 (24)

- 108.....溝渠
- 110.....電晶體
- 112.....閘極
- 113, 114.....擴散區
- 117.....通道
- 120, 120'.....字元線
- 125.....電容器終端擴散區
- 151.....自然之氧化物
- 152.....多晶矽層
- 160.....溝渠式電容器
- 161.....犧牲性多晶矽填料
- 162.....埋入橋
- 164.....記憶體介電質
- 165.....埋入板
- 167.....矽-氧化層
- 168.....矽
- 168, 168'.....局部性矽氧化物
- 170.....埋入式盆形區
- 172.....中空區
- 176.....未摻雜之蝕刻停止層
- 177.....摻雜之蝕刻停止層
- 178.....外單層
- 183.....接觸區
- 185.....位元線
- 189.....介電層中間層

四、中文發明摘要(發明之名稱：)

具有隔離領之溝渠式電容器之製造
方法

一種溝渠式電容器之製造方法，特別是可應用在半導體-記憶胞(100)中，此種電容器具有一種隔離領(168'；168")，其特徵為以下各步驟：製備一種基板(101)；在基板(101)中形成溝渠(108)；在溝渠側壁上設置第一層(177)；在溝渠側壁上之第一層(177)上設置第二層(178)；以第一填料(152)填入溝渠(108)中；由溝渠(108)之上部區中去除第一填料(152)以界定一種領區域；由溝渠(108)之上部區中去除第二層(178)；由溝渠(108)之下部區中去除第一填料(152)；由溝渠(108)之上部區中去除第一層(177)；由溝渠(108)之上部區局部性地氧化以形成上述之隔離領(168'；168")；由溝渠(108)之下部區中去除第一和第二層(177；178)；在溝渠(108)之下部區中及隔離領(168'；168")之內側上形成介電層(164)；以導電性第二填料(161)填入溝渠(108)中。

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

四、~~英~~文發明摘要 (發明之名稱: Production-method for a trench-capacitor with an isolation-collar)

This invention relates to a method to produce a trench-capacitor, especially to be applied in a semiconductor memory-cell (100), with an isolation-collar (168'; 168'') and with the steps: To prepare a substrate (101); to form a trench (108) in the substrate (101); to provide a first layer (177) on the trench-wall; to provide a second layer (178) on the first layer (177) on the trench-wall; to fill the trench (108) with a first fill-material (152); to remove the first fill-material (152) from the upper region of the trench (108) so as to define a collar-region; to remove the second layer (178) from the upper region of the trench (108); to remove the first fill-material (152) from the lower region of the trench (108); to remove the first layer (177) from the upper region of the trench (108); local oxidation of the upper region of the trench (108) to form the isolation-collar (168'; 168''); to remove the first and the second layer (177; 178) from the lower region of the trench; to form a dielectric layer (164) in the lower region of the trench (108) and on the inner side of the isolation-collar (168'; 168''); to fill the trench (108) with a conductive second fill-material (161).

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

良

修正
補充
90年2月7日

六、申請專利範圍

第 88116011 號「具有隔離領之溝渠式電容器之製造方法」
專利案 (90 年 2 月修正)

六申請專利範圍：

1. 一種溝渠式電容器之製造方法，特別是可應用在半導體
- 記憶胞(100)中，此種電容器具有一種隔離領(168'
168")，其特徵為以下各步驟：

製備一種基板(101)；

在基板(101)中形成溝渠(108)；

在溝渠側壁上設置第一層(177)；

在溝渠側壁上之第一層(177)上設置第二層(178)；

以第一填料(152)填入溝渠(108)中；

由溝渠(108)之上部區中去除第一填料(152)以界定一
種領區域；

由溝渠(108)之上部區中去除第二層(178)；

由溝渠(108)之下部區中去除第一填料(152)；

由溝渠(108)之上部區中去除第一層(177)；

由溝渠(108)之上部區局部性地氧化以形成上述之隔
離領(168'；168")；

由溝渠(108)之下部區中去除第一和第二層(177；
178)；

在溝渠(108)之下部區中及隔離領(168'；168")之內側
上形成介電層(164)；

以導電性第二填料(161)填入溝渠(108)中。

2. 如申請專利範圍第 1 項之方法，其中在溝渠(108)之下

六、申請專利範圍

- 部區之周圍中在基板(101)中形成一種埋入板(165)。
3. 如申請專利範圍第 2 項之方法，其中以自我對準隔離之方式形成上述之埋入板(165)。
 4. 如申請專利範圍第 3 項之方法，其中藉由第一層(177)之往外擴散而形成上述之埋入板(165)。
 5. 如申請專利範圍第 4 項之方法，其中藉由第一層(177)之往外擴散而形成上述之埋入板(165)，同時使此領(168'；168")氧化及/或變密。
 6. 如申請專利範圍第 3 項之方法，其中在一各別之步驟中藉由氣相摻雜，PLAD，PⅢ，或離子植入而形成上述之埋入板(165)。
 7. 如申請專利範圍第 1 至 6 項中任一項之方法，其中使溝渠(108)之上部區局部地被氧化以便藉由選擇性局部之 SELOX 氧化作用而形成上述之隔離領(168'；168")。
 8. 如申請專利範圍第 1 至 6 項中任一項之方法，其中使溝渠(108)之上部區局部地被氧化以便藉由熱 LOCOS 氧化作用而形成上述之隔離領(168'；168")。
 9. 如申請專利範圍第 1 項之方法，其中使用多晶矽或光阻作為第一填料(152)。
 10. 如申請專利範圍第 1 至 6 項中任一項之方法，其中使溝渠(108)之下部區相對於溝渠(108)之上部區而擴大以便形成一種平面形式。
 11. 如申請專利範圍第 7 項之方法，其中使溝渠(108)之下部區相對於溝渠(108)之上部區而擴大以便形成一種平

六、申請專利範圍

面形式。

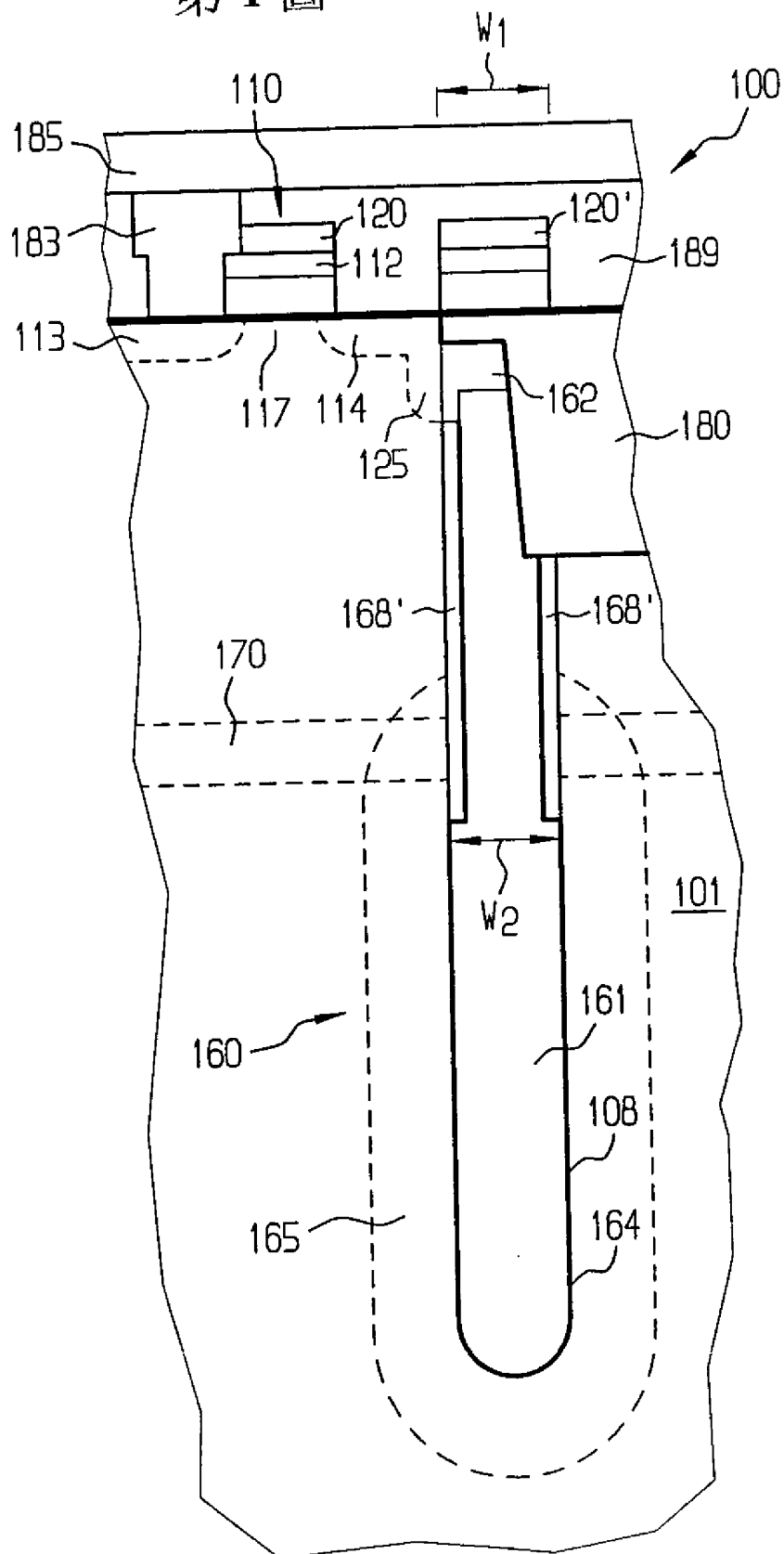
12. 如申請專利範圍第 8 項之方法，其中使溝渠(108)之下部區相對於溝渠(108)之上部區而擴大以便形成一種平面形式。
13. 如申請專利範圍第 1 項之方法，其中使用含氮之層作為第二層(178)。
14. 如申請專利範圍第 1 至 6 項中任一項之方法，其中在基板(101)之上側設置一種較佳是含氮之層(105)以便界定溝渠口。

(請先閱讀背面之注意事項再填寫本頁)

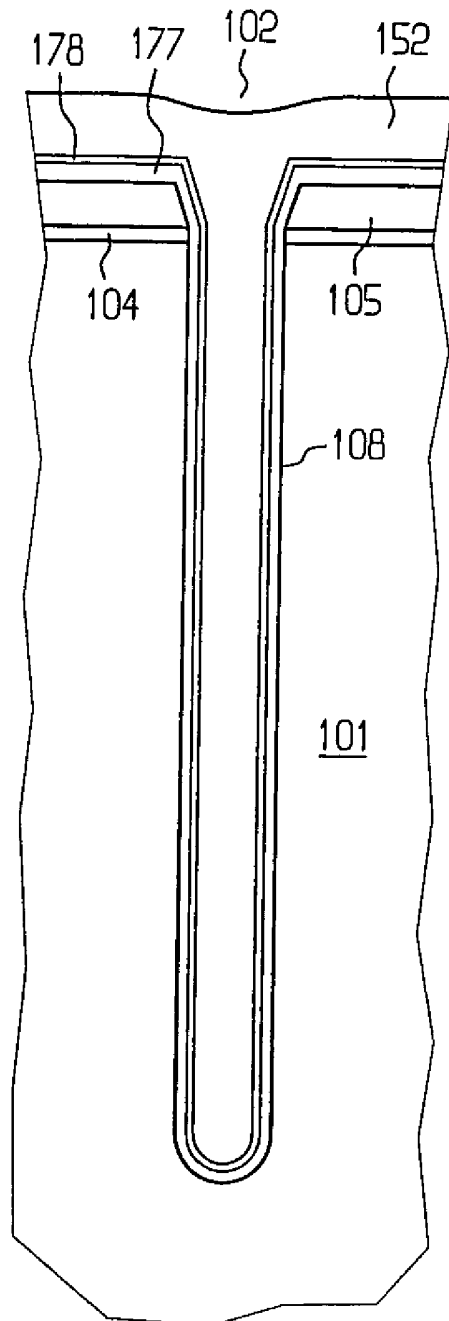
訂線

1/20

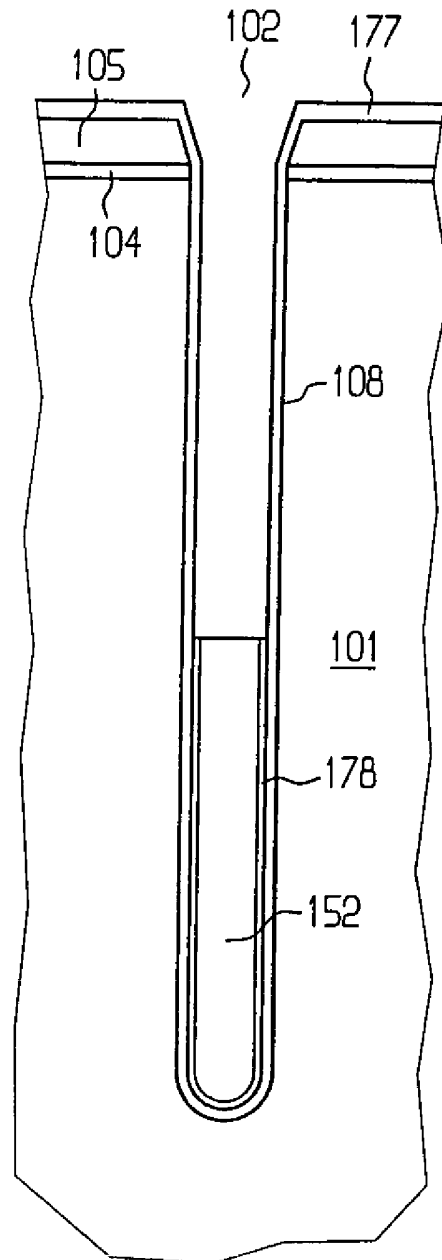
第 1 圖



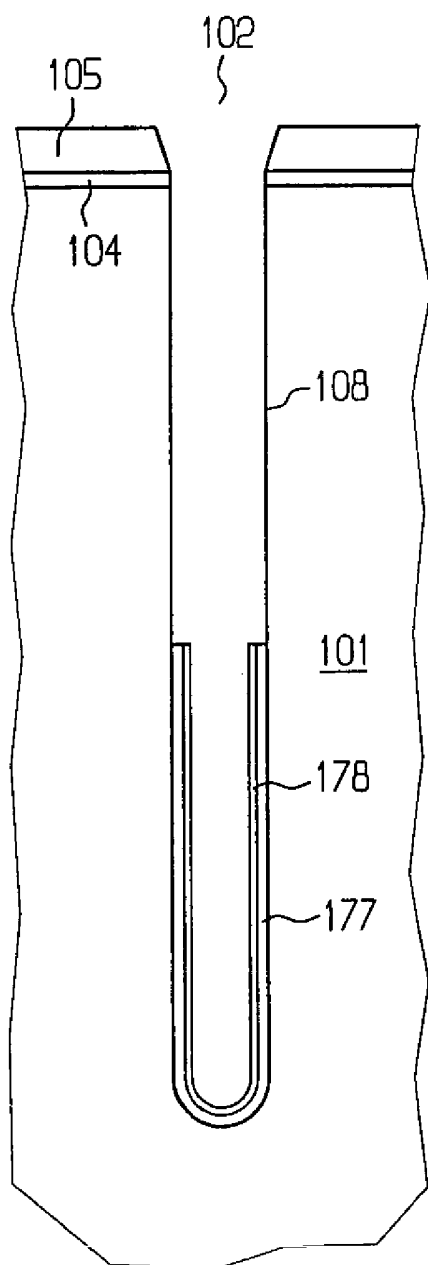
第 2a 圖



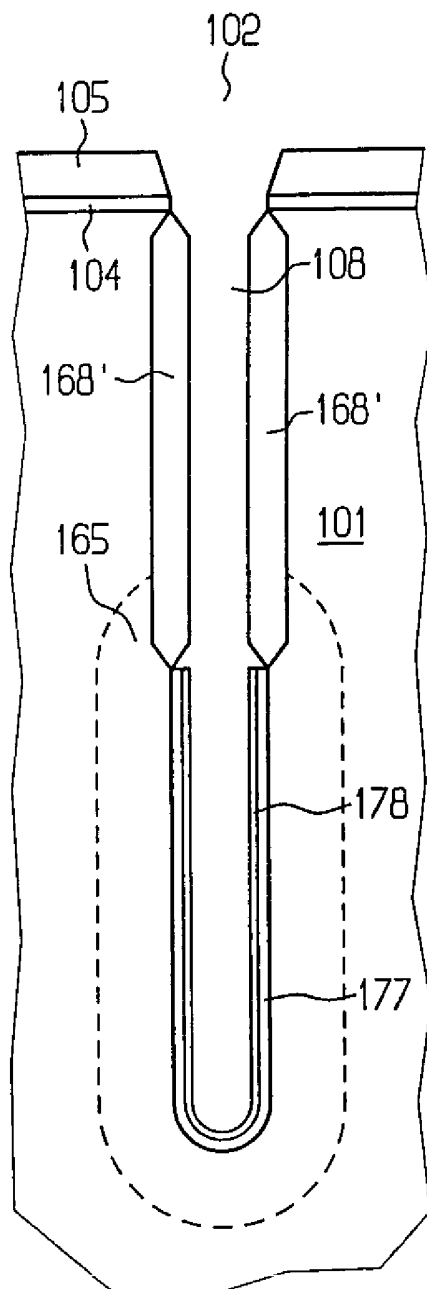
第 2b 圖



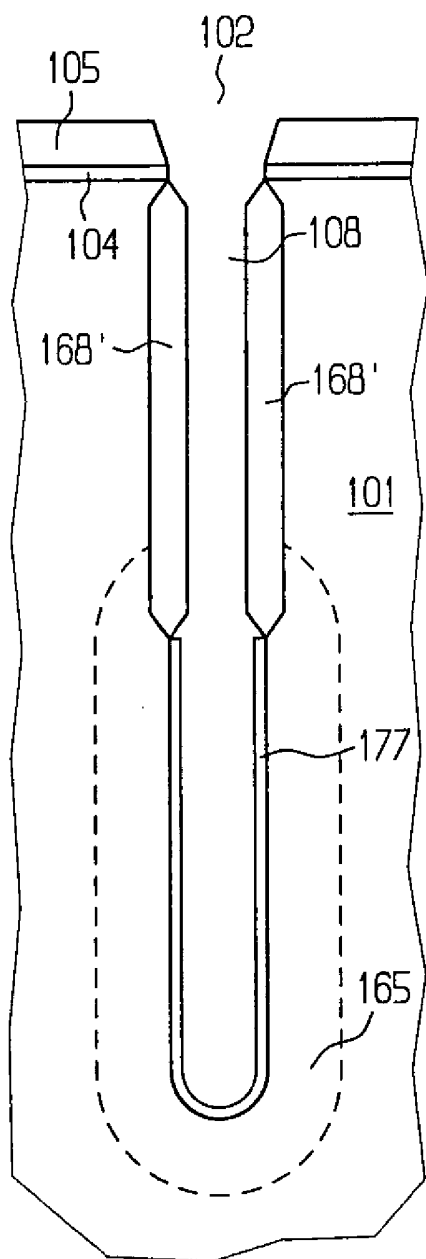
第 2c 圖



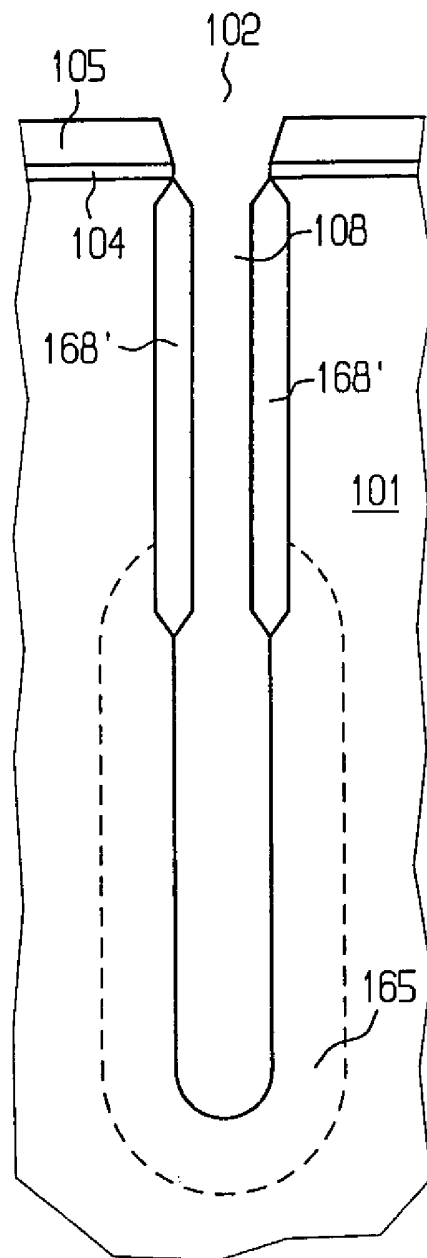
第 2d 圖



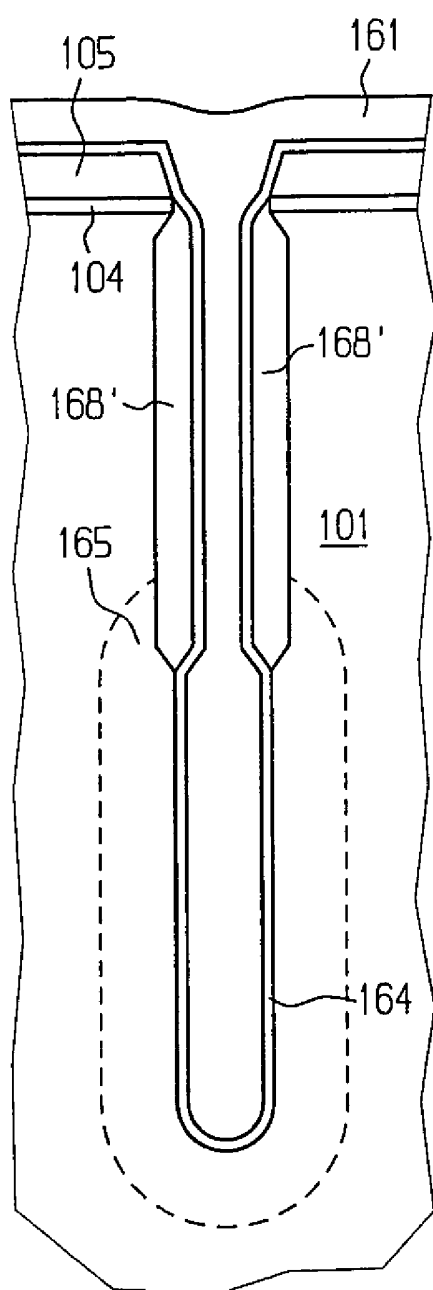
第 2e 圖



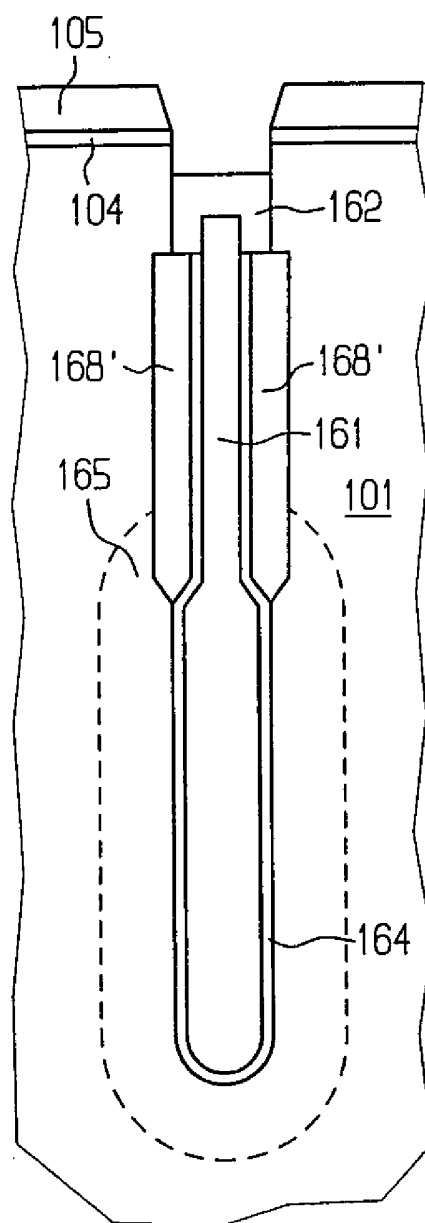
第 2f 圖



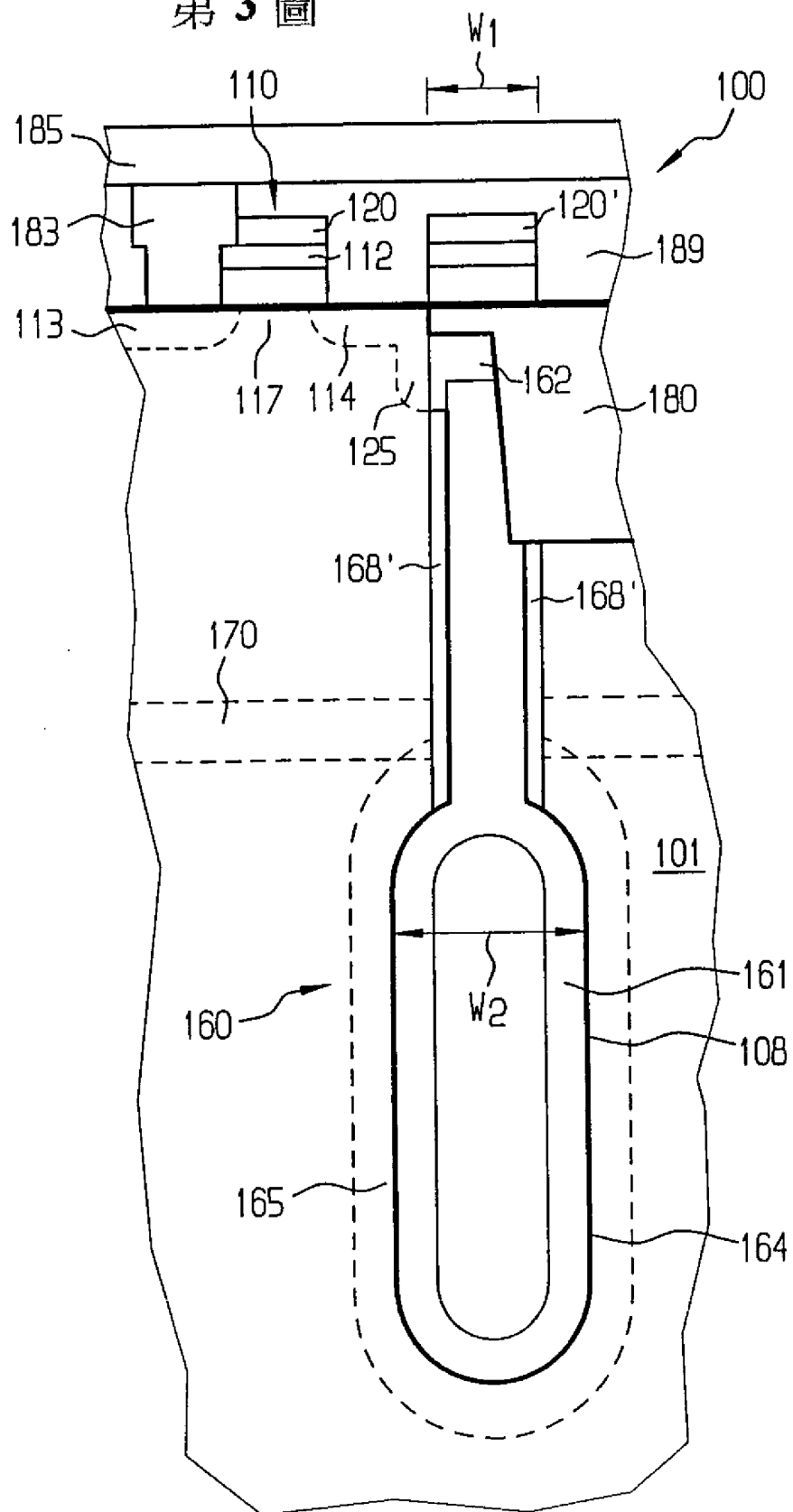
第 2g 圖



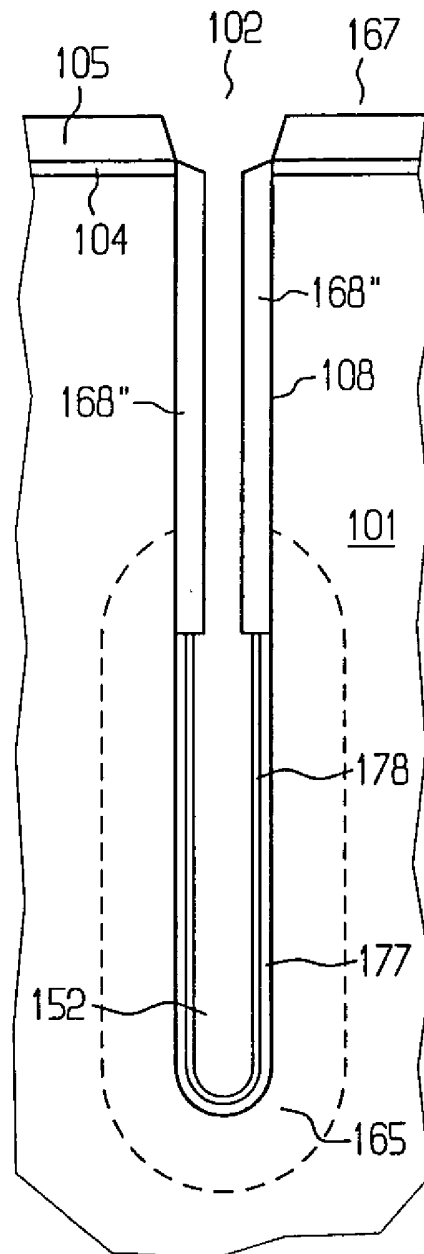
第 2h 圖



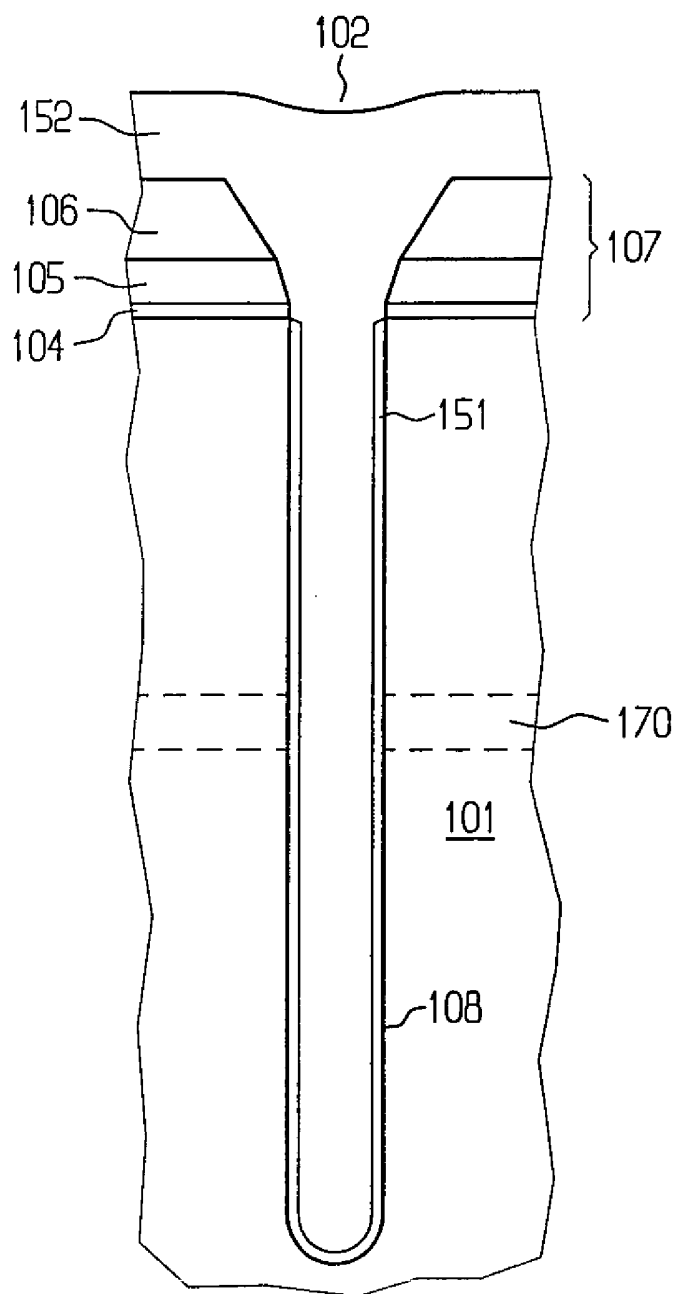
第 3 圖



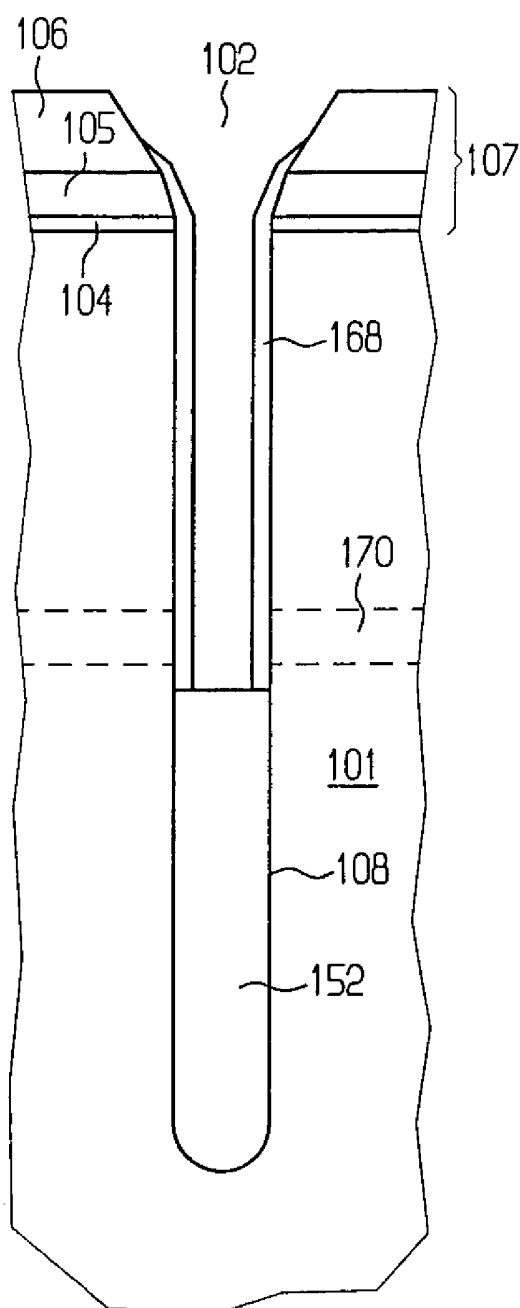
第 4 圖



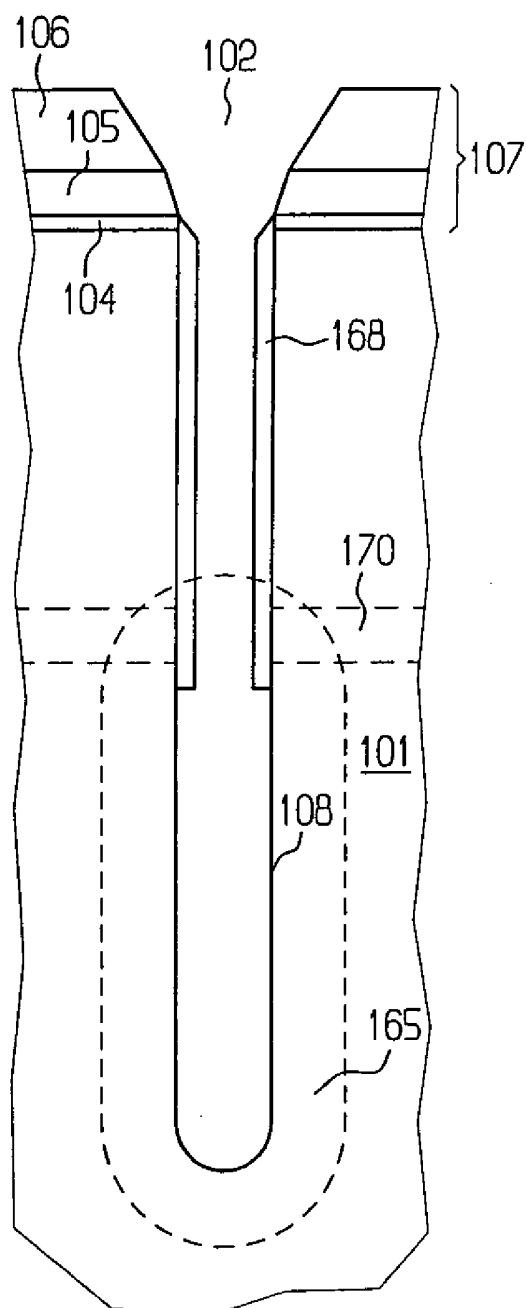
第 6a 圖



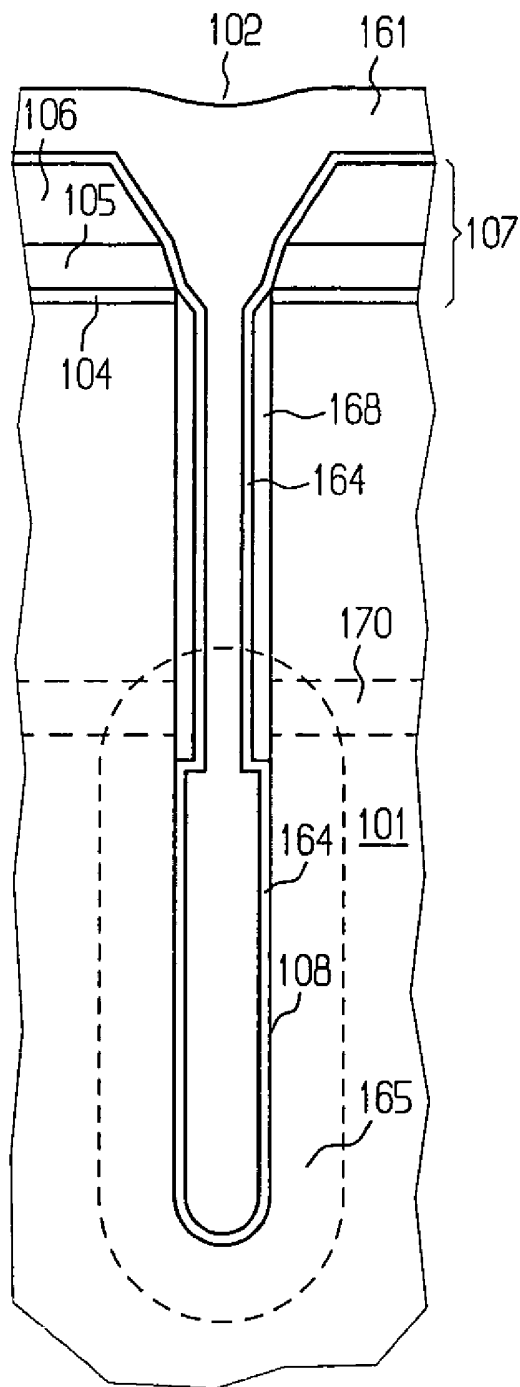
第 6b 圖



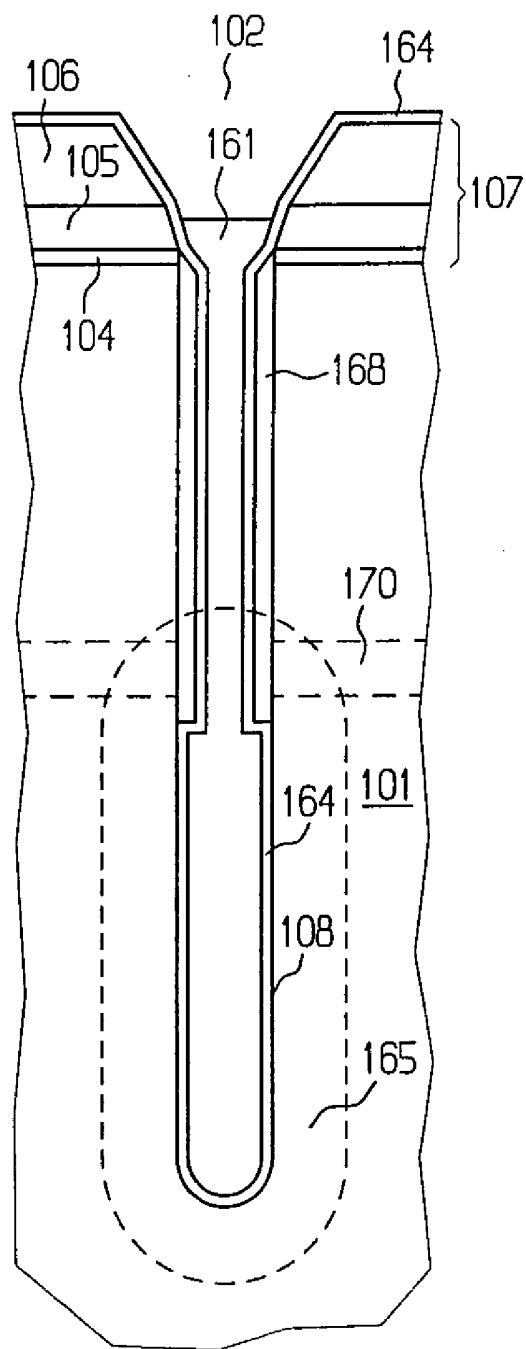
第 6c 圖



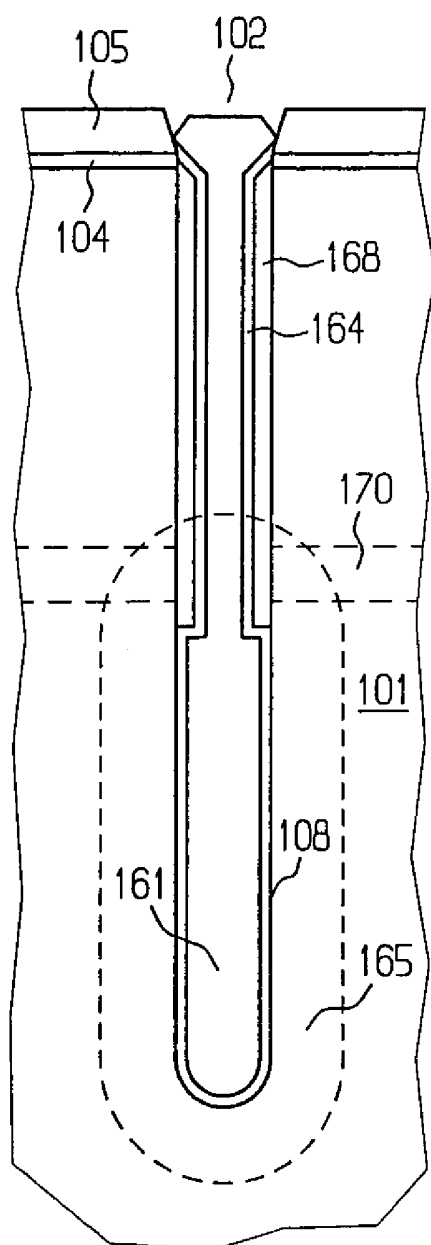
第 6d 圖



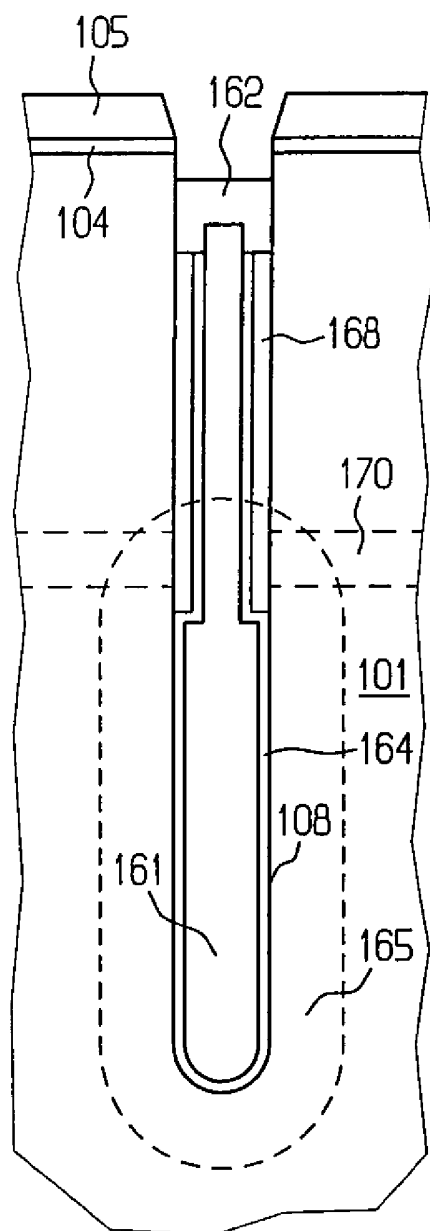
第 6e 圖



第 6f 圖

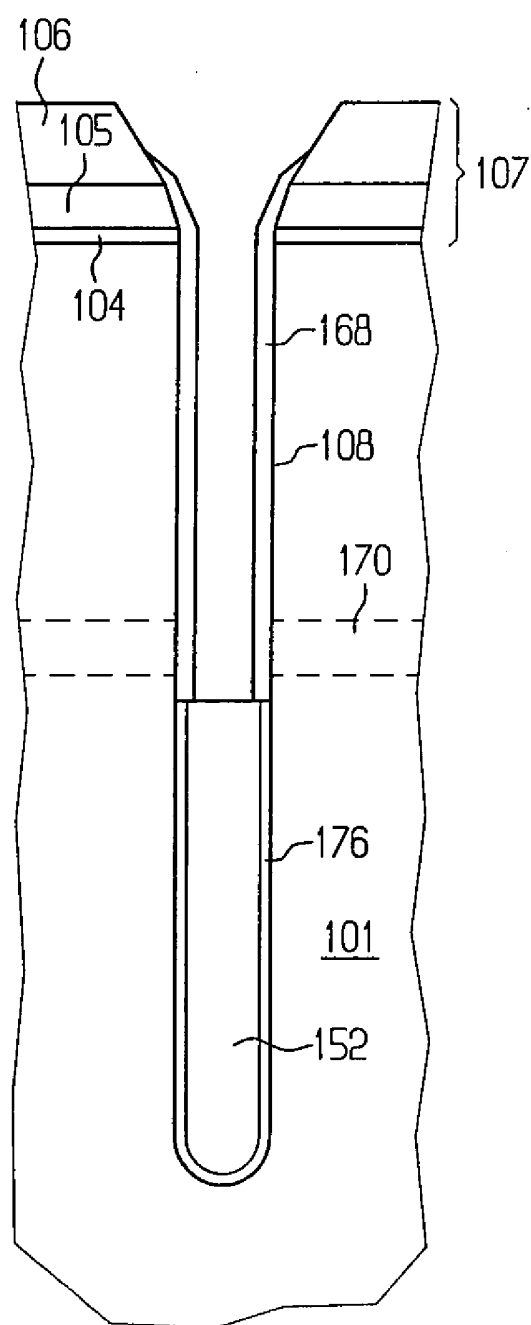
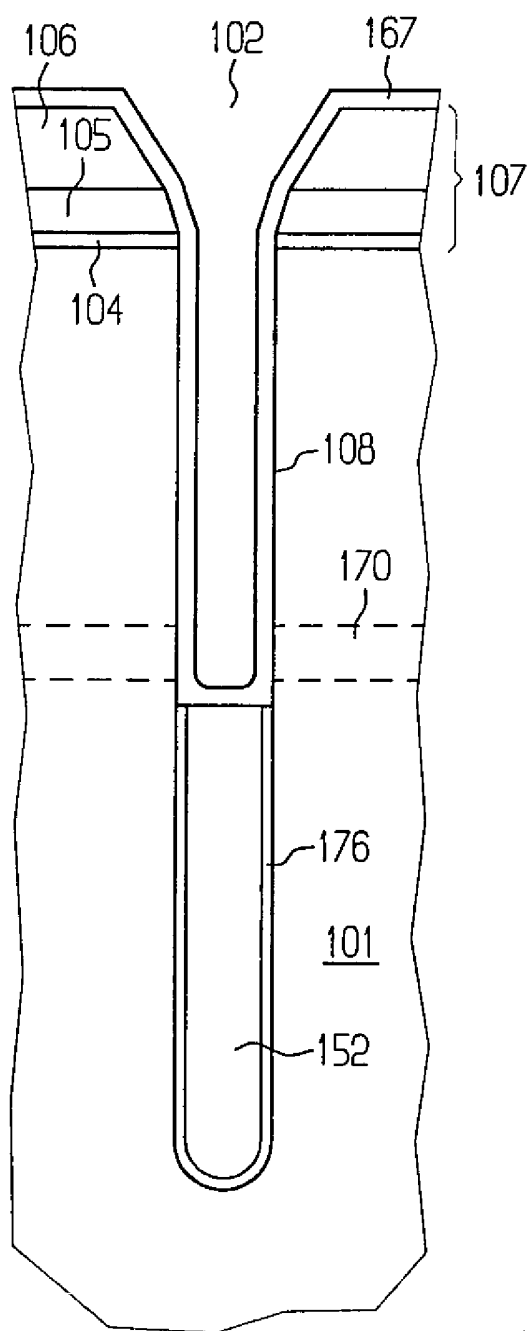


第 6g 圖

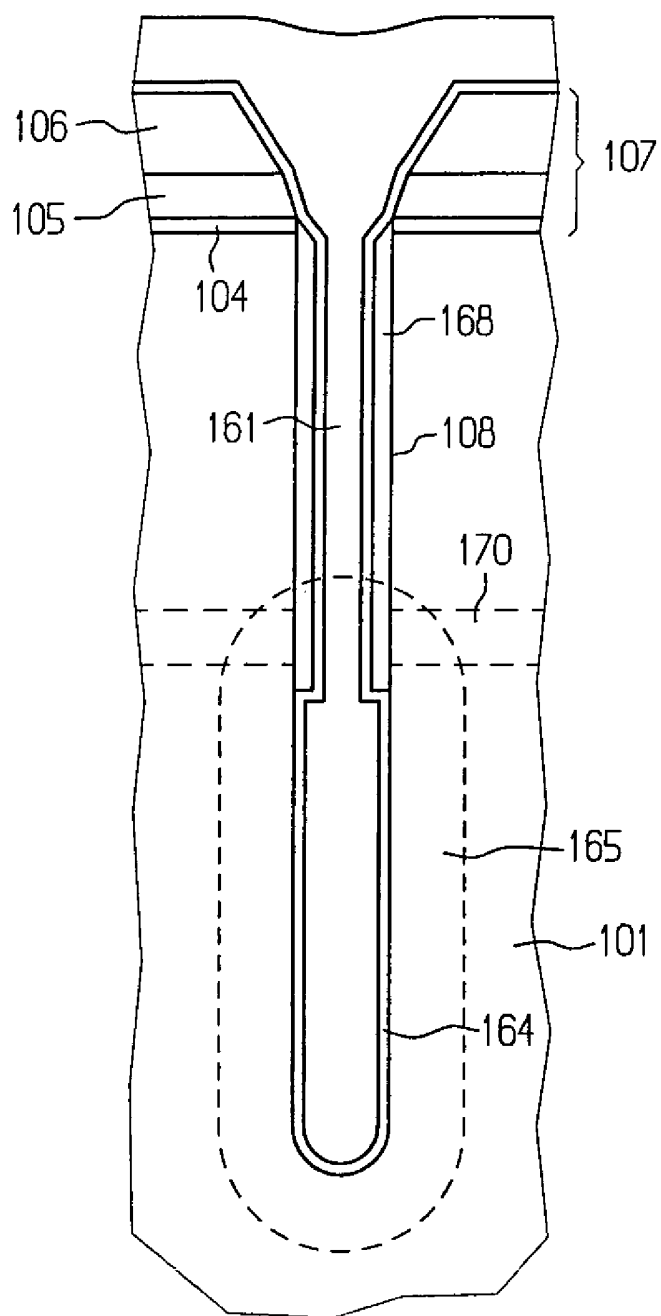


第 8a 圖

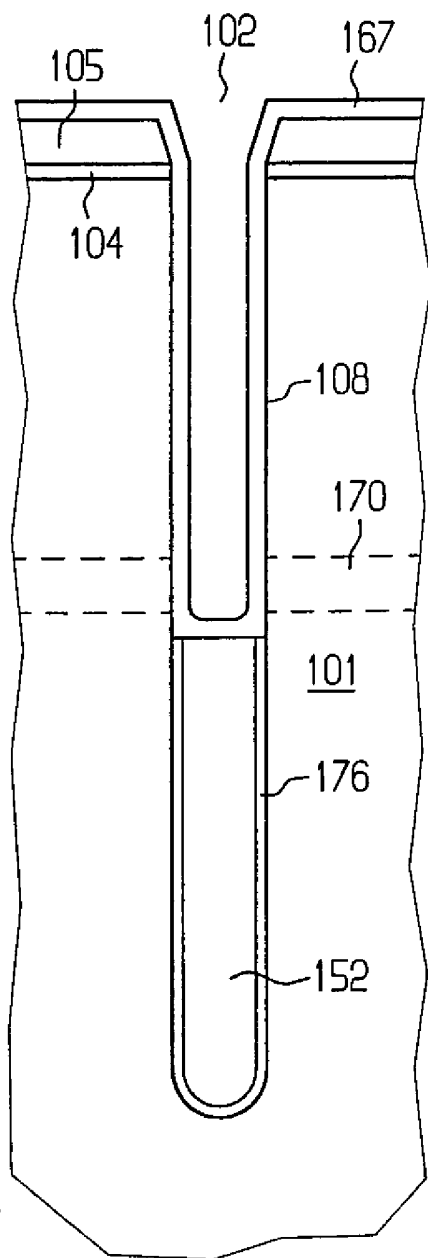
第 8b 圖



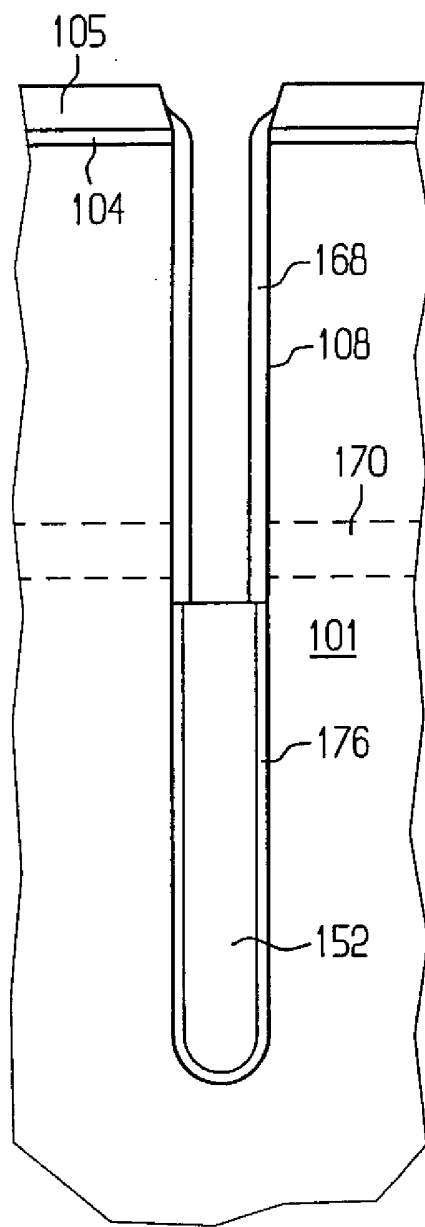
第 8c 圖



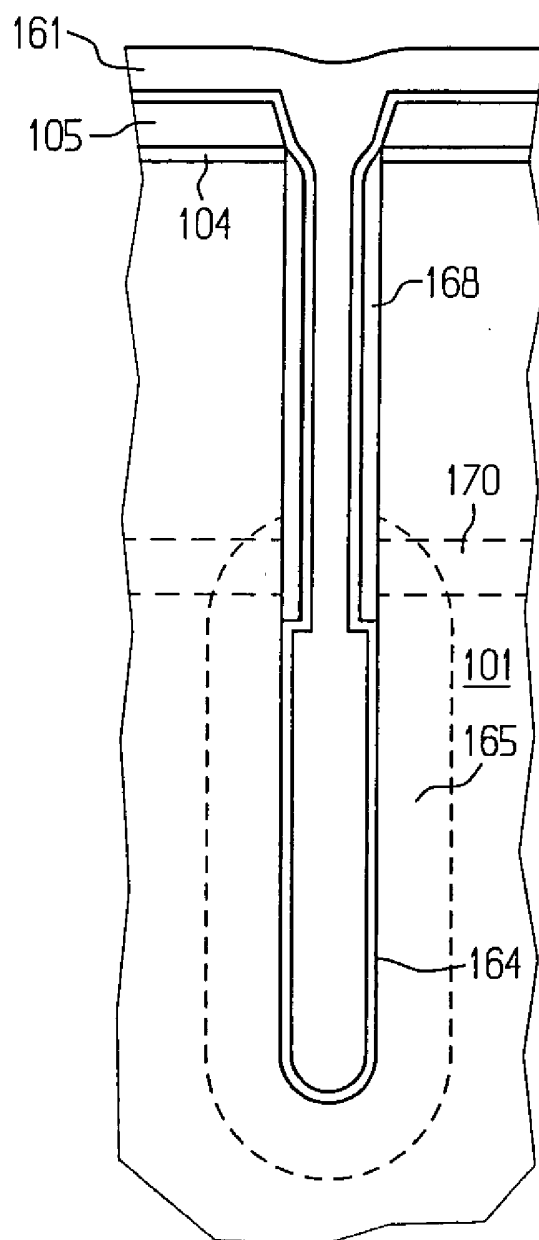
第 9a 圖



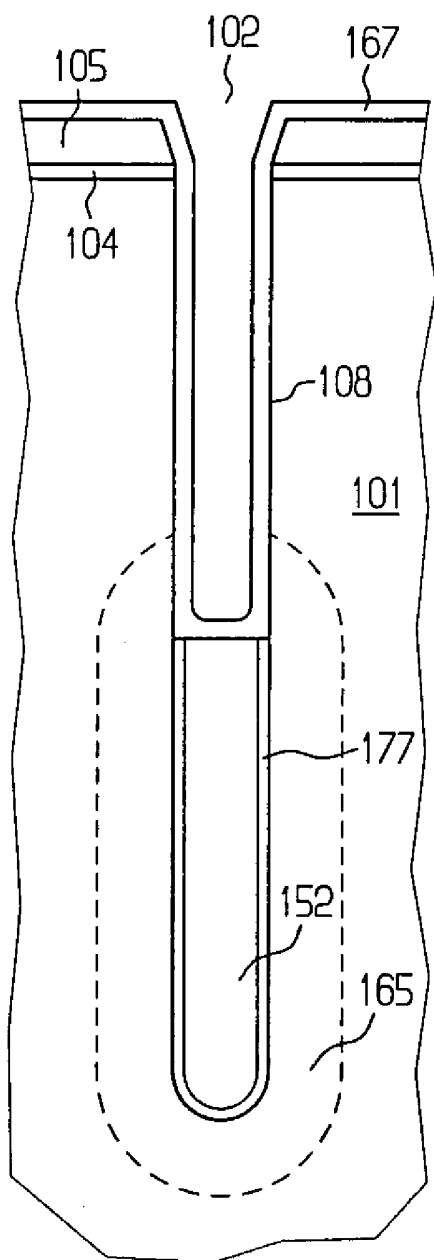
第 9b 圖



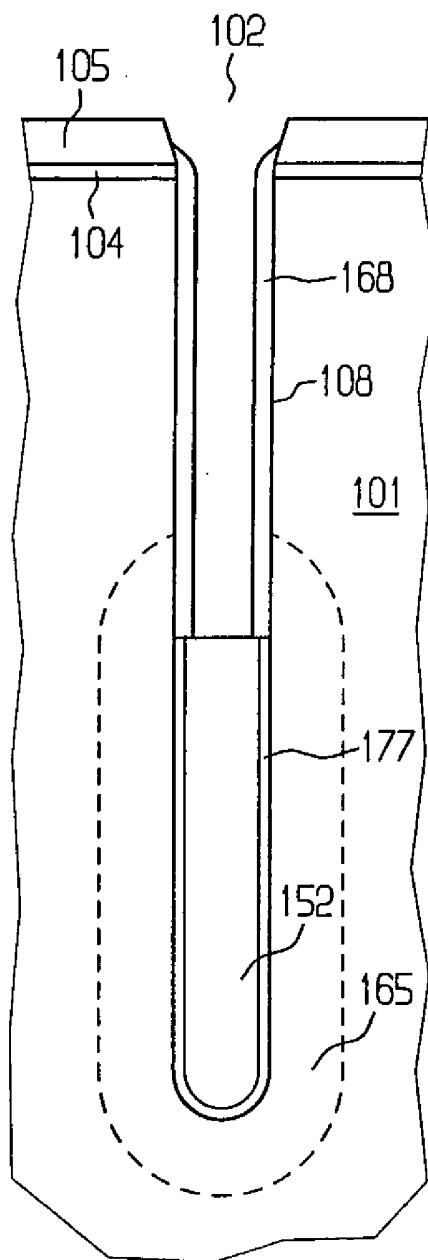
第 9c 圖



第 10c 圖



第 10d 圖



修正
補充
90年2月7日

六、申請專利範圍

第 88116011 號「具有隔離領之溝渠式電容器之製造方法」
專利案 (90 年 2 月修正)

六申請專利範圍：

1. 一種溝渠式電容器之製造方法，特別是可應用在半導體
- 記憶胞(100)中，此種電容器具有一種隔離領(168'
168")，其特徵為以下各步驟：

製備一種基板(101)；

在基板(101)中形成溝渠(108)；

在溝渠側壁上設置第一層(177)；

在溝渠側壁上之第一層(177)上設置第二層(178)；

以第一填料(152)填入溝渠(108)中；

由溝渠(108)之上部區中去除第一填料(152)以界定一
種領區域；

由溝渠(108)之上部區中去除第二層(178)；

由溝渠(108)之下部區中去除第一填料(152)；

由溝渠(108)之上部區中去除第一層(177)；

由溝渠(108)之上部區局部性地氧化以形成上述之隔
離領(168'；168")；

由溝渠(108)之下部區中去除第一和第二層(177；
178)；

在溝渠(108)之下部區中及隔離領(168'；168")之內側
上形成介電層(164)；

以導電性第二填料(161)填入溝渠(108)中。

2. 如申請專利範圍第 1 項之方法，其中在溝渠(108)之下