

(19) 世界知的所有権機関  
国際事務局(43) 国際公開日  
2006年3月23日 (23.03.2006)

PCT

(10) 国際公開番号  
WO 2006/030666 A1

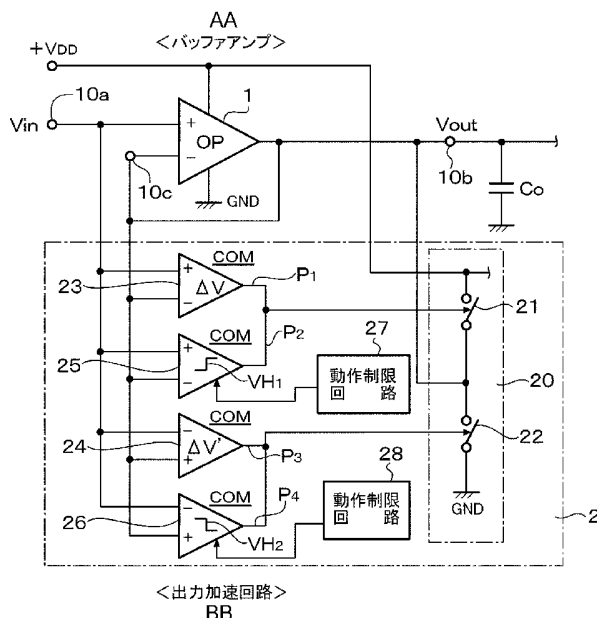
- (51) 国際特許分類:  
H03F 1/56 (2006.01) H03K 19/0175 (2006.01)  
H03F 3/50 (2006.01)
- (21) 国際出願番号: PCT/JP2005/016307
- (22) 国際出願日: 2005年9月6日 (06.09.2005)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:  
特願2004-264852 2004年9月13日 (13.09.2004) JP
- (71) 出願人 (米国を除く全ての指定国について): ローム株式会社 (ROHM CO., LTD) [JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町2-1番地 Kyoto (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 井ノ口 普之 (INOKUCHI, Hiroyuki) [JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町2-1番地 ローム株式会社内 Kyoto (JP).
- (74) 代理人: 梶山 信是, 外 (KAJIYAMA, Tsuyoshi et al.); 〒1600023 東京都新宿区西新宿8-8-1 5-201 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU,

[続葉有]

(54) Title: BUFFER AMPLIFIER, DRIVER IC, AND DISPLAY APPARATUS USING THAT DRIVER IC

(54) 発明の名称: バッファアンプ、ドライバICおよびこのドライバICを用いる表示装置

10&lt;バッファ回路&gt;



10..<BUFFER CIRCUIT>  
AA.. <BUFFER AMPLIFIER>  
27.. OPERATION LIMITING CIRCUIT  
28.. OPERATION LIMITING CIRCUIT  
BB.. <OUTPUT ACCELERATING CIRCUIT>

(57) Abstract: [PROBLEMS] To provide a buffer circuit that is driven by a low voltage and performs a high speed operation. [MEANS FOR SOLVING PROBLEMS] A buffer circuit comprises a first comparator in which a MOS transistor having one of P and N channels between the input and output terminals of a buffer amplifier constitutes a comparing part in which a predetermined offset voltage is established for the comparison operation of this comparing part; and a switch circuit that is switched ON/OFF in response to an output signal from the first comparator. The buffer circuit flows a current from a power supply line through the switch circuit to the output terminal, thereby accelerating the rise of the output voltage of the buffer amplifier. The buffer circuit further comprises a second comparator in which a MOS transistor having the other of P and N channels constitutes a comparing part; and an operation limiting circuit that limits the comparison operation of the second comparator into a range of the dead band of the transistor constituting the comparing part of the first comparator. The switch circuit is switched ON/OFF in response to the output signal of the first comparator and that of the second comparator.

(57) 要約: 【課題】 低電圧駆動で高速動作をするバッファ回路を提供することにある。【解決手段】 この発明は、バッファアンプの入力端子と出力端子との間にPチャネルあるいはNチャネルのいずれか一方のMOSトランジスタで比較部が構成されこの比較部の比較動作に所

定のオフセット電圧が設定された第1のコンパレータとこの第1のコンパレータの出力信号に応じてON/OFFするスイッチ回路とを

[続葉有]



SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT,  
TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML,  
MR, NE, SN, TD, TG).

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, NL, PL, PT, RO, SE, SI, SK, TR),

添付公開書類:

— 国際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

有し、電源ラインから出力端子にスイッチ回路を介して電流を流すことでバッファアンプの出力電圧の立上がりを加速するバッファ回路において、PチャネルあるいはNチャネルのいずれか他方のMOSトランジスタで比較部が構成された第2のコンパレータと、第2のコンパレータの比較動作を第1のコンパレータの比較部を構成するトランジスタの不感帯の範囲に制限する動作制限回路とを備えていて、スイッチ回路が第1のコンパレータの出力信号および第2のコンパレータの出力信号に応じてON/OFFされるものである。

## 明 細 書

バッファアンプ、ドライバICおよびこのドライバICを用いる表示装置

技術分野

- [0001] この発明は、バッファアンプ、ドライバICおよびこのドライバICを用いる表示装置に関し、詳しくは、表示装置用の低電圧駆動で高速動作をする電圧出力アンプの改良に関する。

背景技術

- [0002] 液晶表示装置や有機EL表示装置等のICドライバ、すなわち、電圧出力アンプは、大容量、低消費電力、高速出力応答が要求される。そのため、出力電圧は、グランド電位から電源電位付近までのダイナミックレンジが必要になる。

出願人は、CMOSのバッファアンプ(ボルテージフォロア)の出力側において出力側と電源ラインとの間、そして出力側とグランドラインとの間にそれぞれスイッチ回路を設け、さらにバッファアンプの入力電圧と出力電圧とを比較するコンパレータを2つ設けた出力加速回路(エンハンサー回路)を有するバッファ回路を発明として出願している(特許文献1)。このバッファ回路は、バッファアンプの立上がり、立下がり時の出力電流の多くを出力加速回路から供給することで出力電圧信号のスルーレートを向上させるものである。

このバッファ回路は、各コンパレータの比較動作にオフセットが与えられ、バッファアンプへの入力電圧が出力電圧に対して所定のオフセット電圧を越える一定の範囲にあるときには、コンパレータでそれを検出して、入力信号が立上がるときには電源側に接続されたスイッチ回路をONにして出力信号を急速に立上げ、入力信号が立下がるときにはグランド側に接続されたスイッチ回路をONにして出力電圧信号を急速に立下げ、出力電圧が入力電圧に対してオフセット電圧の範囲に入ったときにそれぞれにスイッチ回路をOFFにしてバッファアンプの出力のみとして入力電圧に対応する出力電圧をバッファアンプから出力するものである。

なお、前記のコンパレータの比較動作に対して与えられる前記のオフセット電圧は、コンパレータを構成する一対のMOSTランジスタの閾値を利用することで形成され

ている。

特許文献1:特開2004-140487号公報

- [0003] 前記の特開2004-140487号の電源側とグランド側とにそれぞれ接続される2つのスイッチ回路は、それぞれコンパレータによりON/OFFが制御される。この場合、コンパレータの1つは、立上がり側に対応してNチャネルMOSトランジスタの差動対で構成される電流切換回路とされ、他の1つは、立下がり側に対応してPチャネルMOSトランジスタの差動対で構成される電流切換回路とされる。そのため、それぞれのコンパレータは、NチャネルあるいはPチャネルのトランジスタの動作閾値で決定される0.8V程度の不感帯(ソースーゲート間電圧)を持つ。

発明の開示

発明が解決しようとする課題

- [0004] MOSトランジスタは、通常、閾値以下の入力信号に対して動作はしない、入力信号に対する不感帯がある。したがって、立上がり信号に対してNチャネルMOSトランジスタの差動対を比較部に有するコンパレータは、入力信号が不感帯を越えたところから動作を開始する。また、立下がり信号に対してPチャネルMOSトランジスタの差動対のコンパレータは、不感帯が電源電圧側となるので入力信号が電源電圧を基準としてこれから不感帯以下の電圧まで低下したところから動作を開始する。

一方、コンパレータの比較動作に対して与えられる前記のオフセット電圧は、バッファアンプの入力電圧の、出力電圧に対する差電圧である。そこで、コンパレータの差動対トランジスタの動作閾値以上での差電圧として与えられるために、依然として差動対トランジスタの動作開始時点での不感帯は比較動作上において残ってしまう。

バッファアンプ、特に、低電圧駆動のバッファアンプにおいては、グランド電位から電源電位までのレール・ツー・レールで動作させることが必要になるが、この場合の出力加速回路(そのコンパレータ)の持つ0.8V程度の不感帯領域は、バッファアンプのみの動作となってしまう、スルーレートが落ちる欠点がある。この種のバッファアンプを液晶表示装置や有機EL表示装置等のICドライバとして使用した場合にスルーレートの落ち込みは、水平方向の駆動周波数に影響を与えて高解像度化の障害になる。

特に、アクティブマトリックス型の有機EL表示装置の 픽셀回路のコンデンサの駆動電圧(書込み電圧)を発生するドライバにおいては、出力信号の立上がりまでの時間が $10\mu\text{sec}$ 以下の動作速度で駆動電圧を4.0V程度の電圧に設定することが要求されるので問題である。

この発明の目的は、このような従来技術の問題点を解決するものであって、低電圧駆動で高速動作をするバッファ回路を提供することにある。

また、この発明の他の目的は、基準電位ライン(例えばグラウンド)から電源電位付近までダイナミックレンジの大きい出力電圧を発生することが可能な低電圧駆動のバッファ回路を有するドライバICを提供することにある。

さらに、この発明の他の目的は、低消費電力で高速表示が可能な表示装置を提供することにある。

#### 課題を解決するための手段

[0005] このような目的を達成するための第1の発明のバッファアンプ、ドライバICあるいはこのドライバICを用いる表示装置の特徴は、バッファアンプの入力端子と出力端子との間に設けられPチャネルあるいはNチャネルのいずれか一方のMOSTランジスタで前記バッファアンプの入力電圧と出力電圧とを比較する比較部が構成されこの比較部の比較動作に所定のオフセット電圧が設定されこのオフセット電圧を超えたところで出力信号を発生する第1のコンパレータと、この第1のコンパレータの前記出力信号に応じてON/OFFするスイッチ回路とを有し、このスイッチのONあるいはOFFに応じて電源ラインから前記出力端子にあるいは前記出力端子から基準電位ラインへ電流を流すことで前記バッファアンプの出力電圧の立上がりあるいは出力電圧の立下りを加速するバッファ回路において、

PチャネルあるいはNチャネルのいずれか他方のMOSTランジスタで前記入力電圧と前記出力電圧とを比較する比較部が構成された第2のコンパレータと、第1のコンパレータの比較部を構成する前記いずれか一方のMOSTランジスタの不感帯の範囲に第2のコンパレータの比較動作を制限するための動作制限回路とを備えていて、スイッチ回路が第1のコンパレータの前記出力信号および第2のコンパレータの出力信号に応じてONあるいはOFFされるものである。

[0006] また、第2の発明は、バッファアンプの入力端子と出力端子との間に設けられPチャネルあるいはNチャネルのいずれか一方のMOSTランジスタで前記バッファアンプの入力電圧と出力電圧とを比較する比較部が構成されこの比較部の比較動作に第1のオフセット電圧が設定されこの第1のオフセット電圧を超えたところで比較動作をする第1のコンパレータと、PチャネルあるいはNチャネルのいずれか他方のMOSTランジスタで前記入力電圧と前記出力電圧とを比較する比較部が構成されこの比較部の比較動作に第2のオフセット電圧が設定されこの第2のオフセット電圧を超えたところで比較動作をする第2のコンパレータと前記第1のコンパレータの出力信号に応じてON/OFFする第1のスイッチ回路と前記第2のコンパレータの出力信号に応じてON/OFFする第2のスイッチ回路とを有し、前記第1のスイッチのONあるいはOFFに応じて電源ラインから前記出力端子に電流を流すことで前記バッファアンプの出力電圧の立上がりを加速し、前記第2のスイッチのONあるいはOFFに応じて前記出力端子から基準電位ラインへ電流をシンクすることで前記バッファアンプの出力電圧の立下りを加速するバッファ回路において、

前記PチャネルあるいはNチャネルのいずれか他方のMOSTランジスタで前記バッファアンプの入力電圧と出力電圧とを比較する比較部が構成された第3のコンパレータと、前記PチャネルあるいはNチャネルのいずれか一方のMOSTランジスタで前記バッファアンプの入力電圧と出力電圧とを比較する比較部が構成された第4のコンパレータと、前記第1のコンパレータの前記比較部を構成する前記ランジスタの不感帯の範囲に前記第3のコンパレータの比較動作を制限するための第1の動作制限回路と、前記第4のコンパレータの比較動作を前記第2のコンパレータの前記比較部を構成する前記ランジスタの不感帯の範囲に制限するための第2の動作制限回路とを備えていて、

前記第1のスイッチ回路が前記第1のコンパレータの前記出力信号および前記第3のコンパレータの出力信号に応じてONあるいはOFFされ、前記第2のスイッチ回路が前記第2のコンパレータの前記出力信号および前記第4のコンパレータの出力信号に応じてONあるいはOFFされるものである。

発明の効果

[0007] スルーレートを向上させるためには、出力加速回路のコンパレータに設定される所定のオフセット電圧は、できるだけ低い電圧値が好ましい。所定のオフセット電圧は、バッファアンプの出力電流値にも依存するが、有機EL表示装置のような駆動回路に使用されるバッファ回路では、 $\mu$  Aオーダーのバッファアンプの出力電流に対して少なくとも比較部を構成するトランジスタの不感帯以下の電圧値となり、その電圧は、0.1Vか、それ以下に設定される必要がある。しかも、比較動作の開始は、不感帯以上のところからになる。

一方、スイッチ回路をONさせて電源ラインから電流を供給する出力加速回路は、急速に電流を出力端子に供給するため、オーバーシュートが発生し易い。そのため、バッファアンプの入力電圧と出力電圧との比較を開始するための所定のオフセット電圧を低くするのには限界がある。そこで、スルーレートを向上させにくい。

そこで、この発明にあつては、第1のコンパレータは、オーバーシュートを抑える限界近くのオフセット電圧として、例えば、0.1V程度に抑えて不感帯領域以上で動作するようにする。さらに、第1のコンパレータの比較部を構成するMOSTランジスタとは異なるPチャネルあるいはNチャネルの第2のコンパレータを設けて、この第2のコンパレータの比較動作を第1のコンパレータの不感帯領域で動作するように制限する。第2のコンパレータの動作範囲を不感帯領域に制限することで、所定のオフセット電圧を持って比較動作をする第1のコンパレータに対してオフセット電圧の設定が実質的にされない第2のコンパレータが影響しないようにする。これにより、オーバーシュートを抑える限界近くまで第1のコンパレータの所定のオフセット電圧を低くすることが可能となり、第1のコンパレータの不感帯においては第1のコンパレータの動作に影響を与えずに第2のコンパレータが動作するのでスルーレートを向上させることができる。

[0008] ところで、出力加速回路を立上り信号と立下がり信号に対応してそれぞれに動作させる場合には、それぞれにコンパレータが必要になる。この場合、NチャネルMOSTランジスタとPチャネルMOSTランジスタの比較部を持つコンパレータ(出力加速回路側)に並列にPチャネルMOSTランジスタとNチャネルMOSTランジスタの比較部を持つコンパレータを設けることにより一方の不感帯領域で他方のトランジスタを動作

させてそれぞれの比較動作に対して不感帯をなくすことが考えられる。

しかし、NチャネルMOSトランジスタとPチャネルMOSトランジスタのコンパレータ(出力加速回路側)に並列に設けた不感帯で動作する他方のコンパレータがオフセット電圧を持つコンパレータと同じタイプのトランジスタで構成されることになる。そのため、同じタイプのトランジスタが入力電圧信号の立ち上がり、立ち下がりほとんどの期間においてそれぞれ平行駆動されることになる。たとえ、コンパレータに所定のオフセット電圧を持たせたとしても、負荷電流が大きくなると、立上がり信号、立下がり信号におけるオーバシートを抑えきれなくなって、リングングに発展して、このようなものは、実際には使い物にならない回路になってしまうことが分かった。

しかし、前記のような動作制限回路を設ければ、立上がり側と立下がり側の双方に不感帯で動作しかつオフセット電圧の設定が実質的にされないコンパレータの動作範囲が不感帯領域付近に制限されるので、立上がり信号の後半あるいは立下がり信号の後半には同じタイプのトランジスタで構成されるコンパレータの平行駆動はなくなり、たとえ比較検出動作にばらつきがあってもリングングを防止できる。

その結果、この発明は、例えば、バッファアンプがグランド電位から電源電位までのレール・ツー・レールで動作するものであっても高いスルーレートで動作させることができ、低電圧駆動で高速動作をするバッファ回路を容易に実現できる。また、基準電位ライン(グランド)から電源電位付近までダイナミックレンジの大きい出力電圧を発生するドライバIC、さらには、低消費電力で高速表示が可能な表示装置をこのバッファ回路を利用して容易に実現することができる。

### 発明を実施するための最良の形態

[0009] 図1は、この発明を適用したバッファ回路の一実施例のブロック図、そして図2は、その具体的な回路図である。

図1において、10は、バッファ回路であって、バッファアンプ1と出力加速回路2とからなる。出力加速回路2は、スイッチ回路20とコンパレータ(COM) 23～26、そして動作制限回路27, 28で構成され、スイッチ回路20は、スイッチ回路21とスイッチ回路22とからなる。

バッファアンプ1は、オペアンプ(OP)あるいは差動増幅回路等で構成され、その出

力側が(−)入力端子(反転入力端子)10cに全帰還され、ボルテージフォロアとなっている。このバッファアンプ1は、電源電圧ライン+VDDとグラウンドラインGND(基準電位ライン)との間、すなわち、レール・ツー・レールで動作する。電源電圧ライン+VDDの電圧は、ここでは、5.0Vである。

- [0010] バッファアンプ1の(+)入力端子(非反転入力端子)10aと出力端子10bとの間には立上がり側コンパレータ(COM)23と立下がり側コンパレータ(COM)24とが設けられている。これらコンパレータ23, 24は、バッファアンプ1の入力電圧と出力電圧とを入力側に受けてこれら電圧を比較してこれらの間にコンパレータ23では電位差 $\Delta V$ 以上の差があることを検出し、コンパレータ23では電位差 $\Delta V'$ 以上の差があることを検出する。コンパレータ23, 24は、それぞれその比較結果に応じて、スイッチ回路21, 22をそれぞれにON/OFFする。

すなわち、コンパレータ23は、出力加速回路の立上がり側の入力段回路を構成していて、その(+)入力端子は、バッファアンプ1の(+)入力端子10aに、その(−)入力端子は、バッファアンプ1の(−)入力端子10cにそれぞれ接続されている。コンパレータ24は、出力加速回路の立下がり側の入力段回路を構成していて、その(−)入力端子は、(+)入力端子10aに、その(+)入力端子は、(−)入力端子10cにそれぞれ接続されている。

バッファアンプ1の入力電圧 $V_{in}$ が出力電圧 $V_{out}$ に対して電位差 $\Delta V$ 以上の差があるときには、コンパレータ23がスイッチ回路21をONにし、バッファアンプ1の入力電圧 $V_{in}$ が出力電圧 $V_{out}$ に対して電位差 $\Delta V'$ 以上の差があるときには、コンパレータ24がスイッチ回路22をONにする。

スイッチ回路21は、電源電圧ライン+VDDと出力端子10bとの間に設けられ、スイッチ回路22は、出力端子10bとグラウンドラインGNDとの間に設けられている。

電位差 $\Delta V$ は、コンパレータ23に設定される比較動作開始電圧に対するオフセット電圧であり、電位差 $\Delta V'$ は、コンパレータ24に設定される比較動作開始電圧に対するオフセット電圧である。ここでは、これらは、オーバーシュートを抑える限界近くの0.1V程度に設定されている。なお、 $\Delta V' = \Delta V$ であっても、そうでなくてもよい。

Coは、出力端子10bに接続された負荷としてのコンデンサである。入力電圧信号V

inは、(+)入力端子10aに加えられ、通常、これは、立上がり、立下がり急峻なパルス信号である。出力電圧信号Voutは、出力端子10bに発生する電圧信号である。

[0011] 通常、コンパレータ23とコンパレータ24とは、PチャネルあるいはNチャネルのいずれか一方の、一対の差動動作のMOSTランジスタで比較部が構成されるので、そのゲート閾値VTHで決定される動作閾値により発生する0.8V程度の不感帯がある。

そこで、(+)入力端子10aと出力端子10bとの間には立上がり側コンパレータ23の不感帯領域で動作する不感帯動作のコンパレータ25が設けられ、このコンパレータ25の動作を不感帯VTH1の範囲に制限する動作制限回路27がさらに設けられている。また、(+)入力端子10aと出力端子10bとの間には立下がり側コンパレータ24の不感帯領域で動作する不感帯動作のコンパレータ26が設けられ、このコンパレータ26の動作を不感帯VTH2の範囲に制限する動作制限回路28がさらに設けられている。

コンパレータ25の(+)入力端子は、(+)入力端子10aに、その(-)入力端子は、(-)入力端子10cにそれぞれ接続され、コンパレータ26の(-)入力端子は、(+)入力端子10aに、その(+)入力端子は、(-)入力端子10cにそれぞれ接続されている。これらコンパレータ25、26は、ペア性の高い差動対MOSTランジスタで構成され、これらのコンパレータの比較部には比較動作に対して実質的なオフセット電圧はない。

バッファアンプ1は、内部に定電流源と差動増幅回路等の増幅回路を有する回路として構成されるので、その分、スイッチ動作の回路よりも動作速度が遅くなる。一方、コンパレータ23、24、25、26は、図2に示すようにスイッチ動作の電流切換回路で構成されるので、その動作速度はバッファアンプ1よりも速い。

なお、バッファアンプ1は、入力電圧信号Vinを受けてその電圧に応じて出力電圧信号Voutを発生するものであり、入力電圧信号Vinに対して出力電圧信号Voutの立上がりあるいは立下がりタイミングが遅くなるので、パルス状の入力電圧信号Vinが加えられたときには、入力電圧信号Vinと出力電圧信号Voutとの間には電位差が発生する。この電位差をコンパレータ23、24が比較検出する。

[0012] コンパレータ23の動作について説明すると、入力電圧信号Vinが立上がり、入力電

圧信号 $V_{in}$ と出力電圧信号 $V_{out}$ との間の電位差が不感帯( $=0.8V$ )を越えるとコンパレータ23が動作を開始し、 $V_{in} > V_{out}$ でかつ $\Delta V (=V_{in} - V_{out} = 0.1V)$ 以上のときに、コンパレータ23の検出信号P1によりスイッチ回路21がONとなる。このとき、バッファアンプ1の、立上がりが遅い出力電流に対して電源電圧ライン+VDDから出力端子10aにONしたスイッチ回路21を介して電流が高速に供給されて出力電圧信号 $V_{out}$ が高速に立上がる。

このときスイッチ回路21から供給される電流値はバッファアンプ1の出力電流値よりも大きい。出力端子10bには負荷 $C_o$ が接続されているので、スイッチ回路21がON状態にあっても立上がり状態では通常 $\Delta V (=V_{in} - V_{out} = 0.1V)$ 以上の関係は保持され、負荷 $C_o$ がバッファアンプ1の出力電流値とスイッチ回路21から供給される電流値の和で充電される。なお、このときには立下がり側コンパレータ24は出力信号を発生しないのでスイッチ回路22はOFFである。

入力電圧信号 $V_{in}$ が“H”(HIGHレベル)に近づいたときには、出力電圧信号 $V_{out}$ が入力電圧信号 $V_{in}$ の立上がりに追従してやがて入力電圧信号 $V_{in}$ と出力電圧信号 $V_{out}$ との間の電位差が $\Delta V (=0.1V)$ 以下となると、コンパレータ23の検出信号P1が停止してスイッチ回路21がOFFとなり、立上がりが遅いバッファアンプ1の出力電流により出力電圧信号 $V_{out}$ が“H”の電圧値に至る。

- [0013] この場合、コンパレータ23の比較部をMOSTランジスタで構成すると、そのゲート閾値 $V_{TH1}$ で決定される不感帯があるので入力電圧信号 $V_{in}$ が $0.8V$ 以下のときにはコンパレータ23は動作しないが、コンパレータ25が動作する。したがって、スイッチ回路21をONさせる検出信号P1はコンパレータ23からは発生しないが、このとき、コンパレータ23の不感帯領域 $V_{TH1}$ ( $0V \sim 0.8V$ 、ただし $V_{in} > V_{out}$ の領域)で動作するコンパレータ25が $V_{in} > V_{out}$ であれば検出信号P2を発生してスイッチ回路21をONにする。それにより入力電圧信号 $V_{in}$ の立上がり初期に出力電圧信号 $V_{out}$ も高速な立上がりをすることが可能となる。

コンパレータ25は、動作制限回路27によりコンパレータ23の不感帯領域 $V_{TH1}$ ( $0V \sim 0.8V$ )の範囲に動作が制限されているので、不感帯領域を越えるとスイッチ回路21をONにする検出信号P2が停止するが、このときにはコンパレータ23が動作を

開始しているので検出信号P1が発生していてスイッチ回路21はONのまま維持される。そのように動作制限回路27がコンパレータ25の動作を制限する。したがって、スイッチ回路21は、コンパレータ25とコンパレータ23との切換時点では両者の検出信号P1, P2を受けてON状態になっている。スイッチ回路21がOFFするのは、入力電圧信号Vinが“H”に近づき入力電圧信号Vinと出力電圧信号Voutとの間の電位差が $\Delta V (=0.1V)$ 以下となったときである。このときには、コンパレータ25は動作していない。しかも、立上がりであるのでコンパレータ26も動作しない。

その結果、スイッチ回路21は、コンパレータ23の不感帯の影響を受けないでONにされる。

なお、コンパレータ23の出力信号は、不感帯+電位差 $\Delta V$ で発生するので、この点を考慮して、入力電圧信号Vinが不感帯範囲から通常の動作範囲へ遷移する領域、すなわち、コンパレータの比較部を構成するMOSTランジスタの不感帯に入る電圧領域あるいは不感帯から出た電圧領域においては、コンパレータ23とコンパレータ25の両者の出力信号を受けてスイッチ回路21がONするようにする。入力電圧信号Vinの不感帯電圧、すなわち、ソースゲート間電圧を0.8Vとしたときに、コンパレータ25の出力信号の停止は、これに対して電位差 $\Delta V = 0.1$ より大きい+0.2V程度の範囲が適当であり、後述するように、グランドGNDの電位から1.0V程度の高い電圧がコンパレータ25の動作停止電圧として動作制限回路27により設定される。なお、コンパレータ25の出力信号を停止する電圧は、前記入力電圧の信号の立上がり終了後の電圧の半分の電圧値より小さい範囲にあればよい。

- [0014] 入力電圧信号Vinが立下がった場合もコンパレータ23, 25がコンパレータ24, 26に変わり、スイッチ回路21がスイッチ回路22に変わるだけであり、スイッチ回路22のON/OFFの切換動作は、入力電圧信号Vinが立下に応じて同様に行われる。すなわち、入力電圧信号Vinが立下り、入力電圧信号Vinと出力電圧信号Voutとの間の電位差が不感帯( $=0.8V$ )を越えて動作を開始し、 $V_{in} < V_{out}$ のときに、コンパレータ24の検出信号P3によりスイッチ回路22がONとなり、バッファアンプ1の立下がりが遅い出力電流に加えて出力端子10aからグランドラインGNDに高速に出力端子10bから電流がシンクされて出力電圧信号Voutが立下がる。

このときスイッチ回路22からグラウンドGNDへシンクされる電流値はバッファアンプ1のシンク出力電流値よりも大きい。出力端子10bには負荷 $C_o$ が接続されているので、スイッチ回路22がON状態にあっても立下がり状態では通常 $\Delta V' (=V_{in} - V_{out} = 0.1V)$ 以上の関係は保持され、負荷 $C_o$ がバッファアンプ1のシンク出力電流値とスイッチ回路22によりシンクされる電流値の和で放電される。なお、このときには立上がり側コンパレータ23は出力信号を発生しないのでスイッチ回路21はOFFである。

入力電圧信号 $V_{in}$ が“L”(LOWレベル)、すなわちグラウンド電位に近づいたときには、出力電圧信号 $V_{out}$ が入力電圧信号 $V_{in}$ の立下がり追随してやがて入力電圧信号 $V_{in}$ と出力電圧信号 $V_{out}$ との間の電位差が $\Delta V'$ 以下となり、コンパレータ24の検出信号P3が停止してスイッチ回路22がOFFとなり、立下がり遅いバッファアンプ1の出力電流により“L”となる。

- [0015] この場合、コンパレータ24の比較部をMOSTランジスタで構成すると、そのゲート閾値 $V_{TH2}$ で決定される不感帯があるので入力電圧信号 $V_{in}$ が $+V_{DD}$ からの差が0.8V以下のときにはコンパレータ24は動作しないが、コンパレータ26が動作する。したがって、スイッチ回路22をONさせる検出信号P3はコンパレータ24からは発生しないが、このとき、コンパレータ23の不感帯領域 $V_{TH2} (+V_{DD} \sim (+V_{DD} - 0.8)V)$ 、ただし $V_{in} < V_{out}$ の領域)で動作するコンパレータ26が $V_{in} < V_{out}$ であれば検出信号P4を発生してスイッチ回路22をONにする。それにより出力電圧信号 $V_{out}$ は、高速な立下がりが可能になる。

コンパレータ26は、動作制限回路28によりコンパレータ23の不感帯領域 $V_{TH2} (+V_{DD} \sim (+V_{DD} - 0.8)V)$ の範囲に動作が制限されているので、不感帯領域を越えるとスイッチ回路22をONにする検出信号P4が停止する。しかし、このときにはコンパレータ24が動作を開始しているので検出信号P3が発生していてスイッチ回路22はONのまま維持される。

なお、前記と同様にスイッチ回路22は、コンパレータ26とコンパレータ24との切換時点では両者の検出信号P3, P4を受けてON状態になっている。そしてこのスイッチ回路22がOFFするのは、グラウンド電位に近づき入力電圧信号 $V_{in}$ と出力電圧信号 $V_{out}$ との間の電位差が $\Delta V (=0.1V)$ 以下となったときである。このときには、コンパレ

ータ26は動作していない。しかも、立下がりであるのでコンパレータ25も動作しない。

その結果、スイッチ回路22は、コンパレータ24の不感帯の影響を受けないでONにされる。

コンパレータ24の出力信号も不感帯+電位差 $\Delta'V$ で発生するので、この点を考慮して、入力電圧信号 $V_{in}$ が不感帯範囲から通常の動作範囲へ遷移する領域、すなわち、コンパレータの比較部を構成するMOSTランジスタの不感帯に入る電圧領域あるいは不感帯から出た電圧領域においては、コンパレータ24とコンパレータ26の両者の出力信号を受けてスイッチ回路22がONするようにする。入力電圧信号 $V_{in}$ の不感帯電圧、すなわち、ソースーゲート間電圧を0.8Vとしたときに、コンパレータ26の出力信号の停止は、これに対して+0.2V程度となり、後述するように、電源電圧+VDDから1.0V程度の低い電圧がコンパレータ26の停止電圧として設定される。なお、コンパレータ26の出力信号を停止する電圧は、前記入力電圧の信号の立下がり開始電圧の半分の電圧値より小さい範囲にあればよい。

[0016] 図2は、その具体的な回路図である。図2においては、図1と同一の構成要素は同一の符号で示してある。

各コンパレータ23～26は、電流切換回路で構成されている。コンパレータ23は、差動対トランジスタがNチャネルMOSTランジスタTN1, TN2で構成されている。先の電位差 $\Delta V (=0.1V)$ のオフセット電圧は、トランジスタTN1, TN2の動作閾値の差で決定される。この電位差 $\Delta V$ のオフセット電圧は、これらトランジスタTN1, TN2の不感帯の電圧0.8Vよりも小さい。オフセット電圧は、例えば、ペア性を外して一對のMOSTランジスタの閾値をミスマッチさせることで行われる。あるいは一對のMOSTランジスタのチャネル幅比(ゲート幅比)を1:n(nは2以上の数)にすることでも可能である。

入力信号の立上がり時点では、これらトランジスタの不感帯の電圧0.8Vが問題となる。この不感帯に対してコンパレータ25は、差動対トランジスタがPチャネルMOSTランジスタTP1, TP2で構成されていて、Pチャネルトランジスタであるので、0V～0.8Vの範囲には不感帯はない。

一方、コンパレータ24は、差動対トランジスタがPチャネルMOSTランジスタTP3, T

P4で構成されている。先の電位差 $\Delta V'$  ( $=0.1V$ )のオフセット電圧は、トランジスタTP3, TP4の動作閾値の差で決定される。前記したように、この電位差 $\Delta V'$ のオフセット電圧もこれらトランジスタTP3, TP4の不感帯の電圧 $0.8V$ よりも小さい。

入力信号の立下がり時点では、この不感帯の電圧 $0.8V$ が問題となる。この不感帯に対してコンパレータ26は、差動対トランジスタがNチャネルMOSTランジスタTN3, TN4で構成されていて、Nチャネルトランジスタであるので、 $+VDD (=5.0V) \sim (+VDD - 0.8)V$ の範囲には不感帯はない。

なお、バッファアンプ1の入力端子10aは、トランジスタTN1, TP3, TN3, TP1の各ゲートにそれぞれ接続されている。バッファアンプ1の出力端子10bは、トランジスタTN2, TP4, TN4, TP2の各ゲートにそれぞれ接続されている。

[0017] スイッチ回路21, 24は、それぞれPチャネルMOSTランジスタTP, NチャネルMOSTランジスタTNで構成されている。トランジスタTPは、電源ライン $+VDD$ と出力端子10bとの間にソースドレインが接続され、トランジスタTNは、グランドGNDと出力端子10bとの間にソースドレインが接続されている。

トランジスタTPのゲートは、コンパレータ23の検出信号P1を発生するトランジスタTN1のドレイン(その負荷トランジスタであるPチャネルMOSTランジスタTP5のドレイン)に接続され、さらに出力側トランジスタTN7のドレインに接続されている。トランジスタTN7は、トランジスタTP2の負荷トランジスタTN6とカレントミラー接続されている。このカレントミラー回路により、コンパレータ25の検出信号P2に相当するトランジスタTP2のドレイン電流が出力側トランジスタTN7のドレイン電流として転送され、スイッチ回路21を構成するトランジスタTPのゲートを駆動する。

その結果、各コンパレータ23, 25の検出信号P1, P2は、トランジスタTN1のドレインとトランジスタTP2のドレイン(トランジスタTN7のドレイン)にそれぞれ発生し、トランジスタTPがこれらの検出信号P1, P2によりONにされる。

一方、トランジスタTNのゲートは、コンパレータ24の検出信号P3を発生するトランジスタTP3のドレイン(その負荷トランジスタであるNチャネルMOSTランジスタTN8のドレイン)に接続され、さらに出力側トランジスタTP10のドレインに接続されている。トランジスタTP10は、トランジスタTN4の負荷トランジスタTP9とカレントミラー接続され

ている。このカレントミラー回路により、コンパレータ26の検出信号P4に相当するトランジスタTN4のドレイン電流が出力側トランジスタTP10のドレイン電流として転送され、スイッチ回路22を構成するトランジスタTNのゲートを駆動する。

その結果、各コンパレータ24, 25の検出信号P3, P4は、トランジスタTP3のドレインとトランジスタTN4のドレイン(トランジスタTP10のドレイン)にそれぞれ発生し、トランジスタTNがこれらの検出信号P3, P4によりONにされる。

[0018] 各コンパレータ23～26は、電流切換回路の定電流源としてそれぞれNチャネル、PチャネルのMOSトランジスタTN9, TP11, TP12, TN10を有している。トランジスタTN9, TN10のゲートはそれぞれ定電圧のバイアスラインVbに接続され、トランジスタTP11, TP12のゲートはそれぞれ定電圧のバイアスラインVaに接続されている。

動作制限回路27は、コンパレータ25の差動増幅回路の定電流源であるトランジスタTP12のドレインとその差動対トランジスタTP1, TP2の共通ソースとの間に設けられ、ソースドレインが接続されたトランジスタTP13, TP14の従属接続回路(直列回路)で構成される。

このように動作制限回路27をコンパレータ25の差動増幅回路の一对の差動トランジスタTP1, TP2と定電流源(トランジスタTP12)との間に設けることで簡単な回路で比較動作の電圧範囲を制限することができる。

トランジスタTP14は、そのゲートがドレインにダイオード接続されてさらにトランジスタTP1, TP2の共通のソースに接続されている。トランジスタTP14のソース側は、トランジスタTP13のドレインに接続されている。そこで、トランジスタTP13のドレインの電圧に応じてトランジスタTP14、すなわち、このダイオードがOFFする。これがOFFする電圧は、トランジスタTP1, TP2のゲートの電圧がトランジスタTN1, TN2の不感帯電圧(ソースゲート間電圧)よりも少し高い電圧、例えば、1.0V程度になったときである。このOFFになる電圧の設定は、トランジスタTP13のゲートに調整された所定の定電圧Vcが設定されることで行われる。また、そうなるような電圧が外部からトランジスタTP13のゲート電圧Vcに与えられる。

その結果、コンパレータ25の差動対トランジスタTP1, TP2は、トランジスタTN1, TN2の不感帯(0V～1.0V)の範囲で動作することができ、トランジスタTP1, TP2がON

になったときには、動作制限回路27のトランジスタTP13, TP14はともにONになり、トランジスタTP1, TP2のゲートの電圧が1.0V程度になったときにトランジスタTP14がOFFしてコンパレータ25の動作が停止する。

[0019] 動作制限回路28は、コンパレータ26の差動増幅回路の定電流源であるトランジスタTN10のドレインとその差動対トランジスタTN3, TN4の共通ソースとの間に設けられたソースドレインが接続され、トランジスタTN1, TN12の従属接続回路(直列回路)で構成される。この動作制限回路28もコンパレータ26の差動増幅回路の一对の差動トランジスタ(トランジスタTN3, TN4)と定電流源(トランジスタTN10)との間に設けられている。

トランジスタTN12は、そのゲートがドレインにダイオード接続され、さらにトランジスタTN3, TN4の共通のソースに接続されている。トランジスタTN12のソース側は、トランジスタTN11のドレインに接続されている。そこで、トランジスタTN11のドレインの電圧に応じてトランジスタTN12、すなわち、このダイオードがOFFする。これがOFFする電圧は、トランジスタTN3, TN4のゲートの電圧がトランジスタTP3, TP4の不感帯よりも少し低い電位、例えば、+VDD(=5.0V)から1.0V程度低い4.0V程度になったときである。このOFFになる電圧の設定は、トランジスタTPN11のゲートに調整された定電圧Vdが設定されることで行われる。また、そうなるような電圧が外部からトランジスタTN11のゲート電圧Vdに与えられる。

その結果、コンパレータ26の差動対トランジスタTN3, TN4は、トランジスタTP3, TP4の不感帯(+VDD(=5.0V)から4.0V)の範囲で動作することができ、トランジスタTN3, TN4がONになったときには、動作制限回路28のトランジスタTN11, TN12はともにONになり、トランジスタTP1, TP2のゲートの電圧が+VDD(=5.0V)から4.0V程度になったときにトランジスタTP12がOFFしてコンパレータ26の動作が停止する。

[0020] 一方、バッファアンプ1は、差動アンプ11, 12からなるドライブ段とCMOS構成の出力段回路13とからなる増幅回路である。出力段回路13は、PチャネルMOSトランジスタQP, NチャネルMOSトランジスタQNで構成され、これらトランジスタQP, トランジスタQNが差動アンプ11, 12により共に駆動される。これによりバッファアンプ1は、

レール・ツー・レールで動作するアンプになる。

差動アンプ11は、差動対がNチャネルトランジスタで構成されるドライブ段であって、差動対のNチャネルトランジスタQ1, Q2のうち、Q1のゲートは、入力端子10aに接続され、Q2のゲートは、出力端子10bに接続されている。また、差動アンプ12は、差動対がPチャネルトランジスタで構成されるドライブ段であって、差動対トランジスタのPチャネルトランジスタQ3, Q4のうち、Q3のゲートは、入力端子10aに接続され、Q4のゲートは、出力端子10bに接続されている。トランジスタQ2, Q4のゲートは、それぞれ(－)入力端子10cに接続されるものであるが、出力端子10bに直接接続されることになるので、図2では特に(－)入力端子10cを示していない。

出力段回路13のトランジスタQPのゲートは、差動アンプ11のトランジスタQ1のドレインと、カレントミラー回路の出力側のNチャネルMOSトランジスタQ5のドレインに接続されている。トランジスタQ5のドレインは、これとカレントミラー接続される入力側NチャネルMOSトランジスタQ6に接続され、差動アンプ12のトランジスタQ4のドレイン電流がこのカレントミラー回路によりトランジスタQ5のドレイン電流として転送される。トランジスタQ5, Q6からなるカレントミラー回路は、トランジスタQ4に発生する駆動電流を逆方向に反転する折り返し回路となっている。

その結果、トランジスタQPのゲートは、差動アンプ11のトランジスタQ1と差動アンプ12のトランジスタQ4により共に駆動される。

[0021] 出力段回路13のトランジスタQNのゲートは、差動アンプ12のトランジスタQ3のドレインと、カレントミラー回路の出力側のPチャネルMOSトランジスタQ8のドレインに接続されている。トランジスタQ8のドレインは、これとカレントミラー接続される入力側PチャネルMOSトランジスタQ9に接続され、差動アンプ11のトランジスタQ2のドレイン電流がこのカレントミラー回路によりトランジスタQ8のドレイン電流として転送される。ここで、トランジスタQ8, Q9からなるカレントミラー回路は、トランジスタQ4に発生する駆動電流を逆方向に反転する折り返し回路となっている。

その結果、トランジスタQNのゲートは、差動アンプ12のトランジスタQ3と差動アンプ11のトランジスタQ2により共に駆動される。

なお、NチャネルMOSトランジスタQ7は、ダイオード接続され、トランジスタQ3の負

荷トランジスタとなっている。そのドレインにはトランジスタQ8のドレインが接続されている。PチャネルMOSTランジスタQ10は、ダイオード接続され、トランジスタQ1の負荷トランジスタとなっている。そのドレインにはトランジスタQ5のドレインが接続されている。

また、NチャネルMOSTランジスタQ11は、差動アンプ11の定電流源であって、バイアス電圧Vbを受ける。PチャネルMOSTランジスタQ12は、差動アンプ12の定電流源であって、バイアス電圧Vaを受ける。

[0022] さて、バッファアンプ1を構成する各トランジスタQP, QN, Q1～Q12は、出力端子10bの出力電圧が入力に全帰還される増幅回路であるので、それぞれ電流出力用のトランジスタで構成される。これに対して先のコンパレータ23～26を構成するトランジスタおよびスイッチ回路21, 22を構成するトランジスタは、スイッチ動作のトランジスタである。

電流出力用のトランジスタとスイッチ動作のトランジスタとは、ソース、ドレイン、ゲートの大きさ(面積)が違う。通常、スイッチ動作のトランジスタは、ON/OFF動作をさせるだけであるので、アナログ的な電流増幅動作をしない。そこで、ソースドレインの間にあるゲート幅は狭くてよく、小さな面積のトランジスタとして形成される。この点、電流出力用のトランジスタは、最大出力電流値に応じた面積をもちソースドレインの間にあるゲート幅は大きくなる。そのため、動作速度はスイッチ動作のトランジスタの方が電流出力用のトランジスタよりも速い。このようなことによりコンパレータ23～26とスイッチ回路21, 22が出力加速回路として動作することができる。

[0023] ところで、図2において、スイッチ回路25のトランジスタTP14は、そのゲートがドレインにダイオード接続されているが、ダイオード接続せずに、トランジスタTP14のゲートに、入力端子10aに入力される入力電圧信号Vinを入力することができる。この場合には、トランジスタTP14がOFFするタイミングがトランジスタTP13のドレイン電圧あるいはソース電圧と入力電圧信号Vinの電圧との関係で決定される。

同様にトランジスタTN12は、そのゲートがドレインにダイオード接続されている。しかし、このようなダイオード接続せずに、トランジスタTN12のゲートに入力電圧信号Vinを入力することができる。このようにしても前記と同様な動作が可能である。この場合には

、トランジスタTN12がOFFするタイミングがトランジスタTN11のドレイン電圧あるいはソース電圧と入力電圧信号 $V_{in}$ の電圧との関係で決定される。

また、実施例では、トランジスタTP13のゲートに調整された定電圧 $V_c$ を加え、トランジスタTPN11のゲートに調整された定電圧 $V_d$ を加えているが、これら定電圧 $V_c$ ,  $V_d$ に換えて入力電圧信号 $V_{in}$ をトランジスタTP13のゲートとトランジスタTPN11のゲートとにそれぞれ加えてもよい。このようにすれば、定電圧 $V_c$ ,  $V_d$ を発生するバイアス回路が不要になる。この場合、トランジスタTP13, トランジスタTPN11のON/OFFするタイミングとそれぞれの差動対のトランジスタTP1, TP2と、差動対のトランジスタTN3, TN4の比較動作のタイミングが少しずれるだけであって、前記と同様な動作が可能であり、動作上の問題は生じない。

#### 産業上の利用可能性

[0024] 以上説明してきたが、図2の実施例の動作制限回路は、一例であって、実施例に限定されるものではない。オフセット電圧 $\Delta V$ ,  $\Delta V'$ の値も一例であって、実施例に限定されるものではない。

実施例では、コンパレータの比較部を差動対のトランジスタで構成し、オフセット電圧 $\Delta V$ ,  $\Delta V'$ を差動対トランジスタの動作閾値の差により形成しているが、オフセット電圧 $\Delta V$ ,  $\Delta V'$ は、ゲート幅比(チャネル幅比)や、パラレルに接続する素子数、あるいはソースに直列抵抗を挿入することなどにより形成してもよいことはもちろんである。

実施例の不感帯で動作するコンパレータ25, 26の比較部は、差動対トランジスタをペア性の高いものとして、実質的にオフセット電圧がないものとしているが、多少ペア性が悪くてもオフセット電圧 $\Delta V$ ,  $\Delta V'$ に対して問題のない程度、例えば、 $\Delta V/2$ あるいは $\Delta V'/2$ より小さいのオフセット電圧があってもよい。

実施例の出力加速回路は、バッファアンプの立上がりおよび立下がり時の出力電流の多くを出力端子10bに供給しあるいはシンクするものであるが、この発明は、バッファアンプの立上がりおよび立下がり時のいずれか一方だけにおいて出力電流を出力端子に供給しあるいはシンクするものであってもよい。バッファアンプの立上がり側だけ加速する場合には、コンパレータ23, 25だけを設け、コンパレータ24, 26とスイ

ッチ回路22を設ける必要はない。立下がり側はバッファアンプだけの動作にすればよい。

また、バッファアンプの立下がり側だけ加速する場合には、コンパレータ24, 26だけを設け、コンパレータ23, 25とスイッチ回路21を設ける必要はない。立上がり側はバッファアンプだけの動作にすればよい。

ところで、実施例で説明したグラウンド電位は、電源電圧と異なる所定の基準電位であればよいことはもちろんである。

### 図面の簡単な説明

[0025] [図1]図1は、この発明を適用したバッファ回路の一実施例のブロック図である。

[図2]図2は、その具体的な回路図である。

### 符号の説明

[0026] 1…バッファアンプ、2…出力加速回路、  
10…バッファ回路、  
10a…(+)入力端子、10b…出力端子、  
10c…(-)入力端子、11, 12…差動アンプ、  
13…出力段回路、20, 21, 22…スイッチ回路、  
23, 24, 25, 26…コンパレータ、  
27, 28…動作制限回路。

## 請求の範囲

- [1] バッファアンプの入力端子と出力端子との間に設けられPチャネルあるいはNチャネルのいずれか一方のMOSTランジスタで前記バッファアンプの入力電圧と出力電圧とを比較する比較部が構成されこの比較部の比較動作に所定のオフセット電圧が設定されこのオフセット電圧を超えたところで比較動作をする第1のコンパレータと、この第1のコンパレータの出力信号に応じてON/OFFする第1のスイッチ回路とを有し、この第1のスイッチのONあるいはOFFに応じて電源ラインから前記出力端子にあるいは前記出力端子から基準電位ラインへ電流を流すことで前記バッファアンプの出力電圧の立上がりあるいは出力電圧の立下がりを加速するバッファ回路において、
- 前記PチャネルあるいはNチャネルのいずれか他方のMOSTランジスタで前記入力電圧と前記出力電圧とを比較する比較部が構成された第2のコンパレータと、
- 前記いずれか一方のMOSTランジスタの不感帯の範囲に前記第2のコンパレータの比較動作を制限するための第1の動作制限回路とを備え、
- 前記第1のスイッチ回路が前記第1のコンパレータの前記出力信号および前記第2のコンパレータの出力信号に応じてONあるいはOFFにされるバッファ回路。
- [2] 前記第1の動作制限回路は、前記入力電圧が前記不感帯に入る電圧領域あるいは前記不感帯から出た電圧領域のいずれかの電圧領域と、前記不感帯領域とにおいて前記第2のコンパレータの出力信号を発生させるものであり、前記第1のスイッチ回路は、前記基準ラインと前記出力端子との間に設けられ、前記第1のコンパレータの前記出力信号および前記第2のコンパレータの前記出力信号のいずれか一方により選択的にONにされかつ前記不感帯に入る電圧領域あるいは前記不感帯から出た電圧領域においては前記第1のコンパレータの前記出力信号および前記第2のコンパレータの前記出力信号とを同時に受けてONになる請求項1記載のバッファ回路。
- [3] 前記第1の動作制限回路は、前記入力電圧が前記不感帯に入る電圧領域あるいは前記不感帯から出た電圧領域のいずれかの電圧領域と、前記不感帯領域とにおいて前記第2のコンパレータの出力信号を発生させるものであり、前記第1のスイッチ

回路は、前記基準ラインと前記出力端子との間に設けられ前記第1のコンパレータの前記出力信号および前記第2のコンパレータの出力信号のいずれか一方により選択的にONにされかつ前記不感帯に入るあるいは前記不感帯から出た電圧領域においては第1のコンパレータの前記出力信号および前記第2のコンパレータの出力信号とを同時に受けてONになる請求項1記載のバッファ回路。

- [4] 前記第1および第2のコンパレータの各前記比較部は、一対の差動MOSTランジスタで構成され、前記第2のコンパレータの前記比較部は、実質的にオフセット電圧がない比較動作をするものであり、前記所定のオフセット電圧は、前記第1のコンパレータの前記一対のMOS差動ランジスタの動作閾値の差により形成される請求項2または請求項3記載のバッファ回路。
- [5] 前記第2のコンパレータは、さらに前記一対の差動ランジスタの動作電流を決定する第1の定電流源を有し、前記第1の動作制限回路は、前記第2のコンパレータの前記一対の差動ランジスタと前記第1の定電流源との間に設けられた、あるMOSTランジスタからなり、前記不感帯に入る電圧領域あるいは前記不感帯から出た電圧領域は、前記不感帯の電圧値＋前記所定のオフセット電圧値よりも大きくかつ前記入力電圧の信号の立上がり電圧の半分の電圧値あるいは立下がり開始電圧の半分の電圧値より小さい請求項4記載のバッファ回路。
- [6] 前記第1および第2のコンパレータの前記比較部と前記第1のスイッチ回路は、スイッチ動作のランジスタで構成され、前記バッファアンプを構成するランジスタは、電流出力用のランジスタで構成され、前記第1の動作制限回路は、前記あるMOSTランジスタを複数個従属接続した回路として形成される請求項5記載のバッファ回路。
- [7] 前記第1および第2のコンパレータは電流切換回路で構成され、前記所定のオフセット電圧の値は、前記不感帯となる電圧値よりも小さいものであり、前記バッファアンプは、PチャネルMOSTランジスタの差動対を有する第1の差動増幅回路とNチャネルMOSTランジスタの差動対を有する第2の差動増幅回路とからなるドライブ段と、これら第1および第2の差動増幅回路により駆動されるCMOS回路の出力段とを有し、レール・ツー・レールで動作するアンプである請求項6記載のバッファ回路。
- [8] さらに、第3および第4のコンパレータと第2のスイッチ回路と第2の動作制限回路と

を有し、前記第3のコンパレータは、PチャンネルあるいはNチャンネルのいずれか他方のMOSTランジスタで前記入力電圧と前記出力電圧とを比較する比較部が構成されこの比較部の比較動作に前記所定のオフセット電圧あるいは前記とは別のオフセット電圧が設定されて、前記第3のコンパレータの出力信号に応じて前記第2のスイッチ回路がON/OFFされ、前記第4のコンパレータは、前記PチャンネルあるいはNチャンネルのいずれか一方のMOSTランジスタで前記入力電圧と前記出力電圧とを比較する比較部が構成され、前記第2の動作制限回路は、前記第3のコンパレータの前記比較部を構成する前記いずれか一方のMOSTランジスタの不感帯の範囲に前記第4のコンパレータの比較動作を制限するためのものである請求項2記載のバッファ回路。

- [9] 前記第2の動作制限回路は、前記入力電圧が前記第3のコンパレータの前記MOSTランジスタの不感帯に入る電圧領域あるいはこれの不感帯から出た電圧領域のいずれかの電圧領域と、これの不感帯領域とにおいて前記第4のコンパレータの出力信号を発生させるものであり、前記第2のスイッチ回路は、前記基準ラインと前記出力端子との間に設けられ前記第3のコンパレータの前記出力信号および前記第4のコンパレータの出力信号のいずれか一方により選択的にONにされかつ前記入力電圧が前記不感帯に入る電圧領域あるいは前記不感帯から出た電圧領域においては第3のコンパレータの前記出力信号および前記第4のコンパレータの出力信号とを同時に受けてONになる請求項8記載のバッファ回路。
- [10] 前記第3および第4のコンパレータの各前記比較部は、一対の差動MOSTランジスタで構成され、前記第4のコンパレータの前記比較部は、実質的にオフセット電圧がない比較動作をするものであり、前記第3のコンパレータの前記所定のオフセット電圧あるいは前記別のオフセット電圧は、前記第3のコンパレータの前記一対のMOS差動ランジスタの動作閾値の差により形成される請求項9記載のバッファ回路。
- [11] 前記第1から第4のコンパレータは電流切換回路で構成され、前記所定のオフセット電圧および前記別のオフセット電圧は、前記不感帯となる電圧値よりも小さいものであり、前記第4のコンパレータは、さらに前記一対の差動ランジスタの動作電流を決定する第2の定電流源を有し、前記第2の動作制限回路は、前記一対の差動ランジ

スタと前記第2の定電流源との間に設けられているさらに他のMOSTランジスタからなり、前記バッファアンプは、PチャンネルMOSTランジスタの差動対を有する第1の差動増幅回路とNチャンネルMOSTランジスタの差動対を有する第2の差動増幅回路とからなるドライブ段と、これら第1および第2の差動増幅回路により駆動されるCMOS回路の出力段とを有し、レール・ツー・レールで動作するアンプである請求項10記載のバッファ回路。

- [12] バッファアンプの入力端子と出力端子との間に設けられPチャンネルあるいはNチャンネルのいずれか一方のMOSTランジスタで前記バッファアンプの入力電圧と出力電圧とを比較する比較部が構成されこの比較部の比較動作に第1のオフセット電圧が設定されこの第1のオフセット電圧を超えたところで比較動作をする第1のコンパレータと、PチャンネルあるいはNチャンネルのいずれか他方のMOSTランジスタで前記入力電圧と前記出力電圧とを比較する比較部が構成されこの比較部の比較動作に第2のオフセット電圧が設定されこの第2のオフセット電圧を超えたところで比較動作をする第2のコンパレータと、前記第1のコンパレータの出力信号に応じてON/OFFする第1のスイッチ回路と、前記第2のコンパレータの出力信号に応じてON/OFFする第2のスイッチ回路とを有し、前記第1のスイッチのONあるいはOFFに応じて電源ラインから前記出力端子に電流を流すことで前記バッファアンプの出力電圧の立上がりを加速し、前記第2のスイッチのONあるいはOFFに応じて前記出力端子から基準電位ラインへ電流をシンクすることで前記バッファアンプの出力電圧の立下がりを加速するバッファ回路において、

前記PチャンネルあるいはNチャンネルのいずれか他方のMOSTランジスタで前記バッファアンプの入力電圧と出力電圧とを比較する比較部が構成された第3のコンパレータと、

前記PチャンネルあるいはNチャンネルのいずれか一方のMOSTランジスタで前記バッファアンプの入力電圧と出力電圧とを比較する比較部が構成された第4のコンパレータと、

前記第1のコンパレータの前記比較部を構成する前記トランジスタの不感帯の範囲に前記第3のコンパレータの比較動作を制限するための第1の動作制限回路と、

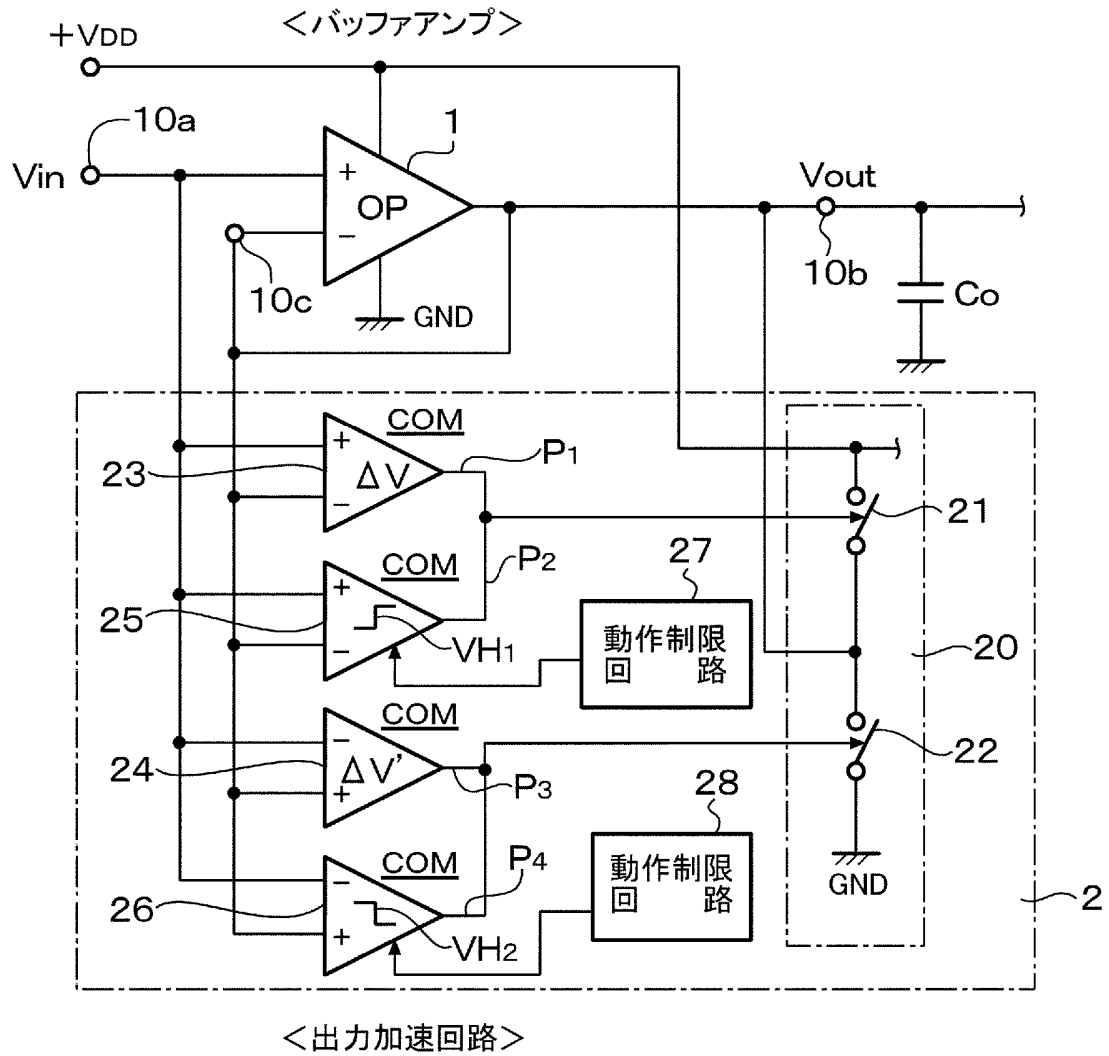
前記第4のコンパレータの比較動作を前記第2のコンパレータの前記比較部を構成する前記トランジスタの不感帯の範囲に制限するための第2の動作制限回路とを備え、

前記第1のスイッチ回路が前記第1のコンパレータの前記出力信号および前記第3のコンパレータの出力信号に応じてONあるいはOFFされ、前記第2のスイッチ回路が前記第2のコンパレータの前記出力信号および前記第4のコンパレータの出力信号に応じてONあるいはOFFされるバッファ回路。

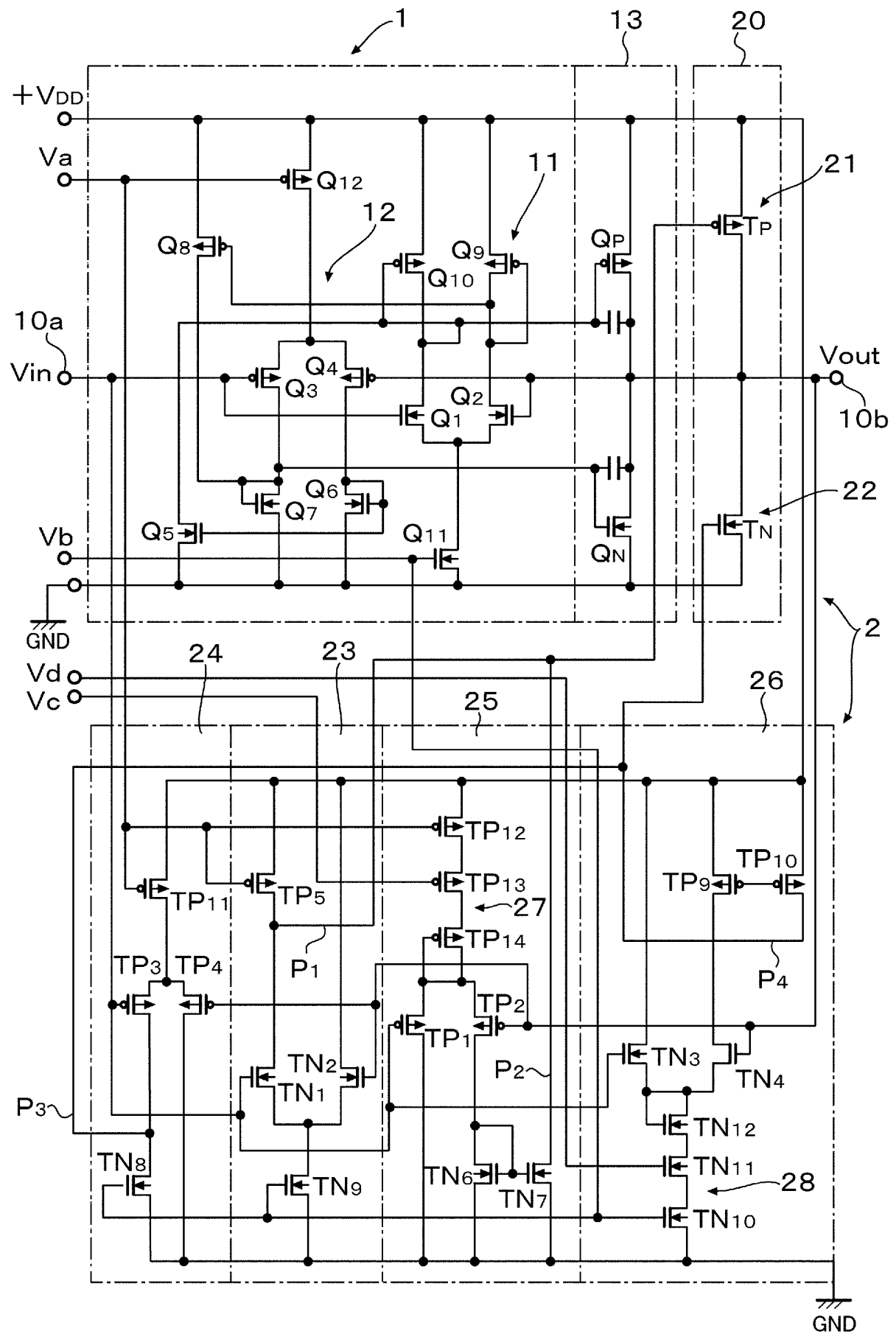
- [13] 請求項1から12項記載のいずれか1項記載のバッファ回路を複数個有するドライバIC。
- [14] 前記ドライバICの前記複数のバッファ回路が表示パネルの端子ピン対応にそれぞれ設けられ各前記端子ピンにそれぞれ前記出力電圧を送出する請求項13記載の前記ドライバICを有する表示装置。
- [15] 前記表示パネルは、アクティブマトリックス型の有機EL表示パネルである請求項14記載の表示装置。

[図1]

## 10&lt;バッファ回路&gt;



[図2]



# INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/016307

## A. CLASSIFICATION OF SUBJECT MATTER

**H03F1/56**(2006.01), **H03F3/50**(2006.01), **H03K19/0175**(2006.01)

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

**H03F1/56**(2006.01), **H03F3/50**(2006.01), **H03K19/0175**(2006.01)

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

|                           |           |                            |           |
|---------------------------|-----------|----------------------------|-----------|
| Jitsuyo Shinan Koho       | 1922-1996 | Jitsuyo Shinan Toroku Koho | 1996-2005 |
| Kokai Jitsuyo Shinan Koho | 1971-2005 | Toroku Jitsuyo Shinan Koho | 1994-2005 |

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages                                                                              | Relevant to claim No. |
|-----------|-----------------------------------------------------------------------------------------------------------------------------------------------------------------|-----------------------|
| A         | JP 2004-140487 A (Rohm Co., Ltd.),<br>13 May, 2004 (13.05.04),<br>Par. Nos. [0001] to [0060]; Figs. 1 to 8<br>& US 2004-75500 A1                                | 1-15                  |
| A         | JP 2004-32603 A (NEC Corp.),<br>29 January, 2004 (29.01.04),<br>Par. Nos. [0001] to [0161]; Figs. 1 to 18<br>& US 2004-949 A1 & EP 1376859 A1<br>& CN 1495995 A | 1-15                  |

☐ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

\* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search  
13 December, 2005 (13.12.05)

Date of mailing of the international search report  
20 December, 2005 (20.12.05)

Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

## A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. **H03F1/56** (2006.01), **H03F3/50** (2006.01), **H03K19/0175** (2006.01)

## B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. **H03F1/56** (2006.01), **H03F3/50** (2006.01), **H03K19/0175** (2006.01)

最小限資料以外の資料で調査を行った分野に含まれるもの

|             |            |
|-------------|------------|
| 日本国実用新案公報   | 1922-1996年 |
| 日本国公開実用新案公報 | 1971-2005年 |
| 日本国実用新案登録公報 | 1996-2005年 |
| 日本国登録実用新案公報 | 1994-2005年 |

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

## C. 関連すると認められる文献

| 引用文献の<br>カテゴリー* | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示                                                                            | 関連する<br>請求の範囲の番号 |
|-----------------|--------------------------------------------------------------------------------------------------------------|------------------|
| A               | JP 2004-140487 A (ローム株式会社) 2004.05.13, 【0001】～【0060】、図1～図8、US 2004-75500 A1                                  | 1-15             |
| A               | JP 2004-32603 A (日本電気株式会社) 2004.01.29, 【0001】～【0161】、図1～図18、 & US 2004-949 A1 & EP 1376859 A1 & CN 1495995 A | 1-15             |

☐ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの  
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの  
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)  
「O」 口頭による開示、使用、展示等に言及する文献  
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの  
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの  
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの  
「&」 同一パテントファミリー文献

国際調査を完了した日

13.12.2005

国際調査報告の発送日

20.12.2005

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)  
郵便番号100-8915  
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

野元 久道

5W

9184

電話番号 03-3581-1101 内線 3576