

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7543452号
(P7543452)

(45)発行日 令和6年9月2日(2024.9.2)

(24)登録日 令和6年8月23日(2024.8.23)

(51)国際特許分類		F I	
H O 1 L	21/338 (2006.01)	H O 1 L	29/80 H
H O 1 L	29/778 (2006.01)	H O 1 L	29/80 F
H O 1 L	29/812 (2006.01)	H O 1 L	29/50 J
H O 1 L	29/417 (2006.01)	H O 1 L	29/44 Y
H O 1 L	29/41 (2006.01)	H O 1 L	21/28 3 0 1 B
		請求項の数	35 外国語出願 (全64頁) 最終頁に続く
(21)出願番号	特願2023-240(P2023-240)	(73)特許権者	592054856
(22)出願日	令和5年1月4日(2023.1.4)		ウルフスピード インコーポレイテッド
(62)分割の表示	特願2021-544206(P2021-544206)		W O L F S P E E D , I N C .
原出願日	令和2年1月28日(2020.1.28)		アメリカ合衆国 ノースカロライナ州 2
(65)公開番号	特開2023-41688(P2023-41688A)		7 7 0 3 ダラム シリコン ドライブ 4
(43)公開日	令和5年3月24日(2023.3.24)	(74)代理人	6 0 0
審査請求日	令和5年2月2日(2023.2.2)		100094569
(31)優先権主張番号	16/260,095	(74)代理人	弁理士 田中 伸一郎
(32)優先日	平成31年1月28日(2019.1.28)	(74)代理人	100109070
(33)優先権主張国・地域又は機関	米国(US)		弁理士 須田 洋之
(31)優先権主張番号	16/376,596	(74)代理人	100067013
(32)優先日	平成31年4月5日(2019.4.5)		弁理士 大塚 文昭
(33)優先権主張国・地域又は機関		(74)代理人	
最終頁に続く		(74)代理人	上杉 浩
		(74)代理人	100120525
		最終頁に続く	

(54)【発明の名称】 埋込みp型層を有する第ⅡⅡ族窒化物高電子移動度トランジスタおよびその作製プロセス

(57)【特許請求の範囲】

【請求項1】
装置であって、
基板と、
前記基板上の第ⅡⅡ族窒化物バッファ層と、
前記第ⅡⅡ族窒化物バッファ層上の第ⅡⅡ族窒化物バリア層であって、前記第ⅡⅡ族窒化物バッファ層のバンドギャップより大きいバンドギャップを有する第ⅡⅡ族窒化物バリア層と、
前記第ⅡⅡ族窒化物バリア層に電氣的に結合されたソースと、
前記第ⅡⅡ族窒化物バリア層に電氣的に結合されたゲートと、
前記第ⅡⅡ族窒化物バリア層に電氣的に結合されたドレインと、
前記第ⅡⅡ族窒化物バリア層の下の前記基板内に少なくとも位置するp領域と、
前記p領域に電氣的に結合されたコンタクトパッドであって、前記ソース、前記ゲートおよび前記ドレインから電氣的に分離されて実装される、コンタクトパッドと、
を備える、装置。
【請求項2】
前記p領域に電氣的に結合されたp型材料コンタクトと、
前記p領域に前記コンタクトパッドを電氣的に接続し、前記p型材料コンタクトと前記コンタクトパッドとの間に延びるように構成された導電性材料を含む、接続部と、
をさらに備える、請求項1に記載の装置。

【請求項 3】

前記コンタクトパッドがバイアスおよび信号のうちの少なくとも1つを受け取るように構成され、前記コンタクトパッドが前記ソース、前記ゲートおよび前記ドレインから電氣的に分離するように構成され実装される、請求項1に記載の装置。

【請求項 4】

前記 p 領域が前記第 I I I 族窒化物バリア層の下の前記基板上にさらに位置し、前記 p 領域が少なくとも部分的に前記ゲートの下に位置し、前記ドレイン付近の前記ゲートを越えて位置しないように、前記 p 領域が前記第 I I I 族窒化物バリア層に平行に制限された長さを延ばすように構造化され配置される、請求項1に記載の装置。

【請求項 5】

前記 p 領域が注入され、
前記 p 領域の長さが、前記ゲートと前記ドレインとの間の距離の 0 % から 5 0 % まで延びるように、前記基板の表面と平行に構成され構造化される、
請求項1に記載の装置。

【請求項 6】

前記 p 領域が前記第 I I I 族窒化物バリア層の下の前記基板上にさらに位置する、請求項1に記載の装置。

【請求項 7】

前記 p 領域が前記第 I I I 族窒化物バリア層の下の前記基板上にさらに位置し、前記 p 領域が前記第 I I I 族窒化物バリア層に平行に全長を延ばすように構造化され配置される、請求項1に記載の装置。

【請求項 8】

前記 p 領域が前記第 I I I 族窒化物バリア層の下の前記基板内に単独で配置され、
前記 p 領域が、前記第 I I I 族窒化物バッファ層が設けられた前記基板の表面に平行な長さを有し、前記 p 領域が少なくとも前記基板の表面に垂直な前記ドレインの垂直軸に沿って位置しないように、前記基板の表面に平行な前記 p 領域の長さが少なくとも前記ソースから前記ゲートの方向に延びる、
請求項1に記載の装置。

【請求項 9】

装置であって、
基板と、
前記基板上の第 I I I 族窒化物バッファ層と、
前記第 I I I 族窒化物バッファ層上の第 I I I 族窒化物バリア層であって、前記第 I I I 族窒化物バッファ層のバンドギャップより大きいバンドギャップを有する第 I I I 族窒化物バリア層と、
前記第 I I I 族窒化物バリア層に電氣的に結合されたソースと、
前記第 I I I 族窒化物バリア層に電氣的に結合されたゲートと、
前記第 I I I 族窒化物バリア層に電氣的に結合されたドレインと、
前記第 I I I 族窒化物バリア層の下の前記基板内または前記基板上のうちの少なくとも1つに位置する p 領域と、
を備え、

前記 p 領域が前記第 I I I 族窒化物バリア層の下に埋め込まれており、前記 p 領域が p 型材料コンタクトなしおよび接続なしで構成され、
前記 p 領域が前記第 I I I 族窒化物バリア層の下に埋め込まれており、前記 p 領域が前記ゲートを越えて水平に位置しないように、前記 p 領域が前記第 I I I 族窒化物バリア層に平行に制限された長さを延ばすように構造化され配置される、
装置。

【請求項 10】

前記 p 領域が注入され、
前記 p 領域が少なくとも部分的に前記ゲートの下に位置し、前記ドレイン付近の前記

10

20

30

40

50

ゲートを超えて位置しないように、前記 p 領域が前記第ⅠⅠⅠ族窒化物バリア層に平行に制限された長さを延ばすように構造化され配置される、

請求項 9 に記載の装置。

【請求項 11】

前記 p 領域は前記第ⅠⅠⅠ族窒化物バリア層の下の前記基板内に位置し、

前記 p 領域が少なくとも部分的に前記ゲートの下に位置し、前記ドレイン付近の前記ゲートを超えて位置しないように、前記 p 領域が前記第ⅠⅠⅠ族窒化物バリア層に平行に制限された長さを延ばすように構造化され配置される、

請求項 9 に記載の装置。

【請求項 12】

前記基板上のエピタキシャル層をさらに備え、前記 p 領域が前記エピタキシャル層内に位置する、請求項 9 に記載の装置。

【請求項 13】

前記 p 領域が前記第ⅠⅠⅠ族窒化物バリア層の下の前記基板内に単独で配置され、

前記 p 領域が少なくとも部分的に前記ゲートの下に位置し、前記ドレイン付近の前記ゲートを超えて位置しないように、前記 p 領域が前記第ⅠⅠⅠ族窒化物バリア層に平行に制限された長さを延ばすように構造化され配置される、

請求項 9 に記載の装置。

【請求項 14】

前記基板上のエピタキシャル層をさらに備え、前記 p 領域が前記エピタキシャル層内に単独で配置される、請求項 9 に記載の装置。

【請求項 15】

フィールドプレートをさらに備える、請求項 9 に記載の装置。

【請求項 16】

フィールドプレートをさらに備え、前記フィールドプレートが前記ソースに電氣的に結合される、請求項 9 に記載の装置。

【請求項 17】

前記 p 領域が前記第ⅠⅠⅠ族窒化物バリア層の下に埋め込まれており、

前記 p 領域が前記第ⅠⅠⅠ族窒化物バリア層に平行に全長を延ばすように構造化され配置される、

請求項 16 に記載の装置。

【請求項 18】

装置であって、

基板と、

前記基板上の第ⅠⅠⅠ族窒化物バッファ層と、

前記第ⅠⅠⅠ族窒化物バッファ層上の第ⅠⅠⅠ族窒化物バリア層であって、前記第ⅠⅠⅠ族窒化物バッファ層のバンドギャップより大きいバンドギャップを有する第ⅠⅠⅠ族窒化物バリア層と、

前記第ⅠⅠⅠ族窒化物バリア層に電氣的に結合されたソースと、

前記第ⅠⅠⅠ族窒化物バリア層に電氣的に結合されたゲートと、

前記第ⅠⅠⅠ族窒化物バリア層に電氣的に結合されたドレインと、

前記第ⅠⅠⅠ族窒化物バリア層の下の前記基板内または前記基板上のうちの少なくとも 1 つに位置する p 領域と、

を備え、

前記 p 領域が前記ゲートの下に垂直に位置しないように、前記 p 領域が前記第ⅠⅠⅠ族窒化物バリア層に平行に制限された長さを延ばすように構造化され配置され、

前記 p 領域が p 型材料コンタクトなしおよび接続なしで構成され、

前記 p 領域が前記第ⅠⅠⅠ族窒化物バリア層の下の前記基板上に位置する、

装置。

【請求項 19】

前記 p 領域が前記第ⅠⅠⅠ族窒化物バリア層の下の前記基板内に位置する、請求項 18 に記載の装置。

【請求項 20】

装置であって、

基板と、

前記基板上の第ⅠⅠⅠ族窒化物バッファ層と、

前記第ⅠⅠⅠ族窒化物バッファ層上の第ⅠⅠⅠ族窒化物バリア層であって、前記第ⅠⅠⅠ族窒化物バッファ層のバンドギャップより大きいバンドギャップを有する第ⅠⅠⅠ族窒化物バリア層と、

前記第ⅠⅠⅠ族窒化物バリア層に電氣的に結合されたソースと、

前記第ⅠⅠⅠ族窒化物バリア層に電氣的に結合されたゲートと、

前記第ⅠⅠⅠ族窒化物バリア層に電氣的に結合されたドレインと、

前記第ⅠⅠⅠ族窒化物バリア層の下の前記基板内または前記基板上のうちの少なくとも 1 つに位置する p 領域と、

前記基板上のエピタキシャル層と、を備え、前記 p 領域が前記エピタキシャル層内に位置し、

前記 p 領域が前記ゲートの下に垂直に位置しないように、前記 p 領域が前記第ⅠⅠⅠ族窒化物バリア層に平行に制限された長さを延ばすように構造化され配置され、

前記 p 領域が p 型材料コンタクトなしおよび接続なしで構成される、装置。

【請求項 21】

前記 p 領域が前記第ⅠⅠⅠ族窒化物バリア層の下の前記基板内に単独で配置される、請求項 18 に記載の装置。

【請求項 22】

前記基板上のエピタキシャル層をさらに備え、前記 p 領域が前記エピタキシャル層内に単独で配置される、請求項 18 に記載の装置。

【請求項 23】

前記 p 領域が注入される、請求項 18 に記載の装置。

【請求項 24】

前記基板上の核形成層をさらに備え、前記第ⅠⅠⅠ族窒化物バッファ層が前記核形成層上に位置する、請求項 1 に記載の装置。

【請求項 25】

前記核形成層と前記第ⅠⅠⅠ族窒化物バッファ層との間に介在層をさらに備える、請求項 24 に記載の装置。

【請求項 26】

前記 p 領域の長さが前記基板の全長より小さい、請求項 1 に記載の装置。

【請求項 27】

前記 p 領域が前記基板内に設けられ、前記 p 領域が前記基板に注入されたアルミニウムを含む、請求項 1 に記載の装置。

【請求項 28】

前記 p 領域が前記基板上に配置された層内に設けられ、前記層がエピタキシャル層であり、前記層が GaN または SiC のうちの少なくとも 1 つである、請求項 1 に記載の装置。

【請求項 29】

前記フィールドプレートが前記ソースに接続される、請求項 15 に記載の装置。

【請求項 30】

前記基板上の核形成層をさらに備え、前記第ⅠⅠⅠ族窒化物バッファ層が前記核形成層上に位置する、請求項 18 に記載の装置。

【請求項 31】

前記核形成層と前記第ⅠⅠⅠ族窒化物バッファ層との間に介在層をさらに備える、請求項 30 に記載の装置。

10

20

30

40

50

【請求項 3 2】

前記 p 領域の長さが前記基板の全長より小さい、請求項 1 8 に記載の装置。

【請求項 3 3】

前記 p 領域が前記基板内に設けられ、前記 p 領域が前記基板に注入されたアルミニウムを含む、請求項 1 8 に記載の装置。

【請求項 3 4】

前記 p 領域が前記基板上に配置された層内に設けられ、前記層がエピタキシャル層であり、前記層が GaN または SiC のうちの少なくとも 1 つである、請求項 1 8 に記載の装置。

【請求項 3 5】

フィールドプレートをさらに備える、請求項 1 8 に記載の装置。

【発明の詳細な説明】

【技術分野】

【0001】

先行出願の相互参照

本出願は、全体として参照により本明細書に組み込まれている 2019 年 1 月 28 日出願の米国特許出願第 16 / 260, 095 号の一部継続出願であり、その出願は全体として参照により本明細書に組み込まれている 2017 年 2 月 3 日出願の米国特許出願第 15 / 424, 209 号、現在は 2019 年 1 月 29 日発行の米国特許第 10, 192, 980 号の一部継続出願であり、その出願は全体として参照により本明細書に組み込まれている 2016 年 6 月 24 日出願の米国特許出願第 15 / 192, 545 号の一部継続出願である。

【0002】

本開示は、マイクロ電子デバイスに関し、より詳細には、埋込み p 型層を有する窒化ガリウム高電子移動度トランジスタに関する。本開示はまた、マイクロ電子デバイスを作製するプロセスに関し、より詳細には、埋込み p 型層を有する窒化ガリウム高電子移動度トランジスタを作製するプロセスに関する。

【背景技術】

【0003】

第 III 族窒化物ベースの高電子移動度トランジスタ (HEMT) は、高電力無線周波 (RF) の適用分野にとって、また低周波高電力スイッチングの適用分野にとっても、非常に有望な候補である。なぜなら、GaN およびその合金などの第 III 族窒化物の材料特性は、RF の適用分野において、高 RF 利得および線形性とともにより高い電圧および高電流の実現を可能にするからである。典型的な第 III 族窒化物 HEMT は、より大きいバンドギャップの第 III 族窒化物 (たとえば、AlGaN) バリア層と、より小さいバンドギャップの第 III 族窒化物材料 (たとえば、GaN) バッファ層との間の界面に形成された 2 次元電子ガス (2DEG) の構成に依拠しており、材料のバンドギャップが小さければ小さいほど、電子親和力は高くなる。2DEG は、より小さいバンドギャップの材料内の蓄積層であり、高い電子濃度および高い電子移動度を含むことができる。

【0004】

これらのトランジスタデバイスにおける重要な課題は、バッファ層の設計である。現在、多くの設計では、高ドレイン電圧条件でバッファ層を通る漏れ電流を最小にするために、鉄 (Fe) または炭素 (C) などの深いレベルの不純物を使用している。しかし、Fe および C はどちらも、ドレイン電圧が高い値からより低い値へ変化したときにドレイン電流の回復が遅くなるというドレイン遅延作用を招く。これは、より低いスイッチング電流、より低い効率、および他の問題を招くため、電力および RF のどちらの適用分野にとってもまったく望ましくない。電気通信の適用分野では、そのようなドレイン遅延作用は、歪みを招き、また予歪補正方式を複雑にする可能性がある。ドレイン遅延作用は、Fe または C を含まない高純度バッファ層を使用することによって解消することができる。しかし、これらのデバイスは、バッファ層を通る高い漏れ電流を有しており、これもまた許容

10

20

30

40

50

することができない。

【0005】

高い電圧および電流でこれらのデバイス内に存在する高い電界により、電荷トラップिंगが性能の低減を招く可能性がある。電界を修正し、第Ⅲ族窒化物HEMTの性能を改善するために、重なったゲート構造またはフィールドプレートが使用されている。

【0006】

したがって、第Ⅲ族窒化物HEMTにおける遅延作用に対処し、そのようなデバイスの性能を改善するための代替の解決策が必要とされている。

【発明の概要】

【0007】

本発明の一態様によれば、トランジスタデバイスは、より高純度のバッファ層の使用を可能にするための埋込みp層を使用し、それによってドレイン遅延作用を低減させながら、漏れ電流を低減させる。特定の実施形態では、トランジスタデバイスは、基板上の第Ⅲ族窒化物バッファ層と、第Ⅲ族窒化物バッファ層上の第Ⅲ族窒化物バリア層とを備える第Ⅲ族窒化物HEMTである。第Ⅲ族窒化物（たとえば、AlGaN）バリア層は、第Ⅲ族窒化物（たとえば、GaN）バッファ層より大きいバンドギャップを有する。ソース、ゲート、およびドレインコンタクトは、第Ⅲ族窒化物バリア層に電氣的に結合される。p領域は、前記第Ⅲ族窒化物バリア層の下に設けられる。

【0008】

特定の実施形態では、トランジスタデバイスは、基板上の第Ⅲ族窒化物バッファ層と、第Ⅲ族窒化物バッファ層上の第Ⅲ族窒化物バリア層とを備える第Ⅲ族窒化物HEMTである。第Ⅲ族窒化物（たとえば、AlGaN）バリア層は、第Ⅲ族窒化物（たとえば、GaN）バッファ層より大きいバンドギャップを有する。ソース、ゲート、およびドレインコンタクトは、第Ⅲ族窒化物バリア層に電氣的に結合される。トランジスタは、前記p領域に電氣的に結合されたコンタクトパッドをさらに含む。

【0009】

特定の実施形態では、トランジスタデバイスは、基板上の第Ⅲ族窒化物バッファ層と、第Ⅲ族窒化物バッファ層上の第Ⅲ族窒化物バリア層とを備える第Ⅲ族窒化物HEMTである。第Ⅲ族窒化物（たとえば、AlGaN）バリア層は、第Ⅲ族窒化物（たとえば、GaN）バッファ層より大きいバンドギャップを有する。ソース、ゲート、およびドレインコンタクトは、第Ⅲ族窒化物バリア層に電氣的に結合される。ゲートは、p領域に電氣的に結合される。

【0010】

特定の実施形態では、p領域は、バリア層の下の基板内および／または基板上にある。

【0011】

特定の実施形態では、p領域は注入される。

【0012】

特定の実施形態では、p領域は、エピタキシャル層内にある。

【0013】

特定の実施形態では、p領域は、複数のp領域を含む。

【0014】

特定の実施形態では、p領域は、別個のコンタクトを有する。

【0015】

特定の実施形態では、p領域は、ソースに電氣的に接続される。

【0016】

特定の実施形態では、p領域は、ゲートに電氣的に接続される。

【0017】

特定の実施形態では、HEMTは、フィールドプレートを備える、

【0018】

特定の実施形態では、フィールドプレートは、ソースに電氣的に接続される。

10

20

30

40

50

【0019】

特定の実施形態では、フィールドプレートおよびp領域が、ソースに接続される。

【0020】

特定の実施形態では、トランジスタは、コンタクトパッドをp領域に電氣的に接続する接続部を含むことができる。

【0021】

特定の実施形態では、コンタクトパッドは、バイアスおよび信号のうちの少なくとも1つを受け取るように構成される。

【0022】

特定の実施形態では、トランジスタは、ゲートを前記p領域に電氣的に接続する接続部を含むことができる。

10

【0023】

本発明の概略的な態様は、上述したトランジスタデバイスを作製する方法を含む。

【0024】

本開示の追加の特徴、利点、および態様は、以下の詳細な説明、図面、および特許請求の範囲の考察から説明しまたは明らかにすることができる。さらに、本開示の上記の概要および以下の詳細な説明はどちらも例示であり、本開示の特許請求の範囲を限定することなく、さらなる説明を提供することを意図したものであることを理解されたい。

【0025】

本開示のさらなる理解を提供するために含まれている添付の図面は、本明細書に組み込まれて本明細書の一部を構成しており、本開示の態様を示し、詳細な説明とともに、本開示の原理について説明する働きをする。本開示および本開示を実施することができる様々な方法の根本的な理解のために必要とされる以上に、本開示の構造的な細部についてより詳細に示すことを試みるものではない。

20

【図面の簡単な説明】

【0026】

【図1】本開示によるトランジスタの一態様の断面図である。

【図2】本開示によるトランジスタの別の態様の断面図である。

【図3】本開示によるトランジスタの別の態様の断面図である。

【図4】本開示によるトランジスタの別の態様の断面図である。

30

【図5】本開示によるトランジスタの別の態様の断面図である。

【図6】本開示によるトランジスタの別の態様の断面図である。

【図7】本開示によるトランジスタの別の態様の断面図である。

【図8】本開示によるトランジスタの別の態様の断面図である。

【図9】本開示によるトランジスタの別の態様の断面図である。

【図10】本開示によるトランジスタの別の態様の断面図である。

【図11】本開示によるトランジスタの別の態様の断面図である。

【図12】本開示によるトランジスタの別の態様の断面図である。

【図13】本開示によるトランジスタの別の態様の断面図である。

【図14】本開示によるトランジスタを作製するプロセスを示す図である。

40

【図15】従来の注入条件のシミュレーションと比較した、本開示の態様によるチャネリング条件で注入されたA1の分布を示す図である。

【図16】本開示によるトランジスタの別の態様の断面図である。

【図17】本開示によるトランジスタの別の態様の断面図である。

【図18】本開示によるトランジスタの別の態様の断面図である。

【図19】本開示によるトランジスタの別の態様の断面図である。

【図20】本開示によるトランジスタの別の態様の断面図である。

【図21】本開示によるトランジスタの別の態様の断面図である。

【図22】本開示によるトランジスタの別の態様の断面図である。

【図23】本開示によるトランジスタの別の態様の断面図である。

50

【図 2 4】本開示によるトランジスタの別の態様の断面図である。
【図 2 5】本開示によるトランジスタの別の態様の断面図である。
【図 2 6】本開示によるトランジスタの別の態様の断面図である。
【図 2 7】本開示によるトランジスタの別の態様の断面図である。
【図 2 8】本開示によるトランジスタの別の態様の断面図である。
【図 2 9】本開示によるトランジスタの別の態様の断面図である。
【図 3 0】本開示によるトランジスタの別の態様の断面図である。
【図 3 1】本開示によるトランジスタの別の態様の断面図である。
【図 3 2】本開示によるトランジスタの別の態様の断面図である。
【図 3 3】本開示によるトランジスタの別の態様の断面図である。
【図 3 4】本開示によるトランジスタの別の態様の断面図である。
【図 3 5】本開示によるトランジスタの別の態様の断面図である。

10

【発明を実施するための形態】

【0027】

本開示の態様ならびにその様々な特徴および有利な詳細について、添付の図面に記載および／または図示ならびに以下の説明に詳述されている非限定的な態様および例を参照して、より詳細に説明する。本明細書に明示されていない場合でも、当業者には理解されるように、図面に示す特徴は必ずしも原寸に比例して描かれておらず、一態様の特徴を他の態様で用いることもできることに留意されたい。よく知られている構成要素および処理技法の説明は、本開示の態様を不必要に曖昧にしないために省略されていることがある。本明細書に使用される例は、本開示を実施することができる方法の理解を容易にし、さらに当業者であれば本開示の態様を実施することを可能にするのみを意図したものである。したがって、本明細書の例および態様は、本開示の範囲を限定すると解釈されるべきではなく、本開示の範囲は、添付の特許請求の範囲および適用法によってのみ定義される。さらに、図面のいくつかの図の全体にわたって、開示する異なる実施形態において、同じ参照番号は類似の部分を表すことに留意されたい。

20

【0028】

様々な要素について説明するために、第 1、第 2 などの用語が本明細書で使用されることがあるが、これらの要素はこれらの用語によって限定されるべきではないことが理解されよう。これらの用語は、ある要素を別の要素と区別するためにのみ使用される。たとえば、本開示の範囲から逸脱することなく、第 1 の要素を第 2 の要素と呼ぶこともでき、同様に第 2 の要素を第 1 の要素と呼ぶこともできる。本明細書では、「および／または」という用語は、列挙された関連する項目のうちの 1 つまたは複数のあらゆる組合せを含む。

30

【0029】

層、領域、または基板などの要素が別の要素の「上 (on)」に位置する、または別の要素の「上 (onto)」へ延びると表現されるとき、この要素は別の要素の上に直接位置し、もしくは別の要素の上へ直接延びることができ、または介在する要素が存在することもできることが理解されよう。対照的に、ある要素が別の要素の「上に直接 (directly on)」位置する、または別の要素の「上へ直接 (directly onto)」延びると表現されるとき、介在する要素は存在しない。同様に、層、領域、または基板などの要素が別の要素の「上 (over)」に位置する、または別の要素の「上 (over)」に延びると表現されるとき、この要素は別の要素の上に直接位置し、もしくは別の要素の上へ直接延びることができ、または介在する要素が存在することもできることが理解されよう。対照的に、ある要素が別の要素の「上に直接 (directly over)」位置する、または別の要素の「上に直接 (directly over)」延びると表現されるとき、介在する要素は存在しない。ある要素が別の要素に「接続 (connected)」または「結合 (coupled)」されていると表現されるとき、この要素は別の要素に直接接続もしくは結合することができ、または介在する要素が存在することもできることも理解されよう。対照的に、ある要素が別の要素に「直接接続 (directly connected)」または「直接結合 (directly coupled)」

40

50

)」されていると表現されるとき、介在する要素は存在しない。

【0030】

「下 (below)」もしくは「上 (above)」、または「上 (upper)」もしくは「下 (lower)」、または「水平 (horizontal)」もしくは「垂直 (vertical)」などの相対的な用語は、図に示されている1つの要素、層、または領域と別の要素、層、または領域との関係を説明するために、本明細書で 사용할ことができる。これらの用語および上記で論じた内容は、図に示されている向きに加えて、デバイスの異なる向きも包含することを意図したものであることが理解されよう。

【0031】

本明細書に使用される術語は、特定の態様について説明することのみを目的とし、本開示を限定することを意図したものではない。本明細書では、単数形の「a」、「an」、および「the」は、文脈上別途明白に示さない限り、複数形も同様に含むことを意図したものである。本明細書で使われるとき、「備える (comprises)」、「備える (comprising)」、「含む (includes)」、および／または「含む (including)」という用語は、記載の特徴、整数、ステップ、動作、要素、および／または構成要素の存在を指定するが、1つまたは複数の他の特徴、整数、ステップ、動作、要素、構成要素、および／またはこれらの群の存在または追加を排除しないことがさらに理解されよう。

【0032】

別途定義されない限り、本明細書で使われるあらゆる用語（技術的および科学的な用語を含む）は、本開示が属する技術分野の当業者によって一般に理解されるものと同じ意味を有する。本明細書で使われる用語は、本明細書の文脈および関連技術における意味に一貫した意味を有すると解釈されるべきであり、本明細書でそのように明確に定義しない限り、理想化されたまたは過度に形式的な意味で解釈されないことがさらに理解されよう。

【0033】

構造のタイプに加えて、トランジスタが形成される半導体材料の特性はまた、動作パラメータにも影響することができる。トランジスタの動作パラメータに影響する特性の中でも、電子移動度、飽和電子ドリフト速度、破壊電界、および熱伝導率は、トランジスタの高周波および高電力特性に影響を与えることができる。

【0034】

電子移動度とは、電子が電界の存在下でその飽和速度までどれだけ急速に加速されるかという測定値である。過去、高い電子移動度を有する半導体材料が好まれていた。なぜなら、より小さい電界でより多くの電流を生じさせることができ、その結果、電界が印加されたときにより速い応答時間が得られるからである。飽和電子ドリフト速度とは、電子が半導体材料内で得ることができる最大速度である。高周波の適用分野では、速度をより速くすることが、ソースからドレインまでの時間をより短くすることにつながるため、より速い飽和電子ドリフト速度を有する材料が好ましい。

【0035】

破壊電界とは、ショットキー接合の破壊およびデバイスのゲートを通る電流が突然増大する電界強度である。概して所与の寸法の材料によってより大きい電界を支持することができるため、高破壊電界の材料が高電力の高周波トランジスタにとって好ましい。より大きい電界は、より小さい電界より電子を迅速に加速させることができるため、より大きい電界はより速い過渡現象を可能にする。

【0036】

熱伝導率とは、熱を放散する半導体材料の能力である。典型的な動作では、すべてのトランジスタが熱を生成する。高電力および高周波トランジスタは通常、小信号トランジスタより大量の熱を生成する。半導体材料の温度が増大すると、温度の増大とともにキャリア移動度が減少することにより、接合漏れ電流が概して増大し、電界効果トランジスタを通る電流は概して減少する。したがって、半導体から熱が放散される場合、材料はより低

10

20

30

40

50

い温度のままであり、より低い漏れ電流でより大きい電流を運ぶことが可能である。

【0037】

本開示は、外因性半導体および真性半導体の両方を含む。真性半導体は非ドーブ（純粋）である。外因性半導体はドーブされており、これは、熱平衡状態にある半導体の電子および正孔キャリア濃度を変化させるために、作用物が導入されていることを意味する。p型およびn型のどちらの半導体も開示されており、p型は、電子濃度より大きい正孔濃度を有し、n型は、正孔濃度より大きい電子濃度を有する。

【0038】

炭化ケイ素（SiC）は、優れた物理および電子特性を有し、これは理論的には、ケイ素（Si）または砒化ガリウム（GaAs）の基板から作製されたデバイスより高い温度、より高い電力、およびより高い周波数で動作することができる電子デバイスの作製を可能にするはずである。約 $4 \times 10^6 \text{ V/cm}$ という高い破壊電界、約 $2.0 \times 10^7 \text{ cm/sec}$ という高い飽和電子ドリフト速度、および約 $4.9 \text{ W/cm}^2 \cdot \text{K}$ という高い熱伝導率は、SiCが高周波および高電力の適用分野にとって好適となるはずであることを示す。いくつかの実施形態では、本発明のトランジスタは、Si、GaAs、または他の好適な基板を備える。

【0039】

開示するHEMTのドレイン遅延は、いくつかの態様では、構造物の追加によって対処される。これらの構造物では、漏れ電流を必要以上に増大させることなく、同時に高い破壊を実現しながら、ドレイン遅延を低減させるために、埋込みp型層が使用される。p型層は破壊電圧の最適化を助け、容易に充電および放電することができ、これによりドレイン遅延の低減が確実になる。一実施形態では、p型層は、SiC基板内に形成される。

【0040】

p領域が基板内に形成される実施形態では、2つの問題を軽減することができる。1. イオン注入を使用して第III族N内にp型層を形成することは困難である。選択的イオン注入は、異なる領域で異なる濃度のドーパントを得ることが可能になることによって、デバイス構造の最適化を可能にする。これは、エピタキシャル成長による場合はより困難になる可能性がある。しかし、本発明の異なる実施形態による埋込みp領域は、基板内に単独で設けることができ、基板からエピタキシャル層へ延びることができ、またはエピタキシャル層内に単独で位置することができることを理解されたい。ドーパントは、イオン注入のみによって、エピタキシャル成長によって、または両者の組合せによって、エピタキシャル層内へ組み込むことができる。2. マグネシウム（Mg）を使用したGaNのp型ドーブはまた、メモリ効果を呈し、これは境目のはっきりした界面の形成を妨げる。

【0041】

開示するプロセスおよび構造は、ドレイン遅延作用を低減させながら電力スイッチングに好適な高電圧能力を有する第III族NのHEMTの開発を可能にすることができる。開示するプロセスおよび構造はまた、より小型のデバイス構造をもたらすことができ（電界成形の最適化による）、それによりコストが下がる。加えて、適切な設計により、開示する構造物はまた、電気通信および他の適用分野向けの高電力RFデバイスに適用することができる。重要な利点は、電気通信の適用分野にとって深刻な問題であるデバイスのメモリ効果が最小になることである。

【0042】

図1は、本開示によるトランジスタの一実施形態の断面図を示す。

【0043】

特に、図1は、トランジスタ100の断面図を示す。トランジスタ100は、基板層102を含むことができる。基板層102は、炭化ケイ素（SiC）から作製することができる。いくつかの態様では、基板層102は、半絶縁性のSiC基板、p型基板、n型基板などとすることができる。いくつかの態様では、基板層102は、非常に低濃度でドーブすることができる。一態様では、背景の不純物レベルを低くすることができる。一態様では、背景の不純物レベルを $1 \times 10^{15} \text{ cm}^{-3}$ 以下にすることができる。一態様では、基板

10

20

30

40

50

層 102 は、6H、4H、15R、3C の SiC などからなる群から選択された SiC から形成することができ、SiC は、半絶縁性を有しており、バナジウムもしくは任意の他の好適なドーパントでドーピングされ、または高純度の非ドーピングであり、半絶縁特性を提供する欠陥がある。

【0044】

別の態様では、基板層 102 は、GaAs、GaN、または本明細書に記載する適用分野に好適な他の材料とすることができる。別の態様では、基板層 102 は、サファイア、スピネル、ZnO、ケイ素、または第 III 族窒化物材料の成長を支持することが可能な任意の他の材料を含むことができる。

【0045】

基板層 102 の材料に応じて、トランジスタ 100 内の基板層 102 と次の層との間の格子不整合を低減させるために、基板層 102 上に核形成層 136 を形成することができる。一態様では、核形成層 136 は、基板層 102 上に直接形成される。他の態様では、核形成層 136 は、SiC エピタキシャル層などの介在層が SiC 基板層 102 上に形成された状態で、基板層 102 上に形成される。核形成層 136 は、第 III 族窒化物材料、たとえば $Al_xIn_{y1-x-y}GaN$ （ここで、 $0 \leq x \leq 1$ 、 $0 \leq y \leq 1$ 、 $x + y \leq 1$ ）などの異なる好適な材料を含むことができる。核形成層 136 は、金属酸化物化学蒸着（MOCVD）、水素化物気相成長（HVPE）、分子線エピタキシ（MBE）などの知られている半導体成長技法を使用して、基板層 102 上に形成することができる。いくつかの実施形態では、核形成層は、非ドーピング AlN または AlGaN などの AlN または AlGaN である。

【0046】

いくつかの実施形態では、バッファ層 104 が、核形成層 136 上に直接形成され、または介在層とともに核形成層 136 上に形成される。実施形態に応じて、バッファ層 104 は、 $Al_xGa_yIn_{(1-x-y)}N$ （ここで、 $0 \leq x \leq 1$ 、 $0 \leq y \leq 1$ 、 $x + y \leq 1$ ）、たとえば GaN、窒化アルミニウムガリウム（AlGaN）、窒化アルミニウム（AlN）など、または別の好適な材料など、第 III 族窒化物などの異なる好適な材料から形成することができる。一態様では、バッファ層 104 は、GaN から形成される。バッファ層 104 またはその部分は、Fe および／もしくは C などのドーパントでドーピングすることができ、または別法として、完全もしくは部分的に非ドーピングとすることができる。一態様では、バッファ層 104 は、基板層 102 上に直接位置する。

【0047】

一態様では、バッファ層 104 は、高純度 GaN とすることができる。一態様では、バッファ層 104 は、高純度 GaN とすることができ、これは低濃度でドーピングされた n 型とすることができる。一態様では、バッファ層 104 はまた、より良好な電子の閉じ込めを実現するために、バッファ層 104 のうちバリア層 108 とは反対の側で、より高バンドギャップの第 III 族窒化物層を AlGaN バックバリアなどのバックバリアとして使用することができる。

【0048】

一態様では、バッファ層 104 は、基板層 102 の上面とバリア層 108 の下面との間の距離として画定されるバッファ層厚さを有することができる。一態様では、バッファ層厚さは、0.8 μm 未満、0.7 μm 未満、0.6 μm 未満、0.5 μm 未満、または 0.4 μm 未満とすることができる。一態様では、バッファ層厚さは、0.8 $\mu m \sim$ 0.6 μm 、0.7 $\mu m \sim$ 0.5 μm 、0.6 $\mu m \sim$ 0.4 μm 、0.5 $\mu m \sim$ 0.3 μm 、0.4 $\mu m \sim$ 0.2 μm 、または 0.7 $\mu m \sim$ 0.3 μm の範囲を有することができる。

【0049】

一態様では、トランジスタ 100 は、基板層 102 の上面とバリア層 108 の下面との間の長さとして画定された介在層厚さを有することができる。一態様では、介在層厚さは、0.8 μm 未満、0.7 μm 未満、0.6 μm 未満、0.5 μm 未満、または 0.4 μm 未満とすることができる。一態様では、介在層厚さは、0.8 $\mu m \sim$ 0.6 μm 、0.

10

20

30

40

50

7 μm ~ 0.5 μm 、0.6 μm ~ 0.4 μm 、0.5 μm ~ 0.3 μm 、または0.4 μm ~ 0.2 μm の範囲を有することができる。

【0050】

バッファ層104上に、バリア層108を形成することができる。一態様では、バリア層108は、バッファ層104上に直接形成することができ、他の態様ではバリア層108は、介在層とともにバッファ層104上に形成することができる。実施形態に応じて、バッファ層104は、 $\text{Al}_x\text{Ga}_y\text{In}_{(1-x-y)}\text{N}$ （ここで、 $0 \leq x \leq 1$ 、 $0 \leq y \leq 1$ 、 $x + y \leq 1$ ）、たとえば AlGaIn 、 AlN 、または InAlGaIn 、または別の好適な材料などの第III族窒化物などの異なる好適な材料から形成することができる。一態様では、バリア層108を AlGaIn とすることができ、別の態様では、バリア層108は AlN である。一態様では、バリア層108を非ドーブとすることができる。一態様では、バリア層108をドーブすることができる。一態様では、バリア層108をn型材料とすることができる。いくつかの態様では、バリア層108は、異なるキャリア濃度を有する複数のn型材料層を有することができる。一態様では、バリア層108は、第III族窒化物またはその組合せとすることができる。一態様では、適当なレベルのバイアスがかけられたとき、バッファ層104とバリア層108との間のヘテロ界面152に2次元電子ガス(2DEG)を形成するために、バッファ層104のバンドギャップをバリア層108のバンドギャップより小さくすることができる。一態様では、適当なレベルのバイアスがかけられたとき、バッファ層104とバリア層108との間のヘテロ界面152に2次元電子ガス(2DEG)を形成するために、 GaIn とすることができるバッファ層104のバンドギャップを、 AlGaIn とすることができるバリア層108のバンドギャップより小さくすることができる。

【0051】

一態様では、バリア層108上に、ソース110、ドレイン112、およびゲート114が形成される。ソース110、ドレイン112、および／またはゲート114は、バリア層108上に直接配置することができ、または AlN バリア層上の AlGaIn 層など、バリア層108上の介在層上に位置することができる。他のまたは追加の介在層も可能である。たとえば、バリア層108または他の介在層上に、 SiN 、 AlO 、 SiO 、 SiO_2 、 AlN など、またはこれらの組合せのスペーサ層116を設けることができる。一態様では、バリア層108は、ソース110および／またはドレイン112の下に、N+材料の領域164を含むことができる。一態様では、バリア層108は、ソース110および／またはドレイン112の下に、 Si でドーブされた領域164を含むことができる。一態様では、領域164内のn型ドーパントは注入される。

【0052】

ゲート114およびドレイン112を保護および分離するために、バッファ層104とは反対側で、ゲート114、ドレイン112、およびソース110に隣接して、バリア層108上にスペーサ層116を配置することができる。スペーサ層116は、 SiN 、 AlO 、 SiO 、 SiO_2 、 AlN など、またはこれらの複数の層を組み込む組合せから作製されたパッシベーション層とすることができる。一態様では、スペーサ層116は、 SiN から作製されたパッシベーション層である。一態様では、スペーサ層116は、MOCVD、プラズマ化学蒸着(CVD)、熱フィラメントCVD、またはスパッタリングを使用して堆積させることができる。一態様では、スペーサ層116は、 Si_3N_4 の堆積を含むことができる。一態様では、スペーサ層116は、絶縁層を形成する。一態様では、スペーサ層116は、絶縁体を形成する。一態様では、スペーサ層116は、誘電体とすることができる。

【0053】

いくつかの実施形態では、ゲート114は、スペーサ層116内に形成されたチャネル内に堆積させられており、当業者には理解される半導体処理技法を使用して、Tゲートが形成される。他のゲート構成も可能である。いくつかの実施形態では、第1のスペーサ層116およびゲート114上に第2のスペーサ層117が形成されており、第2のスペー

サ層 1 1 7 上にフィールドプレート 1 3 2 を設けることができる。他の実施形態では、たとえば、第 1 のスペーサ層 1 1 6 は、バリア層 1 0 8 上およびゲート 1 1 4 上に形成される。そのような実施形態では、第 1 のスペーサ層 1 1 6 上にフィールドプレート 1 3 2 を直接形成することができる。他の複数のフィールドプレート構成も可能であり、フィールドプレート 1 3 2 がゲート 1 1 4 に重なっているもしくは重なっていない構成、および／または複数のフィールドプレート 1 3 2 が使用される構成も可能である。

【0054】

本発明の態様によれば、バリア層 1 0 8 の下、バリア層 1 0 8 と基板層 1 0 2 との間、および／または基板層 1 0 2 内に、埋込み p 領域または p 型材料層 1 2 0 が形成される。p 型材料領域は、基板層 1 0 2 内に単独で設けることができ、基板層 1 0 2 からエピタキシャル層へ延びることができ、またはエピタキシャル層内に単独で位置することができる。ドーパントは、イオン注入のみによって、エピタキシャル成長によって、または両者の組合せによって、エピタキシャル層内へ組み込むことができる。p 型材料層 1 2 0 は、複数の層にまたがることができ、複数の異なるまたは段階的な p ドープ区域を含むことができる。実施形態に応じて、p 型材料層 1 2 0 またはその部分は、トランジスタ 1 0 0 内に形成された凹部 1 1 9 内の p 型材料コンタクト 1 1 8 から延びることができ、ソース 1 1 0 までもしくはソース 1 1 0 を越えて、ゲート 1 1 4 までもしくはゲート 1 1 4 を越えて、ゲート 1 1 4 の前まで、ゲート 1 1 4 まで、かつ／またはトランジスタ 1 0 0 を横切って延びることができる。

【0055】

特定の実施形態では、p 型材料コンタクト 1 1 8 は、外部信号またはバイアスを受け取るように電氣的に接続される。特定の実施形態では、ソース 1 1 0 は、接続部 1 3 8 を介して p 型材料層 1 2 0 に電氣的に接続される。特定の実施形態では、フィールドプレート 1 3 2 は、接続部 1 4 0 を介してソース 1 1 0 に電氣的に接続される。特定の実施形態では、フィールドプレート 1 3 2 は、ソース 1 1 0 に接続され、ソース 1 1 0 は、接続部 1 4 0、接続部 1 3 8、または両者への単一の接続部を介して、p 型材料層 1 2 0 に接続される。特定の実施形態では、トランジスタ 1 0 0 は、フィールドプレート 1 3 2 を p 型材料コンタクト 1 1 8 に直接接続するように構成された接続部 1 3 8 および接続部 1 4 0 をさらに含むことができる。特定の実施形態では、トランジスタ 1 0 0 は、ソース 1 1 0 に接続することなく、フィールドプレート 1 3 2 を p 型材料コンタクト 1 1 8 に直接接続するように構成された接続部 1 3 8 および接続部 1 4 0 をさらに含むことができる。特定の実施形態では、トランジスタ 1 0 0 は、いかなる介在接続部もなく、フィールドプレート 1 3 2 を p 型材料コンタクト 1 1 8 に直接接続するように構成された接続部 1 3 8 および接続部 1 4 0 をさらに含むことができる。特定の実施形態では、ゲート 1 1 4 は、接続部 1 5 4 を介して p 型材料層 1 2 0 に電氣的に接続される。

【0056】

本発明の態様によれば、基板層 1 0 2 の少なくともいくつかの部分は、p 型材料層 1 2 0 を含むことができる。本発明の態様によれば、p 型材料層 1 2 0 は、アルミニウム (Al) のイオン注入およびアニーリングによって形成することができる。他の態様では、p 型材料層 1 2 0 は、ホウ素、ガリウム、もしくは p 型層を形成することができる任意の他の材料、またはこれらの組合せのイオン注入によって形成することができる。一態様では、p 型材料層 1 2 0 は、あらゆる GaN 層の成長前に、Al の注入およびアニーリングによって形成することができる。一態様では、イオン実装は、チャネリング注入を利用することができる。一態様では、チャネリング注入は、イオンビームを基板層 1 0 2 に位置合わせすることを含むことができる。イオンビームの位置合わせの結果、注入効率を増大させることができる。

【0057】

本開示の態様は、注入チャネリングを使用することで、深さが非常に均一な炭化ケイ素の注入領域を制御可能に形成することができ、またその結果、格子の損傷を低減させることができるという理解に基づいている。チャネリングは、半導体の結晶軸に沿ってイオン

が注入されるときに生じる。注入方向が結晶格子の主軸に近いとき、結晶格子内の原子は、注入の方向に対して「整列」しているように見え、注入されたイオンは、結晶構造によって生じたチャネルを進むように見える。これにより、結晶格子内で注入されたイオンと原子との間に衝突が生じる可能性が低減される。その結果、注入物の深さが大幅に増大する。

【0058】

概して、チャネリングは、炭化ケイ素において、注入方向が炭化ケイ素結晶の結晶軸の約 $\pm 0.2^\circ$ の範囲内であるときに生じる。いくつかの態様では、注入は、炭化ケイ素結晶の結晶軸の $\pm 0.2^\circ$ より大きくすることもできるが、この注入はあまり効果的でない可能性がある。たとえば、注入方向が炭化ケイ素結晶の結晶軸の約 $\pm 0.2^\circ$ より大きいとき、格子内の原子は、注入方向に対してランダムに分散しているように見える可能性があり、これはチャネリング作用を低減させる可能性がある。本明細書では、「注入角度」という用語は、注入方向と、イオンが注入される半導体層のc軸または $\langle 0001 \rangle$ 軸などの結晶軸との間の角度を指す。したがって、炭化ケイ素層のc軸に対して約 2° 未満の注入角度が、チャネリングをもたらすと予期することができる。しかし、他の注入角度も同様に利用することができる。

【0059】

一態様では、p型材料層120は、 25°C で注入エネルギー $E_1 = 100\text{ keV}$ 、投与量 $1\text{ E }13\text{ cm}^2$ というチャネリング条件で注入された4H-SiCにおける ^{27}Al のイオン注入によって形成することができる。一態様では、p型材料層120は、 25°C で注入エネルギー $E_2 = 300\text{ keV}$ 、投与量 $1\text{ E }13\text{ cm}^2$ というチャネリング条件で注入された4H-SiCにおける ^{27}Al のイオン注入によって形成することができる。しかし、他の注入エネルギーおよび投与量も同様に企図される。たとえば、いくつかの態様では、注入エネルギーは、 $20\text{ keV} \sim 80\text{ keV}$ 、 $80\text{ keV} \sim 120\text{ keV}$ 、 $120\text{ keV} \sim 160\text{ keV}$ 、 $160\text{ keV} \sim 200\text{ keV}$ 、 $200\text{ keV} \sim 240\text{ keV}$ 、 $240\text{ keV} \sim 280\text{ keV}$ 、 $280\text{ keV} \sim 340\text{ keV}$ 、 $340\text{ keV} \sim 400\text{ keV}$ 、 $20\text{ keV} \sim 400\text{ keV}$ 、および／または $80\text{ keV} \sim 340\text{ keV}$ とすることができ、いくつかの態様では、注入投与量は、 $0.6\text{ E }13\text{ cm}^2 \sim 0.8\text{ E }13\text{ cm}^2$ 、 $0.8\text{ E }13\text{ cm}^2 \sim 1.2\text{ E }13\text{ cm}^2$ 、 $1.2\text{ E }13\text{ cm}^2 \sim 1.6\text{ E }13\text{ cm}^2$ 、 $1.6\text{ E }13\text{ cm}^2 \sim 2\text{ E }13\text{ cm}^2$ 、 $0.6\text{ E }13\text{ cm}^2 \sim 2\text{ E }13\text{ cm}^2$ 、および／または $0.8\text{ E }13\text{ cm}^2 \sim 1.2\text{ E }13\text{ cm}^2$ とすることができる。加えて、p型材料層120は、ホウ素（B）、ガリウム（Ga）などの他の材料の注入によって形成することができ、それに続いて、高温アニーリングを行うことができることに留意されたい。

【0060】

一態様では、イオン注入の結果、p型材料層120は深い層になることができる。一態様では、イオン注入の結果、p型材料層120は $1\text{ }\mu\text{m}$ 以下の厚さを有することができる。一態様では、イオン注入の結果、p型材料層120は、 $0.7\text{ }\mu\text{m}$ 以下の厚さを有することができる。一態様では、イオン注入の結果、p型材料層120は、 $0.5\text{ }\mu\text{m}$ 以下の厚さを有することができる。一態様では、イオン注入の結果、p型材料層120は、 $0.3\text{ }\mu\text{m} \sim 0.5\text{ }\mu\text{m}$ の厚さを有することができる。一態様では、イオン注入の結果、p型材料層120は、 $0.2\text{ }\mu\text{m} \sim 0.6\text{ }\mu\text{m}$ の厚さを有することができる。一態様では、イオン注入の結果、p型材料層120は、 $0.4\text{ }\mu\text{m} \sim 0.6\text{ }\mu\text{m}$ の厚さを有することができる。一態様では、イオン注入の結果、p型材料層120は、 $0.6\text{ }\mu\text{m} \sim 0.8\text{ }\mu\text{m}$ の厚さを有することができる。一態様では、イオン注入の結果、p型材料層120は、 $0.6\text{ }\mu\text{m} \sim 1.6\text{ }\mu\text{m}$ の厚さを有することができる。一態様では、イオン注入の結果、p型材料層120は、 $0.6\text{ }\mu\text{m} \sim 2.1\text{ }\mu\text{m}$ の厚さを有することができる。一態様では、イオン注入の結果、p型材料層120は、 $1\text{ }\mu\text{m} \sim 5\text{ }\mu\text{m}$ の厚さを有することができる。一態様では、p型材料層120の注入および／または投与は、 1 cm^3 につき $5\text{ E }15 \sim 5\text{ E }17$ の範囲内とすることができ、最大 $5\text{ }\mu\text{m}$ の深さまで延びることができる。

【0061】

一態様では、イオン注入の結果、p型材料層120は、基板層102の厚さの0.05%~0.3%の厚さを有することができる。一態様では、イオン注入の結果、p型材料層120は、基板層102の厚さの0.05%~0.1%の厚さを有することができる。一態様では、イオン注入の結果、p型材料層120は、基板層102の厚さの0.1%~0.15%の厚さを有することができる。一態様では、イオン注入の結果、p型材料層120は、基板層102の厚さの0.15%~0.2%の厚さを有することができる。一態様では、イオン注入の結果、p型材料層120は、基板層102の厚さの0.2%~0.25%の厚さを有することができる。一態様では、イオン注入の結果、p型材料層120は、基板層102の厚さの0.25%~0.3%の厚さを有することができる。

【0062】

p型材料層120は、基板層102内に注入することができ、続いてアニーリングすることができる。アニーリングは、注入を活性化することを可能にすることができる。一態様では、注入中にマスキング層材料を利用することができる。いくつかの態様では、p型材料層120のアニーリング中、キャップ層材料を使用して、ウエハ表面を覆い、高温での基板の解離を防止することができる。p型材料層120が形成された後、マスキング層材料を除去することができる。アニーリングは、5分~30分にわたって1500~1850℃の温度範囲で実行することができる。他のアニーリング時間および温度プロファイルも同様に企図される。

【0063】

いくつかの態様では、基板層102は、p型材料のSiC基板から作製することができる。さらにこの態様では、続いてp型材料のSiC基板である基板層102を、追加のp型層の注入を含む本明細書に記載するプロセスにかけることができる。

【0064】

図2~図34は、本発明の異なる実施形態および態様を示し、様々な実施形態および図において、同じ参照番号は類似した部分を表す。一実施形態に記載する特徴は、別の実施形態に追加することができ、または別の実施形態の特徴に取って代わることができることを理解されたい。

【0065】

図2および図3に示すように、基板層102は、p+層106を含むことができる。p+層106は、充電時定数を低減させ、コンタクト形成を実現するために使用することができる。いくつかの態様では、p+層106もまた、イオン注入およびアニーリングによって形成することができる。p+層106は、実現可能な最小のシート抵抗で、可能な限り高濃度にドーピングすることができる。いくつかの態様では、p+層106は、ゲートソース領域内に存在することができる。いくつかの態様では、p+層106は、ゲートソース領域内に存在し、部分的にゲート114の下にも存在することができる。いくつかの態様では、p+層106は、以下でさらに詳細に説明する制限区域内に存在することができる。いくつかの態様では、p+層106は、厚さ0.6μm未満とすることができる。いくつかの態様では、p+層106は、厚さ0.5μm未満とすることができる。いくつかの態様では、p+層106は、厚さ0.4μm未満とすることができる。いくつかの態様では、p+層106は、厚さ0.3μm未満とすることができる。いくつかの態様では、p+層106は、厚さ0.2μm未満とすることができる。いくつかの態様では、p+層106は、厚さ0.1~0.6μmとすることができる。いくつかの態様では、p+層106は、厚さ0.5~0.6μmとすることができる。いくつかの態様では、p+層106は、厚さ0.4~0.5μmとすることができる。いくつかの態様では、p+層106は、厚さ0.3~0.4μmとすることができる。いくつかの態様では、p+層106は、厚さ0.2~0.3μmとすることができる。いくつかの態様では、p+層106は、厚さ0.1~0.3μmとすることができる。いくつかの態様では、p+層106は、厚さ0.05~0.25μmとすることができる。いくつかの態様では、p+層106は、厚さ0.15~0.25μmとすることができる。

【0066】

一態様では、ソース１１０は、 $p+$ 層１０６上に p 型材料コンタクト１１８を有することができる。 p 型材料コンタクト１１８は、バッファ層１０４およびバリア層１０８内に設けられた凹部１１９内で、 $p+$ 層１０６上に形成することができる。 p 型材料コンタクト１１８は、 $p+$ 層１０６に電氣的に結合することができる。凹部は、 p 型材料コンタクト１１８を $p+$ 層１０６に生じさせることを可能にするために、 $p+$ 層１０６まで延びることができる。凹部１１９は、エッチングによって形成することができ、材料を使用して凹部１１９を画定することもできる。この材料は、凹部１１９を生じさせた後に除去することができる。

【００６７】

一態様では、ソース１１０は、 p 型材料層１２０上に p 型材料コンタクト１１８を有することができる。 p 型材料コンタクト１１８は、バッファ層１０４およびバリア層１０８内に設けられた凹部１１９内で、 p 型材料層１２０上に形成することができる。 p 型材料コンタクト１１８は、 p 型材料層１２０に電氣的に結合することができる。凹部１１９は、 p 型材料コンタクト１１８を p 型材料層１２０に生じさせることを可能にするために、 p 型材料層１２０まで延びることができる。凹部１１９は、エッチングによって形成することができ、材料を使用して凹部１１９を画定することもできる。この材料は、凹部１１９を生じさせた後に除去することができる。

【００６８】

一態様では、 p 型材料コンタクト１１８は、図１に示す破線の枠によって示すように設けられた凹部１１９内で、トランジスタ１００の層の中または上に形成することができる。この態様では、凹部１１９は、トランジスタ１００の表面内に、部分的な凹部、部分的な溝などとして構成することができる。一態様では、 p 型材料コンタクト１１８の下に位置しまたはそれに隣接する領域または区域に p ドーパントを注入および／またはドーピングして、 p 型材料層１２０および／または $p+$ 層１０６との電氣的接続を形成することができる。一態様では、この層は、エピタキシャル材料とすることができ、その上に p 型材料コンタクト１１８が設けられる。一態様では、この層または他の層のエピタキシャル成長中に、 p 型材料コンタクト１１８の下に位置しまたはそれに隣接する領域または区域に p ドーパントを注入および／またはドーピングして、 p 型材料層１２０および／または $p+$ 層１０６との電氣的接続を形成することができる。残りの図には示されていないが、この態様は、本明細書に図示または記載するトランジスタ１００の任意の態様に含むことができる。

【００６９】

一態様では、 p 型材料コンタクト１１８は、図１に示す下の破線の枠によって示すようにバッファ層１０４にまで設けられた凹部１１９内で、バッファ層１０４の中または上に形成することができる。この態様では、凹部１１９は、トランジスタ１００の表面内に、部分的な凹部、部分的な溝などとして構成することができる。一態様では、 p 型材料コンタクト１１８の下に位置しまたはそれに隣接する領域または区域に p ドーパントを注入および／またはドーピングして、 p 型材料層１２０および／または $p+$ 層１０６との電氣的接続を形成することができる。一態様では、バッファ層１０４は、エピタキシャル材料とすることができ、その上に p 型材料コンタクト１１８が設けられる。一態様では、バッファ層１０４または他の層のエピタキシャル成長中に、 p 型材料コンタクト１１８の下に位置しまたはそれに隣接する領域または区域に p ドーパントを注入および／またはドーピングして、 p 型材料層１２０および／または $p+$ 層１０６との電氣的接続を形成することができる。残りの図には示されていないが、この態様は、本明細書に図示または記載するトランジスタ１００の任意の態様に含むことができる。

【００７０】

一態様では、 p 型材料コンタクト１１８は、図１に示す上の破線の枠によって示すように、バリア層１０８の中または上に形成することができる。この態様では、凹部１１９を形成してもしなくてもよい。凹部１１９が形成される場合、凹部１１９は、トランジスタ１００の表面内に、部分的な凹部、部分的な溝などとして構成することができる。一態様では、 p 型材料コンタクト１１８の下に位置しまたはそれに隣接する領域または区域に p

10

20

30

40

50

ドーパントを注入および／またはドーピングして、p型材料層120および／またはp+層106との電氣的接続を形成することができる。一態様では、バリア層108は、エピタキシャル材料とすることができ、その上にp型材料コンタクト118が設けられる。一態様では、バリア層108または他の層のエピタキシャル成長中に、p型材料コンタクト118の下に位置しまたはそれに隣接する領域または区域にpドーパントを注入および／またはドーピングして、p型材料層120および／またはp+層106との電氣的接続を形成することができる。残りの図には示されていないが、この態様は、本明細書に図示または記載するトランジスタ100の任意の態様に含むことができる。

【0071】

一態様では、バリア層108上にスペーサ層116を設けることができる。一態様では、ゲート114および第1のスペーサ層116の上に、第2のスペーサ層117を設けることができる。一態様では、スペーサ層116は、誘電体などの非導電性材料を含むことができる。一態様では、スペーサ層116は、複数の異なる誘電体層または誘電体層の組合せを含むことができる。一態様では、スペーサ層116は、多くの異なる厚さとすることができ、好適な厚さ範囲は約0.05～2 μmである。

【0072】

一態様では、スペーサ層116は、Al、Ga、またはInの合金などの異なる第III族元素を有する第III族窒化物材料などの材料を含むことができ、好適なスペーサ層材料は、 $Al_xIn_yGa_{1-x-y}$ （ここで、 $0 \leq x \leq 1$ 、および $0 \leq y \leq 1$ 、 $x + y \leq 1$ ）である。

【0073】

図4は、本開示によるトランジスタの別の態様の断面図を示し、図5は、本開示によるトランジスタの別の態様の断面図を示す。

【0074】

図4および図5に示すように、基板層102上にエピタキシャル層202を形成することができる。一態様では、基板層102上にエピタキシャル層202を形成することができる。一態様では、基板層102上にエピタキシャル層202を直接形成することができる。図4および図5の態様では、p型材料層120は、エピタキシャル層202内に位置することができる。いくつかの態様では、基板層102がGaAs、GaNなどの基板材料を含む特定の態様において、p型材料層120は、エピタキシャル層202内に位置することができる。いくつかの態様では、エピタキシャル層202は、第III族窒化物材料とすることができる。いくつかの態様では、エピタキシャル層202は、2つ以上の第III族窒化物材料とすることができる。

【0075】

一態様では、エピタキシャル層202は、SiCから形成される。いくつかの態様では、p型材料層120は、エピタキシャル層202内に位置することができ、SiCとすることができる。いくつかの態様では、p型材料層120は、エピタキシャル層202内に位置することができ、SiCとすることができ、p型材料層120は、Alおよび／またはBrを含むことができる。いくつかの態様では、p型材料層120は、エピタキシャル層202内に位置することができ、SiCとすることができ、p型材料層120は、Alおよび／またはBrの注入を含むことができる。

【0076】

いくつかの態様では、p型材料層120は、エピタキシャル層202内に位置することができる。いくつかの態様では、p型材料層120は、エピタキシャル層202内に位置することができ、GaNとすることができる。いくつかの態様では、p型材料層120は、エピタキシャル層202内に位置することができ、GaNとすることができ、p型材料層120は、マグネシウム(Mg)、炭素(C)、および／または亜鉛を含むことができる。いくつかの態様では、p型材料層120は、エピタキシャル層202内に位置することができ、GaNとすることができ、p型材料層120は、マグネシウム(Mg)、炭素(C)、および／または亜鉛の注入を含むことができる。

【0077】

一態様では、エピタキシャル層202は、基板層102の上に配置することができる。一態様では、エピタキシャル層202は、基板層102の上に直接配置することができる。一態様では、バッファ層104は、エピタキシャル層202の上に配置することができる。一態様では、バッファ層104は、エピタキシャル層202の上に直接配置することができる。一態様では、p型材料層120は、本明細書に記載するように、エピタキシャル層202内に注入することができ、続いてアニーリングすることができる。さらにこの態様では、続いてエピタキシャル層202を、本明細書に記載するプロセスにかけることができ、p+層106の形成および／または注入を含むことができる。

【0078】

一態様では、基板層102の上にエピタキシャル層202を配置することができ、エピタキシャル層202上にバッファ層104を形成することができる。一態様では、基板層102の上にエピタキシャル層202を配置することができ、エピタキシャル層202上にバッファ層104を直接形成することができる。

【0079】

一態様では、イオン注入の結果、p型材料層120は、エピタキシャル層202の厚さの10%~20%の厚さを有することができる。一態様では、イオン注入の結果、p型材料層120は、エピタキシャル層202の厚さの20%~30%の厚さを有することができる。一態様では、イオン注入の結果、p型材料層120は、エピタキシャル層202の厚さの30%~40%の厚さを有することができる。一態様では、イオン注入の結果、p型材料層120は、エピタキシャル層202の厚さの40%~50%の厚さを有することができる。一態様では、イオン注入の結果、p型材料層120は、エピタキシャル層202の厚さの50%~60%の厚さを有することができる。一態様では、イオン注入の結果、p型材料層120は、エピタキシャル層202の厚さの60%~70%の厚さを有することができる。一態様では、イオン注入の結果、p型材料層120は、エピタキシャル層202の厚さの70%~80%の厚さを有することができる。一態様では、イオン注入の結果、p型材料層120は、エピタキシャル層202の厚さの80%~90%の厚さを有することができる。

【0080】

別の態様では、エピタキシャル層202は、p型材料を利用することができ、エピタキシャル層202は、基板層102の上に配置することができる。別の態様では、エピタキシャル層202は、p型材料を利用することができ、エピタキシャル層202は、基板層102の上に直接配置することができる。この点に関して、特定の態様では、p型材料のエピタキシャル層202を成長させることができ、その結果、エピタキシャル層202はp型材料層120を有し、p型材料層120を形成するために本明細書に記載する注入を必要としなくなることがある。その後、続いてエピタキシャル層202を、本明細書に記載するp+層106の注入を含むプロセスにかけることができる。いくつかの態様では、エピタキシャル層202は、軸外に向けられたウエハを利用して、エピタキシャル成長によって形成することができる。

【0081】

図5は、本開示によるトランジスタの別の態様の断面図を示す。図5の態様では、エピタキシャル層202は、p型材料によって形成することができ、エピタキシャル層202は、基板層102の上に配置することができる。一態様では、エピタキシャル層202は、p型材料によって形成することができ、エピタキシャル層202は、基板層102の上に直接配置することができる。この態様では、エピタキシャル層202全体が、p型材料層120を形成することができる。その後、続いてエピタキシャル層202を、本明細書に記載するp+層106の注入を含むプロセスにかけることができる。

【0082】

いくつかの態様では、p型材料層120はまた、表面に直交して変動する投与および／または注入プロファイルを有するように構成することができる。いくつかの態様では、p

10

20

30

40

50

型材料層 120 はまた、これらの図の断面内へ延びる表面に直交して変動するプロファイルを有するように構成することができる。このプロファイルは、所望の破壊電圧、デバイスサイズ、スイッチング時間などを実現するように最適化することができる。

【0083】

一態様では、p 型材料層 120 は、図 2、図 4、および図 6 に示す特定の適用分野の場合、トランジスタ 100 の下に均一に存在することができる。一態様では、p 型材料層 120 は、図 2、図 4、および図 6 に示す電力スイッチングの適用分野の場合、トランジスタ 100 の下に均一に存在することができる。

【0084】

R F 適用分野などの特定の適用分野に対する別の態様では、p 型材料層 120 は、図 3 および図 5 に示し以下でさらに詳細に説明するように、トランジスタ 100 のゲートソース領域の一部などの制限区域内に位置することができる。

【0085】

いくつかの態様では、ドレイン 112 からソース 110 への電圧の一部は、p 型材料層 120 の領域内で降下させることができる。これはまた、横方向のチャネルを消耗することができる。横方向の消耗は、横方向の電界を低減させ、破壊電圧を増大させることができる。別法として、必要とされる破壊電圧に対して、より小型の構造を得ることができる。p 型材料層 120 は、印加されたドレイン電圧を維持するために必要とされるバッファの C または F e の投与を行う必要をなくすことができる。C および F e をなくすことで、動作条件（トラッピングなし）下で電流低減が減少する。さらに、いくつかの態様では、p 型材料層 120 は電界を支持することができる。

【0086】

いくつかの態様では、エピタキシャル層 202 は、図 4、図 5、および図 6 に示すように、p+層 106 を含むことができる。p+層 106 は、充電時定数を低減させ、コンタクト形成を実現するために使用することができる。いくつかの態様では、p+層 106 もまた、イオン注入およびアニーリングによって形成することができる。p+層 106 は、実現可能な最小のシート抵抗で、可能な限り高濃度にドーピングすることができる。いくつかの態様では、p+層 106 は、ゲートソース領域内に存在することができる。いくつかの態様では、p+層 106 は、ゲートソース領域内に存在し、部分的にゲート 114 の下にも存在することができる。いくつかの態様では、p+層 106 は、以下でさらに詳細に説明する制限区域内に存在することができる。いくつかの態様では、p+層 106 は、厚さ 0.3 μm 未満とすることができる。いくつかの態様では、p+層 106 は、厚さ 0.2 μm 未満とすることができる。いくつかの態様では、p+層 106 は、厚さ 0.1 ~ 0.3 μm とすることができる。いくつかの態様では、p+層 106 は、厚さ 0.05 ~ 0.25 μm とすることができる。いくつかの態様では、p+層 106 は、厚さ 0.15 ~ 0.25 μm とすることができる。

【0087】

図 7 は、本開示によるトランジスタの別の態様の断面図を示す。

【0088】

特に、図 7 は、本明細書に記載する本開示のいずれか 1 つまたは複数の態様を含むことができるトランジスタ 100 を示す。特に、図 7 の態様は、バッファ層 104 が、高純度 GaN の上部 602 を含むことができ、バッファ層 104 がまた、より良好な電子の閉じ込めを実現するための AlGaIn バックバリアを形成することができる下部 604 を含むことができることを示す。一態様では、バックバリアを形成する下部 604 は、n 型の AlGaIn とすることができる。バックバリア構造は、本開示の態様のいずれかで実施することができる。

【0089】

本開示のトランジスタ 100 の態様では、バッファ層 104 は、フェルミ準位がバンドギャップの上半分になる高純度タイプになるように設計することができ、それにより GaN の HEMT で通常は観察される遅いトラッピング作用が最小になる。この点に関して、

10

20

30

40

50

フェルミ準位未満のトラップは常に充填されており、したがって遅い過渡現象を防止することができる。いくつかの態様では、バッファ層104は、良好な結晶品質を実現することに一貫して、可能な限り薄くすることができる。出願人は、0.4 μm層が良好な品質を有することをすでに実証している。

【0090】

本開示のトランジスタ100の態様では、MOCVD（金属有機化学蒸着）、HVPE（水素化物気相成長）、またはMBE（分子線エピタキシ）などのエピタキシャル結晶成長方法を介して、 $Al_xIn_yGa_{1-x-y}$ （ここで、 $0 \leq x \leq 1$ および $0 \leq y \leq 1$ 、 $x + y \leq 1$ ）の核形成層136またはバッファ層104を、基板層102上に成長させることができる。核形成層136の形成は、基板層102の材料に依存することができる。

10

【0091】

本開示のトランジスタ100の態様では、バッファ層104は、横方向エピタキシャル過成長（LEO）によって形成することができる。LEOは、たとえば、GaN層の結晶品質を改善することができる。HEMTの半導体層がエピタキシャルであるとき、各エピタキシャル層が成長する層は、デバイスの特性に影響することができる。たとえば、LEOは、エピタキシャルGaN層内の転位密度を低減させることができる。

【0092】

本開示のトランジスタ100の態様では、p型材料層120の注入は、図2、図4、および図6に示すように、トランジスタ100の全長を拡大させることができる。いくつかの態様では、p型材料層120の注入は、図3および図5に示すように、トランジスタ100の長さを部分的に延ばすことができる。

20

【0093】

本開示のトランジスタ100の態様では、p型材料層120の長さを制限するために、p型材料層120を中性化することができる。一態様では、中性化は、不純物の注入を含むことができる。一態様では、p型材料層120を中性化することは、p型材料層120の電荷を反対の極性の材料によって吸収することを含むことができる。p型材料層120の長さを制限するための別の方法は、p型材料層120をエッチングすることとすることができる。p型材料層120の長さを制限するための別の方法は、マスキング材料を使用して注入区域を制限することとすることができる。

【0094】

本開示のトランジスタ100の態様では、p型材料層120は、p型材料層120を成長させることによって形成することができる。成長は、たとえばエピタキシャルとすることができる。p型材料層120の長さを制限するために、p型材料層120は、エッチングまたは他の方法で中性化することができる。

30

【0095】

本開示のトランジスタ100の態様では、基板層102は、エッチングすることができ、p型材料層120は、p型材料層120を成長させることによって形成することができる。一態様では、成長はエピタキシャルとすることができる。

【0096】

本開示のトランジスタ100の態様では、p型材料層120は、SiCから形成されたエピタキシャル層とすることができる。いくつかの態様では、p型材料層120は、エピタキシャル層とすることができ、SiCとすることができ、p型材料層120は、Alおよび/またはBrを含むことができる。いくつかの態様では、p型材料層120は、エピタキシャル層とすることができ、SiCとすることができ、p型材料層120は、Alおよび/またはBrの注入を含むことができる。

40

【0097】

本開示のトランジスタ100の態様では、p型材料層120は、エピタキシャル層とすることができ、GaNとすることができ。いくつかの態様では、p型材料層120は、エピタキシャル層とすることができ、GaNとすることができ、p型材料層120は、マグネシウム（Mg）、炭素（C）、および/または亜鉛を含むことができる。いくつかの

50

態様では、p型材料層120は、エピタキシャル層とすることができ、GaNとすることができ、p型材料層120は、マグネシウム(Mg)、炭素(C)、および／または亜鉛の注入を含むことができる。

【0098】

本開示のトランジスタ100の態様では、基板層102は、エッチングすることができ、p+層106は、p+層106を成長させることによって形成することができる。一態様では、成長はエピタキシャルとすることができる。

【0099】

本開示のトランジスタ100の態様では、p+層106は、SiCから形成されたエピタキシャル層とすることができる。いくつかの態様では、p+層106は、エピタキシャル層とすることができ、SiCとすることができ、p+層106は、Alおよび／またはBrを含むことができる。いくつかの態様では、p+層106は、エピタキシャル層とすることができ、SiCとすることができ、p+層106は、Alおよび／またはBrの注入を含むことができる。

【0100】

本開示のトランジスタ100の態様では、p+層106は、エピタキシャル層とすることができ、GaNとすることができる。いくつかの態様では、p+層106は、エピタキシャル層とすることができ、GaNとすることができ、p+層106は、マグネシウム(Mg)、炭素(C)、および／または亜鉛を含むことができる。いくつかの態様では、p+層106は、エピタキシャル層とすることができ、GaNとすることができ、p+層106は、マグネシウム(Mg)、炭素(C)、および／または亜鉛の注入を含むことができる。

【0101】

本開示のトランジスタ100の態様では、基板層102は、炭化ケイ素とすることができ、炭素面を含むことができる。一態様では、基板層102は、炭化ケイ素とすることができ、バッファ層104に隣接して配置された炭素面を含むことができる。一態様では、基板層102は、炭化ケイ素とすることができ、炭素面を含むことができる。基板層102は、バッファ層104に隣接して配置されるように裏返すことができる。この態様では、バッファ層104は、GaNとすることができ、基板層102の炭素面に隣接する窒素面を有することができる。一態様では、バッファ層104は、GaNとすることができ、GaN層およびN層を交互に有することができ、N層および／または窒素面が基板層102の炭素面に隣接する。

【0102】

本開示のトランジスタ100の態様では、バッファ層104は、無極性GaNを含むことができる。一態様では、バッファ層104は、半極性GaNを含むことができる。一態様では、バッファ層104は、ホットウォールエピタキシを含むことができる。一態様では、バッファ層104は、0.15 μm~0.25 μm、0.2 μm~0.3 μm、0.25 μm~0.35 μm、0.3 μm~0.35 μm、0.35 μm~0.4 μm、0.4 μm~0.45 μm、0.45 μm~0.5 μm、0.5 μm~0.55 μm、または0.15 μm~0.55 μmの範囲内の厚さを有するホットウォールエピタキシを含むことができる。p型材料層120は、破壊および材料不純物に伴う問題を回避することを助けることができる。たとえば、p型材料層120がない場合、トランジスタ100は不純物を必要とすることがあり、これは十分に排出されない。p型材料層120は、ソース110の下に形成することができ、デバイスのゲート114の方へ延びることができる。

【0103】

本開示のトランジスタ100の態様では、p型材料層120は、図2、図4、および図6に示すように、全長にわたって延びて留まることができる。一態様では、p型材料層120は、図3および図5に示すように、概して全長に延びて留まることができる。

【0104】

本開示の別の態様では、p型材料層120は、図3および図5に示す長さp120の矢

印によって示すトランジスタ１００の区域全体にわたって延びなくてもよい。この点に関して、ｐ型材料層１２０は、本明細書に記載するように、選択的に配置することができ、ｐ型材料層１２０は、本明細書に記載するように、全長にわたって配置することができ、選択的に除去することができ、ｐ型材料層１２０は、本明細書に記載するように、全長にわたって配置することができ、選択的に電氣的に中性化することができ、以下同様である。したがって、後述するｐ型材料層１２０の特有の構造は、ｐ型材料層１２０が後述する動作構造および配置を有するという結果を招くこれらのプロセスのいずれかを包含する。言い換えれば、ｐ型材料層１２０の長さおよび／またはサイズは、部分的に電氣的に中性化された部分、部分的にエッチングされた部分などを含まない。ｐ型材料層１２０の長さおよび／またはサイズは、トランジスタ１００の適用分野、トランジスタ１００の要件などに依存することができる。ゲート１１４を越えて延びないようにｐ型材料層１２０を制限することで、特定のトランジスタ適用分野におけるＲＦ性能に対する悪影響を回避する。

10

【０１０５】

さらに後述する態様を参照すると、ｐ型材料層１２０は、長さｐ１２０の矢印に対して平行に水平に延びることができる。さらに、ｐ型材料層１２０は、長さｐ１２０の矢印に直交して図示のトランジスタ１００の構成要素を通して延びる線によって画定された点まで、長さｐ１２０の矢印に対して平行に水平に延びることができる。

【０１０６】

本開示の一態様では、ｐ型材料層１２０は、図３に示すように、少なくともソース１１０の下からゲート１１４の第１の縁部１２４の方へ横方向に延びることができる。本開示の一態様では、ｐ型材料層１２０は、少なくともソース１１０の下からゲート１１４の第１の縁部１２４の下の方へ横方向に延びることができる。

20

【０１０７】

本開示の特定の態様では、ｐ型材料層１２０は、ゲート１１４の第１の縁部１２４の約０～約０．７μmの範囲内の点まで水平に延びることができる。本開示の特定の態様では、ｐ型材料層１２０は、ゲート１１４の第１の縁部１２４の約０～約０．５μmの範囲内の点まで水平に延びることができる。本開示の特定の態様では、ｐ型材料層１２０は、ゲート１１４の第１の縁部１２４の約０～約０．３μmの範囲内の点まで水平に延びることができる。本開示の一態様では、ｐ型材料層１２０は、少なくともソース１１０の下からゲート１１４の第２の縁部１２２の下の方へ水平に延びることができる。本開示の特定の態様では、ｐ型材料層１２０は、ゲート１１４の第２の縁部１２２の約０～約０．７μmの範囲内の点まで水平に延びることができる。本開示の特定の態様では、ｐ型材料層１２０は、ゲート１１４の第２の縁部１２２の約０～約０．５μmの範囲内の点まで水平に延びることができる。本開示の特定の態様では、ｐ型材料層１２０は、ゲート１１４の第２の縁部１２２の約０～約０．３μmの範囲内の点まで水平に延びることができる。

30

【０１０８】

他の態様では、ｐ型材料層１２０の長さｐ１２０の長さは、図３に示す他の構成要素の位置および／または長さに関連して見ることができる。長さＳＤは、図３に線１５０によって示すように、ソース１１０の縁部１４２とドレイン１１２の縁部１４４との間の長さとして見ることができる。

40

【０１０９】

一態様では、ｐ型材料層１２０の長さは、ＳＤの長さの１０％～２０％延びることができる、これは、ｐ型材料層１２０がソース１１０の縁部１４２を越えてドレイン１１２の方へ１０％～２０％延びることができることを意味する。一態様では、ｐ型材料層１２０の長さは、ＳＤの長さの２０％～３０％延びることができる、これは、ｐ型材料層１２０がソース１１０の縁部１４２を越えてドレイン１１２の方へ２０％～３０％延びることができることを意味する。一態様では、ｐ型材料層１２０の長さは、ＳＤの長さの３０％～４０％延びることができる、これは、ｐ型材料層１２０がソース１１０の縁部１４２を越えてドレイン１１２の方へ３０％～４０％延びることができることを意味する。一態様では、ｐ型材料層１２０の長さは、ＳＤの長さの４０％～５０％延びることができる、これは、ｐ型

50

材料層 120 がソース 110 の縁部 142 を越えてドレイン 112 の方へ 40%～50% 延びることができることを意味する。一態様では、p 型材料層 120 の長さは、SD の長さの 50%～60% 延びることができ、これは、p 型材料層 120 がソース 110 の縁部 142 を越えてドレイン 112 の方へ 50%～60% 延びることができることを意味する。
【0110】

本開示の一態様では、p+層 106 は、これらの図に示す長さ p+106 の矢印によって示す基板層 102 の区域全体にわたって延びなくてもよい。この点に関して、p+層 106 は、以下に詳細に説明するように、選択的に配置することができ、p+層 106 は、以下に詳細に説明するように、全長にわたって配置することができ、選択的に除去することができ、p+層 106 は、以下に詳細に説明するように、全長にわたって配置することができ、選択的に電氣的に中性化することができ、以下同様である。したがって、後述する p+層 106 の特有の構造は、p+層 106 が後述する動作構造および配置を有するという結果を招くこれらの構成のいずれかを包含する。言い換えれば、p+層 106 の長さおよび／またはサイズは、部分的に電氣的に中性化された部分、または部分的にエッチングされた部分を含まない。p+層 106 の長さおよび／またはサイズは、トランジスタ 100 の適用分野、トランジスタ 100 の要件などに依存することができる。

10

【0111】

さらに後述する態様を参照すると、p+層 106 は、長さ p+106 の矢印に対して平行に水平に延びることができる。さらに、p+層 106 は、長さ p+106 の矢印に直交して図示のトランジスタ 100 の構成要素を通して延びる線によって画定された点まで、長さ p+106 の矢印に対して平行に水平に延びることができる。

20

【0112】

本開示の特定の態様では、p+層 106 は、ゲート 114 の第 1 の縁部 124 の約 0～約 0.7 μm の範囲内の点まで延びることができる。本開示の特定の態様では、p+層 106 は、ゲート 114 の第 1 の縁部 124 の約 0～約 0.5 μm の範囲内の点まで延びることができる。本開示の特定の態様では、p+層 106 は、ゲート 114 の第 1 の縁部 124 の約 0～約 0.3 μm の範囲内の点まで延びることができる。本開示の一態様では、p+層 106 は、少なくともソース 110 の下からゲート 114 の第 2 の縁部 122 の下の位置へ横方向に延びることができる。本開示の特定の態様では、p+層 106 は、ゲート 114 の第 2 の縁部 122 の約 0～約 0.7 μm の範囲内の点まで延びることができる。本開示の特定の態様では、p+層 106 は、ゲート 114 の第 2 の縁部 122 の約 0～約 0.5 μm の範囲内の点まで延びることができる。本開示の特定の態様では、p+層 106 は、ゲート 114 の第 2 の縁部 122 の約 0～約 0.3 μm の範囲内の点まで延びることができる。

30

【0113】

他の態様では、p+層 106 の長さ p+106 の長さもまた、図 3 に示す長さ SD に基づいて、他の構成要素の位置および／または長さに関連して見ることができる。この場合、長さ SD は、図 3 に示すように、ソース 110 の縁部 142 とドレイン 112 の縁部 144 との間の長さとすることができる。

【0114】

一態様では、p+層 106 の長さは、SD の長さの 10%～20% 延びることができ、これは、p+層 106 がソース 110 の縁部 142 を越えてドレイン 112 の方へ 10%～20% 延びることができることを意味する。一態様では、p+層 106 の長さは、SD の長さの 20%～30% 延びることができ、これは、p+層 106 がソース 110 の縁部 142 を越えてドレイン 112 の方へ 20%～30% 延びることができることを意味する。一態様では、p+層 106 の長さは、SD の長さの 30%～40% 延びることができ、これは、p+層 106 がソース 110 の縁部 142 を越えてドレイン 112 の方へ 30%～40% 延びることができることを意味する。一態様では、p+層 106 の長さは、SD の長さの 40%～50% 延びることができ、これは、p+層 106 がソース 110 の縁部 142 を越えてドレイン 112 の方へ 40%～50% 延びることができることを意味する。

40

50

。一態様では、p+層106の長さは、SDの長さの50%~60%延びることができ、これは、p+層106がソース110の縁部142を越えてドレイン112の方へ50%~60%延びることができることを意味する。一態様では、p+層106の長さは、SDの長さの60%~70%延びることができ、これは、p+層106がソース110の縁部142を越えてドレイン112の方へ60%~70%延びることができることを意味する。一態様では、p+層106の長さは、SDの長さの70%~80%延びることができ、これは、p+層106がソース110の縁部142を越えてドレイン112の方へ70%~80%延びることができることを意味する。

【0115】

ソース110とドレイン112との間のゲート114に対して、ゲートコンタクトを設けることができる。さらに、本開示の特定の態様では、ゲートコンタクトは、バリア層108上に配置することができる。一態様では、ゲートコンタクトは、バリア層108上に直接配置することができる。

【0116】

ゲート114は、白金(Pt)、ニッケル(Ni)、および／または金(Au)から形成することができるが、ショットキー効果を実現することが当業者には知られている他の金属を使用することもできる。一態様では、ゲート114は、3層構造を有することができるショットキーゲートコンタクトを含むことができる。そのような構造は、いくつかの材料の粘着性が高いことから、利点を有することができる。一態様では、ゲート114は、高導電性金属の被覆層をさらに含むことができる。一態様では、ゲート114は、T字形ゲートとして構成することができる。

【0117】

別の態様では、ソース110、p型材料コンタクト118、ドレイン112、およびゲート114の1つまたは複数の上に、1つまたは複数の金属被覆層を設けることができる。これらの被覆層は、Au、銀(Ag)、Al、Pt、Ti、Si、Ni、Al、および／または銅(Cu)とすることができる。他の好適な高導電性金属を被覆層に使用することもできる。1つまたは複数の態様では、金属被覆層は、p型材料コンタクト118に電気的に結合することができる。別の態様では、ソース110、p型材料コンタクト118、ドレイン112、およびゲート114は、Au、銀(Ag)、Al、Pt、Ti、Si、Ni、Al、および／または銅(Cu)を含むことができる。他の好適な高導電性金属を使用することもできる。

【0118】

図8は、本開示によるトランジスタの別の態様の断面図を示す。特に、図8は、本明細書に記載する本開示のいずれか1つまたは複数の態様を含むことができるトランジスタ100を示す。図8の態様では、p型材料層120は、基板層102の中または上に形成することができ、トランジスタ100は、第2のバッファ層126を含むことができる。図8は、第1のバッファ層104および第2のバッファ層126を有するトランジスタ100を示すが、トランジスタ100はまた、1つのバッファ層104のみを使用することもできる。一態様では、基板層102内にp型材料層120を形成するために、基板層102内にAlを注入してアニーリングすることができる。一態様では、基板層102は、p型材料層120によってドーピングすることができる。一態様では、基板層102は、p型材料層120を形成するために、ホウ素でドーピングすることができる。Gaを含む他の材料も同様に企図される。p型材料層120の表面付近のp型材料層120の長さは、他の態様に記載する技法を使用して制限することができる。

【0119】

一態様では、第2のバッファ層126は、第1のバッファ層104のうち基板層102とは反対の側で、第1のバッファ層104上に堆積または成長させることができる。一態様では、第2のバッファ層126は、第1のバッファ層104上に直接形成される。一態様では、第2のバッファ層126は、窒化ガリウム(GaN)、AlNなどの高純度材料とすることができる。一態様では、第2のバッファ層126は、高純度GaNとすること

ができる。一態様では、第2のバッファ層126は、高純度AlNとすることができる。第2のバッファ層126は、p型材料またはn型材料とすることができる。別の態様では、第2のバッファ層126は、非ドーブとすることができる。

【0120】

本開示のトランジスタ100の態様では、ソース110、ゲート114、および／またはドレイン112のコンタクトは、Al、Ti、Si、Ni、および／またはPtを含むことができる。いくつかの態様では、p型材料コンタクト118は、Al、Ti、Si、Ni、および／またはPtを含むことができる。特定の態様では、ソース110、ゲート114、および／またはドレイン112のコンタクトの材料は、p型材料コンタクト118と同じ材料とすることができる。この態様では、同じ材料を利用することは、製造をより容易にし、簡略化し、かつ／またはより低コストにすることができるという点で、有益となり得る。他の態様では、ソース110、ゲート114、ドレイン112、およびp型材料コンタクト118のコンタクトの材料は異なってもよい。

10

【0121】

本開示のトランジスタ100の態様では、p+層106は、グレーデッド層とすることができる。一態様では、p+層106は、ステップグレーデッド層とすることができる。一態様では、p+層106は、複数の層とすることができる。一態様では、p型材料層120は、グレーデッド層とすることができる。一態様では、p型材料層120は、ステップグレーデッド層とすることができる。一態様では、p型材料層120は、複数の層とすることができる。

20

【0122】

図9は、本開示によるトランジスタの別の態様の断面図を示す。特に、図9は、本明細書に記載する本開示のいずれか1つまたは複数の態様を含むことができるトランジスタ100を示す。

【0123】

特に、図9のトランジスタ100は、上述したp+層106（図9には図示せず）を含むことができる。他の態様では、図9のトランジスタ100は、図9に示すp+層106を利用しなくてもよい。図9の一態様では、トランジスタ100は、p+層106のみによって実施することができる。図9の一態様では、トランジスタ100は、p+層106およびp型材料層120によって実施することができる。図9の一態様では、トランジスタ100は、p型材料層120のみによって実施することができる。

30

【0124】

図9は、フィールドプレート132の実装をさらに示す。一態様では、フィールドプレート132は、ゲート114とドレイン112との間でスペーサ層117上に配置することができる。一態様では、フィールドプレート132は、ゲート114とドレイン112との間でスペーサ層117上に堆積させることができる。一態様では、フィールドプレート132は、トランジスタ100内の1つまたは複数の他の構成要素に電氣的に接続することができる。一態様では、フィールドプレート132は、トランジスタ100のいずれの他の構成要素にも電氣的に接続されなくてよい。いくつかの態様では、フィールドプレート132は、ゲート114に隣接することができる。フィールドプレート132からゲート114を分離するために、少なくとも部分的にゲート114の上に、追加の誘電体材料のスペーサ層117を含むことができる。いくつかの態様では、フィールドプレート132は、ゲート114に重なることができ、フィールドプレート132からゲート114を分離するために、少なくとも部分的にゲート114の上に、追加の誘電体材料のスペーサ層117を含むことができる。

40

【0125】

フィールドプレート132は、ゲート114の縁部から異なる距離だけ延びることができる。好適な距離範囲は約0.1~2 μmである。いくつかの態様では、フィールドプレート132は、多くの異なる導電性材料を含むことができ、好適な材料は金属または金属の組合せであり、標準的な金属化方法を使用して堆積させられる。一態様では、フィールド

50

プレート 132 は、チタン、金、ニッケル、チタン／金、ニッケル／金などを含むことができる。

【0126】

一態様では、フィールドプレート 132 は、ゲート 114 とドレイン 112 との間でスペーサ層 117 上に形成することができ、フィールドプレート 132 は、ゲート 114 に重なるのではなく、ゲート 114 に近接している。一態様では、ゲート 114 とフィールドプレート 132 との間の空間は、ゲート 114 をフィールドプレート 132 から分離するのに十分に広くしながら、フィールドプレート 132 によって提供される電界効果を最大にするのに十分に小さくすることができる。

【0127】

特定の態様では、フィールドプレート 132 は、トランジスタ 100 内のピーク動作電界を低減させることができる。特定の態様では、フィールドプレート 132 は、トランジスタ 100 内のピーク動作電界を低減させることができ、トランジスタ 100 の破壊電圧を増大させることができる。特定の態様では、フィールドプレート 132 は、トランジスタ 100 内のピーク動作電界を低減させることができ、トランジスタ 100 内のトラッピングを低減させることができる。特定の態様では、フィールドプレート 132 は、トランジスタ 100 内のピーク動作電界を低減させることができ、トランジスタ 100 内の漏れ電流を低減させることができる。

【0128】

本開示の実施形態では、ヘテロ界面 152 は、バリア層 108 とバッファ層 104 との間に位置することができる。一態様では、ソース 110 およびドレイン 112 の電極を形成して、オーミックコンタクトを作製することができ、したがって、ゲート 114 の電極に適切なレベルのバイアスがかけられたとき、電流は、バッファ層 104 とバリア層 108 との間のヘテロ界面 152 で誘起された 2 次元電子ガス (2DEG) を介して、ソース 110 およびドレイン 112 の電極間を流れる。一態様では、ヘテロ界面 152 は、0.005 μm ~ 0.007 μm 、0.007 μm ~ 0.009 μm 、および 0.009 μm ~ 0.011 μm の範囲内とすることができる。

【0129】

図 10 は、本開示によるトランジスタの別の態様の断面図を示す。特に、図 10 は、本明細書に記載する本開示のいずれか 1 つまたは複数の態様を含むことができるトランジスタ 100 を示す。特に、いくつかの態様では、図 10 のトランジスタ 100 は、上述した p+層 106 (図 10 には図示せず) を含むことができる。他の態様では、p+層 106 を利用しなくてもよい。図 10 の一態様では、トランジスタ 100 は、p+層 106 のみによって実施することができる。図 10 の一態様では、トランジスタ 100 は、p+層 106 および p 型材料層 120 によって実施することができる。図 10 の一態様では、トランジスタ 100 は、p 型材料層 120 のみによって実施することができる。

【0130】

様々な態様では、p+層 106 および／または p 型材料層 120 などの埋込み p 層の使用は、RF 適用分野向けの HEMT として実施されるトランジスタ 100 が、高い破壊電圧および入力と出力との間の良好な分離を得るのに有益となり得る。

【0131】

しかし、RF スイッチ適用分野などのいくつかの適用分野では、埋込み p 層は、本明細書に記載するソース 110 に接続されなくてもよい。この点に関して、p 層 (p+層 106 および／または p 型材料層 120) とドレイン 112 との間の順方向バイアス伝導は、トランジスタ 100 がオフ状態にあるとき、入出力分離の損失を引き起こす可能性がある。この問題を回避、最小化、および／または制限するために、本開示の図 10 に示す態様は、埋込み p 層 (p+層 106 および／または p 型材料層 120) をゲート 114 に接続することを含むことができる。

【0132】

特に、図 10 は、接続部 154 (ゲート相互接続) によって、p 型材料コンタクト 11

10

20

30

40

50

8をゲート114に電氣的に接続することができることをさらに示す。一態様では、接続部154は、p型材料コンタクト118とゲート114との間に延びるように、スペーサ層116および／またはスペーサ層117上に形成することができる。いくつかの態様では、接続部154は、導電性材料、多くの異なる導電性材料を含むことができ、好適な材料は金属または金属の組合せであり、標準的な金属化方法を使用して堆積させられる。一態様では、これらの材料は、チタン、金、ニッケルなどのうちの1つまたは複数を含むことができる。

【0133】

いくつかの態様では、ソース110およびドレイン112は、ゲート114に対して対称とすることができる。いくつかのスイッチデバイスの適用分野の態様では、ソース110およびドレイン112は、ゲート114に対して対称とすることができる。

【0134】

図10の構成の追加の利点は、p層を第2のゲートとして使用することができ、それにより複数のバリア層108および／または複数のチャネル層の使用が可能になることとすることができる。この点に関して、複数のバリア層108および／または複数のチャネル層は、トランジスタ100のオン抵抗を低減させることができ、これは重要な性能特性である。図10のさらなる態様では、入出力静電容量を大幅に増大させることなく、オン抵抗の低減を得ることができ、これは別の重要な特性である。特定の態様では、図10の構成は、Ron-Coff積の低減を可能にすることができ、これはRFスイッチにとって重要な性能指数である。

【0135】

図11は、本開示によるトランジスタの別の態様の部分平面図を示す。特に、図11は、本明細書に記載する本開示のいずれか1つまたは複数の態様を含むことができるトランジスタ100を示す。特に、いくつかの態様では、図11のトランジスタ100は、p層が別個のコンタクト162を備えることができるように構成することができ、独自のバイアスおよび信号を受け取るように構成することができる。このようにして、p層を使用して、トランジスタ100の特性を調整することができる。

【0136】

図11は、ソース110、ゲート114、およびドレイン112を含むトランジスタ100をさらに示す。この点に関して、トランジスタ100の様々な層および構成要素のうちのいくつかは、理解を分かりやすくするために示されていないことがある。

【0137】

図11の一態様では、トランジスタ100は、p+層106のみによって実施することができる。図11の一態様では、トランジスタ100は、p+層106およびp型材料層120によって実施することができる。図11の一態様では、トランジスタ100は、p型材料層120のみによって実施することができる。どの場合も、p+層106およびp型材料層120は、1つまたは複数の層が埋め込まれていることを示す破線によって示されている。

【0138】

一態様では、p型材料層120は、コンタクトパッド162を備えることができる。この態様では、p型材料層120はコンタクトパッド162を介して、独自のバイアスおよび信号を受け取ることができる。この点に関して、p型材料層120を使用して、トランジスタ100の特性を調整することができる。

【0139】

一態様では、p型材料層120は、p型材料コンタクト118を備えることができる。p型材料コンタクト118は、接続部166に電氣的に接続することができ、接続部166は、コンタクトパッド162に電氣的に接続することができる。いくつかの態様では、接続部166は、導電性材料、多くの異なる導電性材料を含むことができ、好適な材料は金属または金属の組合せであり、標準的な金属化方法を使用して堆積させられる。一態様では、これらの材料は、チタン、金、ニッケルなどのうちの1つまたは複数を含むことが

10

20

30

40

50

できる。

【0140】

一態様では、p+層106は、コンタクトパッド162を備えることができる。この態様では、p+層106はコンタクトパッド162を介して、独自のバイアスおよび信号を受け取ることができる。この点に関して、コンタクトパッド162を使用して、トランジスタ100の特性を調整することができる。

【0141】

一態様では、p+層106は、p型材料コンタクト118を備えることができる。p型材料コンタクト118は、接続部166に電氣的に接続することができ、接続部166は、コンタクトパッド162に電氣的に接続することができる。

【0142】

一態様では、接続部166は、p型材料コンタクト118からコンタクトパッド162へ延びる金属接続とすることができる。一態様では、コンタクトパッド162は、埋込みコンタクトパッドとすることができる。この点に関して、コンタクトパッド162は、トランジスタ100の上述した構造のうちのいずれか1つに埋め込むことができる。一態様では、コンタクトパッド162は、バリア層108上に配置することができる。一態様では、コンタクトパッド162は、バリア層108上に直接配置することができる。一態様では、コンタクトパッド162は、バリア層108上のスペーサ層116上に配置することができる。一態様では、コンタクトパッド162は、別個のものとして行うことができ、ゲート114、ソース110、および／またはドレイン112から分離することができる。図11は、ゲート114に電氣的に接続されたゲートパッド168をさらに示す。図11に示すp型材料コンタクト118、接続部166、コンタクトパッド162、p+層106、p型材料層120などのサイズ、配置、および構成は、単なる例示であることに留意されたい。他のサイズ、配置、および構成も同様に企図される。

【0143】

図12は、本開示によるトランジスタの別の態様の断面図を示す。

【0144】

特に、図12は、本明細書に記載する本開示のいずれか1つまたは複数の態様を含むことができるトランジスタ100を示す。特に、いくつかの態様では、図12のトランジスタ100は、上述したp+層106を含むことができる。他の態様では、p+層106を利用しなくてもよい。図12の一態様では、トランジスタ100は、p+層106のみによって実施することができる。図12の一態様では、トランジスタ100は、p+層106およびp型材料層120（図12には図示せず）によって実施することができる。図12の一態様では、トランジスタ100は、p型材料層120のみによって実施することができる。p型材料層120を利用する態様では、p型材料層120は、本明細書に記載するように注入することができる。p型材料層120を利用する態様では、p型材料層120は、本明細書に記載するように形成することができる。p+層106を利用する態様では、p+層106は、本明細書に記載するように注入することができる。p+層106を利用する態様では、p+層106は、本明細書に記載するように形成することができる。

【0145】

特に、図12のトランジスタ100は、接続部140（ソースフィールドプレート相互接続）を介してソース110に接続されたフィールドプレート132を示す。この態様では、フィールドプレート132は、p型材料層120への接続部を含まなくてもよい。一態様では、接続部140は、フィールドプレート132とソース110との間に延びるように、スペーサ層116および／またはスペーサ層117上に形成することができる。一態様では、接続部140は、同じ製造ステップ中に、フィールドプレート132とともに形成することができる。一態様では、複数の接続部140を使用することができる。一態様では、複数のフィールドプレート132を使用することができる。一態様では、複数のフィールドプレート132を使用することができ、複数のフィールドプレート132の各々は、誘電体材料を間に挟んで積み重ねることができる。いくつかの態様では、接続部

10

20

30

40

50

140は、導電性材料、多くの異なる導電性材料を含むことができ、好適な材料は金属または金属の組合せであり、標準的な金属化方法を使用して堆積させられる。一態様では、これらの材料は、チタン、金、ニッケルなどのうちの1つまたは複数を含むことができる。

【0146】

図13は、本開示によるトランジスタの別の態様の断面図を示す。

【0147】

特に、図13は、本明細書に記載する本開示のいずれか1つまたは複数の態様を含むことができるトランジスタ100を示す。特に、いくつかの態様では、図13のトランジスタ100は、上述したp+層106（図13には図示せず）を含むことができる。他の態様では、p+層106を利用しなくてもよい。図13の一態様では、トランジスタ100は、p+層106のみによって実施することができる。図13の一態様では、トランジスタ100は、p+層106およびp型材料層120によって実施することができる。図13の一態様では、トランジスタ100は、p型材料層120のみによって実施することができる。p型材料層120を利用する態様では、p型材料層120は、本明細書に記載するように注入することができる。p型材料層120を利用する態様では、p型材料層120は、本明細書に記載するように形成することができる。p+層106を利用する態様では、p+層106は、本明細書に記載するように注入することができる。p+層106を利用する態様では、p+層106は、本明細書に記載するように形成することができる。

【0148】

特に、図13のトランジスタ100は、接続部140を介してソース110に接続されたフィールドプレート132を示す。図13は、接続部138によって、p型材料コンタクト118をソース110に電氣的に接続することができることをさらに示す。一態様では、接続部138は、p型材料コンタクト118とソース110との間に延びるように、スペーサ層116および／またはスペーサ層117上に形成することができる。一態様では、トランジスタ100は、フィールドプレート132をp型材料コンタクト118に直接接続するように構成された接続部138および接続部140をさらに含むことができる。一態様では、トランジスタ100は、ソース110に接続することなく、フィールドプレート132をp型材料コンタクト118に直接接続するように構成された接続部138および接続部140をさらに含むことができる。一態様では、トランジスタ100は、いかなる介在接続部もなく、フィールドプレート132をp型材料コンタクト118に直接接続するように構成された接続部138および接続部140をさらに含むことができる。いくつかの態様では、接続部138は、導電性材料、多くの異なる導電性材料を含むことができ、好適な材料は金属または金属の組合せであり、標準的な金属化方法を使用して堆積させられる。一態様では、これらの材料は、チタン、金、ニッケルなどのうちの1つまたは複数を含むことができる。

【0149】

図14は、本開示によるトランジスタを作製するプロセスを示す。特に、図14は、本開示のトランジスタ100を作製する例示的なプロセス500を示す。プロセス500は単なる例示であり、本明細書に開示する様々な態様に一貫して修正することができることに留意されたい。

【0150】

プロセス500は、ステップ502で、基板層102を形成することによって開始することができる。基板層102は、炭化ケイ素（SiC）から作製することができる。いくつかの態様では、基板層102は、半絶縁性のSiC基板、p型基板、n型基板などとしてすることができる。いくつかの態様では、基板層102は、非常に低濃度でドーピングすることができる。一態様では、背景の不純物レベルを低くすることができる。一態様では、背景の不純物レベルを $1 \times 10^{15} / \text{cm}^3$ 以下にすることができる。基板層102は、6H、4H、15R、3CのSiCなどからなる群から選択されたSiCから形成することができる。別の態様では、基板層102は、GaAs、GaN、または本明細書に記載する適用分野に好適な他の材料とすることができる。別の態様では、基板層102は、サファイア、

10

20

30

40

50

【 0 1 5 1 】

20

30

【 0 1 5 4 】

40

【 0 1 5 6 】

50

せなどのパッシベーション層とすることができ、バリア層108の露出面の上に堆積させることができる。本開示の別の態様では、p型材料層120とのコンタクトのための場所を生じさせるために、バリア層108の少なくとも一部およびバッファ層104の少なくとも一部を除去することによって、凹部を生じさせることができる。凹部119は、ソース110に関連する領域部分内で、p型材料層120の上のあらゆる材料を除去することができ、基板層102とは反対側で、p型材料層120を露出させることができる。本開示の別の態様では、p+層106とのコンタクトのための場所を生じさせるために、バリア層108の少なくとも一部およびバッファ層104の少なくとも一部を除去することによって、凹部119を生じさせることができる。凹部形成プロセスは、ソース110に関連する領域部分内で、p+層106の上のあらゆる材料を除去することができ、基板層102とは反対側で、p+層106を露出させることができる。

10

【0157】

さらにプロセス500中、ステップ512の一部として、バリア層108上にソース110を配置することができる。ソース110は、アニーリングすることができる好適な材料のオーミックコンタクトとすることができる。たとえば、ソース110は、約2分にわたって約500℃～約800℃の温度でアニーリングすることができる。しかし、他の時間および温度を利用することもできる。たとえば、約30秒～約10分の時間を許容可能とすることができる。いくつかの態様では、ソース110は、Al、Ti、Si、Ni、および／またはPtを含むことができる。一態様では、バリア層108内でソース110の下に、N+材料の領域164を形成することができる。一態様では、ドレイン112の下の領域164をSiでドーピングすることができる。

20

【0158】

さらにプロセス500中、ステップ512の一部として、バリア層108上にドレイン112を配置することができる。ソース110と同様に、ドレイン112もNiまたは別の好適な材料のオーミックコンタクトとすることができ、また同様にアニーリングすることができる。一態様では、バリア層108とともにn+注入物を使用することができ、この注入物にコンタクトが作製される。一態様では、バリア層108内でドレイン112の下に、N+材料の領域164を形成することができる。一態様では、ドレイン112の下の領域164をSiでドーピングすることができる。

【0159】

さらにプロセス500中、ステップ512の一部として、ソース110とドレイン112との間のバリア層108上にゲート114を配置することができる。ゲート114のために、蒸着または別の技法によって、Ni、Pt、Auなどの層を形成することができる。次いで、PtおよびAuまたは他の好適な材料の堆積によって、ゲート構造を完成させることができる。いくつかの態様では、ゲート114のコンタクトは、Al、Ti、Si、Ni、および／またはPtを含むことができる。

30

【0160】

さらにプロセス500中、ステップ512の一部として、p型材料コンタクト118を形成することができる。p+層106が露出された後、ニッケルまたは別の好適な材料を蒸発させて、p型材料コンタクト118を堆積させることができる。たとえば、ニッケルまたは別の好適な材料をアニーリングして、オーミックコンタクトを形成することができる。いくつかの態様では、p型材料コンタクト118のコンタクトは、Al、Ti、Si、Ni、および／またはPtを含むことができる。そのような堆積およびアニーリングプロセスは、当業者には知られている従来の技法を利用して実施することができる。たとえば、p型材料コンタクト118向けのオーミックコンタクトは、約600℃～約1050℃の温度でアニーリングすることができる。p+層106上にp型材料コンタクト118が形成された後、金属被覆層が、p+層106のp型材料コンタクト118をソース110に電氣的に結合することができる。これを行うことで、p+層106およびソース110の伝導率を同じ電位で維持することができる。

40

【0161】

50

ソース１１０およびドレイン１１２の電極を形成して、オーミックコンタクトを作製することができ、したがって、ゲート１１４の電極に適当なレベルのバイアスがかけられたとき、電流は、バッファ層１０４とバリア層１０８との間のヘテロ界面１５２で誘起された２次元電子ガス（２ＤＥＧ）を介して、ソース１１０およびドレイン１１２の電極間を流れる。一態様では、ヘテロ界面１５２は、 $0.005\mu\text{m}\sim 0.007\mu\text{m}$ 、 $0.007\mu\text{m}\sim 0.009\mu\text{m}$ 、および $0.009\mu\text{m}\sim 0.011\mu\text{m}$ の範囲内とすることができる。

【０１６２】

ゲート１１４は、スペーサまたはスペーサ層１１６の上に延びることができる。スペーサ層１１６は、エッチングすることができ、ゲート１１４は、ゲート１１４の底部がバリア層１０８の表面につくように堆積させることができる。ゲート１１４を形成する金属は、スペーサ層１１６を横切って延びるようにパターン形成することができ、その結果、ゲート１１４の頂部がフィールドプレート１３２を形成する。

【０１６３】

さらにプロセス５００のいくつかの態様中、ステップ５１２の一部として、別のスペーサ層１１７の上にフィールドプレート１３２を配置することができ、ゲート１１４から分離することができる。一態様では、フィールドプレート１３２は、ゲート１１４とドレイン１１２との間でスペーサ層１１７上に堆積させることができる。いくつかの態様では、フィールドプレート１３２は、多くの異なる導電性材料を含むことができ、好適な材料は金属または金属の組合せであり、標準的な金属化方法を使用して堆積させられる。一態様では、フィールドプレート１３２は、チタン、金、ニッケル、チタン／金、ニッケル／金などを含むことができる。一態様では、接続部１４０は、同じ製造ステップ中に、フィールドプレート１３２とともに形成することができる（図１２参照）。一態様では、複数のフィールドプレート１３２を使用することができる。一態様では、複数のフィールドプレート１３２を使用することができ、複数のフィールドプレート１３２の各々は、誘電体材料を間に挟んで積み重ねることができる。一態様では、フィールドプレート１３２は、ゲート１１４の縁部およびドレイン１１２の方へ延びる。一態様では、フィールドプレート１３２は、ソース１１０の方へ延びる。一態様では、フィールドプレート１３２は、ドレイン１１２およびソース１１０の方へ延びる。別の態様では、フィールドプレート１３２は、ゲート１１４の縁部の方へ延びない。最後に、この構造は、窒化ケイ素などの誘電体スペーサ層によって覆うことができる。誘電体スペーサ層はまた、スペーサ層１１６と同様に実施することができる。さらに、これらの図に示すゲート１１４の断面形状は例示であることに留意されたい。たとえば、いくつかの態様では、ゲート１１４の断面形状は、Ｔ字形の延長部を含まなくてもよい。ゲート１１４の他の構造、たとえば図８または図１に示すゲート１１４の構造を利用することもできる。

【０１６４】

さらにプロセス５００のいくつかの態様中、ステップ５１２の一部として、接続部１５４を形成することができる。一態様では、接続部１５４は、ｐ型材料コンタクト１１８とゲート１１４との間に延びるように形成することができる（図１６参照）。一態様では、接続部１５４は、ｐ型材料コンタクト１１８とゲート１１４との間に延びるように、スペーサ層１１６上に形成することができる。

【０１６５】

さらにプロセス５００のいくつかの態様中、ステップ５１２の一部として、接続部１４０を形成することができる（図１３参照）。いくつかの態様では、接続部１４０によって、フィールドプレート１３２をソース１１０に電氣的に接続することができる。一態様では、接続部１４０は、フィールドプレート１３２とソース１１０との間に延びるように、スペーサ層１１７上に形成することができる。

【０１６６】

さらにプロセス５００のいくつかの態様中、ステップ５１２の一部として、接続部１６６およびコンタクトパッド１６２を形成することができる（図１１参照）。一態様では、

10

20

30

40

50

p型材料コンタクト118は、接続部166に電氣的に接続することができ、接続部166は、コンタクトパッド162に電氣的に接続することができる。さらにプロセス500のいくつかの態様中、ゲートパッド168を形成することができる。

【0167】

プロセス500のステップは、上述した態様に一貫して、異なる順序で実行することができることに留意されたい。さらに、プロセス500は、本明細書に開示する様々な態様に一貫して、より多くまたはより少ないプロセスステップを有するように修正することができる。プロセス500の一態様では、トランジスタ100は、p+層106のみによって実施することができる。プロセス500の一態様では、トランジスタ100は、p+層106およびp型材料層120によって実施することができる。プロセス500の一態様では、トランジスタ100は、p型材料層120のみによって実施することができる。

10

【0168】

図15は、従来の注入条件のシミュレーションと比較した、本開示の態様によるチャネリング条件で注入されたAlの分布を示す。特に、図15は、軸外の従来の注入条件（TRIM）のシミュレーションと比較した、C軸（2次イオン質量分光（SIMS）データ）に沿ってチャネリング条件で注入された4H-SiCにおける ^{27}Al の分布を示す。利用された注入エネルギーは、25℃で $E_1=100\text{keV}$ および $E_2=300\text{keV}$ であり、投与量では $1\text{E}13\text{cm}^{-2}$ であった。この点に関して、p型材料層120は、この注入エネルギーおよび投与量に一貫して注入することができる。しかし、他の注入エネルギーおよび投与量も本明細書に記載するのと同様に企図される。

20

【0169】

一態様では、p型材料層120は、p+層106未満の投与濃度を有することができる。一態様では、p+層106は、実現可能な最小のシート抵抗で、可能な限り高濃度にドーピングすることができる。一態様では、p型材料層120は、p+層106より小さい注入濃度を有することができる。一態様では、p+層106は、実現可能な最小のシート抵抗で、可能な限り高い注入濃度を有することができる。一態様では、p型材料層120は、 10^{19} 未満の注入濃度を有することができる。一態様では、p型材料層120は、 10^{20} 未満の注入濃度を有することができる。一態様では、p型材料層120は、 $10^{17}\sim 10^{20}$ 、 $10^{19}\sim 10^{20}$ 、 $10^{18}\sim 10^{19}$ 、または $10^{17}\sim 10^{18}$ の注入濃度を有することができる。一態様では、p+層106は、 10^{19} 以上の注入濃度を有することができる。一態様では、p+層106は、 $10^{18}\sim 10^{20}$ 、 $10^{18}\sim 10^{19}$ 、または $10^{19}\sim 10^{20}$ の注入濃度を有することができる。

30

【0170】

一態様では、p型材料層120の投与量は、 $1\text{E}17\text{cm}^3$ 未満とすることができる。一態様では、p型材料層120の投与量は、 $2\text{E}17\text{cm}^3$ 未満とすることができる。一態様では、p型材料層120の投与量は、 $6\text{E}17\text{cm}^3$ 未満とすることができる。一態様では、p型材料層120の投与量は、 $2\text{E}18\text{cm}^3$ 未満とすることができる。一態様では、p型材料層120の投与量は、 1cm^3 につき $5\text{E}15\sim 5\text{E}17$ の範囲内とすることができる。これらの態様では、p+層106の投与濃度は、p型材料層120の投与濃度より大きくすることができる。

40

【0171】

図16は、本開示によるトランジスタの別の態様の断面図を示す。

【0172】

特に、図16は、本明細書に記載する本開示のいずれか1つまたは複数の態様を含むことができるトランジスタ100を示す。特に、いくつかの態様では、図16のトランジスタ100は、上述したp+層106（図16には図示せず）を含むことができる。他の態様では、p+層106を利用しなくてもよい。図16の一態様では、トランジスタ100は、p+層106のみによって実施することができる。図16の一態様では、トランジスタ100は、p+層106およびp型材料層120によって実施することができる。図16の一態様では、トランジスタ100は、p型材料層120のみによって実施することが

50

できる。p型材料層120を利用する態様では、p型材料層120は、本明細書に記載するように注入することができる。p型材料層120を利用する態様では、p型材料層120は、本明細書に記載するように形成することができる。p+層106を利用する態様では、p+層106は、本明細書に記載するように注入することができる。p+層106を利用する態様では、p+層106は、本明細書に記載するように形成することができる。

【0173】

特に、図16は、ゲート114ならびに接続部154を含むことができるトランジスタ100を示す。一態様では、接続部154は、ゲート114をp型材料コンタクト118に接続することができる。一態様では、ゲート114は、T字形ゲートとすることができる。一態様では、ゲート114は、T字形でないゲートとすることができる。

10

【0174】

図17は、本開示によるトランジスタの別の態様の断面図を示す。

【0175】

特に、図17は、本明細書に記載する本開示のいずれか1つまたは複数の態様を含むことができるトランジスタ100を示す。特に、いくつかの態様では、図17のトランジスタ100は、上述したp+層106を含むことができる。他の態様では、p+層106を利用しなくてもよい。図17の一態様では、トランジスタ100は、p+層106のみによって実施することができる。図17の一態様では、トランジスタ100は、p+層106およびp型材料層120によって実施することができる。図17の一態様では、トランジスタ100は、p型材料層120のみによって実施することができる。p型材料層120を利用する態様では、p型材料層120は、本明細書に記載するように注入することができる。p型材料層120を利用する態様では、p型材料層120は、本明細書に記載するように形成することができる。p+層106を利用する態様では、p+層106は、本明細書に記載するように注入することができる。p+層106を利用する態様では、p+層106は、本明細書に記載するように形成することができる。

20

【0176】

特に、図17は、基板層102内にp+層106を含むことができるトランジスタ100を示す。一態様では、トランジスタ100は、基板層102内にp型材料層120を含むことができる。一態様では、トランジスタ100は、エピタキシャル層202内にp+層106を含むことができる。一態様では、トランジスタ100は、エピタキシャル層202内にp型材料層120を含むことができる。一態様では、トランジスタ100は、基板層102内のp+層106、基板層102内のp型材料層120、エピタキシャル層202内のp+層106、およびエピタキシャル層202内のp型材料層120を含むことができる。図17は、トランジスタ100がフィールドプレート132を含むことができることをさらに示す。

30

【0177】

図18は、本開示によるトランジスタの別の態様の断面図を示す。

【0178】

特に、図18は、本明細書に記載する本開示のいずれか1つまたは複数の態様を含むことができるトランジスタ100を示す。特に、いくつかの態様では、図18のトランジスタ100は、上述したp+層106（図示せず）を含むことができる。他の態様では、p+層106を利用しなくてもよい。図18の一態様では、トランジスタ100は、p+層106のみによって実施することができる。図18の一態様では、トランジスタ100は、p+層106およびp型材料層120によって実施することができる。図18の一態様では、トランジスタ100は、p型材料層120のみによって実施することができる。p型材料層120を利用する態様では、p型材料層120は、本明細書に記載するように注入することができる。p型材料層120を利用する態様では、p型材料層120は、本明細書に記載するように形成することができる。p+層106を利用する態様では、p+層106は、本明細書に記載するように注入することができる。p+層106を利用する態様では、p+層106は、本明細書に記載するように形成することができる。

40

50

【0179】

特に、図18は、トランジスタ100がフィールドプレート132を含むことができることを示す。一態様では、トランジスタ100は、フィールドプレート132をソース110に接続するための接続部140をさらに含むことができる。一態様では、トランジスタ100は、フィールドプレート132および／またはソース110をp型材料コンタクト118に接続するための接続部138をさらに含むことができる。一態様では、トランジスタ100は、フィールドプレート132をp型材料コンタクト118に直接接続するように構成された接続部138および接続部140をさらに含むことができる。一態様では、トランジスタ100は、ソース110に接続することなく、フィールドプレート132をp型材料コンタクト118に直接接続するように構成された接続部138および接続部140をさらに含むことができる。一態様では、トランジスタ100は、いかなる介在接続部もなく、フィールドプレート132をp型材料コンタクト118に直接接続するように構成された接続部138および接続部140をさらに含むことができる。

10

【0180】

図19は、本開示によるトランジスタの別の態様の断面図を示す。

【0181】

特に、図19は、本明細書に記載する本開示のいずれか1つまたは複数の態様を含むことができるトランジスタ100を示す。特に、いくつかの態様では、図19のトランジスタ100は、上述したp+層106（図示せず）を含むことができる。他の態様では、p+層106を利用しなくてもよい。図19の一態様では、トランジスタ100は、p+層106のみによって実施することができる。図19の一態様では、トランジスタ100は、p+層106およびp型材料層120によって実施することができる。図19の一態様では、トランジスタ100は、p型材料層120のみによって実施することができる。p型材料層120を利用する態様では、p型材料層120は、本明細書に記載するように注入することができる。p型材料層120を利用する態様では、p型材料層120は、本明細書に記載するように形成することができる。p+層106を利用する態様では、p+層106は、本明細書に記載するように注入することができる。p+層106を利用する態様では、p+層106は、本明細書に記載するように形成することができる。

20

【0182】

特に、図19は、基板層102内にp型材料層120を含むことができるトランジスタ100を示す。一態様では、トランジスタ100は、エピタキシャル層202内にp型材料層120を含むことができる。一態様では、トランジスタ100は、基板層102内にp型材料層120を含むことができ、エピタキシャル層202内にp型材料層120を含むことができる。

30

【0183】

図19の一態様では、トランジスタ100は、フィールドプレート132を含むことができる。一態様では、トランジスタ100は、フィールドプレート132をソース110に接続するための接続部140をさらに含むことができる。一態様では、トランジスタ100は、フィールドプレート132および／またはソース110をp型材料コンタクト118に接続するための接続部138（ソース相互接続）をさらに含むことができる。一態様では、トランジスタ100は、フィールドプレート132をp型材料コンタクト118に直接接続するように構成された接続部138および接続部140をさらに含むことができる。一態様では、トランジスタ100は、ソース110に接続することなく、フィールドプレート132をp型材料コンタクト118に直接接続するように構成された接続部138および接続部140をさらに含むことができる。一態様では、トランジスタ100は、いかなる介在接続部もなく、フィールドプレート132をp型材料コンタクト118に直接接続するように構成された接続部138および接続部140をさらに含むことができる。

40

【0184】

図20は、本開示によるトランジスタの別の態様の断面図を示す。

50

【0185】

特に、図20は、本明細書に記載する本開示のいずれか1つまたは複数の態様を含むことができるトランジスタ100を示す。特に、いくつかの態様では、図20のトランジスタ100は、上述したp+層106を含むことができる。他の態様では、p+層106を利用しなくてもよい。図20の一態様では、トランジスタ100は、p+層106のみによって実施することができる。図20の一態様では、トランジスタ100は、p+層106およびp型材料層120によって実施することができる。図20の一態様では、トランジスタ100は、p型材料層120のみによって実施することができる。p型材料層120を利用する態様では、p型材料層120は、本明細書に記載するように注入することができる。p型材料層120を利用する態様では、p型材料層120は、本明細書に記載するように形成することができる。p+層106を利用する態様では、p+層106は、本明細書に記載するように注入することができる。p+層106を利用する態様では、p+層106は、本明細書に記載するように形成することができる。

10

【0186】

特に、図20は、エピタキシャル層202内にp+層106を含むことができるトランジスタ100を示す。図20は、トランジスタ100がエピタキシャル層202内にp型材料層120を含むことができることをさらに示す。

【0187】

図20の一態様では、トランジスタ100は、フィールドプレート132を含むことができる。一態様では、トランジスタ100は、フィールドプレート132をソース110に接続するための接続部140をさらに含むことができる。一態様では、トランジスタ100は、フィールドプレート132および／またはソース110をp型材料コンタクト118に接続するための接続部138（ソース相互接続）をさらに含むことができる。一態様では、トランジスタ100は、フィールドプレート132をp型材料コンタクト118に直接接続するように構成された接続部138および接続部140をさらに含むことができる。一態様では、トランジスタ100は、ソース110に接続することなく、フィールドプレート132をp型材料コンタクト118に直接接続するように構成された接続部138および接続部140をさらに含むことができる。一態様では、トランジスタ100は、いかなる介在接続部もなく、フィールドプレート132をp型材料コンタクト118に直接接続するように構成された接続部138および接続部140をさらに含むことができる。

20

30

【0188】

図21は、本開示によるトランジスタの別の態様の断面図を示す。

【0189】

特に、図21は、本明細書に記載する本開示のいずれか1つまたは複数の態様を含むことができるトランジスタ100を示す。特に、いくつかの態様では、図21のトランジスタ100は、上述したp+層106（図示せず）を含むことができる。他の態様では、p+層106を利用しなくてもよい。図21の一態様では、トランジスタ100は、p+層106のみによって実施することができる。図21の一態様では、トランジスタ100は、p+層106およびp型材料層120によって実施することができる。図21の一態様では、トランジスタ100は、p型材料層120のみによって実施することができる。p型材料層120を利用する態様では、p型材料層120は、本明細書に記載するように注入することができる。p型材料層120を利用する態様では、p型材料層120は、本明細書に記載するように形成することができる。p+層106を利用する態様では、p+層106は、本明細書に記載するように注入することができる。p+層106を利用する態様では、p+層106は、本明細書に記載するように形成することができる。

40

【0190】

特に、図21は、基板層102内にp型材料層120を含むことができるトランジスタ100を示す。図21に示す一態様では、トランジスタ100は、T字形の断面を有するゲート114を含むことができる。一態様では、ゲート114は、T字形でないゲートと

50

することができる。

【0191】

図21の一態様では、トランジスタ100は、フィールドプレート132を含むことができる。一態様では、トランジスタ100は、フィールドプレート132をソース110に接続するための接続部140をさらに含むことができる。一態様では、トランジスタ100は、フィールドプレート132および／またはソース110をp型材料コンタクト118に接続するための接続部138をさらに含むことができる。一態様では、トランジスタ100は、フィールドプレート132をp型材料コンタクト118に直接接続するように構成された接続部138および接続部140をさらに含むことができる。一態様では、トランジスタ100は、ソース110に接続することなく、フィールドプレート132をp型材料コンタクト118に直接接続するように構成された接続部138および接続部140をさらに含むことができる。一態様では、トランジスタ100は、いかなる介在接続部もなく、フィールドプレート132をp型材料コンタクト118に直接接続するように構成された接続部138および接続部140をさらに含むことができる。

10

【0192】

図22は、本開示によるトランジスタの別の態様の断面図を示す。

【0193】

特に、図22は、本明細書に記載する本開示のいずれか1つまたは複数の態様を含むことができるトランジスタ100を示す。特に、いくつかの態様では、図22のトランジスタ100は、上述したp+層106（図示せず）を含むことができる。他の態様では、p+層106を利用しなくてもよい。図22の一態様では、トランジスタ100は、p+層106のみによって実施することができる。図22の一態様では、トランジスタ100は、p+層106およびp型材料層120によって実施することができる。図22の一態様では、トランジスタ100は、p型材料層120のみによって実施することができる。p型材料層120を利用する態様では、p型材料層120は、本明細書に記載するように注入することができる。p型材料層120を利用する態様では、p型材料層120は、本明細書に記載するように形成することができる。p+層106を利用する態様では、p+層106は、本明細書に記載するように注入することができる。p+層106を利用する態様では、p+層106は、本明細書に記載するように形成することができる。

20

【0194】

特に、図22は、基板層102内にp型材料層120を含むことができるトランジスタ100を示す。図22に示す一態様では、トランジスタ100は、T字形の断面を有するゲート114を含むことができる。一態様では、ゲート114は、T字形でないゲートとすることができる。一態様では、トランジスタ100は、接続部154を含むことができる。一態様では、接続部154は、ゲート114をp型材料コンタクト118に接続することができる。

30

【0195】

図23は、本開示によるトランジスタの別の態様の断面図を示す。

【0196】

特に、図23は、本明細書に記載する本開示のいずれか1つまたは複数の態様を含むことができるトランジスタ100を示す。特に、いくつかの態様では、図23のトランジスタ100は、上述したp+層106（図示せず）を含むことができる。他の態様では、p+層106を利用しなくてもよい。図23の一態様では、トランジスタ100は、p+層106のみによって実施することができる。図23の一態様では、トランジスタ100は、p+層106およびp型材料層120によって実施することができる。図23の一態様では、トランジスタ100は、p型材料層120のみによって実施することができる。p型材料層120を利用する態様では、p型材料層120は、本明細書に記載するように注入することができる。p型材料層120を利用する態様では、p型材料層120は、本明細書に記載するように形成することができる。p+層106を利用する態様では、p+層106は、本明細書に記載するように注入することができる。p+層106を利用する態

40

50

様では、p + 層 1 0 6 は、本明細書に記載するように形成することができる。

【0197】

特に、図 2 3 は、エピタキシャル層 2 0 2 内に p 型材料層 1 2 0 を含むことができるトランジスタ 1 0 0 を示す。図 2 3 に示す一態様では、トランジスタ 1 0 0 は、T 字形の断面を有するゲート 1 1 4 を含むことができる。一態様では、トランジスタ 1 0 0 は、接続部 1 5 4 を含むことができる。一態様では、接続部 1 5 4 は、ゲート 1 1 4 を p 型材料コンタクト 1 1 8 に接続することができる。

【0198】

図 2 4 は、本開示によるトランジスタの別の態様の断面図を示す。

【0199】

特に、図 2 4 は、本明細書に記載する本開示のいずれか 1 つまたは複数の態様を含むことができるトランジスタ 1 0 0 を示す。特に、いくつかの態様では、図 2 4 のトランジスタ 1 0 0 は、上述した p + 層 1 0 6 を含むことができる。他の態様では、p + 層 1 0 6 を利用しなくてもよい。図 2 4 の一態様では、トランジスタ 1 0 0 は、p + 層 1 0 6 のみによって実施することができる。図 2 4 の一態様では、トランジスタ 1 0 0 は、p + 層 1 0 6 および p 型材料層 1 2 0（図示せず）によって実施することができる。図 2 4 の一態様では、トランジスタ 1 0 0 は、p 型材料層 1 2 0（図示せず）のみによって実施することができる。p 型材料層 1 2 0 を利用する態様では、p 型材料層 1 2 0 は、本明細書に記載するように注入することができる。p 型材料層 1 2 0 を利用する態様では、p 型材料層 1 2 0 は、本明細書に記載するように形成することができる。p + 層 1 0 6 を利用する態様では、p + 層 1 0 6 は、本明細書に記載するように注入することができる。p + 層 1 0 6 を利用する態様では、p + 層 1 0 6 は、本明細書に記載するように形成することができる。

【0200】

特に、図 2 4 は、エピタキシャル層 2 0 2 内に p + 層 1 0 6 を含むことができるトランジスタ 1 0 0 を示す。図 2 4 に示す一態様では、トランジスタ 1 0 0 は、T 字形の断面を有するゲート 1 1 4 を含むことができる。一態様では、ゲート 1 1 4 は、T 字形でないゲートとすることができる。一態様では、トランジスタ 1 0 0 は、接続部 1 5 4 を含むことができる。一態様では、接続部 1 5 4 は、ゲート 1 1 4 を p 型材料コンタクト 1 1 8 に接続することができる。

【0201】

図 2 5 は、本開示によるトランジスタの別の態様の断面図を示す。

【0202】

特に、図 2 5 は、本明細書に記載する本開示のいずれか 1 つまたは複数の態様を含むことができるトランジスタ 1 0 0 を示す。特に、いくつかの態様では、図 2 5 のトランジスタ 1 0 0 は、上述した p + 層 1 0 6（図示せず）を含むことができる。他の態様では、p + 層 1 0 6 を利用しなくてもよい。図 2 5 の一態様では、トランジスタ 1 0 0 は、p + 層 1 0 6 のみによって実施することができる。図 2 5 の一態様では、トランジスタ 1 0 0 は、p + 層 1 0 6 および p 型材料層 1 2 0 によって実施することができる。図 2 5 の一態様では、トランジスタ 1 0 0 は、p 型材料層 1 2 0 のみによって実施することができる。p 型材料層 1 2 0 を利用する態様では、p 型材料層 1 2 0 は、本明細書に記載するように注入することができる。p 型材料層 1 2 0 を利用する態様では、p 型材料層 1 2 0 は、本明細書に記載するように形成することができる。p + 層 1 0 6 を利用する態様では、p + 層 1 0 6 は、本明細書に記載するように注入することができる。p + 層 1 0 6 を利用する態様では、p + 層 1 0 6 は、本明細書に記載するように形成することができる。

【0203】

特に、図 2 5 は、基板層 1 0 2 内に p 型材料層 1 2 0 を含むことができるトランジスタ 1 0 0 を示す。一態様では、トランジスタ 1 0 0 は、エピタキシャル層 2 0 2 内に p 型材料層 1 2 0 を含むことができる。一態様では、トランジスタ 1 0 0 は、基板層 1 0 2 内に p 型材料層 1 2 0 を含むことができ、エピタキシャル層 2 0 2 内に p 型材料層 1 2 0 を含むことができる。

10

20

30

40

50

【0204】

図25に示す一態様では、トランジスタ100は、T字形の断面を有するゲート114を含むことができる。一態様では、トランジスタ100は、接続部154を含むことができる。一態様では、接続部154は、ゲート114をp型材料コンタクト118に接続することができる。

【0205】

図26は、本開示によるトランジスタの別の態様の断面図を示す。

【0206】

特に、図26は、本明細書に記載する本開示のいずれか1つまたは複数の態様を含むことができるトランジスタ100を示す。特に、いくつかの態様では、図26のトランジスタ100は、上述したp+層106を含むことができる。他の態様では、p+層106を利用しなくてもよい。図26の一態様では、トランジスタ100は、p+層106のみによって実施することができる。図26の一態様では、トランジスタ100は、p+層106およびp型材料層120によって実施することができる。図26の一態様では、トランジスタ100は、p型材料層120のみによって実施することができる。p型材料層120を利用する態様では、p型材料層120は、本明細書に記載するように注入することができる。p型材料層120を利用する態様では、p型材料層120は、本明細書に記載するように形成することができる。p+層106を利用する態様では、p+層106は、本明細書に記載するように注入することができる。p+層106を利用する態様では、p+層106は、本明細書に記載するように形成することができる。

【0207】

特に、図26は、エピタキシャル層202内にp+層106を含むことができるトランジスタ100を示す。図26は、トランジスタ100がエピタキシャル層202内にp型材料層120を含むことができることをさらに示す。一態様では、トランジスタ100は、エピタキシャル層202内にp+層106を含むことができ、エピタキシャル層202内にp型材料層120を含むことができる。

【0208】

図26に示す一態様では、トランジスタ100は、T字形の断面を有するゲート114を含むことができる。一態様では、トランジスタ100は、接続部154を含むことができる。一態様では、接続部154は、ゲート114をp型材料コンタクト118に接続することができる。

【0209】

図27は、本開示によるトランジスタの別の態様の断面図を示す。

【0210】

特に、図27は、本明細書に記載する本開示のいずれか1つまたは複数の態様を含むことができるトランジスタ100を示す。特に、いくつかの態様では、図27のトランジスタ100は、上述したp+層106を含むことができる。他の態様では、p+層106を利用しなくてもよい。図27の一態様では、トランジスタ100は、p+層106のみによって実施することができる。図27の一態様では、トランジスタ100は、p+層106およびp型材料層120によって実施することができる。図27の一態様では、トランジスタ100は、p型材料層120のみによって実施することができる。p型材料層120を利用する態様では、p型材料層120は、本明細書に記載するように注入することができる。p型材料層120を利用する態様では、p型材料層120は、本明細書に記載するように形成することができる。p+層106を利用する態様では、p+層106は、本明細書に記載するように注入することができる。p+層106を利用する態様では、p+層106は、本明細書に記載するように形成することができる。

【0211】

特に、図27は、エピタキシャル層202内にp+層106を含むことができるトランジスタ100を示す。図27は、トランジスタ100がエピタキシャル層202内にp型材料層120を含むことができることをさらに示す。一態様では、トランジスタ100は

、エピタキシャル層 202 内に p+層 106 を含むことができ、エピタキシャル層 202 内に p 型材料層 120 を含むことができる。

【0212】

図 27 に示す一態様では、トランジスタ 100 は、T 字形の断面を有するゲート 114 を含むことができる。一態様では、トランジスタ 100 は、接続部 154 を含むことができる。一態様では、接続部 154 は、ゲート 114 を p 型材料コンタクト 118 に接続することができる。図 27 に示す一態様では、トランジスタ 100 は、フィールドプレート 132 をさらに含むことができる。

【0213】

図 28 は、本開示によるトランジスタの別の態様の断面図を示す。

10

【0214】

特に、図 28 は、本明細書に記載する本開示のいずれか 1 つまたは複数の態様を含むことができるトランジスタ 100 を示す。特に、いくつかの態様では、図 28 のトランジスタ 100 は、上述した p+層 106 (図示せず) を含むことができる。他の態様では、p+層 106 を利用しなくてもよい。図 28 の一態様では、トランジスタ 100 は、p+層 106 のみによって実施することができる。図 28 の一態様では、トランジスタ 100 は、p+層 106 および p 型材料層 120 によって実施することができる。図 28 の一態様では、トランジスタ 100 は、p 型材料層 120 のみによって実施することができる。p 型材料層 120 を利用する態様では、p 型材料層 120 は、本明細書に記載するように注入することができる。p 型材料層 120 を利用する態様では、p 型材料層 120 は、本明細書に記載するように形成することができる。p+層 106 を利用する態様では、p+層 106 は、本明細書に記載するように注入することができる。p+層 106 を利用する態様では、p+層 106 は、本明細書に記載するように形成することができる。

20

【0215】

特に、図 28 は、エピタキシャル層 202 内に p 型材料層 120 を含むことができるトランジスタ 100 を示す。図 28 に示す一態様では、トランジスタ 100 は、T 字形の断面を有するゲート 114 を含むことができる。

【0216】

一態様では、p 型材料層 120 は、p 型材料コンタクト 118 を備えることができる。p 型材料コンタクト 118 は、接続部 166 に電氣的に接続することができ、接続部 166 は、コンタクトパッド 162 に電氣的に接続することができる。この点に関して、コンタクトパッド 162 を使用して、トランジスタ 100 の特性を調整することができる。

30

【0217】

図 29 は、本開示によるトランジスタの別の態様の断面図を示す。

【0218】

特に、図 29 は、本明細書に記載する本開示のいずれか 1 つまたは複数の態様を含むことができるトランジスタ 100 を示す。特に、いくつかの態様では、図 29 のトランジスタ 100 は、上述した p+層 106 (図示せず) を含むことができる。他の態様では、p+層 106 を利用しなくてもよい。図 29 の一態様では、トランジスタ 100 は、p+層 106 のみによって実施することができる。図 29 の一態様では、トランジスタ 100 は、p+層 106 および p 型材料層 120 によって実施することができる。図 29 の一態様では、トランジスタ 100 は、p 型材料層 120 のみによって実施することができる。p 型材料層 120 を利用する態様では、p 型材料層 120 は、本明細書に記載するように注入することができる。p 型材料層 120 を利用する態様では、p 型材料層 120 は、本明細書に記載するように形成することができる。p+層 106 を利用する態様では、p+層 106 は、本明細書に記載するように注入することができる。p+層 106 を利用する態様では、p+層 106 は、本明細書に記載するように形成することができる。

40

【0219】

図 29 に示す一態様では、トランジスタ 100 は、T 字形の断面を有するゲート 114 を含むことができる。一態様では、ゲート 114 は、T 字形でないゲートとすることがで

50

きる。一態様では、p型材料層120は、p型材料コンタクト118を備えることができる。p型材料コンタクト118は、接続部166に電氣的に接続することができ、接続部166は、コンタクトパッド162に電氣的に接続することができる。この点に関して、コンタクトパッド162を使用して、トランジスタ100の特性を調整することができる。

【0220】

図30は、本開示によるトランジスタの別の態様の断面図を示す。

【0221】

特に、図30は、本明細書に記載する本開示のいずれか1つまたは複数の態様を含むことができるトランジスタ100を示す。特に、いくつかの態様では、図30のトランジスタ100は、上述したp+層106（図示せず）を含むことができる。他の態様では、p+層106を利用しなくてもよい。図30の一態様では、トランジスタ100は、p+層106のみによって実施することができる。図30の一態様では、トランジスタ100は、p+層106およびp型材料層120によって実施することができる。図30の一態様では、トランジスタ100は、p型材料層120のみによって実施することができる。p型材料層120を利用する態様では、p型材料層120は、本明細書に記載するように注入することができる。p型材料層120を利用する態様では、p型材料層120は、本明細書に記載するように形成することができる。p+層106を利用する態様では、p+層106は、本明細書に記載するように注入することができる。p+層106を利用する態様では、p+層106は、本明細書に記載するように形成することができる。

【0222】

特に、図30は、基板層102内にp型材料層120を含むことができ、エピタキシャル層202内にp型材料層120を含むことができるトランジスタ100を示す。図30に示す一態様では、トランジスタ100は、T字形の断面を有するゲート114を含むことができる。

【0223】

一態様では、p型材料層120は、p型材料コンタクト118を備えることができる。p型材料コンタクト118は、接続部166に電氣的に接続することができ、接続部166は、コンタクトパッド162に電氣的に接続することができる。この点に関して、コンタクトパッド162を使用して、トランジスタ100の特性を調整することができる。

【0224】

図31は、本開示によるトランジスタの別の態様の断面図を示す。

【0225】

特に、図31は、本明細書に記載する本開示のいずれか1つまたは複数の態様を含むことができるトランジスタ100を示す。特に、いくつかの態様では、図31のトランジスタ100は、上述したp+層106を含むことができる。他の態様では、p+層106を利用しなくてもよい。図31の一態様では、トランジスタ100は、p+層106のみによって実施することができる。図31の一態様では、トランジスタ100は、p+層106およびp型材料層120によって実施することができる。図31の一態様では、トランジスタ100は、p型材料層120のみによって実施することができる。p型材料層120を利用する態様では、p型材料層120は、本明細書に記載するように注入することができる。p型材料層120を利用する態様では、p型材料層120は、本明細書に記載するように形成することができる。p+層106を利用する態様では、p+層106は、本明細書に記載するように注入することができる。p+層106を利用する態様では、p+層106は、本明細書に記載するように形成することができる。

【0226】

特に、図31は、基板層102内にp+層106を含むことができるトランジスタ100を示す。一態様では、トランジスタ100は、基板層102内にp型材料層120を含むことができる。一態様では、トランジスタ100は基板層102内にp+層106を含むことができ、基板層102内にp型材料層120を含むことができる。図31に示す一態様では、トランジスタ100は、T字形の断面を有するゲート114を含むことができ

る。

【0227】

一態様では、p型材料層120は、p型材料コンタクト118を備えることができる。p型材料コンタクト118は、接続部166に電氣的に接続することができ、接続部166は、コンタクトパッド162に電氣的に接続することができる。この点に関して、コンタクトパッド162を使用して、トランジスタ100の特性を調整することができる。

【0228】

一態様では、p+層106は、p型材料コンタクト118を備えることができる。p型材料コンタクト118は、接続部166に電氣的に接続することができ、接続部166は、コンタクトパッド162に電氣的に接続することができる。この点に関して、コンタクトパッド162を使用して、トランジスタ100の特性を調整することができる。

【0229】

図32は、本開示によるトランジスタの別の態様の断面図を示す。

【0230】

特に、図32は、本明細書に記載する本開示のいずれか1つまたは複数の態様を含むことができるトランジスタ100を示す。特に、いくつかの態様では、図32のトランジスタ100は、上述したp+層106を含むことができる。他の態様では、p+層106を利用しなくてもよい。図32の一態様では、トランジスタ100は、p+層106のみによって実施することができる。図32の一態様では、トランジスタ100は、p+層106およびp型材料層120によって実施することができる。図32の一態様では、トランジスタ100は、p型材料層120のみによって実施することができる。p型材料層120を利用する態様では、p型材料層120は、本明細書に記載するように注入することができる。p型材料層120を利用する態様では、p型材料層120は、本明細書に記載するように形成することができる。p+層106を利用する態様では、p+層106は、本明細書に記載するように注入することができる。p+層106を利用する態様では、p+層106は、本明細書に記載するように形成することができる。

【0231】

特に、図32は、基板層102内にp+層106を含むことができるトランジスタ100を示す。一態様では、トランジスタ100は、基板層102内にp型材料層120を含むことができる。一態様では、トランジスタ100は、基板層102内にp+層106を含むことができ、基板層102内にp型材料層120を含むことができる。

【0232】

一態様では、p型材料層120は、p型材料コンタクト118を備えることができる。p型材料コンタクト118は、接続部166に電氣的に接続することができ、接続部166は、コンタクトパッド162に電氣的に接続することができる。この点に関して、コンタクトパッド162を使用して、トランジスタ100の特性を調整することができる。一態様では、トランジスタ100は、フィールドプレート132を含むことができる。

【0233】

一態様では、p+層106は、p型材料コンタクト118を備えることができる。p型材料コンタクト118は、接続部166に電氣的に接続することができ、接続部166は、コンタクトパッド162に電氣的に接続することができる。この点に関して、コンタクトパッド162を使用して、トランジスタ100の特性を調整することができる。

【0234】

図33は、本開示によるトランジスタの別の態様の断面図を示す。

【0235】

特に、図33は、本明細書に記載する本開示のいずれか1つまたは複数の態様を含むことができるトランジスタ100を示す。特に、いくつかの態様では、図33のトランジスタ100は、上述したp+層106を含むことができる。他の態様では、p+層106を利用しなくてもよい。図33の一態様では、トランジスタ100は、p+層106のみによって実施することができる。図33の一態様では、トランジスタ100は、p+層10

6 および p 型材料層 120 によって実施することができる。図 33 の一態様では、トランジスタ 100 は、p 型材料層 120 のみによって実施することができる。p 型材料層 120 を利用する態様では、p 型材料層 120 は、本明細書に記載するように注入することができる。p 型材料層 120 を利用する態様では、p 型材料層 120 は、本明細書に記載するように形成することができる。p+層 106 を利用する態様では、p+層 106 は、本明細書に記載するように注入することができる。p+層 106 を利用する態様では、p+層 106 は、本明細書に記載するように形成することができる。

【0236】

特に、図 33 は、基板層 102 内に p+層 106 を含むことができるトランジスタ 100 を示す。一態様では、トランジスタ 100 は、基板層 102 内に p 型材料層 120 を含むことができる。一態様では、トランジスタ 100 は、基板層 102 内に p+層 106 を含むことができ、基板層 102 内に p 型材料層 120 を含むことができる。一態様では、トランジスタ 100 は、ゲート 114 に隣接してフィールドプレート 132 を含むことができる。一態様では、トランジスタ 100 は、T 字形の断面を有するゲート 114 を含むことができる。

10

【0237】

一態様では、p 型材料層 120 は、p 型材料コンタクト 118 を備えることができる。p 型材料コンタクト 118 は、接続部 166 に電氣的に接続することができ、接続部 166 は、コンタクトパッド 162 に電氣的に接続することができる。この点に関して、コンタクトパッド 162 を使用して、トランジスタ 100 の特性を調整することができる。

20

【0238】

一態様では、p+層 106 は、p 型材料コンタクト 118 を備えることができる。p 型材料コンタクト 118 は、接続部 166 に電氣的に接続することができ、接続部 166 は、コンタクトパッド 162 に電氣的に接続することができる。この点に関して、コンタクトパッド 162 を使用して、トランジスタ 100 の特性を調整することができる。

【0239】

図 34 は、本開示によるトランジスタの別の態様の断面図を示す。

【0240】

特に、図 34 は、本明細書に記載する本開示のいずれか 1 つまたは複数の態様を含むことができるトランジスタ 100 を示す。特に、いくつかの態様では、図 34 のトランジスタ 100 は、上述した p+層 106 を含むことができる。他の態様では、p+層 106 を利用しなくてもよい。図 34 の一態様では、トランジスタ 100 は、p+層 106 のみによって実施することができる。図 34 の一態様では、トランジスタ 100 は、p+層 106 および p 型材料層 120 によって実施することができる。図 34 の一態様では、トランジスタ 100 は、p 型材料層 120 のみによって実施することができる。p 型材料層 120 を利用する態様では、p 型材料層 120 は、本明細書に記載するように注入することができる。p 型材料層 120 を利用する態様では、p 型材料層 120 は、本明細書に記載するように形成することができる。p+層 106 を利用する態様では、p+層 106 は、本明細書に記載するように注入することができる。p+層 106 を利用する態様では、p+層 106 は、本明細書に記載するように形成することができる。

30

40

【0241】

特に、図 34 は、基板層 102 内に p+層 106 を含むことができるトランジスタ 100 を示す。一態様では、トランジスタ 100 は、基板層 102 内に p 型材料層 120 を含むことができる。一態様では、トランジスタ 100 は、基板層 102 内に p+層 106 を含むことができ、基板層 102 内に p 型材料層 120 を含むことができる。一態様では、トランジスタ 100 は、フィールドプレート 132 を含むことができる。一態様では、トランジスタ 100 は、T 字形の断面を有するゲート 114 を含むことができる。一態様では、ゲート 114 は、T 字形でないゲートとすることができる。一態様では、トランジスタ 100 は、フィールドプレート 132 をソース 110 に接続するための接続部 140 をさらに含むことができる。

50

【0242】

一態様では、p型材料層120は、p型材料コンタクト118を備えることができる。p型材料コンタクト118は、接続部166に電氣的に接続することができ、接続部166は、コンタクトパッド162に電氣的に接続することができる。この点に関して、コンタクトパッド162を使用して、トランジスタ100の特性を調整することができる。一態様では、トランジスタ100は、フィールドプレート132および／またはソース110をp型材料コンタクト118に接続するための接続部138をさらに含むことができる。一態様では、トランジスタ100は、フィールドプレート132をp型材料コンタクト118に直接接続するように構成された接続部138および接続部140をさらに含むことができる。一態様では、トランジスタ100は、ソース110に接続することなく、フィールドプレート132をp型材料コンタクト118に直接接続するように構成された接続部138および接続部140をさらに含むことができる。一態様では、トランジスタ100は、いかなる介在接続部もなく、フィールドプレート132をp型材料コンタクト118に直接接続するように構成された接続部138および接続部140をさらに含むことができる。

10

【0243】

一態様では、p+層106は、p型材料コンタクト118を備えることができる。p型材料コンタクト118は、接続部166に電氣的に接続することができ、接続部166は、コンタクトパッド162に電氣的に接続することができる。この点に関して、コンタクトパッド162を使用して、トランジスタ100の特性を調整することができる。

20

【0244】

図35は、本開示によるトランジスタの別の態様の断面図を示す。

【0245】

特に、図35は、本明細書に記載する本開示のいずれか1つまたは複数の態様を含むことができるトランジスタ100を示す。特に、いくつかの態様では、図35のトランジスタ100は、上述したp+層106を含むことができる。他の態様では、p+層106を利用しなくてもよい。図35の一態様では、トランジスタ100は、p+層106のみによって実施することができる。図35の一態様では、トランジスタ100は、p+層106およびp型材料層120によって実施することができる。図35の一態様では、トランジスタ100は、p型材料層120のみによって実施することができる。p型材料層120を利用する態様では、p型材料層120は、本明細書に記載するように注入することができる。p型材料層120を利用する態様では、p型材料層120は、本明細書に記載するように形成することができる。p+層106を利用する態様では、p+層106は、本明細書に記載するように注入することができる。p+層106を利用する態様では、p+層106は、本明細書に記載するように形成することができる。

30

【0246】

特に、図35は、p型材料コンタクト118なしで実施することができるトランジスタ100を示す。この点に関して、図35のトランジスタ100は、p型材料層120および／またはp+層106とともに、そのようなp層のないトランジスタと比較すると、ドレイン遅延作用を低減させることもできる。

40

【0247】

したがって、本開示は、HEMT内にp型層を形成するためのより簡単な代替の解決策を示す。開示する構造は、現在利用可能な技法によって容易に製作することができる。さらに、高純度材料の開示する使用により、ドレイン遅延作用が最小になる。加えて、開示するp型材料層は、低い漏れで良好な電子の閉じ込めを得るための減速電界を提供する。加えて、本開示の態様は、p型層を有するトランジスタおよびそれらのp型層が形成される方法の変形例について、詳細に説明している。開示するトランジスタは、RF電力を最大にし、効率的な放電を可能にし、破壊を最大にする。

【0248】

本開示のさらなる態様によれば、高抵抗率基板上に製作されるGaNのHEMTなどの

50

トランジスタは、高電力RF（無線周波）増幅器、高電力無線周波（RF）適用分野、また低周波の高電力スイッチング適用分野に利用することができる。GaNのHEMTの有利な電子および熱特性はまた、高電力RF信号のスイッチングにとって非常に魅力的である。この点に関して、本開示は、電力増幅器を含む様々な適用分野向けのHEMTにおいて高い破壊電圧を得ながら、同時にバッファおよび／または半絶縁性基板内のトラッピングから生じるデバイス特性のドリフトをなくすために、ソース領域の下に埋込みp層を有する構造について説明している。埋込みp層の使用はまた、高い破壊電圧および入力と出力との間の良好な分離を得るために、RFスイッチ向けのHEMTでも重要となり得る。

【実施例】

【0249】

10

（実施例1）

基板と、基板上の第III族窒化物バッファ層と、第III族窒化物バッファ層上の第III族窒化物バリア層であって、第III族窒化物バッファ層のバンドギャップより大きいバンドギャップを有する第III族窒化物バリア層と、第III族窒化物バリア層に電気的に結合されたソースと、第III族窒化物バリア層に電気的に結合されたゲートと、第III族窒化物バリア層に電気的に結合されたドレインと、前記第III族窒化物バリア層の下に基板内または基板上のうちの少なくとも1つに位置するp領域とを備える装置。

【0250】

（実施例2）

20

p領域が、前記第III族窒化物バリア層の下に基板上に位置する、実施例1に記載の装置。

【0251】

（実施例3）

p領域が注入される、実施例2に記載の装置。

【0252】

（実施例4）

p領域が、少なくとも2つのp領域を備える、実施例2に記載の装置。

【0253】

（実施例5）

30

p領域が、前記第III族窒化物バリア層の下に基板内に位置する、実施例1に記載の装置。

【0254】

（実施例6）

p領域が注入される、実施例5に記載の装置。

【0255】

（実施例7）

p領域が、少なくとも2つのp領域を備える、実施例5に記載の装置。

【0256】

（実施例8）

40

基板上にエピタキシャル層をさらに備え、p領域がエピタキシャル層内に位置する、実施例1に記載の装置。

【0257】

（実施例9）

p領域が、エピタキシャル層内に注入される、実施例8に記載の装置。

【0258】

（実施例10）

p領域が、エピタキシャル層内に少なくとも2つのp領域を備える、実施例8に記載の装置。

【0259】

50

(実施例 11)

エピタキシャル層が、第ⅠⅠⅠ族窒化物バリア層の下に位置する、実施例 8 に記載の装置。

【0260】

(実施例 12)

基板上にエピタキシャル層をさらに備え、p 領域がエピタキシャル層内に位置し、p 領域もまた、前記第ⅠⅠⅠ族窒化物バリア層の下の基板内に位置する、実施例 1 に記載の装置。

【0261】

(実施例 13)

p 領域のうちの少なくとも 1 つが注入される、実施例 12 に記載の装置。

【0262】

(実施例 14)

p 領域が、少なくとも 2 つの p 領域を備える、実施例 12 に記載の装置。

【0263】

(実施例 15)

p 領域が、前記第ⅠⅠⅠ族窒化物バリア層の下の基板上に位置し、p 領域もまた、前記第ⅠⅠⅠ族窒化物バリア層の下の基板内に位置する、実施例 1 に記載の装置。

【0264】

(実施例 16)

p 領域のうちの少なくとも 1 つが注入される、実施例 15 に記載の装置。

【0265】

(実施例 17)

p 領域が、少なくとも 2 つの p 領域を備える、実施例 15 に記載の装置。

【0266】

(実施例 18)

フィールドプレートをさらに備え、フィールドプレートが、ゲート近傍およびゲート上のうちの少なくとも 1 つに位置する、実施例 1 に記載の装置。

【0267】

(実施例 19)

フィールドプレートが、前記 p 領域に電氣的に結合される、実施例 18 に記載の装置。

【0268】

(実施例 20)

フィールドプレートが、ソースに電氣的に結合される、実施例 18 に記載の装置。

【0269】

(実施例 21)

フィールドプレートが、ソースおよび前記 p 領域に電氣的に結合される、実施例 18 に記載の装置。

【0270】

(実施例 22)

p 領域が、前記第ⅠⅠⅠ族窒化物バリア層の下の基板上に位置する、実施例 21 に記載の装置。

【0271】

(実施例 23)

p 領域が注入される、実施例 22 に記載の装置。

【0272】

(実施例 24)

p 領域が、少なくとも 2 つの p 領域を備える、実施例 22 に記載の装置。

【0273】

(実施例 25)

10

20

30

40

50

p領域が、前記第ⅠⅠⅠ族窒化物バリア層の下の基板内に位置する、実施例21に記載の装置。

【0274】

(実施例26)

p領域が注入される、実施例25に記載の装置。

【0275】

(実施例27)

p領域が、少なくとも2つのp領域を備える、実施例25に記載の装置。

【0276】

(実施例28)

基板上にエピタキシャル層をさらに備え、p領域がエピタキシャル層内に位置する、実施例21に記載の装置。

【0277】

(実施例29)

p領域が、エピタキシャル層内に注入される、実施例28に記載の装置。

【0278】

(実施例30)

p領域が、エピタキシャル層内に少なくとも2つのp領域を備える、実施例28に記載の装置。

【0279】

(実施例31)

エピタキシャル層が、第ⅠⅠⅠ族窒化物バリア層の下に位置する、実施例28に記載の装置。

【0280】

(実施例32)

基板上にエピタキシャル層をさらに備え、p領域がエピタキシャル層内に位置し、p領域もまた、前記第ⅠⅠⅠ族窒化物バリア層の下の基板内に位置する、実施例21に記載の装置。

【0281】

(実施例33)

p領域のうちの少なくとも1つが注入される、実施例32に記載の装置。

【0282】

(実施例34)

p領域が、少なくとも2つのp領域を備える、実施例32に記載の装置。

【0283】

(実施例35)

p領域が、前記第ⅠⅠⅠ族窒化物バリア層の下の基板上に位置し、p領域もまた、前記第ⅠⅠⅠ族窒化物バリア層の下の基板内に位置する、実施例21に記載の装置。

【0284】

(実施例36)

p領域のうちの少なくとも1つが注入される、実施例35に記載の装置。

【0285】

(実施例37)

p領域が、少なくとも2つのp領域を備える、実施例35に記載の装置。

【0286】

(実施例38)

フィールドプレートをさらに備え、フィールドプレートが、ゲート近傍およびゲート上のうちの少なくとも1つに位置する、実施例1に記載の装置。

【0287】

(実施例39)

10

20

30

40

50

ゲートが、T字形の断面を有する、実施例 1 に記載の装置。

【0288】

(実施例 40)

ゲートが、p 領域に電氣的に結合される、実施例 39 に記載の装置。

【0289】

(実施例 41)

p 領域が、前記第 III 族窒化物バリア層の下の基板上に位置する、実施例 39 に記載の装置。

【0290】

(実施例 42)

p 領域が注入される、実施例 41 に記載の装置。

【0291】

(実施例 43)

p 領域が、少なくとも 2 つの p 領域を備える、実施例 41 に記載の装置。

【0292】

(実施例 44)

p 領域が、前記第 III 族窒化物バリア層の下の基板内に位置する、実施例 39 に記載の装置。

【0293】

(実施例 45)

p 領域が注入される、実施例 44 に記載の装置。

【0294】

(実施例 46)

p 領域が、少なくとも 2 つの p 領域を備える、実施例 44 に記載の装置。

【0295】

(実施例 47)

基板上にエピタキシャル層をさらに備え、p 領域がエピタキシャル層内に位置する、実施例 39 に記載の装置。

【0296】

(実施例 48)

p 領域が、エピタキシャル層内に注入される、実施例 47 に記載の装置。

【0297】

(実施例 49)

p 領域が、エピタキシャル層内に少なくとも 2 つの p 領域を備える、実施例 47 に記載の装置。

【0298】

(実施例 50)

エピタキシャル層が、第 III 族窒化物バリア層の下に位置する、実施例 47 に記載の装置。

【0299】

(実施例 51)

基板上にエピタキシャル層をさらに備え、p 領域がエピタキシャル層内に位置し、p 領域もまた、前記第 III 族窒化物バリア層の下の基板内に位置する、実施例 39 に記載の装置。

【0300】

(実施例 52)

p 領域のうちの少なくとも 1 つが注入される、実施例 51 に記載の装置。

【0301】

(実施例 53)

p 領域が、少なくとも 2 つの p 領域を備える、実施例 51 に記載の装置。

10

20

30

40

50

【0302】

(実施例54)

p領域が、前記第III族窒化物バリア層の下の基板上に位置し、p領域もまた、前記第III族窒化物バリア層の下の基板内に位置する、実施例39に記載の装置。

【0303】

(実施例55)

p領域のうちの少なくとも1つが注入される、実施例54に記載の装置。

【0304】

(実施例56)

p領域が、少なくとも2つのp領域を備える、実施例54に記載の装置。

10

【0305】

(実施例57)

フィールドプレートをさらに備え、フィールドプレートが、ゲート近傍およびゲート上のうちの少なくとも1つに位置する、実施例39に記載の装置。

【0306】

(実施例58)

ソースが、前記p領域に電氣的に結合される、実施例1に記載の装置。

【0307】

(実施例59)

ソースを前記p領域に結合するように構成された接続部をさらに備える、実施例58に記載の装置。

20

【0308】

(実施例60)

p領域が、前記第III族窒化物バリア層の下の基板上に位置する、実施例59に記載の装置。

【0309】

(実施例61)

p領域が注入される、実施例60に記載の装置。

【0310】

(実施例62)

p領域が、少なくとも2つのp領域を備える、実施例60に記載の装置。

30

【0311】

(実施例63)

p領域が、前記第III族窒化物バリア層の下の基板内に位置する、実施例59に記載の装置。

【0312】

(実施例64)

p領域が注入される、実施例63に記載の装置。

【0313】

(実施例65)

p領域が、少なくとも2つのp領域を備える、実施例63に記載の装置。

40

【0314】

(実施例66)

基板上にエピタキシャル層をさらに備え、p領域がエピタキシャル層内に位置する、実施例59に記載の装置。

【0315】

(実施例67)

p領域が、エピタキシャル層内に注入される、実施例66に記載の装置。

【0316】

(実施例68)

50

p領域が、エピタキシャル層内に少なくとも2つのp領域を備える、実施例66に記載の装置。

【0317】

(実施例69)

エピタキシャル層が、第III族窒化物バリア層の下に位置する、実施例66に記載の装置。

【0318】

(実施例70)

基板上にエピタキシャル層をさらに備え、p領域がエピタキシャル層内に位置し、p領域もまた、前記第III族窒化物バリア層の下の基板内に位置する、実施例59に記載の装置。

10

【0319】

(実施例71)

p領域のうちの少なくとも1つが注入される、実施例70に記載の装置。

【0320】

(実施例72)

p領域が、少なくとも2つのp領域を備える、実施例70に記載の装置。

【0321】

(実施例73)

p領域が、前記第III族窒化物バリア層の下の基板上に位置し、p領域もまた、前記第III族窒化物バリア層の下の基板内に位置する、実施例59に記載の装置。

20

【0322】

(実施例74)

p領域のうちの少なくとも1つが注入される、実施例73に記載の装置。

【0323】

(実施例75)

p領域が、少なくとも2つのp領域を備える、実施例73に記載の装置。

【0324】

(実施例76)

フィールドプレートをさらに備え、フィールドプレートが、ゲート近傍およびゲート上のうちの少なくとも1つに位置する、実施例59に記載の装置。

30

【0325】

(実施例77)

前記p領域に電氣的に結合されたコンタクトパッドをさらに備える、実施例1に記載の装置。

【0326】

(実施例78)

コンタクトパッドを前記p領域に電氣的に接続する接続部をさらに備える、実施例77に記載の装置。

【0327】

(実施例79)

コンタクトパッドが、バイアスおよび信号のうちの少なくとも1つを受け取るように構成される、実施例77に記載の装置。

40

【0328】

(実施例80)

コンタクトパッドが、装置の特性を調整するためのバイアスおよび装置の特性を調整するための信号のうちの少なくとも1つを受け取るように構成される、実施例77に記載の装置。

【0329】

(実施例81)

50

p領域が、前記第ⅠⅠⅠ族窒化物バリア層の下の基板上に位置する、実施例80に記載の装置。

【0330】

(実施例82)

p領域が注入される、実施例81に記載の装置。

【0331】

(実施例83)

p領域が、少なくとも2つのp領域を備える、実施例81に記載の装置。

【0332】

(実施例84)

p領域が、前記第ⅠⅠⅠ族窒化物バリア層の下の基板内に位置する、実施例80に記載の装置。

【0333】

(実施例85)

p領域が注入される、実施例84に記載の装置。

【0334】

(実施例86)

p領域が、少なくとも2つのp領域を備える、実施例84に記載の装置。

【0335】

(実施例87)

基板上にエピタキシャル層をさらに備え、p領域がエピタキシャル層内に位置する、実施例80に記載の装置。

【0336】

(実施例88)

p領域が、エピタキシャル層内に注入される、実施例87に記載の装置。

【0337】

(実施例89)

p領域が、エピタキシャル層内に少なくとも2つのp領域を備える、実施例87に記載の装置。

【0338】

(実施例90)

エピタキシャル層が、第ⅠⅠⅠ族窒化物バリア層の下に位置する、実施例87に記載の装置。

【0339】

(実施例91)

基板上にエピタキシャル層をさらに備え、p領域がエピタキシャル層内に位置し、p領域もまた、前記第ⅠⅠⅠ族窒化物バリア層の下の基板内に位置する、実施例80に記載の装置。

【0340】

(実施例92)

p領域のうちの少なくとも1つが注入される、実施例91に記載の装置。

【0341】

(実施例93)

p領域が、少なくとも2つのp領域を備える、実施例91に記載の装置。

【0342】

(実施例94)

p領域が、前記第ⅠⅠⅠ族窒化物バリア層の下の基板上に位置し、p領域もまた、前記第ⅠⅠⅠ族窒化物バリア層の下の基板内に位置する、実施例80に記載の装置。

【0343】

(実施例95)

10

20

30

40

50

p領域のうちの少なくとも1つが注入される、実施例94に記載の装置。

【0344】

(実施例96)

p領域が、少なくとも2つのp領域を備える、実施例94に記載の装置。

【0345】

(実施例97)

フィールドプレートをさらに備え、フィールドプレートが、ゲート近傍およびゲート上のうちの少なくとも1つに位置する、実施例80に記載の装置。

【0346】

(実施例98)

基板上に核形成層をさらに備え、第III族窒化物バッファ層が核形成層上に位置する、実施例1に記載の装置。

【0347】

(実施例99)

核形成層と第III族窒化物バッファ層との間に介在層をさらに備える、実施例98に記載の装置。

【0348】

(実施例100)

p領域の長さが基板の全長より小さい、実施例1に記載の装置。

【0349】

(実施例101)

p領域が基板内に設けられ、p領域が、基板内に注入されたアルミニウムを含む、実施例1に記載の装置。

【0350】

(実施例102)

p領域が、基板上に配置された層内に設けられ、この層がエピタキシャル層であり、この層が、GaNまたはSiCのうちの少なくとも1つである、実施例1に記載の装置。

【0351】

(実施例103)

基板の上面と第III族窒化物バリア層の下面との間の距離として画定された第III族窒化物バッファ層の厚さが、 $0.7\mu\text{m} \sim 0.3\mu\text{m}$ の範囲を有する、実施例1に記載の装置。

【0352】

(実施例104)

基板の上面と第III族窒化物バリア層の下面との間の1つまたは複数の層の厚さが、 $0.7\mu\text{m} \sim 0.3\mu\text{m}$ の範囲を有する、実施例1に記載の装置。

【0353】

(実施例105)

基板と、基板上の第III族窒化物バッファ層と、第III族窒化物バッファ層上の第III族窒化物バリア層であって、第III族窒化物バッファ層のバンドギャップより大きいバンドギャップを有する第III族窒化物バリア層と、第III族窒化物バリア層に電氣的に結合されたソースと、第III族窒化物バリア層に電氣的に結合されたゲートと、第III族窒化物バリア層に電氣的に結合されたドレインと、前記第III族窒化物バリア層の下に基板内または基板上のうちの少なくとも1つに位置するp領域と、前記p領域に電氣的に結合されたコンタクトパッドとを備える装置。

【0354】

(実施例106)

コンタクトパッドを前記p領域に電氣的に接続する接続部をさらに備える、実施例105に記載の装置。

【0355】

10

20

30

40

50

(実施例 107)

コンタクトパッドが、バイアスおよび信号のうちの少なくとも1つを受け取るように構成される、実施例 105 に記載の装置。

【0356】

(実施例 108)

コンタクトパッドが、装置の特性を調整するためのバイアスおよび装置の特性を調整するための信号のうちの少なくとも1つを受け取るように構成される、実施例 105 に記載の装置。

【0357】

(実施例 109)

p 領域が、前記第 III 族窒化物バリア層の下の基板上に位置する、実施例 105 に記載の装置。

【0358】

(実施例 110)

p 領域が注入される、実施例 109 に記載の装置。

【0359】

(実施例 111)

p 領域が、少なくとも2つの p 領域を備える、実施例 105 に記載の装置。

【0360】

(実施例 112)

p 領域が、前記第 III 族窒化物バリア層の下の基板内に位置する、実施例 105 に記載の装置。

【0361】

(実施例 113)

基板と、基板上の第 III 族窒化物バッファ層と、第 III 族窒化物バッファ層上の第 III 族窒化物バリア層であって、第 III 族窒化物バッファ層のバンドギャップより大きいバンドギャップを有する第 III 族窒化物バリア層と、第 III 族窒化物バリア層に電氣的に結合されたソースと、第 III 族窒化物バリア層に電氣的に結合されたゲートと、第 III 族窒化物バリア層に電氣的に結合されたドレインと、前記第 III 族窒化物バリア層の下の基板内または基板上のうちの少なくとも1つに位置する p 領域とを備え、ゲートが、p 領域に電氣的に結合される、装置。

【0362】

(実施例 114)

ゲートを前記 p 領域に電氣的に接続する接続部をさらに備える、実施例 113 に記載の装置。

【0363】

(実施例 115)

p 領域が、前記第 III 族窒化物バリア層の下の基板上に位置する、実施例 113 に記載の装置。

【0364】

(実施例 116)

p 領域が注入される、実施例 115 に記載の装置。

【0365】

(実施例 117)

p 領域が、少なくとも2つの p 領域を備える、実施例 113 に記載の装置。

【0366】

(実施例 118)

p 領域が、前記第 III 族窒化物バリア層の下の基板内に位置する、実施例 113 に記載の装置。

【0367】

10

20

30

40

50

(実施例 1 1 9)

p 領域が注入される、実施例 1 1 8 に記載の装置。

【0 3 6 8】

(実施例 1 2 0)

p 領域が、少なくとも 2 つの p 領域を備える、実施例 1 1 8 に記載の装置。

【0 3 6 9】

(実施例 1 2 1)

基板上にエピタキシャル層をさらに備え、p 領域がエピタキシャル層内に位置する、実施例 1 1 3 に記載の装置。

【0 3 7 0】

(実施例 1 2 2)

デバイスを作製する方法であって、基板を設けることと、基板上に第ⅠⅠⅠ族窒化物バッファ層を設けることと、第ⅠⅠⅠ族窒化物バッファ層上に第ⅠⅠⅠ族窒化物バリア層を設けることであり、第ⅠⅠⅠ族窒化物バリア層が、第ⅠⅠⅠ族窒化物バッファ層のバンドギャップより大きいバンドギャップを有する、設けることと、第ⅠⅠⅠ族窒化物バリア層にソースを電氣的に結合することと、第ⅠⅠⅠ族窒化物バリア層にゲートを電氣的に結合することと、第ⅠⅠⅠ族窒化物バリア層にドレインを電氣的に結合することと、前記第ⅠⅠⅠ族窒化物バリア層の下の基板内または基板上のうちの少なくとも 1 つに p 領域を設けることとを含む、方法。

【0 3 7 1】

(実施例 1 2 3)

p 領域を注入することをさらに含む、実施例 1 2 2 に記載のデバイスを作製する方法。

【0 3 7 2】

(実施例 1 2 4)

p 領域が、前記第ⅠⅠⅠ族窒化物バリア層の下の基板内に位置する、実施例 1 2 2 に記載のデバイスを作製する方法。

【0 3 7 3】

(実施例 1 2 5)

基板上にエピタキシャル層を設けることをさらに含み、p 領域がエピタキシャル層内に位置する、実施例 1 2 2 に記載のデバイスを作製する方法。

【0 3 7 4】

(実施例 1 2 6)

基板上にエピタキシャル層を設けることをさらに含み、p 領域がエピタキシャル層内に位置し、p 領域もまた、前記第ⅠⅠⅠ族窒化物バリア層の下の基板内に位置する、実施例 1 2 2 に記載のデバイスを作製する方法。

【0 3 7 5】

(実施例 1 2 7)

フィールドプレートを設けることをさらに含み、フィールドプレートが、前記 p 領域に電氣的に結合される、実施例 1 2 2 に記載のデバイスを作製する方法。

【0 3 7 6】

(実施例 1 2 8)

フィールドプレートを設けることをさらに含み、フィールドプレートが、ソースに電氣的に結合される、実施例 1 2 7 に記載のデバイスを作製する方法。

【0 3 7 7】

(実施例 1 2 9)

フィールドプレートが、ソースおよび前記 p 領域に電氣的に結合される、実施例 1 2 8 に記載のデバイスを作製する方法。

【0 3 7 8】

本開示について、例示的な態様の点から説明したが、添付の特許請求の範囲の精神および範囲内で、本開示を修正して実施することができることが、当業者には理解されよう。

10

20

30

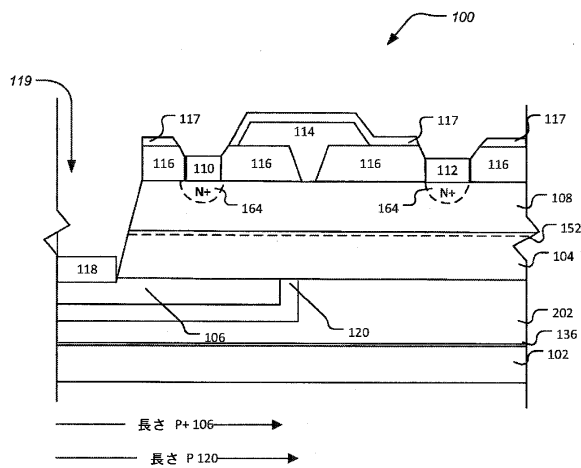
40

50

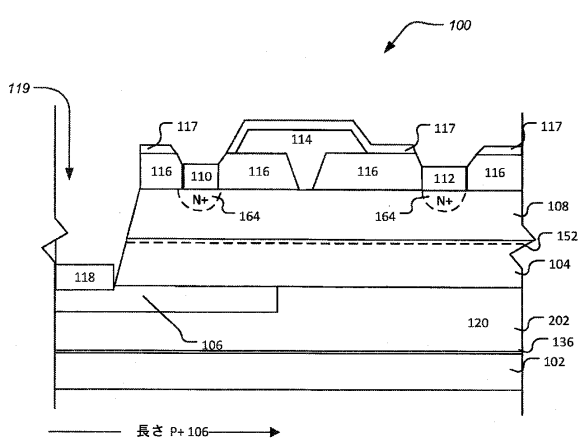
【図 1】

[illegible]

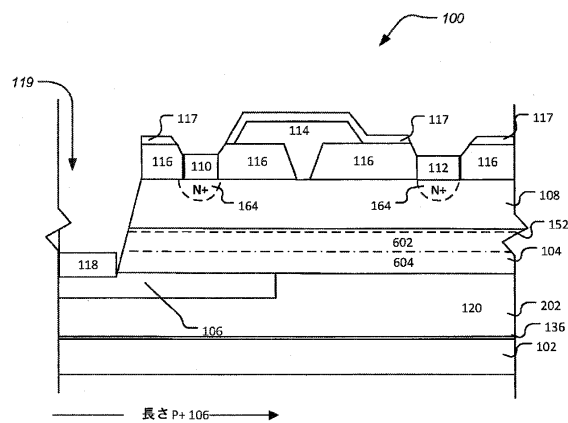
【図 5】



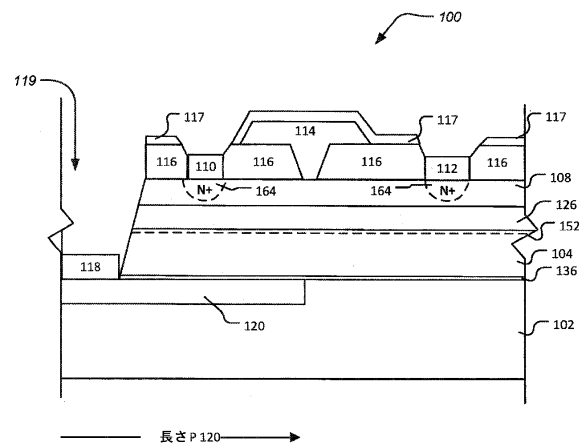
【図 6】



【図 7】



【図 8】



10

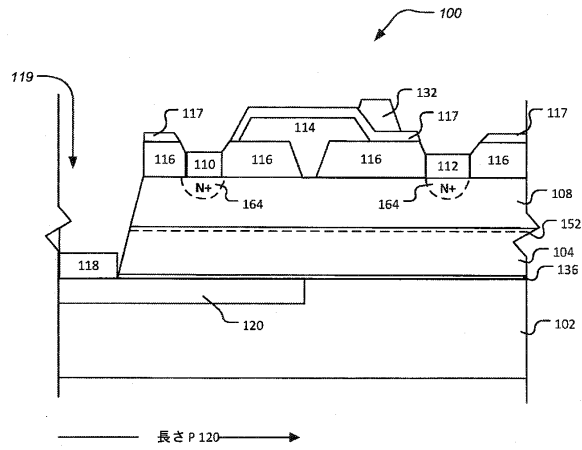
20

30

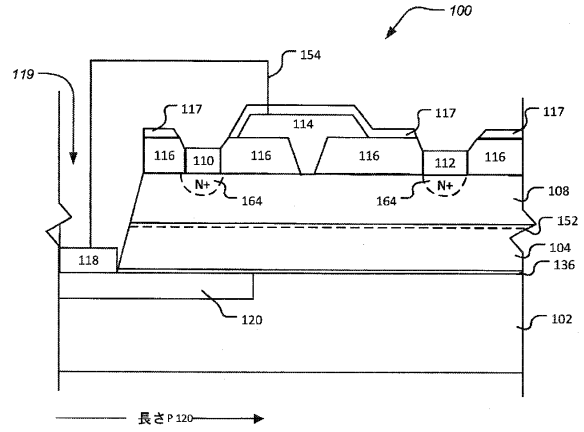
40

50

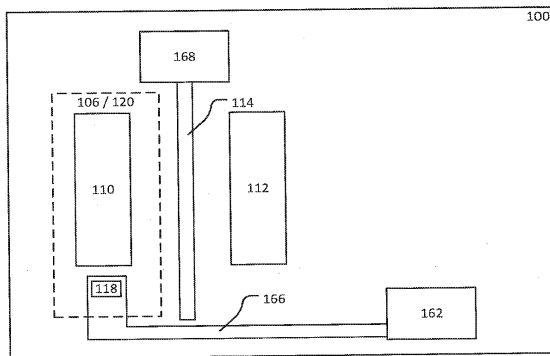
【図 9】



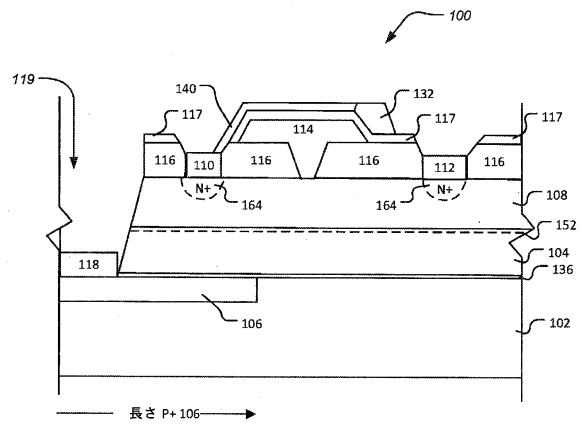
【図 10】



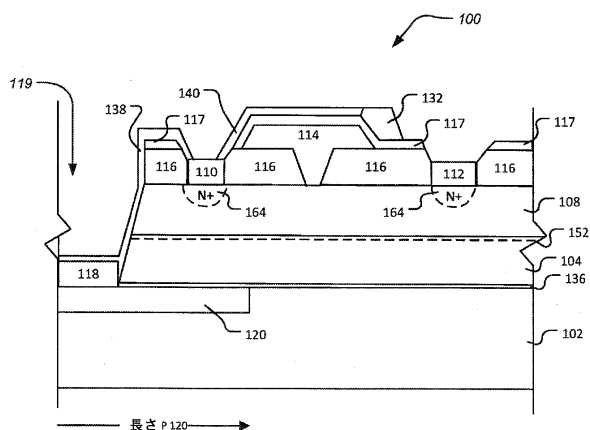
【図 1 1】



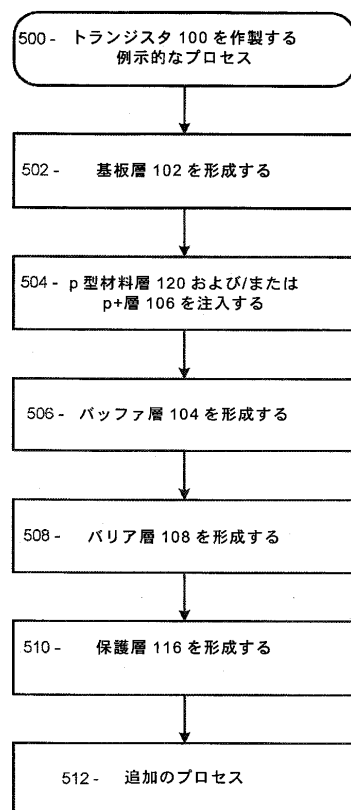
【図 12】



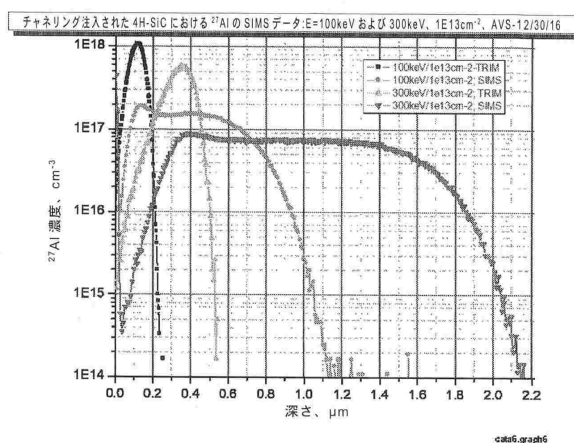
【図 13】



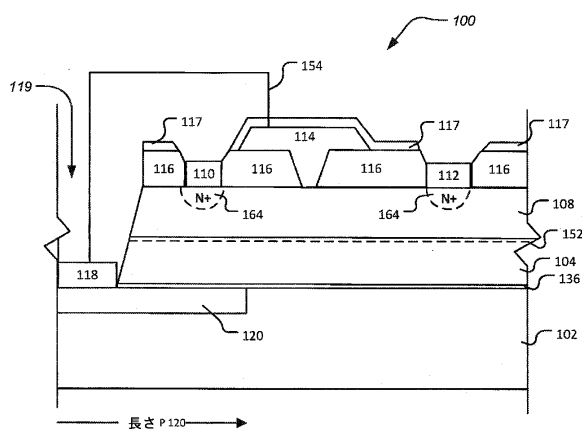
【図 14】



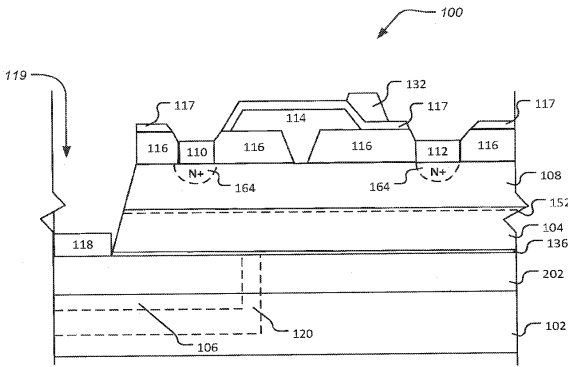
【図 15】



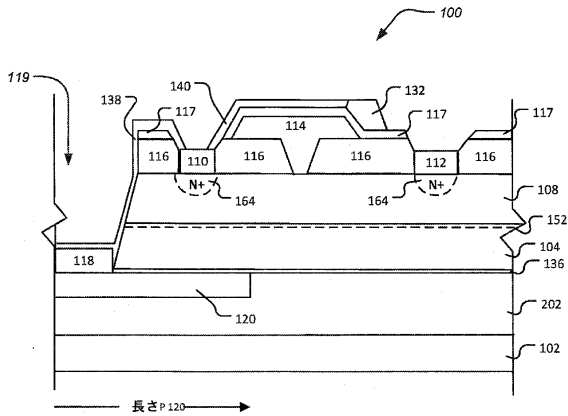
【図 16】



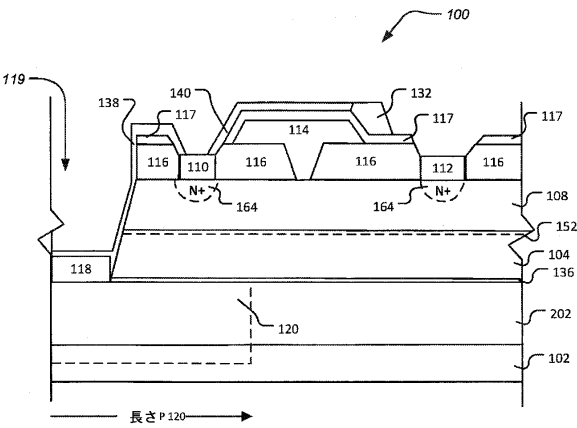
【図 17】



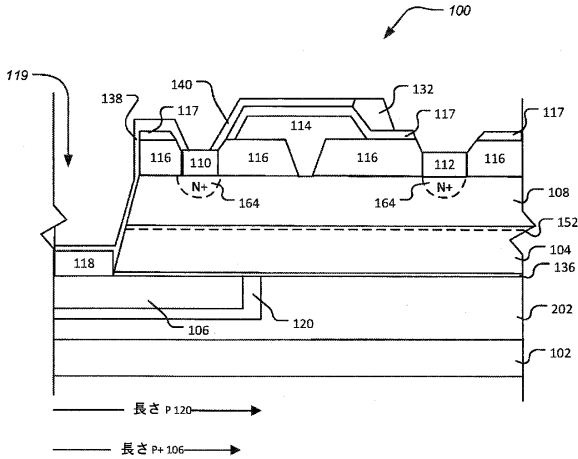
【図 18】



【図 19】



【図 20】



10

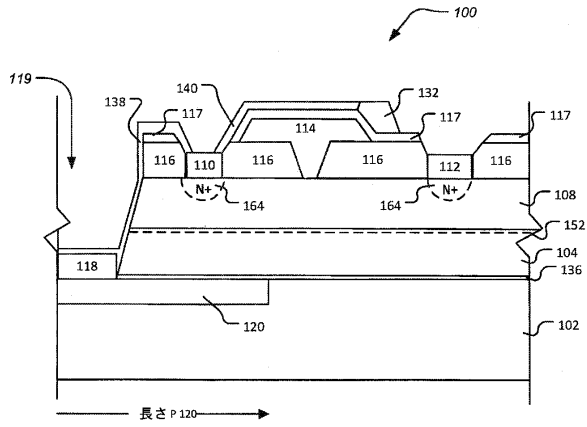
20

30

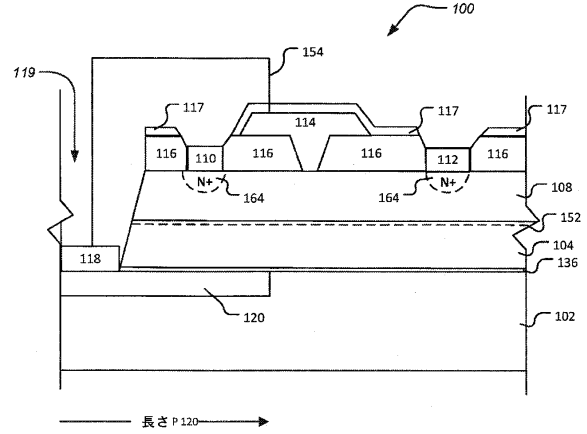
40

50

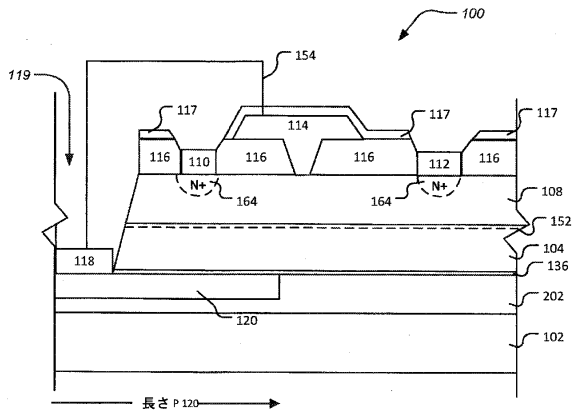
【図 2 1】



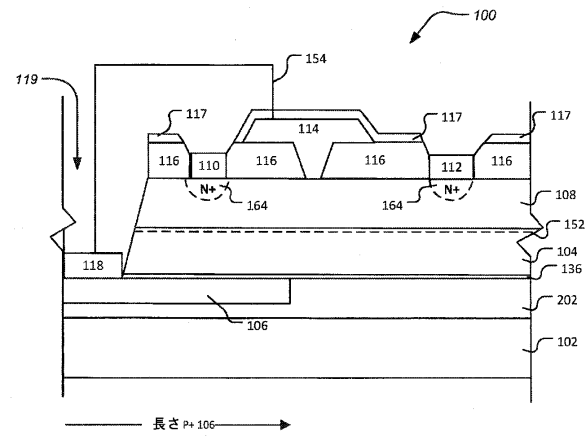
【図 22】



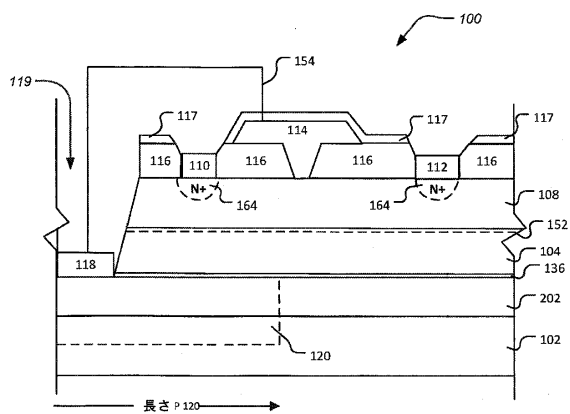
【図 23】



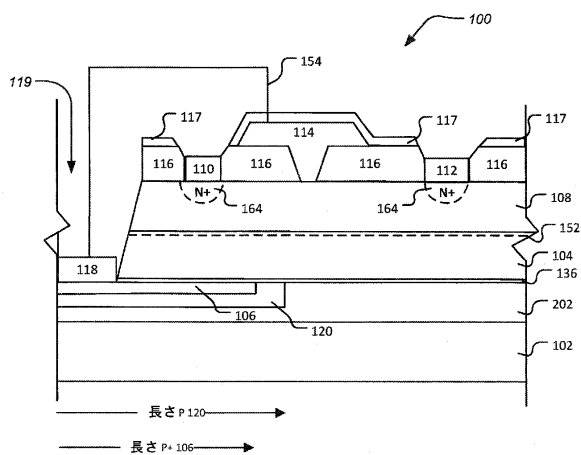
【圖 24】



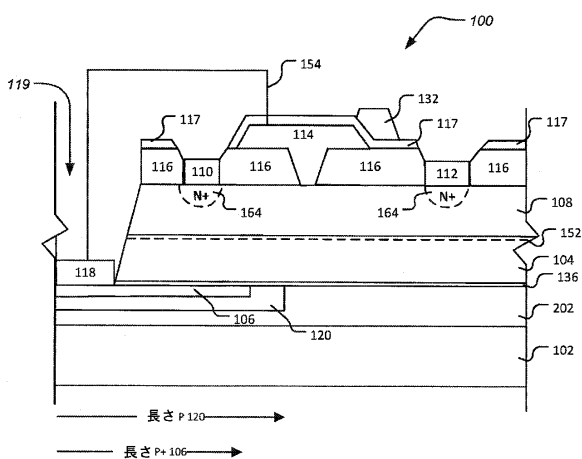
【圖 25】



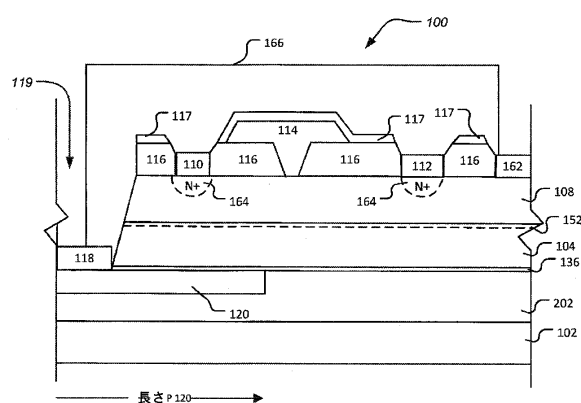
【圖 2 6】



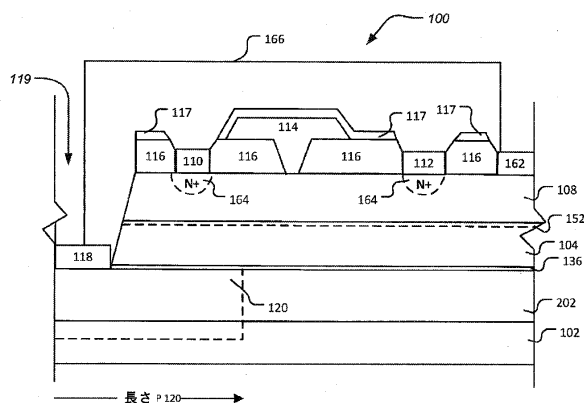
【図 27】



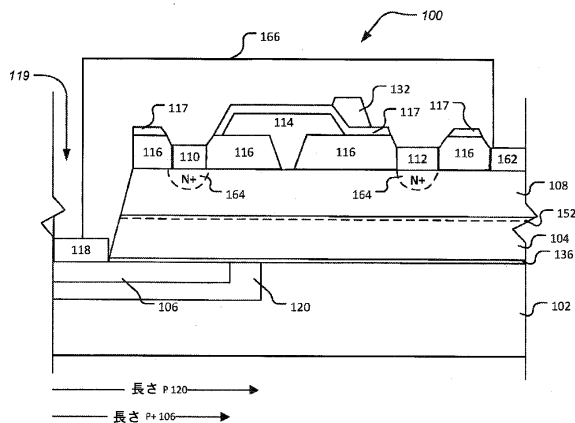
【図 28】



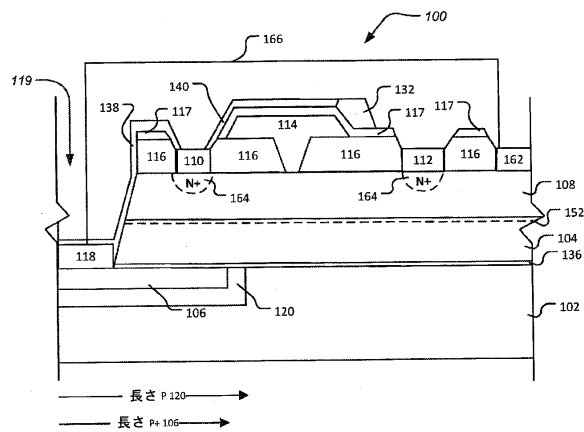
【図 30】



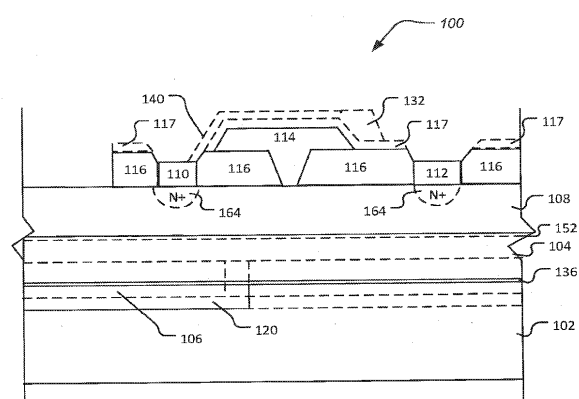
【図 3 2】



【図 3 4】



【図 3 5】



フロントページの続き

(51)国際特許分類

F I

H 0 1 L	21/28 (2006.01)	H 0 1 L	29/80	C
H 0 1 L	21/337 (2006.01)	H 0 1 L	29/58	Z
H 0 1 L	29/808 (2006.01)	H 0 1 L	21/265	U
H 0 1 L	29/423 (2006.01)	H 0 1 L	21/265	Z
H 0 1 L	21/265 (2006.01)	H 0 1 L	21/265	6 0 1 A
		H 0 1 L	29/80	W

米国(US)

弁理士 近藤 直樹

(74)代理人 100139712

弁理士 那須 威夫

(72)発明者 スリラム サブタリシ

アメリカ合衆国 ノースカロライナ州 2 7 5 1 3 ケーリー ティンバー ヒッチ ロード 1 0 7

(72)発明者 スミス トーマス

アメリカ合衆国 ノースカロライナ州 2 7 6 1 5 ローリー ランニング シダー トレイル 8 2 0 9

(72)発明者 スヴォーロフ アレクサンダー

アメリカ合衆国 ノースカロライナ州 2 7 7 1 3 ダーラム ウィンドコート プレイス 5

(72)発明者 ハリン クリステル

アメリカ合衆国 ノースカロライナ州 2 7 2 7 8 ヒルズバラ シュリー ロード 7 0 0 1

審査官 岩本 勉

(56)参考文献

特開 2 0 1 1 - 1 5 1 1 7 6 (J P, A)

特開 2 0 1 2 - 2 4 8 6 3 2 (J P, A)

特開 2 0 0 8 - 1 1 2 8 6 8 (J P, A)

特表 2 0 1 6 - 5 3 7 8 2 8 (J P, A)

特開 2 0 1 3 - 0 3 8 2 5 0 (J P, A)

米国特許出願公開第 2 0 1 7 / 0 3 7 3 1 7 8 (U S, A 1)

特表 2 0 1 7 - 5 2 8 9 1 2 (J P, A)

特表 2 0 1 9 - 5 1 9 1 2 1 (J P, A)

中国特許出願公開第 1 0 9 5 6 4 9 4 0 (C N, A)

米国特許出願公開第 2 0 1 7 / 0 3 7 3 1 7 6 (U S, A 1)

(58)調査した分野 (Int.Cl., D B名)

H 0 1 L 2 9 / 7 7 8

H 0 1 L 2 9 / 8 1 2

H 0 1 L 2 1 / 3 3 8

H 0 1 L 2 9 / 4 1 7

H 0 1 L 2 9 / 4 1

H 0 1 L 2 1 / 2 8

H 0 1 L 2 1 / 3 3 7

H 0 1 L 2 9 / 4 2 3

H 0 1 L 2 1 / 2 6 5