

申請日期	86 年 11 月 13 日
案 號	86117062
類 別	H01L 27/10

A4	88 年 11 月 3 日 修正補充
C4	

(以上各欄由本局填註)

發 明 專 利 說 明 書		
一、發明 新型名稱	中 文	半導體積體電路裝置及其製造方法
	英 文	
二、發明 創作人	姓 名	(1) 淺野勇 (2) 俎永熙 Tsu, Robert Yung-Hsi
	國 籍	(1) 日本 (2) 中華民國 (1) 日本國埼玉縣入間市下藤沢一三一四-三-八〇四
三、申請人	住、居所	(2) 美國德州普蘭諾拉瓦卡路四二〇九號 4209 Lavaca Dr. Plano, TX 75074 U.S.A.
	姓 名 (名稱)	(1) 日立製作所股份有限公司 株式会社日立製作所
三、申請人	國 籍	(2) 德州儀器有限公司 Texas Instruments Incorporated (1) 日本 (2) 美國
	住、居所 (事務所)	(1) 日本國東京都千代田區神田駿河台四丁目六番地
三、申請人	代 表 人 姓 名	(2) 美國德州·達拉斯·北中央高速公路一三五〇 〇號 13500 North Central Expressway, Dallas, Texas 75265 U.S.A. (1) 金井務 (2) 威廉·坎普勒 Kempler, William B.

406398

裝

訂

線

申請日期	86 年 11 月 13 日
案 號	86117062
類 別	H01L 27/10

A4	88 年 11 月 3 日 修正補充
C4	

(以上各欄由本局填註)

發 明 專 利 說 明 書		
一、發明 新型名稱	中 文	半導體積體電路裝置及其製造方法
	英 文	
二、發明 創作人	姓 名	(1) 淺野勇 (2) 俎永熙 Tsu, Robert Yung-Hsi
	國 籍	(1) 日本 (2) 中華民國 (1) 日本國埼玉縣入間市下藤沢一三一四-三-八〇四
三、申請人	住、居所	(2) 美國德州普蘭諾拉瓦卡路四二〇九號 4209 Lavaca Dr. Plano, TX 75074 U.S.A.
	姓 名 (名稱)	(1) 日立製作所股份有限公司 株式会社日立製作所
三、申請人	國 籍	(2) 德州儀器有限公司 Texas Instruments Incorporated (1) 日本 (2) 美國
	住、居所 (事務所)	(1) 日本國東京都千代田區神田駿河台四丁目六番地
三、申請人	代 表 人 姓 名	(2) 美國德州·達拉斯·北中央高速公路一三五〇〇號 13500 North Central Expressway, Dallas, Texas 75265 U.S.A. (1) 金井務
		(2) 威廉·坎普勒 Kempler, William B.

406398

裝

訂

線

406398

(由本局填寫)

承辦人代碼：
大 類：
I P C 分類：

A6
B6

本案已向：

國(地區) 申請專利, 申請日期： 案號： , ☐有 ☐無主張優先權

日本	1996 年 11 月 14 日	8-302821	☒ 有主張優先權
日本	1997 年 10 月 16 日	9-283419	☒ 有主張優先權

有關微生物已寄存於： , 寄存日期： , 寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部智慧財產局員工消費合作社印製

五、發明說明(1)

[發明之背景]

本發明係為關於半導體積體電路裝置及其製造方法；特別是關於適用於以同一層形成被配置在D R A M (Dynamic Random Access Memory)的記憶格領域之位元線導體及被配置在周邊電路領域之第1層配線等的半導體積體電路裝置之有效技術。

近年大容量D R A M，為了補償隨著記憶格的微細化之資訊儲存用容量元件的儲存電荷量(C s)減少，所以採用將資訊儲存用容量元件配置在記憶格選擇用M I S F E T的上部之堆疊・容量構造。

堆疊・容量構造的資訊儲存用容量元件，係為依順積層儲存電極(下部電極)容量絕緣膜、板狀電極(上部電極)而被形成。資訊儲存用容量元件的儲存電極，係為被連接至以n通道型所構成的記憶格選擇用M I S F E T之半導體領域(源極領域、汲極領域)的一方。板狀電極，係為被構成在複數個記憶格作為共通電極，供給所定的固定電位(板狀電位)。

在記憶格選擇用M I S F E T (Metal Insulator Semiconductor Field Effect Transistor)之半導體領域(源極領域、汲極領域)的他方，連接為了進行資料的寫入、讀出之位元線。位元線導體被配置在記憶格選擇用M I S F E T與資訊儲存用容量元件之間、或是資訊儲存用容量元件的上部。將資訊儲存用容量元件配置在位元線導體的上部之構造，被稱為C O B (Copacitor Over Bitline)構造。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(2)

關於具有 COB 構造之 D R A M，被記載於 1 9 7 7 年 2 月 1 8 日發行的美國專利第 5，6 0 4，3 6 5 號。

被記載於前述公報，係為在以多結晶矽膜或是多結晶矽膜與鎢矽化物(S W i x)膜的積層模(多多物膜)形成閘極電極(字元線)之記憶格選擇用 M I S F E T 的上部，配置以多結晶矽膜(或是多晶膜)所形成的位元線，且配置以多結晶矽膜形成在此位元線的上部之儲存電極，及以氧化矽膜與氮化矽膜的積層膜所形成之容量絕緣膜，及以多結晶矽膜與氮化矽膜的積層膜所形成之容量絕緣膜，及以多結晶矽膜所形成的板狀電極等所形成的資訊儲存用容量元件。

針對具有此樣的 C O B 構造之 D R A M，也被要求更高的積體化。隨著此高積體化，而演進為配線的微細化，另則採用多層構造配線形成為不可缺少的，例如在 6 4 M b i t D R A M 採用具有 0.3 μ m 的最小幅之 3 層構造配線。

但是，採用配線多層化之多層配線技術，則增多配線形成過程的過程數，其結果，導致降下製造過程的流量。因此，配線導體準位數的增加必須極度抑止。該處，解決此問題的一個方法，在形成記憶格的資訊傳送至直接周邊電路部感應增幅器之位元線時，在於同一過程形成周邊電路的配線之方法已被提案。即是，周邊電路的配線導體當中，將一部分的配線導體(具體上，第 1 準位的配線導體)，在與前述位元線的形成同一過程形成同一準位之技術已被提案。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(3)

然而，記載有上述技術之文獻，例如具有上述美國專利第 5,604,365 號及 1994 年 I E D M 94, P 365。

[發明之開示]

不過，在同過程形成記憶格部的位元線與周邊電路部的第 1 層配線之前述技術具有以下的問題點，發明者已發現。

即是在位元線，爲了提高被儲存在資訊儲存用容量元件之儲存電荷的檢出精度，而被要求減低位元線的寄生容量，另外，在周邊電路部的配線，爲了不其降下周邊電路的動作速度，被要求確保十分低的阻抗。

爲了滿足兩者的要求，必須將構成位元線及周邊電路的配線之導電膜厚度分別最適化，例如用鎢的情況，必須將位元線導體的厚度設爲 $0.1\ \mu\text{m}$ ，將周邊電路之配線的厚度設爲 $0.39\ \mu\text{m}$ 。因此，在半導體基板上形成較薄導電膜，經加工而在記憶格部形成位元線導體後，在半導體基板上形成較厚度電膜，再經加工而在周邊電路形成配線，增加過程數同時顯著增加此製造過程的製造時間。

本發明之目的，係爲針對位元線與周邊電路的第 1 層配線被形成在同一層之半導體積體電路裝置，提供減低位元線的寄生容量，同時可以減低周邊電路配線的阻抗之技術。

本發明之目的，係爲提供抑制過程數的增加，另外不

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(4)

使其增加製造時間，在於同一過程形成寄生容量較低的位元線導體及在周邊電路部的低阻抗配線導體的技術。

本發明前述目的及其他目的與新的特徵，從本說明書的說明及附圖就能明白。

依據本發明的一側面，半導體積體電路裝置，係為具有記憶格部及周邊電路，且是含在記憶格部與周邊電路之間具備收發資訊的位元線導體之 D R A M；在周邊電路部的配線導體以單一的導電膜或是複數的導電膜所形成；其中至少一層的導電膜，以構成位元線導體之導電膜的材料所形成；被配置在與其同一準位(即是以導電膜與同一過程而被形成)；在周邊電路之配線導體的膜厚係為比位元線的膜厚還大。

依據此樣的半導體積體電路裝置，在周邊電路部之配線導體(以下，只稱為配線導體)及位元線導體由於是在同一過程而被形成，所以不致增加過程數而降低流量，另外，由於配線導體的膜厚比位元線的膜厚還大，因而減低配線的阻抗，同時薄化位元線的膜厚而可以減低位元線的寄生容量。此結果，周邊電路可以提高電路的應答速度，他則提高介由位元線之儲存電荷的檢出精度。

依據本發明的其他側面，在半導體主面的第 1 部分形成記憶格部的電路元件，在半導體主面的第 2 部分形成周邊電路的電路元件後，在半導體基板上方形成絕緣膜，繼而在絕緣膜上，以同一過程，形成導電膜。從在此同一過程所形成的導體膜，形成傳送在記憶格部與周邊電路部之

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(5)

間所被收發的訊號之位元線導體(即是持有位於半導體基板主面的第1部分之上的第1膜厚之導體部分)、及在周邊電路部之配線導體(即是持有位於半導體基板主面的第2部分之上的第2膜厚之導體部分)。然且，位元線導體的膜厚(第1膜厚)，係為比配線導體的膜厚(第2膜厚)還小。

[實施例]

以下，根據圖面詳細說明本發明實施例。然而，在於為了說明實施例之全圖具有同一功能之處附註同一圖號，其返復說明則省略。

< 實施例 1 >

用第1圖～第4圖說明含有本發明實施形態之半導體積體電路裝置及其製造方法。

第4圖係為表示本發明一實施例之裝置的DRAM之位元線導體及直接在周邊電路的第1準位之配線導體的半導體基板之要部斷面圖。

本實施例的DRAM係為構成被形成在半導體基板1主面上的第1部分之記憶格部的記憶格之電路元件，含有記憶格選擇用MISFET，及選擇性的連接記憶格部與周邊電路的感度增幅器之MISFETQs。另外，本實施形態，在記憶格部與周邊電路的境界領域設置虛假用的MISFETQd，但不限於此，沒有MISFETQd亦可。記憶格部被形成在半導體積體電

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(6)

路 1 主面的第 1 部分，另外周邊電路部被形成在基板 1 主面的第 2 部分。

在半導體基板 1 的主面附近被形成有具有 p 型導電性之 p 型井區 2，在其主面，例如被形成有以 L O C O S (Local Oxidation of Silicon)法所形成的場區絕緣膜 3。

記憶格選擇用 M I S F E T 的一方之源極／汲極領域被連接至資訊儲存用容量元件(電容器)，但在第 4 圖未圖示。另外，記憶格選擇用 M I S F E T 的他方之源極／汲極領域被連接至位元線導體 B L。在本實施例，形成爲記憶格選擇用 M I S F E T 的他方之源極或是汲極領域的 n 型半導體領域 13 及位元線導體 B L 介由以多結晶矽膜所形成插栓 16 而被連接。

D R A M 字元線導體 W L，係爲朝與位元線導體 B L 交叉的方向延伸而被形成，作爲記憶格選擇用 M I S F E T 的閘極電極之功能。在於第 4 圖所圖示作爲被形成在場區絕緣膜 3 上之字元線導體 W L。

n 通道型 M I S F E T Q s 與虛假用的 M I S F E T Q d，係爲以被形成在 p 型井區 2 的主面上，介隔閘極絕緣膜 4 之閘極電極、及被形成在其閘極電極兩側的 p 型井區 2 主面之 n 型半導體領域 8 所形成。閘極電極，係爲以接觸到閘極絕緣膜 4 而形成的多結晶矽膜 5 及被形成在其上層的鎢矽化物膜 6 所形成。在多結晶矽膜 6，被摻雜有高濃度的不純物，另外，因是與鎢矽化物膜 6 的積層膜所以減低閘極電極的串聯電阻，且可以提高

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(7)

D R A M 的讀出及寫入之速度。

在閘極電極的兩側被形成有側壁空間物 9，在閘極電極的上部被形成有作為間隙絕緣膜之氮化矽膜 7。

形成場區絕緣膜 3、及披覆記憶格選擇用 M I S F E T、n 通道型 M I S F E T Q s 及虛假用 M I S F E T Q d 之氧化矽膜 10，在氧化矽膜 10 上被形成有 B P S G 膜 11 而表面被平坦化。

另外，在 B P S G 膜 11 被形成有作為字元線導體 B L 及第 1 準位的配線導體之第 1 準位配線導體 M 1。位元線導體 B L 被形成為延伸至 D R A M 的記憶格部內，對向於周邊電路的記憶格部之部分內及被挾持在記憶格部與周邊電路之境界領域內；第 1 準位的配線導體 M 1 係為被形成在 D R A M 的周邊電路部內。因此，位元線導體 B L 為了在記憶格部與周邊電路之間收發資訊所以相互地連接兩者。如第 4 圖所示，字元線導體 B L 與第 1 準位配線導體係為以同準位的鎢(W)膜 14 a，14 b 而被構成。另外，在本實施例字元線導體 B L 及第 1 準位配線導體 M 1，係為以選擇性連接記憶格部與周邊電路的感度增幅器之 n 通道型 M I S F E T Q s 上方為境界而其膜厚不同；構成第 1 準位配線導體 M 1 導體之 W 膜 14 b 厚度，被設定為構成位元線導體 B L 之 W 膜 14 a 還厚。

本實施例的 D R A M，除上述構成尚具有資訊儲存用容量元件及第 2 準位配線導體或是第 3 準位配線導體，但由於可以適用已眾知的資訊儲存用容量元件 C 及配線導體

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(8)

等，所以其說明省略。

此樣以同一準位的鎢膜構成位元導體線 B L 及第 1 準位配線導體 1，然且如以後所說明，由以將位元線導體 B L 的膜厚與第 1 準位配線導體 M 1 的膜厚相異而形成。另外，由於可以不依第 1 準位配線導體 M 1 而較薄形成位元線導體 B L 的膜厚，所以可以減低位元線導體 B L 的寄生容量。由於此因可以提高被儲存在資訊儲存用容量元件之儲存電荷的檢出精度。另則，第 1 準位配線導體 M 1 的膜厚；由於可以不依位元線導體 B L 的膜厚而較厚形成，所以可以減低第 1 準位配線導體 M 1 的阻抗而提高周邊電路的動作速度。

其次，用第 1 ~ 4 圖說明本發明一實施例之半導體積體電路裝置的 D R A M 的位元線導體及在周邊電路的第 1 準位的配線導體之製造方法。

首先，如第圖所示，在 p 型的矽單結晶所形成的半導體 1 的主面上，例如以離子注入法形成 p 型井區 2，例如以 L O C O S 法形成場區絕緣膜 3，例如以熱處氧化法形成閘極絕緣膜 4。

其次，在半導體基板 1 上，依順堆積導入磷(P)之多結晶矽膜 5、鎢矽化物(W S i x)膜 6、氧化矽膜(未圖示)及氮化矽膜 7。其後，由於以光學抗蝕劑形成遮罩而依順蝕刻上述氮化矽膜 7、氧化矽膜、W S i x 膜 6 及多結晶矽膜 5 所形成的積層膜，而分別形成以 W S i x 膜 6 及多結晶矽膜 5 所形成的記憶格部的記憶格選擇用

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(9)

M I S F E T 的閘極電極 F G 及 n 通道型

M I S F E T Q s 的閘極電極 F G 。

然而，在上述閘極電極 F G 的上部用 W S i x 膜 6，但用其他的金屬矽化物膜(例如鉬矽化物)(M o S i x)膜、鉬矽化物膜(T a S i x)膜等亦可。

其次，因在半導體基板 1 施予熱氧化處理，而在構成閘極電極 F G 之 W S i x 膜 6 及多結晶矽膜 5 的側壁形成較薄的氧化矽膜(未圖示)。

其次，將抗蝕劑及其以上氮化矽膜 7、氧化矽膜、W S i x 膜 6、多結晶矽膜 5 所形成的積層膜形成遮罩，在 p 型井區 2 離子注入 n 型不純物(例如，P)，所以對於閘極電極 F G 而自己整合下形成 n 通道型 M I S F E T Q s 的 n 型半導體領域(源極／汲極領域)8。

其後，因以 R I E (Reactive Ion Etching)法等的異方性蝕刻加工被堆積在半導體基板 1 上的氮化矽膜，所以在全部的 n 通道型 M I S F E T 之閘極電極 F G 的側壁形成側壁空間物 9。

然而，形成上述側壁空間物 9 後，因將高濃度的 n 型不純物(例砷(A S)離子)注入至 p 型井區 2，所以將 n 通道型 M I S F E T Q s 的源極領域、汲極領域作為 L D D (Lightly Doped Drain)構造亦可。

其次，以 C V D (Chemical Vapor Deposition)法，在半導體基板 1 上堆積氧化矽膜 10 及 B P S G (Boron Phospho Silicate Glass)膜 11 後，以 900 ~ 950 °C

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(10)

的溢流處理，將上述 B P S G 膜 1 1 的表面平坦化。然而，在 B P S G 膜 1 1 表面的平坦化，併用 C M P (Chemical Mechanical Polishing:化學機械研磨)亦可。

其次，將光學抗蝕劑形成遮罩，由於依順蝕刻與 B P S G 膜 1 1、氧化矽膜 1 0 及閘極絕緣膜 4 同一層的絕緣膜，因而之後在連接位元線導體 B L 之記憶格部的 p 型井區 2 上形成連接孔 1 2 a。此後，以 C V D 法，在半導體基板 1 堆積導入 p 的多結晶矽膜 1 6；繼而，因蝕刻此多結晶矽膜 1 6，而在連接孔 1 2 a 內填入多結晶矽膜 1 6。然而，因從多結晶矽膜 1 6 的 p 擴散，而在記憶格部的 p 型井區之形成記憶格選擇用 M I S F E T 的一方之 n 型半導體領域 1 3。

其次，將光學抗蝕膜形成遮罩，由於依順蝕刻與 B P S G 膜 1 1、氧化矽膜 1 0 及閘極絕緣膜 4 同一層的絕緣膜，因而在 n 通道型 M I S F E T Q s 的 n 型半導體領域 8 上形成連接孔 1 2 b、1 2 c。

其次，如第 2 圖所示，以 C V D 法，在半導體基板 1 上堆積導電膜(例如 W 膜 1 4)後，在未形成位元線導體 B L 的領域，也就是欲加大導電膜的模厚的領域之半導體基板 1 上形成光學抗蝕劑圖案 1 5。此處，光學抗蝕劑 1 5，係為第 1 2 圖所示之境界線的右側，也就是被形成為披覆被形成在半導體基板主面的第 2 部分之周邊電路部。此時，所被堆積之 W 膜 1 4，具有滿足被配置在直接周邊電路部之第 1 層配線 M 1 的配線阻抗之厚度。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(11)

繼而，如第 3 圖所示，將此光學抗蝕劑圖案 1 5 形成遮罩，而以蝕刻將形成位元線導體 B L 之領域的 W 膜 1 4 薄化，使位元線導體 B L 得到所定寄生容量之膜厚為止加工此領域的 W 膜 1 4 之膜厚。

其次，如第 4 圖所示，除去光學抗蝕劑圖案 1 5 後，將新形成的抗阻劑形成遮罩蝕刻 W 膜 1 4，形成以 W 膜 1 4 a 而構成的位元線導體 B L 及以 W 膜 1 4 b 而構成的第 1 準位的配線導體 M 1。

此後，因在記憶格部依順形成儲存電極、容量絕緣膜及板狀電極，而形成資訊儲存用容量元件，進而形成第 2 準位以後的配線導體，最後，由於以鈍物膜披覆半導體基板 1 的表面，而完成本實施例 1 的半導體積體電路裝置。

然而，在本實施例 1，以多結晶矽膜 1 6 填入連接孔 1 2 a，用與位元線導體 B L 或是第 1 準位配線導體 M 1 同一層的 W 膜 1 4 填入連接孔 1 2 b、1 2 c，但預先以布羶 W - C V D 法，在連接孔內 1 2 b、1 2 c 填入布羶 W，此後在半導體基板 1 上堆積 W 膜 1 4 亦可。另外，在同時形成連接孔 1 2 a ~ 1 2 c 後，用與位元線導體 B L 或是第 1 準位配線導體 M 1 同一的 W 膜 1 4 填入連接孔 1 2 a ~ 1 2 c 亦可。

依據本實施例的製造方法，能形成膜厚較小的位元線導體 B L 及膜厚較大的第 1 準位配線導體 M 1。

< 實施例 2 >

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(12)

用第 5 圖～第 8 圖說明本發明其他實施例之半導體積體電路裝置的 D R A M 之位元線導體及直接周邊電路部的第 1 準位配線導體之製造方法。

本實施形態 2 的 D R A M，由於具有與實施形態 1 的 D R A M 幾乎同樣的構成，以下只針對其相異部分作說明。

首先，用與前述實施形態 1 同樣的方法，如前述第 1 圖所示，在半導體基板 1 上形成記憶格部的記憶格選擇用 M I S F E T 及 n 通道型 M I S F E T Q s 後，在半導體基板 1 上形成氧化矽膜及所被平坦化的 B P S G 膜 1 1。

其次，加第 5 圖所示，將光學抗蝕劑形成遮罩，以乾式蝕刻法回蝕刻 P S G 膜 1 1 的表面。至少披覆被形成在半導體基板主面的第 1 部分之記憶格部，具有使周邊電路部露出的圖案；其境界以第 2 2 圖 I I 的境界線表示。此時，使記憶格部與直接周邊電路部的頂面標高差形成為預先所決定的位元線導體 B L 的厚度與第 1 準位配線導體 M 1 的厚度之差，而設定上述 B P S G 膜 1 1 的回蝕刻之量。即是只有位元線導體 B L 與配線導體 M 1 之厚度差分，蝕刻直接周邊電路的 B P S G 膜(絕緣膜) 1 1。

其次，將光學抗蝕劑形成遮罩，由於依順蝕刻與 B P S G 膜 1 1、氧化矽膜 1 0 及閘極絕緣膜 4 同一準位的絕緣膜，而在連接位元線導體 B L 之記憶格部的 p 型井區 2 上形成連接孔 1 2 a。此後，以 C V D 法，在半導體基板 1 上堆積導入 p 的多結晶矽膜 1 6，繼而，由於蝕刻

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(13)

此多結晶矽膜 1 6，而在連接孔 1 2 a 內填入多結晶矽膜 1 6。然而，因多結晶矽膜 1 6 的 p 擴散，而在記憶格部的 p 型井區 2 形成記憶格部選用 M I S F E T 的一方之 n 型半導體領域 1 3。

其次，將光抗蝕劑形成遮罩，由於依順蝕刻與氧化矽膜 1 0 與閘極絕緣膜 4 同一準位的絕緣膜，而在 n 通道型 M I S F E T Q s 的 n 型半導體領域 8 上形成連接孔 1 2 b、1 2 c。

其次，如第 6 圖所示，以 C V D 法，在半導體基板 1 上堆積導電膜(例如 W 膜)。此時，W 膜 1 4，係為在被配置在直接周邊電路的第 1 準位之配線導體 M 1，薄化至必要的所定厚度。繼而，如第 7 圖所示，例如以 C M P 法將 W 膜 1 4 的表面平坦化，而在位元線導體 B L 及第 1 準位配線導體 M 1，將 W 膜 1 4 的厚度薄化至必要的所定厚度。

其次，如第 8 圖所示，光學抗蝕劑形成遮罩而蝕刻 W 膜 1 4，形成以 W 膜 1 4 a 而構成的位元線導體 B L 及以 W 膜 1 4 b 而構成的第 1 準位配線導體 M 1。

依據本實施例 2，與實施例的半導體積體電路裝置同樣地，使位元線導體 B L 的膜厚與第 1 準位配線導體 M 1 的膜厚相異而形成，可以形成位元線導體 B L 的膜厚而比第 1 準位配線導體 M 1 的膜厚還薄。因此，可以減低位元線導體 B L 的寄生容量、且可以減低第 1 準位配線導體 M 1 的阻抗。

另外，在本實施例，由於 W 膜 1 4 的表面被平坦化，

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (14)

所以可以使蝕刻 W 膜 1 4 而形成位元線導體 B L 及第 1 準位配線導體 M 1 時的處案處理過程容易化。即是由於不是 0 在段差的存在狀態下圖案處理 W 膜，而是圖案處理平坦的 W 膜 1 4，所以可以增加光學平板印刷過程的領域。

< 實施例 3 >

用第 9 圖說明本發明其他實施例之半導體積體電路裝置的位元線導體及直接周邊電路部的第 1 準位配線導體之製造方法。

與在前述實施例 2 所記載的製造方法同樣地，使其將記憶格部的頂面與直接周邊電路部的頂面之差形成為位元線導體 B L 的厚度與第 1 準位配線導體 M 1 的厚度之差，而蝕刻被堆積在直接周邊電路部的半導體基板 1 上之 B P S G 膜 1 1 的表面。

但是，如第 9 圖所示，在前述實施例，以乾式蝕刻法蝕刻直接周邊電路部的 B P S G 膜 1 1 表面，但在本實施例 3，以濕式蝕刻法蝕刻直接周邊電路部的 B P S G 膜 1 1 的表面。因此，可以緩和記憶格部與直接周邊電路部的境界之段差形狀(斜面狀)，且提高被堆積在半導體基板 1 上之膜的記憶格部與直接周邊電路部的境界之披覆性。

其次，與在前述實施例 2 所記載製造方法同樣地，形成連接孔 1 2 a，且形成多結晶矽膜 1 6，進而分別形成連接孔 1 2 b、1 2 c 後，形成記憶格選擇用 M I S F E T 的一方之 n 型半導體領域 1 3，繼而，以

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (15)

C V D 法在半導體基板 1 上堆積 W 膜 1 4 。此時 W 膜 1 4 ，係為被形成為在配置在直接周邊電路部之第 1 準位配線導體 M 1 使其比必要的厚度還厚。

其次，例如因此 C M P U 法將 W 膜 1 4 的表面平坦，而在位元線導體 B L 及第 1 準位配線導體 M 1 ，至必要的所定厚度為止將 W 膜 1 4 的厚度薄化。此後，將光學抗蝕劑形成遮罩而蝕刻 W 膜 1 4 ，形成以 W 膜 1 4 a 而構成的位元線導體 B L 及 W 膜 1 4 b 而構成的第 1 準位配線導體 M 1 。

依據本實施例 3 ，由於平順地蝕刻 B P S G 膜 1 1 的表面，所以可以提高 W 膜 1 4 的堆積及蝕刻過程的領域。

< 實施例 4 >

用第 1 0 圖 ~ 第 1 3 圖說明本發明其他實施例之半導體積體電路裝置之 D R A M 的位元線導體及直接周邊電路部的第 1 準位配線導體之製造方法。

首先，用與前述實施形態 1 同樣的製造方法，如前述第 1 圖所示，在半導體 1 上形成記憶格部的記憶格選擇用 M I S F E T 及 n 通道型 M I S F E T Q s 後，在半導體基板 1 上形成氧化矽膜 1 0 及所被平坦化的 B P S G 膜 1 1 。

其次，如第 1 0 圖所示，將光學抗阻劑形成遮罩而依順蝕刻氧化矽膜 1 0 及與閘極絕緣膜 4 同一層的絕緣膜，而在之後連接位元線導體 B L 之記憶格部的 p 型井區 2 上

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (16)

形成連接孔 1 2 a。此後，以 C V D 法在半導體基板 1 上堆積導入 p 的多結晶矽膜 1 6，繼而，由於蝕刻此多結晶矽膜 1 6，而在連接孔 1 2 a 內填入多結晶矽膜 1 6。然而，因多結晶矽膜 1 6 的 p 擴散，而在記憶格部的 p 型井區 2 形成記憶格選擇用 M I S F E T 的一方之 n 型半導體領域 1 3。

其次，只少披覆被形成在半導體基板主面的第 1 部分之記憶格部，將光學抗阻劑形成遮罩而以濕式蝕刻法蝕刻直接周邊電路部之 B P S G 膜 1 1 的表面。此時，使記憶格部之膜 1 1 的頂面與直接周邊電路部之膜 1 1 的頂面之差形成為位元線導體 B L 的厚度與第 1 準位配線導體 M 1 的厚度之差，而設定上述 B P S G 膜 1 1 的蝕刻量。

其次，將光學抗阻劑形成遮罩，由於依順蝕刻 B P S G 膜 1 1、氧化矽膜 1 0 及閘極絕緣膜 4 同一準位的絕緣膜，而形成 n 通道型 M I S F E T Q s 的 n 型半導體領域 8 上形成連接孔 1 2 b、1 2 c。此後，以 C V D 法在半導體基板 1 上堆積 W 膜 1 7，繼而由於蝕刻此 W 膜 1 7，而在連接孔 1 2 b、1 2 c 內填入 W 膜 1 7。然而，此時，在 W 膜 1 7 與 n 型半導體領域 8 之間，例如設置因以氮化鈦膜所形成的積層膜而被構成之連接層或是障壁金屬層亦可。此障壁層係為防止用於形成 W 膜 1 7 的 W F 6 侵入至基板。

繼而，在半導體基板 1 上依順堆積氮化矽膜 1 8 及氧化矽膜 1 9。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (17)

繼而，如第 1 1 圖所示，例如在以 C M P 法將上述氧化矽膜 1 9 的表面平坦化同時地，至少使其持自位於記憶格部的部分之氧化矽膜 1 9 厚及位於直接周邊電路之氧化矽膜 1 9 厚度與氮化矽膜 1 8 厚度之和，與其後形成的位元線導體 B L 及第 1 準位配線導體 1 的各別厚度相等之 2 個值，而控制氧化矽膜 1 9 的厚度。

然而，在本實施例 4，由於以濕式蝕刻法蝕刻 B P S G 膜 1 1 的表面而在記憶格部之膜 1 1 的表面與直接周邊電路部之膜 1 1 的頂面之間設置頂面差，但用乾式元蝕刻法亦可。另外在 B P S G 膜 1 1 不設置上述頂面差，使記憶格部的氧化矽膜 1 9 的厚度與位元線導體 B L 的厚度幾乎相等，或是使其直接周邊電路部之氧化矽膜 1 9 的厚度與第 1 準位配線導體 M 1 的厚度幾乎相等，而加工氧化矽膜 1 9。

其次，如第 1 2 圖所示，將光學抗蝕劑形成遮罩而蝕刻氧化矽膜 1 9，在之後形成位元線 B L 與第 1 準位配線導體 M 1 之領域形成溝槽 2 0 及 2 0'。繼而，除去所露出的氮化矽膜 1 8 後，以 C V D 法在半導體基板 1 上堆積 W 膜 1 4。此時，所被堆積的 W 膜 1 4，具有滿足被配置在直接周邊電路部之第 1 準位配線導體 M 1 的配線導體阻抗之厚度以上的厚度。

其次，如第 1 3 圖所示，例如 C M P 法將，W 膜 1 4 的表面平坦化，而在上述溝構 2 0 及 2 0' 內形成以 W 膜 1 4 a 所構成的位元線導體 B L 及以 W 膜 1 4 b 所構成的

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (18)

第 1 準位配線導體 M 1 。

然而，在本實施形態 4，將被堆積在半導體基板 1 上的表面平坦化後，檢查氧化矽膜 1 9 及氮化矽膜 1 8 後形成溝槽 2 0 及 2 0'，繼而，將被堆積在半導體基板 1 之 W 膜 1 4 的表面平坦化，但在被堆積在半導體基板 1 上之氧化矽膜 1 9 及氮化矽膜 1 8 形成溝槽 2 0 及 2 0' 後，堆積 W 膜 1 4，繼而，將 W 膜 1 4 及氧化矽膜的表面同平坦化亦可。

依據本實施例 4，與實施例 1 的 D R A M 同樣地，將位元線導體 B L 的膜厚與第 1 準位配線導體 M 1 的膜厚相異而形成，可以形成位元線導體 B L 的膜厚而使其比第 1 準位配線導體 M 1 的膜厚還薄。因此，減低位元線導體 B L 的寄生容量，且可以減低第 1 準位配線導體 M 1 的阻抗。

另外，在本實施例 4，由於氧化矽膜 1 9 的表面被平坦化，因而可以加大氧化矽膜 1 9 的圖案處理過程之焦點領域而易於加工。

進而，在本實施例 4，形成為能用所謂的刻紋法 (Damacene method) 形成位元線導體 B L 及第 1 準位配線導體 M 1，且形成能形成微細的配線導體。

< 實施例 5 >

用第 1 4 圖 ~ 第 1 7 圖說明本發明其他實施例之半導

五、發明說明 (19)

體積體電路裝置的 D R A M 之位元線導體及直接周邊電路部的第 1 準位配線導體之製造方法。

首先，用與前述實施例 1 同樣的製造方法，如前述第 1 圖所示，在半導體基板 1 上形成記憶格部的記憶格選擇用 M I S F E T 及 n 通道型 M I S F E T Q s 後，在半導體基板 1 上形成矽膜 1 0 及所被平坦化的 B P S G 膜 1 1。

其次，如第 1 4 圖所示，將光學抗蝕劑形成遮罩，依順蝕刻 B P S G 膜 1 1、氧化矽膜 1 0 及閘極絕緣膜 4 同一準位的絕緣膜，而在之後連接位元線導體 B L 之記憶格部的 p 型井區 2 上形成連接孔 1 2 a。之後，以 C V D 法在半導體基板 1 上堆積導入 p 的多結晶矽膜 1 6，繼而，由於蝕刻此多結晶矽膜 1 6，而在連接孔 1 2 a 內填入多結晶矽膜 1 6。

然而，因此多結晶矽膜 1 6 的 p 擴散，而在記憶格部的 p 型井區 2 形成記憶格選擇用 M I S F E T 的一方之 n 型半導體領域 1 3。

其次，將光學抗蝕劑形成遮罩，由於依順蝕刻 B P S G 膜 1 1、氧化矽膜 1 0 及與閘極絕緣膜 4 同一層的絕緣膜，因而在 n 通道型 M I S F E T Q s 的 n 型半導體領域 8 上形成連接孔 1 2 b、1 2 c。此後，以 C V D 法在半導體基板 1 堆積 W 膜 1 7，繼而，由蝕刻此 W 膜 1 7，而在連孔 1 2 b、1 2 c 內，填入 W 膜 1 7。

其次，在半導體基板 1 上堆積第 1 W 膜 2 1。此處第

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(20)

1 W 膜 2 1 因構成位元線體 B L 所以具有必要的厚度。繼而，在半導體基板 1 上堆積氧化矽膜 2 2 後，將光學抗蝕劑形成遮罩而蝕刻位於直接周邊電路之氧化矽膜 2 2。光學抗蝕劑，至少披覆被形成在基板主面第 1 部分的記憶格部，具有使周邊電路露出的圖案；其端緣以第 2 2 圖的境界線表示。然而，氧化矽膜 2 2 的厚度，被設為比之後形成之位元線導體 B L 的厚度與第 1 準位配線導體 M 1 的厚度之差還大。

其次，如第 1 5 圖所示，在半導體基板 1 上堆積第 2 W 膜 2 3 後，如第 1 6 圖所示，因例如以 C M P 法研磨第 2 W 膜 2 3 及氧化矽膜 2 2 的表面，所以只在直接周邊電路殘留第 2 W 膜 2 3。

此後，如第 1 7 圖所示，將光學抗蝕劑形成遮罩，依順蝕刻形成為記憶格部與直接周邊電路部的境界之領域的氧化矽膜 2 2、第 2 W 膜 2 3 及第 1 W 膜 2 1，形成以第 1 W 膜 2 1 a 所構成的位元線導體 B L 及以第 2 W 膜 2 3 與第 1 W 膜 2 1 b 的積層膜所構成的第 1 準位配線導體 M 1。

依據本實施例 5，與實施例 1 的半導體積體電路裝置同樣地，將位元線導體 B L 的膜厚與第 1 準位配線導體 M 1 的膜厚相異而形成，可以形成位元線導體 B L 的膜厚而比第 1 準位配線導體 M 1 的膜厚還薄。因此，減低位元線導體 L 的寄生容量，且可以減低第 1 準位配線導體 M 1 的阻抗。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (21)

另外，在本實施例 5，由於氧化矽膜 2 2 及第 2 W 膜 2 3 的表面被平坦化，所以可以加大氧化矽膜 2 2 及第 2 W 膜 2 3 的圖案處理過程之焦點領域而易於加工。

進而，在本實施例 5，由於因將位元線導體 B L 只堆積第 1 W 膜 2 1 a 而可以規定該膜厚，所以減少過程的不均衡，能形成均一性較高的位元線導體 B L。此結果，可以提高夾隔感度增幅器之位元線導體 B L 的對稱性而提高感度增幅器的感度。

< 實施例 6 >

用第 1 8 圖說明本發明其他實施例之半導體積體電路裝置的 D R A M 之位元線導體及在直接周邊電路之第 1 準位配線導體。

在前述實施例 5，將選擇性的連接記憶格部與直接周邊電路部的感度增幅器之 n 通道型 M I S F E T Q s 上設為境界，以第 1 W 膜 2 1 a 而構成位元線導體 B L，且以第 2 W 膜 2 3 與第 1 W 膜 2 1 b 的積層膜與構成第 1 準位配線導體 M 1，但在本實施例 6，如第 1 8 圖所示，第 2 W 膜 2 3 為形成記憶格之記憶格的外側，也延伸至鄰接於直接周邊電路部之境界領域，以第 2 W 膜 2 3 a 與第 1 W 膜 2 1 a 構成此領域的位元線導體 B L，以第 2 W 膜 2 3 b 與第 1 W 膜 2 1 b 的積層膜而構成第 1 準位配線導體 M 1。

即是因第 2 W 膜 2 3 也延伸至鄰接於直接周邊電路部

五、發明說明 (22)

之境界領域，而提高形成爲記憶格部與直接周邊電路部的境界之領域的處理空間；因定位偏移或是過蝕刻等，所以可以防止只以第1 W膜2 1 b構成第1準位配線導體M 1而變薄。

< 實施例 7 >

第19圖係爲形成本實施例之半導體積體電路裝置的D R A M之半導體晶片的全體平面圖；第20圖係爲表示其一部分的擴大平面圖。

在以單結晶矽所形成的半導體晶片1 A主面，例如被形成有具有64 M b i t (10⁶位元)的容量之D R A M。如第19圖所示，此D R A M，係爲以被分割成8個之記憶體面層(M M)及被配置在這些的周圍之周圍電路而被構成。在於本說明書，「記憶體面層」係爲意味含有增幅從記憶格陣列與記憶格陣列的訊號之感度增幅器、及在記憶格的字元線供給驅動訊號之字元線驅動器的單位之集合。具有8 M b i t的容量之記憶體面層M M的各個，如第20圖所示，被分割成16個記憶體陣列M A R Y。記憶體陣列M A R Y的各個，係爲以行列狀所配置的2 K b i t × 256 b i t = 512 K b i t之記憶格而被構成，在這些的周圍，被配置有感度增幅器S A或字元線驅動器W D等的周邊電路。

第21圖係爲表示此D R A M記憶體陣列及鄰接於該陣列之周邊電路的各一部分以半導體基板的主要部斷面圖；

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (23)

第 2 2 圖係為表示構成此 D R A M 的記憶格的相互相異的準位之導體各圖案及構成周邊電路的 M I S F E T 之相互相異的準位之導體各圖案的平面圖；第 2 3 圖係為表示此 D R A M 的記憶體陣列及鄰接於該陣列之周邊電路的各一部分之電路圖。第 2 1 圖係為第 2 2 圖之 X X I - X X I 線斷面圖。

在第 2 1 圖，表示一對的記憶格選擇用 M I S F E T Q_t 及在於第 2 2 圖、第 2 3 圖附註 Q_{shr} 、 Q_n 、 Q_p 的圖號之周邊電路的 M I S F E T。 Q_{shr} 係為選擇性連接 D R A M 記憶格部及周邊電路部的感度增幅器 S A 之共用 M I S F E T Q_{shr} ； Q_n 、 Q_p 係為構成以相互 2 個的 Q_n 、 Q_p 、而被構成之正反器電路所形成的感度增幅器 S A。 Q_n 係為 n 通道型 M I S F E T Q_n ； Q_p 係為 p 通道型 M I S F E T Q_p 。另外， Q_{shr} 係為 n 通道型 M I S F E T。記憶格選擇用 M I S F E T Q_t 被形成在為 D R A M 的記憶體陣列 M A R Y 之記憶格部 A； Q_{shr} 、 Q_n 、 Q_p 被形成在 D R A M 的周邊電路部 B。另外，記憶格部 A 與周邊電路部 B 的境界領域 D 係為作為進行給電至段差緩衝領域或是半導體基板的井區之領域的功能。

在以 p - 型單結晶矽所形成的半導體基板 1 0 1，被形成有記憶格部 A 的 p 型井區 1 0 2 a 及周邊電路部 B 的 p 型井區 1 0 2 b 與周邊電路部 B 的 n 型井區 1 0 2 c。另外記憶格部 A 的 p 型井區 1 0 2 a 係為在於基板 1 0 1

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (24)

內以 n 型井區 1 0 3 披覆。此樣，由於以 n 型井區 1 0 3 覆蓋 p 型井區 1 0 2 a，因而從半導體基板 1 0 1 的電位分離記憶格選擇用 M I S F E T Q t 的電位，且形為能加入適當的偏壓電壓。

在 p 型井區 1 0 2 a、1 0 2 b，n 型井區 1 0 2 c 的各個表面，被形成有元件分離用的場區氧化膜 1 0 4；在含有此場區氧化膜 1 0 4 的下部之 p 型井區 1 0 2 a、1 0 2 b 的內部被形成有 p 型通道制動層 1 0 5；另外在 n 型井區 1 0 2 c 的內部被形成有 n 型通道制動層 1 0 6。

在記憶格部 A 的 p 型井區 1 0 2 a 之主動領域呈矩陣狀地被配置有記憶器。記憶格的各個，係為含有 2 個電路元件，即是含有以 n 通道型所構成的 1 個記憶格選擇用 M I S F E T Q t、及被形成其上部，與記憶格選擇用 M I S F E T Q t 串聯的一個資訊儲存用容量元件 C。即是此記憶格係為以在記憶格選擇用 M I S F E T Q t 的上部配置資訊儲存用容量元件 C 之堆疊，電容器構造而被構成。

記憶格選擇用 M I S F E T Q t，係為以閘極絕緣膜 1 0 7、與字元線 W L 一體形成的閘極電極 1 0 8 A、源極領域及汲極領域 (n 型半導體領域 1 0 9、1 0 9) 而被構成。閘極電極 1 0 8 A (字元線 W L)，係為積層摻雜 n 型不純物 (例如 p (磷)) 之低阻抗的多結晶矽膜及鎢矽化物 (W S i₂) 膜之 2 層導電膜、或是積層低阻抗的多結晶矽膜

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (25)

及 T i N 膜及 W 膜之 3 層導電膜而被構成。在閘極電路 1 0 8 A (字元線 W L) 的上被形成有氧化矽膜 1 1 0 ; 在側壁被形成有氮化矽的側壁空間物 1 1 1 。這些絕緣膜(氮化矽膜 1 1 0 及側壁空間物 1 1 1) , 取代氮化矽膜 , 也可以以氮化矽膜構。

在周邊電路部 B 的 p 型井區 1 0 2 b 之主動領域被形成有 n 通道型 M I S F E T Q n 及 n 通道型 M I S F E T Q s h r 。另外 , 在 n 型井區 1 0 2 c 的主動領域被形成有 p 通道型 M I S F E T Q p 。即是此周邊電路部 B 係為以組合 n 通道型 M I S F E T Q n 與 p 通道型 M I S F E T Q p 之 C M O S (Complementary Metal Oxide Semiconductor) 電路而被構成。

n 通道型 M I S F E T Q s 及共用 M I S F E T Q s h r , 係為以閘氧化膜 1 0 7 、閘極電極 1 0 8 B 、源極領域及汲極領域 1 3 而被構成。閘極電路 1 0 8 B 係為與前述記憶格選擇用 M I S F E T Q t 的閘極電路 1 0 8 A (字元線 W L) 相同準位且相同材料的導體而被構成。在閘極電路 1 0 8 B 的上部被形成有氮化矽膜 1 1 0 ; 在側壁被形成有氮化矽的側壁空間物 1 1 1 。 n 通道型 M I S F E T Q n 及共用 M I S F E T Q s h r 的源極領域、汲極領域的各個 , 係為以低不純物濃度的 n⁻ 型半導體領域 1 1 2 及高不純物濃度的 n⁺ 型半導體領域 1 1 3 所形成的 L D D (Lightly Doped Drain) 構造而被構成 ; 在 n⁺ 型半導體領域 1 1 3 的表面被形成有 T i 矽化物

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (26)

(T i S i ₂)層 1 1 6 。

p 通道型 M I S F E T Q p，係為閘極氮化膜 1 0 7，閘極電極 1 0 8 c、源極領域及汲極領域 1 1 5 而被構成。閘極電路 1 0 8 c，係為用以前述記憶格選擇用 M I S F E T Q t 的閘極電路 1 0 8 (字元線 W L) 相同準位且相同材料的導體而構成。在閘極電路 1 0 8 C 的上部被形成有氮化矽膜 1 1 0；左側壁被形成有氮化矽的側壁空間物 1 1 1。p 通道型 M I S F E T Q p 的源極領域、汲極領域的各個，係為以低不純物濃度的 p⁻型半導體領域 1 1 4 及高不純物濃度的 p⁺型半導體領域 1 1 5 所形成的 L D D 構造而被構成；在 p⁺型半導體領域 1 1 5 的表面被形成有鈦矽化物層 1 1 6。

在記憶格選擇用 M I S F E T Q t、n 通道型 M I S F E T Q n、共用 M I S F E T Q s h r 及 p 通道型 M I S F E T Q p 的上部，從下層依順被形成有氧化矽膜 1 1 7、B P S G (Boron Phospho Silicate Glass) 膜 1 1 8 及氧化矽膜 1 1 9。

在記憶格部 A 的氧化矽膜 1 1 9 的上部及橫跨於境界領域 D 之氧化矽膜 1 1 9 的上部被形成有位元線導體 B L。位元線導體 B L，係為以積層 T i N 膜與 W 膜之 2 層的導電膜而被構成。位元線導體 B L，係為通過被插入有摻雜磷 (P) 或是砷 (A S) 之多結晶矽的插栓 1 2 0 之連接孔 1 2 1 而與記憶格選擇用 M I S F E T Q t 的源極領域、汲極領域的一方 (n 型半導體領域 1 0 9) 導電連接。另外位

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (27)

元線導體 B L，係為通過連接孔 1 2 3 (不是介由多結晶矽的插栓)而與周邊電路部的共用 M I S F E T Q s h r 的源極領域、汲極領域的一方 (n^+ 型半導體領域 1 1 3) 導電連接。在共用 M I S F E T Q s h r 的 n^+ 型半導體領域 1 1 3 表面被形成有低阻抗的鈦矽化合物層 1 1 6；且形成為減低位元線 B L 的接觸阻抗。

另外，位元線 B L，係為在境界領域 D 變化其膜厚，在記憶格部 A 膜厚變薄，在周邊電路部 B 其膜厚變厚。此樣在境界領域 D 變化位元線 B L 的膜厚，係為如之後的說明以境界領域為境界蝕刻構成位元線 B L 之導電膜而記憶格部 A 的領域薄膜化之故。由於此樣在記憶格部 A 較薄的形成位元線導體 B L，因而可以減低位元線導體 B L 的寄生容量，且以提高被儲存在資訊儲存用容量元件 C 的儲存電荷的檢出感度。

在周邊電路部 B 的氧化矽膜 1 1 9 之上部被形成有第 1 準位配線導體 1 3 0 A、1 3 0 B、1 3 0 C、1 3 0 D、1 3 0 E。配線導體 1 3 0 A、1 3 0 B、1 3 0 C、1 3 0 D、1 3 0 E，係為與前述位元線導體 B L 同樣，以積層 T i N 膜及 W 膜之 2 層導電膜所構成。配線導體 1 3 0 A 的一端，係為通過連接孔 1 2 4 而與共用 M I S F E T Q s h r 的源極領域、汲極領域的他方 (n^+ 型半導體領域 1 1 3) 導電連接；他端則是通過連接孔 1 2 5 而與 p 通道型 M I S F E T Q p 的源極領域、汲極領域的一方 (p^+ 型半導體領域 1 1 5) 導電連接。配線導體

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (28)

1 3 0 B 係為通過連接孔 1 2 6 而與被共用在 2 個 p 通道型 M I S F E T Q p 的源極領域、汲極領域 (p⁺ 型半導體領域 1 1 5) 導電連接。配線導體 1 3 0 c 的一端，係為通過連接孔 1 2 7 而與 p 通道型 M I S F E T Q p 的源極領域、汲極領域的他方 (p⁺ 型半導體領域 1 1 5) 導電連接；他端則是通過連接孔 1 2 8 而與 n 通道型 M I S F E T Q n 的源極領域、汲極領域的一方 (n⁺ 型半導體領域 1 1 3) 導電連接。配線導體 1 3 0 D 係為通過連接孔 1 2 9 而與被共用在 2 個 n 通道型 M I S F E T Q n 的源極領域、汲極領域 (n⁺ 型半導體領域 1 1 3) 導電連接。然且配線導體 1 3 0 E 的一端，係為通過連接孔 1 3 0 而與 n 通道型 M I S F E T Q n 的源極領域、汲極領域的他方 (n⁺ 型半導體領域 1 1 3) 導電連接。另外，在 n 通道型 M I S F E T Q n 及共用 M I S F E T Q s h r 的 n⁺ 型半導體積體領域 1 1 3 的表面及 p 通道型 M I S F E T Q p 的 p⁺ 型半導體領域 1 1 5 之表面被形成有低阻抗鈦矽化物層 1 1 6，形成為減低配線 1 3 0 A、1 3 0 B、1 3 0 C、1 3 0 D、1 3 0 E 的接觸阻抗。

在位元線導體 B L 及配線導體 1 3 0 A、1 3 0 B、1 3 0 C、1 3 0 D、1 3 0 E 的上部被形成有氧化矽膜及氮化矽膜 1 3 2。在記憶格部 A 的氮化矽膜 1 3 2 之上部被形成有以儲存電極 (下部電極) 1 3 3、容量絕緣膜 1 3 4 及板狀電極 (上部電極) 1 3 5 所構成的資訊儲存用容量元件 C。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (29)

資訊儲存用容量元件 C 的儲存電極 1 3 3，係為以多結晶矽膜而被構成，介由連接孔 1 3 7 而被連接至多結晶矽的插栓 1 2 0 之多結晶矽膜 1 3 3 a、及當貫穿連接孔 1 3 7 時作為硬體遮罩功能的多結晶矽膜 1 3 3 b 及側壁空間物 1 3 3 c、及對於半導體基板 1 0 1 為垂直豎立設置而被形成，形成王冠形狀的側壁之多結晶矽膜 1 3 3 d 等所形成。儲存電極 1 3 3，係為通過插入插栓 1 2 0 的連接孔 1 2 2 而與記憶格選擇用 M I S F E T Q t 的源極領域、汲極領域的他方 (n 型半導體領域 1 0 9) 導電連接。容量絕緣膜 1 3 4，例以矽氧化物及矽氮化膜的積層膜所構成；板狀電極 1 3 5，例如以多結晶矽膜而被構成。

在資訊儲存用容量元件 C 的上部，從下層依順被形成有氧化矽膜 1 3 8、S O G (spin on Glass) 膜 1 3 9 及氮化矽膜 1 4 0。在氮化矽膜 1 4 0 的上部被形成有第 2 準位的配線 1 4 1。第 2 準位的配線導體 1 4 1，係為通過貫穿至資訊儲存用容器元件 C 的板狀電極 1 3 5 之上部的絕緣膜 (氮化矽膜 1 4 0、S O G 膜 1 3 9 及氮化矽膜 1 3 8) 之連接孔 1 4 2 而與板狀電極 1 3 5 導電連接，將板狀電極電壓 ($V_{dd} / 2$) 供給至板狀電極 1 3 5。另外，第 2 準位的配線導體 1 4 1，係為貫穿至周邊電路部 B 的第 1 準位之配線導體 1 3 0 C 的上部之絕緣膜 (氮化矽膜 1 4 0、S O G 膜 1 3 9、氧化矽膜 1 3 8 及氧化矽膜 1 3 1) 的連接孔 1 4 3 而與配線導體 1 3 0 C 導電連接。在連接配線導體 1 4 1 與板狀電極 1 3 5 之連接孔 1 4 2 的內部

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (30)

、及連接配線導體 1 4 1 與配線導體 1 3 0 B 之連接孔 1 4 3 的內部，被入有 W (鎢) 插栓 1 4 4 。

在配線 1 4 1 的上部，例如介由以積層氧化矽膜、S O G 膜及氧化矽膜之 3 層絕緣膜等所構成之層間絕緣膜而被形成有第 3 準位的配線；進而在其上部，被形成有以積層矽膜與氮化矽膜之 2 層絕緣膜等所構成的鈍化膜，但這些的圖示則省略。

其次，用第 2 4 圖～第 4 1 圖詳細說明含有第 2 1 圖所示的 D R A M 之半導體積體電路裝置的製造方法。

首先，如第 2 4 圖所示，以選擇氧化 (L O C O S) 法，在具有 $1 \sim 10 \Omega \cdot \text{cm}$ 程度的比阻抗之 p 型半導體基板 1 0 1 的表面形成場氧化膜 1 0 4 後，在形成記憶格的領域 (被形成在基板 1 0 1 主面的第 1 部分之記憶格 A)、及形成周邊電路部 B (被形成在基板 1 0 1 主面的第 2 部分) 的 n 通道型 M I S F E T Q n 及共用 M I S F E T Q s h r 的領域之半導體基板 1 0 1，離子注入 p 型不純物 (硼 (B)) 而形成 p 型井區 1 0 2 a、1 0 2 b；在形成周邊電路部 B 的 p 通道型 M I S F E T Q p 的領域之半導體領域 1 0 1，離子注入 n 型不純物 (磷 (P)) 而形成 n 型井區 1 0 2 c。繼而，在記憶格部 A 離子注入 n 型不純物 (磷 (P)) 而形成 n 型井區 1 0 3。進而，在 p 型井區 1 0 2 a、1 0 2 b 離子注入 p 型不純物 (B) 而形成 p 型通道制動層；在 n 型井區 1 0 2 c 離子注入 n 型不純物 (P) 而形成 n 型通道制動層 1 0 6。周邊電路部 B 的 p 型井區 1 0 2 b 及記憶格部 A

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (31)

的 p 型井區 1 0 2 a , 在別過程形成亦可。

其後，在場區氧化膜 1 0 4 所包圍的 p 型井區 1 0 2 a 、 1 0 2 b 、 n 型井區 1 0 2 c 的各個主動領域之表面以熱氧化法形成閘極氧化膜 1 0 7 ；進而通過此閘極氧化膜 1 0 7 而在 p 型井區 1 0 2 a 、 1 0 2 b 及 n 型井區 1 0 2 c ，離子注入爲了調整 M I S F E T 的臨界值電壓 (V_{th}) 之不純物。用以調整爲了形成井區 (p 型井區 1 0 2 a 、 1 0 2 b 、 n 型井區 1 0 2 c) 之離子注入、爲了形成通道制動層 (p 型通道制動層 1 0 5) 、 n 型通道制動層 1 0 6) 之離子注入及 M I S F E T 的臨界值電壓 (V_{th}) 等的離子注入當中，針對不純物的導電型爲同一係爲使用同一的光抗蝕劑遮罩而在同一過程形成亦可。另外，在別過程進行用以調整記憶格選擇用 M I S F E T Q t 的臨界值電壓 (V_{th}) 之離子注入、及用以調整周邊電路部 B 的 M I S F E T (n 通道型 M I S F E T Q n 、 共用 M I S F E T Q s h r 、 p 通道型 M I S F E T Q p) 的臨界值電壓 (V_{th}) 之離子注入；以各別的 M I S F E T 獨立地調整臨界值電壓 (V_{th}) 亦可。

其，如第 2 5 圖所示，形成記憶格選擇用 M I S F E T Q t 的閘極電極 1 0 8 A (字元線導體 W L) 、 n 通道型 M I S F E T Q n 及共用 M I S F E T Q s h r 的閘極電極 1 0 8 B 及 p 通道型 M I S F E T Q p 的閘極電極 1 0 8 C 。閘極電極 1 0 8 A (字元線導體 W L) 及閘極電極 1 0 8 , 1 0 8 C ，例如在半導體基板 1 0 1 上以

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (32)

C V D 法依順堆積 n 型多結晶矽膜、W S i 1 2 膜及氮化矽膜 1 1 0 後，將光學抗蝕劑形成遮罩，以蝕刻將這些膜圖案化而同時形成。或是以 C V D 法堆積 n 型多結晶矽膜，繼而，以濺射法堆積 T i N 膜及 W 膜，進而以 C V D 法堆積氮化矽膜 1 0 1 後，將光學抗蝕劑形成遮罩，以蝕刻將這些膜圖案化而同時的形成。T i N 膜，係為作為防止多結晶矽膜與 W 膜的反應之障壁金屬而被使用。閘極電極 1 0 8 A (字元線 W L) 及閘極電極 1 0 8 B 、 1 0 8 C ，例如在 n 型的多結晶矽膜上積層 T i N 膜 (或是 W N (鎢矽化物) 膜) 及 T i 矽化物膜之 3 層導電膜等，也可以用更低用阻抗的材料構成。

其次，如第 2 6 圖所示，在 p 型井區 1 0 2 a 、 1 0 2 b 離子注入 n 型不純物 (P)，而對於閘極電極 1 0 8 A 、 1 0 8 B 以自己整合形成記憶格選擇用 M I S F E T Q t 的 n 型半導體領域 1 0 9 、及 n 通道型 M I S F E T Q n 及共用 M I S F E T Q s h r 的 n 型半導體領域 1 1 2 ；在 n 型井區 1 0 2 C 離子注入 p 型不純物 (B) 而對於閘極電極 1 0 8 C 以自己整合形成 p 通道型 M I S F E T Q p 的 p 型半導體領域 1 1 4 。此時，以別過程進行為了形成記憶格選擇用 M I S F E T Q t 的 n 型半導體領域 1 0 9 之離子注入，及為了形成 n 通道型 M I S F E T Q n 與共用 M I S F E T Q s h r 的 n 型半導體領域 1 1 2 之離子注入；以各別的 M I S F E T 獨立地調整源極領域、汲極領域的不純物濃度亦可。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (33)

其次，如第 27 圖所示，在 n 通道型 M I S F E T Q t 的閘極電極 108 A (字元線導體 W L)、n 通道型 M I S F E T Q n 與共用 M I S F E T Q s h r 的閘極電極 108 B 與 p 通道型 M I S F E T Q p 的閘極電極 108 C 之各側壁形成側壁空間物。側壁空間物 111 係為以異方性蝕刻加工用 C V D 所堆積的氮化矽膜而形成。繼而，在周邊電路部 B 的 p 型井區 102 b 離子注入 n 型不純物 (P)，而對於側壁空間物 111 以自我整合形成 n 通道型 M I S F E T Q n 及共用 M I S F E T Q s h r 的 n⁺ 型半導體領域 113；在 n 型井區 102 c 離子注入 p 型不純物 (B)，而對於側壁空間物 111 以自己整合形成 p 通道型 M I S F E T Q p 的 p 型半導體領域 115。構成周邊電路部 B 之 n 通道型 M I S F E T Q n 與共用 M I S F E T Q s h r 的源極領域、汲極領域；p 通道型 M I S F E T Q p 的源極領域、汲極領域，係為因應於所須而以單汲極構造或二重擴散汲極 (Double Diffused Drain) 構造等構成這些的一者或是兩者亦可。

其次，如第 28 圖所示，在記憶格選擇用 M I S F E T Q t 的閘極電極 108 A (字元線導體 W L)、n 通道型 M I S F E T Q n 與共用 M I S F E T Q s h r 的閘極電極 108 與 p 通道型 M I S F E T Q p 的閘極電極 108 C 之各個的上部以 C V D 法堆積氮化矽膜 117 及 B P S G 膜 118 後，以化學性機械研磨 (Chemical

五、發明說明 (34)

Mechanical Polishing: CMP)法研磨 B P S G 膜 1 1 8，將其表面平坦化。

其次，如第 2 9 圖所示，在 B P S G 膜 1 1 8 上以 C V D 法堆積多結晶矽膜(未圖示)後，將光學抗蝕劑形成遮罩，蝕刻多結晶矽膜；繼而將多結晶矽膜形成遮罩，由於蝕刻 B P S G 膜 1 1 8、氮化矽膜 1 1 7 及閘極氧化膜 1 0 7，而在記憶格選擇用 M I S F E T Q t 的源極領域、汲極領域的一方(n 型半導體領域 1 0 9)之上部形成連接孔 1 2 1；在他方(n 型半導體領域 1 0 9)的上部形成連接孔 1 2 2。作為為了形成上述連接孔 1 2 1、1 2 2 之膜 1 1 8、1 1 7 及 1 0 7 的蝕刻用遮罩，不用多結晶矽膜，而用通常的光學抗蝕劑亦可。

此時，被形成在記憶格選擇用 M I S F E T Q t 的閘極電極 1 0 8 A (字元線導體 W L)之上部的氧化矽膜 1 1 0 及被形成在側壁之氮化矽的側壁空間物 1 1 1，因與氧化矽系列的絕緣膜(B P S G 膜 1 1 8、氧化矽膜 1 1 7 及閘極氧化膜 1 0 7)相異的蝕刻速度，所以幾乎未被蝕刻而殘留。即是用於為了形成連接孔 1 2 1、1 2 2 之乾式蝕刻之氣體，係為氧化矽膜的蝕刻速度較高，但氮化矽膜的蝕刻速度較低。由於此因，對於側壁空間物 1 1 1 以自己整合形成以接觸到 n 型半導體領域 1 0 9 的領域比形成上述光學抗蝕劑遮罩的曝光之解像度還小的徑所構成的連接孔 1 2 1、1 2 2 所以可以達到縮小記憶格大小。

其次，在連接孔 1 2 1、1 2 2 的內部插入多結晶矽

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (35)

的插栓 1 2 0。此插栓 1 2 0，係為在所述過的未圖示之多結晶矽膜的上部以 C V D 法堆積多結晶矽膜後，以背面蝕刻除去 B P S G 膜 1 1 8 的上部之多結晶矽膜而形成。此時，用於蝕刻的遮罩之多結晶矽膜也同時地除去。在構成插栓 1 2 0 之多結晶矽膜被摻雜有 n 型的不純物 (P)。此不純物，係為通過連接孔 1 2 1、1 2 2 而擴散到記憶格選擇用 M I S F E T Q t 的 n 型半導體領域 1 0 9、1 0 9 (源極領域、汲極領域)，被形成有比 n 型半導體領域 1 0 9、1 0 9 還高不純物濃度的半導體領域 (未圖示)。

其次，如第 3 0 圖所示，在漏出到連接孔 1 2 3 ~ 1 3 0 的底部之 n⁺型半導體領域 1 1 3、1 1 5 的表面上、及連接位元線 B L 之插栓 1 2 0 的表面上形成鈦矽化物層 1 1 6。鈦矽化物 1 1 6，係為退火以濺射法所堆積的 T i 膜而使其與 S i 基板 (n⁺半導體領域 1 1 3、p⁺型半導體領域 1 1 5) 及多結晶矽膜 (插栓 1 2 0) 反應後，以濕式蝕刻除去殘存氮化矽膜 1 1 9 上之未反應的 T i 膜而形成。由於此鈦矽化物層 1 1 6 的形成，因而減低 n 通道型 M I S F E T Q n 與共用 M I S F E T Q s h r 的 n⁺型半導體領域 1 1 3、p 通道型 M I S F E T Q p 的 p⁺型半導體領域 1 1 5 與插栓 1 2 0；及被連接至這些之配線 (字元線 B L)、配線 1 3 0 A ~ E) 的接觸阻抗。

其次，在連接連接孔 1 2 3 ~ 1 3 0 的內面及位元線導體 B L 之插栓 1 2 0 表面、氧化矽膜 1 1 9 的表面，堆積構成位元線導體 B L 及配線導體 1 3 0 A ~ E 之

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明 (36)

T i N 膜 1 4 5 及 W 膜 1 4 6 。 T i N 膜 1 4 5 及 W 膜 1 4 6 的堆積，例如可以用濺射法或 C V D 法。然而，此，T i N 膜 1 4 5 及 w 膜 1 4 6 的膜厚被調整為配線導體 1 3 0 A ~ E 的膜厚。

其次，如 3 1 圖所示，以光學抗蝕劑 1 4 7 作為遮罩，蝕刻記憶格部 A 的 W 膜 1 4 6，且薄膜化。此光學抗蝕劑，至少具有披覆記憶格部且露出周邊電路部之圖案；光學抗蝕劑的境界，係為以第 2 2 圖 I 的境界線表示。蝕刻可以用眾知的乾式蝕刻法。然而 1，以此薄膜化，記憶格部 A 的 W 膜 1 4 6 的膜厚，調整為與位元線 B L 的膜厚相等。膜厚的調整，例如可以以乾式蝕刻法的處理時間控制。

此樣，由於將形成為位元線 B L 之領域的 W 膜 1 4 6 薄膜化，所以可以減低位元線 B L 的寄生容量。另外，此樣的記憶格部 A 之 W 膜 1 4 6 的薄膜化，並未增加複雜的過程，也未導至加長過程時間的弊害。因此，未使其降下流量而減低位元線 B L 的寄生容量，且能降下配線 1 3 0 A ~ E 的薄層阻抗。

然而，在本實施形態，將光學抗蝕劑膜 1 4 7，不以共用 M I S F E T Q s 的上部形成為境界，以境界域 D 形成在境界。此樣，第 2 2 圖所示的境線 I 位於記憶體部與共用 M I S F E T Q s h r 之間的領域，光學抗蝕劑 1 4 7，因在於境界領域 D 的範圍內形為該端緣部，所以不必要特別的校正精度。因此能在光學抗蝕劑 1 4 7 的形

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明 (37)

成過程使其持有領域。

其次，如第 3 2 圖，在 W 膜 1 4 6 上形成光學抗蝕劑 1 4 8，將此膜形成遮罩，以蝕刻將 W 膜 1 4 6 及 T i N 膜 1 4 5 圖案處理，如第 3 3 圖所示同時形成位元線導體 B L 及配線導體 1 3 0 A ~ E。然而，在記憶格部 A，由於 W 膜 1 4 6 的膜厚較薄，所以因此蝕刻過程而記憶格部 A 的氧化矽膜 1 1 9 或是 B P S G 膜 1 1 8，比在周邊電路部 B 的該膜還過剩地被蝕刻，但圖示則省略。另外，位元線導體 B L 及配線導體 1 3 0 A ~ E，例如積層 T i N 膜(或是 W N 膜)及 T i 矽化物膜之 2 層導電膜等，以更低阻的材料構成亦可。

其次，如第 3 4 圖所示，堆積披覆位元線導體 B L 及配線導體 1 3 0 A ~ E 之氧化矽膜 1 3 1。氧化矽膜 3 1 係為段差披覆性優良的 E C R C V D 法堆積。然而，取代以 E C D C V D 法所堆積的氧化矽膜，也能用 B P S G 膜或是 S O G 膜等填入性、平坦性優越之膜。

其次，如第 3 5 圖所示，以 C M P 法將氧化矽膜 1 3 1 平坦化，其後，堆積氮化矽膜 1 3 2。進而堆積氧化矽膜 1 4 9。

其次，如第 3 6 圖所示，堆積多結晶矽膜 1 3 3 b 後，將光學抗蝕劑形成遮罩而蝕刻多結晶矽膜，且形成開口。此開係為形成在連接孔 1 3 7 的位置。進而，堆積多結晶矽膜(未圖示)後，以異方性蝕刻而蝕刻該膜，在所述開口形成以多結晶矽膜所形成的側壁空間物 1 3 3 c。其後，

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (38)

以多結晶矽膜 1 3 3 b 及側壁空間物 1 3 3 c 作為遮罩，由於蝕刻氧化矽膜 1 4 9、氮化矽膜 1 3 2 及氧化矽膜 1 3 1，而在被形成在記憶格選擇用 M I S F E T Q t 的源極領域、汲極領域之他方的上部之連接孔 1 2 2 的上部形成連接孔 1 3 7。此樣，由於以多結晶矽膜 1 3 3 b 及側壁空間物 1 3 3 c 作為遮罩形成連接孔，所以可以以光學平版印刷的最小解像度以下的尺寸加工連接孔 1 3 7，露出位元線 B L，與資訊儲存用容量元件 C 短路的疑慮較少。

其次，如第 3 7 圖所示，在含有連接孔 1 3 7 的內部之多結晶矽膜 1 3 3 b 及側壁空間物 1 3 3 c 上堆積多結晶矽膜 1 3 3 a 及氧化矽膜 1 5 0，以光學抗蝕劑膜作為遮罩，蝕刻氧化矽膜 1 5 0、多結晶矽膜 1 3 3 a、1 3 3 b。其後，除去光學抗蝕劑膜，堆積多結晶矽膜 1 5 1。

其次，如第 3 8 圖所示，以異方性蝕刻而蝕刻多結晶矽膜 1 5 1，除去氧化矽膜 1 4 9 上的多結晶矽膜 1 5 1。由於以異方性蝕刻而被蝕刻，所以殘餘氧化矽膜 1 5 0 及多結晶矽膜 1 1 3 a、1 3 3 b 的側面之多結晶矽膜 1 5 1，形成資訊儲存用容量元件 C 的儲存電極 1 3 3 的豎立設置的側壁之多結晶矽膜 1 3 3 d。進而，以濕式蝕刻除去氧化矽膜 1 4 9、1 5 0。經此樣而完成以多結晶矽膜 1 3 3 a ~ d 所形成的儲存電極 1 3 3。然而，在此濕式蝕刻之際氮化矽膜 1 3 2 作為端緣制動用功。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(39)

其次，如第 39 圖所示，在儲存電極 133 的上部形成氮化矽膜及氧化矽膜的積層層膜 134，進而在其上部堆積多結晶矽膜 135。其後，以光學抗蝕劑 152 作為遮罩，由於蝕刻前述多結晶矽膜 135 及氮化矽膜與氧化矽膜的積層膜 134，而形成以氮化矽膜及氧化矽膜的積層膜所形成的容量絕緣膜 134 及以多結晶矽膜所形成的板狀電極 135。此時，以光學抗蝕劑膜 152 作為遮罩，氮化矽膜 132 也同時被除去。經此樣而形成以儲存電極 133、容量絕緣膜 134 及板狀電極 135 所構成的資訊儲存用容量元件 C。容量絕緣膜 134 也能以氧化鉬 (Ta)、BST (Ba、Sr)TiO₃ 等的高感應體材料、或 PTZ (PbZrXTi_{1-x}O₃)、PLT (PbLaXTi_{1-x}O₃)、PLZT、PbTiO₃、SrTiO₃、BaTiO₃、PbZrO₃、LiNbO₃、Bi₄Ti₃O₁₂、BaMgF₄、Y 係 (SrBiZ(Nb、Ta)₂O₉) 等的強感應體材料而被構成。另外板狀電極 135 也能以 TiN 膜、W 矽化物 / TiN、Ta、Cu、Ag、Pt、Ir、IrO₂、Rh、RhO₂、Os、OsO₂、Ru、RuO₂、Re、ReO₃、Pd、Au 等的金屬膜或是導電性金屬氧化物膜等所構成。

其次，如第 40 圖所示，以 CVD 法在資訊儲存用容量元件 C 的上部堆積氧化矽膜 138，繼而，在其上部旋轉塗敷 SOG 膜 139，進而在其上部以 CVD 堆積氧化矽膜 140 後，如第 41 圖所示，將光學抗蝕劑形成遮罩

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (40)

，由於蝕刻資訊儲存用容量元件 C 的板狀電極 1 3 5 之上部的絕緣膜(氧化矽膜 1 4 0、S O G 膜 1 3 9 及氧化矽膜 1 3 8)而形成連接孔 1 4 2。另外由於同時蝕刻周邊電路部 B 的第 1 準位配線導體 1 3 0 C 之上部的絕緣膜(氧化矽膜 1 4 0、S O G 膜 1 3 9、氧化矽膜 1 3 8 及氧化矽膜 1 3 1)而形成連接孔 1 4 3。

進而，在連接孔 1 4 2、1 4 3 的內部插入 W 的插栓 1 4 4。插栓 1 4 4，係為回蝕刻在氧化矽膜 1 4 0 的上部以 C V D 法堆積之 W 膜而形成。插栓 1 4 4 也能以 T i N 膜與 W 膜的積層膜等而被構成。

其後，由於在氧化矽膜 1 4 0 的上部形成第 2 準位的配線導體 1 4 1，而略完成前述第 2 1 圖所示之半導體積體電路裝置。配線導體 1 4 1，係為在氧化矽膜 1 4 0 的上部以濺射法堆積 T i N 膜，A l 合金膜及 T i N 膜，將光學抗蝕劑作為遮罩，以蝕刻將這些膜圖案處理而同時形成。配線導體 1 4 1 也能以 T i N 膜與 C u 膜的積層膜等而被構成。

依據本實施形態的 D R A M 及其製造方法，可以將位元線導體 B L 的膜厚薄化，將配線導體 1 3 0 A ~ E 的膜厚厚化。此結果，可以減低位元線導體 B L 的寄生容量，減低配線導體 1 3 0 A ~ E 的阻抗，且可以達到提高 D R A M 的儲存電荷之檢出感度及周邊電路高速化。

另外，在本實施形態，由於將位元線導體 B L 與配線導體 1 3 0 A ~ E 的膜厚所相異的位置設在境界領域 D，

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (41)

所以可以加大用以進行 W 膜 1 4 6 薄膜化之光學抗蝕劑膜 1 4 7 的光學平版印刷的校正範圍。

< 實施例 8 >

第 4 2 圖及第 4 3 圖係為以過程順序表示含有本發明其他實施例的 D R A M 之半導體積體電路裝置的製造方法之斷面圖。

本實施例 8 的裝置，係為具有與實施例 7 所說明過的裝置幾乎同樣的構成，構成位元線導體 B L 及配線導體 1 3 0 A ~ E 之 T i N 膜 1 5 3 及 W 膜 1 5 4 的膜厚為相異。

以下，說明本實施例 8 的裝置之製造方法。首先，至實施例 7 的第 2 9 圖為止的過程為相同。

其次，如第 4 2 圖所示，與實施例 7 的第 3 0 圖之過程同樣地堆積 T i 膜 1 5 3 及 W 膜 1 5 4。在此處，T i N 膜 1 5 3 被堆積成比在實施例 7 的 T i N 膜 1 4 5 還厚。即是可以確保在記憶格部 A 的位元線導體 B L 之要求電阻值的程度下調整 T i N 膜 1 5 3 的膜厚。另外，T i N 膜 1 5 3 及 W 膜 1 5 4 的膜厚，係為可以確保在周邊電路部 B 的配線導體 1 3 0 A ~ E 之要求電阻值的程度下堆積。

其次，如第 4 3 圖所示，與第 3 1 圖所示的光學抗蝕劑膜 1 4 7 同樣地被配置，以光學抗蝕劑膜 1 5 5 作為光罩，由於蝕刻 W 膜 1 5 4 而除去在抗蝕劑膜 1 5 5 所未披

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明 (42)

覆的部分。因此，周邊電路部 B 的第 1 準位配線導體，係為在於第 4 3 圖的斷面圖，從境界領域 D 內的一定位置延伸至周邊電路部側而存在。此蝕刻之際，蝕刻係為易於蝕刻鎢(W)；氮化鈦係在不易蝕刻的條件下進行。此樣，由於在不易蝕刻氮化鈦的條件下蝕刻 W 膜 1 5 4，所以就是加諸過多蝕刻，TiN 膜 1 5 3 也是不被蝕刻，可以安定的形成記憶格部 A 的膜厚，作為 TiN 膜 1 5 3 的膜厚。因此，如實施例 7，不必要以時間控制鎢膜的厚度而作調整。此結果，可以安定處理過程。

然而，之後的過程，因與實施形態 7 同樣，所以省略說明。

< 實施例 9 >

第 4 4 圖～第 4 8 圖係為過程順序表示含有本發明其他實施例的 DRAM 之半導體積體電路裝置的製造方法之斷面圖。

首先，與至實施例 7 的第 2 8 圖為止的過程同樣地，形成 BPSG 膜 1 1 8，將其表面平坦化。不過，在本實施例 9，如第 4 4 圖所示，形成為比實施例 7 的 BPSG 膜 1 1 8 還厚(字元線 BL 與配線導體 M 1 的差分以上)。

其次，如第 4 5 圖所示，與實施例 7 同樣地形成以多結晶矽膜所形成的插栓 1 2 0。

其次，如第 4 6 圖所示，形成至少披覆被形成在基板 1 0 1 主面的第 1 部分之記憶格部 A (在圖中，披覆記憶格

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明 (43)

部 A 與境界領域 D 的一部分)之光學抗蝕劑 1 5 6 , 以此膜作為遮罩, 由於乾式蝕刻周邊電路部 B 的 B P S G 膜 1 1 8 而進行異方性蝕刻。此 B P S G 膜 1 1 8 的蝕刻深度, 係為相當於位元線導體 B L 與配線導體 1 3 0 A ~ E 的膜厚差之尺寸。此樣, 由於以境界領域 D 作為境界而形成光學抗蝕劑膜 1 5 6 , 所以加大遮罩的定位範圍, 可以容易進行光學平版印刷過程。

其次, 如第 4 7 圖所示, 與實施例 7 同樣地, 堆積氧化矽膜 1 1 9 、 T i N 膜 1 4 5 及 W 膜 1 4 6 ; 進而, 如第 4 8 圖所示將 W 膜 1 4 6 的表面平坦化。對平坦化可以使用 C M P 法。

此後, 將 W 膜 1 4 6 及 T i N 膜 1 4 5 圖案處理而形成位元線導體 B L 及配線導體 1 3 0 A ~ E , 但是由於與實施例 7 同樣, 所以省略說明。

在本實施例 9 , 由於將 W 膜 1 4 6 及 T i N 膜 1 4 5 圖案處理之前, W 膜 1 4 6 的表面被平坦化, 所以可以高精度地進行 W 膜 1 4 6 及 T i N 膜 1 4 5 的圖案處理。即是在圖案之際的光學平版印刷的焦點, 係為不必要基準地進行具有凸凹形狀的基板, 就可以基準地對焦良好的平坦面。此結果, 可以安定光學平版印刷過程。

< 實施例 1 0 >

第 4 9 ~ 5 1 圖係為依過程順序表示含有本發明另外實施例的 D R A M 之半導體積體電路裝置的製造方法之斷

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (44)

面圖。

如第 4 9 圖所示，與實施例 9 的第 4 6 圖之圖示同樣地，形成光學抗蝕劑膜 1 5 6。其後，蝕刻 B P S G 膜 1 1 8，但在本實施例 1 0，不是用乾式蝕刻而是用濕式蝕刻。濕式蝕刻由於是等方性蝕刻，所以段差部 1 5 7 被圖化。然而，深刻的深度，係為與實施例 9 同樣地，相當於位元線導體 B L 與配線導體 1 3 0 A ~ E 的膜厚差之尺寸。

其次，如第 5 0 圖所示，堆積氧化矽膜 1 1 9、T i N 膜 1 4 5 及 W 膜 1 4 6；進而如第 5 1 圖所示，第 W 膜 1 4 6 的表面平坦化。可以用 C M P 法使其平坦化。

此後，將 W 膜 1 4 6 及 T i N 膜 1 4 5 圖案，形成位元線導體 B L 及配線導體 1 3 0 A ~ E，但由於與實施例 7 同樣，所以省略說明。

依據本實施例 1 0，與實施例 9 同樣地，加上從 W 膜 1 4 6 的表面被平坦化所得到的優點，由於段差部 1 5 7 圖化，所以提高氧化矽膜 1 1 9，T i N 膜 1 4 5 及 W 膜 1 4 6 的段差披覆性，且可以增加過程的領域而使其安定。即是在段差部的氧化矽膜 1 1 9、T i N 膜 1 4 5 或是 T i N 膜 1 4 6 不致有形成空隙之疑慮，提高配線導體的信賴性。

< 實施例 1 1 >

第 5 2 ~ 5 8 圖係為以過程順序表示含有本發明其他

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (45)

實施例的 D R A M 的半導體積體電路裝置的製造方法之斷面圖。

首先，與實施例 10 之第 49 圖的過程同樣地，濕式蝕刻 B P S G 膜 118。然而，蝕刻的深度，係為與實施例 10 同樣地，相當於位元線導體 B L 與配線導體 130 A ~ E 的膜厚差之尺寸。

其次，如第 53 圖所示，依順堆積氮化矽膜 159 及氧化矽膜 160，如第 54 圖所示，將氧化矽膜 160 的表面平坦化。

其次，如第 55 圖所示，在形成位元線導體 B L 及配線導體 130 A ~ E 之領域形成具有開口的光學抗蝕劑膜 161，如第 56 圖所示，以光學抗蝕劑 161 作為遮罩，蝕刻氧化矽膜 160 及氮化矽膜 159。在此蝕刻之際，首先在易於蝕刻氧化矽，不易蝕刻氮化矽膜條件下，蝕刻氧化矽膜 160。在此樣的條件，由於不被蝕刻氮化矽膜 159，所以氧化矽膜 160 的膜厚就是如圖示般相異也能進行十分的過度蝕刻，就是存在沿著氮化矽膜 159 的形狀，即是存在記憶格部 A 與周邊電路部 B 的段差，也可以在於記憶格部 A 或是周邊電路部 B 以光學抗蝕劑 161 的圖案，蝕刻氧化矽膜 160。氧化矽膜 160 被蝕刻後，蝕刻所漏出的氮化矽膜 159。此情況係為以易於蝕刻氮化矽的條件下蝕刻。以此樣的條件也蝕刻氧化矽膜，但由於十分薄的設定氮化矽膜 159 的膜厚，所以可以減小過度蝕刻的影響。

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明 (46)

其次，如 5 7 圖所示，堆積鎢膜 1 6 2。其後，以 C M P 法將鎢膜 1 6 2 平坦化同時蝕刻，如第 5 8 圖所示，在被形成在氮化矽膜 1 6 0 及氮化矽膜 1 5 9 的溝內埋入鎢膜 1 6 2 後形成位元線導體 B L 及配線導體 1 3 0 A ~ E。

此後的過程，由於與實施例 7 同樣，所以省略說明。

依據本實施例 1 1，可以用所謂的刻紋法形成位元線導體 B L 及配線導體 1 3 0 A ~ E；且形成為能微細地加工微細圖案為困難的鎢等的金屬膜。另外，在實施例 7 等所得到的優點，當然在本實施例 1 1 也能得到。

然而，插入至 1 被形成在氧化矽膜 1 6 0 及氮化矽膜 1 5 9 的溝內之金屬並不限於鎢(W)。也能用銅、白金、金等高導電率的材料。

< 實施例 1 2 >

第 5 9 ~ 6 6 圖係為以過程順序表示含有本發明其他實施例的 D R A M 的半導體積體電路裝置的製造方法之斷面圖。

首先，與至實施例 7 之第 2 9 圖為止的過程同樣地，形成插栓 1 2 0；其後，如第 5 9 圖所示，以光學抗蝕劑膜作為遮罩而將連接孔 1 2 3 ~ 1 3 0 開口。進而與實施例 7 同樣地，形成鈦矽化物層 1 1 6 後，依順堆積氮化矽膜及鎢膜；由於蝕刻此鎢膜及氮化鈦膜，而在連接孔 1 2 3 ~ 1 3 0 內形成以氮化鈦及鎢所形成的插栓 1 5 8

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (47)

。

其次，如第 6 0 圖所示，依順堆積鎢膜 1 6 3 及氧化矽膜 1 6 4 後，如第 6 1 圖所示，以光學抗蝕劑膜 1 6 5 作為遮罩，蝕刻氧化矽膜 1 6 4。此時，光學抗蝕劑膜 1 6 5 端緣係為周邊電路部 B 內的共用 M I S F E T Q s h r 上。即是光學抗蝕劑膜 1 6 5 至少披覆被形成在基板主面的第 1 部分之記憶格部 A (在圖中，披覆記憶格部 A 及境界領域 D 及周邊電路部 B 的一部分)。然而，共用 M I S F E T Q s h r，由於如第 2 2 圖所示交互地使其錯開而被形成，所以光學抗蝕劑膜 1 6 5 端緣的圖案也配合共用 M I S F E T Q s h r 而形成之 Z 形。在第 2 2 圖以 " I I " 表示境界線。

其次，如第 6 2 圖所示，堆積鎢膜 1 6 6，如第 6 3 圖所示，將鎢膜 1 6 6 的表面平坦化。平坦化例如以 C M P 進行，也若平削除氧化矽膜 1 6 4，而使其在氧化矽膜 1 6 4 上不殘留鎢膜 1 6 6。

其次，在除去鎢膜 1 6 3、1 6 6 之領域，如第 6 4 圖所示形成具有開口的光學抗蝕劑膜 1 6 7。

其次，如第 6 5 圖所示，以光學抗蝕劑膜 1 6 7 作為遮罩，蝕刻氧化矽膜 1 6 4；其後，如第 6 6 圖所示，以光學抗蝕劑膜 1 6 7 作為遮罩，蝕刻鎢膜 1 6 3、1 6 4。由於此因，形成位元線導體 B L 及配線導體 1 3 0 A ~ E。之後的過程，由於與實施例 7 同樣，所以省略說明。

依據本實施例 1 2，加上在實施例 7 所說明過的效果

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (48)

，由於以錫膜 1 6 3 構成位元線導體 B L，所以可以提高其膜厚的控制性。即是在本實施例 1 2，不用錫膜的蝕刻等所形成薄膜化之手段，只堆積錫膜 1 6 3 而形成作為膜厚的較薄領域之位元線導體 B L。薄膜的堆積一般控制性較高，所以提高位元線導體 B L 之膜厚的均一性而可以提高 D R A M 的性能。感度增幅器的精度，由於大大地依存於挾隔該感度增幅器之位元線導體間的平衡，所以將位元線導體的膜厚均一化；提高其寄生容量及電阻值的均一性，係為可以提高感度增幅器的感度且提高 D R A M 的性能。

然而，在錫膜 1 6 3、1 6 4 的蝕刻時，由於在記憶格部的錫膜變薄，所以如圖示在記憶格部 A 產生過度蝕刻。但是預先加厚 B P S G 膜 1 1 8 的膜厚而可以避免此問題。

另外，在本實施例 1 3，因將光學抗蝕劑膜 1 6 5 的境界作為共用 M I S F E T Q s h r 之上，所以就是在變化錫膜 1 6 3、1 6 6 的膜厚之位置(第 6 5 圖的 G 部)產生圖案不良，也能除去此樣的圖案不良部，所以不致有顯著的前述問題之疑慮。

< 實施例 1 3 >

第 6 7 ~ 6 9 圖係為以過程順序表示含有本發明其他實施例的 D R A M 之半導體積體電路裝置的製造方法之斷面圖。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (49)

首先，與實施例 1 2 之第 5 9 圖的過程同樣地，形成連接孔 1 2 3 ~ 1 3 0、鈦矽化物層 1 1 6，在連接孔 1 2 3 ~ 1 3 0 內形成鎢插栓 1 5 8。

其後，堆積鋁膜 1 6 8 後，如第 6 7 圖所示，以光學抗蝕劑膜 1 6 7 作為遮罩，將鎢膜 1 6 8 圖案處理。鎢膜 1 6 8 的膜厚使其形成為與位元線導體 B L 的膜厚相同。

其次，如第 6 8 圖所示，形成氧化矽膜 1 6 9，而使其至少披覆被形成在基板 1 0 1 主面的第 1 部分之記憶格部 A 的鎢膜 1 6 8 (在圖中，使其披覆記憶格部 A 與境界領域 D 的一部分)。氧化矽膜 1 6 9 係為堆積至半導體基板 1 0 1 的全面之氧化矽，以圖案處理而形成。

其次，如第 6 9 圖所示，在以鎢膜的選擇 C V D 法而漏出的鎢膜 1 6 8 之表面選擇性的堆積鎢膜 1 7 0。由於此因，形成以鎢膜 1 6 8 及選擇 C V D 法所形成的鎢膜 1 7 0 所形成的配線導體 1 3 0 A ~ E。然而，位元線導體 B L 係為以鎢膜 1 6 8 而被形成。此後的過程，由於與實施例 7 同樣，所以省略說明。

依據實施例 1 3，由於用選擇 C V D 法將周邊電路部 B 的配線導體厚膜化，所以可以將過程簡單化。

以上，根據發明的實施形態，具體的說明本發明者所提示的發明，但本發明並不限於前述實施形態，當然，在不脫離其要點的範圍下，種種變更皆為可能。

例如，在前述實施例，在構成位元線導體及第 1 準位配線導體 M 1 之導電膜使用 W 膜，但用其他的導電膜(例如

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(50)

，鋁合金膜、銅膜等)亦可。

另外，在實施例 7 ~ 10，配線導體 130A ~ E 與半導體基板 101 的連接係為表示不用插栓而以構成配線導體之氮化鈦膜及鎢膜直接被連接之例，但與實施例 11 ~ 13 同樣地，使用以氮化鈦膜作為蔽障之鎢插栓亦可。

另外，連接配線導體 130A ~ E 與半導體基板 101 之插栓並不限於以氮化鈦膜作為蔽障之鎢插栓，以氮化鈦膜或是濺射鎢膜作為接著層之布羶 CVD 法所形成的鎢亦可。

另外，在上述實施例，位元線導體 BL 與半導體基板 101 的連接係為表示以多結晶矽膜所形成的插栓之例，但如第 70 圖所示，以構成位元線 BL 之氮化鈦膜及鎢膜直接被連接亦可。另外，以氮化鈦膜作為障蔽之鎢插栓、或是以氮化鈦膜或濺射鎢膜作為接著層之布羶 CVD 法所形成的鎢插栓亦可。

另外，在本實施例，表示資訊儲存用容量元件 C 的儲存電極(下部電極)，介由以多結晶矽膜所形成的插栓而與半導體基板 101 連接之例，但如第 71 圖所示不介由插栓，而以構成下部電極之多結晶矽的一部分，直接被連接至半導體基板 101 亦可。

從上述過之實施例能明白，針對於位元線導體與在周邊電路部的第 1 準位配線導體 M1 被形成為同一準位之半導體積體電路裝置，可以減低位元線導體的寄生容量，同時減低周邊電路部的配線導體阻抗。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (51)

另外，可以同一過程形成寄生容量較低的位元線導體及周邊電路部的低阻抗之配線導體。

以選擇性的連接記憶格部與周邊電路部的感度增幅器之 M I S F E T 上為境界而位元線導體與配線導體的膜厚相異時，位元線導體及配線導體的圖案處理時，恐會有在膜厚的相異部分降下圖案處理精度之疑慮，但在前述 M I S F E T 上，為了以蝕刻除去構成位元線導體及配線導體之導電膜，所以具有前述圖案處理精度降下不顯著之優點。另外，以周邊電路部與記憶格部的境界領域為境界，而位元線導體與配線導體的膜厚為相異時，不必要提高在位元線導體及配線導體的圖案處理時所用的遮罩定位精度。因此，加大加工領域而可以減低過程的負荷。

前述的配線導體對於第 1 導電膜與第 1 導電膜而與具有蝕刻選擇比之第 2 導電膜的積層膜所形成；位元線以第 1 導電膜所形成亦可。

依據此樣的半導體積體電路裝置，導電膜的薄膜化時，能使其將第 1 導電膜作為第 2 導電膜的蝕刻制動的功能。此結果，可以使其容易將導電膜的薄膜化而增加過程的加工領域。

然而，可以例示含有氮化鈦膜之單層膜或是積層膜，作為第 1 導電膜；可以例示鎢膜，作為第 2 導電膜。

可以將前述的位元線導體設為鎢膜；將前述的配線導體設為鎢膜及被形成在鎢膜表面的鎢選擇 C V D 成長膜。

依據此樣的半導體積體電路裝置，能以鎢的選擇

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(52)

C V D 成長而容易地加大配線導體部分之鎢的膜厚及寬幅，且可以減低配線導體之阻抗值。

在連接位元線導體與半導體基板之連接孔，被形成有以多結晶矽或是金屬所形成的插栓亦可。另外，在連接構成記憶格的 M I S F E T 及資訊儲存用容量元件之連接孔，被形成有以多結晶矽所形成的插栓亦可，在連接孔未被形成有插栓，資訊儲存用容量元件的下部電極連接被連接至半導體基板的表面亦可。

依據上述實施例 1 及 7，爲了將位於記憶格部之導電膜以蝕刻而薄膜化，所以可以使加工位於記憶格部的導電膜而被形成之位元線導體的膜厚，比加工位於周邊電路部的導電膜而被形成之配線導體的膜厚還小。即是可以在於同一過程形成以同一準位的導電膜而被構成的較薄位元線導體及在周邊電路部的較厚配線導體。

然而，將前述導電膜，設爲依氮化鈦膜、鎢膜的順序堆積在絕緣膜上之積層膜，由於以不易蝕刻氮化鈦膜的條件下進行前述導電膜之鎢膜的蝕刻，因而可以因除去位於記憶格部之鎢膜而薄膜化。在此情況，就在蝕刻鎢膜時進行過度蝕刻也不致造成過度蝕刻氮化鈦，而可以安定地進行導電膜的薄膜化。

依據上述實施例 2，3，9，10，11，在蝕刻周邊電路部的絕緣膜後堆積導電膜，爲了將此膜平坦化，所以可以使加工位於記憶格部的導電膜而被形成之位元線導體的膜厚，比加工位周邊電路部而被形成之位元線導體的

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (53)

膜厚還小。即是可以在於同一過程形成以同一準位的導電位而被構成的較薄位元線導體及在周邊電路部的較厚配線導體。

另外，由於將位元線導體及配線導體圖案處理前的導電膜被平坦化，所以高精度地作成將位元線導體及配線導體圖案處理時的光學抗蝕劑遮罩，即是可以抑制產生存在光學抗蝕劑遮罩的下層段差所形成的焦點偏移等。

然而 1，絕緣膜的回蝕刻，可以以乾式蝕刻或是濕式蝕刻法進行。在濕式蝕刻法時，緩和導電膜的膜厚相異之領域的段差，而在於其後的導電膜平坦化過程，或是位元線導體及配線導體圖案處理過程，增加處理領域，且可以將過程安定化。

依據上述實施例 4，使位於記憶格部的第 2 絕緣膜厚度與位元線導體厚度幾乎相等，另外使位於周邊電路部的第 2 絕緣膜厚度與周邊電路部的配線導體厚度幾乎相等，而加工上述第 2 絕緣膜；蝕刻第 2 絕緣膜，形成溝槽後，在半導體基板上堆積導電膜；由於加工此導電膜而在上述溝槽內形成位元線導體及在周邊電路部的配線導體，所以使位元線導體與配線導體的膜厚相異，即是能薄化位元線導體的膜厚，且厚化配線導體的膜厚；可以在於同一過程形成以同一準位的導電材料而被構成的較薄位元線導體及在周邊電路部的較厚配線導體。

此時，以被形成在記憶格部之光學抗蝕劑作為遮罩，可以以乾式蝕刻法或是濕式蝕刻法回蝕刻位於周邊電路部

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明 (54)

的第 1 絕緣膜，而使位於記憶格部的第 1 絕緣膜頂面與位於周邊電路部的第 1 絕緣膜頂面之差，與位元線導體厚度與周邊電路部的配線導體厚度之差幾乎相等。

依據上述實施例 5，6，12，可以在於同一過程形成以同一準位的導電膜而被構成的較薄位元線導體及在周邊電路部的較厚配線導體。

然而，被配置在鄰接於記憶格部的周邊電路部之領域(境界領域)的位元線導體，係為以第 1 導電膜與第 2 導電膜的積層膜而被構成亦可。

另外，針對上述過半導體積體電路裝置之製造方法，形成在記憶格部或是周邊電路部之光學抗蝕劑的端緣，係為可以形成在選擇性的連接周邊電路部與記憶格部的 M I S F E T 的上部、或是周邊電路部與記憶格部的境界領域。以選擇性的連接記憶格部與周邊電路部的感度增幅器之 M I S F E T 為境界在位元線導體與配線導體的膜厚相等，恐會有在位元線導體及配線導體圖案處理之際降下在此樣膜厚相異部分的圖案處理精度之疑慮，但為了以蝕刻除去在前述 M I S F E T 上構成位元線導體及配線導體之導電膜，所以具有前述圖案處理精度的降下不顯著之優點。另外，以周邊電路部與記憶格部的境界領域為境界，而位元線導體與配線導體的膜厚相異時，不必要提高為了形成前述光抗蝕劑膜之曝光遮罩的定位精度。因此，可以加工領域而減低過程的負荷。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (55)

[圖面之簡單說明]

第 1 ~ 4 圖係為表示含有本發明一實施例的 D R A M 之半導體積體電路裝置的製造方法之半導體基板的主要部斷面圖。

第 5 ~ 8 圖係為表示含有其他實施例的 D R A M 之半導體積體電路裝置的製造方法之半導體基板的主要部斷面圖。

第 9 圖係為表示含有本發明其他實施例的 D R A M 之半導體積體電路的 D R A M 之半導體積體電路裝置的製造方法之半導體基板的主要部斷面圖。

第 10 ~ 13 圖係為表示含有本發明其他實施例的 D R A M 之半導體積體電路裝置的製造方法之半導體基板的主要部斷面圖。

第 14 ~ 17 圖係為表示含有本發明其他實施例的 D R A M 之半導體積體電路裝置的製造方法之半導體基板的主要部斷面圖。

第 18 圖係為表示含有本發明其他實施例的 D R A M 之半導體積體電路裝置的製造方法之半導體基板的主要部斷面圖。

第 19 圖係為形成含有本發明其他實施例的 D R A M 之半導體積體電路裝置之半導體晶片的全體平面圖。

第 20 圖係為表示第 19 圖的一部分之平面圖。

第 21 圖係為本發明其他實施例之半導體積體電路裝置的主要部斷面圖；表示 D R A M 的記憶格陣列與鄰接於該

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (56)

陣列的周邊電路之各一部分。

第 2 2 圖係表示構成第 2 1 圖所示 D R A M 的記憶格之導電層與構成周邊電路的 M I S F E T 之導電層等的各圖案之平面圖。

第 2 3 圖係為第 2 1 圖之 D R A M 的記憶體陣列與鄰接於該陣列的周邊電路等之各一部分的電路圖。

第 2 4 ~ 4 1 圖係為依過程順序表示第 2 1 圖所示裝置之製造方法的斷面圖。

第 4 2 ~ 4 3 圖係為依過程順序表示含有本發明其他實施例的 D R A M 之半導體積體電路裝置的製造方法的斷面圖。

第 4 4 ~ 4 8 圖係為依過程順序表示含有本發明其他實施例的 D R A M 之半導體積體電路裝置的製造方法的斷面圖。

第 4 9 ~ 5 1 圖係為依過程順序表示含有本發明其他實施例的 D R A M 之半導體積體電路裝置的製造方法的斷面圖。

第 5 2 ~ 5 8 圖係為依過程順序表示含有本發明其他實施例的 D R A M 之半導體積體電路裝置的製造方法的斷面圖。

第 5 9 ~ 6 6 圖係為依過程順序表示含有本發明其他實施例的 D R A M 之半導體積體電路裝置的製造方法的斷面圖。

第 6 7 ~ 6 9 圖係為依過程順序表示含有本發明其他

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (57)

實施例的 D R A M 之半導體積體電路裝置的製造方法的斷面圖。

第 7 0 圖係為表示含有本發明實施例的 D R A M 之半導體積體電路裝置的斷面圖。

第 7 1 圖係為表示含有本發明實施例的 D R A M 之半導體積體電路裝置的斷面圖。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

四、中文發明摘要(發明之名稱：半導體積體電路裝置及其製造方法)

本發明半導體積體電路係具備含有被形成在半導體基板主面的第1部分之記憶格部、及被形成半導體基板主面的第2部分之周邊電路部的DRAM；爲了在記憶格部與周邊電路部之間收發訊號而相互地連接兩者之位元線導體及在周邊電路部之第1準位配線導體，係爲同時地被形成且以相同準位之導電層而被構成。此導電層，係爲被含在記憶格部的外側位置(例如被含在周邊電路部)，將形成選擇性連接記憶格部與周邊電路之電晶體的位置上方的位置作爲境界，或是將記憶格部與周邊電路部之間的境界領域內的位置作爲境界，構成周邊電路部的第1準位配線導體之部分的厚度，比構成位元線導體之部分的厚度還大。

英文發明摘要(發明之名稱：)

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

06398

六、申請專利範圍

1. 一種半導體積體電路裝置，係為具有持有主面之半導體基板，及含有被形成在該半導體基板主面之第 1 部分的複數個記憶格之記憶格部、及含有被形成在前述半導體基板主面第 2 部分的複數個電路元件及導電連接至該電路元件的配線導體之周邊電路部、為了在被形成在前述半導體基板主面上方的前述記憶格與前述周邊電路部的電路元件之間收發資訊，所以使其相互連接前述記憶格與前述周邊電路部的電路元件，而在於前述半導體基板主面上方延伸存在之複數個位元線導體等；

前述周邊電路部的配線導體，含有與前述位元線導體實質上同一準位且同一材料所形成之導電膜；

前述位元線導體的膜厚，係為全體上比前述配線導體的膜厚還小。

2. 如申請專利範圍第 1 項之半導體積體電路裝置，其中進而具有被形成在前述半導體基板主面上方之絕緣膜；前述位元線導體及前述配線導體，係為被形成在該絕緣膜之上。

3. 如申請專利範圍第 2 項之半導體積體電路裝置，其中前述絕緣膜的表面，實質上為平坦。

4. 如申請專利範圍第 2 項之半導體積體電路裝置，其中前述絕緣膜的表面，係為在於前述半導體基板主面的第 1 部分與第 2 部分之間的上方持有階段狀的段差。

5. 如申請專利範圍第 2 項之半導體積體電路裝置，其中前述絕緣膜的表面，係為在於前述半導體基板主面的

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

06398

六、申請專利範圍

1. 一種半導體積體電路裝置，係為具有持有主面之半導體基板，及含有被形成在該半導體基板主面之第 1 部分的複數個記憶格之記憶格部、及含有被形成在前述半導體基板主面第 2 部分的複數個電路元件及導電連接至該電路元件的配線導體之周邊電路部、為了在被形成在前述半導體基板主面上方的前述記憶格與前述周邊電路部的電路元件之間收發資訊，所以使其相互連接前述記憶格與前述周邊電路部的電路元件，而在於前述半導體基板主面上方延伸存在之複數個位元線導體等；

前述周邊電路部的配線導體，含有與前述位元線導體實質上同一準位且同一材料所形成之導電膜；

前述位元線導體的膜厚，係為全體上比前述配線導體的膜厚還小。

2. 如申請專利範圍第 1 項之半導體積體電路裝置，其中進而具有被形成在前述半導體基板主面上方之絕緣膜；前述位元線導體及前述配線導體，係為被形成在該絕緣膜之上。

3. 如申請專利範圍第 2 項之半導體積體電路裝置，其中前述絕緣膜的表面，實質上為平坦。

4. 如申請專利範圍第 2 項之半導體積體電路裝置，其中前述絕緣膜的表面，係為在於前述半導體基板主面的第 1 部分與第 2 部分之間的上方持有階段狀的段差。

5. 如申請專利範圍第 2 項之半導體積體電路裝置，其中前述絕緣膜的表面，係為在於前述半導體基板主面的

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

第 1 部分與第 2 部分之間的上方持有斜面狀的段差。

6．如申請專利範圍第 1，2，3，4 或 5 項的任何一項之半導體積體電路裝置，其中前述周邊電路部，係為為了選擇性的導電連接周邊電路部與前述記憶格部，而含有被設置在對向於前述格陣列部之周邊電路部的部分之開關電路；前述較小膜厚的位元線導體從前述記憶格部至前述開關電路的上方位置為止延伸而終端；前述較大厚度的導電膜在於前述開關電路的上方位置與前述位元線導體分離而被設置且使其連接至前述周邊電路部的電路元件而延伸前述半導體基板主面的第 2 部分上方而存在。

7．如申請專利範圍第 1，2，3，4 或 5 項的任何一項之半導體基板電路裝置，其中前述較小膜厚的位元線導體，係為至前述半導體基板主面的第 1 部分與第 2 部分之間的上方第 1 位置為止延伸存在；前述較大厚度的導電膜係為在於前述半導體基板主面的第 1 部分與第 2 部分之間的第 2 位置與前述位元線導體分離而設置且使其被連接至前述周邊電路部的電路元件而延伸前述半導體基板主面的上方而存在。

8．如申請專利範圍第 1，2，3，4，或 5 項的任何一項之半導體積體電路裝置，其中在前述周邊電路部之配線導體的導電膜，形成為第 1 導電層與對於該第 1 導電層持有選擇比之第 2 導電層之積層構造；前述位元線導體係為與前述第 1 導電層同一的材料。

9．如申請專利範圍第 8 項之半導體積體電路裝置，

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

凍

六、申請專利範圍

其中前述第 1 導電層係為含有氮化鈦膜之單層或是積層；
前述第 2 導電層係為錫層。

10. 如申請專利範圍第 8 項之半導體積體電路裝置，
其中前述位元線導體及前述導電膜的第 1 導電層，係為
錫、銅或是鋁合金形成。

11. 如申請專利範圍第 1 項之半導體積體電路裝置，
其中在前述周邊電路部之配線導體的導電膜，係為第 1
導電膜與被形成該膜上的第 2 導電膜之積層膜；前述位元
線導體，係為用與前述第 1 導電膜相同材料形成且相同膜
厚的第 3 導電膜、及用與前述第 2 導電膜相同材料形成且
比第 2 導電膜還小膜厚的第 4 導電膜之積層膜。

12. 如申請專利範圍第 1，2，3，4 或 5 項的任
何項之半導體積體電路裝置，其中前述位元線導體含有錫
膜；在前述周邊電路部之配線導體的導電膜，係為被形成
在錫膜及其錫膜之上的其他導電膜。

13. 如申請專利範圍第 1 項之半導體積體電路裝置，
其中前述位元線導體，係為介由被插入有以多結晶矽或
是金屬所形成的插栓之連接孔而導電連接至前述半導體基
板。

14. 如申請專利範圍第 1，2，3，4 或 5 項的任
何項之半導體積體電路裝置，其中前述位元線導體，係為
介由被充填有位元線導體的一部分之連接孔而導電連接至
前述半導體基板。

15. 如申請專利範圍第 1，2，3，4，5，11

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

或 1 3 項的任何項之半導體積體電路裝置，其中前述記憶格的各個，係為具備持有被形成在前述半導體基板主面的第 1 部分內之擴散層之格選擇用 M I S F E T、及被形成在前述半導體基板主面的第 1 部分上方之資訊儲存用容量元件；前述資訊儲存用容量元件，係為介由被介入有以多結晶矽所形成的插栓之連接孔，而導電連接至前述格選擇用 M I S F E T 的擴散層。

1 6 . 如申請專利範圍第 1 , 2 , 3 , 4 , 5 , 1 1 或 1 3 項的任何項之半導體積體電路裝置，其中前述記憶格的各個，係為具備持有被形成在前述半導體基板主面的第 1 部分內的擴散層之格選擇用 M I S F E T、及被形成在前述半導體基板主面的第 1 部分的上方之資訊儲存用容量元件；前述資訊儲存用容量元件，係為介由被插入有與其資訊儲存用容量元件的電極同一材料之連接孔，而導電連接至前述選擇用 M I S F E T 的擴散層。

1 7 . 一種半導體積體電路裝置之製造方法，係為具有：

(a) 準備備有主面的半導體基板之過程，及

(b) 在前述半導體基板主面的第 1 部分形成記憶格部的電路元件，且在前述半導體基板主面的第 2 部分形成周邊電路部的電路元件之過程，及

(c) 形成備有披覆前述記憶格部及周邊電路部的電路元件及前述半導體基板之主面的平坦表面的絕緣膜之過程及

(d) 形成貫通前述絕緣膜且達到前述半導體基板主面的連接孔之過程、及

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

(e)在前述絕緣膜之上，使其介由前述連接孔而導電連接至前述記憶格部及周邊電路部的電路元件，而形成導電膜之過程、及

(f)薄化位於前述半導體基板主面的最少第1部分上方之前述導電膜的部分，由於此因，使其在該導電膜所薄化過的部分與殘留的部分之境界製作階段之過程、及

(g)使其薄化前述導電膜之部分構成位元線，且殘留的部分構成前述周邊電路部的配線導體，而加工前述導電膜之過程。

18. 如申請專利範圍第17項的半導體積體電路裝置之製造方法，其中前述導電膜係為被形成在前述絕緣膜上之氮化鈦膜與被形成在該氮化鈦層上之鎢層的積層膜；前述過程(f)係為含有將位於前述半導體基板的最少第1部分上方之前述鎢層薄膜化。

19. 如申請專利範圍第17項的半導體積體電路裝置之製造方法，其中前述導電膜係被形成在前述絕緣膜上之氮化鈦層，及被形成在該氮化鈦層上之鎢層的積層膜；前述過程(f)含有在不易蝕刻前述氮化鈦層的條件下除去位於前述半導體基板主面的至少第1部分上方之前述鎢層的部分。

20. 一種半導體積體電路裝置之製造方法，係為具有：

(a)準備備有主面的半導體基板之過程、及

(b)在前述半導體基板主面的第1部分形成記憶格部的

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

電路元件，且在前述半導體基板主面的第2部分形成周邊電路部的電路元件之過程、及

(c)形成具備披覆前述記憶格部及周邊電路部的電路元件及前述半導體基板的主面之平坦表面的絕緣膜之過程、及

(d)薄化位於前述絕緣膜的前述半導體基板的主面之第2部分上方的部分，由於此因使其在該絕緣膜的薄化過的部分與殘留的部分之境界製作段差，而蝕刻前述絕緣膜之過程、及

(e)形成貫通前述絕緣膜且到達前述半導體基板主面的連接孔之過程、及

(f)在前述絕緣膜之上，使其介由前述連接孔而導電連接至前述記憶格部及周邊電路部的電路元件，而形成導電膜之過程、及

(g)由於使前述導電膜的表面平坦，而在前述半導體基板主面的第1部分上方形成較小膜厚的導體部分，另外在前述半導體基板主面的第2部分上方形成較大膜厚的導體膜部分之過程、及

(h)使其前述較小膜厚的導體膜部分構成位元線，且前述較大膜厚的導體部分構成前述周邊電路部的配線導體，而加工前述導體膜之過程等。

21. 如申請專利範圍第20項的半導體積體電路裝置之製造方法，其中前述過程(d)，含有以乾式蝕刻而回蝕刻前述絕緣膜。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

22. 如申請專利範圍第20項的半導體積體電路裝置之製造方法，其中前述過程(d)，含有以濕式蝕刻而回蝕刻前述絕緣膜。

23. 一種半導體積體電路裝置之製造方法，係為具有：

(a) 準備備有主面的半導體基板之過程、及

(b) 在前述半導體基板主面的第1部分形成記憶格部的電路元件，且在前述半導體基板主面的第2部分形成周邊電路部的電路元件之過程、及

(c) 形成披覆前述記憶格部及周邊電路部的電路元件及前述半導體基板主面的第1絕緣膜之過程、及

(d) 形成貫通前述絕緣膜且到達前述半導體基板上面的連接孔之過程、及

(e) 在前述第1絕緣膜上形成第2絕緣膜之過程、及

(f) 使位於前述第2絕緣膜的前述半導體基板的主面的至少第1部分之上方的部分持有第1厚度，另外使位於前述第2絕緣膜的前述半導體基板的主面的第2部分之上方的部分持有比第1厚度還大的第2厚度，而加工前述第2絕緣膜之過程、及

(g) 從前述所加工的第2絕緣膜除去持有前述第1厚度及第2厚度之部分，而形成相當於前述第1及第2厚度之深度的第1及第2溝槽部之過程、及

(h) 在持有前述第1及第2的溝槽部之第2絕緣膜上，使其介由前述連接孔而導電連接至前述記憶格部及周邊電

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

路部的電路元件，而形成導電膜之過程、及

(i)在前述半導體基板主面的第1部分上方，相互分離而被形成有作為位元線作用的較小膜厚之導電膜部分；另外在前述半導體基板主面的第2部分上方，相互分離而被形成有作為前述周邊電路部的配線導體作用的較大膜厚之導電膜部分，而加工前述導電膜之過程。

24. 如申請專利範圍第23項的半導體積體電路裝置之製造方法，其中在於前述過程(c)所被形成的第1絕緣膜，係為具備平坦表面之絕緣膜；

在於前述過程(f)所被加工的前述第2絕緣膜，係為預先決定位於前述第1絕緣膜的前述半導體基板主面的第2部分上方之部分的深度分；將被形成成其上的前述第2絕緣膜表面平坦化而得到的絕緣膜。

25. 一種半導體積體電路裝置之製造方法，係為具有：

(a)準備備有主面的半導體基板之過程、及

(b)在前述半導體基板主面的第1部形成記憶格部的電路元件，且在前述半導體基板主面的第2部形成周邊電路部的電路元件之過程、及

(c)形成具備披覆前述記憶格部及周邊電路部的電路元件及前述半導體基板主面之平坦表面的第1絕緣膜之過程、及

(d)形成貫通前述絕緣膜且到達前述半導體基板主面的連接孔之過程、及

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

(e)在前述第1絕緣膜上，使其介由前述連接孔而導電連接至前述記憶部及周邊電路部的電路元件，而形成第1導電膜，且在其第1導電膜之上形成第2絕緣膜之過程、及

(f)除去位於前述第2絕緣膜的前述半導體基板的主面之至少第2部分的上方之部分，且部分的漏出前述第1導電膜之過程、及

(g)在前述第2絕緣膜及前述所露出的第1導電膜之上形成第2導電膜過程、及

(h)使其形成爲預先決定位於前述第2導電膜的前述半導體基板主面的第2部分之上方的部分之厚度、及前述第2絕緣膜的前述半導體基板主面的第1部分之上方的部分之厚度，而將前述第2導電膜表面及前述第2絕緣膜表面平坦化之過程、及

(i)在前述半導體基板主面的至少第1部分之上方，使其被形成有作爲位元線作用的前述第1導電膜所形成的較小膜厚之導體膜部分；另外在前述半導體基板主面的第2部分之上方，使其被形成有作爲前述周邊電路部的配線導體作用的前述第1及第2導電膜所形成的較大膜厚之導電膜部分，而加工第1及第2導電膜之過程。

26. 如申請專利範圍第25項的半導體積體電路裝置之製造方法，其中對向於前述位元線的前述周邊電路部之部分，係爲使其以前述第1導體及第2導電膜所形成，而加工前述第1及第2導電膜。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

27. 如申請專利範圍第23, 24, 25或26項之任何項的半導體積體電路裝置之製造方法, 其中前述周邊電路部, 由於是選擇性地導電連接周邊電路部與前述記憶格部, 而含有被設在對向於前述格陣列部之周邊電路部的部分之開關電路; 在於前述步驟(f)所被除去的前述第2導電膜之部分, 係為由前述開關電路的上方位置至周邊電路部側。

28. 如申請專利範圍第23, 24, 25或26項之任何項的半導體積體電路裝置之製造方法, 其中在於前述步驟(f)所被除去的前述第2絕緣膜之部分, 係為由前述半導體基板主面的第1部分與第2部分之間之上方至周邊電路部側。

29. 如申請專利範圍第23, 24, 25或26項之任何項的半導體積體電路裝置之製造方法, 其中在貫通過程(d)所形成的前述第1絕緣膜且達到前述半導體基板主面的連接孔內, 形成填入導電膜。

30. 如申請專利範圍第17, 18, 19, 23, 24, 25或26項之任何項的半導體積體電路裝置之製造方法, 其中在貫穿過程(d)所形成的前述絕緣膜且到達前述半導體基板主面連接孔內, 形成填入導電膜。

31. 如申請專利範圍第20, 21或22項之任何項的半導體積體電路裝置之製造方法, 其中在貫穿過程(e)所形成的前述絕緣膜且到達前述半導體基板主面的連接孔內, 形成填入導電膜。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

凍

406398
六、申請專利範圍

3 2 . 一種半導體積體電路裝置之製造方法，係為具有：

(a)準備備有主面的半導體基板之過程、及

(b)在前述半導體基板主面的第1部形成記憶格部的電路元件，且在前述半導體基板主面的第2部形成周邊電路部的電路元件之過程、及

(c)形成具備披覆前述記憶格部及周邊電路部的電路元件及前述半導體基板主面之平坦表面的第1絕緣膜之過程、及

(d)形成貫通前述絕緣膜且到達前述半導體基板主面的連接孔之過程、及

(e)在前述第1絕緣膜上，使其介由前述連接孔而導電，連接至前述記憶部及周邊電路部的電路元件，而形成第1導電膜之過程、及

(f)形成披覆位於前述第1導電膜之前述基板主面的至少第1部分上方之部分的第2絕緣膜之過程、及

(g)在前述第1導電膜的第2絕緣膜未被披覆的部分上，形成第2導電膜過程、及

(h)在前述半導體基板主面的至少第1部分之上，使其被形成有作為位元線作用的前述第1導電膜所形成的較小膜厚之導體膜部分；另外在前述半導體基板主面的至少第2部分之上方，使其被形成有作為前述周邊電路部的配線導體作用的前述第1及第2導電膜所形成的較大膜厚之導體膜部分，而加工前述第1及第2導體膜之過程。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

3 3 . 一種半導體積體電路裝置，係為具有持有主面之半導體基板，及被形成該半導體基板主面的第 1 部分且含有記憶格之記憶部、及被形成在前述半導體基板主面的第 2 部分且含有複數個電路元件及導電連接至該電路元件的配線導體之周邊電路部、及由於被形成在前述半導體基板主面之上方且在前述記憶格與前述周邊電路部的電路元件之間收發資訊，所以使其相互地連接前述記憶格與前述周邊電路部的電路元件，而延伸至前述半導體基板主面之上方後存在之複個位元線導體；

前述周邊電路部的配線導體，係為與前述位元線導體實質上同一準位且以同一材料所形成的導電膜；

由於減低前述位元線導體間的容量且減低在前述周邊電路部之配線導體的阻抗，所以前述位元線導體的膜厚為與前述位元線導體實質上同一準位且比同一材料所形成的配線導體的膜厚還小。

3 4 . 如申請專利範圍第 2 0，2 1 或 2 2 項之任何項的半導體積體電路裝置之製造方法，其中前述周邊電路部，由於是選擇性地導電連接周邊電路部與前述記憶格部，而含有被設在對向於前述格陣列部之周邊電路部的部分之開關電路；在於前述步驟(d)所被除去的前述第 2 導電膜之部分，係為由前述開關電路的上方位置至周邊電路部側。

3 5 . 如申請專利範圍第 2 0，2 1 或 2 2 項之任何項的半導體積體電路裝置之製造方法，其中在於前述步驟

六、申請專利範圍

(d) 所被除去的前述第 2 絕緣膜之部分，係為由前述半導體基板主面的第 1 部分與第 2 部分之間的上方至周邊電路部側。

36. 一種半導體積體電路裝置之製造方法，係為具有：

(a) 準備備有主面的半導體基板之過程、及

(b) 在前述半導體基板主面的第 1 部形成記憶格部的 M I S F E T，且在前述半導體基板主面的第 2 部形成周邊電路部的 M I S F E T 之過程、及

(c) 在包含前述記憶格部的 M I S F E T 及周邊電路部的 M I S F E T 的上部之半導體基板的主面的上面形成第 1 絕緣膜之過程、及

(d) 將電氣性連接於前述記憶格部的 M I S F E T 的源極／汲極領域的一方之第 1 導電膜，及電氣性連接於前述周邊電路部的 M I S F E T 的源極／汲極領域的一方之第 2 導電膜形成於前述第 1 絕緣膜的內部之過程、及

(e) 將在前述 1 導電膜的上部具有第 1 開口部，且在前述 2 導電膜的上部具有第 2 開口部之第 2 絕緣膜形成於前述第 1 絕緣膜上之過程、及

(f) 在前述第 1 及第 2 開口部的內部，及第 2 絕緣膜的上面形成第 3 導體膜之過程，及

(g) 以能夠殘留於前述第 1 及第 2 開口部的內部之方式來去除位於前述第 2 絕緣膜的上面之第 3 導電膜，而於前述第 1 開口部的內部，經由前述第 1 導電膜來形成電氣性

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

406398

六、申請專利範圍

連接於前述記憶格部的 M I S F E T 的源極／汲極領域的一方之位元線導體，且於前述第 2 開口部的內部，經由前述第 2 導電膜來形成電氣性連接於前述周邊電路部的 M I S F E T 的源極／汲極領域的一方之配線導體之過程。

37. 如申請專利範圍第 36 項的半導體積體電路裝置之製造方法，其中在前述過程(c)中，前述第 1 絕緣膜係以前述第 1 部份的上部之第 1 絕緣膜的頂部要比前述第 2 部份的上部之第 2 絕緣膜的頂部來的高之方式而形成。

38. 如申請專利範圍第 36 項的半導體積體電路裝置之製造方法，其中在前述過程(g)中，去除前述第 3 導電膜的過程係藉由使形成於前述第 3 導電膜的上面的段差減少之平坦化處理法來形成。

39. 如申請專利範圍第 36 項的半導體積體電路裝置之製造方法，其中在前述過程(g)中，去除前述第 3 導電膜的過程係藉由回蝕刻或 C M P 法而形成。

40. 如申請專利範圍第 36 項的半導體積體電路裝置之製造方法，其中在前述過程(c)中更具有：在前述第 1 絕緣膜的上部覆蓋第 1 部份，且於第 2 部份形成具有開口部的光罩之過程，及針對根據前述光罩而露出的前述第 1 絕緣膜進行蝕刻之過程。

41. 如申請專利範圍第 40 項的半導體積體電路裝置之製造方法，其中在前述過程(c)中，蝕刻前述第 1 絕緣膜的過程係藉由乾蝕刻法而形成。

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

六、申請專利範圍

4 2 .如申請專利範圍第 4 0 項的半導體積體電路裝置之製造方法，其中在前述過程(c)中，蝕刻前述第 1 絕緣膜的過程係藉由溼蝕刻法而形成。

4 3 . 一種半導體積體電路裝置之製造方法，係屬於一種具有：複數的位元線導體，複數的字元線導體，及複數的記憶格，前述複數的記憶格分別具有：M I S F E T 及容量元件，且電氣性連接於一個位元線導體與一個字元線導體的半導體積體電路裝置之製作方法；其特徵係具有：

(a) 將前述 M I S F E T 的閘極電極與源極／汲極電極領域形成於半導體基板的主面之過程，及

(b) 在前述閘極電極的上部形成第 1 絕緣膜之過程，及

(c) 在前述第 1 絕緣膜的上部形成第 2 絕緣膜之過程，及

(d) 在前述第 2 絕緣膜的上部形成第 3 絕緣膜之過程，及

(e) 研磨前述第 3 絕緣膜的表面之過程，及

(f) 在前述第 2 及第 3 絕緣膜中形成複數的溝之過程，及

(g) 在前述複數溝的內部與第 3 絕緣膜的上部形成導電膜之過程，及

(h) 研磨前述導體膜的表面，形成前述複數的位元線導體之過程；

406398

六、申請專利範圍

前述一個位元線導體係電氣性連接於前述 M I S F E T 的源極／汲極領域的一方。

4 4 . 如申請專利範圍第 4 3 項的半導體積體電路裝置之製造方法，其中前述第 2 絕緣膜係由氮化矽膜所構成，前述第 3 絕緣膜係由氧化矽膜所構成。

4 5 . 如申請專利範圍第 4 3 項的半導體積體電路裝置之製造方法，其中在前述 (b) 過程與 (c) 過程之間具有：

(i) 在前述第 1 絕緣膜中形成露出前述 M I S F E T 的源極／汲極領域的一方的連接孔之過程、及

(j) 在前述連接孔的內部形成第 2 導電膜之工程；
前述第 2 導電膜係電氣性連接於一個前述位元線。

4 6 . 一種半導體積體電路裝置之製造方法，係屬於一種具有：複數的位元線導體，複數的字元線導體，及複數的記憶格，前述複數的記憶格分別具有：M I S F E T 及容量元件，且電氣性連接於位元線導體與字元線導體的半導體積體電路裝置之製造方法；其特徵係具有：

(a) 將前述 M I S F E T 的閘極電極與源極／汲極電極領域形成於半導體基板的主面之過程，及

(b) 在前述閘極電極的上部形成第 1 絕緣膜之過程，及

(c) 蝕刻前述第 1 絕緣膜，而形成露出前述 M I S F E T 的源極／汲極領域的一方的連接孔之過程，及

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

(d) 將第 1 導電膜形成於前述連接孔的內部之過程，及

(e) 將第 2 絕緣膜形成於前述第 1 絕緣膜的上部之過程，及

(f) 將包含露出前述第 1 導電膜的上部的溝之複數的溝形成於前述第 2 絕緣膜之過程，及

(g) 將第 2 導電膜形成於前述複數的溝的內部與前述第 2 絕緣膜的上部之過程，及

(h) 研磨前述第 2 導體膜的表面，形成前述複數的位元線導體之過程；

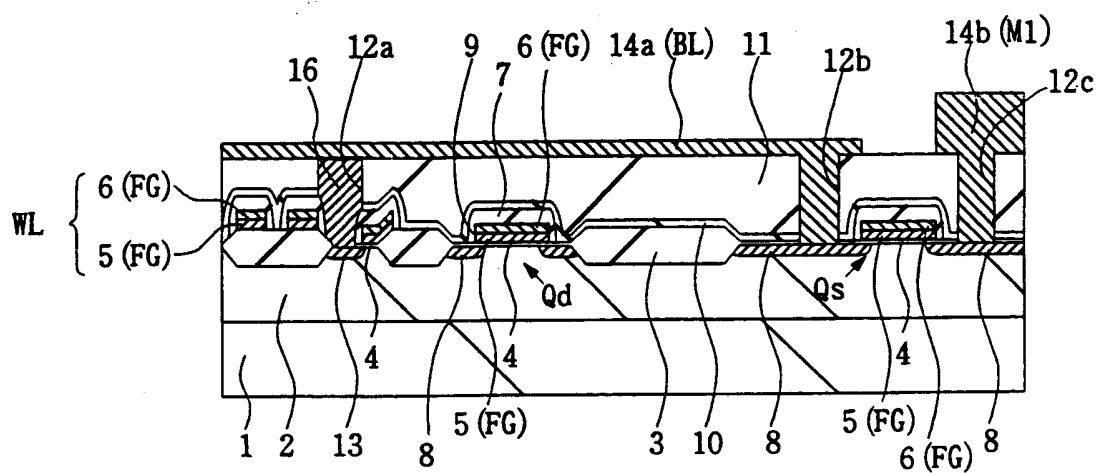
前述複數的位元線的其中之一係電氣性連接於前述 MIS FET 的源極／汲極領域的一方。

47. 如申請專利範圍第 46 項的半導體積體電路裝置之製造方法，其中在前述 (d) 過程與 (e) 過程之間具有：

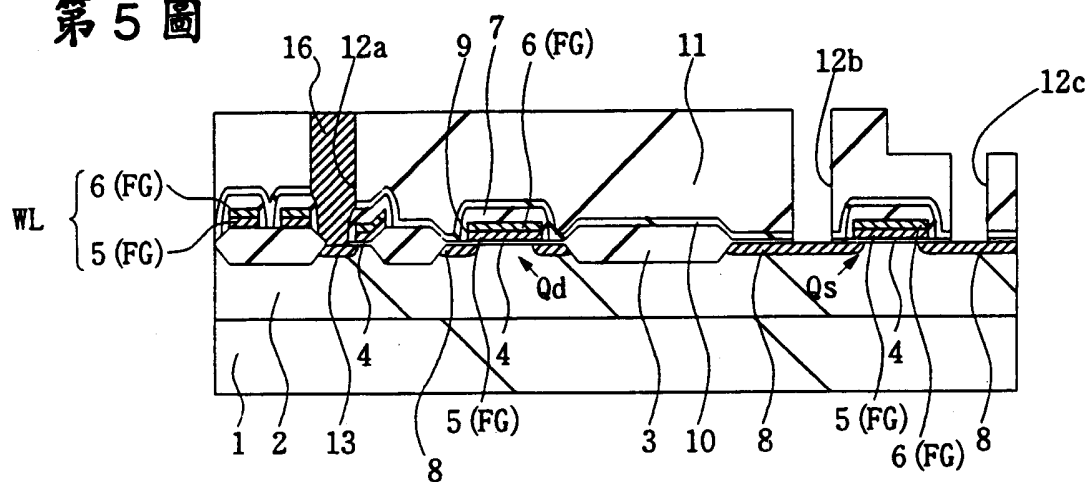
(i) 將第 3 絕緣膜形成於前述導電膜與前述第 1 絕緣膜的上部之過程；

前述第 3 絕緣膜係由氮化矽膜所構成，前述第 2 絕緣膜係由氧化矽膜所構成。

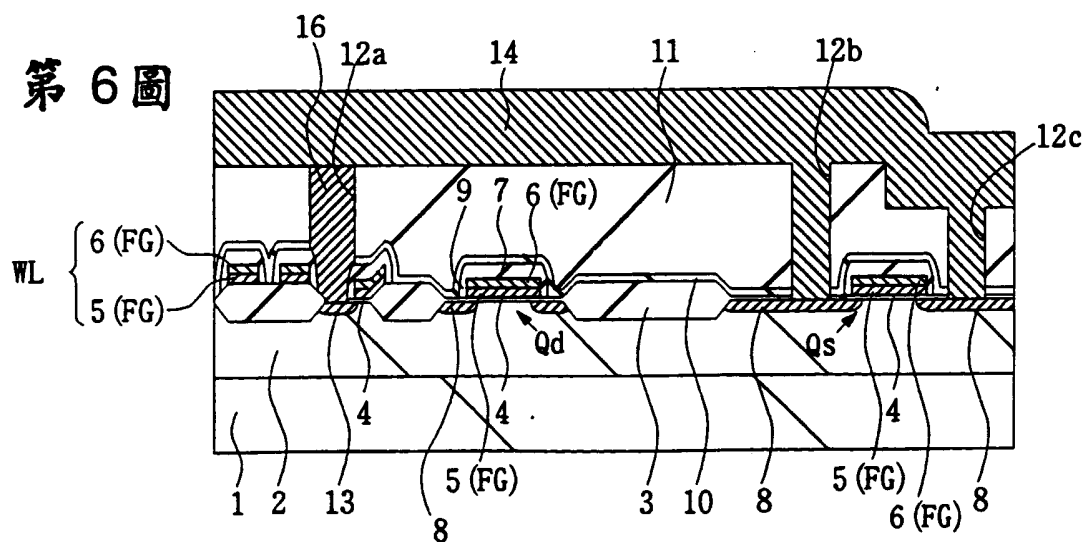
第 4 圖



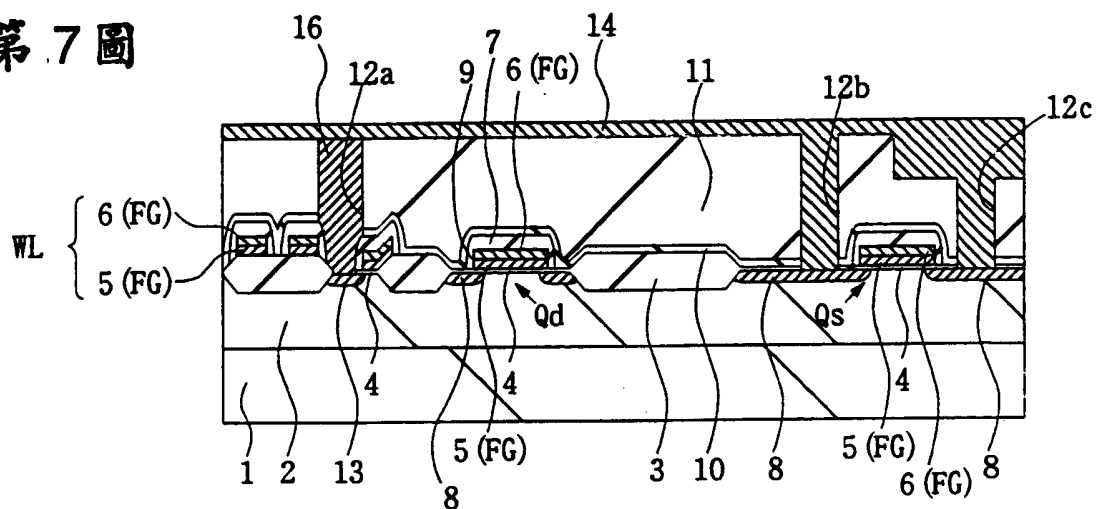
第 5 圖



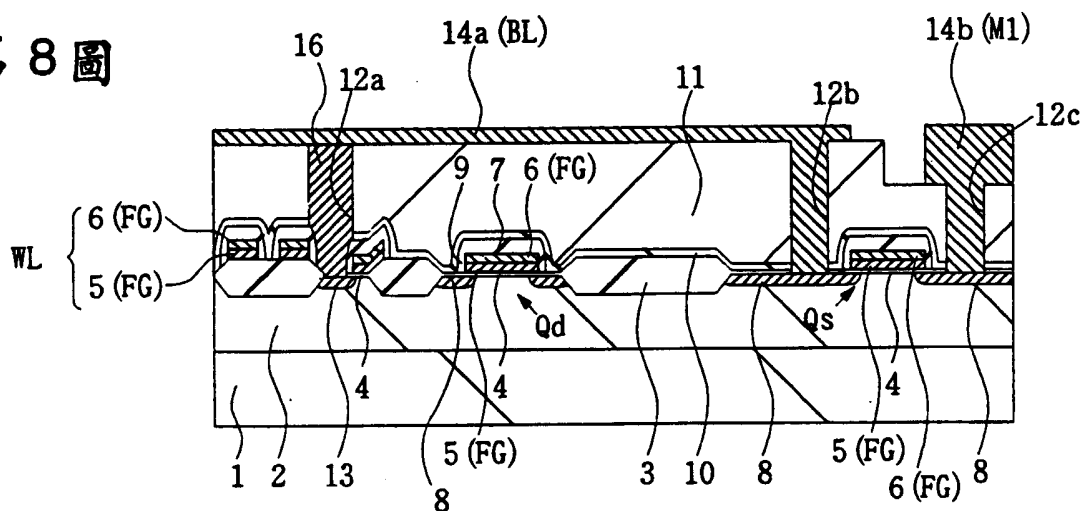
第 6 圖



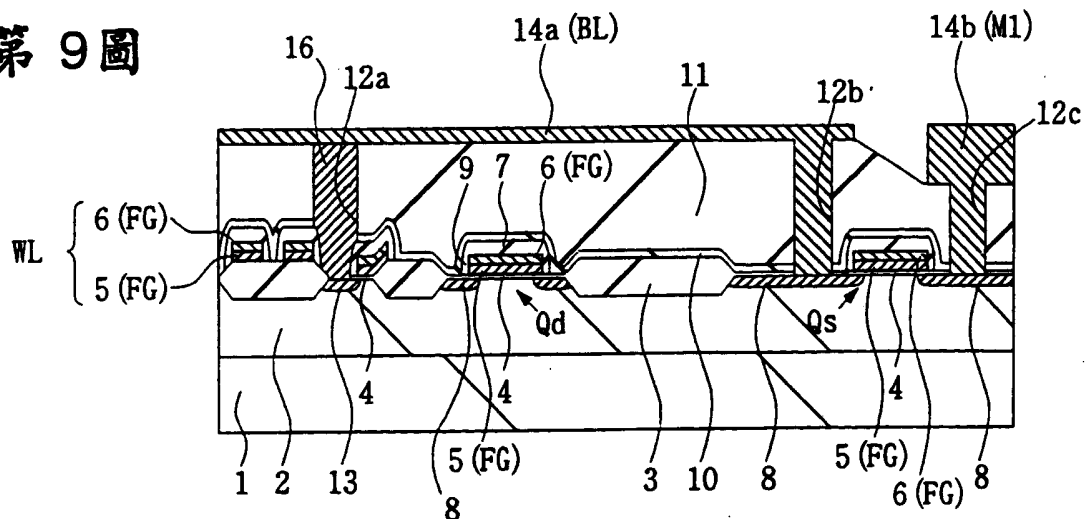
第 7 圖



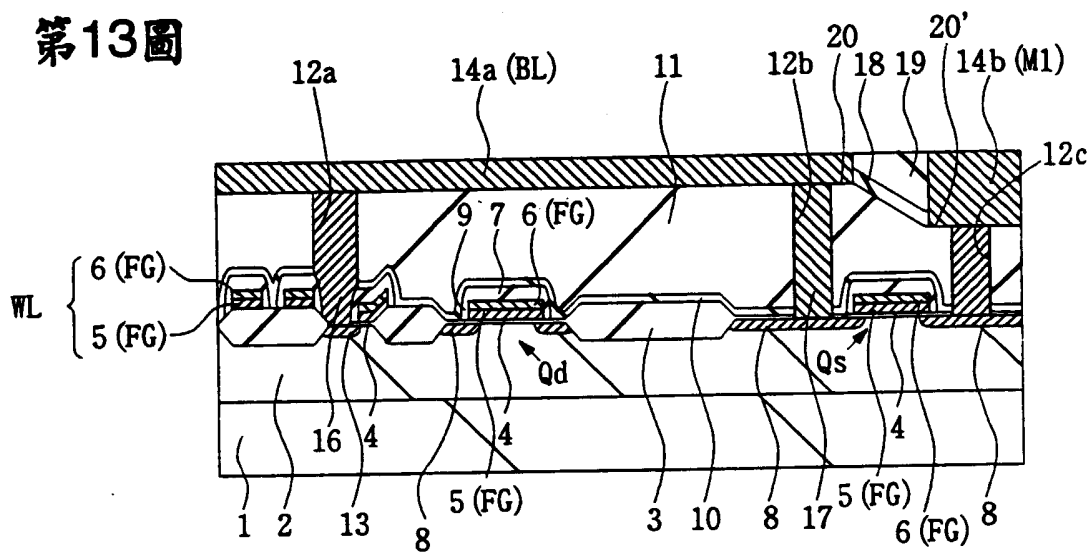
第 8 圖



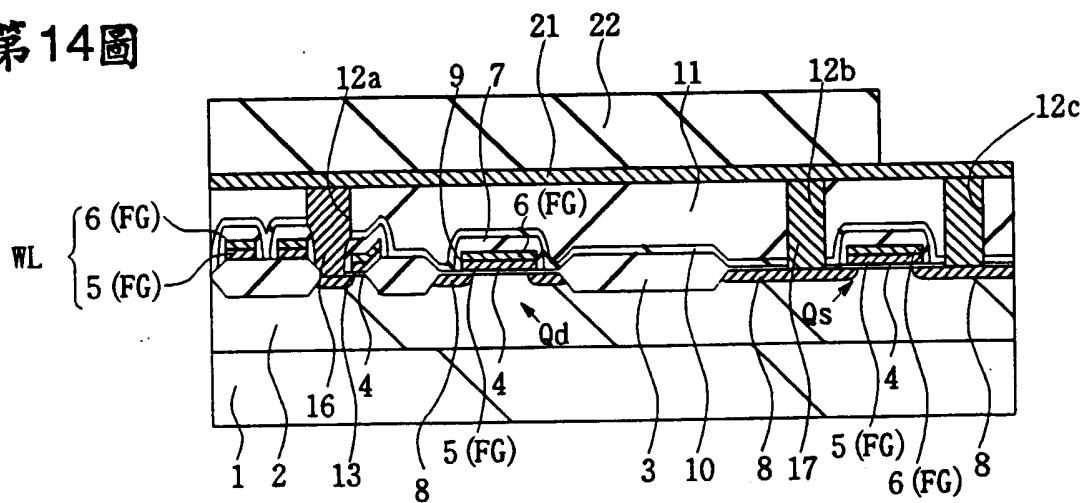
第 9 圖



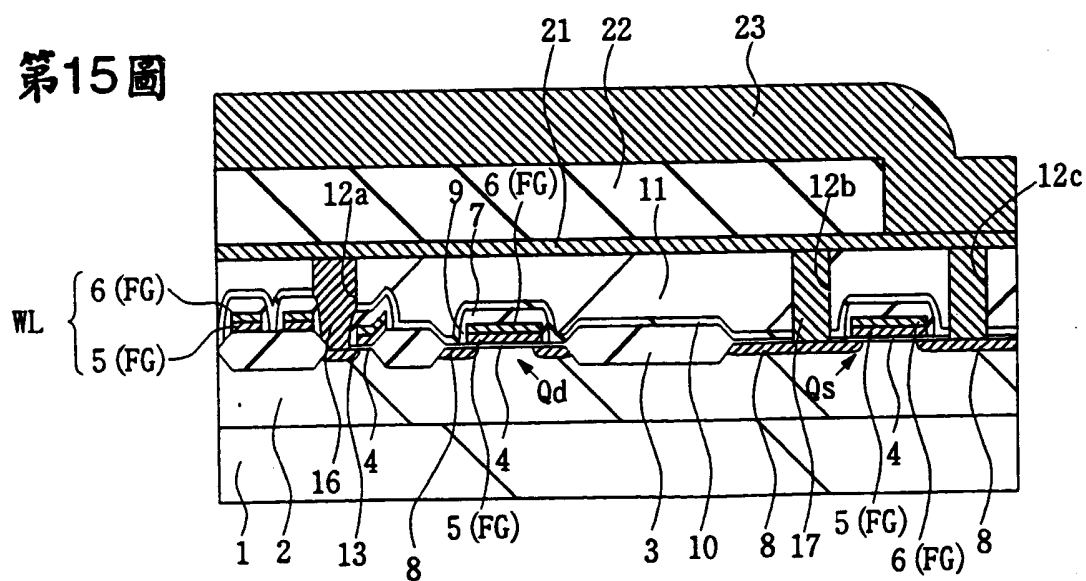
第13圖



第14圖

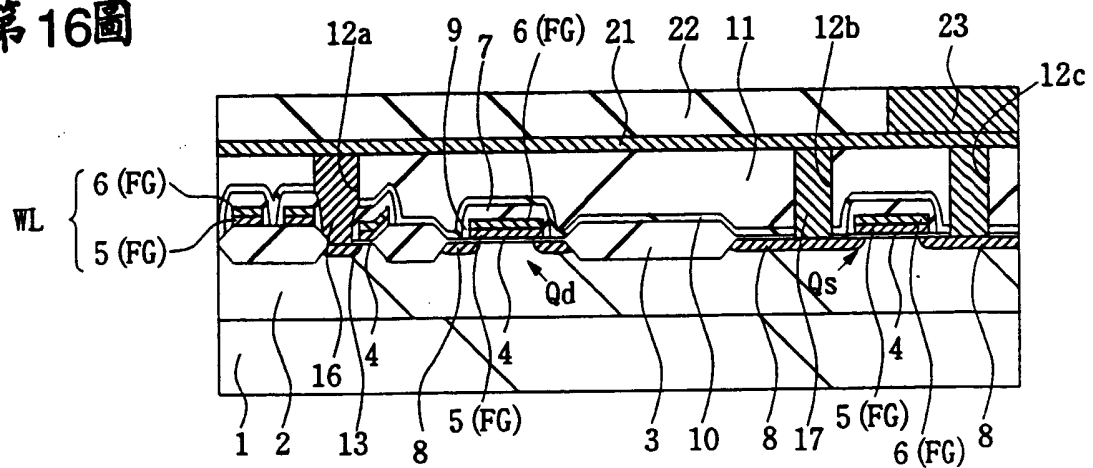


第15圖

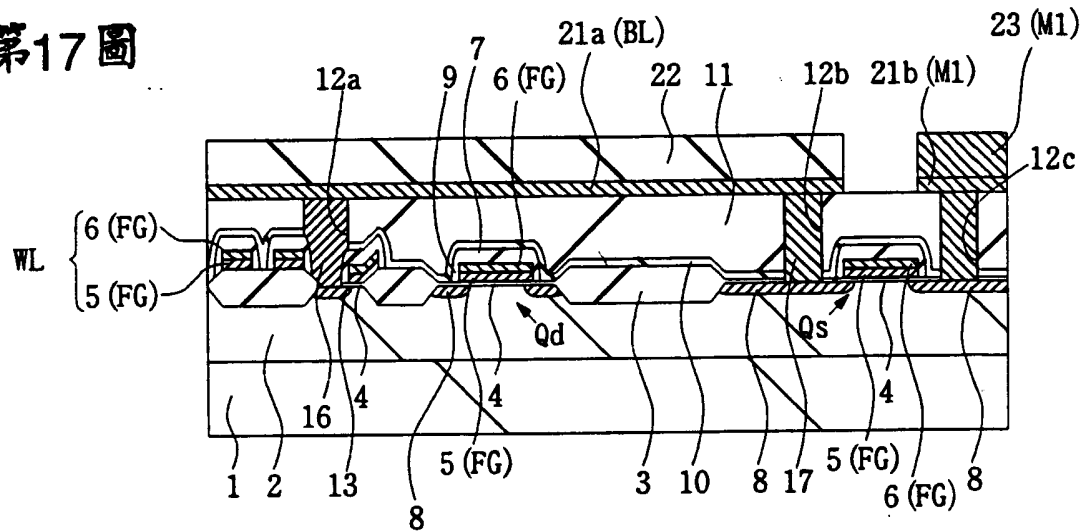


406398

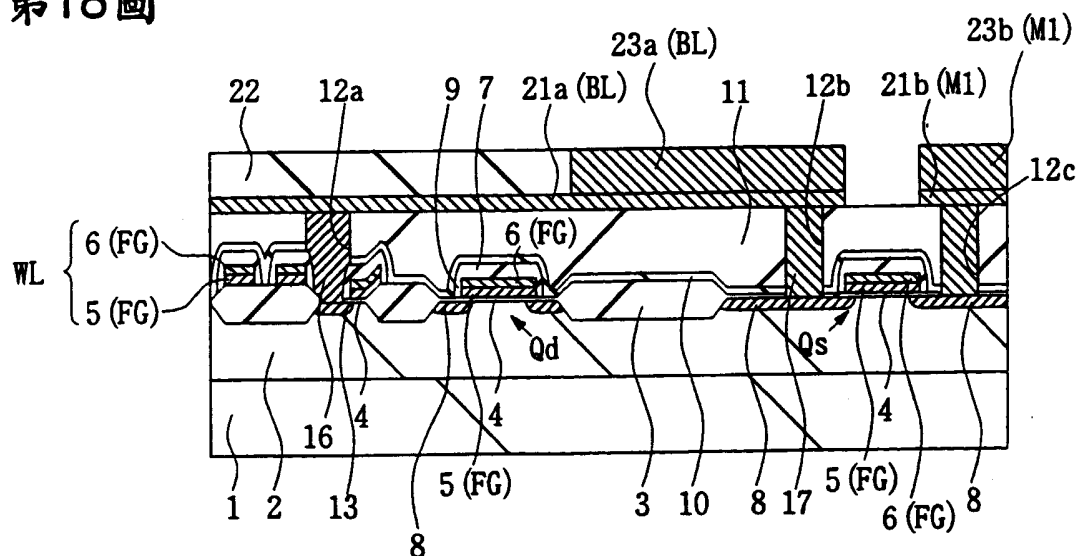
第16圖



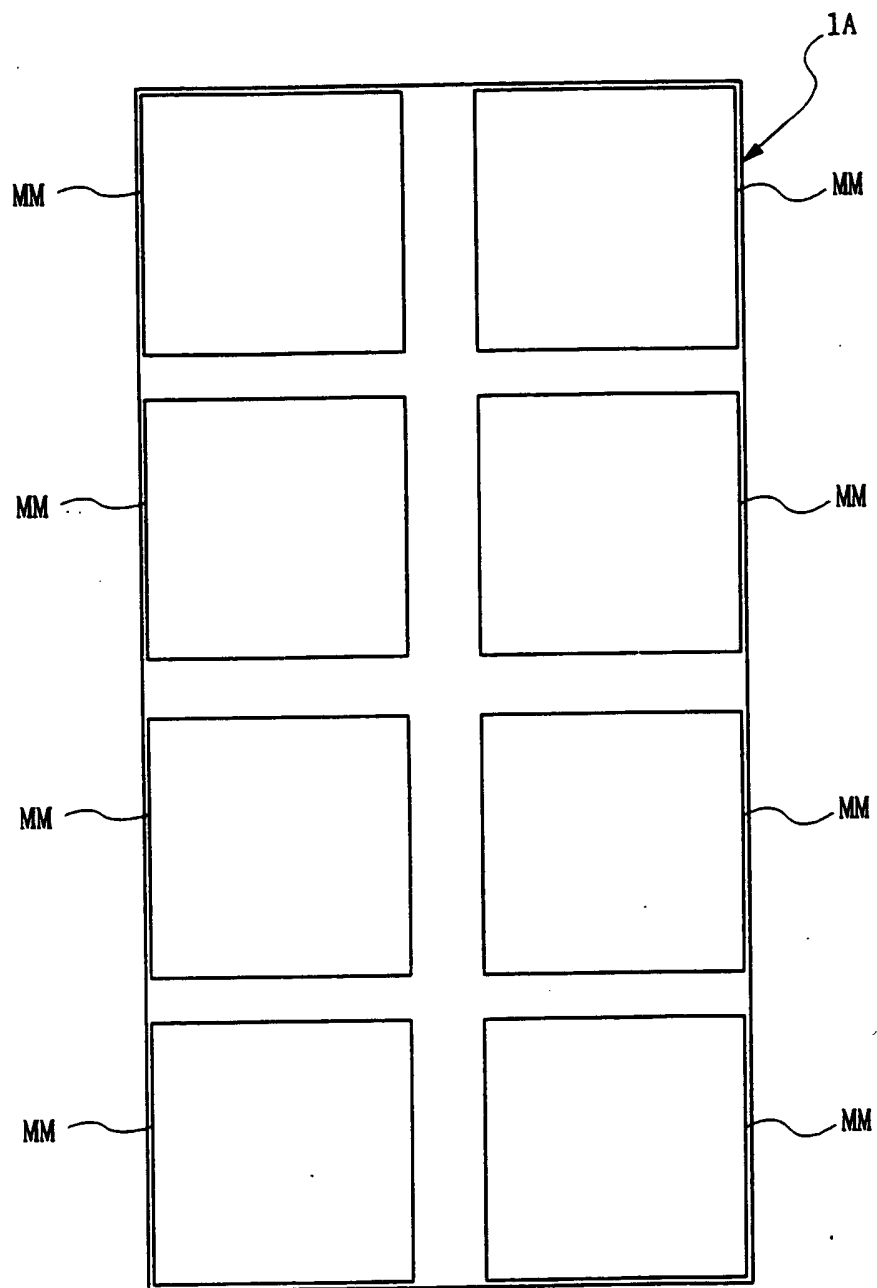
第17圖



第18圖



第19圖



第20圖

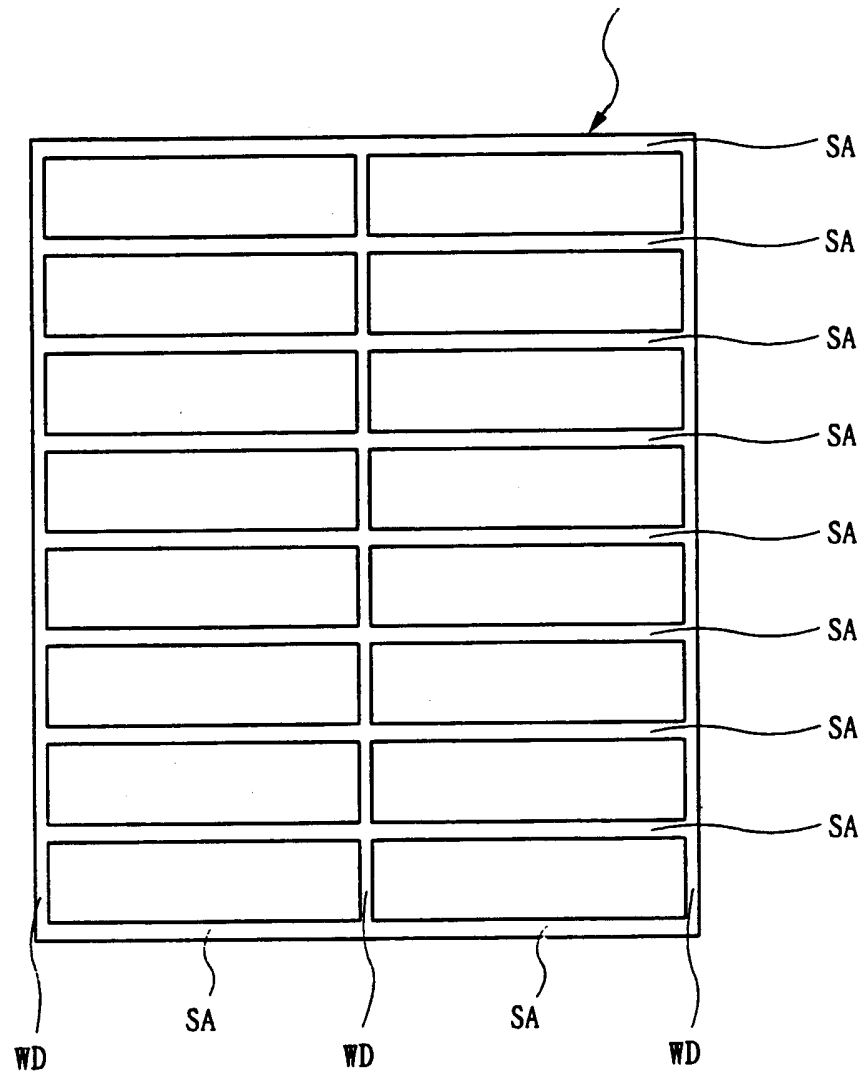


圖 21 部

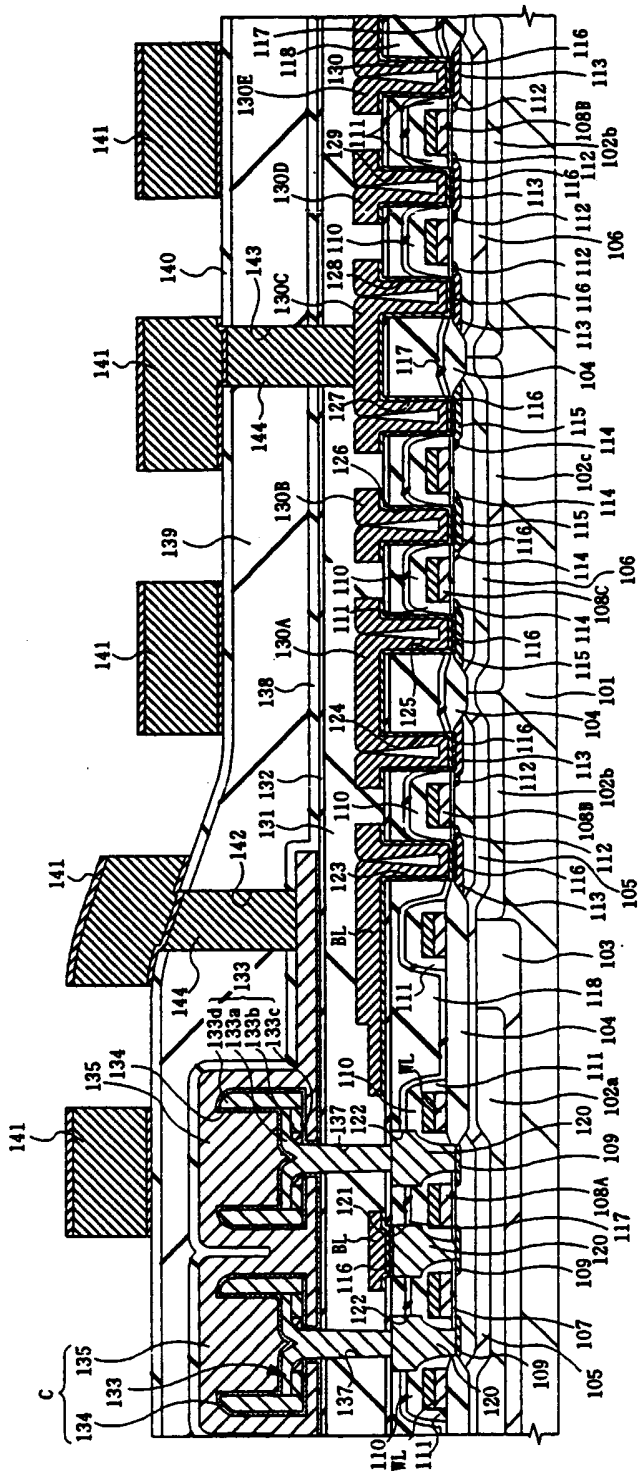
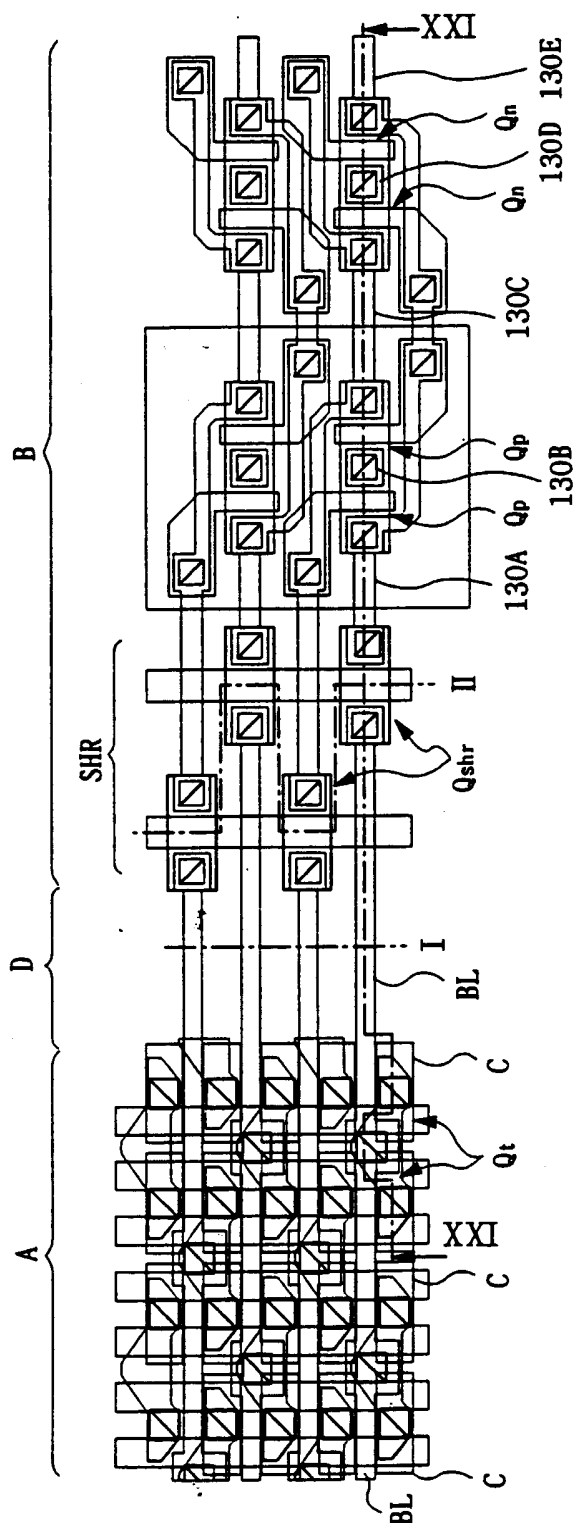
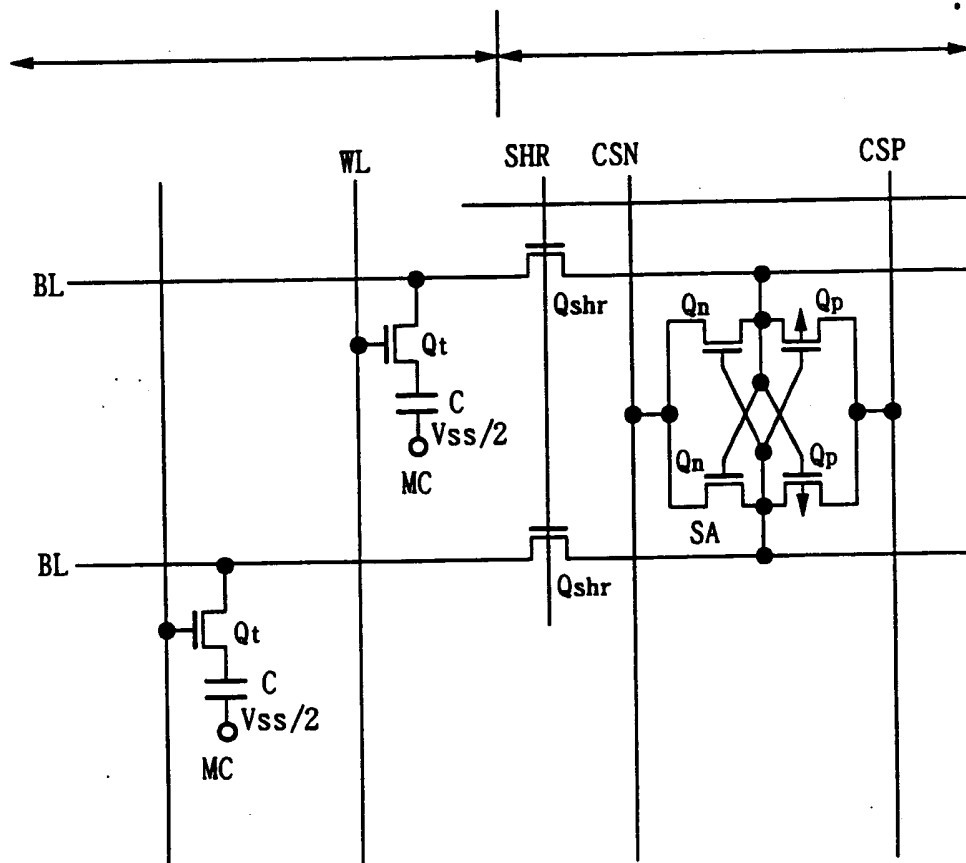


圖 22



第23圖



第24圖

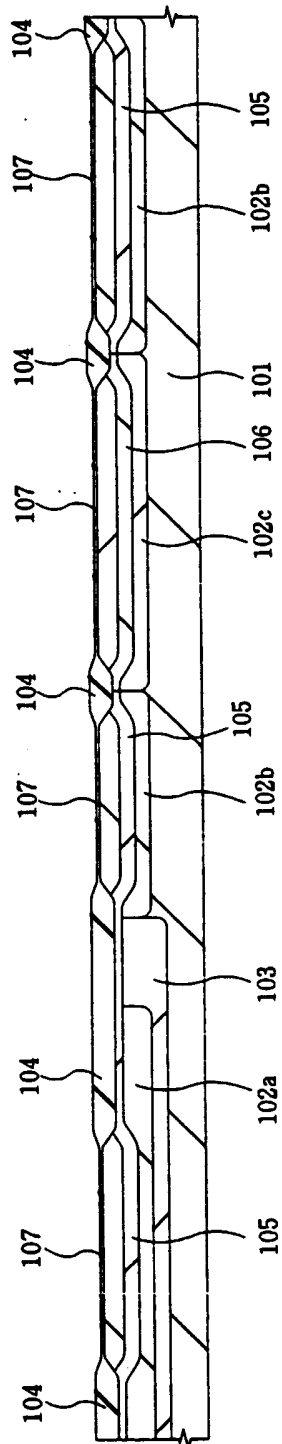


圖 25 第

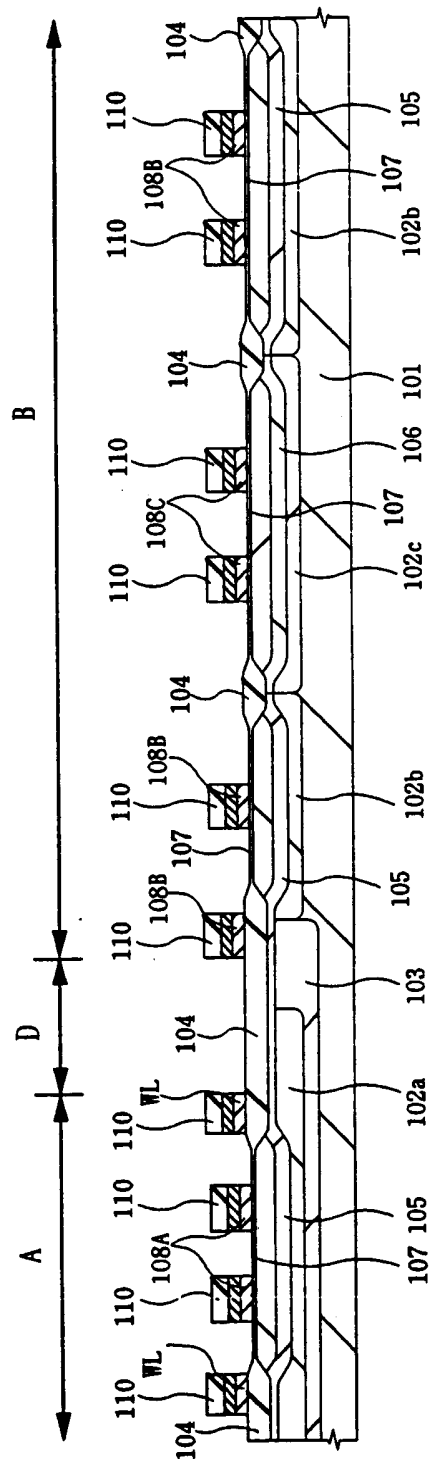


圖 30 第

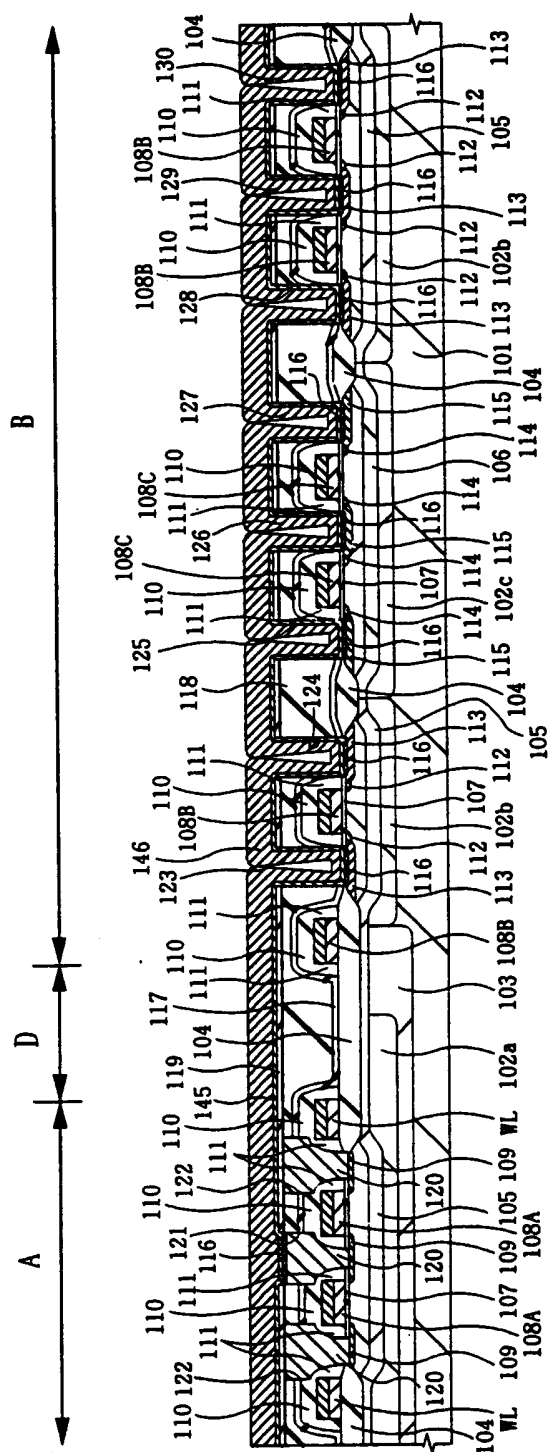
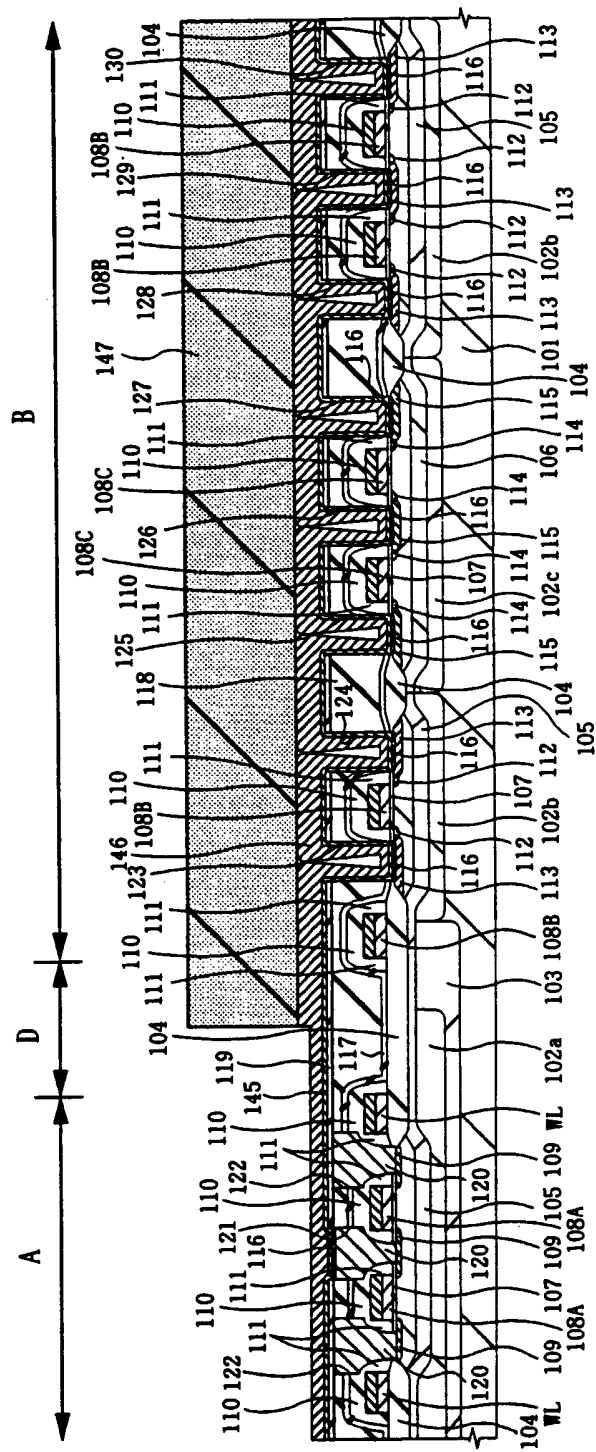
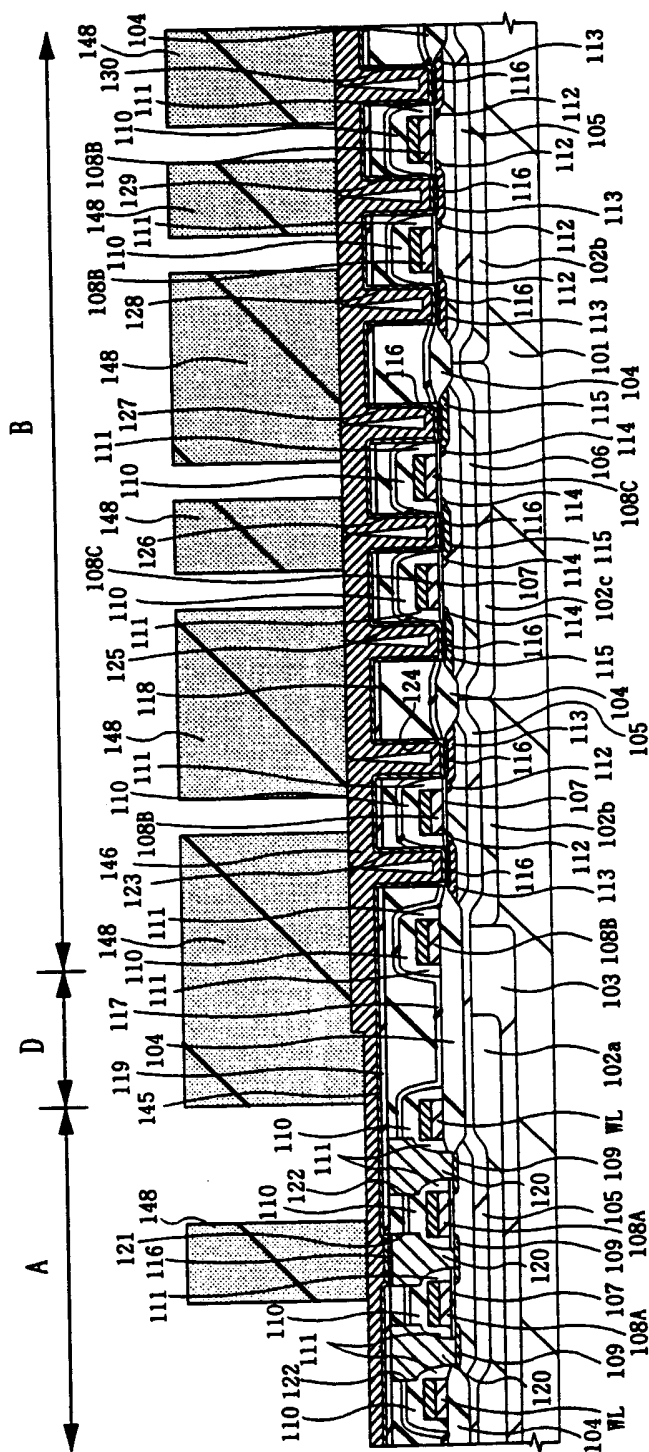


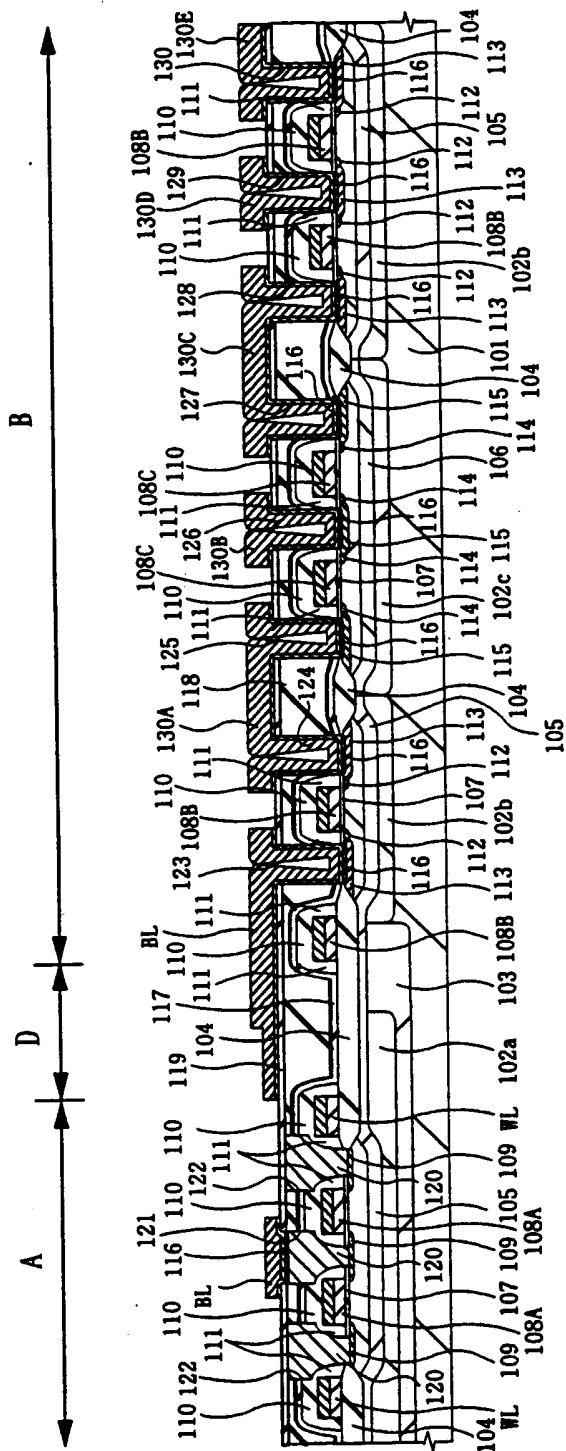
圖 31 第



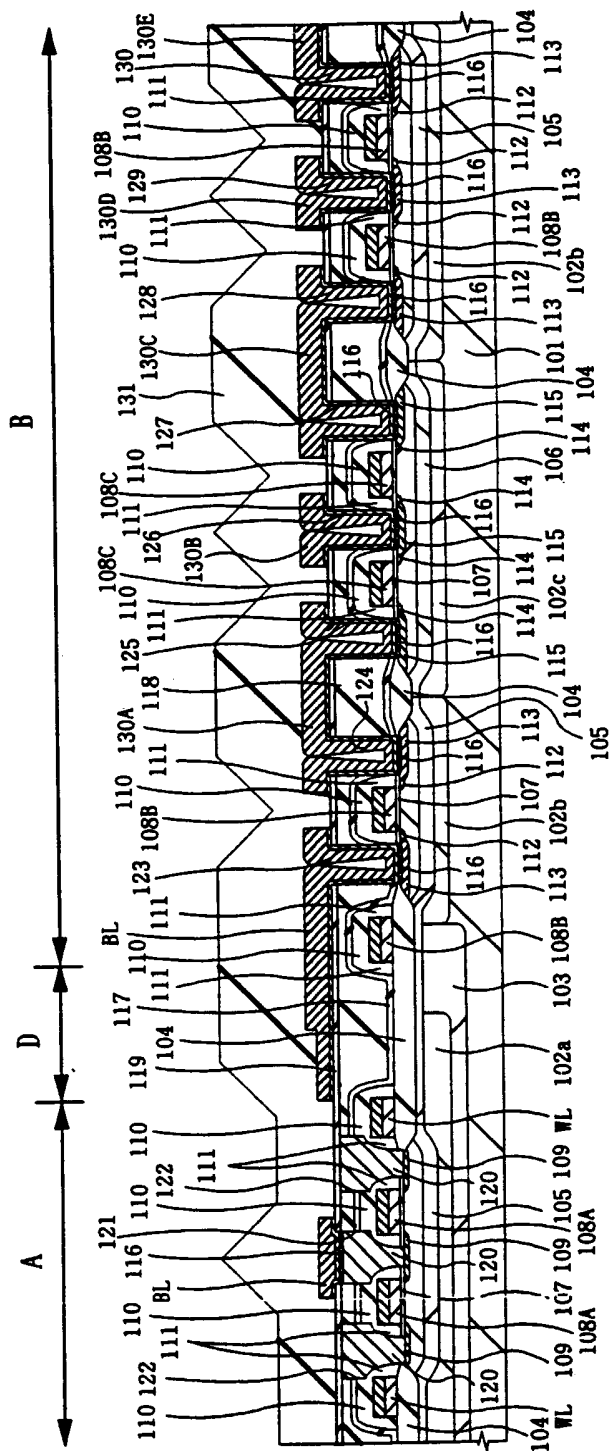
第32圖



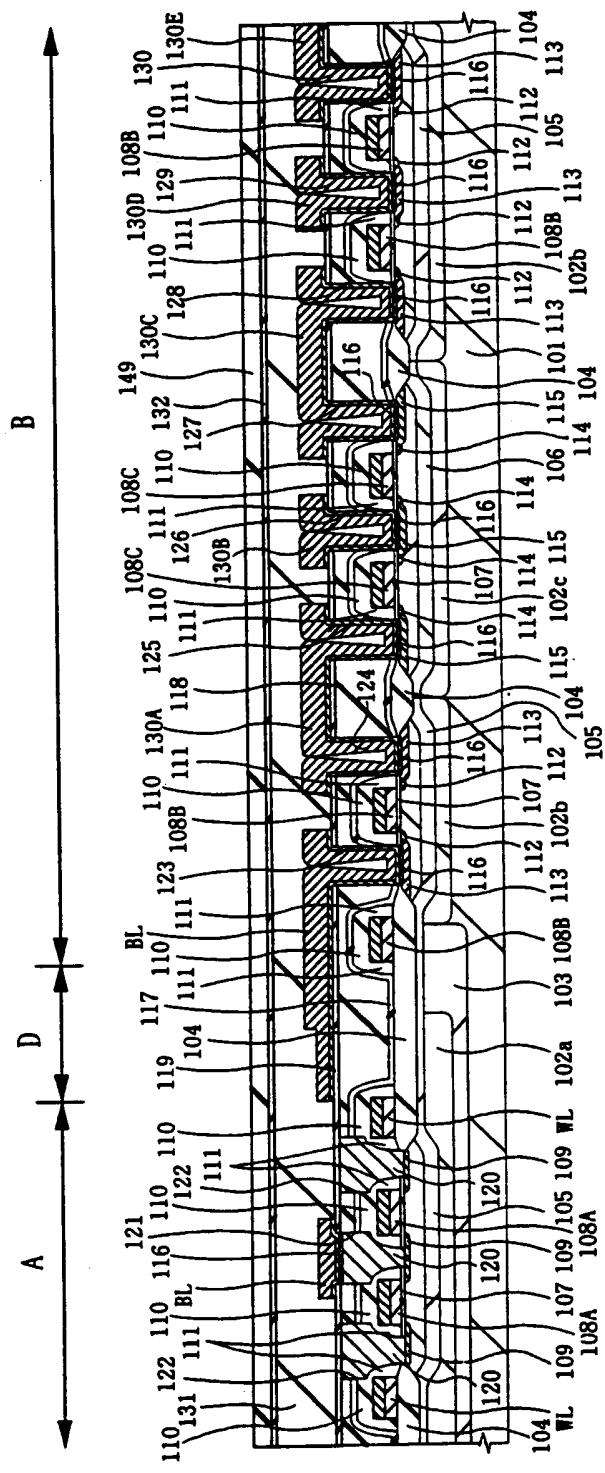
第33圖



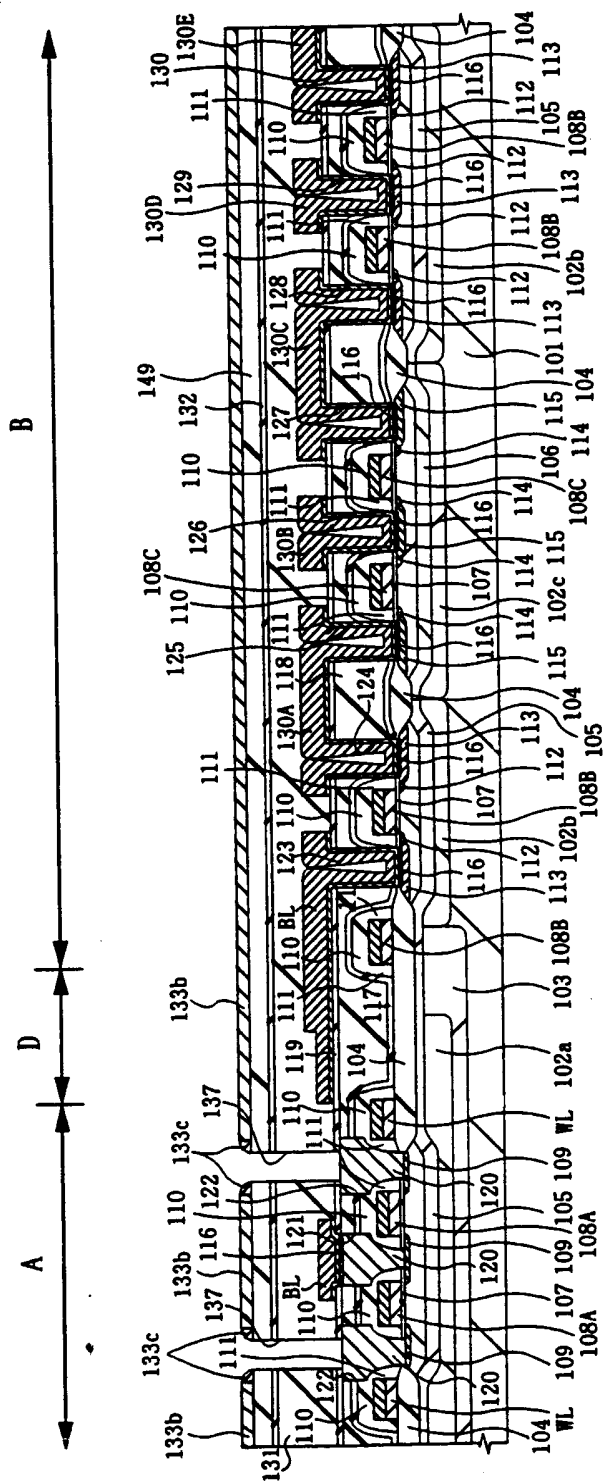
第34圖



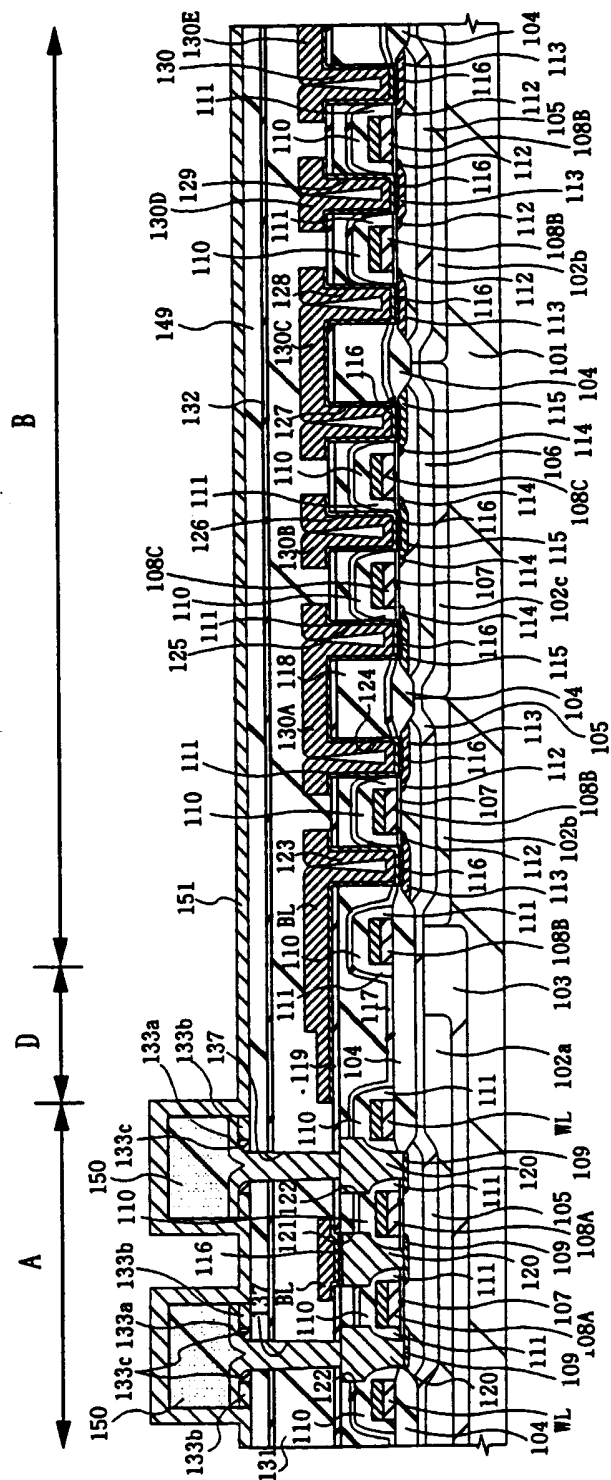
第35圖



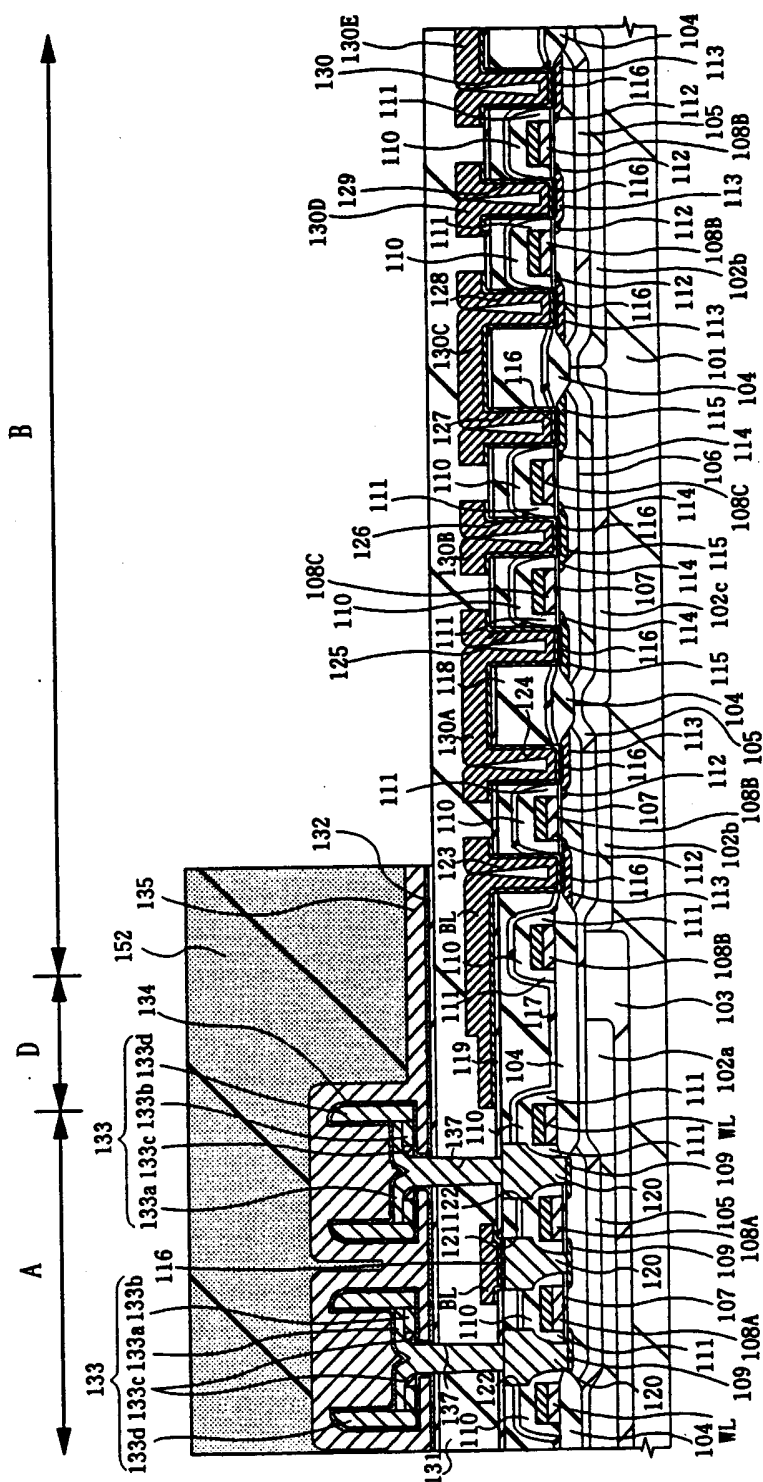
第36圖



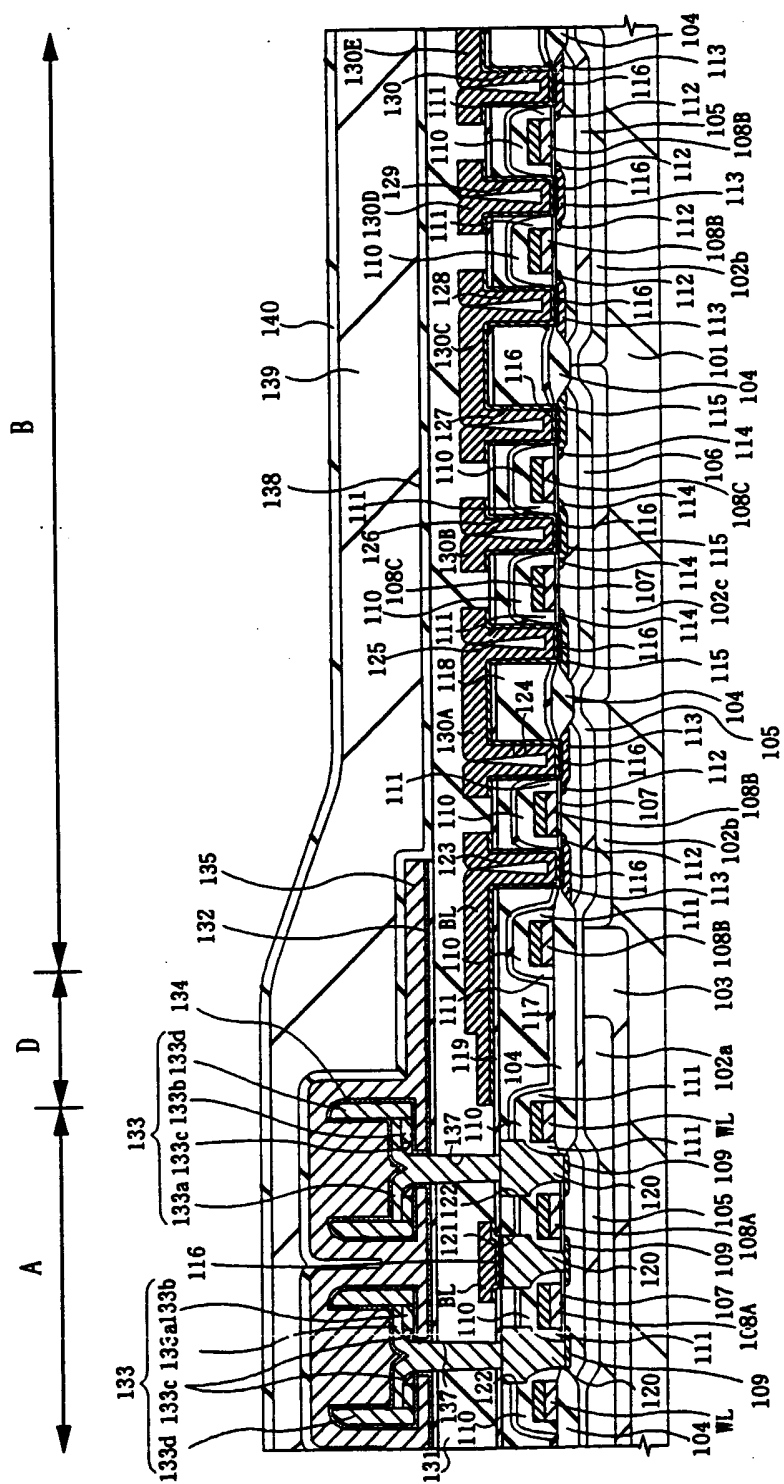
第37圖



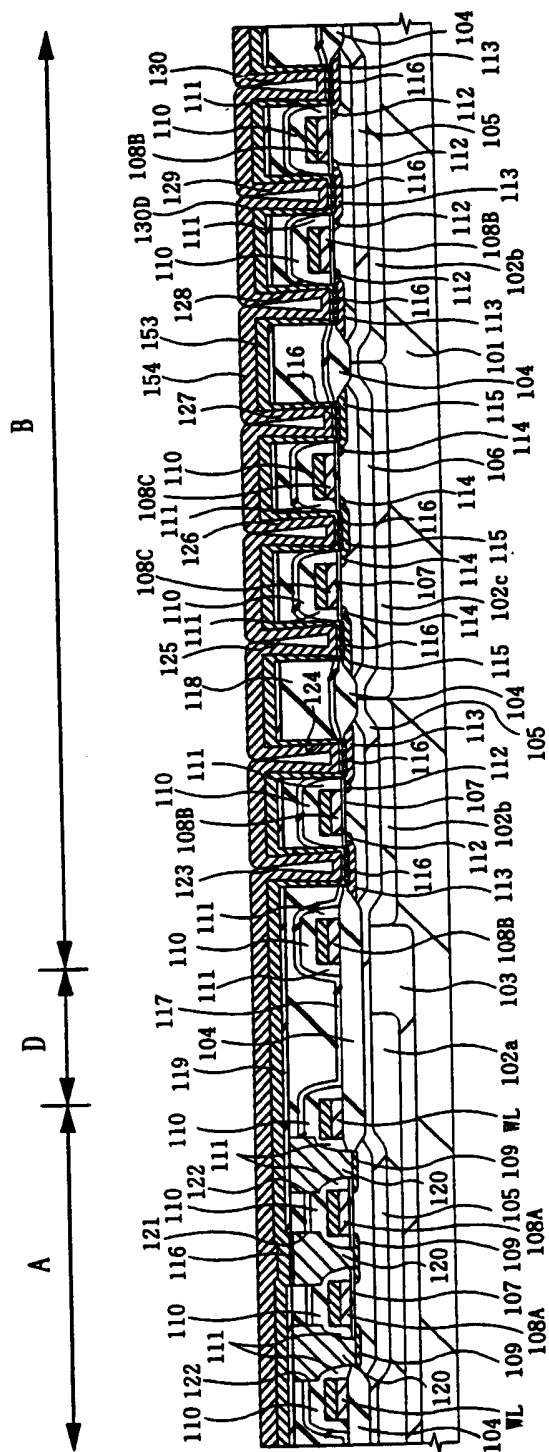
第39圖



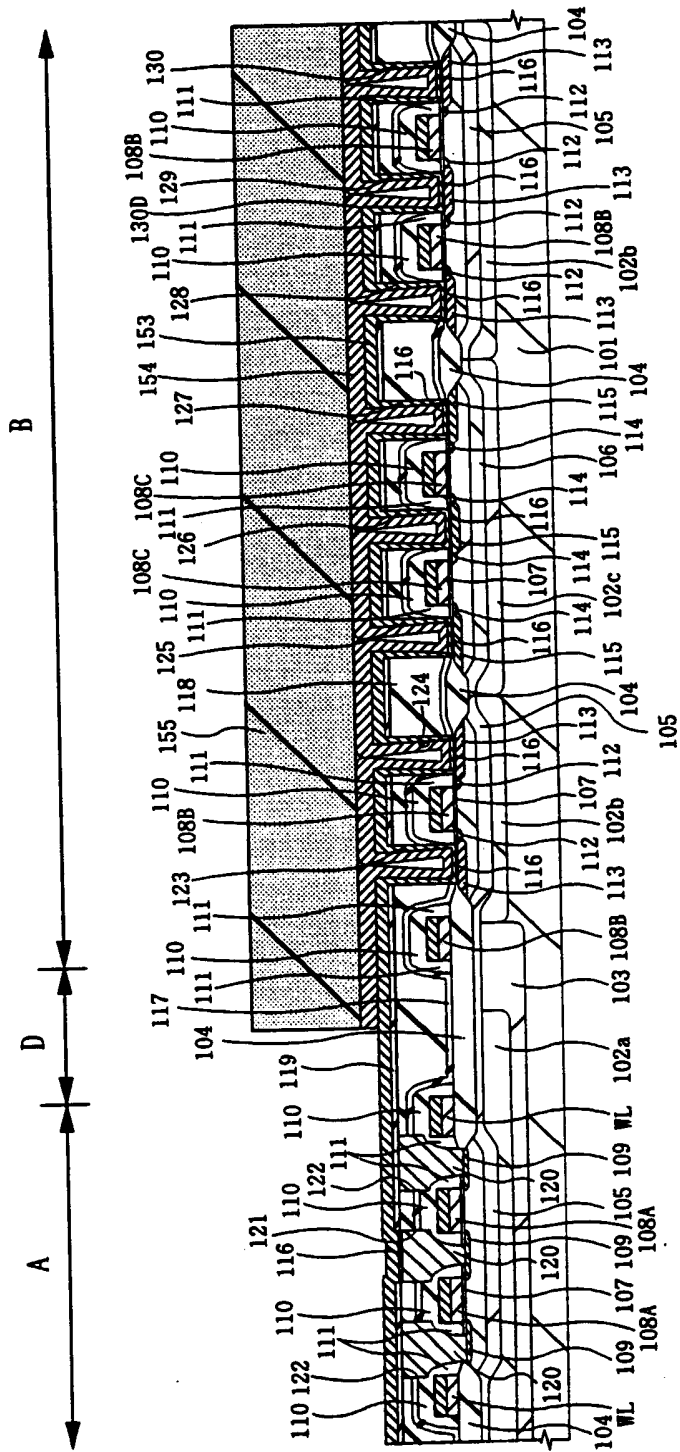
第40圖

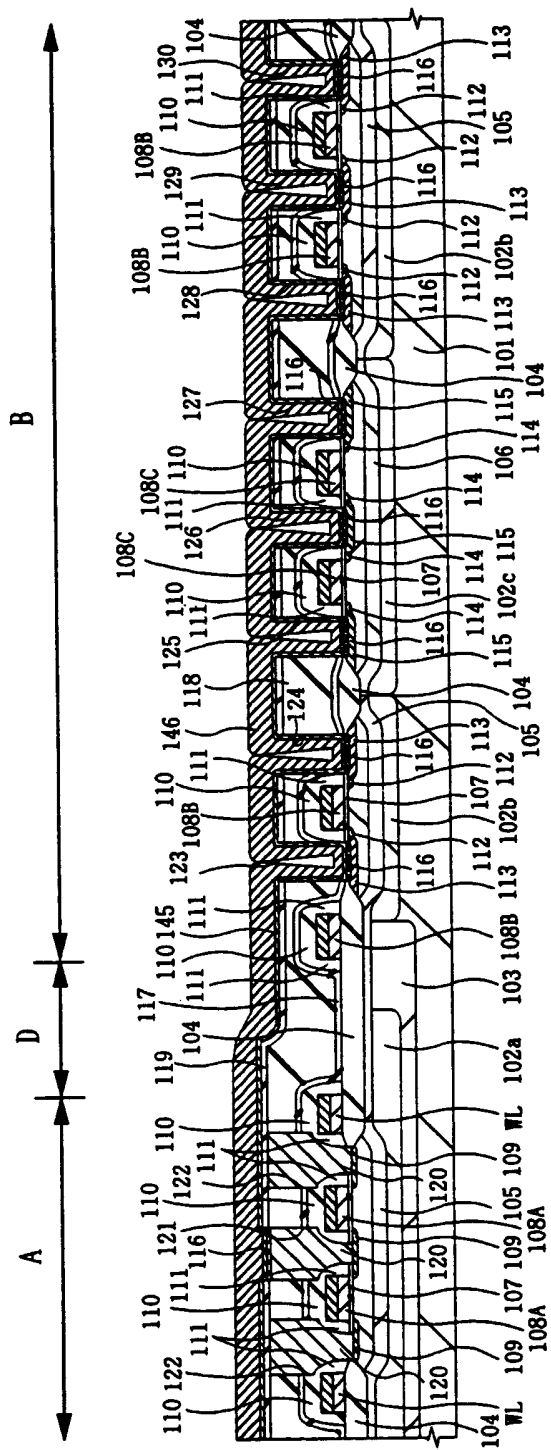


第42圖



第43圖





第50圖

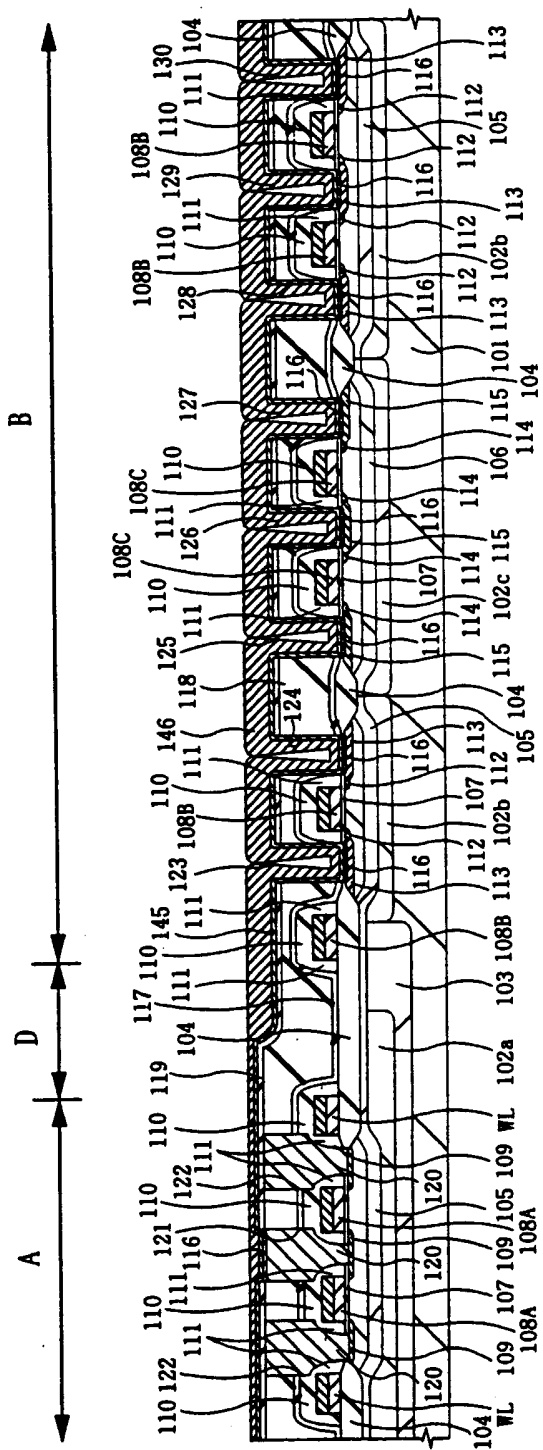


圖 51 部

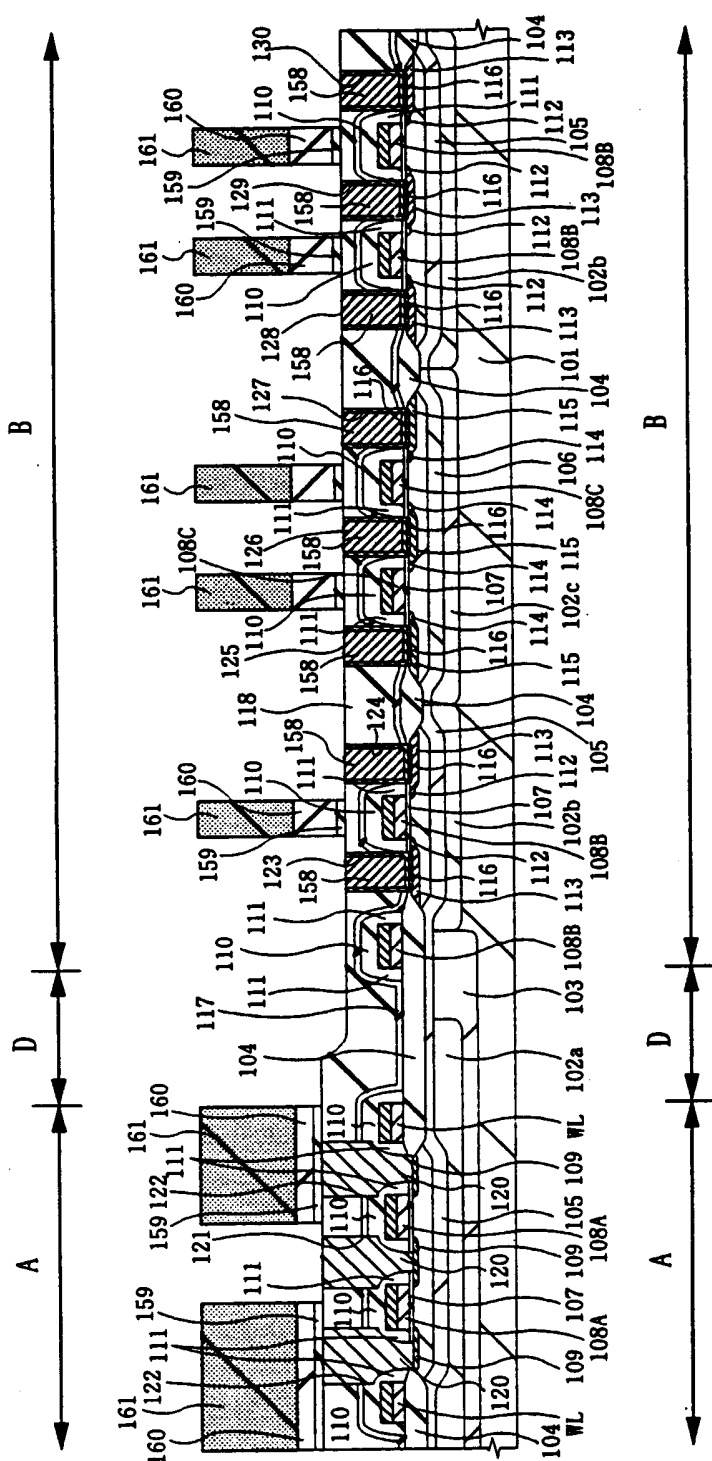
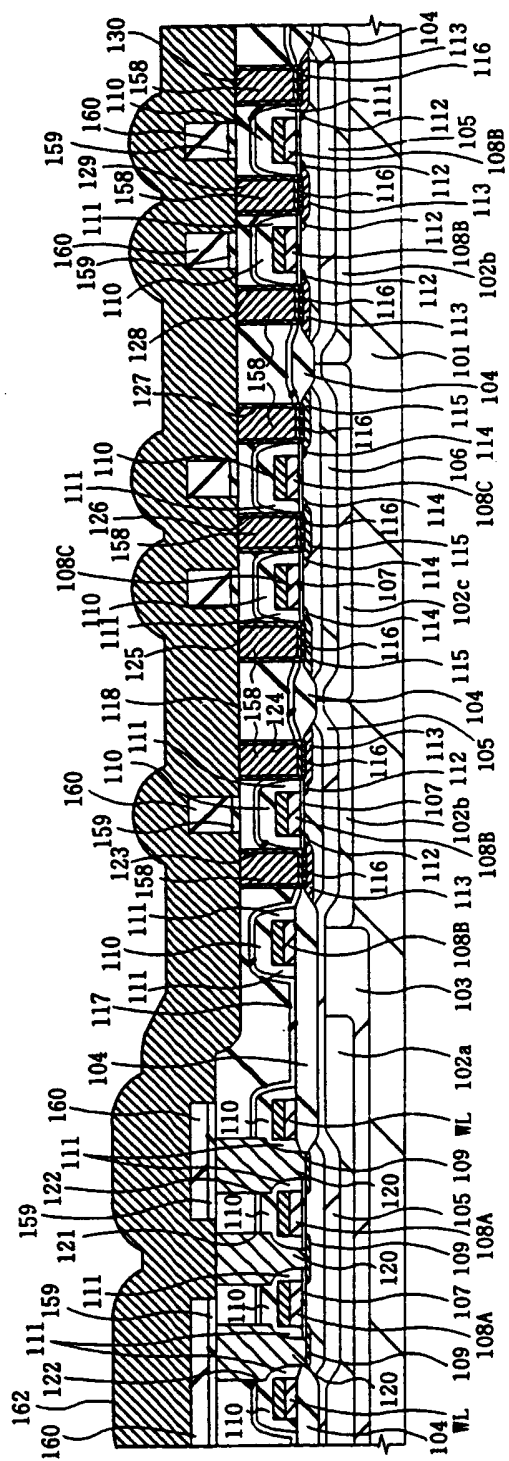
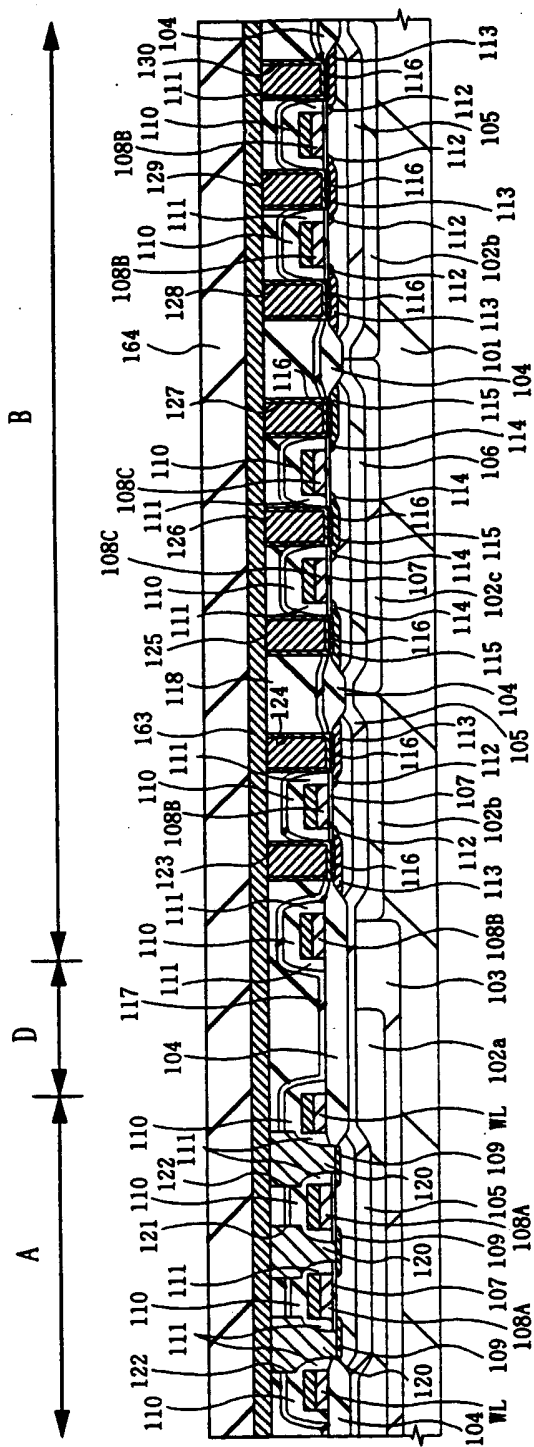


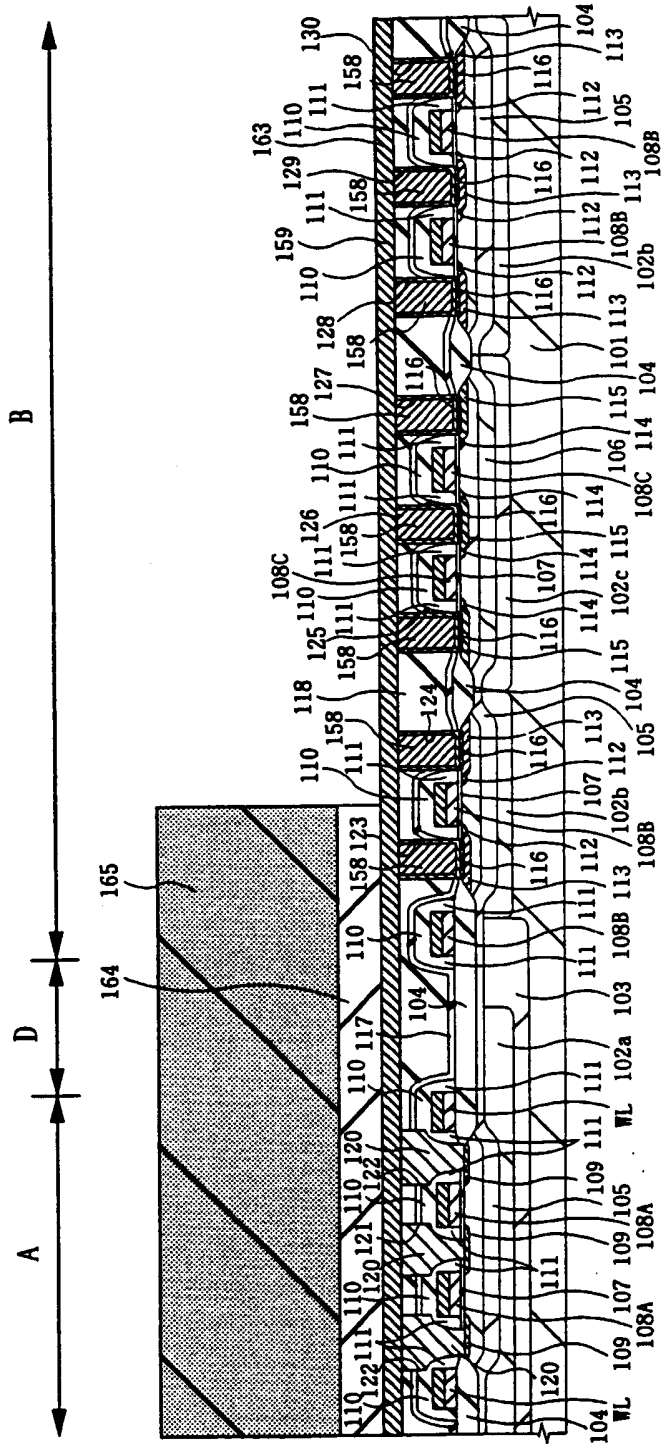
圖 56 第



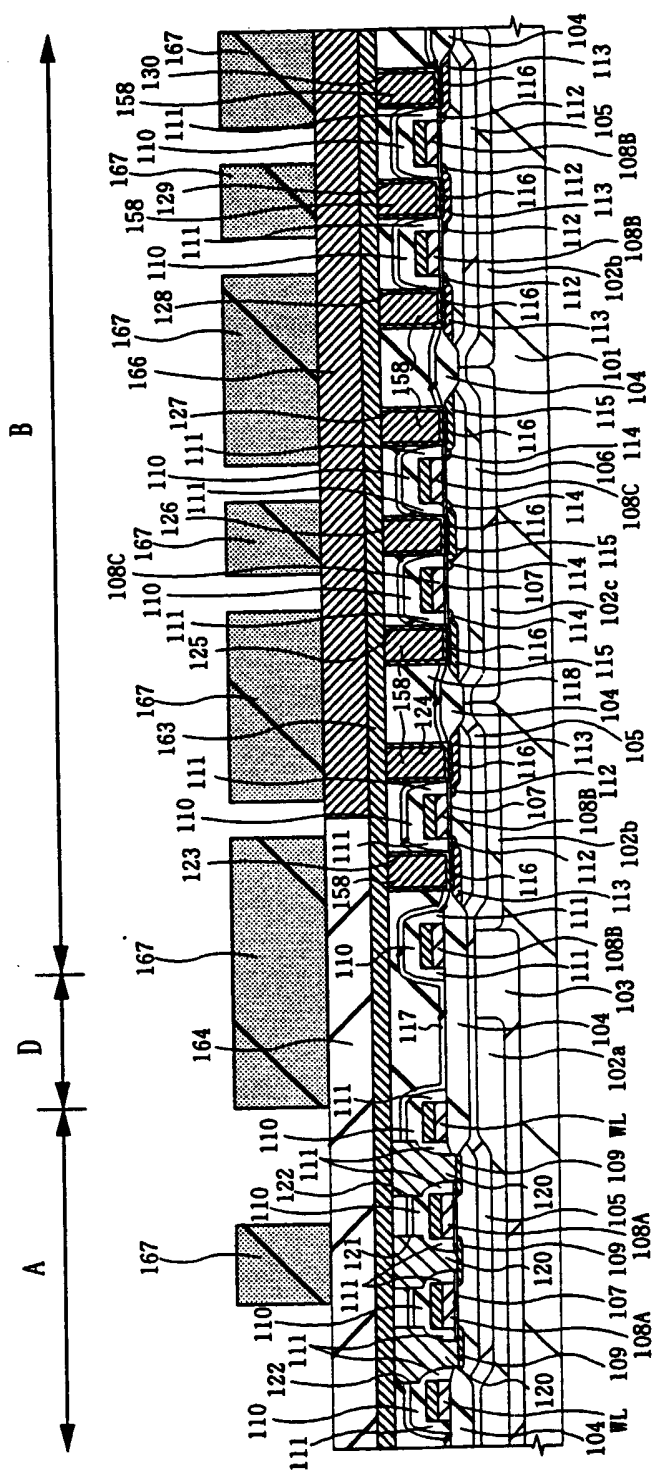
第57圖



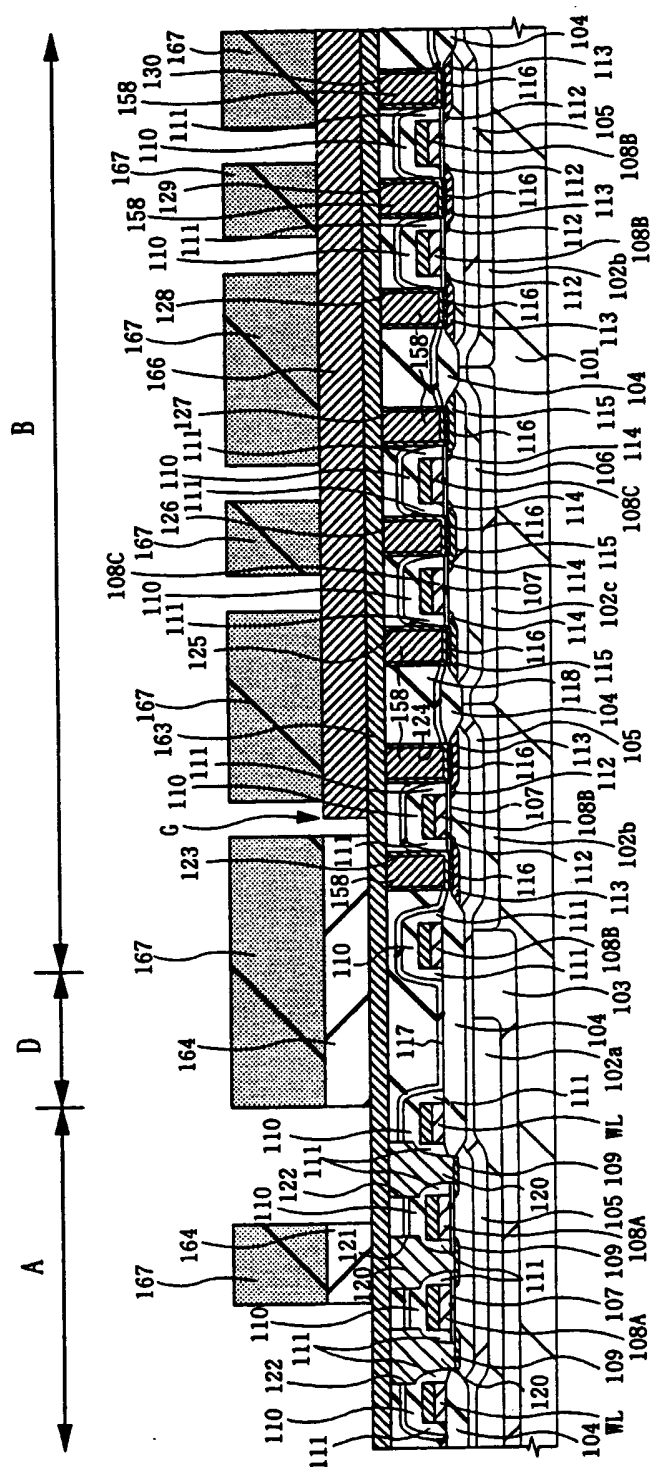
第60圖



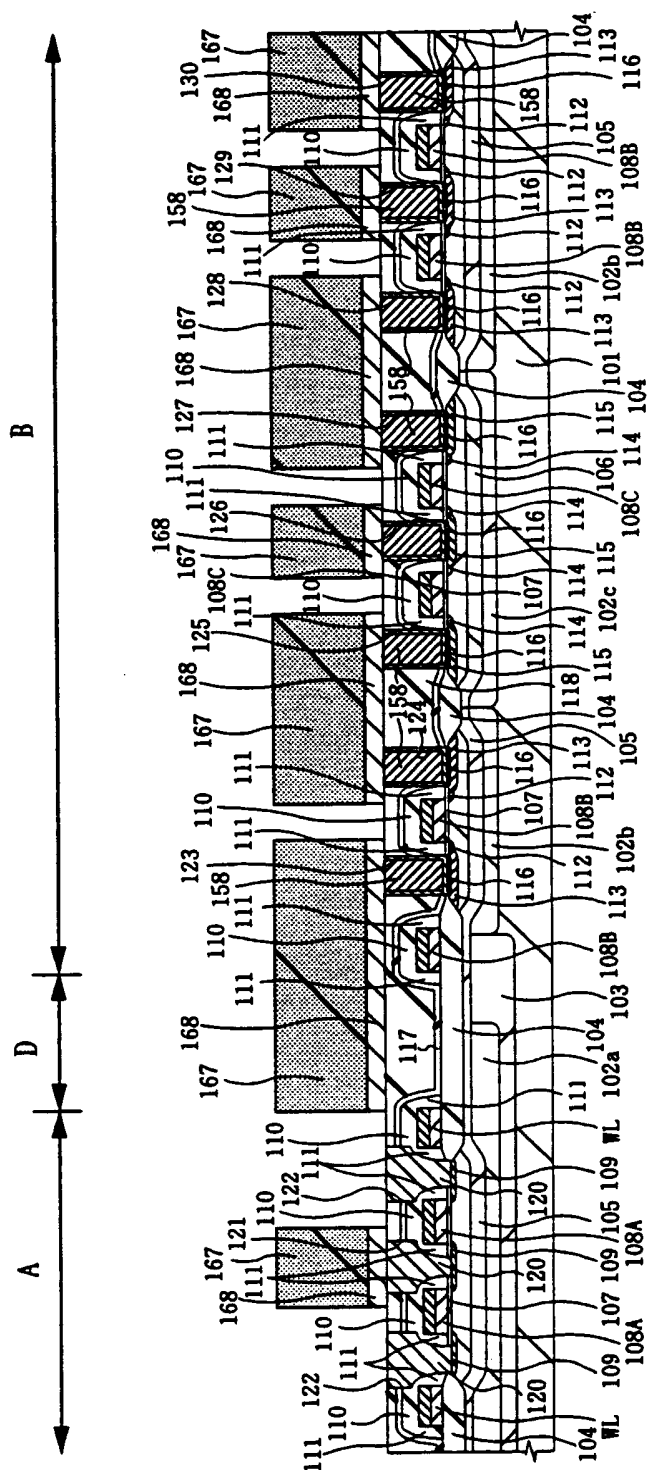
第61圖



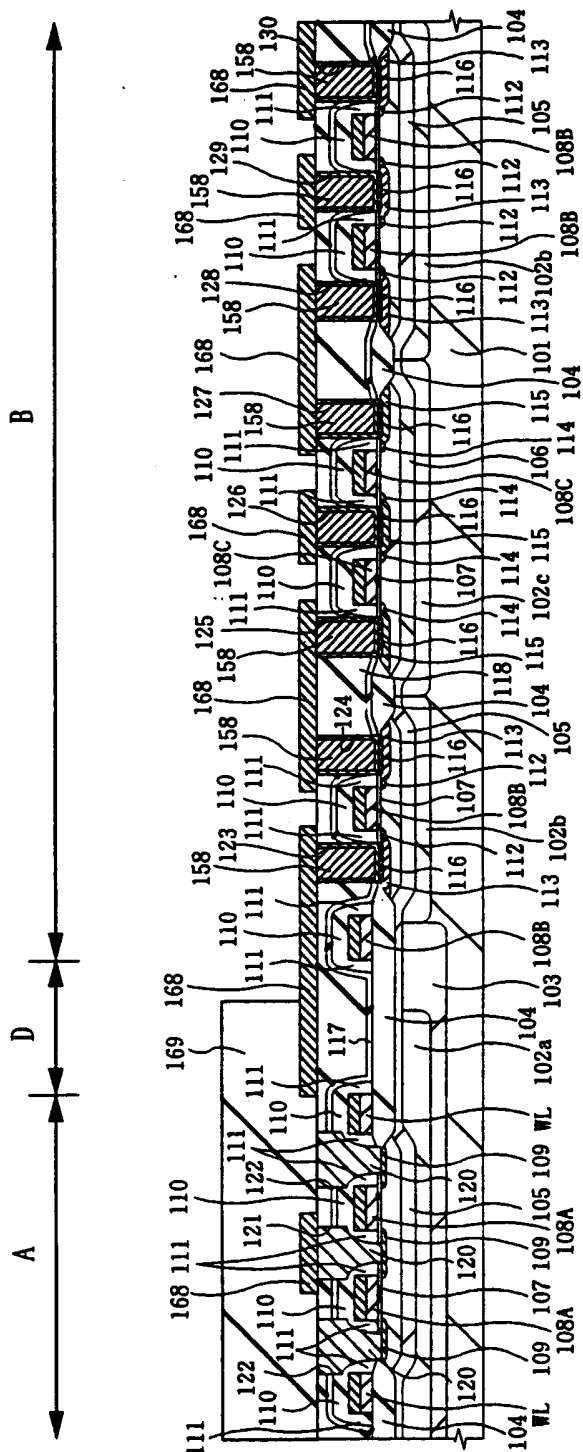
第64圖



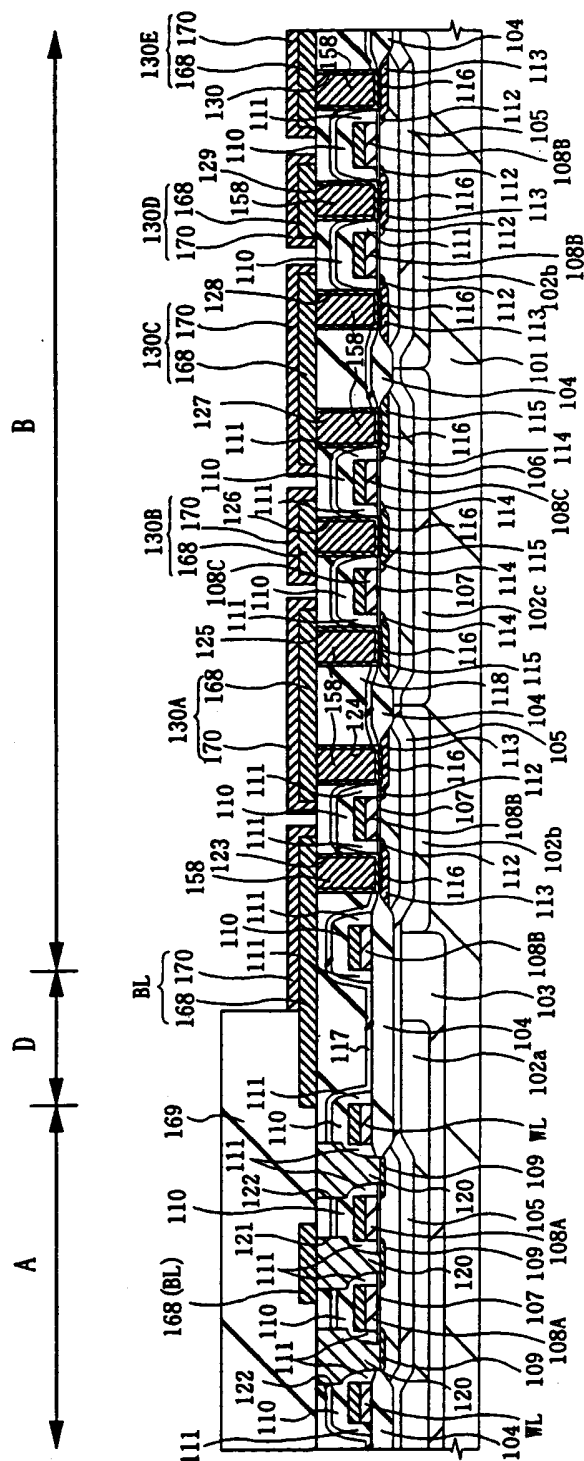
第65圖



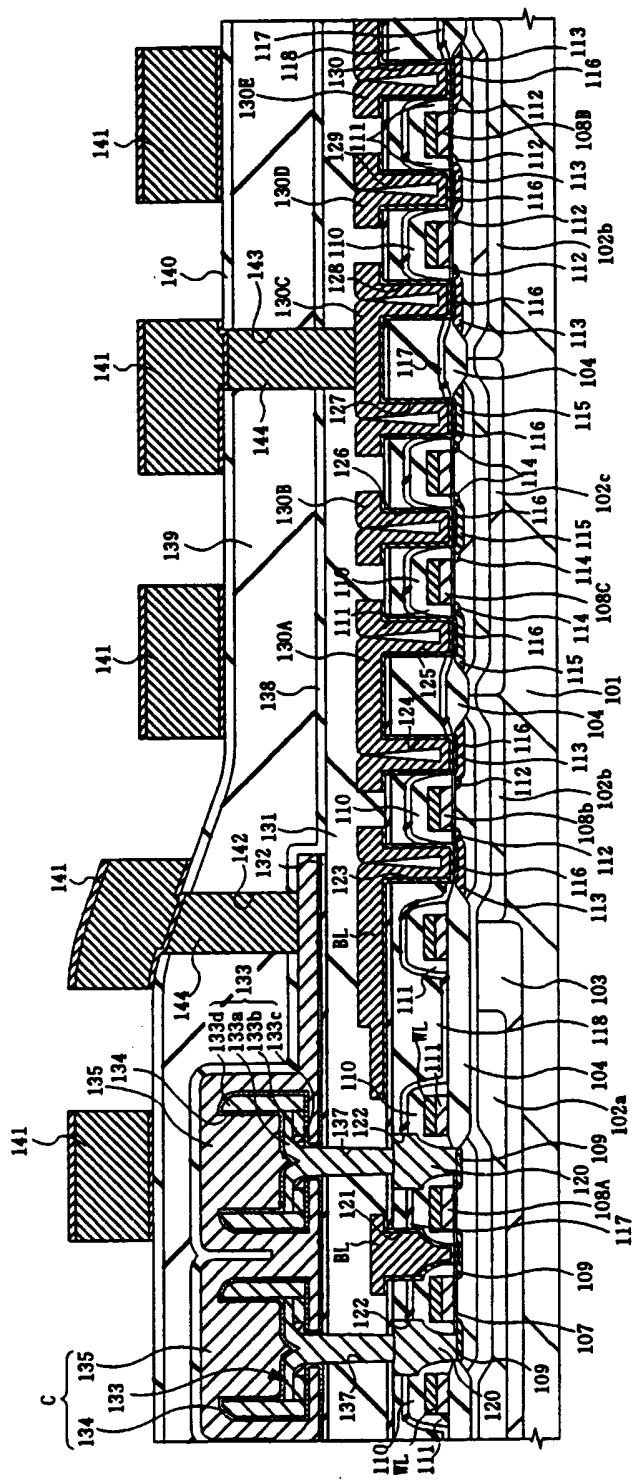
第67圖



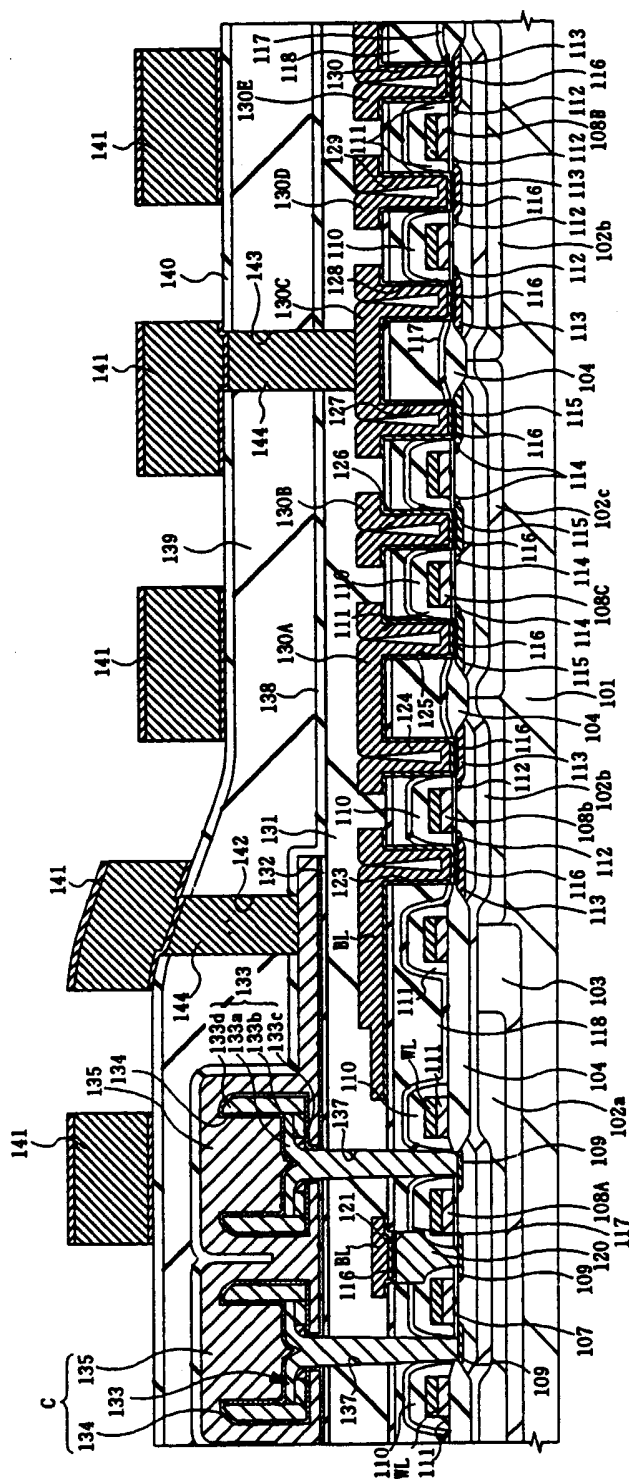
第68圖



第69圖



第70圖



第71圖

第38圖

