



(12) 发明专利

(10) 授权公告号 CN 108429552 B

(45) 授权公告日 2021. 12. 31

(21) 申请号 201711129593.1

(51) Int.Cl.

(22) 申请日 2017.11.15

H03M 1/18 (2006.01)

(65) 同一申请的已公布的文献号  
申请公布号 CN 108429552 A

审查员 钟一鸣

(43) 申请公布日 2018.08.21

(30) 优先权数据  
10-2017-0019541 2017.02.13 KR

(73) 专利权人 爱思开海力士有限公司  
地址 韩国京畿道

(72) 发明人 金东铉 姜舜求 孙管琇 郑尧韩  
崔恩志

(74) 专利代理机构 北京弘权知识产权代理有限  
公司 11363  
代理人 李少丹 许伟群

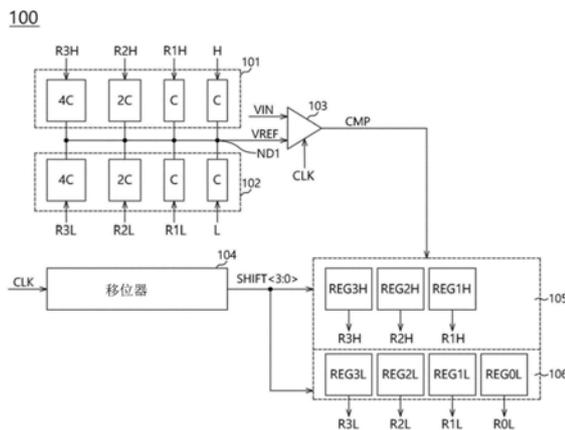
权利要求书2页 说明书6页 附图4页

(54) 发明名称

模数转换器和利用该模数转换器的半导体装置

(57) 摘要

一种模数转换器包括：第一DAC单元，其被配置为根据第一码来改变通过第一节点输出的参考电压的电平；第二DAC单元，其基于第一节点而并联耦接到第一DAC单元，并且被配置为根据第二码来改变参考电压的电平；比较器，其被配置为通过将输入电压与参考电压进行比较来产生比较结果信号；以及至少一个寄存器阵列，其被配置为储存具有初始值的第一码和第二码，并且通过根据比较结果信号改变第一码和第二码的值来储存第一码和第二码。



1. 一种模数转换器ADC,其包括:

第一数模转换DAC单元,其被配置为根据第一码来改变通过第一节点输出的参考电压的电平;

第二DAC单元,其基于第一节点而并联耦接到第一DAC单元,并且被配置为根据第二码来改变参考电压的电平;

比较器,其被配置为通过将输入电压与参考电压进行比较来产生比较结果信号;以及

至少一个寄存器阵列,其被配置为储存具有初始值的第一码和第二码,并且通过根据比较结果信号改变第一码和第二码的值来储存第一码和第二码。

2. 根据权利要求1所述的ADC,还包括移位器,其被配置为产生用于根据时钟信号来选择性地激活所述至少一个寄存器阵列的寄存器的寄存器控制信号。

3. 根据权利要求1所述的ADC,还包括移位器,其被配置为产生用于通过分频和移位时钟信号来选择性地激活所述至少一个寄存器阵列的寄存器的寄存器控制信号。

4. 根据权利要求1所述的ADC,其中,第一DAC单元包括基于第一节点而串联耦接的多个第一滞后电路。

5. 根据权利要求4所述的ADC,其中,所述多个第一滞后电路被配置为具有二进制加权的电容。

6. 根据权利要求4所述的ADC,其中,第二DAC单元包括基于第一节点而串联耦接的多个第二滞后电路,以及

所述多个第一滞后电路基于第一节点而并联耦接到所述多个第二滞后电路。

7. 根据权利要求1所述的ADC,其中,第一DAC单元和第二DAC单元直接耦接到所述至少一个寄存器阵列。

8. 根据权利要求6所述的ADC,其中,所述多个第一滞后电路和所述多个第二滞后电路直接耦接到所述至少一个寄存器阵列的多个寄存器。

9. 一种模数转换器ADC,其包括:

多个第一滞后电路,其根据第一码而被激活;以及

多个第二滞后电路,其根据第二码而被激活并且基于第一节点而并联耦接至所述多个第一滞后电路,

其中,第一码和第二码的初始值被设定为用于将所述多个第一滞后电路中的至少一个和所述多个第二滞后电路中的至少一个激活并且将所述多个第一滞后电路中的其它电路和所述多个第二滞后电路中的其它电路都不激活的电平,以及

根据输入电压与根据所述多个第一滞后电路和所述多个第二滞后电路而变化的参考电压的比较结果来调整第一码和第二码。

10. 根据权利要求9所述的ADC,还包括:

比较器,其被配置为通过将输入电压与参考电压进行比较来产生比较结果信号;以及

至少一个寄存器阵列,其被配置为储存具有初始值的第一码和第二码,并且通过根据比较结果信号改变第一码和第二码的值来储存第一码和第二码。

11. 根据权利要求10所述的ADC,还包括移位器,其被配置为根据时钟信号来选择性地激活所述至少一个寄存器阵列的寄存器。

12. 根据权利要求10所述的ADC,其中,所述多个第一滞后电路和所述多个第二滞后电

路直接耦接到所述至少一个寄存器阵列的寄存器。

13. 根据权利要求10所述的ADC, 其中, 所述至少一个寄存器阵列被配置为顺序地储存根据时钟信号顺序产生的比较结果信号, 并且根据第一码和第二码的比特位信号的次序来顺序地储存比较结果信号。

14. 根据权利要求9所述的ADC, 其中, 所述多个第一滞后电路被配置为具有二进制加权的电容。

15. 一种半导体装置, 其包括:

复制驱动器, 其通过复制数据输出端的驱动器来配置, 并且被配置为根据第一码和第二码来改变复制驱动器的电流量;

外部电阻器;

比较器, 其被配置为通过将参考电压与分配电压进行比较来输出比较结果, 所述分配电压是根据复制驱动器的内部电阻器与外部电阻器的电阻分配比来分配的;

第一寄存器阵列, 其被配置为根据比较器的输出信号来改变第一码; 以及

第二寄存器阵列, 其被配置为根据比较器的输出信号来改变第二码。

16. 根据权利要求15所述的半导体装置, 其中, 第一寄存器阵列和第二寄存器阵列耦接到复制驱动器。

17. 根据权利要求15所述的半导体装置, 其中, 复制驱动器包括:

多个第一滞后电路, 其根据第一码而被激活; 以及

多个第二滞后电路, 其根据第二码而被激活, 并且基于第一节点而并联耦接到所述多个第一滞后电路。

18. 根据权利要求17所述的半导体装置, 其中, 第一码和第二码的初始值被设定为用于将所述多个第一滞后电路中的一个电路和所述多个第二滞后电路中的一个电路都激活并且将所述多个第一滞后电路中的其它电路和所述多个第二滞后电路中的其它电路都不激活的电平。

19. 根据权利要求15所述的半导体装置, 还包括移位器, 其被配置为根据时钟信号来选择性地激活第一寄存器阵列和第二寄存器阵列的寄存器。

20. 根据权利要求15所述的半导体装置, 其中, 第一寄存器阵列和第二寄存器阵列被配置为顺序地储存根据时钟信号而顺序产生的比较器的输出信号, 并且根据第一码和第二码的比特位信号的次序来顺序地储存比较结果信号。

## 模数转换器和利用该模数转换器的半导体装置

[0001] 相关申请的交叉引用

[0002] 本申请要求2017年2月13日向韩国知识产权局提交的申请号为10-2017-0019541的韩国专利申请的优先权,其全部内容通过引用合并于此。

### 技术领域

[0003] 各种实施例总体而言可以涉及一种半导体电路,更具体地,涉及一种模数转换器(ADC)以及利用该模数转换器的半导体装置。

### 背景技术

[0004] 半导体装置可以包括通过将模拟信号转换成数字信号来储存模拟信号的ADC。

[0005] 因此,半导体装置中的电路面积和功耗可能由于包括在半导体装置中的ADC而不可避免地增加。重要的是通过简化ADC的逻辑设计来最小化包括ADC的半导体装置中的电路面积的增加并降低功耗。

### 发明内容

[0006] 为能够最小化电路面积的增加并降低功耗的ADC以及利用该ADC的半导体装置提供各种实施例。

[0007] 在本公开的实施例中,一种模数转换器(ADC)可以包括:第一数模转换(DAC)单元,其被配置为根据第一码来改变通过第一节点输出的参考电压的电平;第二DAC单元,其基于第一节点而并联耦接到第一DAC单元,并且被配置为根据第二码来改变参考电压的电平;比较器,其被配置为通过将输入电压与参考电压进行比较来产生比较结果信号;以及至少一个寄存器阵列,其被配置为储存具有初始值的第一码和第二码,并且通过根据比较结果信号改变第一码和第二码的值来储存第一码和第二码。

[0008] 在本公开的一个实施例中,一种模数转换器(ADC)可以包括:多个第一滞后电路,其根据第一码而被激活;以及多个第二滞后电路,其根据第二码而被激活,并且基于第一节点而并联耦接到多个第一滞后电路。第一码和第二码的初始值可以被设定为用于将多个第一滞后电路中的至少一个和多个第二滞后电路中的至少一个激活并且将多个第一滞后电路中的其它电路和多个第二滞后电路中的其它电路都不激活的电平。可以根据输入电压与根据多个第一滞后电路和多个第二滞后电路而变化的参考电压的比较结果来调整第一码和第二码。

[0009] 在本公开的另一个实施例中,一种半导体装置可以包括:复制驱动器,其通过复制数据输出端的驱动器来配置,并且被配置为根据第一码和第二码来改变复制驱动器的电流量;外部电阻器;比较器,其被配置为通过将参考电压与分配电压进行比较来输出比较结果,所述分配电压是根据复制驱动器的内部电阻器与外部电阻器的电阻分配比来分配的;第一寄存器阵列,其被配置为根据比较器的输出信号来改变第一码;以及第二寄存器阵列,其被配置为根据比较器的输出信号来改变第二码。

[0010] 在以下标题为“具体实施方式”的部分描述这些和其他的特点、方面以及实施例。

### 附图说明

[0011] 从下面结合附图的详细描述中将更加清楚地理解本公开的主题的以上和其他的方面、特征以及优点,其中:

[0012] 图1是示出根据本公开的一个实施例的ADC的配置的示图;

[0013] 图2A至图2C是示出图1中的第一数模转换(DAC)单元和第二数模转换(DAC)单元的配置示例的示图;

[0014] 图3是说明根据本公开的一个实施例的ADC的操作的时序图;

[0015] 图4是示出根据图1的比较结果信号而储存在第一寄存器阵列和第二寄存器阵列中的值的变化值的变化的图表;

[0016] 图5是示出根据本公开的另一个实施例的ADC的配置的示图;以及

[0017] 图6是示出根据本公开的一个实施例的半导体装置的配置的示图。

### 具体实施方式

[0018] 将参照附图来更具体地描述本公开的各种实施例。附图是各种实施例(以及中间结构)的示意性图示。照此,可以预料到图示的配置和形状的变化是缘于例如制造技术和/或公差。因而,所述的实施例不应被解释为局限于本文所示的特定配置和形状,而是可以包括不脱离如所附权利要求所限定的本公开的精神和范围的配置和形状的偏差。

[0019] 在本文中,参考本公开的理想化实施例的截面图和/或平面图描述了本公开内容。然而,本公开的实施例不应被解释为限制本发明的构思。尽管将示出和描述本公开的一些实施例,但是本领域普通技术人员将会理解的是,在不脱离本公开的原理和精神的情况下,可以对这些实施例进行改变。

[0020] 如图1所示,根据一个实施例的模数转换器(以下称为ADC)100可以包括:第一数模转换(以下称为DAC)单元101、第二DAC单元102、比较器103、移位器104、第一寄存器阵列105和第二寄存器阵列106。

[0021] 第一DAC单元101和第二DAC单元102可以根据第一码R3H、R2H和R1H以及第二码R3L、R2L和R1L来改变参考电压VREF的电平,并且输出电平变化的参考电压。

[0022] 第一DAC单元101可以包括基于输出参考电压VREF的输出节点ND1而串联耦接的多个第一滞后电路4C、2C、C和C。

[0023] 多个第一滞后电路4C、2C、C和C可以被配置为具有二进制加权的电容。例如,滞后电路2C可以具有为滞后电路C的电容两倍大的电容,并且滞后电路4C可以具有为滞后电路C的电容四倍大的电容。

[0024] 可以将第一码R3H、R2H和R1H的比特位信号R3H、R2H和R1H输入到第一DAC单元101中的多个第一滞后电路4C、2C、C和C之中的滞后电路4C、2C和C,并且输入到最后的滞后电路C的信号可以被固定为逻辑高H。

[0025] 在多个第一滞后电路之中输入具有逻辑高电平的第一码R3H、R2H和R1H的比特位信号的至少一个滞后电路可以被激活。第一码R3H、R2H和R1H的初始值可以被设定为用于激活多个第一滞后电路4C、2C、C和C中的至少一个并且不激活多个第一滞后电路4C、2C、C和C

中的一个或更多的电平。

[0026] 第二DAC单元102可以包括基于输出参考电压VREF的输出节点ND1串联耦合的多个第二滞后电路4C、2C、C和C。

[0027] 第二码R3L、R2L和R1L的比特位信号R3L、R2L和R1L可以被输入到第二DAC单元102中的多个第二滞后电路4C、2C、C和C之中的滞后电路4C、2C和C,并且输入到最后的滞后电路C的信号可以被固定为逻辑低L。

[0028] 在多个第二滞后电路之中输入具有逻辑高电平的第二码R3L、R2L和R1L的比特位信号中的一个的至少一个滞后电路可以被激活。第二码R3L、R2L和R1L的初始值可以被设定为用于激活多个第二滞后电路4C、2C、C和C中的至少一个并且不激活多个第二滞后电路4C、2C、C和C中的一个或更多的电平。

[0029] 第一DAC单元101中的多个第一滞后电路4C、2C、C和C可以基于输出参考电压VREF的输出节点ND1而与第二DAC单元102中的多个第二滞后电路4C、2C、C和C并联耦合。

[0030] 例如,第一DAC单元101中的滞后电路4C可以基于输出节点ND1而与第二DAC单元102中的滞后电路4C并联耦合。

[0031] 第一DAC单元101中的滞后电路2C可以基于输出节点ND1而与第二DAC单元102中的滞后电路2C并联耦合。

[0032] 第一DAC单元101中的滞后电路C可以基于输出节点ND1而与第二DAC单元102中的滞后电路C并联耦合。在更高的水平处,第一DAC单元101可以基于输出节点ND1而与第二DAC单元102并联耦合。

[0033] 第一DAC单元101中的多个第一滞后电路4C、2C、C和C可以基于输出节点ND1而串联耦合。例如,当多个第一滞后电路4C、2C、C和C的全部都被激活时,第一DAC单元101可以具有与8C的1/2相对应的电容4C,8C是多个第一滞后电路4C、2C、C和C的电容4C、2C、C和C之和。

[0034] 在另一个示例中,当第一DAC单元101中的多个第一滞后电路4C、2C、C和C中的滞后电路2C、C和C被激活时,第一DAC单元101可以具有与8C的1/4相对应的电容2C,8C是多个第一滞后电路4C、2C、C和C的电容4C、2C、C和C之和。

[0035] 比较器103可以通过将输入电压VIN与参考电压VREF进行比较来产生比较结果信号CMP。

[0036] 当输入电压VIN大于参考电压VREF时,比较器103可以输出逻辑高H的比较结果信号CMP,而当输入电压VIN小于参考电压VREF时,比较器103可以输出逻辑低L的比较结果信号CMP。

[0037] 移位器104可以根据时钟信号CLK来产生寄存器控制信号SHIFT<3:0>。

[0038] 移位器104可以对时钟信号CLK执行2分频,并且通过移位分频的时钟信号来将分频的时钟信号输出为寄存器控制信号SHIFT<3:0>。

[0039] 第一寄存器阵列105可以包括多个第一寄存器REG3H、REG2H和REG1H。

[0040] 多个第一寄存器REG3H、REG2H和REG1H可以将储存在其中的信号输出为第一码R3H、R2H和R1H。

[0041] 第一寄存器阵列105可以根据寄存器控制信号SHIFT<3:0>来顺序地储存具有预设初始值的第一码R3H、R2H和R1H的比特位信号以及通过利用比较结果信号CMP替换第一码R3H、R2H和R1H的比特位信号中的任意一个来顺序地储存比较结果信号CMP。

[0042] 例如,第一寄存器阵列105可以储存具有逻辑高H的第一码R3H、R2H和R1H的所有比特位信号,并且可以将比较结果信号CMP储存在多个第一寄存器REG3H、REG2H和REG1H之中根据寄存器控制信号SHIFT<3:0>而被激活的寄存器中。

[0043] 第二寄存器阵列106可以包括多个第二寄存器REG3L、REG2L、REG1L和REG0L。

[0044] 多个第二寄存器REG3L、REG2L、REG1L和REG0L之中的寄存器REG3L、REG2L和REG1L可以将储存在其中的信号输出为第二码R3L、R2L和R1L的比特位信号R3L、R2L和R1L。

[0045] 第二寄存器阵列106可以根据寄存器控制信号SHIFT<3:0>来顺序地储存具有预设初始值的第二码R3L、R2L和R1L的比特位信号以及通过利用比较结果信号CMP替换第二码R3L、R2L、R1L和R0L的比特位信号中的任意一个来顺序地储存比较结果信号CMP。

[0046] 例如,第二寄存器阵列106可以储存具有逻辑低L的第二码R3L、R2L、R1L和R0L的所有比特位信号,并且可以将比较结果信号CMP储存在多个第二寄存器REG3L、REG2L、REG1L和REG0L之中根据寄存器控制信号SHIFT<3:0>而被激活的寄存器中。

[0047] 在一个实施例中,第一DAC单元101中的多个第一滞后电路4C、2C和C可以直接耦接到第一寄存器阵列105中的多个第一寄存器REG3H、REG2H和REG1H。

[0048] 在一个实施例中,第二DAC单元102中的多个第二滞后电路4C、2C、C和C可以直接耦接到第二寄存器阵列106中的多个第二寄存器REG3L、REG2L、REG1L和REG0L。

[0049] 根据一个实施例的第一DAC单元101和第二DAC单元102可以被配置为具有图2A至2C所示的DAC单元中的任意一个。

[0050] 如图2A所示,第一DAC单元101和第二DAC单元102可以由多个电容器111构成,以具有如参照图1所述的二进制加权的电容。

[0051] 如图2B所示,第一DAC单元101和第二DAC单元102可以由多个电阻器112构成,以具有二进制加权的电阻。

[0052] 如图2C所示,第一DAC单元101和第二DAC单元102可以由多个晶体管113构成,使得根据二进制加权方式的一定量电流流动。流过第一DAC单元101和第二DAC单元102的电流可以用作除了图2A和2B的参考电压VREF之外的参考电流IREF。

[0053] 将参照图3和4来描述根据一个实施例的ADC100的操作。

[0054] 首先,在初始操作中,第一码R3H、R2H和R1H的所有比特位信号可以具有逻辑高电平,而第二码R3L、R2L、R1L和R0L的所有比特位信号可以具有逻辑低电平,如参考图1所述。

[0055] 被激活的DAC单元101的电容可以由于电容器串联连接结构而为1/2的最大电容。

[0056] 因此,参考电压VREF可以具有例如与在通过电容分配的初始操作中的1/2功率电压相对应的电平。

[0057] 寄存器控制信号SHIFT<3:0>的比特位信号(例如SHIFT<3>、SHIFT<2>、SHIFT<1>和SHIFT<0>)可以在时钟信号CLK的上升沿处,在时钟信号CLK的一个周期时段内顺序地被激活。

[0058] 比较结果信号CMP可以在时钟信号CLK的下降沿处,被顺序地产生或转换到逻辑高H或逻辑低L。

[0059] 当寄存器控制信号SHIFT<3:0>的比特位信号SHIFT<3>在时钟信号CLK的上升沿处被激活时,比较结果信号CMP可以被同时储存在与第一码R3H、R2H和R1H和第二码R3L、R2L、R1L和R0L的最高有效位(MSB)信号(例如,R3H和R3L)相对应的寄存器REG3H和REG3L中。

[0060] 同时储存在寄存器REG3H和REG3L中的信号值彼此相同。例如,同时储存在寄存器REG3H和REG3L中的信号值可以同样具有逻辑高电平或逻辑低电平。因此,为了清楚起见,寄存器REG3H和REG3L可以共同地称作为R3。

[0061] 例如,当寄存器R3为逻辑低时,参考电压VREF可以被调整到与1/4功率电压相对应的电平。

[0062] 通过将输入电压VIN与通过上述方法升压或降低的参考电压VREF进行比较而产生的比较结果信号CMP可以被同时储存在共同地称作为R2的寄存器REG2H和REG2L中。

[0063] 基于时钟信号CLK的下一个比较结果信号CMP可以被储存在共同地称作为R1的寄存器REG1H和REG1L中。

[0064] 基于时钟信号CLK的下一个比较结果信号CMP可以被储存在与第二码R3L、R2L、R1L和R0L的最低有效位 (LSB) 信号相对应的电阻器REG0L (被称作为R0) 中,并且因此可以完成模数转换操作。

[0065] 当模数转换操作完成时,第一码R3H、R2H和R1H的比特位信号可以具有与第二码R3L、R2L和R1L的比特位信号相同的值。

[0066] 第二码R3L、R2L、R1L和R0L可以作为将输入电压VIN转换为数字信号的最终输出而被提供给外部。

[0067] 如图5所示,根据另一个实施例的差分型ADC200可以包括:第一DAC单元201、第二DAC单元202、比较器203、移位器204、第一寄存器阵列205和第二寄存器阵列206。

[0068] 第一DAC单元201可以被配置为具有与图1的组合的第一DAC单元101和第二DAC单元102的结构相同的结构。

[0069] 第一DAC单元201可以根据信号CODE\_H和CODE\_L来产生输出电压,所述信号CODE\_H和CODE\_L具有与参照图1所述的第一码R3H、R2H和R1H以及第二码R3L、R2L、R1L和R0L相同的值。

[0070] 第二DAC单元202可以具有与第一DAC单元201相同的配置,并且可以根据作为信号CODE\_H和CODE\_L的差分信号的信号/CODE\_H和/CODE\_L来产生输出电压。

[0071] 比较器203可以通过将第一DAC单元201的输出电压与第二DAC单元202的输出电压进行比较来产生差分型输出信号。

[0072] 移位器204可以被配置为具有与图1的移位器104相同的配置。

[0073] 第一寄存器阵列205可以根据比较器203的输出和移位器204的输出中的至少一个来改变并产生信号CODE\_H和作为信号CODE\_H的差分信号的信号/CODE\_H中的至少一个。

[0074] 第一寄存器阵列205可以包括图1的第一寄存器105的配置,并且可以利用第一寄存器阵列105的配置来产生信号CODE\_H。第一寄存器阵列205还可以包括被配置为产生差分信号/CODE\_H的电路部件,例如逆变器阵列。

[0075] 第二寄存器阵列206可以根据比较器203的输出和移位器204的输出中的至少一个来改变并产生信号CODE\_L和信号CODE\_L的差分信号/CODE\_L中的至少一个。

[0076] 第二寄存器阵列206可以被配置为具有与第一寄存器阵列205相同的配置。

[0077] 根据一个实施例的半导体装置300可以是使用ADC的阻抗调整电路。

[0078] 如图6所示,根据一个实施例的半导体装置300可以包括:复制驱动器301、比较器303、移位器304、第一寄存器阵列305和第二寄存器阵列306。

[0079] 复制驱动器301可以通过复制配置在半导体装置的数据输出端中的驱动器(例如,被配置为上拉数据信号的上拉驱动器或被配置为下拉数据信号的下拉驱动器)来配置。

[0080] 例如,基于图2C的配置,复制驱动器301可以包括图1的第一DAC单元101和第二DAC102中的任意一个。在另一个示例中,基于图2C的配置,复制驱动器301可以包括图1的第一DAC单元101和第二DAC102两者。

[0081] 复制驱动器301可以根据信号CODE\_H和CODE\_L来改变电流量。

[0082] 可以将流过复制驱动器301的电流转换成根据复制驱动器301的内部电阻器与外部电阻器RZQ的电阻分配比来分配的分配电压VZQ。

[0083] 比较器303可以通过将分配电压VZQ与参考电压VREFZQ进行比较来产生比较结果。

[0084] 移位器304可以具有与图1的移位器104相同的配置。

[0085] 第一寄存器阵列305可以根据比较器303的输出和移位器304的输出来产生信号CODE\_H。第一寄存器阵列305可以经由比较器303而耦接到复制驱动器301。

[0086] 第一寄存器阵列305可以包括图1的第一寄存器阵列105的配置,并且可以利用第一电阻器阵列105的配置来产生信号CODE\_H。

[0087] 第二寄存器阵列306可以根据比较器303的输出和移位器304的输出来产生信号CODE\_L。第二寄存器阵列306可以经由比较器303耦接到复制驱动器301。

[0088] 第二寄存器阵列306可以具有与第一寄存器阵列305相同的配置。

[0089] 从第一寄存器阵列305和第二寄存器阵列306产生的信号CODE\_H和CODE\_L可以被提供给配置在半导体装置的数据输出端中的上拉驱动器和下拉驱动器。

[0090] 可以根据信号CODE\_H和CODE\_L将上拉驱动器和下拉驱动器的电阻值调整到目标值。

[0091] 本公开的上述实施例旨在说明而非限制本公开。各种替代形式和等同形式都是可能的。本公开不受本文所述的实施例的限制。本公开也不限于任何特定类型的半导体器件。鉴于本公开内容,其它添加、删减或修改是显而易见的,并且旨在落入所附权利要求的范围内。

100

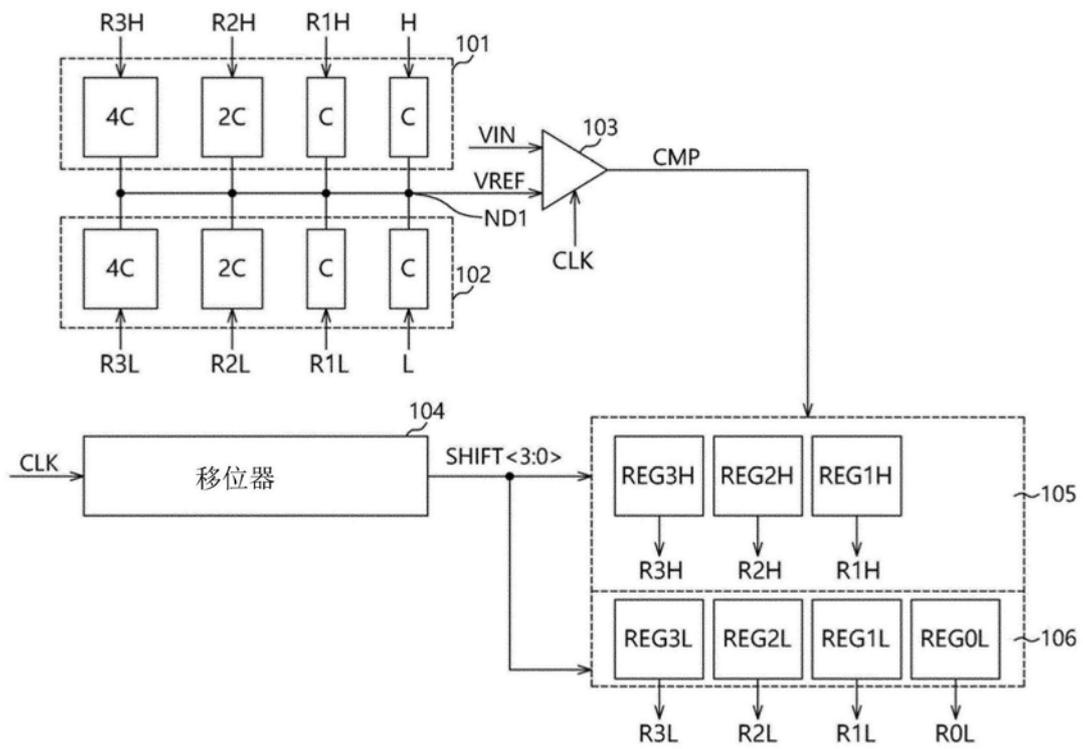


图1

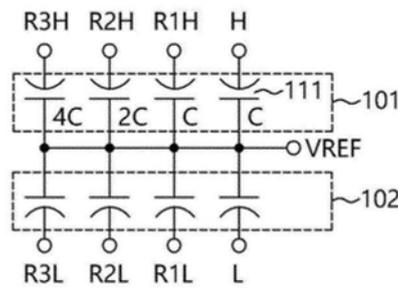


图2A

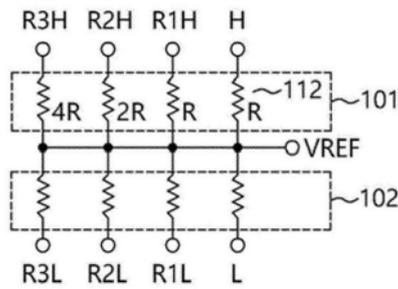


图2B

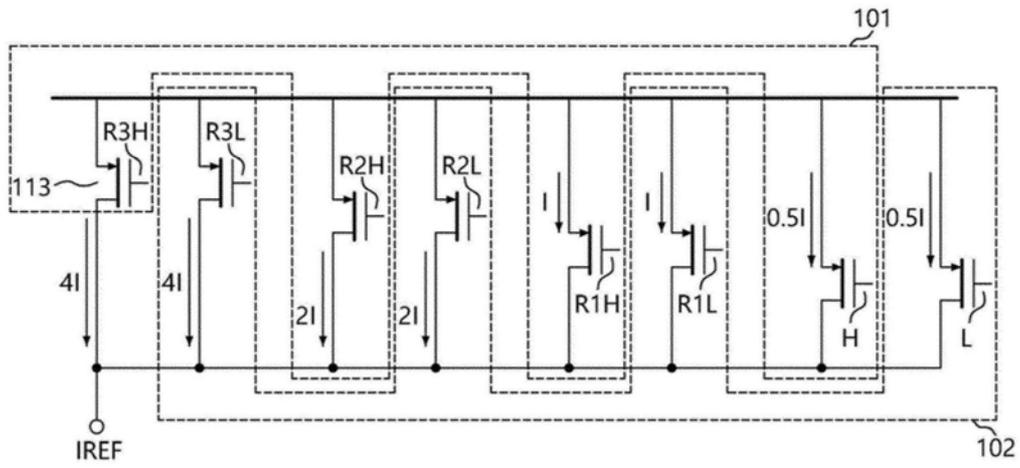


图2C

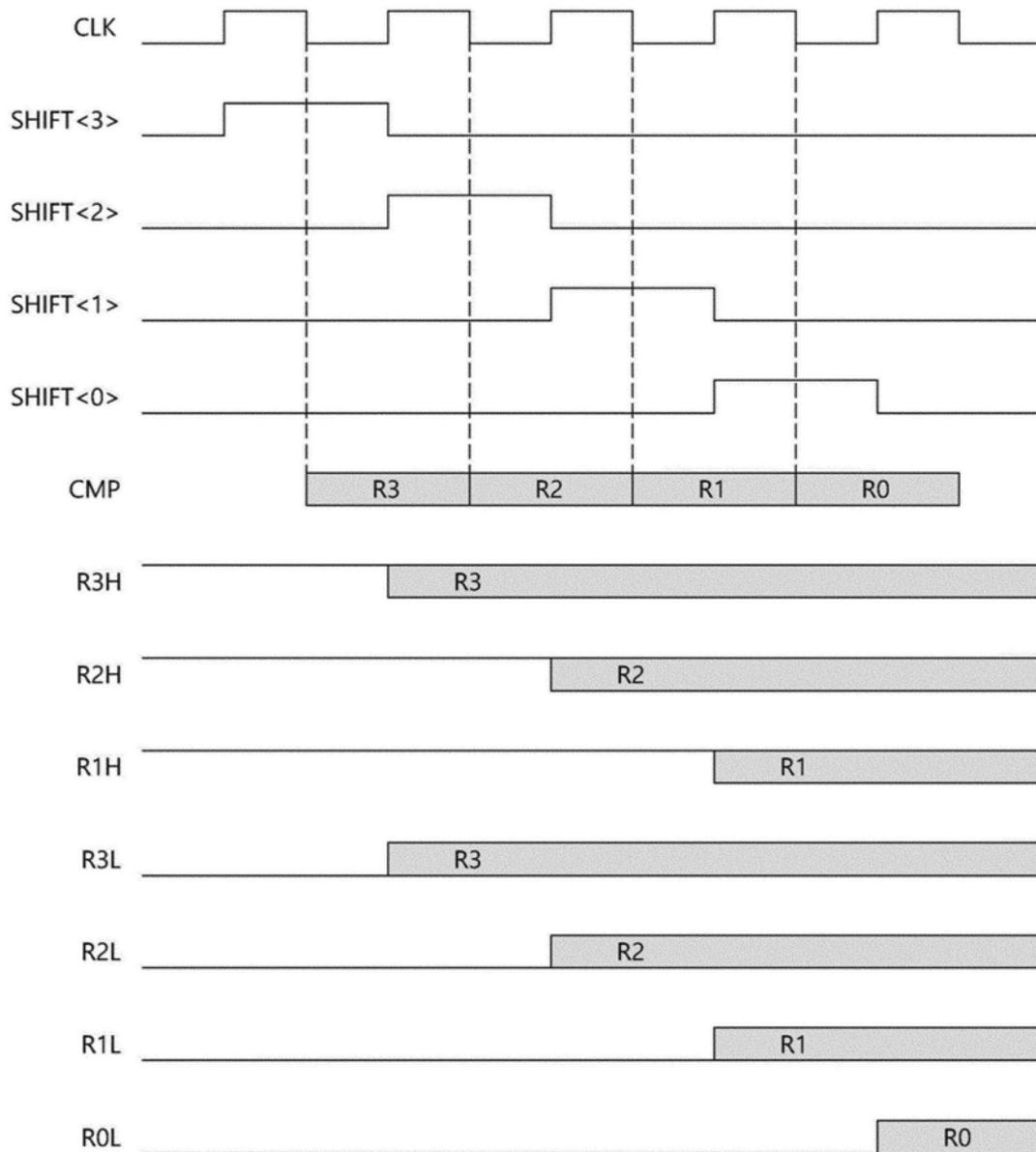


图3

R3H	R3L	R2H	R2L	R1H	R1L	R0H	R0L	CMP
1	0	1	0	1	0	1	0	R3
R3		1	0	1	0	1	0	R2
R3		R2		1	0	1	0	R1
R3		R2		R1		1	0	R0
R3		R2		R1		R0		

图4

200

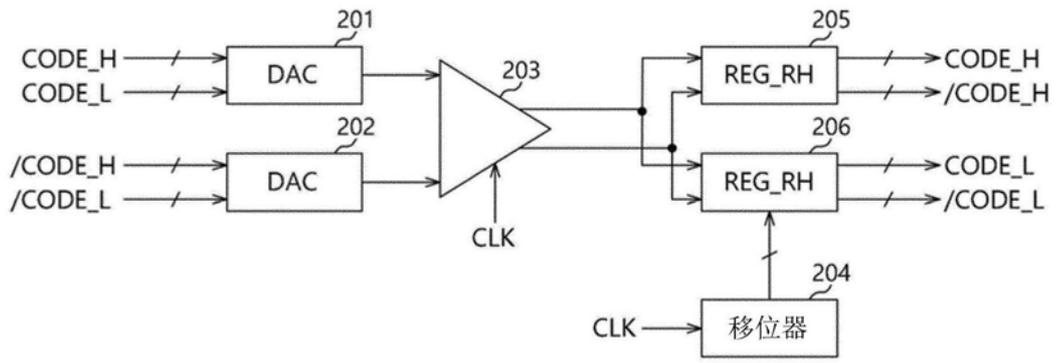


图5

300

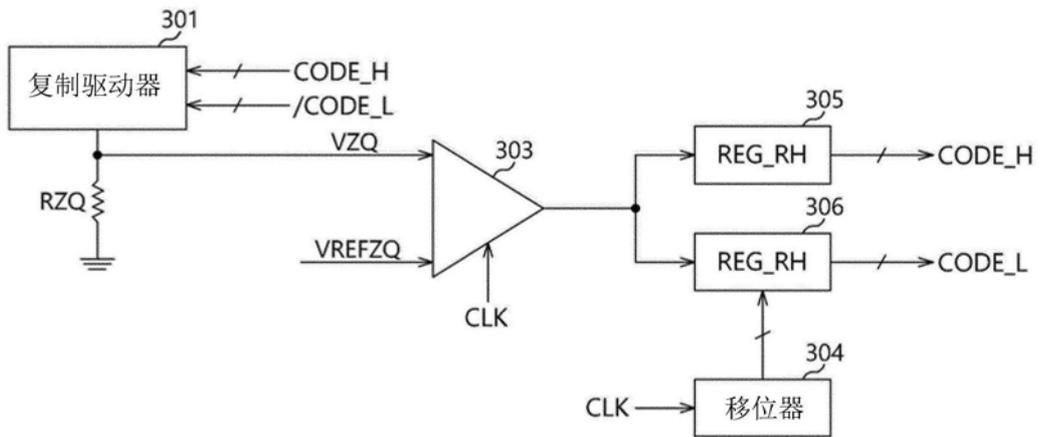


图6