

承辦人代碼：
大類：
I P C 分類：

本案已向：

日本國(地區) 申請專利，申請日期： 案號 ， 有 無主張優先權

1.2001.06.22 特願 2001-188950

有關微生物已寄存於： ，寄存日期： ，寄存號碼：

五、發明說明 (1)

發明背景

發明領域

本發明係關於一種半導體元件，尤其是一種適合應用在整體組合周邊電路和動態隨機存取記憶體(DRAM)之半導體元件上之半導體記憶元件。

習知技術說明

在周邊電路和動態隨機存取記憶體(DRAM)係整體形成在單一半導體元件之半導體元件中，尤其是 DRAM 的電容係放置在位元線上之 COB(位元線上電容器)，會有在組件和周邊電路中之金屬導線之間造成電性連接的接觸電阻問題。

迄今，此種半導體記憶元件，如第 18 圖所示之橫截面圖，係以下列步驟製備：在記憶體單胞區上，形成 DRAM 用之記憶體單胞電晶體 T_m ，及在矽基板 101 的周邊電路(邏輯電路)區上，形成周邊電路電晶體 T_s ，接著在記憶體單胞區的層間絕緣膜 106 上，形成位元線 115，然後在這些構件上形成層間絕緣膜 110，112，及在形成在層間絕緣膜 122 中的凹陷部分之中，形成用以儲在電荷之電容器 127，其中包含下電極 124，電容器絕緣膜 125，和上電極 126。接著，位元線 115 通過接點 112 電性連接記憶體單胞電晶體 T_m ，而電容器 127 則通過接點 119 電性連接記憶體單胞電晶體 T_m 。此外，用層間絕緣膜 128 覆蓋電容器 127，接著在周邊電路區上，形成金屬導線 131，並且通過接點 130 電性連接周邊電路電晶體 T_s 。但是，在此

五、發明說明（2）

半導體記憶元件中，應該要形成之層間絕緣膜的總厚度，係要可以覆蓋在周邊電路區中之位元線 115 和電容器 127，使得焊接點 130 可以透過厚的層間絕緣膜延伸到周邊電路電晶體 T_s 。此種組態之半導體記憶元件會很難在層間絕緣膜中形成接觸用之開口，造成接點製造上的麻煩。

另一方面，在習知技術改善的半導體元件方面，如第 19 圖所示之橫截面圖，分別在其上都有形成記憶體單胞電晶體 T_m 和周邊電路電晶體 T_s 之每一個記憶體單胞區和周邊電路區，係藉由在位元線 115 下之層間絕緣膜 106 中，形成接點(稱為單胞接點)109，且將單胞接點 109 電性連接到每一個個別區域之電晶體 T_m ， T_s 所建構的。此外，在記憶體單胞區中，位元線 115 連接到單胞接點 109，而電容器 127 則通過形成在單胞接點 106 上之層間絕緣膜 110 中的接點(稱為電容接點)，電性連接到單胞接點 106。在周邊電路中，在電容器 127 上的層間絕緣膜 128 上之金屬導線 131 係通過接點(稱為金屬接點)130A 電性連接到單胞接點 109。根據此種組態之習知技術改善後的半導體元件，金屬接點 130A 用之開口可只分別透過層間絕緣膜 128，122，110 形成。與第 18 圖之半導體記憶元件相較，可以減少接觸孔洞的深度，所以可以簡化接點之製程。

但是，在此種改善後的半導體元件中，單胞接點 109 的上端點部分曝露在層間絕緣膜 106 的表面。因此，當位元線 115 形成在層間絕緣膜 106 上表面之上時，微影技術的結果，位元線 115 會自預定位置偏移。因此，如第 19 圖

五、發明說明（3）

之"X"所示，部分的位元線 115 妨礙到單胞接點 109，使位元線 115 和單胞接點 109 之間造成短路。尤其，未圖示於圖中，就和典型的接觸孔洞之情形一樣，單胞接點 109 係藉由將層間絕緣膜 106 施以選擇性蝕刻技術而形成的。因此，其會形成錐形的形狀，使得上開口的直徑大於下開口的直徑。換言之，單胞接點 109 的上終端部分容易變成具有較大直徑之接點，所以在單胞接點 109 和位元線 115 之間很容易發生短路。因此，會限制位元線 115 的間距尺寸，而除了製程良率會減少之外，還會造成很難有很高積體性的半導體記憶元件。

此外，像一個圓柱之電容器 127 係形成在凹陷部分之中，此凹陷部分則是形成在覆蓋位元線 115 之層間絕緣膜 122 之中。爲了增加電容，需要增加下電極 124 和上電極 126 之間的面對面積。在此情形下，若增加層間絕緣膜 122 的膜厚，以增加電容器在膜厚方向上的尺寸，則即使有形成單胞接點 109，在周邊電路區中之金屬接點 130A 的深度也會變得更深。因此，接點會變得難以製造，而造成製程良率的減少。此外，若增加電容器 127 在平板方向上的面積，則會限制提供高密度之對應此種電容器之記憶體單胞，而且高積體性半導體元件的生產會變得很困難。

發明概述

本發明之目的在於提供一種半導體記憶元件，可以允許包含當作記憶體單胞之 DRAM 之高密度半導體記憶元件，但是也可以改善製造良率。

五、發明說明（4）

本發明提供具有形成在半導體基板上之電晶體，和形成在電晶體的上層之上且電性連接到電晶體之電容器之半導體記憶元件，其包含：單胞接點，其形成在覆蓋電晶體的第一層間絕緣膜之上，而且還電性連接到電晶體；位元接點，其形成在提供在第一層間絕緣膜上之第二層間絕緣膜之上，而且還電性連接到單胞接點；位元線，其形成在第二層間絕緣膜之上，而且連接到位元接點；電容器，其形成在覆蓋位元線的第三層間絕緣膜之上；電容器接點，其通過第三和第二層間絕緣膜形成，而且使電容器在單胞接點連接；及側壁，其對形成在位元線表面上之第二和第三層間絕緣膜具有蝕刻選擇性。

圖式簡單說明

藉由下面參考附圖之詳細說明，本發明上述和其他的目的，特徵，和優點將會變得更明顯，其中：

第 1 圖為當作本發明第一優選實施例之半導體記憶元件的橫截面圖；

第 2 圖為用以說明第一優選實施例之半導體記憶元件製程的第一步驟之橫截面圖；

第 3 圖為用以說明第一優選實施例之半導體記憶元件製程的第二步驟之橫截面圖；

第 4 圖為用以說明第一優選實施例之半導體記憶元件製程的第三步驟之橫截面圖；

第 5 圖為用以說明第一優選實施例之半導體記憶元件製程的第四步驟之橫截面圖；

五、發明說明（5）

第 6 圖為用以說明第一優選實施例之半導體記憶元件製程的第五步驟之橫截面圖；

第 7 圖為用以說明第一優選實施例之半導體記憶元件製程的第六步驟之橫截面圖；

第 8 圖為用以說明第一優選實施例之半導體記憶元件製程的第七步驟之橫截面圖；

第 9 圖為用以說明第一優選實施例之半導體記憶元件製程的第八步驟之橫截面圖；

第 10 圖為用以說明第一優選實施例之半導體記憶元件製程的第九步驟之橫截面圖；

第 11 圖為第一優選實施例之修正例之半導體記憶元件之橫截面圖；

第 12 圖為第一優選實施例之另一修正例之半導體記憶元件之橫截面圖；

第 13 圖為當作本發明第二優選實施例之半導體記憶元件的橫截面圖；

第 14 圖為用以說明第二優選實施例之半導體記憶元件製程的第一步驟之橫截面圖；

第 15 圖為用以說明第二優選實施例之半導體記憶元件製程的第二步驟之橫截面圖；

第 16 圖為用以說明第二優選實施例之半導體記憶元件製程的第三步驟之橫截面圖；

第 17 圖為用以說明第二優選實施例之半導體記憶元件製程的第四步驟之橫截面圖；

五、發明說明 (6)

第 18 圖為傳統半導體記憶元件其中之一之橫截面圖；
及

第 19 圖為另一個傳統記憶元件之橫截面圖。

發明詳細說明

接著，我們將參考圖式說明本發明之優選實施例。

參考第 1 圖和第 2 圖，半導體記憶元件之製程將被說明。在這些圖中，第 1 圖係當作本發明第一優選實施例之半導體記憶元件的垂向橫截面圖，其中位元線係以高密度形成，以實行高積體性半導體元件，而第 2 圖則說明此種半導體記憶元件之製程的其中之一步驟。

首先，如第 2 圖所示，就像和典型的 DRAM 之情況一樣，在矽基板 1 之中形成淺溝槽。然後，用絕緣材料填滿溝槽，形成元件分隔絕緣膜 (STI) 2，除了在記憶單胞區分隔個別的單胞區之外，還要分隔記憶單胞區和周邊電路區。然後，在矽基板 1 之上形成閘極絕緣膜 3 閘極電極 4，在圖中，只圖示在周邊電路區之中。接著，將矽基板 1 施於摻雜，形成源極/汲極區 5，以提供允許在記憶單胞區形成記憶單胞電晶體 T_m ，和在周邊電路區形成周邊電路電晶體 T_s 之 MOS 電晶體。其次，處理各電晶體的擴散層和閘極的整個表面，形成具有鈷 (Co) 之的矽化物，以製作矽化鈷層 8。接著，在包含 STI 2 表面的矽基板 1 之表面上，形成覆蓋每一個電晶體之氮化矽膜 6。

接著，如第 3 圖所示，形成氧化矽膜 6b，以覆蓋各電晶體的記憶單胞區和周邊電路區。第一層間絕緣膜 6 係由

五、發明說明(7)

氧化矽膜 6a 和氧化矽膜 6b 一起形成的。在記憶單胞區中，形成用位元線和電容器連接記憶單胞電晶體 T_m 之接點孔洞 7_m 。另一方面，在周邊電路區中，形成用以將說明於後之金屬導線連接到周邊電路電晶體之接點孔洞 7_s 。這些接點孔洞可以分別藉由選擇性蝕刻而形成。接著，藉由 CVD 法，沈積鎢(W)，使其填滿每一個接點孔洞 7_m ， 7_s 。其次，藉由化學機械研磨(CMP)，平坦化第一層間絕緣膜 6 的表面，使得各接點孔洞仍保持現狀。而鎢(W)也保留在各接點孔洞之中，以提供單胞接點 9。

其次，如第 4 圖所示，在曝露單胞接點 9 的表面之第一層間絕緣膜的表面上，形成具有期望厚度之第二層間絕緣膜 10，使得單胞接點 9 的表面被第二層間絕緣膜 10 覆蓋。在第二層間絕緣膜 10 之中，在要電性連接位元線的單胞接點 9 之上的位置，執行選擇性蝕刻，以形成可以曝露單胞接點 9 的上表面之接點孔洞 11。接著，就像和單胞接點一樣之情形，使用 CVD 法沈積 W，使得接點孔洞 11 被 W 埋入，接著使用 CMP 法平坦化塗著之表面，但保留 W 在接點孔洞 11 之中，以形成用以連接位元線之位元接點 12。

其次，如第 5 圖所示，在第二層間絕緣膜的表面上，提供 TiN(氮化鈦)當作位元線膜 13。由氧化矽膜和氮化矽膜組成之薄膜係當作硬式遮罩膜 14。然後，如第 6 圖所示，藉由使用光阻遮罩(未圖示)，將硬式遮罩膜 14 和位元線膜 13 製作成位元線狀，形成位元線 15。在此同時，如

五、發明說明（8）

說明半導體記憶元件之平面佈局的第 7 圖所示，每一個位元線 15 都在位元接點 12 之上延伸。位元線 15 電性連接到該位元接點 12，而且也透過單胞接點 9 電性連接到記憶單胞電晶體 T_m 。另一方面，沒有連接到位元線 15 之單胞接點 9 被第二層間絕緣膜 10 覆蓋，所以即使位元線 15 自預定的位置偏移，位元線 15 和單胞接點 9 也絕不會短路。其次，在位元線 15 的整個表面上，成長具有期望厚度之氮化矽膜，然後對整個位元線 15 的表面施以回蝕刻，只保留位元線 15 的側面，形成側壁 16。如示於第 7 圖之半導體記憶元件之組態的橫截面圖例証，共並未對應上面每一個橫截面圖。

其次，如第 8 圖所示，使氧化矽膜形成覆蓋位元線 15 之第二層間絕緣膜 17。在單胞接點 9 之中，直接位在電性連接到後面會說明之電容器之單胞接點上的位置，和直接位在電性連接到後面會說明之周邊電路區金屬導線之單胞接點上的位置，都被選擇性蝕刻，以形成接點孔洞 $18m$ ， $18s$ 。在此同時，尤其是記憶體單胞區之接點孔洞 $18m$ ，會自預定的位置偏移。即使接點孔洞 $18m$ 形成在部分接點孔洞 $18m$ 和位元線 15 重疊的位置上，位元線 15 的側表面之側壁 16 為氮化矽膜，而其具有在對第三層間絕緣膜 17 的氧化矽膜施以蝕刻時不會被蝕該之蝕刻選擇性，所以可以形成自行對準的接點孔洞 $18m$ 。因此，位元線 15 的位元線膜 13 不可能會曝露在接點孔洞 $18m$ 之中。就像單胞接點或位元接點的情形一樣，使用 CVD 法沈

五、發明說明 (9)

積鎢 (W)，直到接點孔洞 18m，18s 被鎢 (W) 埋入為止，接著再使用 CMP 法將其表面平坦化，只留下在接點孔洞的鎢 (W)。接著，在記憶體單胞區中，形成用以連接電容器之電容器接點孔洞。在周邊電路區中，形成用以連接後面會敘述之金屬接點 20。

其次，如第 9 圖所示，在整個表面上形成由氮化矽膜製成之蝕刻停止膜 21，然後形成第四層由氧化矽膜製成之絕緣膜 22，用以覆蓋電容器接點 19 和下金屬接點 20。接著，藉由使用光阻遮罩 (未圖示)，將直接位在電容器接點 19 上方之蝕刻停止膜 21 和第四層間絕緣膜 22 之區域蝕刻成圓形，形成具有大直徑之圓柱狀凹陷部分 23。同時，圓柱狀凹陷部分 23 的底部表面區域曝露在電容器接點 19 的上端。如第 10 圖所示，在圓柱槽 23 的內表面之中，整個形成 TiN 膜。只有該圓柱狀凹陷部分 23 的區域用光阻遮罩 (未圖示) 覆蓋，接著對 TiN 膜執行回蝕刻，以形成下電極 24，而保留在圓柱狀凹陷部分 23 中之 TiN 膜。然後，在下電極 24 的表面上形成絕緣膜，如 Ta 氧化物膜，接著形成 W 和 TiN 之薄膜。然後，將薄膜和絕緣膜形成期望的圖案，以得到上電極 26 和電容器絕緣膜 25。因此，可以形成圓柱狀電容器 27。

接著，如第 1 圖所示，形成可以覆蓋電容器 27 之第五層間絕緣膜 28。然後，依序選擇性蝕刻周邊電路區中直接位在下金屬接點 20 上方之第五層間絕緣膜 28 和第四層間絕緣膜 22。接著，藉由蝕刻下蝕刻停止膜 21，形成接

五、發明說明 (10)

點孔洞 29，以曝露下金屬接點的上端表面。其次，藉由 CVD 法沈積鎢 (W)，直到接點孔洞 29 被埋入為止。然後，藉由 CMP 法平坦化表面，只保留在接點孔洞 29 之中的鎢 (W)，以形成上金屬接點 30。接著，在第五層間絕緣膜 28 之上形成鋁 (Al) 膜，以形成具有期望圖案之金屬導線 31。金屬導線 31 通過上金屬接點 30，下金屬接點 20 和單胞接點 9，電性連接到周邊電路電晶體 Ts。

因此，可以藉由包含上述幾個步驟之製程，製造示於第 1 圖之半導體記憶元件。在第一優選實施例之半導體記憶元件的組態中，第二層間絕緣膜 10 覆蓋單胞接點 9 的上端表面，所以即使形成在記憶體單胞區的第二層間絕緣膜 10 上之位元線 15 自預定的位置偏移，也可以防止和單胞接點 9 發生不想要的短路。此外，在位元線 15 上形成側壁 16。然後，利用側壁 16 和第二與第三層間絕緣膜 10，17 之蝕刻選擇比，形成用於電容器接點 19 之接點孔洞，所以即使電容器接點 19 自預定的位置偏移，也可以防止位元線 15 和電容器接點 19 之間發生不想要的短路。因此，可降低位元線 15 和電容器接點 19 的組態密度，即電容器 27 的組態密度，實現高積體性 DRAM 的產品。在具有 DRAM(記憶體單胞)和周邊電路組合之半導體元件中，當堆疊電性連接具有金屬導線之電晶體，單胞接點 9，下金屬接點 20 和上金屬接點 30 之接點結構時，可以減少每一個接點的深度，而可以很容易地製造出微小的接點，其可以有效的製造高密度半導體記憶元件。

五、發明說明 (11)

此處，如示於第 11 圖之第一種半導體的修正例，可以由很薄的氧化矽製備覆蓋上端表之第二內部層間絕緣膜 10A。在此案例中，可在第二層間絕緣膜 10A 之中，形成位在單胞接點 9 的上端表面之窗口 32，接著再在其上形成位元線 15，以允許位元線 15 和接點孔洞 29 單胞接點 9 之間有電性連接。因此，在此案例中，不需要執行用以形成位元接點 12 之 CMP 步驟或類似之步驟，以簡化製程。此外，還可以減少半導體記憶元件所有層間絕緣膜的厚度。再者，還可以很輕易地完成在周邊電路區中之下金屬接點 20 之製程。

在上述之實施例中，在形成電容器接點 19 之時，會在位元線 15 的側面上形成側壁 16，接著使用自行對齊法，利用側壁 16 和第三層間絕緣膜 17 之間之蝕刻選擇性，形成接點孔洞 18m。或者，此接點孔洞可使用蝕刻法，採用具有較小非等向性特性之光阻遮罩或另外的蝕刻法，取代自行對齊法而形成。本發明的第二種半導體記憶元件係使用此一方法所製備的。此外，如第 12 圖所示，電容器接點 19A 係根據從第三層間絕緣膜 17 的表面，向下蝕刻所形成之接點孔洞 18m 而形成。因此，電容器接點 19A 的形狀像一個倒圓錐形，其鄰近位元線 15 之下部的直徑小於上部的直徑，所以即使電容器接點 19A 自預定的位置偏移，使它們相互作用，也可以防止電容器接點 19A 和位元線 15 之間發生短路。

現在參考第 13 圖，其圖示本發明第二優選實施例之半

五、發明說明 (12)

導體記憶元件。在第 14 圖到第 17 圖的每一個圖式之中，其圖示第二優選實施例之半導體記憶元件製程的其中之一步驟。首先，如第 14 圖所示，就像第一實施例的情形一樣，在矽基板 1 的記憶體單胞區之上，形成記憶單胞電晶體 T_m ，而在周邊電路區之上，形成周邊電路電晶體。然後，形成由氮化矽膜和氧化矽膜製成之第一層間絕緣膜 6，使其分別覆蓋在記憶體單胞區和周邊電路區之上之每一個電晶體 T_m ， T_s 。在記憶體單胞區和周邊電路區之上，形成單胞接點 9，使分別與電晶體 T_m ， T_s 連接。接著，在第一層間絕緣膜 6 的表面上，形成由具有預定厚度氧化矽膜製成之第二層間絕緣膜 10。然後，形成要連接到部分單胞接點 10 之每一個位元接點 12，接著，形成要連接到個別位元接點 12 之位元線 15。在本實施例中，就像和第一實施例的情形一樣，在位元線 15 的側面上，形成側壁 16。或者，當會在後面說明之電容器接點根據位元線 15 排列之密度很難短路時，可以省略側壁 16。

接著，如第 15 圖所示，在此第二實施例中，在形成覆蓋位元線的第三層間絕緣膜之後，在不形成電容器接點的第三層間絕緣膜 17 之表面上，形成由氮化矽膜製成之蝕刻停止膜 21。然後，使用光阻遮罩(未圖示)執行選擇性蝕刻，以在要形成電容器區域的單胞接點 9 上方之區域中，形成窗口 21a。之後，如第 16 圖所示，在移除光阻遮罩之後，在蝕刻停止膜 21 之上，形成第四層間絕緣膜 22。接著，使用光阻遮罩(未圖示)，對包含位在第四層間絕緣

五、發明說明 (13)

成延伸到蝕刻停止膜 21 之大直徑圓柱狀凹陷部分 23。在此同時，在圓柱狀凹陷部分 23 的底部表面，蝕刻通過窗口 21a，進行到在蝕刻停止膜 21 的窗口 21a 之下之第三層間絕緣膜 17 和第二層間絕緣膜 10。結果，位在單胞接點 9 上端表面旁邊之接點孔洞 18m 曝露在圓柱狀凹陷部分 23 的底部表面上。一般而言，圓柱狀凹陷部分 23 的直徑範圍為 400 到 500nm，而接點孔洞 18m 的直徑約為 180nm。

接著，如第 17 圖所示，在包含第四層間絕緣膜 22 的圓柱狀凹陷部分 23 和第二與第三層間絕緣膜 10，17 的接點孔洞之所有表面上，形成 TiN 膜。然後，將光阻遮罩(未圖示)只應用在圓柱狀凹陷部分 23 的外部區域上，接著執行回蝕刻到 TiN 膜，以形成下電極 24，但是仍然保留圓柱狀凹陷部分 23 和接點孔洞 18m 的原狀。基於此方式，此下電極 24 電性連接到在接點孔洞 18m 底部表面之單胞接點 9。再者，在下電極 24 的表面上形成絕緣膜之後，如 Ta 的氧化物膜，形成可以埋入圓柱狀凹陷部分和接點孔洞之鎢(W)的金屬薄膜和 TiN，使金屬薄膜和絕緣膜成為預定圖案之形狀，以形成上電極 26 和電容器絕緣膜 25。因此，可以分別沿著圓柱狀凹陷部分 23 和接點孔洞 18m 的內表面，形成圓柱狀電容器 27。下電極 24 係通過單胞接點 9 電性連接到記憶單胞電晶體 Tm。在本實施例中，例如，下電極 24 的膜厚可為 10 nm，而電容器絕緣膜 25 的膜厚範圍可為 6 到 8 nm。

再者，如第 13 圖所示。形成第五層間絕緣層 28，用以覆蓋電容器 27。可以選擇性蝕刻直接位在周邊電路區接點 9

五、發明說明（14）

上方之第四和第五層間絕緣膜 22，28。接著，也蝕刻掉蝕刻停止膜 21，然後選擇性蝕刻第二和第三層間絕緣膜 10，17，形成接點孔洞 29A，使得接點 9 上端表面曝露在接點孔洞 29A 的底部表面。其次，藉由 CVD 法沈積用以埋入接點孔洞 29A 之鎢(W)，接著藉由 CMP 法平坦化表面，以形成金屬接點 30A，但保留在接點孔洞 29A 中的鎢。接著，在第五層間絕緣膜 28 之上，形成鋁(Al)，然後使其成為預定圖案之形狀，以形成金屬導線 31。此金屬導線 31 可以透過金屬接點 30A 和單胞接點 9，電性連接到周邊電路電晶體 Ts。

因此，可以藉由包含上述幾項步驟之製程，製作示於第 13 圖之本發明的第三半導體記憶元件。

如上所述，在第二實施例中，電容器 27 並不只是建構在第四層間絕緣膜 22 中之圓柱狀凹陷部分 23 的內部，而且還有由在通過第二和第三層間絕緣膜 10，17 所形成的接點孔洞 18m 內表面中之下電極 24，電容器絕緣膜 25，如上電極 26 所完成之薄膜結構。

因此，與傳統的半導體記憶元件相較，電容器的表面積增如到接點孔洞 18m 的內表面積之程度。為了得到相同的電容值，可能可以減少第四絕緣膜 22 的膜厚，可以減少圓柱狀凹陷部分 23 的直徑。因此，藉由減少第四層間絕緣膜 22 的膜厚，可以減少圓柱狀凹陷部分 23 的直徑。因此，減少第四層間絕緣膜 22 的膜厚，可能可以減少圓柱狀凹陷部分 23 的直徑。結果，當第四層間絕緣膜 22 的膜厚減

五、發明說明（15）

少時，可以減少整個半導體記憶元件的膜厚。在此情形下，尤其是在周邊電路區中用以形成金屬接點 30A 之接點孔洞 29A 的深度可以減少，所以可以簡化半導體記憶元件的生產。

此外，藉由減少電容器 27 的直徑，也有可能可以得到很高的積體度。埋在接點孔洞 18m 之中，在第二和第三層間絕緣膜 10，17 之上延伸之下電極 24，直接連接到單胞接點 9，而其功能為電容器接點，所以不需要包含用以製作電容器接點之鎢(W)的 CVD 和 CMP 步驟，因而可以允許減少步驟次數。

在上述的各實施例中，已經說明記憶體單胞和周邊電路，如邏輯電路，積體形成在半導體基板上之 DRAM。但是，根據本發明，其並不侷限在此種組態。就如精於此項技術之人士所熟知的，本發明也可應用在只有記憶體單胞形成在半導體元件上，而又不脫離本發明的精神和範圍之一般化的 DARM 當中。也還如精於此項技術之人士所熟知的，若不脫離本發明的精神和範圍之需求，則上述每一個實施例的層間絕緣膜和導電材料都可以變更為其他材料。

如上所述，即使位元線偏離預定位置，但是因為單胞接點係以第二層間絕緣膜，而位元接點只形成在要連接到單胞物體之位置，所以可以防止本發明的第一和第二半導體記憶元件與單胞接點發生短路。此外，即使電容器接點也偏離預定位置，其也可防止與位元線發生短路。因此，可以減少位元線和電容器接點的邊限。換言之，可以提升電

五、發明說明（16）

容器的組態密度，及實行高積體性 DRAM 的生產。

在本發明的第三半導體記憶元件中，電容器係由除了在形成在層間絕緣上之圓柱狀凹陷部分內部外，還形成在下層間絕緣膜中之接點孔洞內表面之下電極，電容器絕緣膜，和下電極所完成之薄膜結構而建構的。因此，電容器面積可以增加到接點孔洞的內表面積的程度。因此，可以減少在其上有用以形成電容器之凹陷部分之層間絕緣膜的膜厚，但是可以得到期望的膜厚。此外，即使減少凹陷部分的直徑，也可能可以得到期望的電容器。因此，可以減少層間絕緣膜的總膜厚，那麼金屬接點的深度就可以減少，所以允許有很高的積體性。

雖然本發明已參考特定的實施例說明，但是此種說明並不表示限制意識的說明。被揭露之實施例的各種不同的修正例將會由精於此項技術之人士參考本發明之說明而變得明瞭。因此，本發明期望所附之申請專利範圍將可涵蓋任何落在本發明真正範圍之中之修正例或實施例。

符號之說明

1	矽基板
2	元件分隔絕緣膜
3	閘極絕緣膜
4	閘極電極
5	源極/汲極區
6	第一層間絕緣膜
6a	氧化矽膜

五、發明說明 (17)

6b	氧化矽膜
7m	接點孔洞
7s	接點孔洞
8	矽化鈷層
9	單胞接點
10	第二層間絕緣膜
11	接點孔洞
12	位元接點
13	位元線膜
14	硬式遮罩膜
15	位元線
16	側壁
17	第三層間絕緣膜
18m	接點孔洞
18s	接點孔洞
19	電容器接點孔洞
20	下金屬接點
21	蝕刻停止膜
22	第四層間絕緣膜
23	圓柱狀凹陷部分
24	下電極
25	電容器絕緣膜
26	上電極
27	電容器

五、發明說明 (18)

28	第五層間絕緣膜
29	接點孔洞
30	上金屬接點
31	金屬導線
32	窗口
10A	第二層間絕緣膜
19A	電容器接點
19B	電容器接點
29A	接點孔洞
30A	金屬接點
21a	窗口
101	矽基板
106	層間絕緣膜
109	單胞接點
110	層間絕緣膜
115	位元線
119	接點
122	層間絕緣膜
124	下電極
125	電容器絕緣膜
126	上電極
127	電容器
128	層間絕緣膜
130	接點

五、發明說明 (19)

130A 金屬接點

131 金屬導線

四、中文發明摘要（發明之名稱： 半導體記憶元件

）

一種具有形成在半導體基板上之電晶體，和形成在電晶體的上層且電性連接到電晶體之電容器之半導體記憶元件，包含：單胞接點，其形成在覆蓋電晶體的第一層間絕緣膜之上，且電性連接到電晶體；位元接點，其形成在提供在第一層間絕緣膜上方之第二層間絕緣膜之上，且電性連接到單胞接點；位元線，其形成在第二層間絕緣膜之上，且連接到位元接點；電容器，其形成在覆蓋位元線的第三層間絕緣膜之上；電容器接點，其通過第三和第二層間絕緣膜形成，且使電容器和單胞接點之間連接；及側壁，其對形成在位元線表面上之第二和第三層間絕緣膜具有蝕刻選擇性。

四、英文發明摘要（發明之名稱： SEMICONDUCTOR MEMORY DEVICE)

A semiconductor memory device having a transistor formed on a semiconductor substrate and a capacity formed on the upper layer of the transistor and electrically connected to the transistor, includes: a cell contact which is formed on a first interlayer insulation film covering the transistor and is electrically connected to the transistor; a bit contact which is formed on a second interlayer insulation film provided on the first interlayer insulation film and is electrically connected to the cell contact; a bit line which is formed on the second interlayer insulation film and is connected to the bit contact; a capacity which is formed on a third interlayer insulation film covering the bit line; a capacity contact which is formed through the third and second interlayer insulation film and makes a connection between the capacity and the cell contact; and a side wall which has an etching selectivity with the second and third interlayer insulation films formed on the surface of the bit line.

六、申請專利範圍

1. 一種半導體記憶元件，具有形成在半導體基板上之電晶體，和形成在電晶體的上層且電性連接到電晶體之電容器，該半導體記憶元件包含：

單胞接點，其形成在覆蓋電晶體的第一層間絕緣膜之上，且電性連接到電晶體；

位元接點，其形成在提供在第一層間絕緣膜上方之第二層間絕緣膜之上，且電性連接到單胞接點；

位元線，其形成在第二層間絕緣膜之上，而且連接到位元接點；

電容器，其形成在覆蓋位元線的第三層間絕緣膜之上；

電容器接點，其通過第三和第二層間絕緣膜形成，且使電容器和單胞接點之間連接；及

側壁，其對形成在位元線表面上之第二和第三層間絕緣膜具有蝕刻選擇性。

2. 一種半導體記憶元件，具有形成在半導體基板上之電晶體，和形成在電晶體上層且電性連接到電晶體之電容器，該半導體記憶元件包含：

單胞接點，其形成在覆蓋電晶體的第一層間絕緣膜之上，且電性連接到電晶體；

位元接點，其形成在提供在第一層間絕緣膜上方之第二層間絕緣膜之上，且電性連接到單胞接點；

位元線，其形成在第二層間絕緣膜之上，且連接到位元接點；

六、申請專利範圍

電容器，其形成在覆蓋位元線的第三層間絕緣膜之上；及

電容器接點，其通過第三和第二層間絕緣膜形成，且使電容器在單胞接點之間連接，其中

電容器接點具有上端部分和下端部分，其中下端部分的直徑小於上端部分的直徑。

- 3.如申請專利範圍第 1 項或第 2 項之半導體記憶元件，其中位元接點具有通過第二層間絕緣膜之窗口，及位元線係通過該窗口連接到單胞接點。

- 4.如申請專利範圍第 1 項或第 2 項之半導體記憶元件，還包含：

電容器形成在其中之第四層間絕緣膜；

覆蓋電容器之第五層間絕緣膜；

形成在第五層間絕緣膜之上之金屬導線；及

形成在第五和第三層間絕緣膜之上，使金屬導線之間造成電性連接之金屬接點。

- 5.一種半導體記憶元件，具有形成在半導體基板上之電晶體，和形成在電晶體上層且電性連接到電晶體之電容器，該半導體記憶元件，包含：

在用以使電晶體和電容器之間造成連接之接點孔洞中延伸之電容器。

- 6.一種半導體記憶元件，具有形成在半導體基板上之電晶體，和形成在電晶體上層且電性連接到電晶體之電容器，該

六、申請專利範圍

半導體記憶元件，包含：

單胞接點，其形成在覆蓋電晶體的第一層間絕緣膜之上，且電性連接到電晶體；

位元接點，其形成在提供在第一層間絕緣膜上方之第二層間絕緣膜之上，且電性連接到單胞接點；

位元線，其形成在第二層間絕緣膜之上，且連接到位元接點；及

電容器，其形成在提供第四層間絕緣膜中的凹陷部分之中，其中第四層間絕緣膜係形成在覆蓋位元線的第三層間絕緣膜之上；其中

部分的電容器，在通過位於電容器和單胞接點之間之第三和第二層間絕緣膜所形成的接點孔洞之中延伸，及

該延伸之部分電性連接到單胞接點。

7.如申請專利範圍第6項之半導體記憶元件，其中

形成在第四層間絕緣膜之中之凹陷部分和通過第三與第二層間絕緣膜所形成之接點孔洞，係彼此相通的，及

電容器係由沿著凹陷部分和接點孔洞內表面堆疊之下電極，電容器絕緣膜，和上電極所完成之層結構而建構的，其中下電極電性連接到單胞接點。

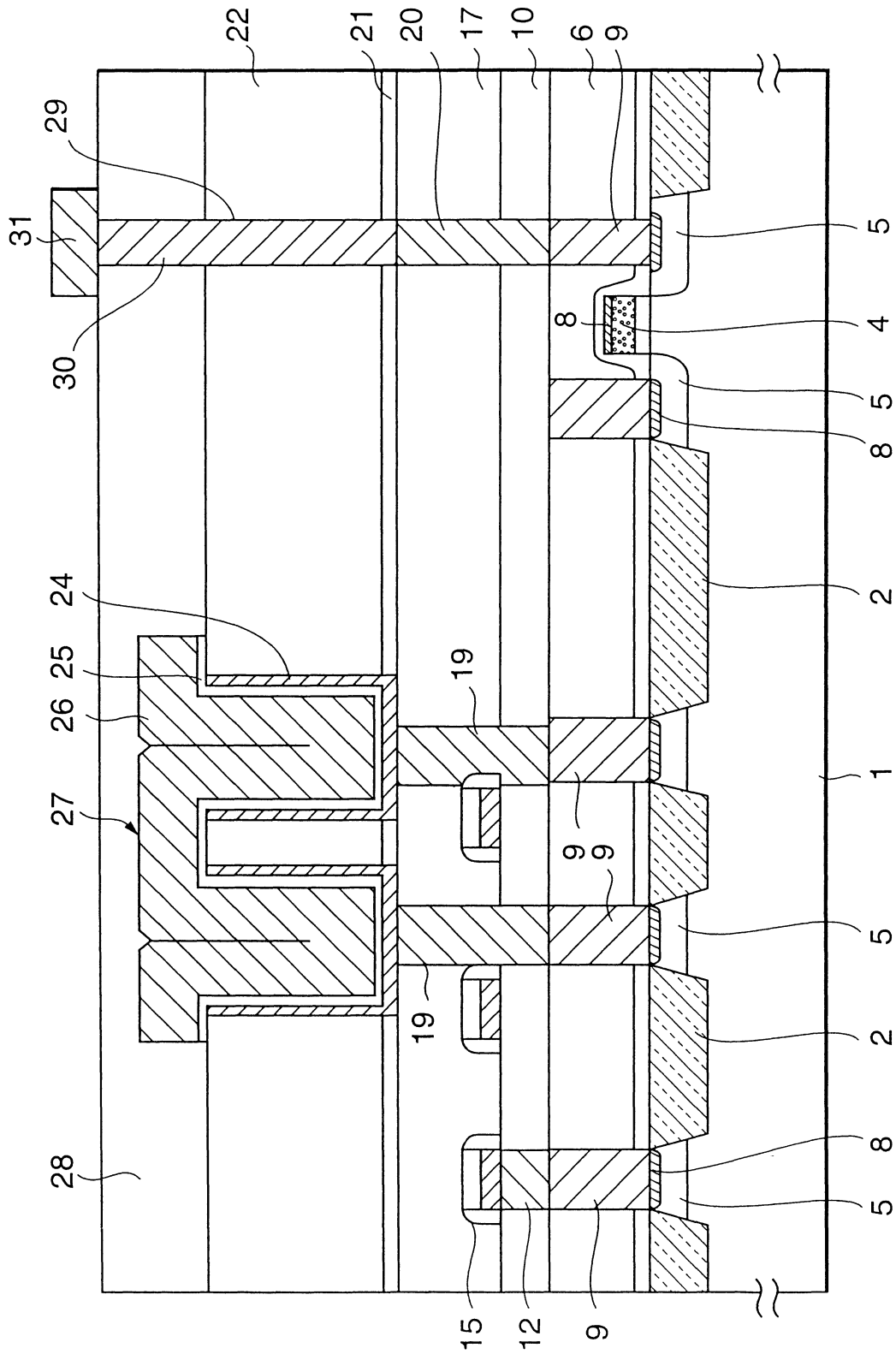
8.如申請專利範圍第6項之半導體記憶元件，還包含：

覆蓋電容器之第五層間絕緣膜；

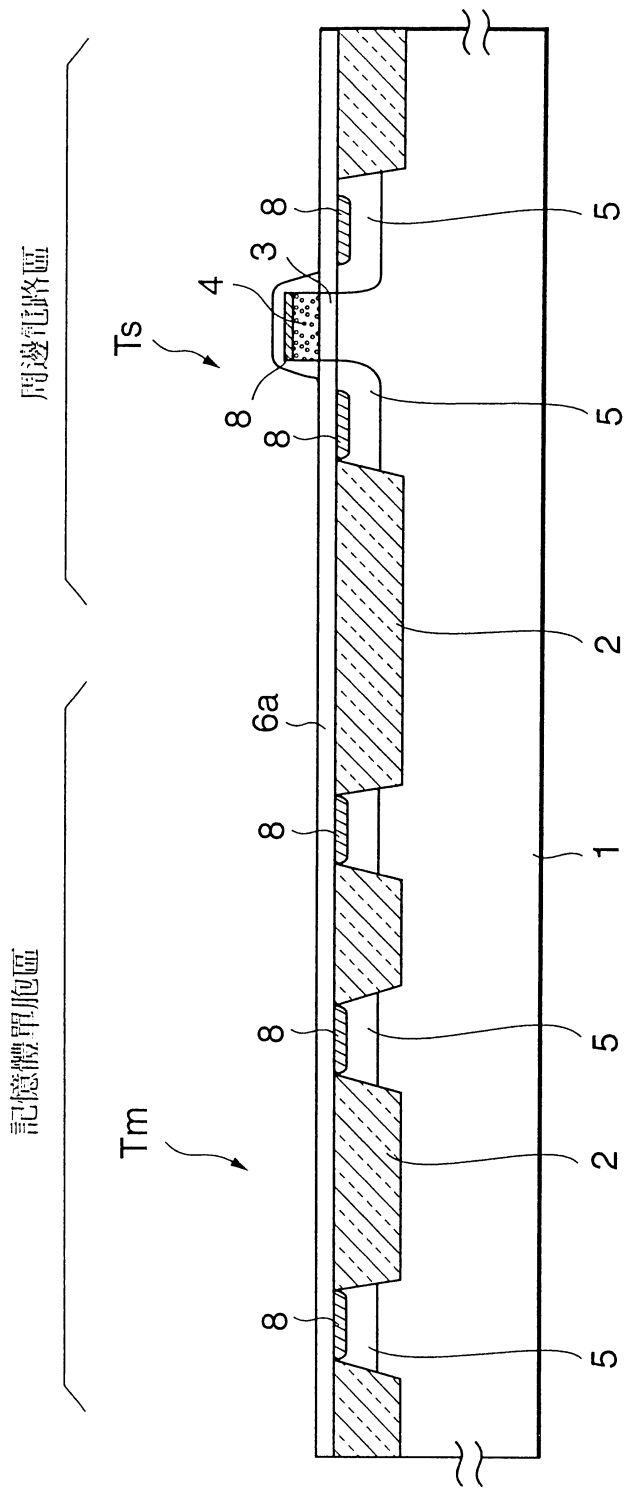
形成在第五層間絕緣膜之上之金屬導線；及

六、申請專利範圍

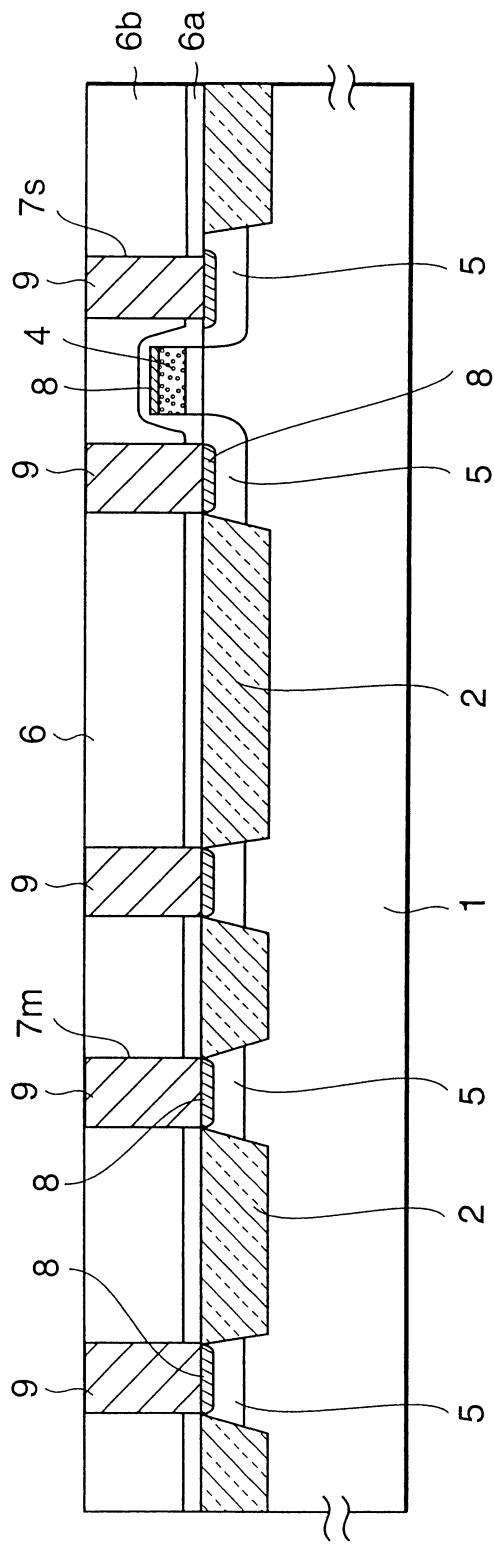
從第五層間絕緣膜形成到第二層間絕緣膜之金屬接點，其中金屬導線和單胞接點依據第五層間絕緣膜，金屬導線和金屬接點，彼此相互電性連接。



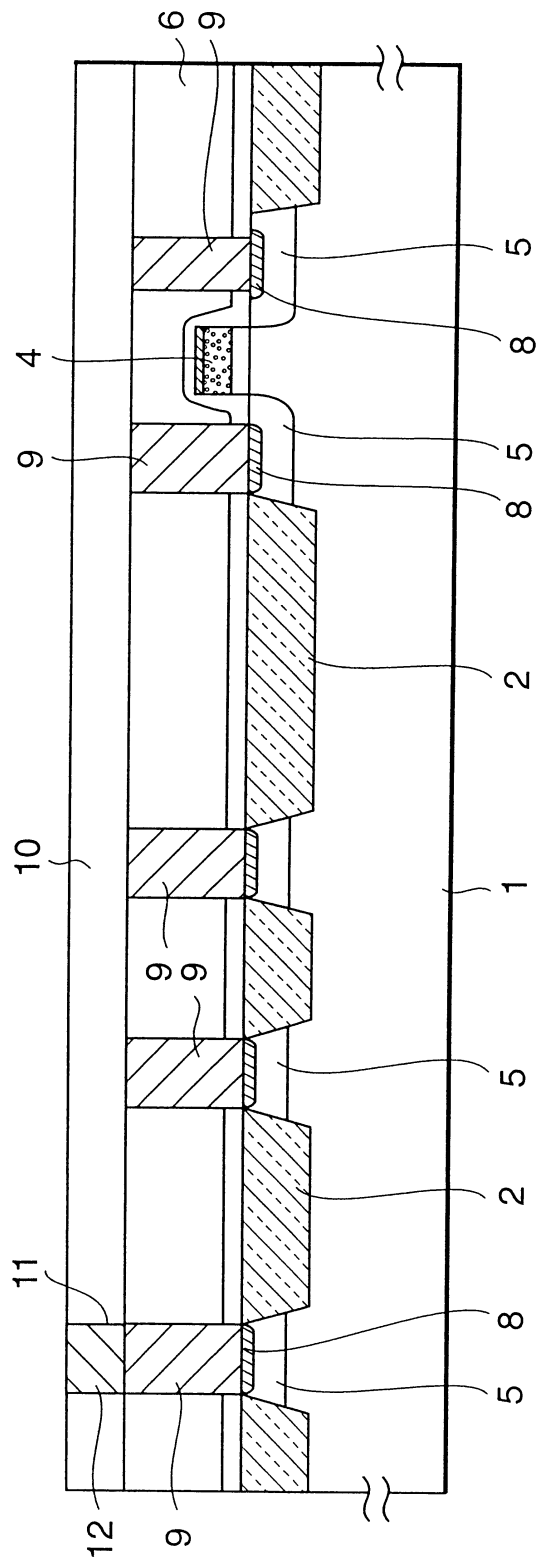
第 1 圖



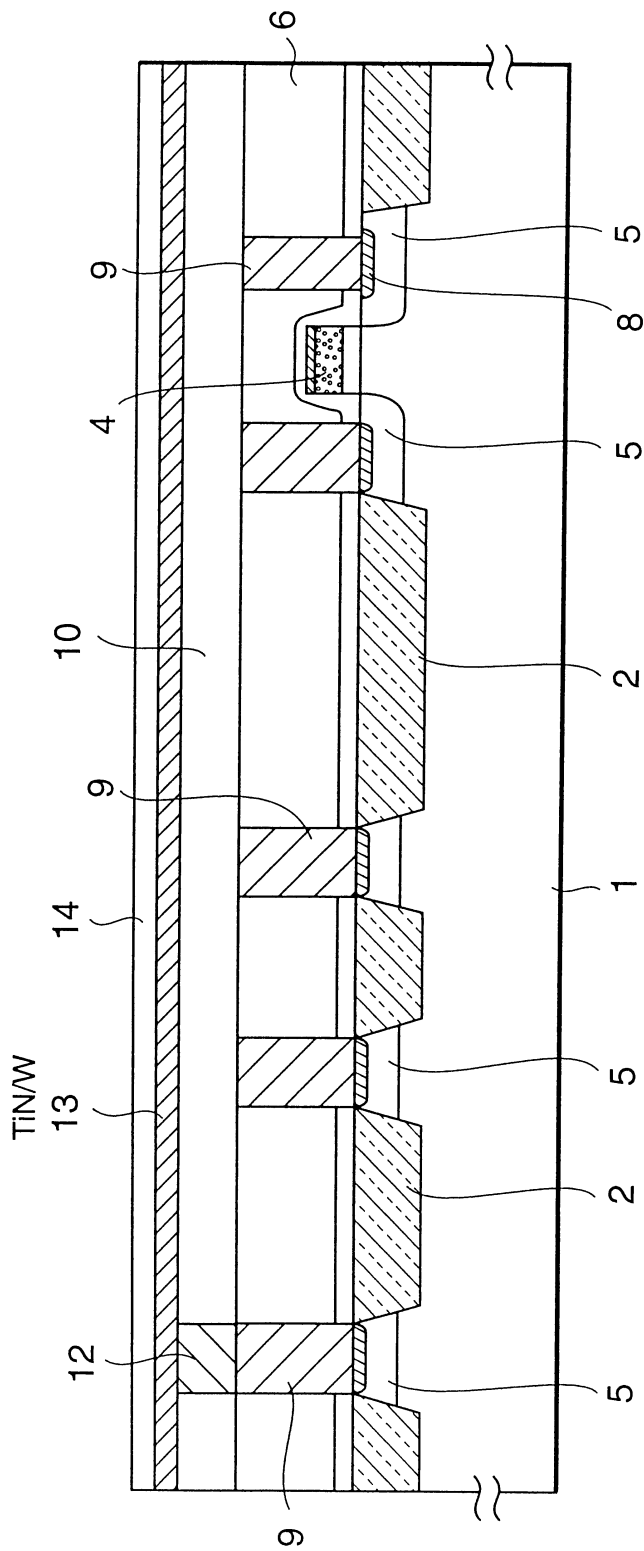
第 2 圖



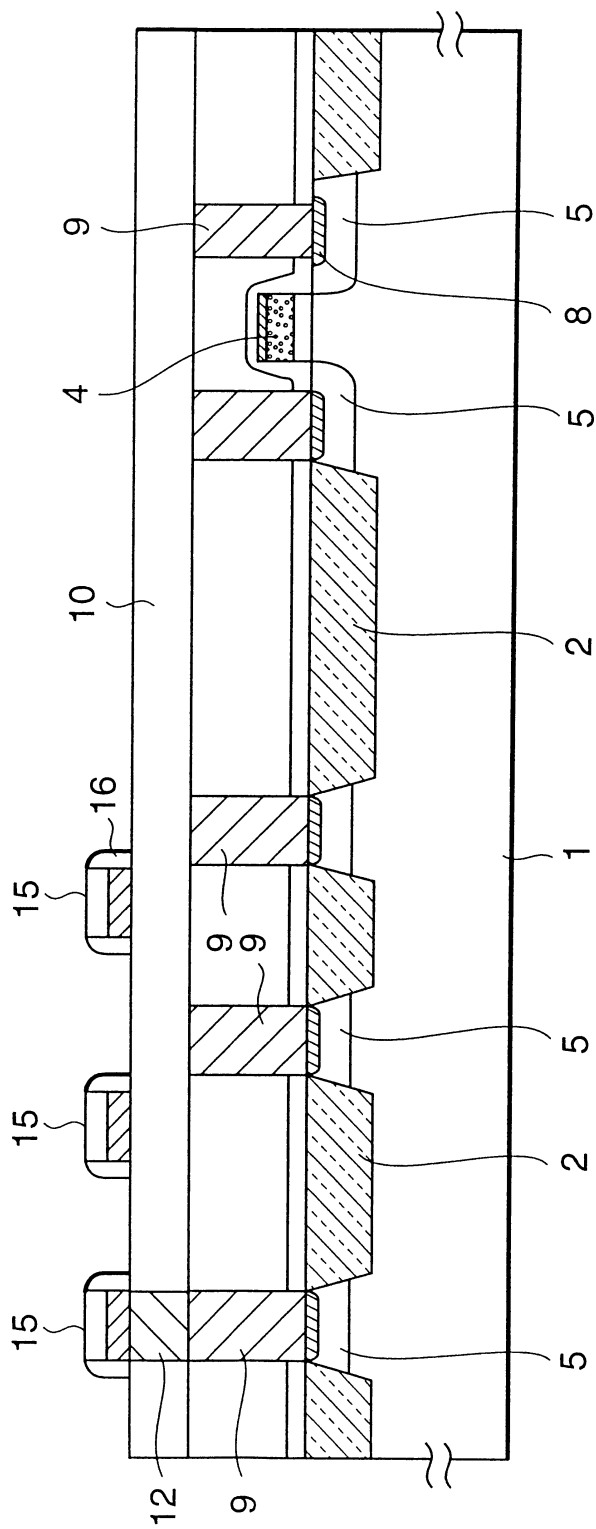
第 3 圖



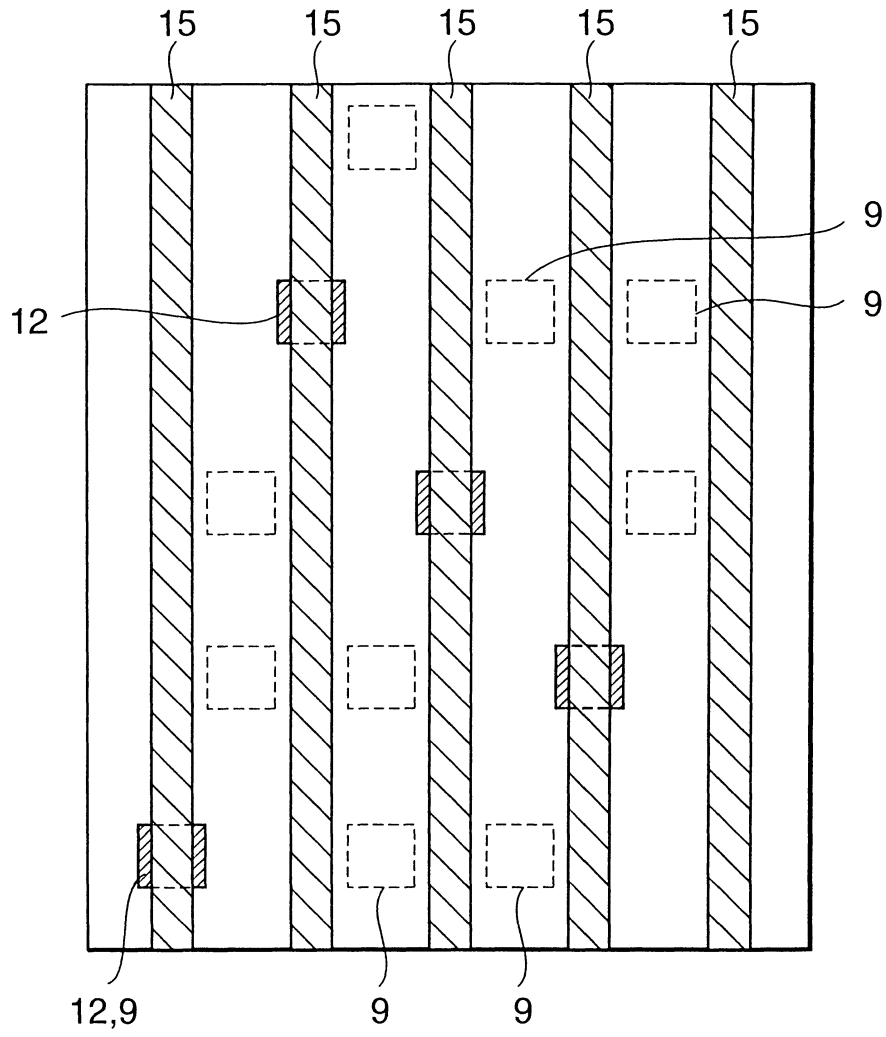
第 4 圖



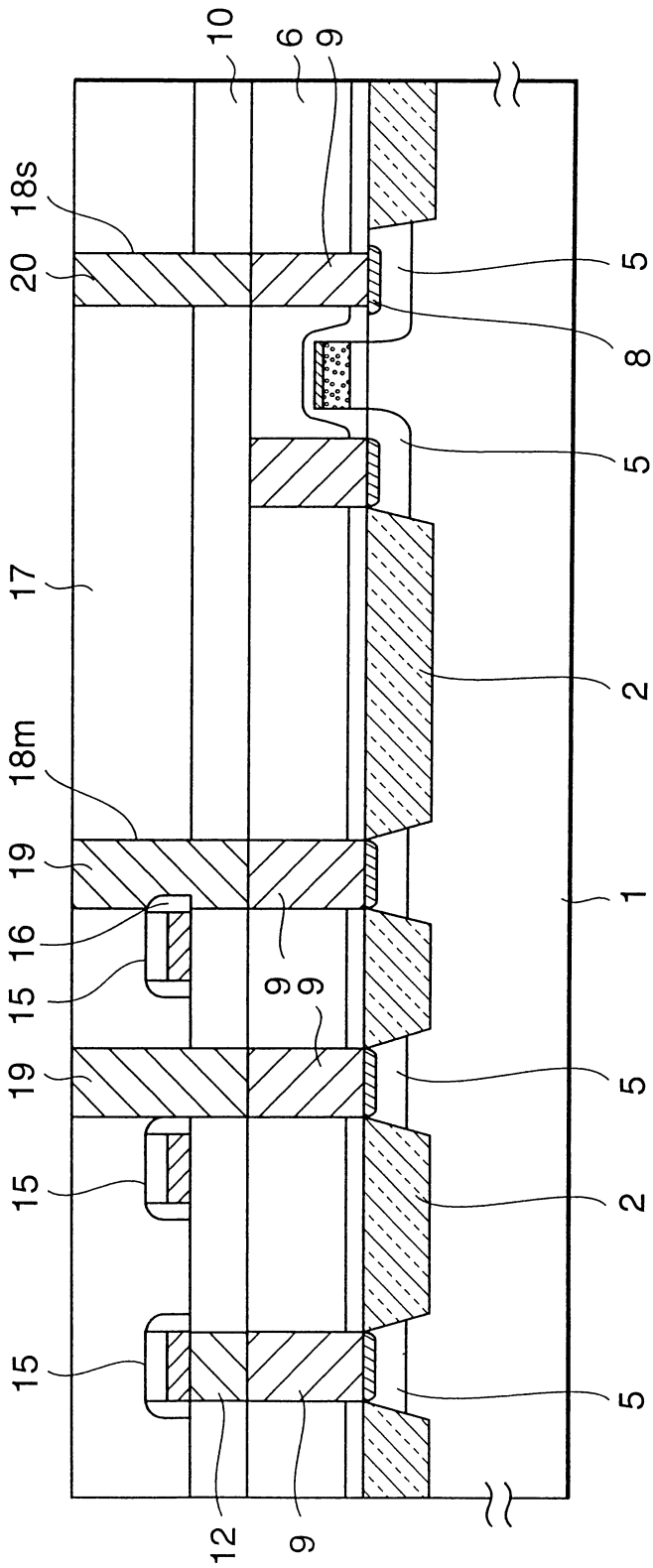
第 5 圖



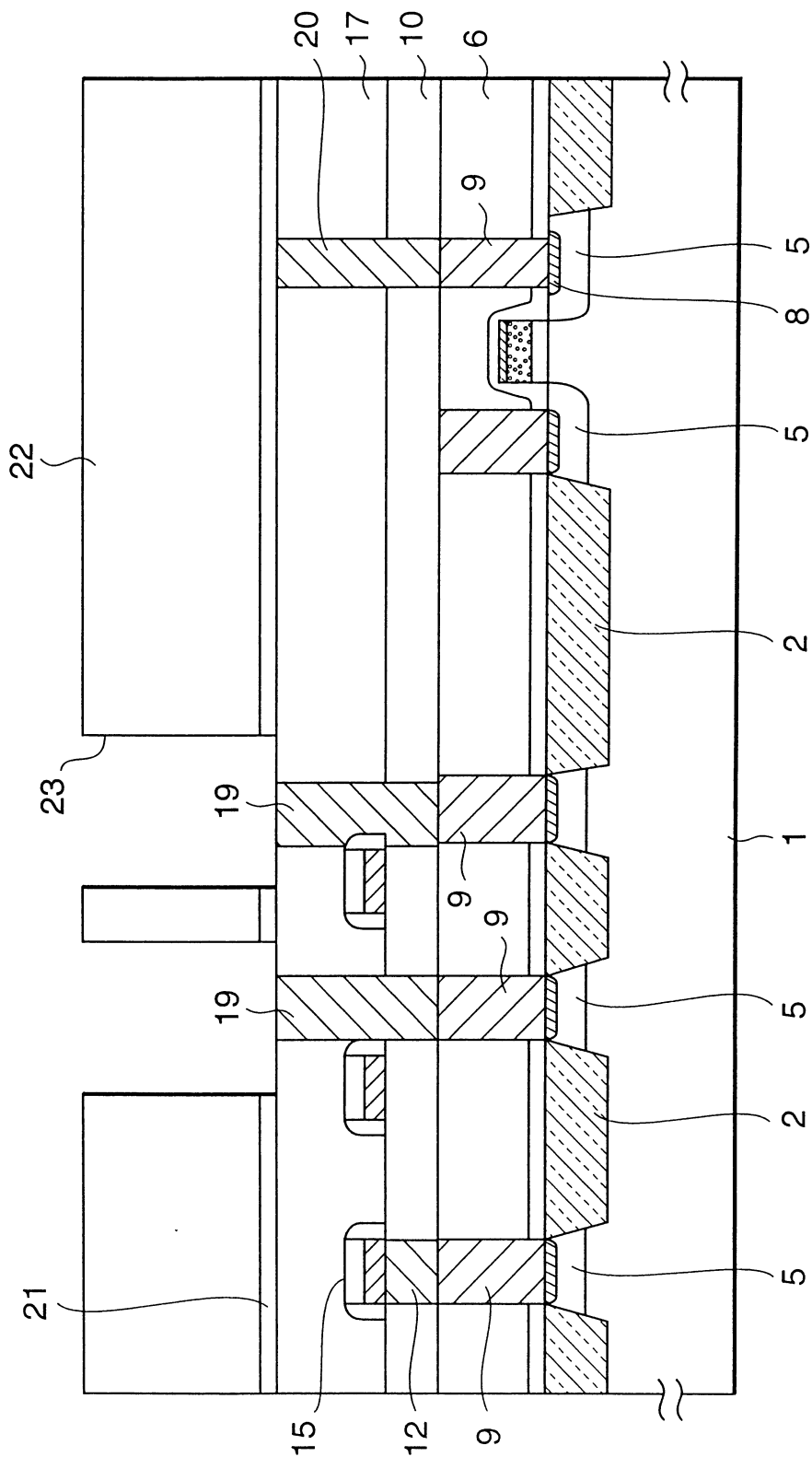
第 6 圖



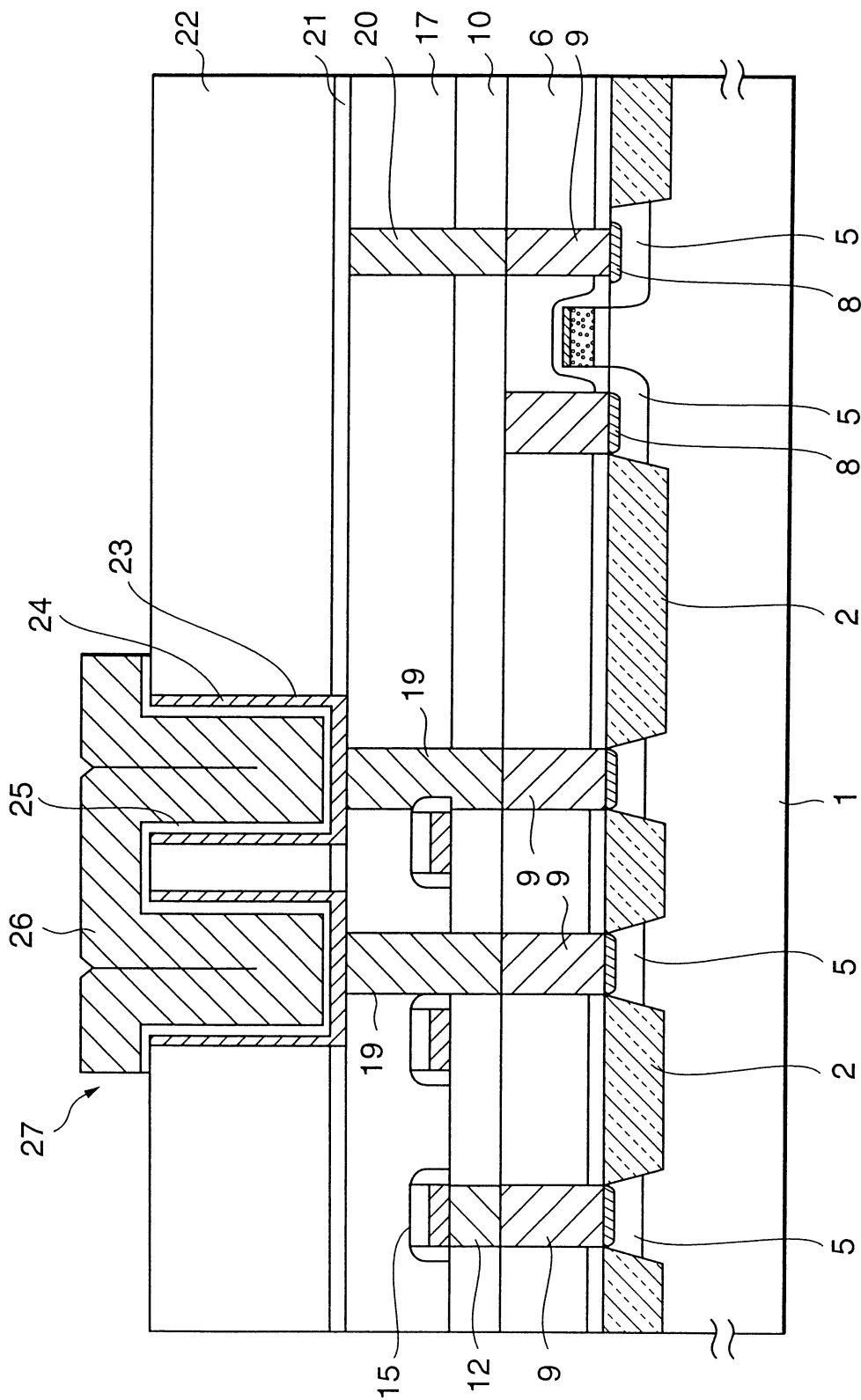
第 7 圖



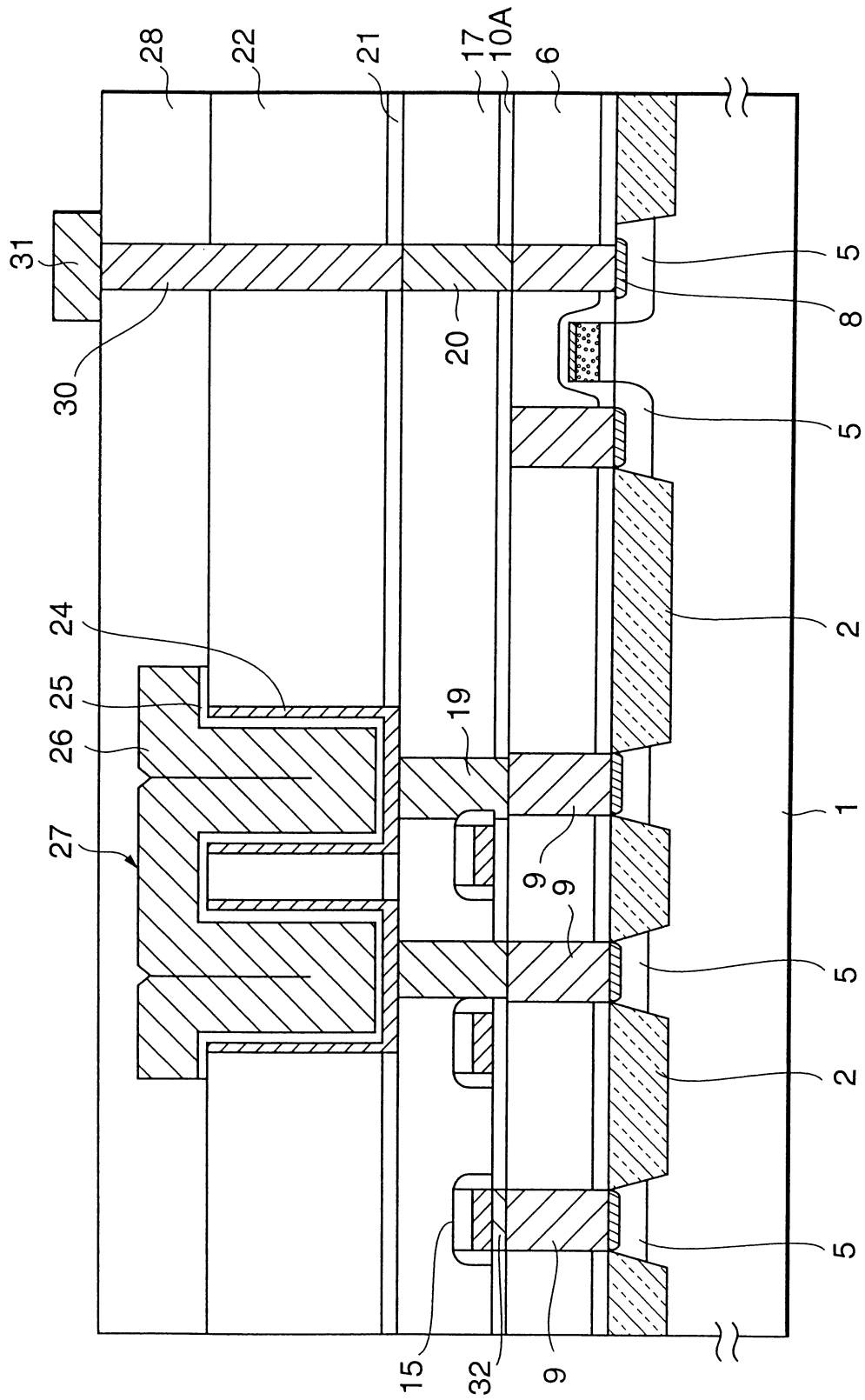
第 8 圖



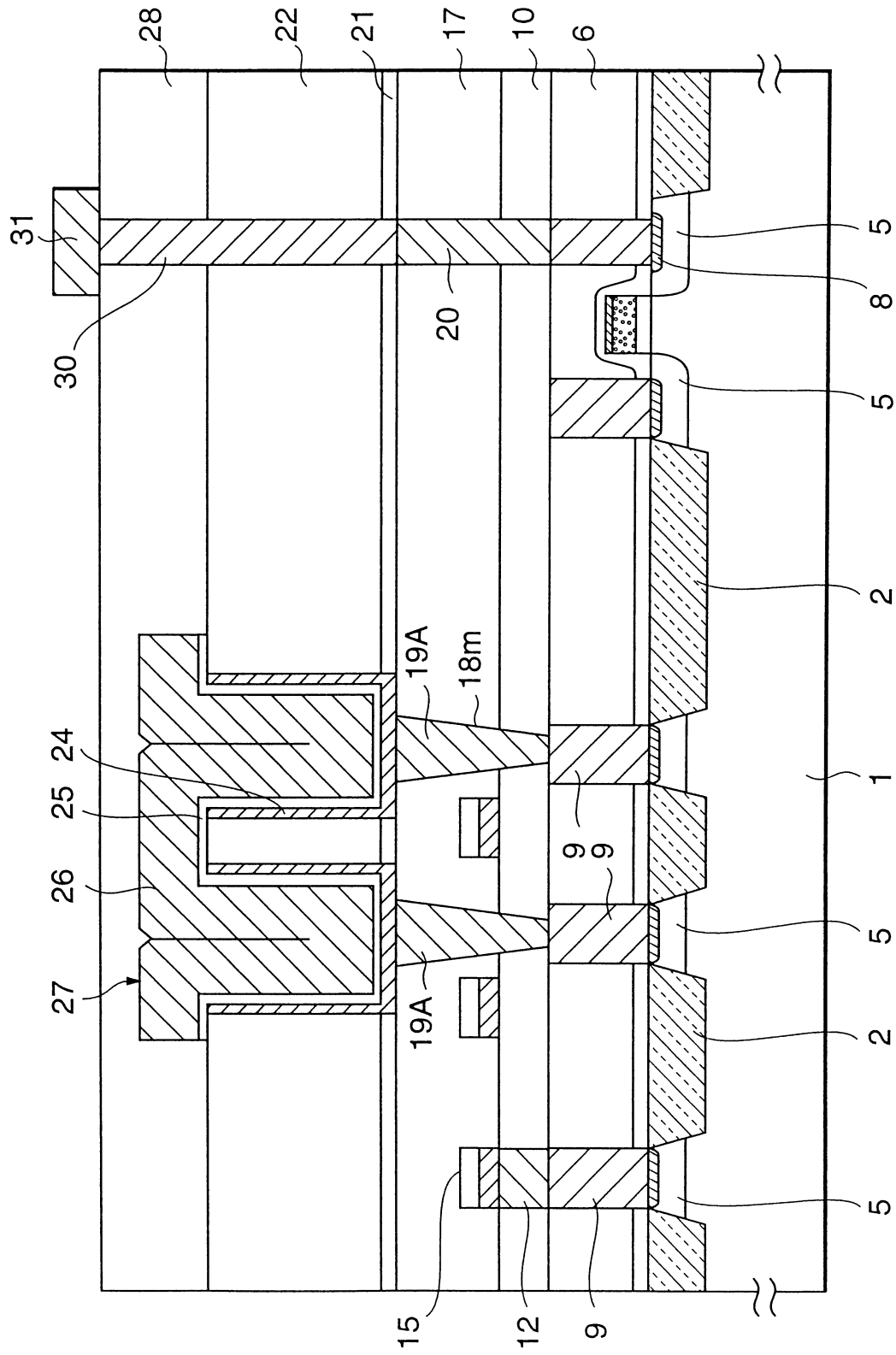
第9圖



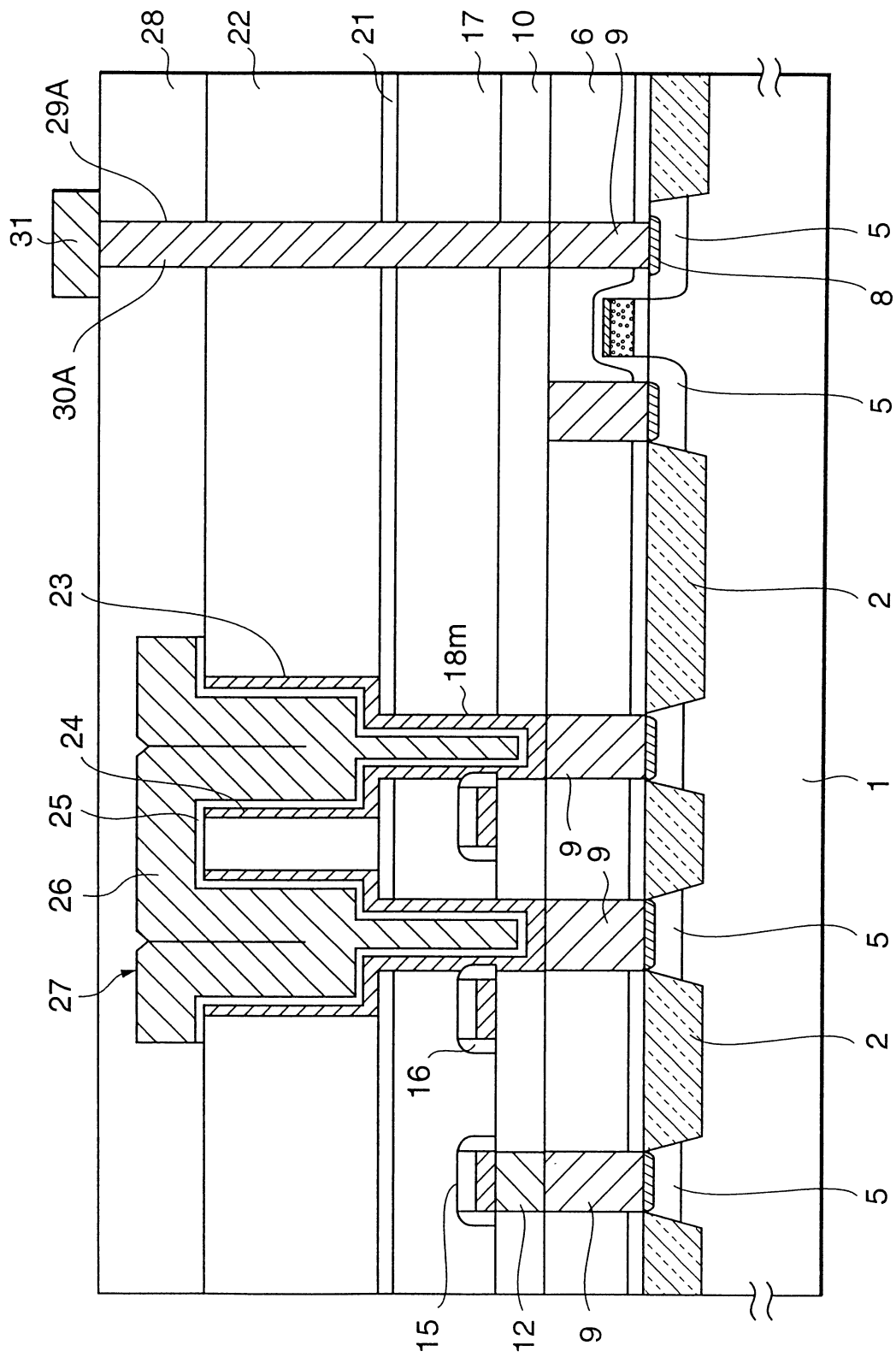
第 10 圖



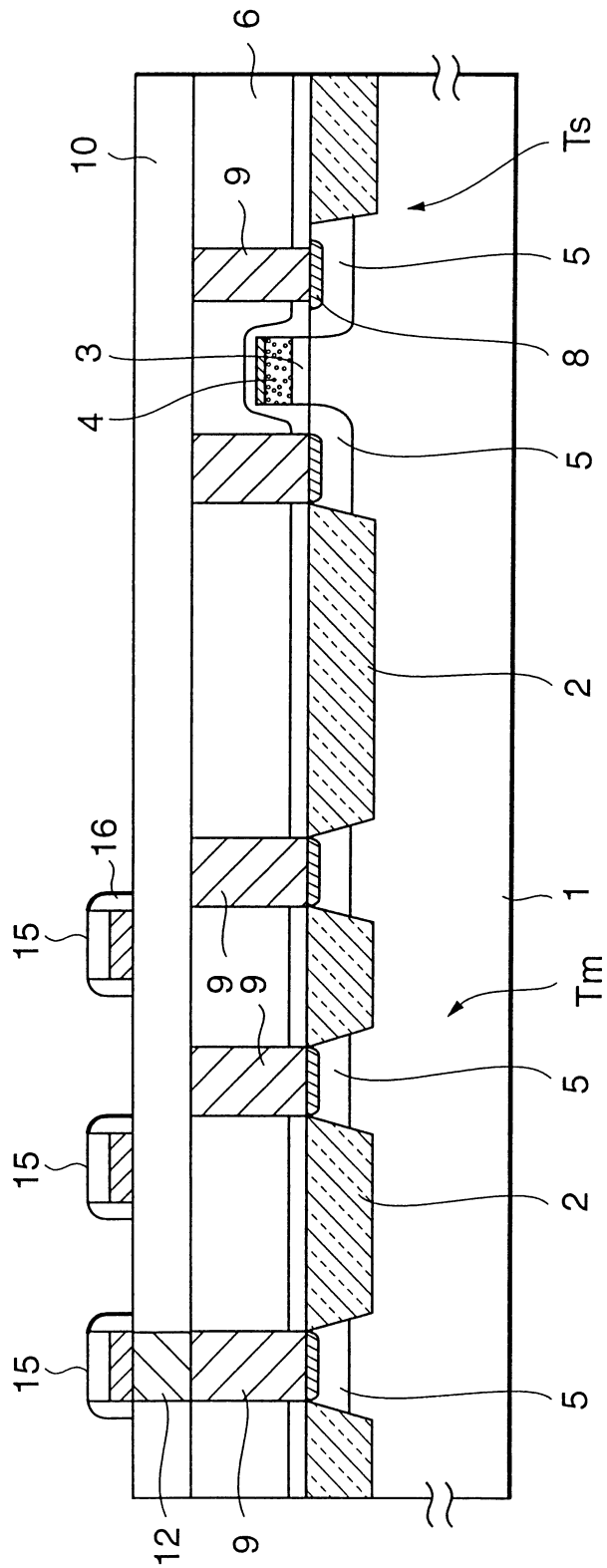
第 11 圖



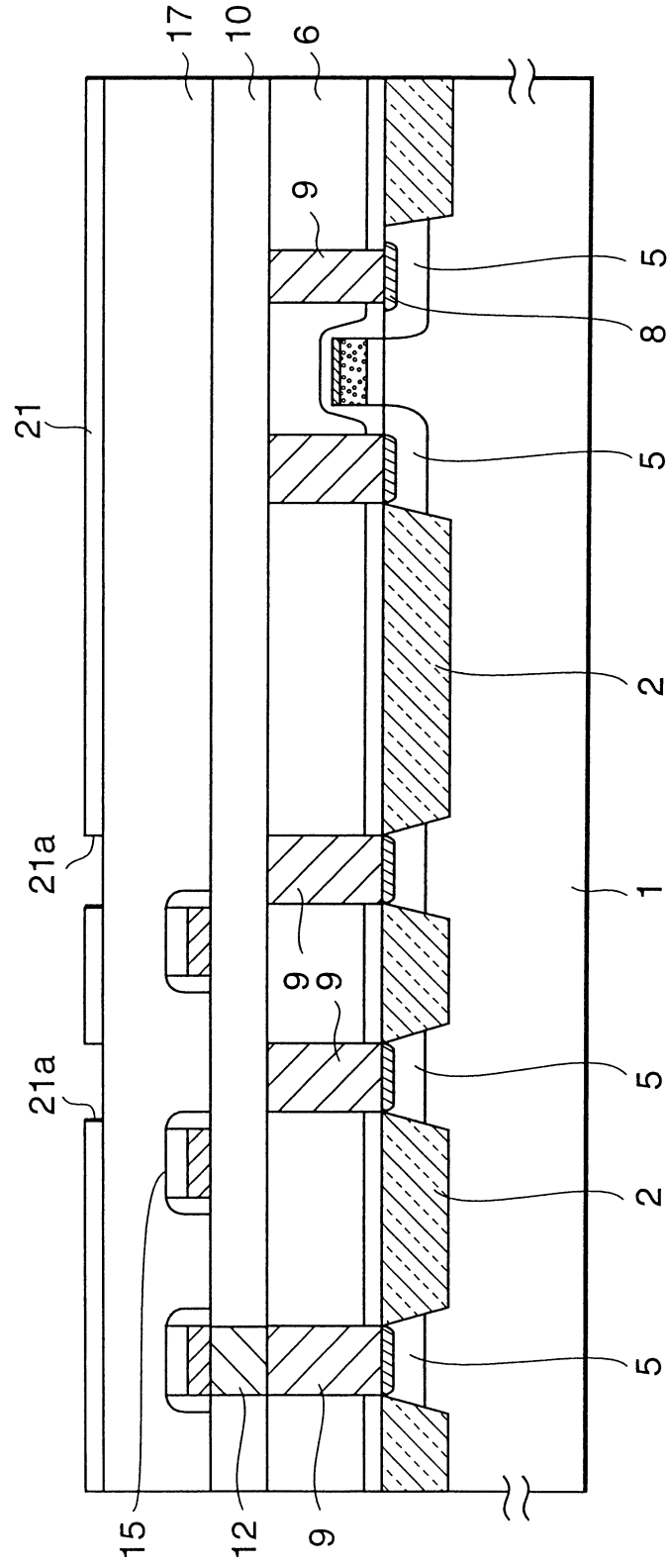
第 12 圖



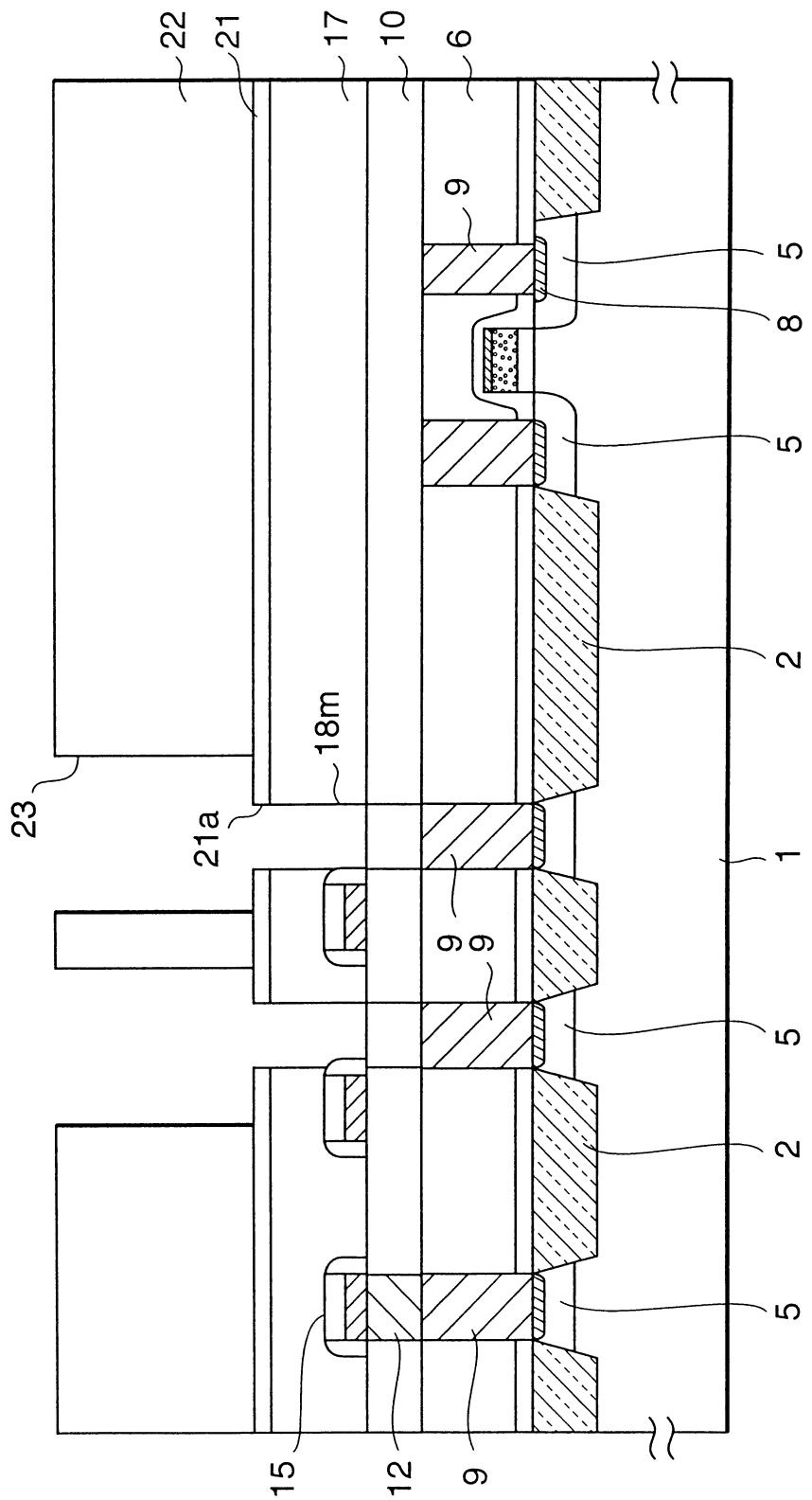
第 13 圖



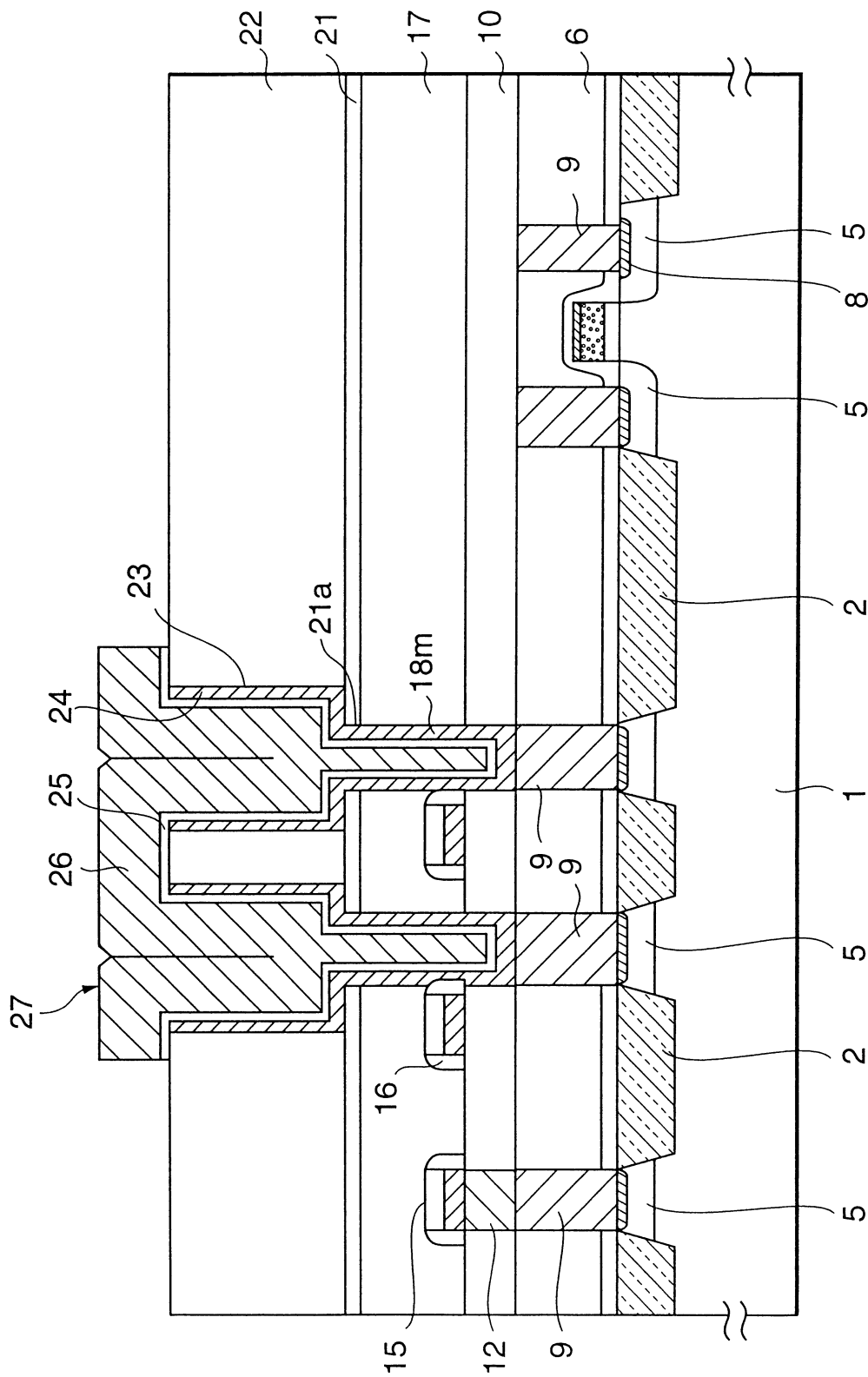
第 14 圖



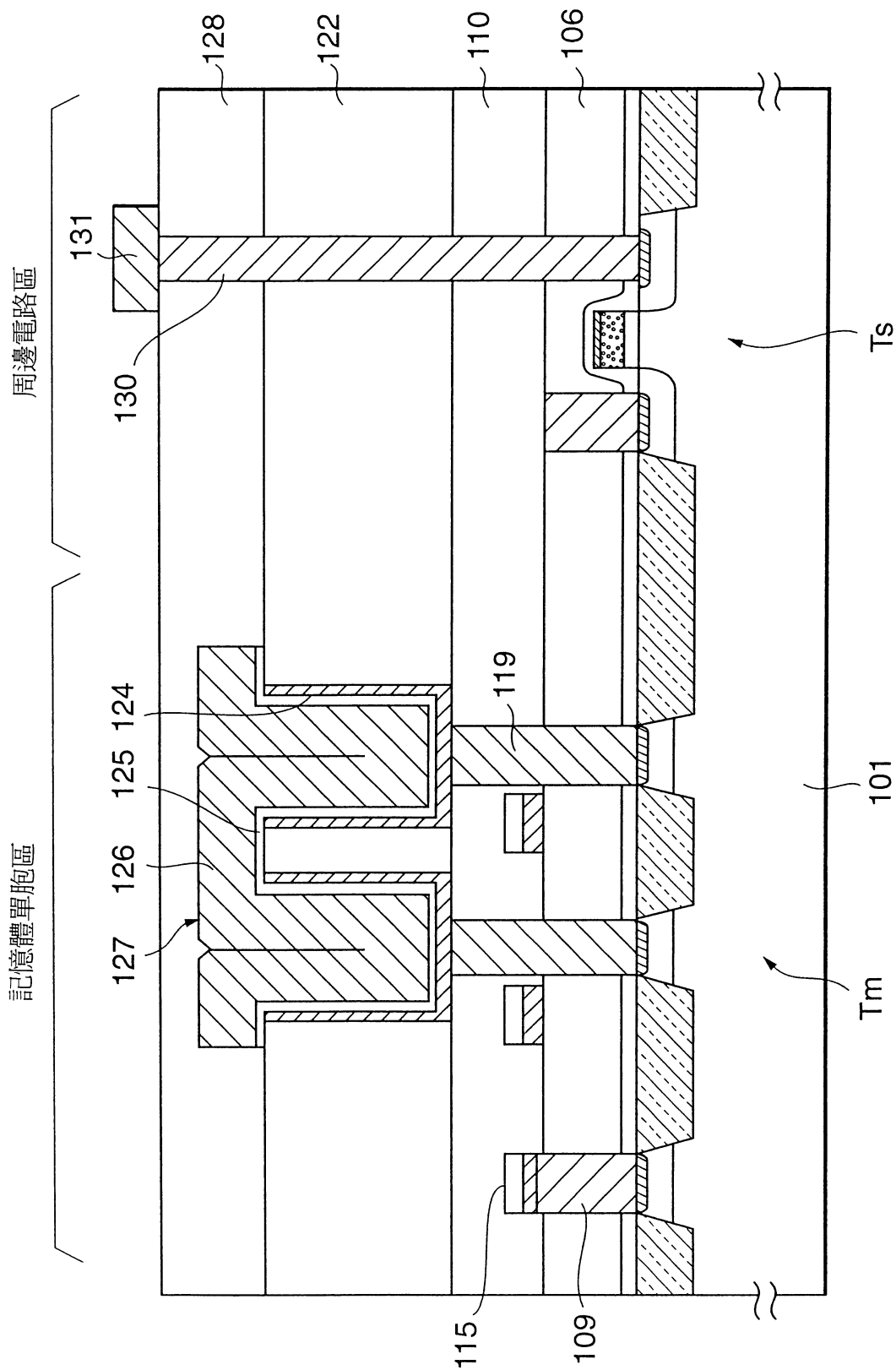
第 15 圖



第 16 圖



第 17 圖



第 18 圖

公告本

02-3-10

申請日期	2002,06,21
案號	91113606
類別	H01L 27/108

548840

0217620

(92年3月14日修正)

(以上各欄由本局填註)

發明專利說明書

一、發明 名稱	中文	半導體記憶元件
	英文	SEMICONDUCTOR MEMORY DEVICE
二、發明 創作人	姓名	1. 井上顯(井上顯)(Ken INOUE) 2. 新井紳太郎(Shintaro ARAI)
	國籍	1-2 皆屬日本
	住、居所	1. 東京都港區芝五丁目7番1號 日本電氣株式會社內 2. 同上所
三、申請人	姓名 (名稱)	NEC 電子股份有限公司 (NEC エレクトロニクス株式会社)
	國籍	日本
	住、居所 (事務所)	神奈川縣川崎市中原區下沼部 1753 番地
	代表 姓名	戶坂 馨