

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第3890647号
(P3890647)

(45) 発行日 平成19年3月7日(2007.3.7)

(24) 登録日 平成18年12月15日(2006.12.15)

(51) Int.C1.

F 1

G 11 C 16/04	(2006.01)	G 11 C 17/00	622 E
H 01 L 21/8247	(2006.01)	H 01 L 27/10	434
H 01 L 27/115	(2006.01)	H 01 L 29/78	371
H 01 L 29/788	(2006.01)		
H 01 L 29/792	(2006.01)		

請求項の数 20 (全 42 頁)

(21) 出願番号

特願平9-18566

(22) 出願日

平成9年1月31日(1997.1.31)

(65) 公開番号

特開平10-214494

(43) 公開日

平成10年8月11日(1998.8.11)

審査請求日

平成15年9月10日(2003.9.10)

(73) 特許権者 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(74) 代理人 100094053

弁理士 佐藤 隆久

(72) 発明者 荒瀬 謙士朗

東京都品川区北品川6丁目7番35号 ソニー株式会社内

審査官 石川 正二

(56) 参考文献 特開平04-254994 (JP, A)
特開平08-046159 (JP, A)

最終頁に続く

(54) 【発明の名称】不揮発性半導体記憶装置

(57) 【特許請求の範囲】

【請求項 1】

列状に配列された複数の主ビット線と、
複数のワード線と、
接地線と、
選択トランジスタを介してメモリトランジスタが複数個直列接続されて構成され、マトリクス配置された複数のNAND列と、を有し、
前記各主ビット線がそれぞれスイッチング手段を介して複数の副ビット線に階層化され、
前記各列の各副ビット線と前記接地線との間にそれぞれ選択トランジスタを介してメモリトランジスタが複数個直列接続された少なくとも一つの前記NAND列が接続され、
同一行のメモリトランジスタのコントロールゲート電極が共通のワード線に接続された
NAND型の不揮発性半導体記憶装置であって、
書き込み動作時に、前記主ビット線と前記副ビット線とを前記スイッチング手段により
非導通状態に保持して、選択ワード線に接続されたメモリトランジスタを含むNAND列
が接続された複数の副ビット線を書き込み禁止電位に設定する手段と、

書き込み禁止電位に設定された前記複数の副ビット線のうち、書き込みすべきメモリトランジスタを含むNAND列が接続された副ビット線を前記スイッチング手段を通して階層化対象の主ビット線に放電させ、書き込みが禁止されたメモリトランジスタを含むNAND列が接続された副ビット線を、前記スイッチング手段により階層化対象の主ビット線

と電気的に切り離してフローティング状態に保持する手段と、
選択された前記ワード線に書き込み電圧を印加する手段と
を備えた不揮発性半導体記憶装置。

【請求項 2】

列状に配列された複数の主ビット線と、
複数のワード線と、
接地線と、
選択トランジスタを介してメモリトランジスタが複数個直列接続されて構成され、マトリクス配置された複数の N A N D 列と、を有し、
前記各主ビット線がそれぞれスイッチング手段を介して複数の副ビット線に階層化され

10

前記各列の各副ビット線と前記接地線との間にそれぞれ選択トランジスタを介してメモリトランジスタが複数個直列接続された少なくとも一つの前記 N A N D 列が接続され、
同一行のメモリトランジスタのコントロールゲート電極が共通のワード線に接続された
N A N D 型の不揮発性半導体記憶装置であって、

データ書き込み動作時に、前記主ビット線と前記副ビット線とを前記スイッチング手段により非導通状態に保持して、選択ワード線に接続されたメモリトランジスタを含む N A N D 列が接続された複数の副ビット線および当該選択された N A N D 列のチャンネル部の電位を書き込み禁止電位まで上昇させる手段と、

前記チャンネル部および当該 N A N D 列が接続された副ビット線に充電された書き込み禁止電位を、書き込むべきデータ内容に応じて前記スイッチング手段を通して階層化対象の主ビット線に放電させ、データ内容に応じて書き込みが禁止されたメモリトランジスタを含む N A N D 列が接続された副ビット線を前記スイッチング手段により階層化対象の主ビット線と電気的に切り離してフローティング状態に保持する手段と、

20

選択された前記ワード線に書き込み電圧を印加して当該選択ワード線に接続された前記メモリトランジスタへ括してページ書き込みを行う手段と
を備えた不揮発性半導体記憶装置。

【請求項 3】

前記主ビット線に接続されたデータラッチ回路をさらに備え、
前記放電手段は、書き込み動作時に、当該データラッチ回路にラッチされたデータ内容に応じて前記書き込み禁止電位を主ビット線に放電させる

30

請求項 2 記載の不揮発性半導体記憶装置。

【請求項 4】

前記副ビット線は、一方の端部において第 1 接続トランジスタを介して主ビット線に接続され、他方の端部において第 2 接続トランジスタを介して当該副ビット線を前記書き込み禁止電位に充電するためのプリチャージ線に接続された

請求項 2 記載の不揮発性半導体記憶装置。

【請求項 5】

前記第 1 接続トランジスタおよび第 2 接続トランジスタは、それぞれゲート電極が第 1 接続制御線および第 2 接続制御線に接続されて制御され、

40

前記メモリトランジスタは、コントロールゲート電極と、第 1 導電層膜で形成されたフローティングゲート電極とを有し、

前記コントロールゲート電極に接続された前記ワード線と、前記選択トランジスタの制御電極に接続された選択ゲート線と、前記第 1 接続制御線および第 2 接続制御線は第 2 導電層膜で形成され、

前記副ビット線および前記プリチャージ線は第 3 導電層膜で形成され、

前記主ビット線は第 4 導電層膜で形成されている

請求項 4 記載の不揮発性半導体記憶装置。

【請求項 6】

メモリトランジスタと、

50

前記メモリトランジスタのゲートに接続されたワード線と、
主ビット線と、を含み、

前記主ビット線はスイッチング手段を介して複数の副ビット線に階層化され、前記副ビット線と前記接地線との間にそれぞれ選択トランジスタを介して前記メモリトランジスタが複数個直列接続されてNAND列を構成し、前記NAND列がマトリクス配置されてなるNAND型の不揮発性半導体記憶装置であって、

データ書き込み動作時に、選択されたNAND列が在する副ビット線を選択して当該副ビット線および該選択されたNAND列のチャンネル部の電位を書き込み禁止電位まで上昇させる手段と、

書き込むべきデータ内容に応じて前記チャンネル部および当該NAND列が接続された副ビット線に充電された書き込み禁止電位を主ビット線に放電させる手段と、 10

選択された前記ワード線に書き込み電圧を印加して当該選択ワード線に接続された前記メモリトランジスタへ一括してページ書き込みを行う手段と、を備え、

前記副ビット線は、一方の端部において第1接続トランジスタを介して主ビット線に接続され、他方の端部において第2接続トランジスタを介して当該副ビット線を前記書き込み禁止電位に充電するためのプリチャージ線に接続され、

前記第1接続トランジスタおよび第2接続トランジスタは、それぞれゲート電極が第1接続制御線および第2接続制御線に接続されて制御され、

前記メモリトランジスタは、コントロールゲート電極と、第1導電層膜で形成されたフローティングゲート電極とを有し、 20

前記コントロールゲート電極に接続された前記ワード線と、前記選択トランジスタの制御電極に接続された選択ゲート線と、前記第1接続制御線および第2接続制御線は第2導電層膜で形成され、

前記副ビット線および前記プリチャージ線は第3導電層膜で形成され、

前記主ビット線は第4導電層膜で形成されている

不揮発性半導体記憶装置。

【請求項7】

前記第1導電層膜はポリシリコン層であり、

前記第2導電層膜はポリシリコン層またはポリサイド層であり、

前記第3導電層膜はポリシリコン層またはポリサイド層であり、 30

前記第4導電層膜はアルミニウム層である

請求項5または6記載の不揮発性半導体記憶装置。

【請求項8】

列状に配列された複数の主ビット線と、

複数のワード線と、

接地線と、

選択トランジスタを介してメモリトランジスタが複数個直列接続されて構成され、マトリクス配置された複数のNAND列と、を有し、

前記各主ビット線がそれぞれスイッチング手段を介して複数の副ビット線に階層化され、

前記各列の各副ビット線と前記接地線との間にそれぞれ選択トランジスタを介してメモリトランジスタが複数個直列接続された少なくとも一つの前記NAND列が接続され、

同一行のメモリトランジスタのコントロールゲート電極が共通のワード線に接続されたNAND型の不揮発性半導体記憶装置のデータ書き込み方法であって、

前記主ビット線と前記副ビット線とを前記スイッチング手段により非導通状態に保持して、選択ワード線に接続されたメモリトランジスタを含むNAND列が接続された複数の副ビット線および当該選択されたNAND列のチャンネル部の電位を書き込み禁止電位まで上昇させる過程と、

前記チャンネル部および当該NAND列が接続された副ビット線に充電された書き込み禁止電位を、書き込むべきデータ内容に応じて前記スイッチング手段を通して階層化対象 40

10

20

30

40

50

の主ビット線に放電させ、データ内容に応じて書き込みが禁止されたメモリトランジスタを含むNAND列が接続された副ビット線を前記スイッチング手段により階層化対象の主ビット線と電気的に切り離してフローティング状態に保持する過程と、

選択された前記ワード線に書き込み電圧を印加して当該選択ワード線に接続された前記メモリトランジスタへ括してページ書き込みを行う過程と
を有する不揮発性半導体記憶装置のデータ書き込み方法。

【請求項 9】

主ビット線がスイッチング手段を介して対となって列方向に配線された第1副ビット線群および第2副ビット線群に階層化され、前記第1副ビット線群を構成する各第1副ビット線および前記第2副ビット線群を構成する各第2副ビット線と接地線との間にそれぞれ選択トランジスタを介してメモリトランジスタが複数個直列接続されてそれぞれ第1NAND列および第2NAND列を構成し、前記第1NAND列および第2NAND列がマトリクス配置され、同一行のメモリトランジスタのコントロール電極が共通のワード線に接続されてなるNAND型の不揮発性半導体記憶装置であって、

データ書き込み動作時に、選択されたワード線と交差する前記第1副ビット線および前記第2副ビット線を選択して当該選択されたワード線と交差する第1NAND列および第2NAND列のチャンネル部の電位をともに書き込み禁止電位まで上昇させる手段と、

前記第1NAND列および第2NAND列のうちで非選択のNAND列におけるチャンネル部および当該NAND列が接続された副ビット線に充電された書き込み禁止電位をフローティング状態に保持したまま、選択されたNAND列のチャンネル部および当該NAND列が接続された副ビット線に充電された書き込み禁止電位を、書き込むべきデータ内容に応じて前記主ビット線に放電させる放電手段と、

前記選択されたワード線に書き込み電圧を印加して、前記第1NAND列および第2NAND列のうちで選択されたNAND列のみに対し、選択されたワード線に接続されたメモリトランジスタへ括してページ書き込みを行う手段と
を備えた不揮発性半導体記憶装置。

【請求項 10】

前記主ビット線に接続されたデータラッチ回路をさらに備え、
前記放電手段は、書き込み動作時に、当該データラッチ回路にラッチされたデータ内容に応じて前記書き込み禁止電位を前記主ビット線に放電させる

請求項9記載の不揮発性半導体記憶装置。

【請求項 11】

前記第1副ビット線および第2副ビット線は、一方の端部においてそれぞれ対応する第1接続トランジスタを介して前記主ビット線に接続され、他方の端部においてそれぞれ対応する第2接続トランジスタを介して当該副ビット線を前記書き込み禁止電位に充電するためのプリチャージ線に接続された

請求項9記載の不揮発性半導体記憶装置。

【請求項 12】

前記第1副ビット線に接続された第1接続トランジスタおよび第2接続トランジスタは、それぞれゲート電極が前記第1副ビット線専用の第1接続制御線および第2接続制御線に接続され、

前記第2副ビット線に接続された第1接続トランジスタおよび第2接続トランジスタは、それぞれゲート電極が第2副ビット線専用の第1接続制御線および第2接続制御線に接続され、

前記メモリトランジスタは、コントロールゲート電極と、第1導電層膜で形成されたフローティングゲート電極とを有し、

前記コントロールゲート電極に接続された前記ワード線と、前記選択トランジスタの制御電極に接続された選択ゲート線と、前記第1接続制御線および第2接続制御線は第2導電層膜で形成され、

前記副ビット線および前記プリチャージ線は第3導電層膜で形成され、

10

20

30

40

50

前記主ビット線は第4導電層膜で形成されている
請求項11記載の不揮発性半導体記憶装置。

【請求項13】

前記第1導電層膜はポリシリコン層であり、
前記第2導電層膜はポリシリコン層またはポリサイド層であり、
前記第3導電層膜はポリシリコン層またはポリサイド層であり、
前記第4導電層膜はアルミニウム層である
請求項12記載の不揮発性半導体記憶装置。

【請求項14】

主ビット線がスイッチング手段を介して対となって列方向に配線された第1副ビット線群および第2副ビット線群に階層化され、前記第1副ビット線群を構成する各第1副ビット線および前記第2副ビット線群を構成する各第2副ビット線と接地線との間にそれぞれ選択トランジスタを介してメモリトランジスタが複数個直列接続されてそれぞれ第1NAND列および第2NAND列を構成し、前記第1NAND列および第2NAND列がマトリクス配置され、同一行のメモリトランジスタのコントロール電極が共通のワード線に接続されてなるNAND型の不揮発性半導体記憶装置のデータ書き込み方法であって、

書き込み動作時に、選択されたワード線と交差する前記第1副ビット線および前記第2副ビット線を選択して当該選択されたワード線と交差する第1NAND列および第2NAND列のチャンネル部の電位をともに書き込み禁止電位まで上昇させる過程と、

前記第1NAND列および第2NAND列のうちで非選択のNAND列におけるチャンネル部および当該NAND列が接続された副ビット線に充電された書き込み禁止電位をフローティング状態に保持したまま、選択されたNAND列のチャンネル部および当該NAND列が接続された副ビット線に充電された書き込み禁止電位を、書き込むべきデータ内容に応じて前記主ビット線に放電させる過程と、

前記選択されたワード線に書き込み電圧を印加して、前記第1NAND列および第2NAND列のうちで選択されたNAND列のみに対し、選択されたワード線に接続されたメモリトランジスタへ一括してページ書き込みを行う過程と

を有する不揮発性半導体記憶装置のデータ書き込み方法。

【請求項15】

接地線と、

列状に配線された各主ビット線を複数の列方向に階層化して配線した複数群の副ビット線群と、

前記複数群の副ビット線群の任意の一の副ビット線群から任意の一の副ビット線を選択して前記主ビット線に接続する手段とを備え、

前記副ビット線と前記接地線との間にそれぞれ選択トランジスタを介してメモリトランジスタが複数個直列接続されてNAND列を構成し、前記NAND列がマトリクス配置され、

前記複数群の副ビット線群は、対となって列方向に階層化して配線された第1副ビット線群および第2副ビット線群を含む

不揮発性半導体記憶装置。

【請求項16】

前記主ビット線に接続されたデータラッチ回路をさらに備えた
請求項15記載の不揮発性半導体記憶装置。

【請求項17】

前記第1副ビット線群を構成する各第1副ビット線は、一方の端部において、行方向に配線された第1接続制御線に制御される第1接続トランジスタを介して主ビット線に接続され、

前記第2副ビット線群を構成する各第2副ビット線は、前記第1副ビット線が主ビット線に接続される一方の端部と同一方向の端部において、行方向に配線された第2接続制御線に制御される第2接続トランジスタを介して主ビット線に接続される

10

20

20

30

40

50

請求項 1 5 記載の不揮発性半導体記憶装置。

【請求項 1 8】

前記第1副ビット線群を構成する各第1副ビット線は、一方の端部において、行方向に配線された第1接続制御線に制御される第1接続トランジスタを介して主ビット線に接続され、

前記第2副ビット線群を構成する各第2副ビット線は、前記第1副ビット線が主ビット線に接続される一方の端部と逆方向の端部において、行方向に配線された第2接続制御線に制御される第2接続トランジスタを介して主ビット線に接続される

請求項 1 5 記載の不揮発性半導体記憶装置。

【請求項 1 9】

10

前記メモリトランジスタは、コントロールゲート電極と、第1導電層膜で形成されたフローティングゲート電極とを有し、

前記コントロールゲート電極に接続された前記ワード線と、前記選択トランジスタの制御電極に接続された選択ゲート線と、前記第1接続制御線および第2接続制御線は第2導電層膜で形成され、

前記副ビット線は第3導電層膜で形成され、

前記主ビット線は第4導電層膜で形成されている

請求項 1 7 記載の不揮発性半導体記憶装置。

【請求項 2 0】

20

前記第1導電層膜はポリシリコン層であり、

前記第2導電層膜はポリシリコン層またはポリサイド層であり、

前記第3導電層膜はポリシリコン層またはポリサイド層であり、

前記第4導電層膜はアルミニウム層である

請求項 1 9 記載の不揮発性半導体記憶装置。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、低電圧での単一電源動作に適したN A N D型フラッシュメモリ等の不揮発性半導体記憶装置およびそのデータプログラム方法に関するものである。

【0 0 0 2】

30

【従来の技術】

従来、E P R O M、フラッシュメモリ等の不揮発性半導体記憶装置においては、チャンネルホットエレクトロン注入（以下C H E）によりフローティングゲートに電子を注入してデータのプログラムを行うN O R型の不揮発性半導体記憶装置が主流であった。

しかし、上述したN O R型不揮発性半導体記憶装置においては、2個のメモリトランジスタで1個のビットコンタクトおよびソース線を共有するため、高集積化が困難であり、大容量化が困難なという問題がある。

【0 0 0 3】

以上の観点から、複数個のメモリトランジスタを直列接続してN A N D列を構成し、2個のN A N D列で1個のビットコンタクトおよびソース線を共有するこにより、高集積化を実現したN A N D型フラッシュメモリが提案されている。

40

【0 0 0 4】

一般的なN A N D型フラッシュメモリにおいて、消去動作は、選択N A N D列ブロックの全ワード線に0 V、非選択N A N D列ブロックの全ワード線およびメモリアレイの基板に高電圧（たとえば20 V）を印加する。

その結果、選択N A N D列ブロックのメモリトランジスタのみ、フローティングゲートから基板に電子が引き抜かれて、メモリトランジスタのしきい値電圧は負方向にシフトして、たとえば-3 V程度になる。

【0 0 0 5】

一方、データのプログラム動作は、選択するワード線に接続されたメモリトランジスター

50

括に、いわゆるページ単位で行われ、選択するワード線に高電圧（たとえば18V）を、プログラムすべき（1データ）メモリトランジスタが接続されたビット線に0V、プログラムを禁止すべき（0データ）メモリトランジスタが接続されたビット線に中間電圧（たとえば9V）を印加する。

その結果、プログラムすべき選択メモリトランジスタのみ、フローティングゲート中に電子が注入されて、選択メモリトランジスタのしきい値電圧は正方向にシフトして、たとえば2V程度になる。

【0006】

かかるNAND型フラッシュメモリにおいては、データのプログラムおよび消去ともFN(Fowler Nordheim)トンネル電流により行うため、動作電流をチップ内昇圧回路から供給することが比較的容易であり、单一電源で動作させ易いという利点がある。10

さらには、ページ単位で、つまり選択するワード線に接続されたメモリトランジスター括にデータプログラムが行われるため、当然の結果として、プログラム速度の点で優位である。

【0007】

【発明が解決しようとする課題】

ところで、上述したNAND型フラッシュメモリは、以下の不利益を有する。

すなわち、NAND型フラッシュメモリのデータプログラム動作は、ページ単位で行われるため、プログラムを禁止すべきメモリトランジスタが接続されたすべてのビット線に対しては中間電圧（たとえば9V）を印加する必要がある。20

ページ単位でのビット線本数は、通常512バイト、つまりおよそ4000本にもなるため、上記中間電圧を発生する昇圧回路の負荷が大きい。

また上記のデータプログラム動作は、プログラムメモリトランジスタのしきい値電圧を制御する必要から、複数回のプログラム/ベリファイ動作を繰り返し行うため、各プログラム毎に、上記プログラム禁止ビット線を中間電圧に充電する必要がある。

【0008】

このため、プログラム/ベリファイ回数が多くなると、実質的なプログラム時間より、むしろプログラム/ベリファイ動作におけるビット線電圧の切り替えに要する時間が支配的となり、プログラム速度が律速され、高速プログラムが困難となる。

さらには、各ビット線毎に設けられページデータをラッチするためのデータラッチ回路は、中間電圧を扱うため高耐圧仕様とする必要があり、必然的にサイズが大きくなり、したがって各ビット線毎のデータラッチ回路のレイアウトが困難となる。30

【0009】

上述した問題点を解決して、低電圧での单一電源動作に適し、高速プログラムが可能で、しかも各ビット線毎のデータラッチ回路のレイアウトが容易なNAND型フラッシュメモリの新しいプログラム方式が、以下の文献に開示されている。

文献：IEEE JOURNAL OF SOLID-STATE CIRCUITS, VOL. 30, NO. 11, NOVEMBER 1995 p1152~p1153における記述、およびFig 5~Fig 6。

【0010】

上述した文献に開示されたデータプログラム動作は、プログラムを禁止すべきメモリトランジスタが接続されたNAND列をフローティング状態として、当該NAND列のチャンネル部電圧を、主として非選択ワード線に印加されるバス電圧（たとえば10V）との容量カップリングにより、自動的に昇圧する。40

この自動昇圧動作は、セルフブースト動作と呼ばれる。

【0011】

図28は、上述したセルフブースト動作によりNAND型フラッシュメモリのデータプログラムを行う場合の動作を説明するための図である。

【0012】

図28のNAND型フラッシュメモリは、便宜上、2本のビット線に接続されたNAND50

列1本に4個のメモリトランジスタが直列接続された場合のメモリアレイを示す図であるが、実際のメモリアレイにおいては、1本のNAND列に直列接続されるメモリトランジスタの個数は~16個程度が一般的である。

図28において、BLa、BLbはビット線を示し、ビット線BLaには2個の選択トランジスタST1a, ST2a、および4個のメモリトランジスタMT1a~MT4aが直列接続されたNAND列が接続される。

また、ビット線BLbには2個の選択トランジスタST1b, ST2b、および4個のメモリトランジスタMT1b~MT4bが直列接続されたNAND列が接続される。

選択トランジスタST1aおよびST1bは選択ゲート線SL1により制御され、選択トランジスタST2aおよびST2bは選択ゲート線SL2により制御される。また、メモリトランジスタMT1a~MT4aおよびMT1b~MT4bはそれぞれワード線WL1~WL4により制御される。10

【0013】

次に、図28のNAND型フラッシュメモリにおいて、ワード線WL2を選択してページプログラムをする場合に、MT2aがプログラムを禁止すべきメモリトランジスタであり、MT2bがプログラムすべきメモリトランジスタである場合の動作について説明する。

【0014】

まず、選択ゲート線SL1に電源電圧VCC(3.3V)、選択ゲート線SL2に接地電圧GND(0V)が印加され、プログラムを禁止すべきメモリトランジスタMT2aが接続されたビット線BLaに電源電圧VCC(3.3V)、プログラムすべきメモリトランジスタMT2bが接続されたビット線BLbに接地電圧GND(0V)が印加される。20

次に、選択ワード線WL2にプログラム電圧Vpgm(たとえば18V)が、非選択ワード線WL1、WL3~WL4にパス電圧Vpass(たとえば10V)が印加される。

【0015】

その結果、プログラムを禁止すべきメモリトランジスタMT2aが接続されたNAND列のチャンネル部はフローティング状態となり、当該チャンネル部の電位は主として非選択ワード線(図28においては3本であるが、一般的には15本である)に印加されるパス電圧Vpassとのキャパシタカップリングにより、ブーストされプログラム禁止電圧まで上昇して、メモリトランジスタMT2aへのデータプログラムが禁止される。

一方、プログラムすべきメモリトランジスタMT1bが接続されたNAND列のチャンネル部は接地電圧GND(0V)に設定され、選択ワード線に印加されたプログラム電圧Vpgmとの電位差により、メモリトランジスタMT2bへのデータプログラムがなされ、しきい値電圧は正方向にシフトして、たとえば消去状態の-3Vから2V程度になる。30

【0016】

図29(a), (b)は、上述したセルフブースト動作を説明するための図であり、図29(a)はセルフブースト動作時におけるプログラム禁止NAND列内の1個のメモリトランジスタを図示したものであり、図29(b)はその等価回路図である。

【0017】

図29(a)において、VCはワード線WL(コントロールゲートCG)に印加する電圧、VFはフローティングゲートFGの電位、VchはブーストされたNAND列チャンネル電位、Conoはコントロールゲート/フローティングゲート間の3層絶縁膜で構成される層間容量、Ctoxはトンネル酸化膜容量、Cchはソース/ドレイン拡散層領域を含むメモリトランジスタのチャンネル部容量である。また、Ldepはソース/ドレイン拡散層における空乏層広がり長である。40

また、図29(b)において、Cinsは層間容量Conoとトンネル酸化膜容量Ctoxの直列接続による合成容量である。

【0018】

図29(b)の等価回路により、セルフブースト動作時のNAND列チャンネル電位Vchは(1)式で表わされる。

【0019】

【数1】

$$V_{ch} = B_r * V_C \quad \dots (1)$$

ここで、 B_r は下記(2)式で表わされるセルフブースト効率であり、デバイス構造の最適設計により通常~0.8程度に設定する。

【0020】

【数2】

$$B_r = C_{ins} / (C_{ins} + C_{ch}) \quad \dots (2)$$

【0021】

ところで、プログラム時のセルフブースト動作においては、(1)式の V_C はすべてのワード線印加電圧の加重平均となるが、一般的なNAND型フラッシュメモリにおいてはNAND列を構成するワード線本数は16本程度であるため、非選択ワード線に印加するバス電圧が支配的となる。
10

よって、(1)式は(3)式のように表わされる。

【0022】

【数3】

$$V_{ch} = B_r * V_{pass} \quad \dots (3)$$

【0023】

したがって、 $B_r = 0.8$ 、 $V_{pass} = 10V$ とすれば、 $V_{ch} = 8V$ となり、充分プログラム禁止電圧となりうる。

【0024】

上述したセルフブースト動作によるNAND型フラッシュメモリのデータプログラム動作は、非選択ビット線に高電圧の中間電圧を印加する必要がないため、低電圧での単一電源動作に適し、高速プログラムが可能で、しかも各ビット線毎のデータラッチ回路のレイアウトが容易である。
20

【0025】

しかし、上記セルフブースト動作を実現するためには、セルフブースト効率 B_r を最低限でも0.6~0.8と大きくする必要がある。

セルフブースト効率 B_r が充分にとれない場合は、NAND列チャンネル電位 V_{ch} が充分に上昇しないため、図28の例では、非選択メモリトランジスタMT2aに対して誤プログラムが行われる可能性がある。
30

また、バス電圧 V_{pass} を高くすることによりチャンネル電位 V_{ch} をもち上げようすると、図28の例では、非選択メモリトランジスタMT1b、MT3b~MT4bに対して誤プログラムが行われる可能性がある。

また、セルフブースト効率 B_r は原理的に~1にはなりえないため、非選択メモリトランジスタに対して誤プログラムが行われない場合であっても、ディスターブの悪化は免れない。

【0026】

NAND型フラッシュメモリのデバイス構造において、上述した問題を回避するためセルフブースト効率 B_r をできる限り大きく設定するためには、(2)式よりソース/ドレイン拡散層領域を含むメモリトランジスタのチャンネル部容量 C_{ch} を小さくする必要があり、そのためにはNAND型メモリアレイが形成されるP型ウェル領域のP型不純物濃度を低く設定しなければならない。
40

【0027】

ところが、上記のようにP型不純物濃度を低く設定すれば、図29(a)に図示される空乏層広がり長 L_{dep} が大きくなつて、パンチスルーベン性が低下してメモリトランジスタおよび選択トランジスタの短チャンネル化が困難になり、ひいては高集積化が実現できなくなる。

つまり、従来のNAND型フラッシュメモリのデバイス構造では、セルフブースト効率 B_r の確保とメモリトランジスタおよび選択トランジスタの短チャンネル化が相反するトレードオフの関係にあるため、ディスターブ耐性の確保と高集積化が相反して両方とも実現
50

することが困難である。

【0028】

図30(a), (b)は上述したトレードオフの関係を示すグラフである。

図30(a)において、横軸はメモリアレイPWE LL濃度N_{dope}を、縦軸はセルフブースト効率B_rを示している。

また図30(b)においては、横軸はメモリアレイPWE LL濃度N_{dope}を、縦軸はメモリトランジスタおよび選択トランジスタ(TR)の短チャンネル限界L_{min}を示している。

【0029】

図30(a)により、セルフブースト効率B_rを充分に確保するためにはPWE LL濃度N_{dope}を低く設定する必要があり、図30(b)により、PWE LL濃度N_{dope}を低く設定するとメモリトランジスタおよび選択トランジスタの短チャンネル化が困難となることが判る。

【0030】

ところで、従来のNAND型フラッシュメモリにおいては、列方向に配線された各ビット線毎にアルミニウム配線がされている。

この場合、カラム方向のピッチの制約から、各ビット線毎にアルミニウム配線と拡散層とのビットコンタクトおよびデータラッチ回路をレイアウトすることが困難となる。

【0031】

上述した問題点を解決して、カラム方向のピッチの制約を緩和して、各ビット線毎のアルミニウム配線と拡散層とのビットコンタクトおよびデータラッチ回路のレイアウトが容易なNAND型フラッシュメモリの構造が、以下の文献に開示されている。

文献：米国特許4962481におけるFig.2のメモリアレイ図およびFig.3のパターンレイアウト図。

【0032】

上述した文献に開示されたNAND型フラッシュメモリは、互いに対となって配置されたNAND列2本で1本のビット線をシェアリングすることにより、カラム方向のピッチの制約を緩和している。

【0033】

図31は、上述した文献に開示されたNAND型フラッシュメモリのメモリアレイを示す図である。

【0034】

図31のNAND型フラッシュメモリは、便宜上、1本のビット線に互いに対となって配置された2本のNAND列が接続され、各NAND列に4個のメモリトランジスタが直列接続された場合のメモリアレイを示す図であるが、実際のメモリアレイにおいては、1本のNAND列に直列接続されるメモリトランジスタの個数は~16個程度が一般的である。

図31において、BLはビット線を示し、当該ビット線には互いに対となる2本のNAND列NANDaおよびNANDbが接続されている。

NAND列NANDaは、2個の選択トランジスタST1a, ST2a、および4個のメモリトランジスタMT1a~MT4a、およびパストランジスタPass-TRが直列接続されて構成される。

NAND列NANDbは、2個の選択トランジスタST1b~ST2b、および4個のメモリトランジスタMT1b~MT4b、およびパストランジスタPass-TRが直列接続されて構成される。

【0035】

選択トランジスタST1aおよびST1bはそれぞれ選択ゲート線SL1aおよびSL1bにより制御され、選択トランジスタST2aおよびST2bは選択ゲート線SL2により制御され、またメモリトランジスタMT1a~MT4aおよびMT1b~MT4bはそれぞれワード線WL1~WL4により制御される。

10

20

30

40

50

ここで、NAND列NANDaのパストランジスタPass-TRは選択ゲート線SL1bにより制御され、NAND列NANDbのパストランジスタPass-TRは選択ゲート線SL1aにより制御されるが、これらのパストランジスタPass-TRはチャンネル部にリン(P)等のN型不純物層が形成されており、選択ゲート線に印加する電圧にかかわらず常にオン状態となる。

したがって、図31のメモリアレイにおいては、選択ゲート線SL1aがハイレベルであり、選択ゲート線SL1bがローレベルである場合には、NAND列NANDaがビット線BLに接続される。選択ゲート線SL1bがハイレベルであり、選択ゲート線SL1aがローレベルである場合にはNAND列NANDbがビット線BLに接続される。

【0036】

10

図32は図31のNAND型フラッシュメモリのパターンレイアウト図である。

また、図33(a), (b)は図32のパターンレイアウト図におけるデバイス構造断面図であり、図33(a)はA-A'方向からの、図33(b)はB-B'方向からの断面図を示している。

【0037】

図32および図33(a), (b)において、100は半導体基板、101はメモリアレイ領域が形成されるP型ウェル領域、102はメモリトランジスタのソースおよびドレインN型拡散層、103はVSS配線およびビットコントラクト部のN型拡散層、103aはパストランジスタのチャンネル部に形成されたN型拡散層、104はトンネル酸化膜、105は選択トランジスタ部のゲート酸化膜、105aはLOCOS素子分離酸化膜、106はフローティングゲート電極をなす第1層目ポリシリコンゲート電極、107はONO-3層絶縁膜、108はメモリトランジスタおよび選択トランジスタの制御ゲート電極をなす第2層目ポリシリコン配線、112aはアルミニウム配線下の層間絶縁膜、113aはアルミニウム配線下のコントラクトホール、114はアルミニウム配線をそれぞれ示している。

20

【0038】

上述したNAND型フラッシュメモリのメモリアレイにおいては、ビット線レイアウトのカラム方向のピッチは通常の倍に緩和されるため、各ビット線毎のアルミニウム配線と拡散層とのビットコントラクトおよびデータラッチ回路のレイアウトが容易である。

【0039】

30

しかし、上記したメモリアレイは、各NAND列毎に1個のパストランジスタを余分に直列接続する必要があるため、実質的にメモリセルサイズが6~7%程度大きくなり、コスト高になるという不利益がある。

【0040】

本発明は、かかる事情に鑑みてなされたものであり、その第1番目の目的は、低電圧での単一電源動作に適し、ビット線毎のデータラッチ回路のレイアウトが容易で、しかもディスクターブ耐性の良好なデータプログラム動作を行う不揮発性半導体記憶装置を提供することにある。

また、本発明の第2番目の目的は、実質的にメモリセルサイズを大きくすることなく、ビット線レイアウトのカラム方向のピッチを緩和できる不揮発性半導体記憶装置を提供することにある。

40

【0041】

【課題を解決するための手段】

上記目的を達成するため、本発明は、列状に配列された複数の主ビット線と、複数のワード線と、接地線と、選択トランジスタを介してメモリトランジスタが複数個直列接続されて構成され、マトリクス配置された複数のNAND列と、を有し、前記各主ビット線がそれぞれスイッチング手段を介して複数の副ビット線に階層化され、前記各列の各副ビット線と前記接地線との間にそれぞれ選択トランジスタを介してメモリトランジスタが複数個直列接続された少なくとも一つの前記NAND列が接続され、同一行のメモリトランジスタのコントロールゲート電極が共通のワード線に接続されたNAND型の不揮発性半導

50

体記憶装置であって、書き込み動作時に、前記主ビット線と前記副ビット線とを前記スイッチング手段により非導通状態に保持して、選択ワード線に接続されたメモリトランジスタを含むNAND列が接続された複数の副ビット線を書き込み禁止電位に設定する手段と、書き込み禁止電位に設定された前記複数の副ビット線のうち、書き込みすべきメモリトランジスタを含むNAND列が接続された副ビット線を前記スイッチング手段を通して階層化対象の主ビット線に放電させ、書き込みが禁止されたメモリトランジスタを含むNAND列が接続された副ビット線を、前記スイッチング手段により階層化対象の主ビット線と電気的に切り離してフローティング状態に保持する手段と、選択された前記ワード線に書き込み電圧を印加する手段を備えている。

【0042】

10

また、本発明は、列状に配列された複数の主ビット線と、複数のワード線と、接地線と、選択トランジスタを介してメモリトランジスタが複数個直列接続されて構成され、マトリクス配置された複数のNAND列と、を有し、前記各主ビット線がそれぞれスイッチング手段を介して複数の副ビット線に階層化され、前記各列の各副ビット線と前記接地線との間にそれぞれ選択トランジスタを介してメモリトランジスタが複数個直列接続された少なくとも一つの前記NAND列が接続され、同一行のメモリトランジスタのコントロールゲート電極が共通のワード線に接続されたNAND型の不揮発性半導体記憶装置であって、データ書き込み動作時に、前記主ビット線と前記副ビット線とを前記スイッチング手段により非導通状態に保持して、選択ワード線に接続されたメモリトランジスタを含むNAND列が接続された複数の副ビット線および当該選択されたNAND列のチャンネル部の電位を書き込み禁止電位まで上昇させる手段と、前記チャンネル部および当該NAND列が接続された副ビット線に充電された書き込み禁止電位を、書き込むべきデータ内容に応じて前記スイッチング手段を通して階層化対象の主ビット線に放電させ、データ内容に応じて書き込みが禁止されたメモリトランジスタを含むNAND列が接続された副ビット線を前記スイッチング手段により階層化対象の主ビット線と電気的に切り離してフローティング状態に保持する手段と、選択された前記ワード線に書き込み電圧を印加して当該選択ワード線に接続された前記メモリトランジスタへ括してページ書き込みを行う手段とを備えている。

【0043】

20

また、本発明は、主ビット線がスイッチング手段を介して対となって列方向に配線された第1副ビット線群および第2副ビット線群に階層化され、前記第1副ビット線群を構成する各第1副ビット線および前記第2副ビット線群を構成する各第2副ビット線と接地線との間にそれぞれ選択トランジスタを介してメモリトランジスタが複数個直列接続されてそれぞれ第1NAND列および第2NAND列を構成し、前記第1NAND列および第2NAND列がマトリクス配置され、同一行のメモリトランジスタのコントロール電極が共通のワード線に接続されてなるNAND型の不揮発性半導体記憶装置であって、データ書き込み動作時に、選択されたワード線と交差する前記第1副ビット線および前記第2副ビット線を選択して当該選択されたワード線と交差する第1NAND列および第2NAND列のチャンネル部の電位をともに書き込み禁止電位まで上昇させる手段と、前記第1NAND列および第2NAND列のうちで非選択のNAND列におけるチャンネル部および当該NAND列が接続された副ビット線に充電された書き込み禁止電位をフローティング状態に保持したまま、選択されたNAND列のチャンネル部および当該NAND列が接続された副ビット線に充電された書き込み禁止電位を、書き込むべきデータ内容に応じて前記主ビット線に放電させる放電手段と、前記選択されたワード線に書き込み電圧を印加して、前記第1NAND列および第2NAND列のうちで選択されたNAND列のみに対し、選択されたワード線に接続されたメモリトランジスタへ括してページ書き込みを行う手段とを備えている。

【0044】

40

また、本発明の不揮発性半導体記憶装置は、対となって列方向に階層化して配線された第1副ビット線群および第2副ビット線群を含む。

50

【0045】

また、前記第1副ビット線群を構成する各第1副ビット線は、一方の端部において、行方向に配線された第1接続制御線に制御される第1接続トランジスタを介して主ビット線に接続され、前記第2副ビット線群を構成する各第2副ビット線は、前記第1副ビット線が主ビット線に接続される一方の端部と逆方向の端部において、行方向に配線された第2接続制御線に制御される第2接続トランジスタを介して主ビット線に接続される。

【0046】

本発明の不揮発性半導体記憶装置、たとえばNAND型の不揮発性半導体記憶装置によれば、主ビット線が副ビット線に階層化されたメモリアレイ構成をなし、メモリトランジスタがプログラム（書き込み）を禁止すべきメモリトランジスタである場合、当該NAND列チャンネル部の電位を副ビット線を介してプログラム禁止電位まで充電する。10

したがって、従来の主ビット線を介して非選択NAND列チャンネル部の電位をプログラム禁止電位まで充電する方式に比較して、充電容量を大幅に減少させることにより低電圧動作に適し、さらにデータラッチ回路のレイアウトも容易となる。

また、ワード線印加電圧の容量カップリングによりNAND列チャンネル部の電位を上昇させるセルフブースト動作と比較して、プログラム禁止電位を充分高い電圧値に設定することが可能である。

そのために、データプログラム時のディスターブ耐性を向上させることができる。

【0047】

また、本発明のNAND型不揮発性半導体記憶装置によれば、主ビット線が対となって列方向に配線された第1副ビット線群および第2副ビット線群に階層化されたメモリアレイ構成をなし、非選択側の副ビット線から充電したNAND列チャンネル部のプログラム禁止電位を保持したまま、選択側の副ビット線から充電したNAND列に対して選択的にページプログラムを行う。20

したがって、従来の主ビット線を介して非選択NAND列チャンネル部の電位をプログラム禁止電位まで充電する方式に比較して、充電容量を大幅に減少させることにより低電圧動作に適するだけでなく、さらに主ビット線のカラム方向のピッチを緩和できるため、アルミニウム配線と拡散層とのビットコンタクトおよびデータラッチ回路のレイアウトも容易となる。

また、ワード線印加電圧の容量カップリングによりNAND列チャンネル部の電位を上昇させるセルフブースト動作と比較して、プログラム禁止電位を充分高い電圧値に設定することが可能である。30

そのために、データプログラム時のディスターブ耐性を向上させることができる。

【0048】

また、本発明のNAND型不揮発性半導体記憶装置によれば、主ビット線が複数の列方向に複数群の副ビット線群に階層化されたメモリアレイ構成をなしている。

したがって、主ビット線のカラム方向のピッチを緩和できるため、アルミニウム配線と拡散層とのビットコンタクトおよびデータラッチ回路のレイアウトが容易となる。

【0049】**【発明の実施の形態】****第1実施例**

図1は本発明に係る第1実施例のNAND型不揮発性半導体記憶装置の構成例を示す図である。

【0050】

図1のNAND型不揮発性半導体記憶装置は、メモリアレイ10、ローデコーダ20、データラッチ回路群30、カラム選択部40、および昇圧回路50により構成されている。

【0051】

図1のNAND型不揮発性半導体記憶装置は、便宜上、2本の主ビット線、各主ビット線毎に階層化された2本の副ビット線、各副ビット線毎に接続された2本のNAND列からなるメモリアレイを有するものであるが、実際のメモリアレイにおいては、たとえば64

40

50

Mビットのメモリの場合、主ビット線は512バイト（約4k本）、各主ビット線毎に階層化された副ビット線は16本、各副ビット線毎に接続されたNAND列は64本、各NAND列に直列接続されるメモリトランジスタの個数は16個程度である。

【0052】

メモリアレイ10において、MBL_a、MBL_bは主ビット線を示し、主ビット線MBL_aは副ビット線SBL_aおよびSBL_{a'}に階層化され、主ビット線MBL_bは副ビット線SBL_bおよびSBL_{b'}に階層化されている。

副ビット線SBL_aは接続トランジスタTG1aを介して主ビット線MBL_aに接続され、接続トランジスタTG2aを介してプリチャージ線PCLに接続される。

副ビット線SBL_{a'}は接続トランジスタTG1a'を介して主ビット線MBL_aに接続され、接続トランジスタTG2a'を介してプリチャージ線PCLに接続される。10

副ビット線SBL_bは接続トランジスタTG1bを介して主ビット線MBL_bに接続され、接続トランジスタTG2bを介してプリチャージ線PCLに接続される。

副ビット線SBL_{b'}は接続トランジスタTG1b'を介して主ビット線MBL_bに接続され、接続トランジスタTG2b'を介してプリチャージ線PCLに接続される。

【0053】

接続トランジスタTG1a、TG1bは接続制御線TL1により制御され、接続トランジスタTG1a'、TG1b'は接続制御線TL1'により制御され、接続トランジスタTG2a、TG2bは接続制御線TL2により制御され、接続トランジスタTG2a'、TG2b'は接続制御線TL2'により制御される。20

【0054】

副ビット線SBL_aはNAND列NAND1aおよびNAND2aに接続され、副ビット線SBL_{a'}はNAND列NAND1a'およびNAND2a'に接続され、副ビット線SBL_bはNAND列NAND1bおよびNAND2bに接続され、副ビット線SBL_{b'}はNAND列NAND1b'およびNAND2b'に接続される。

各NAND列は選択トランジスタおよびメモリトランジスタが直列接続されてなり、それぞれ選択ゲート線SL(SL')およびワード線WL(WL')により制御される。

主ビット線MBL_aはデータラッチ回路SAaに接続され、主ビット線MBL_bはデータラッチ回路SAbに接続されている。

【0055】

昇圧回路50は、データプログラム動作時に高電圧VPPおよび中間電圧VMを発生し、ローデコーダ20にプログラム電圧Vpgm(VPP)およびバス電圧Vpass(VM)を供給し、プリチャージ線PCLにプログラム禁止のプリチャージ電圧Vpc(VM)を供給する。30

【0056】

図2は、図1のNAND型不揮発性半導体記憶装置において、メモリアレイ10の具体的構成を示す図であるが、便宜上、2本の主ビット線と、各主ビット線毎に1本の副ビット線のみが図示されている。

【0057】

図2において、主ビット線MBL_aは副ビット線SBL_aに階層化され、主ビット線MBL_bは副ビット線SBL_bに階層化されている。40

副ビット線SBL_aは接続トランジスタTG1aを介して主ビット線MBL_aに接続され、接続トランジスタTG2aを介してプリチャージ線PCLに接続される。

副ビット線SBL_bは接続トランジスタTG1bを介して主ビット線MBL_bに接続され、接続トランジスタTG2bを介してプリチャージ線PCLに接続される。

接続トランジスタTG1a、TG1bは接続制御線TL1により制御され、接続トランジスタTG2a、TG2bは接続制御線TL2により制御される。

副ビット線SBL_aにはNAND列NAND1aおよびNAND2aが接続され、副ビット線SBL_bにはNAND列NAND1bおよびNAND2bが接続されている。

【0058】

各 N A N D 列はそれぞれ 2 個の選択トランジスタ S T 1 , S T 2 、および 4 個のメモリトランジスタ M T 1 ~ M T 4 が直列接続されて構成されている。

N A N D 列 N A N D 1 a および N A N D 1 b において、選択トランジスタタ S T 1 は選択ゲート線 S L 1 1 により制御され、選択トランジスタタ S T 2 は選択ゲート線 S L 1 2 により制御され、またメモリトランジスタ M T 1 ~ M T 4 はそれぞれワード線 W L 1 1 ~ W L 1 4 により制御される。

N A N D 列 N A N D 2 a および N A N D 2 b において、選択トランジスタタ S T 1 は選択ゲート線 S L 2 1 により制御され、選択トランジスタタ S T 2 は選択ゲート線 S L 2 2 により制御され、またメモリトランジスタ M T 1 ~ M T 4 はそれぞれワード線 W L 2 1 ~ W L 2 4 により制御される。

なお、図 2 の構成においては、便宜上、N A N D 列 1 本に 4 個のメモリトランジスタが直列接続されているが、実際の構成においては、1 本のN A N D 列に直列接続されるメモリトランジスタの個数は ~ 1 6 個程度である。

【 0 0 5 9 】

図 3 は図 2 の N A N D 型不揮発性半導体記憶装置のパターンレイアウト図である。

また、図 4 は図 3 のパターンレイアウト図における A - A ' 方向からの、デバイス構造断面図を示している。

【 0 0 6 0 】

図 3 および図 4 において、1 0 0 は半導体基板、1 0 1 はメモリアレイ領域が形成される P 型ウェル領域、1 0 2 はメモリトランジスタのソースおよびドレイン N 型拡散層、1 0 3 は V S S 配線およびビットコンタクト部の N 型拡散層、1 0 4 はトンネル酸化膜、1 0 5 は選択トランジスタ部のゲート酸化膜、1 0 6 はフローティングゲート電極をなす第 1 層目ポリシリコンゲート電極、1 0 7 は O N O - 3 層絶縁膜、1 0 8 はメモリトランジスタおよび選択トランジスタの制御ゲート電極をなす第 2 層目ポリシリコン配線、1 0 9 は第 3 層目ポリシリコン配線下の層間絶縁膜、1 1 0 は第 3 層目ポリシリコン配線下のコンタクトホール、1 1 1 は副ビット線およびプリチャージ線をなす 3 層目ポリシリコン配線、1 1 2 はアルミニウム配線下の層間絶縁膜、1 1 3 はアルミニウム配線下のコンタクトホール、および 1 1 4 は主ビット線をなすアルミニウム配線をそれぞれ示している。

【 0 0 6 1 】

次に、図 1 および図 2 の N A N D 型不揮発性半導体記憶装置におけるデータプログラム動作について図 5 に関連付けて説明する。

図 5 は、ワード線 W L 1 2 を選択してページプログラムをする場合に、N A N D 列 N A N D 1 a 内の M T 2 がプログラムを禁止すべきメモリトランジスタであり、N A N D 列 N A N D 1 b 内の M T 2 がプログラムすべきメモリトランジスタである場合の動作を説明するための図である。

【 0 0 6 2 】

まず、接続制御線 T L 1 に接地電圧 G N D (0 V) が印加され副ビット線 S B L a および S B L b が主ビット線 M B L a および M B L b から切り離された状態で、接続制御線 T L 2 にバス電圧 V p a s s (9 V) が印加される。これにより、副ビット線 S B L a および S B L b がプリチャージ線 P C L からプログラム禁止のプリチャージ電圧 (9 V) に充電される。

同時に、選択ゲート線 S L 1 2 に接地電圧 G N D (0 V) が印加され、選択ゲート線 S L 1 1 およびワード線 W L 1 1 ~ W L 1 4 にバス電圧 V p a s s (9 V) が印加される。これにより、N A N D 列 N A N D 1 a および N A N D 1 b のチャンネル部が副ビット線 S B L a および S B L b を介してプログラム禁止電圧 (9 V) まで充電される。

このとき、非選択のN A N D 列 N A N D 2 a および N A N D 2 b においては、選択ゲート線 S L 2 1 , S L 2 2 およびワード線 W L 2 1 ~ W L 2 4 に接地電圧 G N D (0 V) が印加されているので、当該 N A N D 列は副ビット線と切り離され、メモリトランジスタには電圧が印加されていない状態である。

【 0 0 6 3 】

次に、接続制御線 T L 2 が接地電圧 G N D (0 V) に立ち下げられて副ビット線 S B L a および S B L b がプリチャージ線 P C L から切り離された状態で、接続制御線 T L 1 が電源電圧 V C C (3 . 3 V) に立ち上げられて副ビット線 S B L a および S B L b が主ビット線 M B L a および M B L b に接続される。

ここで、プログラムを禁止すべきメモリトランジスタ (N A N D 1 a 内の M T 2) が接続された主ビット線 M B L a は電源電圧 V C C (3 . 3 V) に、プログラムすべきメモリトランジスタ (N A N D 1 b 内の M T 2) が接続された主ビット線 M B L b は接地電圧 G N D (0 V) に、それぞれ対応するデータラッチ回路を介して設定されている。

その結果、N A N D 列 N A N D 1 a のチャンネル部および副ビット線 S B L a はフローティング状態のままプログラム禁止電位に保持されるが、N A N D 列 N A N D 1 b のチャンネル部および副ビット線 S B L b のプログラム禁止電位は主ビット線 M B L b に放電される。
10

同時に、選択ワード線 W L 1 2 の印加電圧がプログラム電圧 V p g m (1 8 V) に立ち上げられる。

その結果、N A N D 列 N A N D 1 a 内のメモリトランジスタ M T 2 はプログラム禁止電圧により消去状態に保持され、N A N D 列 N A N D 1 b 内のメモリトランジスタ M T 2 はプログラム電圧 V p g m によりデータプログラムがなされ、しきい値電圧は正方向にシフトして、たとえば消去状態の - 3 V から 2 V 程度になる。

【 0 0 6 4 】

上述した図 5 の実施例は、従来の主ビット線を介して非選択 N A N D 列チャンネル部の電位をプログラム禁止電位まで充電する方式に比較して、充電容量を大幅に減少させることができることから、低電圧動作に適しており、さらにデータラッチ回路のレイアウトも容易である。
20

また、ワード線印加電圧の容量カッピングにより N A N D 列チャンネル部の電位を上昇させる従来のセルフブースト動作と比較して、プログラム禁止電位を充分高い電圧値 (~ 9 V) に設定することが可能である。

したがって、非選択メモリトランジスタに対するディスターブ耐性を向上させることができる。

【 0 0 6 5 】

図 6 は、上述した図 5 に関連付けて説明した動作のタイミングチャートを示す図である。
30
以下、図 5 のデータプログラム動作を、図 6 のタイミングチャートを参照しながらさらに詳細に説明する。

【 0 0 6 6 】

まず図 6において、(a) に示す P / R はプログラム / ベリファイ制御信号であり、図中時刻 t 1 ~ t 4 の間は第 1 回目のプログラム / ベリファイ動作が行われ、また時刻 t 4 ~ t 7 の間は第 2 回目のプログラム / ベリファイ動作が行われる。

【 0 0 6 7 】

まず、時刻 t 1 で第 1 回目のプログラム動作が開始されて、図 6 (b) , (d) に示すように、接続制御線 T L 1 および選択ゲート線 S L 1 2 に接地電圧 G N D (0 V) が印加され、図 6 (c) , (e) および (f) に示すように、接続制御線 T L 2 および選択ゲート線 S L 1 1 およびすべてのワード線 W L にバス電圧 V p a s s (9 V) が印加される。
40

その結果、図 6 (g) , (h) に示すように、N A N D 列 N A N D 1 a のチャンネル部電位 V C H a および N A N D 列 N A N D 1 b のチャンネル部電位 V C H b は、副ビット線およびプリチャージ線を介してプログラム禁止電圧 V p c (9 V) まで充電される。

【 0 0 6 8 】

次に、図 6 (c) , (b) に示すように、時刻 t 2 で、接続制御線 T L 2 が接地電圧 G N D (0 V) に立ち下げられ、接続制御線 T L 1 が電源電圧 V C C (3 . 3 V) に立ち上げられる。

その結果、図 6 (g) , (h) に示すように、プログラムを禁止すべきメモリトランジスタが在するチャンネル部電位 V C H a はフローティング状態のままプログラム禁止電位を
50

保持するが、プログラムすべきメモリトランジスタが在するV C H bのプログラム禁止電位は主ビット線に放電されてG N D(0 V)になる。

一方、図6(e)に示すように、選択ワード線にはプログラム電圧V p g m(18 V)が印加され、時刻t 2 ~ t 3の間において、当該ワード線に接続されたメモリトランジスタ一括にページプログラムが行われる。

【0069】

次に時刻t 3 ~ t 4の間は、第1回目のベリファイ動作期間であり、図6(c), (e)に示すように、接続制御線T L 2および選択ワード線にそれぞれ電源電圧V C Cおよび接地電圧G N Dが印加され、図6(b), (f), (d)に示すように、接続制御線T L 1およびすべての非選択ワード線および選択ゲート線S L 1 1およびS L 1 2に電源電圧V C Cが印加されてバス状態として、通常のN A N D型フラッシュメモリと同様のベリファイ動作が行われる。10

また、時刻t 4 ~ t 7の間は第2回目のプログラム/ベリファイ動作であり、第1回目のプログラム/ベリファイ動作のまったくの繰り返しである。

【0070】

図7は、図1~図6の本発明の第1実施例のN A N D型不揮発性半導体記憶装置において、すでに説明したプログラム動作、および消去動作、読み出し動作についての、各バイアス設定を示す図である。

なお図中、プログラム動作は便宜上プリチャージ時(図6において時刻t 1 ~ t 2)と実プログラム時(図6において時刻t 2 ~ t 3)に分けて示されている。20

【0071】

図7において、プログラム動作はすでに説明したとおりであり、再度の説明を省略する。消去動作については、従来のN A N D型フラッシュメモリと基本的に同様であり、選択N A N D列ブロックの全ワード線に0 V、非選択N A N D列ブロックの全ワード線およびメモリアレイの基板P W E L Lに高電圧(V e r a s e = 22 V)が印加される。

その結果、選択N A N D列ブロックのメモリトランジスタのみ、フローティングゲートから基板に電子が引き抜かれて、メモリトランジスタのしきい値電圧は負方向にシフトして、たとえば-3 V程度になる。

読み出し動作についても、従来のN A N D型フラッシュメモリと基本的に同様であり、選択N A N D列ブロックにおいては、選択ワード線に接地電圧G N Dが印加され、すべての非選択ワード線および選択ゲート線S Lおよび接続制御線T L 1に電源電圧V C Cが印加されてバス状態として、通常のN A N D型フラッシュメモリと同様の読み出し動作が行われる。30

【0072】

以上説明したように、本第1実施例のN A N D型不揮発性半導体記憶装置によれば、主ビット線が副ビット線に階層化されたメモリアレイ構成をなし、メモリトランジスタがプログラムを禁止すべきメモリトランジスタである場合、当該N A N D列チャンネル部の電位を副ビット線を介してプログラム禁止電位まで充電する。

したがって、従来の主ビット線を介して非選択N A N D列チャンネル部の電位をプログラム禁止電位まで充電する方式に比較して、充電容量を大幅に減少させることができることから低電圧動作に適し、さらにデータラッチ回路のレイアウトも容易となる。40

また、ワード線印加電圧の容量カップリングによりN A N D列チャンネル部の電位を上昇させるセルフブースト動作と比較して、プログラム禁止電位を充分高い電圧値に設定することが可能である。

そのために、データプログラム時のディスターブ耐性を向上させることができる。

【0073】

第2実施例

図8は本発明に係る第2実施例のN A N D型不揮発性半導体記憶装置の構成例を示す図である。

本第2実施例が上記第1実施例と異なる点は、プリチャージ線を用いることなく、主ビッ50

ト線から選択トランジスタを介してプログラム禁止電圧(9V)を副ビット線に供給した後、選択トランジスタのゲート電位を電源電圧VCCレベルに保持した状態で、選択された主ビット線は接地電圧GNDに設定し、非選択の主ビット線は電源電圧VCCに設定して、選択されなかった副ビット線をフローティング状態とするようにしたことがある。

【0074】

図8のNAND型不揮発性半導体記憶装置は、メモリアレイ10A、ローデコーダ20、データラッチ回路群30、カラム選択部40、および昇圧回路50により構成されている。

【0075】

図8のNAND型不揮発性半導体記憶装置は、便宜上、2本の主ビット線、各主ビット線毎に階層化された2本の副ビット線、各副ビット線毎に接続された2本のNAND列からなるメモリアレイを示す図であるが、実際のメモリアレイにおいては、たとえば64Mビットのメモリの場合、主ビット線は512バイト(約4k本)、各主ビット線毎に階層化された副ビット線は16本、各NAND列に直列接続されるメモリトランジスタの個数は16個程度である。10

【0076】

メモリアレイ10Aにおいて、MBLa、MBLbは主ビット線を示し、主ビット線MBLaは副ビット線SBLaおよびSBLa'に階層化され、主ビット線MBLbは副ビット線SBLbおよびSBLb'に階層化されている。

副ビット線SBLaの一端側は接続トランジスタTG1aを介して主ビット線MBLaに接続され、副ビット線SBLa'は接続トランジスタTG1a'を介して主ビット線MBLaに接続される。20

副ビット線SBLbは接続トランジスタTG1bを介して主ビット線MBLbに接続され、副ビット線SBLb'は接続トランジスタTG1b'を介して主ビット線MBLbに接続される。

【0077】

接続トランジスタTG1a、TG1bは接続制御線TL1により制御され、接続トランジスタTG1a'、TG1b'は接続制御線TL1'により制御される。

【0078】

副ビット線SBLaはNAND列NAND1aおよびNAND2aに接続され、副ビット線SBLa'はNAND列NAND1a'およびNAND2a'に接続され、副ビット線SBLbはNAND列NAND1bおよびNAND2bに接続され、副ビット線SBLb'はNAND列NAND1b'およびNAND2b'に接続される。30

各NAND列は選択トランジスタおよびメモリトランジスタが直列接続されてなり、それぞれ選択ゲート線SL(SL')およびワード線WL(WL')により制御される。

主ビット線MBLaはデータラッチ回路SAaに接続され、主ビット線MBLbはデータラッチ回路SAbに接続されている。

【0079】

昇圧回路50は、データプログラム動作時に高電圧VPPおよび中間電圧VMを発生し、ローデコーダ20にプログラム電圧Vpgm(VPP)およびパス電圧Vpass(VM)を供給する。40

【0080】

図9は、図8のNAND型不揮発性半導体記憶装置において、メモリアレイ10Aの具体的構成を示す図であるが、便宜上、2本の主ビット線と、各主ビット線毎に1本の副ビット線のみが図示されている。

【0081】

図9において、主ビット線MBLaは副ビット線SBLaに階層化され、主ビット線MBLbは副ビット線SBLbに階層化されている。

副ビット線SBLaは接続トランジスタTG1aを介して主ビット線MBLaに接続され、副ビット線SBLbは接続トランジスタTG1bを介して主ビット線MBLbに接続さ50

れる。

接続トランジスタ T G 1 a、T G 1 b は接続制御線 T L 1 により制御される。副ビット線 S B L a には N A N D 列 N A N D 1 a および N A N D 2 a が接続され、副ビット線 S B L b には N A N D 列 N A N D 1 b および N A N D 2 b が接続されている。

【 0 0 8 2 】

各 N A N D 列はそれぞれ 2 個の選択トランジスタ S T 1, S T 2、および 4 個のメモリトランジスタ M T 1 ~ M T 4 が直列接続されて構成されている。

N A N D 列 N A N D 1 a および N A N D 1 b において、選択トランジスタ S T 1 は選択ゲート線 S L 1 1 により制御され、選択トランジスタ S T 2 は選択ゲート線 S L 1 2 により制御され、またメモリトランジスタ M T 1 ~ M T 4 はそれぞれワード線 W L 1 1 ~ W L 1 4 により制御される。10

N A N D 列 N A N D 2 a および N A N D 2 b において、選択トランジスタ S T 1 は選択ゲート線 S L 2 1 により制御され、選択トランジスタ S T 2 は選択ゲート線 S L 2 2 により制御され、またメモリトランジスタ M T 1 ~ M T 4 はそれぞれワード線 W L 2 1 ~ W L 2 4 により制御される。

なお、図 2 の構成においては、便宜上、N A N D 列 1 本に 4 個のメモリトランジスタが直列接続されているが、実際の構成においては、1 本の N A N D 列に直列接続されるメモリトランジスタの個数は ~ 1 6 個程度である。

【 0 0 8 3 】

図 1 0 は図 9 の N A N D 型不揮発性半導体記憶装置のパターンレイアウト図である。

20

また、図 1 1 は図 1 0 のパターンレイアウト図における A - A ' 方向からの、デバイス構造断面図を示している。

【 0 0 8 4 】

図 1 0 および図 1 1 において、1 0 0 は半導体基板、1 0 1 はメモリアレイ領域が形成される P 型ウェル領域、1 0 2 はメモリトランジスタのソースおよびドレイン N 型拡散層、1 0 3 は V S S 配線およびビットコンタクト部の N 型拡散層、1 0 4 はトンネル酸化膜、1 0 5 は選択トランジスタ部のゲート酸化膜、1 0 6 はフローティングゲート電極をなす第 1 層目ポリシリコンゲート電極、1 0 7 は O N O - 3 層絶縁膜、1 0 8 はメモリトランジスタおよび選択トランジスタの制御ゲート電極をなす第 2 層目ポリシリコン配線、1 0 9 は第 3 層目ポリシリコン配線下の層間絶縁膜、1 1 0 は第 3 層目ポリシリコン配線下のコンタクトホール、1 1 1 は副ビット線およびプリチャージ線をなす第 3 層目ポリシリコン配線、1 1 2 はアルミニウム配線下の層間絶縁膜、1 1 3 はアルミニウム配線下のコンタクトホール、および 1 1 4 は主ビット線をなすアルミニウム配線をそれぞれ示している。30

【 0 0 8 5 】

次に、図 8 および図 9 の N A N D 型不揮発性半導体記憶装置におけるデータプログラム動作について図 1 2 に関連付けて説明する。

図 1 2 は、ワード線 W L 1 2 を選択してページプログラムをする場合に、N A N D 列 N A N D 1 a 内の M T 2 がプログラムを禁止すべきメモリトランジスタであり、N A N D 列 N A N D 1 b 内の M T 2 がプログラムすべきメモリトランジスタである場合の動作を説明するための図である。40

【 0 0 8 6 】

まず、接続制御線 T L 1 に接地電圧 G N D (0 V) が印加され副ビット線 S B L a および S B L b が主ビット線 M B L a および M B L b から切り離された状態で、主ビット線 M B L a, M B L b にバス電圧 V p a s s (9 V) が印加される。この状態で接続制御線 T L 1 にバス電圧 V p a s s が印加され、接続トランジスタ T G 1 a, T G 1 b が導通状態に制御される。これにより、副ビット線 S B L a および S B L b がプログラム禁止のバス電圧 V p a s s (9 V) に充電される。

同時に、選択ゲート線 S L 1 2 に接地電圧 G N D (0 V) が印加され、選択ゲート線 S L 1 1 およびワード線 W L 1 1 ~ W L 1 4 にバス電圧 V p a s s (9 V) が印加される。

これにより、N A N D 列 N A N D 1 a および N A N D 1 b のチャンネル部が副ビット線 S

50

B L a および S B L b を介してプログラム禁止電圧(9V)まで充電される。

このとき、非選択のN A N D列N A N D 2 a およびN A N D 2 bにおいては、選択ゲート線S L 2 1 , S L 2 2 およびワード線W L 2 1 ~ W L 2 4 に接地電圧G N D(0V)が印加されているので、当該N A N D列は副ビット線と切り離され、メモリトランジスタには電圧が印加されていない状態である。

【0087】

次に、接続制御線T L 1 が電源電圧V C C(3.3V)に立ち下げられ、この状態で選択された側の主ビット線M B L b が接地電圧G N D(0V)に立ち下げられ、選択されない側の主ビット線M B L a が電源電圧V C C(3.3V)に立ち下げられる。

これにより、接続トランジスタT G 1 b は接続状態に保持され、接続トランジスタT G 1 a はカットオフ状態となる。
10

その結果、N A N D列N A N D 1 a のチャンネル部および副ビット線S B L a はフローティング状態のままプログラム禁止電位に保持されるが、N A N D列N A N D 1 b のチャンネル部および副ビット線S B L b のプログラム禁止電位は主ビット線M B L b に放電される。

同時に、選択ワード線W L 1 2 の印加電圧がプログラム電圧V p g m(18V)に立ち上げられる。

その結果、N A N D列N A N D 1 a 内のメモリトランジスタM T 2 はプログラム禁止電圧により消去状態に保持され、N A N D列N A N D 1 b 内のメモリトランジスタM T 2 はプログラム電圧V p g mによりデータプログラムがなされ、しきい値電圧は正方向にシフトして、たとえば消去状態の-3Vから2V程度になる。
20

【0088】

上述した図12の実施例は、従来の主ビット線を介して非選択N A N D列チャンネル部の電位をプログラム禁止電位まで充電する方式に比較して、低電圧動作に適しており、さらにデータラッチ回路のレイアウトも容易である。

また、ワード線印加電圧の容量カップリングによりN A N D列チャンネル部の電位を上昇させる従来のセルフブースト動作と比較して、プログラム禁止電位を充分高い電圧値(~9V)に設定することが可能である。

したがって、非選択メモリトランジスタに対するディスターブ耐性を向上させることができる。
30

【0089】

以上説明したように、本第2実施例のN A N D型不揮発性半導体記憶装置によれば、上述した第1実施例と同様に、低電圧動作に適し、さらにデータラッチ回路のレイアウトも容易となる。

また、ワード線印加電圧の容量カップリングによりN A N D列チャンネル部の電位を上昇させるセルフブースト動作と比較して、プログラム禁止電位を充分高い電圧値に設定することが可能である。

そのために、データプログラム時のディスターブ耐性を向上させることができる。

【0090】

第3実施例

図13は本発明に係る第3実施例のN A N D型不揮発性半導体記憶装置の構成例を示す図である。

図13の第3実施例の構成例が図1の第1実施例の構成例と異なる点は、主ビット線が対となって列方向に配線された第1副ビット線群および第2副ビット線群に階層化されたメモリアレイ構成をなしている点である。

したがって、主ビット線のカラム方向のピッチを緩和できるため、アルミニウム配線と拡散層とのピットコンタクトおよびデータラッチ回路のレイアウトがさらに容易となり、好適である。

【0091】

図13において、10Bはメモリアレイ、20はローデコーダ、30はデータラッチ回路
50

、40はカラム選択部、および50は昇圧回路をそれぞれ示している。

図13のNAND型不揮発性半導体記憶装置は、便宜上、2本の主ビット線、各主ビット線毎に階層化された一対の副ビット線群、各副ビット線群を構成する2本の副ビット線、各副ビット線毎に接続された2本のNAND列からなるメモリアレイを示す図であるが、実際のメモリアレイにおいては、たとえば64Mビットのメモリの場合、主ビット線は256バイト(約2k本)、各副ビット線群を構成する副ビット線は16本、各副ビット線毎に接続されたNAND列は64本、各NAND列に直列接続されるメモリトランジスタの個数は16個程度である。

【0092】

メモリアレイ10Bにおいて、MBL1、MBL2は主ビット線を示し、主ビット線MBL1は副ビット線SBL1a、SBL1a'、および対となるSBL1b、SBL1b'に階層化され、主ビット線MBL2は副ビット線SBL2a、SBL2a'、および対となるSBL2b、SBL2b'に階層化されている。

副ビット線SBL1aは接続トランジスタTG11aを介して主ビット線MBL1に接続され、接続トランジスタTG12aを介してプリチャージ線PCLに接続される。

副ビット線SBL1a'は接続トランジスタTG11a'を介して主ビット線MBL1に接続され、接続トランジスタTG12a'を介してプリチャージ線PCLに接続される。

副ビット線SBL1bは接続トランジスタTG11bを介して主ビット線MBL1に接続され、接続トランジスタTG12bを介してプリチャージ線PCLに接続される。

副ビット線SBL1b'は接続トランジスタTG11b'を介して主ビット線MBL1に接続され、接続トランジスタTG12b'を介してプリチャージ線PCLに接続される。

【0093】

副ビット線SBL2aは接続トランジスタTG21aを介して主ビット線MBL2に接続され、接続トランジスタTG22aを介してプリチャージ線PCLに接続される。

副ビット線SBL2a'は接続トランジスタTG21a'を介して主ビット線MBL2に接続され、接続トランジスタTG22a'を介してプリチャージ線PCLに接続される。

副ビット線SBL2bは接続トランジスタTG21bを介して主ビット線MBL2に接続され、接続トランジスタTG22bを介してプリチャージ線PCLに接続される。

副ビット線SBL2b'は接続トランジスタTG21b'を介して主ビット線MBL2に接続され、接続トランジスタTG22b'を介してプリチャージ線PCLに接続される。

【0094】

接続トランジスタTG11a、TG21aは接続制御線TL1aにより制御され、接続トランジスタTG11b、TG21bは接続制御線TL1bにより制御され、接続トランジスタTG12a、TG22aは接続制御線TL2aにより制御され、接続トランジスタTG12b、TG22bは接続制御線TL2bにより制御され、接続トランジスタTG11a'、TG21a'は接続制御線TL1a'により制御され、接続トランジスタTG11b'、TG21b'は接続制御線TL1b'により制御され、接続トランジスタTG12a'、TG22a'は接続制御線TL2a'により制御され、接続トランジスタTG12b'、TG22b'は接続制御線TL2b'により制御される。

【0095】

副ビット線SBL1aはNAND列NAND11aおよびNAND12aに接続され、副ビット線SBL1bはNAND列NAND11bおよびNAND12bに接続され、副ビット線SBL2aはNAND列NAND21aおよびNAND22aに接続され、副ビット線SBL2bはNAND列NAND21bおよびNAND22bに接続され、副ビット線SBL1a'はNAND列NAND11a'およびNAND12a'に接続され、副ビット線SBL1b'はNAND列NAND11b'およびNAND12b'に接続され、副ビット線SBL2a'はNAND列NAND21a'およびNAND22a'に接続され、副ビット線SBL2b'はNAND列NAND21b'およびNAND22b'に接続される。

【0096】

10

20

30

40

50

各NAND列は選択トランジスタおよびメモリトランジスタが直列接続されており、それぞれ選択ゲート線SL(SL')およびワード線WL(WL')により制御される。主ビット線MBL1はデータラッチ回路SA1に接続され、主ビット線MBL2はデータラッチ回路SA2に接続されている。

【0097】

50の昇圧回路は、データプログラム動作時に高電圧VPPおよび中間電圧VMを発生し、ローデコーダ20にプログラム電圧Vpgm(VPP)およびバス電圧Vpass(VM)を供給し、プリチャージ線PCLにプログラム禁止のプリチャージ電圧Vpc(VM)を供給する。

【0098】

図14は、図13のNAND型不揮発性半導体記憶装置において、メモリアレイ10Bの具体的構成を示す図であるが、便宜上、2本の主ビット線と、各主ビット線毎に1対の副ビット線のみが図示されている。

【0099】

図14において、主ビット線MBL1は対となる副ビット線SBL1aおよびSBL1bに階層化され、主ビット線MBL2は対となる副ビット線SBL2aおよびSBL2bに階層化されている。

副ビット線SBL1aは直列接続された接続トランジスタTG11aおよびパストランジスタPass-TRを介して主ビット線MBL1に接続され、接続トランジスタTG12aおよびパストランジスタPass-TRを介してプリチャージ線PCLに接続される。

副ビット線SBL1bは直列接続された接続トランジスタTG11bおよびパストランジスタPass-TRを介して主ビット線MBL1に接続され、接続トランジスタTG12bおよびパストランジスタPass-TRを介してプリチャージ線PCLに接続される。

副ビット線SBL2aは直列接続された接続トランジスタTG21aおよびパストランジスタPass-TRを介して主ビット線MBL2に接続され、接続トランジスタTG22aおよびパストランジスタPass-TRを介してプリチャージ線PCLに接続される。

副ビット線SBL2bは直列接続された接続トランジスタTG21bおよびパストランジスタPass-TRを介して主ビット線MBL2に接続され、接続トランジスタTG22bおよびパストランジスタPass-TRを介してプリチャージ線PCLに接続される。

【0100】

接続トランジスタTG11a、TG21aは接続制御線TL1aにより制御され、接続トランジスタTG11b、TG21bは接続制御線TL1bにより制御され、接続トランジスタTG12a、TG22aは接続制御線TL2aにより制御され、接続トランジスタTG12b、TG22bは接続制御線TL2bにより制御される。

各接続トランジスタに直列接続されるパストランジスタPass-TRは、チャンネル部にリン等のN型不純物層が形成されており、接続制御線に印加する電圧にかかわらず常にオン状態となる。

副ビット線SBL1aはNAND列NAND11aおよびNAND12aに接続され、副ビット線SBL1bはNAND列NAND11bおよびNAND12bに接続され、副ビット線SBL2aはNAND列NAND21aおよびNAND22aに接続され、副ビット線SBL2bはNAND列NAND21bおよびNAND22bに接続される。

【0101】

各NAND列はそれぞれ2個の選択トランジスタST1、ST2、および4個のメモリトランジスタMT1～MT4が直列接続されて構成されている。

NAND列NAND11a、NAND11b、NAND21aおよびNAND21bにおいて、選択トランジスタST1は選択ゲート線SL11により制御され、選択トランジスタST2は選択ゲート線SL12により制御され、またメモリトランジスタMT1～MT4はそれぞれワード線WL11～WL14により制御される。

また、NAND列NAND12a、NAND12b、NAND22aおよびNAND22bにおいて、選択トランジスタST1は選択ゲート線SL21により制御され、選択ト

10

20

30

40

50

ランジスタ ST 2 は選択ゲート線 S L 2 2 により制御され、またメモリトランジスタ M T 1 ~ M T 4 はそれぞれワード線 W L 2 1 ~ W L 2 4 により制御される。

なお、図 13 の構成においては、便宜上、N A N D 列 1 本に 4 個のメモリトランジスタが直列接続されているが、実際の構成においては、1 本のN A N D 列に直列接続されるメモリトランジスタの個数は~16 個程度である。

【0102】

図 15 は図 14 のN A N D 型不揮発性半導体記憶装置のパターンレイアウト図である。また、図 16 (a) , (b) はデバイス構造断面図であり、図 16 (a) は図 15 におけるA - A' 線方向からの、図 16 (b) はB - B' 線方向からの断面図を示している。

【0103】

図 15 および図 16 (a) , (b) において、100 は半導体基板、101 はメモリアレイ領域が形成されるP型ウェル領域、102 はメモリトランジスタのソースおよびドレインN型拡散層、103 はV S S 配線およびビットコントラクト部のN型拡散層、103 a はパストランジスタのチャンネル部に形成されたN型拡散層、104 はトンネル酸化膜、105 は選択トランジスタ部のゲート酸化膜、105 a はL O C O S 素子分離酸化膜、106 はフローティングゲート電極をなす第1層目ポリシリコンゲート電極、107 はO N O - 3 層絶縁膜、108 はメモリトランジスタおよび選択トランジスタの制御ゲート電極をなす第2層目ポリシリコン配線、109 は第3層目ポリシリコン配線下の層間絶縁膜、110 は第3層目ポリシリコン配線下のコントラクトホール、111 は副ビット線およびプリチャージ線をなす3層目ポリシリコン配線、112 はアルミニウム配線下の層間絶縁膜、113 はアルミニウム配線下のコントラクトホール、および114 は主ビット線をなすアルミニウム配線をそれぞれ示している。

【0104】

次に、図 13 および図 14 のN A N D 型不揮発性半導体記憶装置におけるデータプログラム動作について図 17 に関連付けて説明する。

図 17 は、ワード線 W L 1 2 を選択してページプログラムを行い、かつ副ビット線 S B L 1 a および S B L 2 a を選択して副ビット線 S B L 1 b および S B L 2 b を選択しない場合に、N A N D 列 N A N D 1 1 a 内のM T 2 がプログラムを禁止すべきメモリトランジスタであり、N A N D 列 N A N D 2 1 a 内のM T 2 がプログラムすべきメモリトランジスタである場合の動作を説明するための図である。

この場合、ワード線 W L 1 2 に接続されたメモリトランジスタにおいて、N A N D 列 N A N D 2 1 a 内のメモリトランジスタ M T 2 のみデータプログラムを行い、その他のN A N D 列 N A N D 1 1 a 、 N A N D 1 1 b および N A N D 2 1 b 内のメモリトランジスタ M T 2 はすべてデータプログラムを禁止する必要がある。

【0105】

まず、接続制御線 T L 1 a および T L 1 b に接地電圧 G N D (0 V) が印加され副ビット線 S B L 1 a 、 S B L 1 b 、 S B L 2 a および S B L 2 b がすべて対応する主ビット線 M B L 1 および M B L 2 から切り離された状態で、接続制御線 T L 2 a および T L 2 b にパス電圧 V p a s s (9 V) が印加される。これにより、副ビット線 S B L 1 a 、 S B L 1 b 、 S B L 2 a および S B L 2 b がプリチャージ線 P C L からすべてプログラム禁止のプリチャージ電圧 (9 V) に充電される。

同時に、選択ゲート線 S L 1 2 に接地電圧 G N D (0 V) が印加され、選択ゲート線 S L 1 1 およびワード線 W L 1 1 ~ W L 1 4 にパス電圧 V p a s s (9 V) が印加される。これにより、N A N D 列 N A N D 1 1 a 、 N A N D 1 1 b 、 N A N D 2 1 a および N A N D 2 1 b のチャンネル部がすべて副ビット線を介してプログラム禁止電圧 (9 V) まで充電される。

このとき、非選択ブロックのN A N D 列 N A N D 1 2 a 、 N A N D 1 2 b 、 N A N D 2 2 a および N A N D 2 2 b においては、選択ゲート線 S L 2 1 , S L 2 2 およびワード線 W L 2 1 ~ W L 2 4 に接地電圧 G N D (0 V) が印加されているので、当該N A N D 列は副ビット線と切り離され、メモリトランジスタには電圧が印加されていない状態である。

10

20

30

40

50

【0106】

次に、接続制御線 T L 2 a および T L 2 b が接地電圧 G N D (0 V) に立ち下げられて副ビット線 S B L 1 a 、 S B L 1 b 、 S B L 2 a および S B L 2 b がすべてプリチャージ線 P C L から切り離された状態で、接続制御線 T L 1 a が電源電圧 V C C (3 . 3 V) に立ち上げられて副ビット線 S B L 1 a および S B L 2 a が主ビット線 M B L 1 および M B L 2 に接続される。

ここで、プログラムを禁止すべきメモリトランジスタ (N A N D 1 1 a 内の M T 2) が接続された主ビット線 M B L 1 は電源電圧 V_{cc} V C C (3 . 3 V) に、プログラムすべきメモリトランジスタ (N A N D 2 1 a 内の M T 2) が接続された主ビット線 M B L 2 は接地電圧 G N D (0 V) に、それぞれ対応するデータラッチ回路を介して設定されている。 10

その結果、N A N D 列 N A N D 1 1 a 、 N A N D 1 1 b および N A N D 2 1 b のチャンネル部および対応する副ビット線はフロー・ティング状態のままプログラム禁止電位に保持されるが、N A N D 列 N A N D 2 1 a のチャンネル部および副ビット線 S B L 2 a のプログラム禁止電位は主ビット線 M B L 2 に放電される。

同時に、選択ワード線 W L 1 2 の印加電圧がプログラム電圧 V_{pgm} (1 8 V) に立ち上げられる。

その結果、N A N D 列 N A N D 1 1 a 、 N A N D 1 1 b および N A N D 2 1 b 内のメモリトランジスタ M T 2 はプログラム禁止電圧により消去状態に保持され、N A N D 列 N A N D 2 1 a 内のメモリトランジスタ M T 2 はプログラム電圧 V_{pgm} によりデータプログラムがなされ、しきい値電圧は正方向にシフトして、たとえば消去状態の - 3 V から 2 V 程度になる。 20

【0107】

上述した図 1 7 の実施例は、従来の主ビット線を介して非選択 N A N D 列 チャンネル部の電位をプログラム禁止電位まで充電する方式に比較して、充電容量を大幅に減少させることができることから低電圧動作に適するだけでなく、さらに主ビット線のカラム方向のピッチを緩和できるため、アルミニウム配線と拡散層とのビットコンタクトおよびデータラッチ回路のレイアウトが容易となる。

また、ワード線印加電圧の容量カップリングにより N A N D 列 チャンネル部の電位を上昇させる従来のセルフブースト動作と比較して、プログラム禁止電位を充分高い電圧値 (~ 9 V) に設定することが可能である。 30

したがって、非選択メモリトランジスタに対するディスタークス耐性を向上させることができる。

【0108】

図 1 8 は、上述した図 1 7 に関連付けて説明した動作のタイミングチャートを示す図である。

以下、図 1 7 のデータプログラム動作を、図 1 8 のタイミングチャートを参照しながら詳細に説明する。

【0109】

まず図 1 8 において、(a) に示す P / R はプログラム / ベリファイ制御信号であり、図中時刻 t 1 ~ t 4 の間は第 1 回目のプログラム / ベリファイ動作が行われ、また時刻 t 4 ~ t 7 の間は第 2 回目のプログラム / ベリファイ動作が行われる。 40

【0110】

まず時刻 t 1 で第 1 回目のプログラム動作が開始されて、図 1 8 (b) および (e) に示すように、接続制御線 T L 1 a および T L 1 b および選択ゲート線 S L 1 2 に接地電圧 G N D (0 V) が印加され、図 1 8 (c) , (d) および (f) に示すように、接続制御線 T L 2 a および T L 2 b および選択ゲート線 S L 1 1 およびすべてのワード線 W L にパス電圧 V_{pass} (9 V) が印加される。

その結果、図 1 8 (h) に示すように、N A N D 列 N A N D 1 1 a のチャンネル部電位 V C H 1 1 a および N A N D 1 1 b のチャンネル部電位 V C H 1 1 b および N A N D 2 1 a のチャンネル部電位 V C H 2 1 a および N A N D 2 1 b のチャンネル部電位 V C H 2 1 b 50

は、すべて対応する副ビット線およびプリチャージ線を介してプログラム禁止電圧(9V)まで充電される。

【0111】

次に、図18(b), (c)に示すように、時刻t2で、接続制御線TL2aおよびTL2bが接地電圧GND(0V)に立ち下げられ、接続制御線TL1aが電源電圧VCC(3.3V)に立ち上げられる。

その結果、プログラムを禁止すべきメモリトランジスタが在するチャンネル部電位VCH11a、VCH11bおよびVCH21bはフローティング状態のままプログラム禁止電位を保持するが、プログラムすべきメモリトランジスタが在するVCH21aのプログラム禁止電位は主ビット線に放電されてGND(0V)になる。 10

一方、図18(f)に示すように、選択ワード線にはプログラム電圧Vpgm(18V)が印加され、時刻t2~t3の間において、当該ワード線に接続されたメモリトランジスター括弧内にページプログラムが行われる。

【0112】

次に時刻t3~t4の間は、第1回目のベリファイ動作期間であり、図18(d), (f)に示すように、接続制御線TL1b、TL2b並びに選択ワード線WLに接地電圧GNDが印加され、図18(b), (g)および(e)に示すように、接続制御線TL1aおよびすべての非選択ワード線および選択ゲート線SL11およびSL12に電源電圧VCCが印加されてバス状態として、選択する一方の副ビット線側のみ通常のNAND型フラッシュメモリと同様のベリファイ動作が行われる。 20

また、時刻t4~t7の間は第2回目のプログラム/ベリファイ動作であり、第1回目のプログラム/ベリファイ動作のまったくの繰り返しである。

【0113】

図19は、図13~図18の本第3実施例のNAND型不揮発性半導体記憶装置において、すでに説明したプログラム動作、および消去動作、読み出し動作についての、各バイアス設定を示す図である。

なお図中、プログラム動作は便宜上プリチャージ時(図18において時刻t1~t2)と実プログラム時(図18において時刻t2~t3)に分けて示されている。

【0114】

図19において、プログラム動作はすでに説明したとおりであり、再度の説明を省略する。 30

消去動作については、従来のNAND型フラッシュメモリと基本的に同様であり、選択NAND列ブロックの全ワード線に0V、非選択NAND列ブロックの全ワード線およびメモリアレイの基板PWEELに高電圧(Verase=22V)が印加される。

その結果、選択NAND列ブロックのメモリトランジスタのみ、フローティングゲートから基板に電子が引き抜かれて、メモリトランジスタのしきい値電圧は負方向にシフトして、たとえば-3V程度になる。

読み出し動作についても、従来のNAND型フラッシュメモリと基本的に同様であり、選択NAND列ブロックにおいては、選択ワード線に接地電圧GNDが印加され、すべての非選択ワード線および選択ゲート線SLおよび選択接続制御線TL1aに電源電圧VCCが印加されてバス状態として、通常のNAND型フラッシュメモリと同様の読み出し動作が行われる。 40

【0115】

以上説明したように、本第3実施例のNAND型不揮発性半導体記憶装置によれば、主ビット線が対となって列方向に配線された第1副ビット線群および第2副ビット線群に階層化されたメモリアレイ構成をなし、非選択側の副ビット線から充電したNAND列チャンネル部のプログラム禁止電位を保持したまま、選択側の副ビット線から充電したNAND列に対して選択的にページプログラムを行う。

したがって、従来の主ビット線を介して非選択NAND列チャンネル部の電位をプログラム禁止電位まで充電する方式に比較して、充電容量を大幅に減少させることができること 50

から低電圧動作に適するだけでなく、さらに主ビット線のカラム方向のピッチを緩和できるため、アルミニウム配線と拡散層とのビットコンタクトおよびデータラッチ回路のレイアウトも容易となる。

また、ワード線印加電圧の容量カップリングにより N A N D 列チャネル部の電位を上昇させるセルフブースト動作と比較して、プログラム禁止電位を充分高い電圧値に設定することが可能である。

そのために、データプログラム時のディスターブ耐性を向上させることができる。

【 0 1 1 6 】

第4実施例

図 20 は本発明に係る第4実施例の N A N D 型不揮発性半導体記憶装置の構成例を示す図である。

10

【 0 1 1 7 】

図 20 の N A N D 型不揮発性半導体記憶装置は、メモリアレイ 10 C、ローデコーダ 20 、データラッチ回路群 30 、およびカラム選択部 40 により構成されている。

図 20 の N A N D 型不揮発性半導体記憶装置は、便宜上、2 本の主ビット線、各主ビット線毎に階層化された一対の副ビット線群、各副ビット線群を構成する 2 本の副ビット線、各副ビット線毎に接続された 2 本の N A N D 列からなるメモリアレイを示す図であるが、実際のメモリアレイにおいては、例えば 64 M ビットのメモリの場合、主ビット線は 256 バイト(約 2 k 本)、各副ビット線群を構成する副ビット線は 16 本、各副ビット線毎に接続された N A N D 列は 64 本、各 N A N D 列に直列接続されるメモリトランジスタの個数は 16 個程度である。

20

【 0 1 1 8 】

メモリアレイ 10 C において、M B L 1 、M B L 2 は主ビット線を示し、主ビット線 M B L 1 は副ビット線 S B L 1 a 、S B L 1 a' 、および対となる S B L 1 b 、S B L 1 b' に階層化され、主ビット線 M B L 2 は副ビット線 S B L 2 a 、S B L 2 a' 、および対となる S B L 2 b 、S B L 2 b' に階層化されている。

副ビット線 S B L 1 a は接続トランジスタ T G 1 a を介して主ビット線 M B L 1 に接続される。

副ビット線 S B L 1 a' は接続トランジスタ T G 1 a' を介して主ビット線 M B L 1 に接続される。

30

副ビット線 S B L 1 b は接続トランジスタ T G 1 b を介して主ビット線 M B L 1 に接続される。

副ビット線 S B L 1 b' は接続トランジスタ T G 1 b' を介して主ビット線 M B L 1 に接続される。

副ビット線 S B L 2 a は接続トランジスタ T G 2 a を介して主ビット線 M B L 2 に接続される。

副ビット線 S B L 2 a' は接続トランジスタ T G 2 a' を介して主ビット線 M B L 2 に接続される。

副ビット線 S B L 2 b は接続トランジスタ T G 2 b を介して主ビット線 M B L 2 に接続される。

40

副ビット線 S B L 2 b' は接続トランジスタ T G 2 b' を介して主ビット線 M B L 2 に接続される。

【 0 1 1 9 】

接続トランジスタ T G 1 a 、T G 2 a は接続制御線 T L 1 a により制御され、接続トランジスタ T G 1 b 、T G 2 b は接続制御線 T L 1 b により制御され、接続トランジスタ T G 1 a' 、T G 2 a' は接続制御線 T L 1 a' により制御され、接続トランジスタ T G 1 b' 、T G 2 b' は接続制御線 T L 1 b' により制御される。

副ビット線 S B L 1 a は N A N D 列 N A N D 1 1 a および N A N D 1 2 a に接続され、副ビット線 S B L 1 b は N A N D 列 N A N D 1 1 b および N A N D 1 2 b に接続され、副ビット線 S B L 2 a は N A N D 列 N A N D 2 1 a および N A N D 2 2 a に接続され、副ビッ

50

ト線 SBL2b は NAND 列 NAND21b および NAND22b に接続され、副ビット線 SBL1a' は NAND 列 NAND11a' および NAND12a' に接続され、副ビット線 SBL1b' は NAND 列 NAND11b' および NAND12b' に接続され、副ビット線 SBL2a' は NAND 列 NAND21a' および NAND22a' に接続され、副ビット線 SBL2b' は NAND 列 NAND21b' および NAND22b' に接続される。

各 NAND 列は選択トランジスタおよびメモリトランジスタが直列接続されてなり、それぞれ選択ゲート線 SL (SL') およびワード線 WL (WL') に制御される。

主ビット線 MBL1 はデータラッチ回路 SA1 に接続、主ビット線 MBL2 はデータラッチ回路 SA2 に接続されている。 10

【0120】

図21は、図20のNAND型不揮発性半導体記憶装置において、メモリアレイ10Cの具体的構成を示す図であるが、便宜上、2本の主ビット線と、各主ビット線毎に1対の副ビット線のみが図示されている。

【0121】

図21において、主ビット線 MBL1 は対となる副ビット線 SBL1a および SBL1b に階層化され、主ビット線 MBL2 は対となる副ビット線 SBL2a および SBL2b に階層化されている。

副ビット線 SBL1a は接続トランジスタ TG1a およびパストランジスタ Pass-T R を介して主ビット線 MBL1 に接続される。 20

副ビット線 SBL1b は接続トランジスタ TG1b およびパストランジスタ Pass-T R を介して主ビット線 MBL1 に接続される。

副ビット線 SBL2a は接続トランジスタ TG2a およびパストランジスタ Pass-T R を介して主ビット線 MBL2 に接続される。

副ビット線 SBL2b は接続トランジスタ TG2b およびパストランジスタ Pass-T R を介して主ビット線 MBL2 に接続される。

【0122】

接続トランジスタ TG1a、TG2a は接続制御線 TL1a により制御され、接続トランジスタ TG1b、TG2b は接続制御線 TL1b により制御される。

各接続トランジスタに直列接続されるパストランジスタ Pass-T R は、チャンネル部にリン等のN型不純物層が形成されており、接続制御線に印加する電圧に係らず常にオン状態となる。 30

したがって、図21のメモリアレイにおいては、接続制御線 TL1a がハイレベルであり、接続制御線 TL1b がローレベルである場合には、副ビット線 SBL1a が主ビット線 MBL1 に接続され、副ビット線 SBL2a が主ビット線 MBL2 に接続される。

また、接続制御線 TL1b がハイレベルであり、接続制御線 TL1a がローレベルである場合には、副ビット線 SBL1b が主ビット線 MBL1 に接続され、副ビット線 SBL2b が主ビット線 MBL2 に接続される。

副ビット線 SBL1a は NAND 列 NAND11a および NAND12a に接続され、副ビット線 SBL1b は NAND 列 NAND11b および NAND12b に接続され、副ビット線 SBL2a は NAND 列 NAND21a および NAND22a に接続され、副ビット線 SBL2b は NAND 列 NAND21b および NAND22b に接続される。 40

【0123】

各 NAND 列はそれぞれ2個の選択トランジスタ ST1, ST2、および4個のメモリトランジスタ MT1 ~ MT4 が直列接続されて構成される。

NAND 列 NAND11a、NAND11b、NAND21a および NAND21b において、選択トランジスタ ST1 は選択ゲート線 SL11 により制御され、選択トランジスタ ST2 は選択ゲート線 SL12 により制御され、またメモリトランジスタ MT1 ~ MT4 はそれぞれワード線 WL11 ~ WL14 により制御される。

NAND 列 NAND12a、NAND12b、NAND22a および NAND22b にお 50

いて、選択トランジスタタ S T 1 は選択ゲート線 S L 2 1 により制御され、選択トランジスタタ S T 2 は選択ゲート線 S L 2 2 により制御され、またメモリトランジスタ M T 1 ~ M T 4 はそれぞれワード線 W L 2 1 ~ W L 2 4 により制御される。

なお、図 2 1 の構成においては、便宜上、N A N D 列 1 本に 4 個のメモリトランジスタが直列接続されているが、実際の構成においては、1 本のN A N D 列に直列接続されるメモリトランジスタの個数は~ 1 6 個程度である。

【 0 1 2 4 】

図 2 2 は図 2 1 のN A N D 型不揮発性半導体記憶装置のパターンレイアウト図である。

また、図 2 3 (a) ~ (b) はデバイス構造断面図であり、図 2 3 (a) はA - A ' 方向からの、図 2 3 (b) はB - B ' 方向からの断面図を示している。 10

【 0 1 2 5 】

図 2 2 および図 2 3 (a) , (b)において、1 0 0 は半導体基板、1 0 1 はメモリアレイ領域が形成されるP型ウェル領域、1 0 2 はメモリトランジスタのソースおよびドレインN型拡散層、1 0 3 はV S S 配線およびビットコンタクト部のN型拡散層、1 0 3 a はパストランジスタのチャンネル部に形成されたN型拡散層、1 0 4 はトンネル酸化膜、1 0 5 は選択トランジスタ部のゲート酸化膜、1 0 5 a はL O C O S 素子分離酸化膜、1 0 6 はフローティングゲート電極をなす第1層目ポリシリコンゲート電極、1 0 7 はO N O - 3 層絶縁膜、1 0 8 はメモリトランジスタおよび選択トランジスタの制御ゲート電極をなす第2層目ポリシリコン配線、1 0 9 は第3層目ポリシリコン配線下の層間絶縁膜、1 1 0 は第3層目ポリシリコン配線下のコンタクトホール、1 1 1 は副ビット線をなす3層目ポリシリコン配線、1 1 2 はアルミニウム配線下の層間絶縁膜、1 1 3 はアルミニウム配線下のコンタクトホール、1 1 4 は主ビット線をなすアルミニウム配線をそれぞれ示している。 20

【 0 1 2 6 】

図 2 2 のパターンレイアウト図において、副ビット線をなす第3層目ポリシリコン配線(1 1 1)および当該副ビット線とのビットコンタクト(1 1 0)のカラム方向のピッチは、従来のビット線ピッチに比して緩和されていない。

しかし、ポリシリコン配線およびコンタクトのプロセス上の微細加工は、アルミニウム配線およびコンタクトのプロセス上の微細加工よりも容易であるため、従来のビット線構成よりもセルサイズのシーリングに有利である。 30

【 0 1 2 7 】

以上説明したように、本第4実施例のN A N D 型不揮発性半導体記憶装置によれば、主ビット線が複数の列方向に複数群の副ビット線群に階層化されたメモリアレイ構成をなしている。

したがって、主ビット線のカラム方向のピッチを緩和できるため、アルミニウム配線と拡散層とのビットコンタクトおよびデータラッチ回路のレイアウトが容易となる。

【 0 1 2 8 】

第5実施例

図 2 4 は本発明に係る第5実施例のN A N D 型不揮発性半導体記憶装置の構成例を示す図である。 40

図 2 4 の第5実施例の構成例が図 2 0 の第4実施例の構成例と異なる点は、対となって列方向に配線された副ビット線対が、それぞれ反対側の端部で接続トランジスタを介して主ビット線に接続されるメモリアレイ構成をなしている点である。

したがって、第4実施例において必要であったパストランジスタ P a s s - T R が不要となり、プロセス工程(1 0 3 a のN型拡散層)が削減でき、好適である。

【 0 1 2 9 】

図 2 4 のN A N D 型不揮発性半導体記憶装置は、メモリアレイ 1 0 D 、ローデコーダ 2 0 、データラッチ回路群 3 0 、およびカラム選択部 4 0 により構成されている。

図 2 4 のN A N D 型不揮発性半導体記憶装置は、便宜上、2 本の主ビット線、各主ビット線毎に階層化された一対の副ビット線群、各副ビット線群を構成する2 本の副ビット線、 50

各副ビット線毎に接続された2本のNAND列からなるメモリアレイを示す図であるが、実際のメモリアレイにおいては、例えば64Mビットのメモリの場合、主ビット線は256バイト(約2k本)、各副ビット線群を構成する副ビット線は16本、各副ビット線毎に接続されたNAND列は64本、各NAND列に直列接続されるメモリトランジスタの個数は16個程度である。

【0130】

メモリアレイ10Dにおいて、MBL1、MBL2は主ビット線を示し、主ビット線MBL1は副ビット線SBL1a、SBL1a'、および対となるSBL1b、SBL1b'に階層化され、主ビット線MBL2は副ビット線SBL2a、SBL2a'、および対となるSBL2b、SBL2b'に階層化されている。

10

副ビット線SBL1aは接続トランジスタTG1aを介して主ビット線MBL1に接続される。

副ビット線SBL1a'は接続トランジスタTG1a'を介して主ビット線MBL1に接続される。

副ビット線SBL1bは接続トランジスタTG1bを介して主ビット線MBL1に接続される。

副ビット線SBL1b'は接続トランジスタTG1b'を介して主ビット線MBL1に接続される。

副ビット線SBL2aは接続トランジスタTG2aを介して主ビット線MBL2に接続される。

20

副ビット線SBL2a'は接続トランジスタTG2a'を介して主ビット線MBL2に接続される。

副ビット線SBL2bは接続トランジスタTG2bを介して主ビット線MBL2に接続される。

副ビット線SBL2b'は接続トランジスタTG2b'を介して主ビット線MBL2に接続される。

【0131】

接続トランジスタTG1a、TG2aは接続制御線TL1aにより制御され、接続トランジスタTG1b、TG2bは接続制御線TL1bにより制御され、接続トランジスタTG1a'、TG2a'は接続制御線TL1a'により制御され、接続トランジスタTG1b'、TG2b'は接続制御線TL1b'により制御される。

30

副ビット線SBL1aはNAND列NAND11aおよびNAND12aに接続され、副ビット線SBL1bはNAND列NAND11bおよびNAND12bに接続され、副ビット線SBL2aはNAND列NAND21aおよびNAND22aに接続され、副ビット線SBL2bはNAND列NAND21bおよびNAND22bに接続され、副ビット線SBL1a'はNAND列NAND11a'およびNAND12a'に接続され、副ビット線SBL1b'はNAND列NAND11b'およびNAND12b'に接続され、副ビット線SBL2a'はNAND列NAND21a'およびNAND22a'に接続され、副ビット線SBL2b'はNAND列NAND21b'およびNAND22b'に接続される。

40

各NAND列は選択トランジスタおよびメモリトランジスタが直列接続されてなり、それぞれ選択ゲート線SL(SL')およびワード線WL(WL')に制御される。

主ビット線MBL1はデータラッチ回路SA1に接続され、主ビット線MBL2はデータラッチ回路SA2に接続されている。

【0132】

図25は、図24のNAND型不揮発性半導体記憶装置において、メモリアレイ10Dの具体的構成を示す図であるが、便宜上、2本の主ビット線と、各主ビット線毎に1対の副ビット線のみが図示されている。

【0133】

図25において、主ビット線MBL1は対となる副ビット線SBL1aおよびSBL1b

50

に階層化され、主ビット線 MBL2 は対となる副ビット線 SBL2a および SBL2b に階層化されている。

副ビット線 SBL1a は接続トランジスタ TG1a を介して主ビット線 MBL1 に接続される。

副ビット線 SBL1b は接続トランジスタ TG1b を介して主ビット線 MBL1 に接続される。

副ビット線 SBL2a は接続トランジスタ TG2a を介して主ビット線 MBL2 に接続される。

副ビット線 SBL2b は接続トランジスタ TG2b を介して主ビット線 MBL2 に接続される。 10

【0134】

接続トランジスタ TG1a、TG2a は接続制御線 TL1a により制御され、接続トランジスタ TG1b、TG2b は接続制御線 TL1b により制御される。

図 25 のメモリアレイにおいては、接続制御線 TL1a がハイレベルであり、接続制御線 TL1b がローレベルである場合には、副ビット線 SBL1a が主ビット線 MBL1 に接続され、副ビット線 SBL2a が主ビット線 MBL2 に接続される。

また、接続制御線 TL1b がハイレベルであり、接続制御線 TL1a がローレベルである場合には、副ビット線 SBL1b が主ビット線 MBL1 に接続され、副ビット線 SBL2b が主ビット線 MBL2 に接続される。

副ビット線 SBL1a は NAND 列 NAND11a および NAND12a に接続され、副ビット線 SBL1b は NAND 列 NAND11b および NAND12b に接続され、副ビット線 SBL2a は NAND 列 NAND21a および NAND22a に接続され、副ビット線 SBL2b は NAND 列 NAND21b および NAND22b に接続される。 20

【0135】

各 NAND 列はそれぞれ 2 個の選択トランジスタ ST1, ST2、およびび 4 個のメモリトランジスタ MT1 ~ MT4 が直列接続されて構成されている。

NAND 列 NAND11a、NAND11b、NAND21a および NAND21b において、選択トランジスタ ST1 は選択ゲート線 SL11 により制御され、選択トランジスタ ST2 は選択ゲート線 SL12 により制御され、またメモリトランジスタ MT1 ~ MT4 はそれぞれワード線 WL11 ~ WL14 により制御される。 30

NAND 列 NAND12a および NAND12b および NAND22a および NAND22b において、選択トランジスタ ST1 は選択ゲート線 SL21 により制御され、選択トランジスタ ST2 は選択ゲート線 SL22 により制御され、またメモリトランジスタ MT1 ~ MT4 はそれぞれワード線 WL21 ~ WL24 により制御される。

なお、図 25 の構成においては、便宜上、NAND 列 1 本に 4 個のメモリトランジスタが直列接続されているが、実際の構成においては、1 本の NAND 列に直列接続されるメモリトランジスタの個数は ~ 16 個程度である。

【0136】

図 26 は図 25 の NAND 型不揮発性半導体記憶装置のパターンレイアウト図である。

また、図 27 (a), (b) はデバイス構造断面図であり、図 27 (a) は A - A' 方向からの、図 27 (b) は B - B' 方向からの断面図を示している。 40

【0137】

図 26 および図 27 (a), (b) において、100 は半導体基板、101 はメモリアレイ領域が形成される P 型ウェル領域、102 はメモリトランジスタのソースおよびドレイン N 型拡散層、103 は VSS 配線およびビットコンタクト部の N 型拡散層、104 はトンネル酸化膜、105 は選択トランジスタ部のゲート酸化膜、105a は LOCOS 素子分離酸化膜、106 はフローティングゲート電極をなす第 1 層目ポリシリコンゲート電極、107 は ONO - 3 層絶縁膜、108 はメモリトランジスタおよび選択トランジスタの制御ゲート電極をなす第 2 層目ポリシリコン配線、109 は第 3 層目ポリシリコン配線下の層間絶縁膜、110 は第 3 層目ポリシリコン配線下のコンタクトホール、111 は副ビ

ット線をなす3層目ポリシリコン配線、112はアルミニウム配線下の層間絶縁膜、113はアルミニウム配線下のコンタクトホール、114は主ビット線をなすアルミニウム配線をそれぞれ示している。

【0138】

図26のパターンレイアウト図において、副ビット線をなす第3層目ポリシリコン配線(111)および当該副ビット線とのビットコンタクト(110)のカラム方向のピッチは、従来のビット線ピッチに比して緩和されていない。

しかし、ポリシリコン配線およびコンタクトのプロセス上の微細加工は、アルミニウム配線およびコンタクトのプロセス上の微細加工よりも容易であるため、従来のビット線構成よりもセルサイズのシーリングに有利である。 10

【0139】

以上説明したように、本第4実施例のNAND型不揮発性半導体記憶装置によれば、主ビット線が複数の列方向に複数群の副ビット線群に階層化されたメモリアレイ構成をなしている。

したがって、主ビット線のカラム方向のピッチを緩和できるため、アルミニウム配線と拡散層とのビットコンタクトおよびデータラッチ回路のレイアウトが容易となる。

またすでに説明した第4実施例と比較して、プロセス工程が削減でき、好適である。

【0140】

【発明の効果】

以上説明したように、本発明によれば、低電圧での単一電源動作に適し、ビット線毎のデータラッチ回路のレイアウトが容易で、しかもディステアブル耐性の良好なデータプログラム動作を行うNAND型不揮発性半導体記憶装置を実現することができる。 20

さらに、本発明によれば、実質的にメモリセルサイズを大きくすることなく、ビット線レイアウトのカラム方向のピッチを緩和できるNAND型不揮発性半導体記憶装置を実現することができる。

【図面の簡単な説明】

【図1】本発明に係る第1実施例のNAND型不揮発性半導体記憶装置の構成例を示す図である。

【図2】図1におけるメモリアレイの具体的構成を示す図である。

【図3】図2のパターンレイアウト図である。 30

【図4】図3のパターンレイアウト図におけるデバイス構造断面図である。

【図5】第1実施例のNAND型不揮発性半導体記憶装置におけるデータプログラム動作を説明するための図である。

【図6】図5の動作を説明するためのタイミングチャートを示す図である。

【図7】第1実施例のNAND型不揮発性半導体記憶装置において、プログラム動作、消去動作、読み出し動作についての各バイアス設定を示す図である。

【図8】本発明に係る第2実施例のNAND型不揮発性半導体記憶装置の構成例を示す図である。

【図9】図8におけるメモリアレイの具体的構成を示す図である。

【図10】図9のパターンレイアウト図である。 40

【図11】図10のパターンレイアウト図におけるデバイス構造断面図である。

【図12】第2実施例のNAND型不揮発性半導体記憶装置におけるデータプログラム動作を説明するための図である。

【図13】本発明に係る第3実施例のNAND型不揮発性半導体記憶装置の構成例を示す図である。

【図14】図13におけるメモリアレイの具体的構成を示す図である。

【図15】図14のパターンレイアウト図である。

【図16】図15のパターンレイアウト図におけるデバイス構造断面図である。

【図17】第3実施形態のNAND型不揮発性半導体記憶装置におけるデータプログラム動作を説明するための図である。 50

【図18】図17の動作を説明するためのタイミングチャートを示す図である。

【図19】第3実施例のNAND型不揮発性半導体記憶装置において、プログラム動作、消去動作、読み出し動作についての各バイアス設定を示す図である。

【図20】本発明に係る第4実施例のNAND型不揮発性半導体記憶装置の構成例を示す図である。

【図21】図20におけるメモリアレイの具体的構成を示す図である。

【図22】図21のパターンレイアウト図である。

【図23】図22のパターンレイアウト図におけるデバイス構造断面図である。

【図24】本発明に係る第5実施例のNAND型不揮発性半導体記憶装置の構成例を示す図である。

【図25】図24におけるメモリアレイの具体的構成を示す図である。

【図26】図25のパターンレイアウト図である。

【図27】図26のパターンレイアウト図におけるデバイス構造断面図である。

【図28】セルフブーストによるデータプログラムの動作を説明するための図である。

【図29】図29(a)はセルフブースト動作時における1個のメモリトランジスタを図示したものであり、図29(b)はその等価回路図である。

【図30】セルフブースト効率Brの確保とトランジスタの短チャンネル化が、相反するトレードオフの関係にあることを説明するための図である。

【図31】カラム方向のピッチを緩和できる従来のNAND型フラッシュメモリのメモリアレイを示す図である。

【図32】図31のパターンレイアウト図である。

【図33】図32のパターンレイアウト図におけるデバイス構造断面図である。

【符号の説明】

S L ... 選択ゲート線、W L ... ワード線、B L ... ビット線、M B L ... 主ビット線、S B L ... 副ビット線、T L ... 接続制御線、P C L ... プリチャージ線、S T ... 選択トランジスタ、M T ... メモリトランジスタ、T G ... 接続トランジスタ、Pass - TR ... パストランジスタ、N A N D ... NAND列、S A ... データラッチ回路、V p g m ... プログラム電圧、V p a s s ... パス電圧、V b s t ... ブースト電圧(プログラム禁止電圧)、V p c ... プリチャージ電圧(プログラム禁止電圧)、V P P ... 高電圧、V M ... 中間電圧、V C H ... NAND列チャンネル電位、V F ... フローティングゲート電位、V C ... コントロールゲート電位、

P / R ... プログラム / ベリファイ制御信号、C - o n o ... コントロールゲート / フローティングゲート間の層間容量、C - t o x ... トンネル酸化膜容量、C - c h ... チャンネル部容量、C - i n s ... C - o n o と C - t o x の直列接続による合成容量、B r ... セルフブースト効率、N d o p e ... P W E L L 濃度、L m i n ... TRの短チャンネル限界、10, 10a, 10B, 10C, 10D ... メモリアレイ、20 ... ローデコーダ、30 ... データラッチ回路、40 ... カラム選択部、50 ... 昇圧回路、100 ... 半導体基板、101 ... P型ウェル領域、102 ... N型拡散層(メモリトランジスタのソースおよびドレイン)、103 ... N型拡散層(VSS配線およびビットコンタクト部)、103a ... N型拡散層(パストランジスタのチャンネル部)、104 ... トンネル酸化膜、105 ... ゲート酸化膜(選択トランジスタ部)、105a ... LOCOS素子分離酸化膜、106 ... 第1層目ポリシリコンゲート電極、107 ... O N O - 3層絶縁膜、108 ... 第2層目ポリシリコン配線、109 ... 層間絶縁膜(第3層目ポリシリコン配線下)、110 ... コンタクトホール(第3層目ポリシリコン配線下)、111 ... 第3層目ポリシリコン配線、112 ... 層間絶縁膜(アルミニウム配線下)、113 ... コンタクトホール(アルミニウム配線下)、114 ... アルミニウム配線。

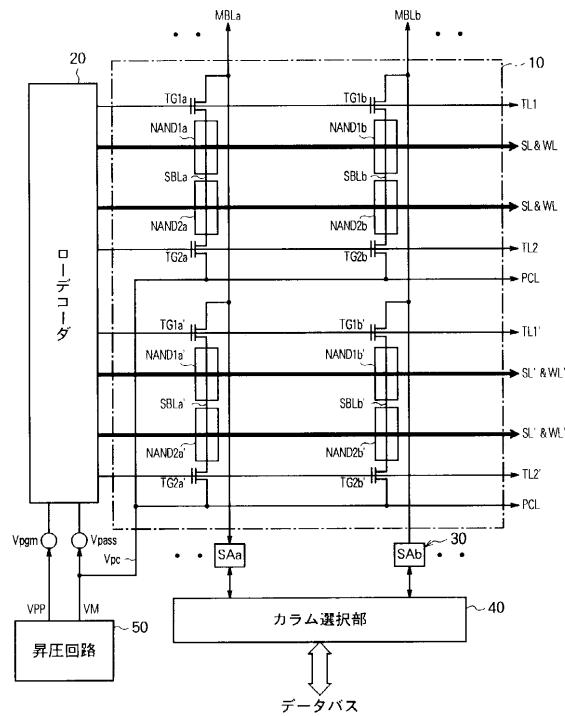
10

20

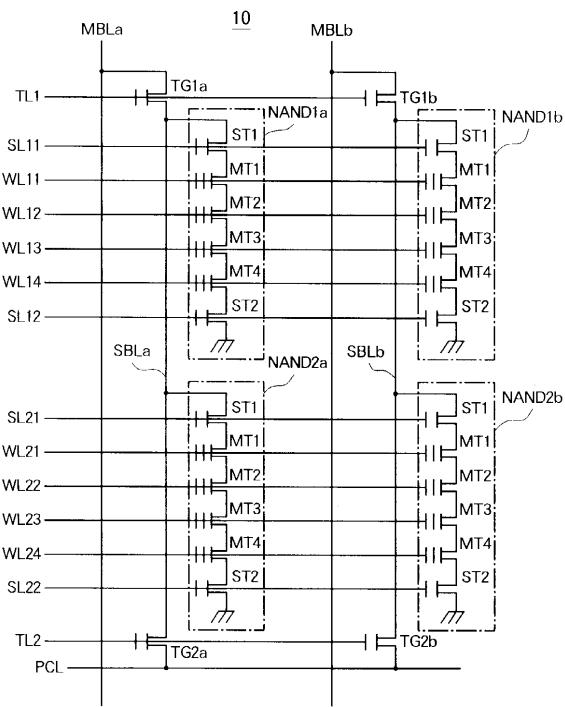
30

40

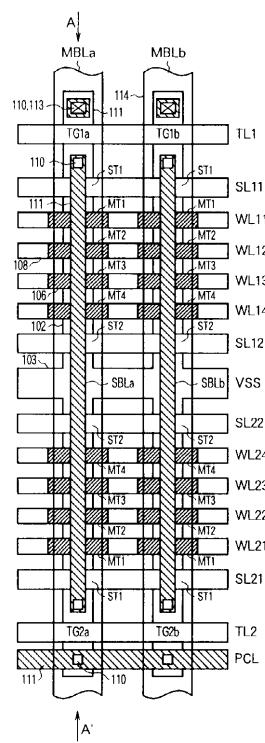
【図1】



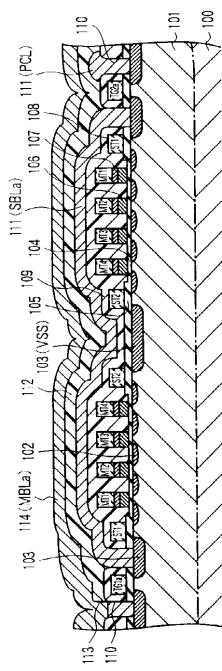
【図2】



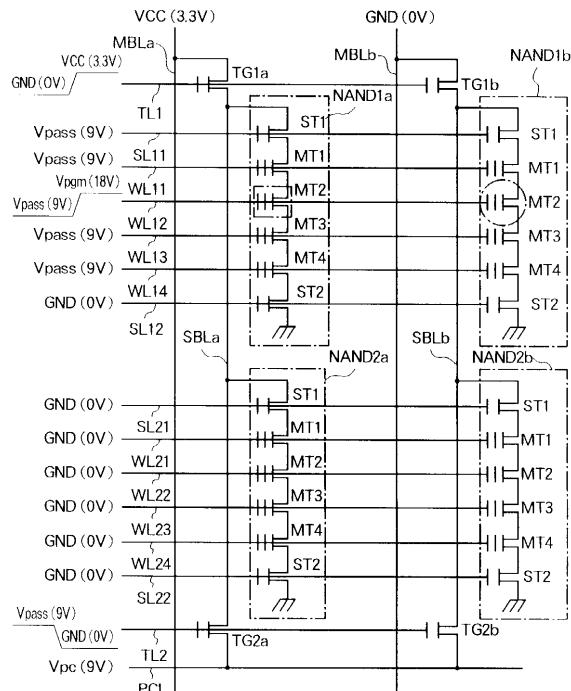
【図3】



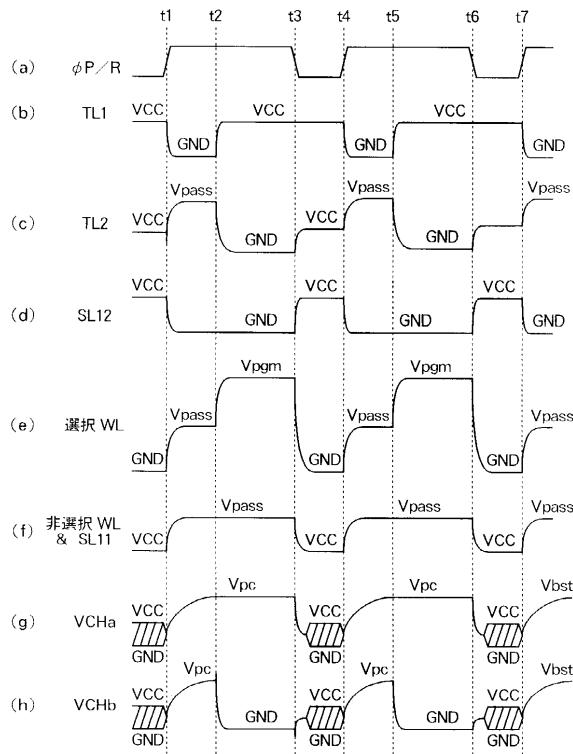
【図4】



【図5】



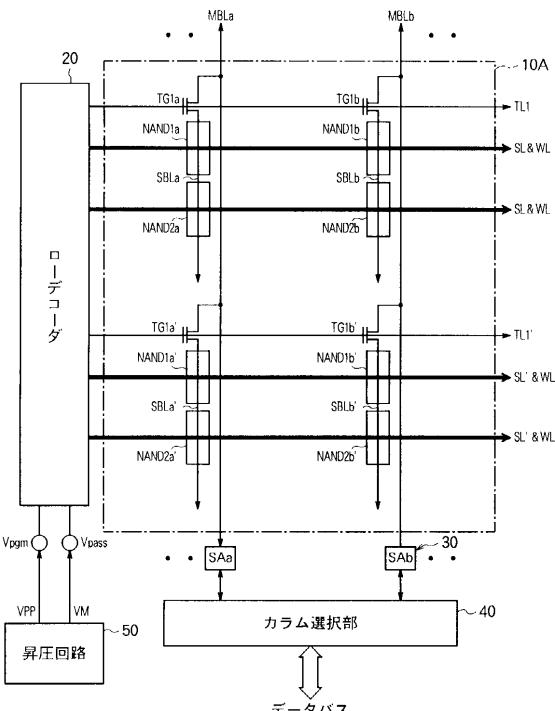
【図6】



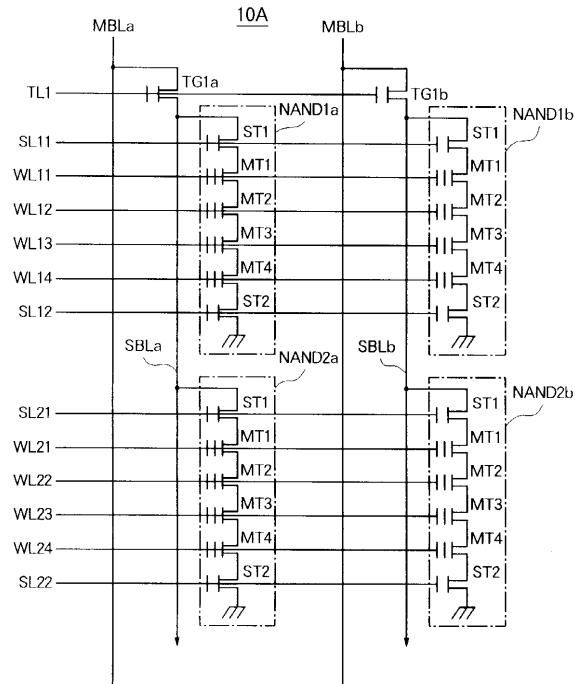
【図7】

オペレーション	プログラム (プリチャージ時)	プログラム (実プログラム時)	消去	読み出し
共通部	MBLa	VCC (3.3V) 非選択	VCC (3.3V) 非選択	フローティング 1/2VCC プリチャージ
	MBLb	GND (0V) 選択	GND (0V) 選択	フローティング 1/2VCC プリチャージ
	VSS	GND (0V)	GND (0V)	Verase (22V)
	P WELL	GND (0V)	GND (0V)	Verase (22V)
	TL1	GND (0V)	VCC (3.3V)	Verase (22V)
	TL2	Vpass (9V)	GND (0V)	Verase (22V)
	PCL	Vpc (9V)	Vpc (9V)	フローティング
選択ブロック	SL11	GND (0V)	VCC (3.3V)	Verase (22V)
	WL11	Vpass (9V) 非選択	Vpass (9V) 非選択	GND (0V) VCC (3.3V) 非選択
	WL12	Vpass (9V) 選択	Vpgm (18V) 選択	GND (0V) 選択
	WL13	Vpass (9V) 非選択	Vpass (9V) 非選択	GND (0V) VCC (3.3V) 非選択
	WL14	Vpass (9V) 非選択	Vpass (9V) 非選択	GND (0V) VCC (3.3V) 非選択
	SL12	GND (0V)	GND (0V)	Verase (22V)
非選択ブロック	SL21	GND (0V)	GND (0V)	Verase (22V)
	WL21	GND (0V)	GND (0V)	Verase (22V)
	WL22	GND (0V)	GND (0V)	Verase (22V)
	WL23	GND (0V)	GND (0V)	Verase (22V)
	WL24	GND (0V)	GND (0V)	Verase (22V)
	SL22	GND (0V)	GND (0V)	Verase (22V)

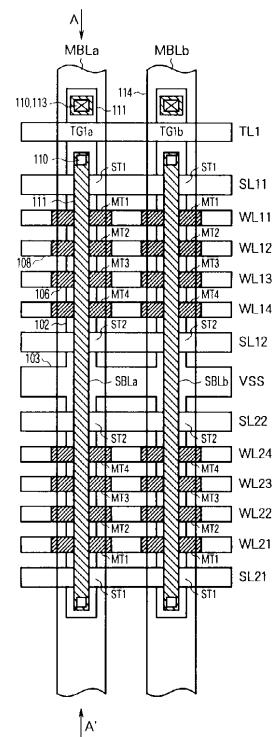
【図8】



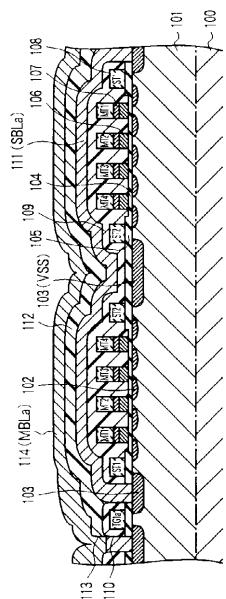
【図9】



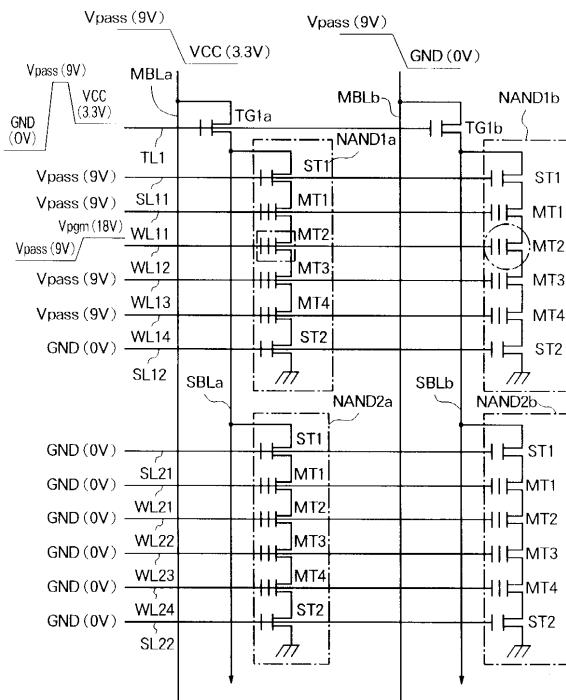
【図10】



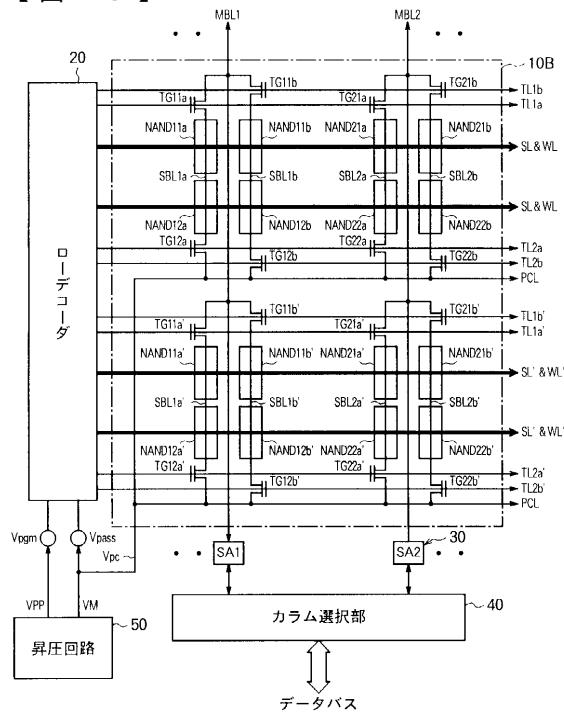
【図11】



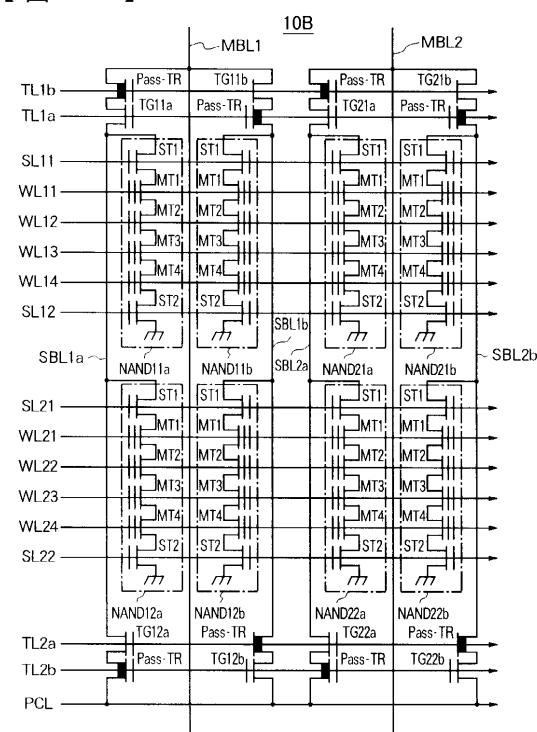
【図12】



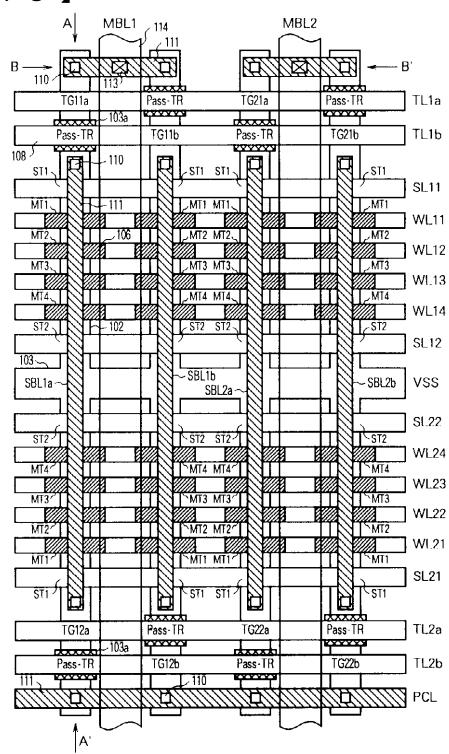
【図13】



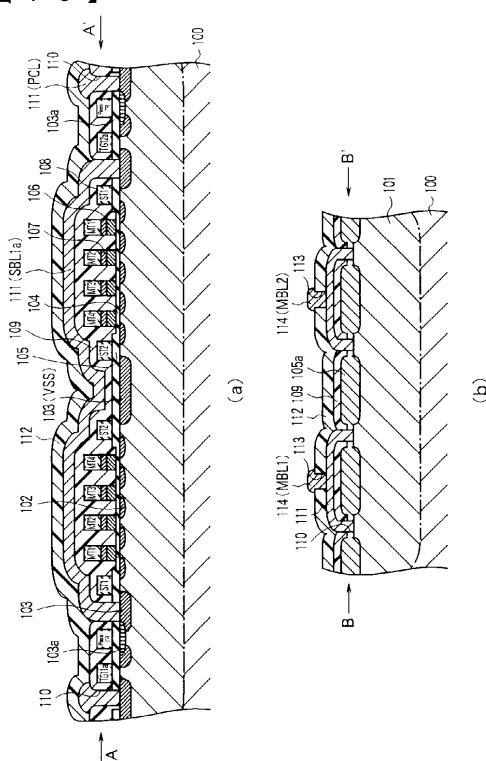
【図14】



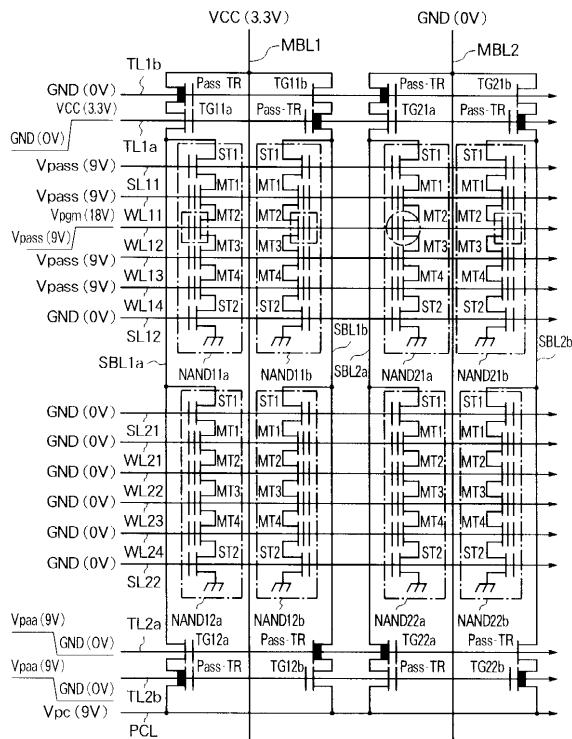
【図15】



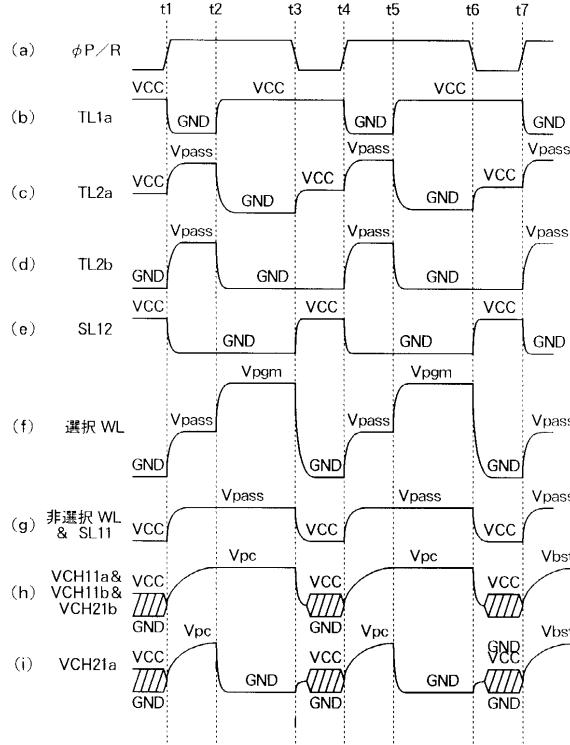
【図16】



【 図 17 】



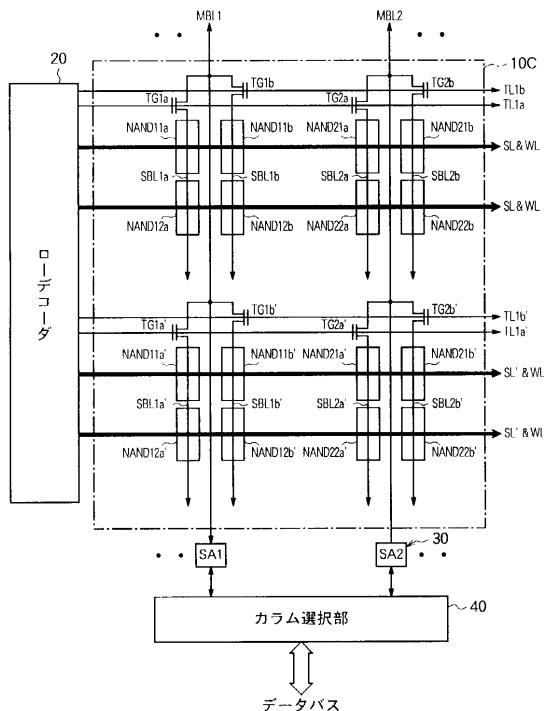
【 図 1 8 】



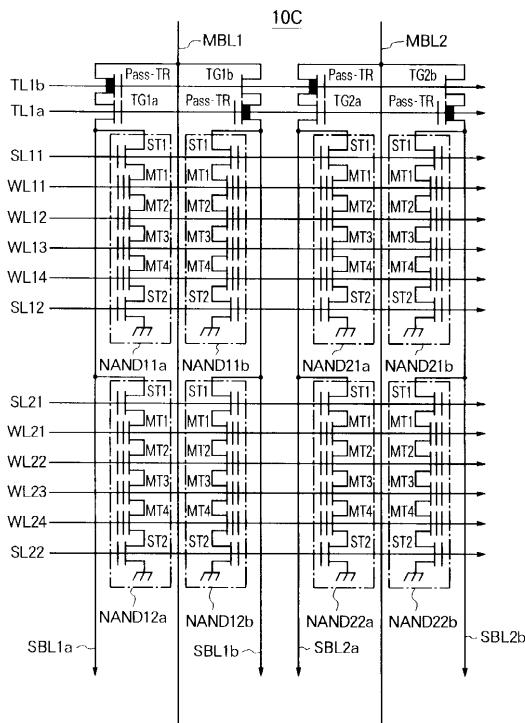
【 19 】

オペレーション	プログラム (プリチャージ時)	プログラム (実プログラム時)	消去	読み出し	
共通部	MBL1	VCC (3.3V) 非選択	VCC (3.3V) 非選択	フローティング	1/2VCC プリチャージ
	MBL2	GND (0V) 選択	GND (0V) 選択	フローティング	1/2VCC プリチャージ
	VSS	GND (0V)	GND (0V)	Verase (22V)	GND (0V)
	P WELL	GND (0V)	GND (0V)	Verase (22V)	GND (0V)
	TL1a	GND (0V) 選択	VCC (3.3V) 選択	Verase (22V)	VCC (3.3V) (選択)
	TL1b	GND (0V) 非選択	GND (0V) 非選択	Verase (22V)	GND (0V) (非選択)
	TL2a	Vpass (9V) 選択	GND (0V) 選択	Verase (22V)	VCC (3.3V) 選択
	TL2b	Vpass (9V) 非選択	GND (0V) 非選択	Verase (22V)	GND (0V) 非選択
	PCL	Vpc (9V)	Vpc (9V)	フローティング	フローティング
選択ブロック	SL11	GND (0V)	VCC (3.3V)	Verase (22V)	VCC (3.3V)
	WL11	Vpass (9V) 非選択	Vpass (9V) 非選択	GND (0V)	VCC (3.3V) 非選択
	WL12	Vpass (9V) 選択	Vpgm (18V) 選択	GND (0V)	GND (0V) 選択
	WL13	Vpass (9V) 非選択	Vpass (9V) 非選択	GND (0V)	VCC (3.3V) 非選択
	WL14	Vpass (9V) 非選択	Vpass (9V) 非選択	GND (0V)	VCC (3.3V) 非選択
	SL12	GND (0V)	GND (0V)	Verase (22V)	VCC (3.3V)
非選択ブロック	SL21	GND (0V)	GND (0V)	Verase (22V)	GND (0V)
	WL21	GND (0V)	GND (0V)	Verase (22V)	GND (0V)
	WL22	GND (0V)	GND (0V)	Verase (22V)	GND (0V)
	WL23	GND (0V)	GND (0V)	Verase (22V)	GND (0V)
	WL24	GND (0V)	GND (0V)	Verase (22V)	GND (0V)
	SL22	GND (0V)	GND (0V)	Verase (22V)	GND (0V)

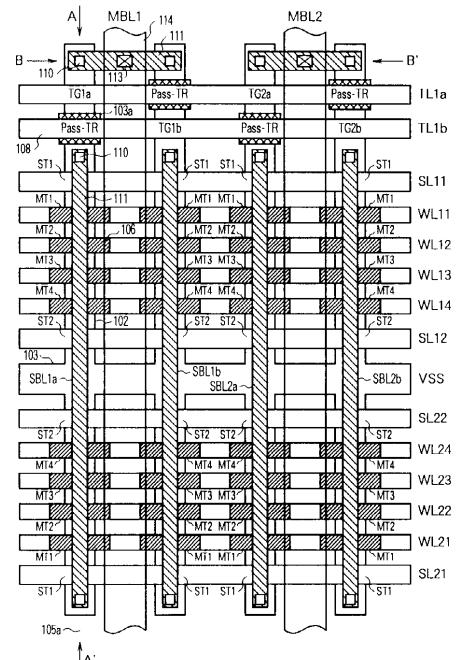
〔 四 20 〕



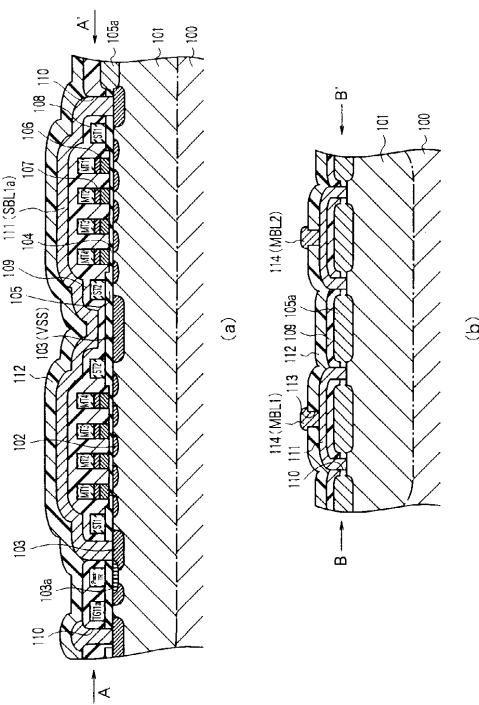
【 図 2 1 】



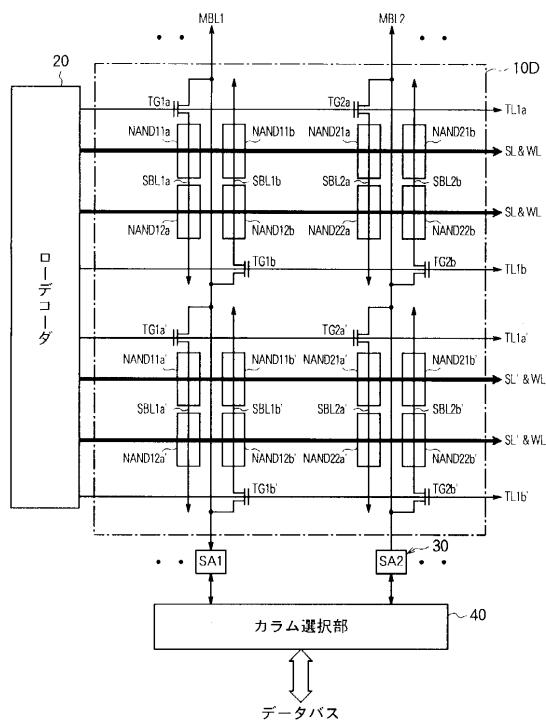
【 図 2 2 】



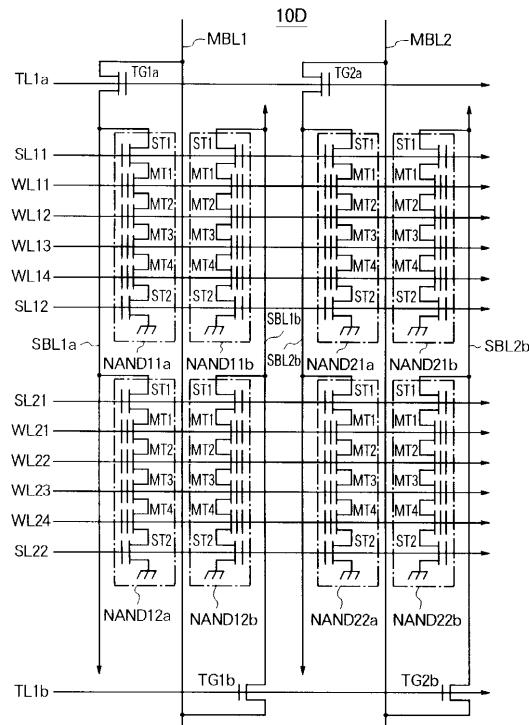
【図23】



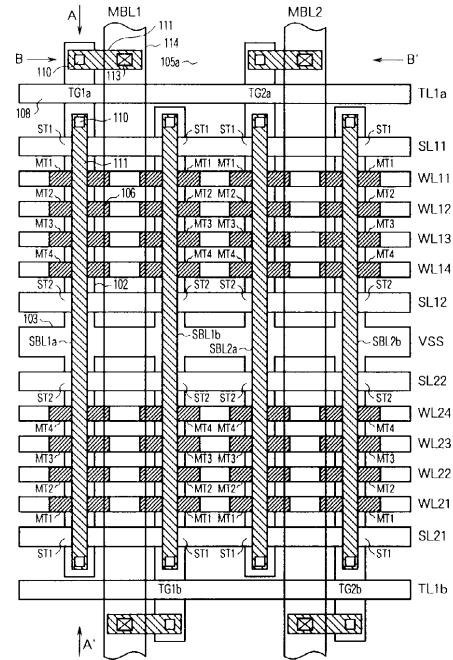
【 図 2 4 】



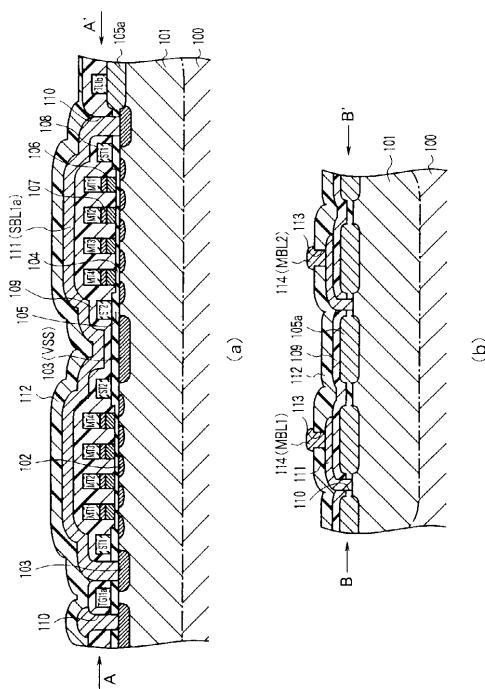
【 図 2 5 】



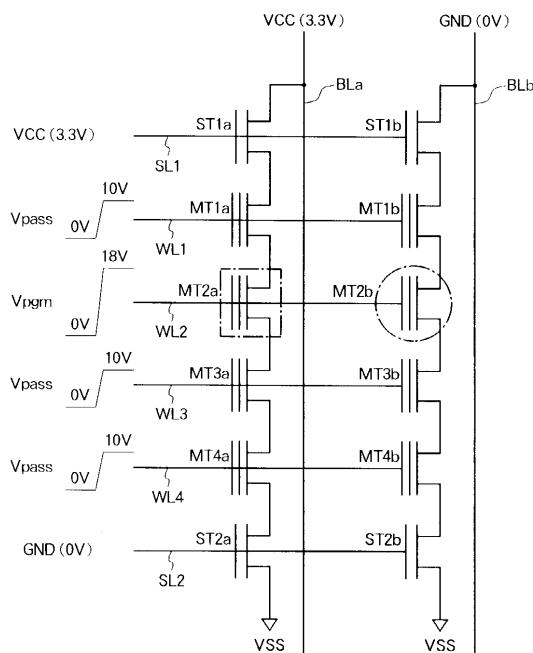
【 図 2 6 】



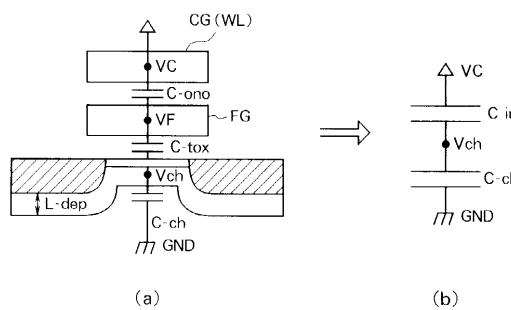
【図27】



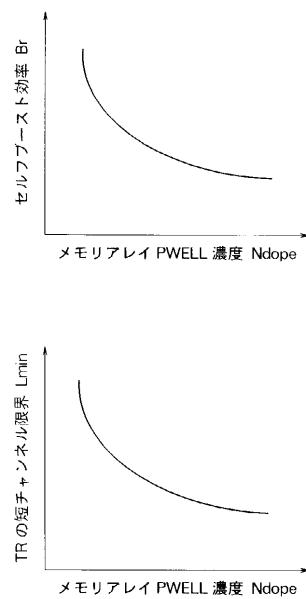
【図28】



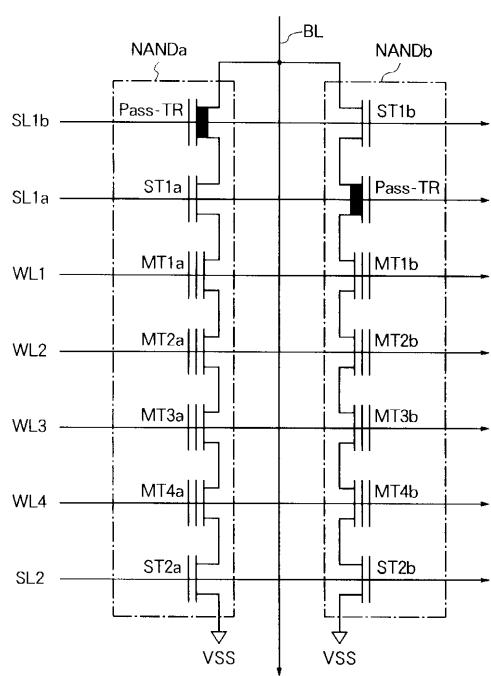
【図 2 9】



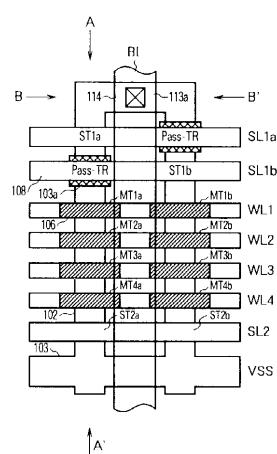
【図 3 0】



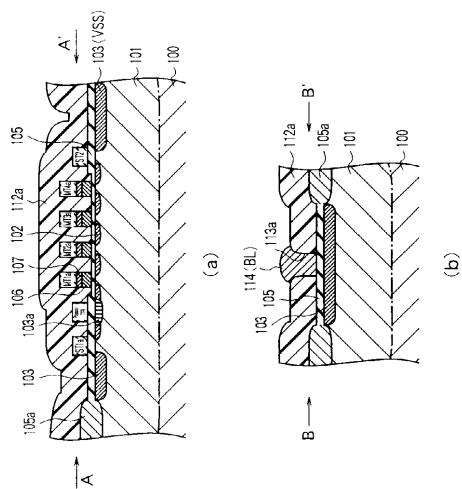
【図 3 1】



【図 3 2】



【図33】



フロントページの続き

(58)調査した分野(Int.Cl., DB名)

G11C 16/04

H01L 21/8247

H01L 27/115

H01L 29/788

H01L 29/792