

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2017-500734  
(P2017-500734A)

(43) 公表日 平成29年1月5日(2017.1.5)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 23/12 (2006.01)	HO 1 L 23/12	5 O 1 P
HO 1 L 25/10 (2006.01)	HO 1 L 25/14	Z
HO 1 L 25/11 (2006.01)		
HO 1 L 25/18 (2006.01)		

審査請求 有 予備審査請求 未請求 (全 27 頁)

(21) 出願番号 特願2016-532524 (P2016-532524)  
 (86) (22) 出願日 平成25年12月23日 (2013.12.23)  
 (85) 翻訳文提出日 平成28年5月19日 (2016.5.19)  
 (86) 国際出願番号 PCT/US2013/077601  
 (87) 国際公開番号 WO2015/099684  
 (87) 国際公開日 平成27年7月2日 (2015.7.2)

(71) 出願人 593096712  
 インテル コーポレーション  
 アメリカ合衆国 95054 カリフォル  
 ニア州 サンタ クララ ミッション カ  
 レッジ ブールバード 2200  
 (74) 代理人 100107766  
 弁理士 伊東 忠重  
 (74) 代理人 100070150  
 弁理士 伊東 忠彦  
 (74) 代理人 100091214  
 弁理士 大貫 進介  
 (72) 発明者 ガネサン, サンカ  
 アメリカ合衆国 85248 アリゾナ州  
 チャンドラー ウェスト キャニオン  
 ウェイ 11

最終頁に続く

(54) 【発明の名称】 パッケージ構造上のパッケージ及びこれを製造するための方法

(57) 【要約】

本開示の実施形態は、パッケージアセンブリ及びパッケージアセンブリを製造する方法を対象としている。一実施形態では、パッケージアセンブリは、成形材料に少なくとも部分的に埋め込まれたダイと、モールド貫通ビア(TMV)とを含む。TMVは、垂直な側面を有してもよく、又は可変形状を有する2つの異なる部分を含んでもよい。いくつかの例では、予め製造したビア用バーを製造中に使用してもよい。本発明のパッケージアセンブリは、0.3mm未満のピッチを有するパッケージオンパッケージ(POP)の相互接続を含んでもよい。他の実施形態について説明され及び/又は特許請求の範囲に記載される。

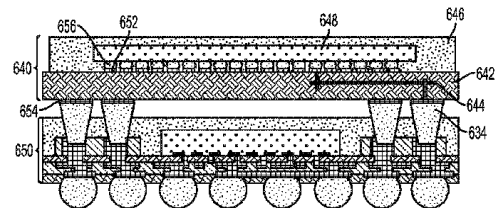


FIG. 6G

**【特許請求の範囲】****【請求項 1】**

パッケージアセンブリを製造する方法であって、当該方法は、  
成形材料の第 1 の面と、第 1 の面の反対側に配置された前記成形材料の第 2 の面との間の領域にパッケージ・オン・パッケージ (POP) ランドを形成するステップと、  
前記成形材料の材料を除去して、前記成形材料の第 1 の面と第 2 の面との間の領域で前記 POP ランドの一部を露出させるステップと、  
前記 POP ランドの露出した部分に導電性材料、パッシベーション層、及び貴金属のうちの少なくとも 1 つを堆積させるステップと、を含む  
方法。

10

**【請求項 2】**

前記 POP ランドを形成するステップは、  
前記成形材料の第 1 の面からレーザー孔加工を行ってキャビティを形成するステップと、  
前記キャビティを略充填するように導電性材料を堆積させるステップと、を含む、  
請求項 1 に記載の方法。

**【請求項 3】**

前記キャビティを略充填するように前記導電性材料を堆積させるステップは、導電性材料をダイの少なくとも 1 つの接点に堆積させるステップを含む、  
請求項 2 に記載の方法。

20

**【請求項 4】**

前記 POP ランドを形成するステップは、前記成形材料に予め製造したビア用バーを少なくとも部分的に埋め込むステップを含む、  
請求項 1 に記載の方法。

**【請求項 5】**

前記予め製造したビア用バーは、複数のパッケージアセンブリに亘って延びており、及び当該方法は、第 1 のパッケージアセンブリを第 2 のパッケージアセンブリから分離するステップをさらに含む、  
請求項 4 に記載の方法。

**【請求項 6】**

前記予め製造したビア用バーは、前記成形材料の第 1 の面の近くにある第 1 の面と、該第 1 の面の反対側に配置された第 2 の面とを有しており、前記成形材料に少なくとも部分的に埋め込まれたダイが、前記成形材料の第 1 の面の近くにある第 1 の面と、該第 1 の面の反対側に配置された第 2 の面とを有しており、  
前記予め製造したビア用バーの第 2 の面と前記成形材料の第 2 の面との間の距離は、前記ダイの第 2 の面と前記成形材料の第 2 の面との間の距離以下であり、  
前記成形材料の材料を除去して前記 POP ランドの一部を露出させるステップは、前記成形材料の第 2 の面から材料を均一に除去して、前記ビア用バーの一部を露出させるステップを含む、  
請求項 4 に記載の方法。

30

40

**【請求項 7】**

前記 POP ランドの露出した部分に導電性材料、パッシベーション層、又は貴金属のうちの少なくとも 1 つを堆積させるステップは、導電性材料を複数の露出した POP ランド上に堆積して、0.3 ミリメートル (mm) 未満のピッチを有する複数の POP 相互接続を形成するステップを含む、  
請求項 1 乃至 5 のいずれか一項に記載の方法。

**【請求項 8】**

前記成形材料の材料を除去するステップは、前記成形材料の第 2 の面からレーザー孔加工を行うステップを含む、  
請求項 1 乃至 5 のいずれか一項に記載の方法。

50

**【請求項 9】**

パッケージアセンブリであって、当該パッケージアセンブリは、  
成形材料に少なくとも部分的に埋め込まれたダイと、  
略垂直な側面、又は第 1 の部分及び第 2 の部分のうちの 1 つを有するモールド貫通ビア  
(TMV) と、備えており、

第 1 の部分は、前記成形材料の第 2 の面から、前記成形材料の第 2 の面と該第 2 の面の  
反対側に配置された前記成形材料の第 1 の面との間の位置に延びており、前記 TMV の側  
面同士の間隔が、前記成形材料の第 2 の面から、前記成形材料の第 1 の面と第 2 の面  
との間の位置への方向に減少し、及び

第 2 の部分は、前記成形材料の第 1 の面と第 2 の面との間の位置から前記成形材料の第  
1 の面に延びており、前記 TMV の側面同士の間隔が、第 1 の部分における前記 TMV  
の側面同士の間隔とは異なる、  
パッケージアセンブリ。

10

**【請求項 10】**

第 2 の部分における前記 TMV の側面同士の間隔は、前記成形材料の第 1 の面と第  
2 の面との間の位置から前記成形材料の第 1 の面への方向に増加する、  
請求項 9 に記載のパッケージアセンブリ。

**【請求項 11】**

第 2 の部分における前記 TMV の側面同士の間隔は、前記成形材料の第 1 の面と第  
2 の面との間の位置から前記成形材料の第 1 の面への方向に略一定である、  
請求項 9 に記載のパッケージアセンブリ。

20

**【請求項 12】**

前記成形材料に少なくとも部分的に埋め込まれた少なくとも 1 つの予め製造したビア用  
バーをさらに含む、  
請求項 9 に記載のパッケージアセンブリ。

**【請求項 13】**

前記少なくとも 1 つの予め製造したビア用バーは、略垂直な側面を有する前記 TMV の  
少なくとも一部を規定する、  
請求項 12 に記載のパッケージアセンブリ。

**【請求項 14】**

前記 TMV は、0.3 mm 未満のピッチを有する複数の TMV である、  
請求項 9 乃至 13 のいずれか一項に記載のパッケージアセンブリ。

30

**【請求項 15】**

パッケージアセンブリを製造する方法であって、当該製造方法は、  
成形材料の第 1 の面においてダイの影によって規定される領域の外側にキャビティを形  
成するステップと、

導電性材料を堆積して前記キャビティを略充填することによりモールド貫通ビア (TMV  
) ストップを形成するステップと、

前記成形材料の第 2 の面から材料を除去して、前記 TMV ストップを露出させるステッ  
プと、

前記 TMV ストップ上に導電性材料、パッシベーション層、又は貴金属のうちの少なく  
とも 1 つを堆積させるステップと、を含む、  
製造方法。

40

**【請求項 16】**

前記成形材料の第 1 の面においてダイの影によって規定される領域の外側に前記キャビ  
ティを露出させるように少なくとも 1 つのキャビティを誘電体層に形成するステップと、

ダイ接点を露出させるように少なくとも 1 つの追加キャビティを前記誘電体層に形成す  
るステップと、をさらに含む、

請求項 15 に記載の製造方法。

**【請求項 17】**

50

前記導電性材料を堆積して前記TMVストップを形成するステップは、材料を堆積して前記少なくとも1つの追加キャビティを略充填することによりダイ相互接続を形成するステップをさらに含む、

請求項16に記載の製造方法。

【請求項18】

前記成形材料の第1の面において前記ダイの影によって規定される領域の外側に前記キャビティを形成するステップは、前記成形材料を適用する前にモールドキャリアに隆起部を形成するステップを含む、

請求項15乃至17のいずれか一項に記載の製造方法。

【請求項19】

前記成形材料の第1の面において前記ダイの影によって規定される領域の外側に前記キャビティを形成するステップは、前記成形材料の第1の面からレーザー孔加工を行って前記キャビティを形成するステップを含む、

請求項15乃至17のいずれか一項に記載の製造方法。

【請求項20】

前記成形材料の第1の面において前記ダイの影によって規定される領域の外側に前記キャビティを形成するステップは、隣接するキャビティが0.3mm未満のピッチを規定するように、前記ダイの影によって規定される領域の外側に複数のキャビティを形成するステップを含む、

請求項15乃至17のいずれか一項に記載の製造方法。

【請求項21】

コンピューティング装置であって、当該コンピューティング装置は、回路基板と、

該回路基板に結合されたパッケージアセンブリと、を有しており、

該パッケージアセンブリは、

成形材料に少なくとも部分的に埋め込まれたダイと、

略垂直な側面、又は第1の部分及び第2の部分のうちの1つを有するモールド貫通ビア(TMV)と、を有しており、

第1の部分は、前記成形材料の第2の面から、前記成形材料の第2の面と該第2の面の反対側に配置された前記成形材料の第1の面との間の位置に延びており、前記TMVの側面同士の間隔が、前記成形材料の第2の面から、前記成形材料の第1の面と第2の面との間の位置への方向に減少し、

第2の部分は、前記成形材料の第1の面と第2の面との間の位置から前記成形材料の第1の面に延びており、前記TMVの側面同士の間隔が、第1の部分における前記TMVの側面同士の間隔とは異なる、

コンピューティング装置。

【請求項22】

第2の部分における前記TMVの側面同士の間隔は、前記成形材料の第1の面と第2の面との間の位置から前記成形材料の第1の面への方向に増加する又は一定のままである、

請求項21に記載のコンピューティング装置。

【請求項23】

前記パッケージアセンブリは、第1のパッケージアセンブリであり、当該コンピューティング装置は、第1の面と該第1の面の反対側に配置された第2の面とを有する第2のパッケージアセンブリをさらに有しており、第1の面は、該第1の面に配置された1つ又は複数のパッケージレベルの相互接続を使用して第1のパッケージアセンブリに結合され、

第2のパッケージアセンブリは、前記TMVによって前記回路基板に電氣的に結合される、

請求項21に記載のコンピューティング装置。

【請求項24】

10

20

30

40

50

前記 T M V は、0.3 mm 未満のピッチを有する複数の T M V である、  
請求項 2 1 乃至 2 3 のいずれか一項に記載のコンピューティング装置。

【請求項 2 5】

前記コンピューティング装置は、前記回路基板に結合されたアンテナ、ディスプレイ、  
タッチスクリーン・ディスプレイ、タッチスクリーン・コントローラ、バッテリー、音声コ  
ーデック、ビデオコーデック、電力増幅器、全地球測位システム (GPS) 装置、コンパス  
、ガイガーカウンター、加速度計、ジャイロスコープ、スピーカ、又はカメラのうちの 1  
つ又は複数を含むモバイルコンピューティング装置である、

請求項 2 1 乃至 2 3 のいずれか一項に記載のコンピューティング装置。

【発明の詳細な説明】

【技術分野】

【0001】

本開示の実施形態は、概して、集積回路の分野に関し、より具体的には、モールド貫通  
ビア (TMV) を有するパッケージアセンブリのパッケージ・オン・パッケージ (POP) 構造  
だけでなく、このようなパッケージアセンブリを製造するための方法に関する。

【0002】

新たに台頭しつつあるパッケージアセンブリは、POP 構造を利用して、パッケージ  
アセンブリを別のパッケージアセンブリに取り付けることを可能にする。これらの POP 構  
造は、第 1 のパッケージアセンブリを、第 2 のパッケージアセンブリに及び / 又はパッ  
ケージ基板に電氣的に結合することを必要とし得る。いくつかの例では、第 2 のパッ  
ケージに形成された T M V 又は他のパッケージレベルの相互接続を利用して、第 1 のパッ  
ケージアセンブリを他のコンポーネントに電氣的に結合することができる。これらの T M V 又は  
他のパッケージレベルの相互接続の製造及び構造は、パッケージレベルの相互接続又は P  
O P 相互接続構造について達成可能な最小ピッチを決定付け得る。

【図面の簡単な説明】

【0003】

【図 1 A】いくつかの実施形態に係る製造の様々な段階におけるパッケージアセンブリの  
側断面図を概略的に示す。

【図 1 B】いくつかの実施形態に係る製造の様々な段階におけるパッケージアセンブリの  
側断面図を概略的に示す。

【図 1 C】いくつかの実施形態に係る製造の様々な段階におけるパッケージアセンブリの  
側断面図を概略的に示す。

【図 1 D】いくつかの実施形態に係る製造の様々な段階におけるパッケージアセンブリの  
側断面図を概略的に示す。

【図 1 E】いくつかの実施形態に係る製造の様々な段階におけるパッケージアセンブリの  
側断面図を概略的に示す。

【図 1 F】いくつかの実施形態に係る製造の様々な段階におけるパッケージアセンブリの  
側断面図を概略的に示す。

【図 1 G】いくつかの実施形態に係る製造の様々な段階におけるパッケージアセンブリの  
側断面図を概略的に示す。

【図 1 H】いくつかの実施形態に係る製造の様々な段階におけるパッケージアセンブリの  
側断面図を概略的に示す。

【図 1 I】いくつかの実施形態に係る製造の様々な段階におけるパッケージアセンブリの  
側断面図を概略的に示す。

【図 1 J】いくつかの実施形態に係る製造の様々な段階におけるパッケージアセンブリの  
側断面図を概略的に示す。

【図 2】いくつかの実施形態に係るパッケージアセンブリを製造する方法のフロー図を概  
略的に示す。

【図 3 A】いくつかの実施形態に係る T M V ストップを含む製造の様々な段階におけるパ  
ッケージアセンブリの側断面図を概略的に示す。

10

20

30

40

50

【図 3 B】いくつかの実施形態に係る T M V ストップを含む製造の様々な段階におけるパッケージアセンブリの側断面図を概略的に示す。

【図 4 A】いくつかの実施形態に係る二段階 T M V 形成を含む製造の様々な段階におけるパッケージアセンブリの側断面図を概略的に示す。

【図 4 B】いくつかの実施形態に係る二段階 T M V 形成を含む製造の様々な段階におけるパッケージアセンブリの側断面図を概略的に示す。

【図 4 C】いくつかの実施形態に係る二段階 T M V 形成を含む製造の様々な段階におけるパッケージアセンブリの側断面図を概略的に示す。

【図 4 D】いくつかの実施形態に係る二段階 T M V 形成を含む製造の様々な段階におけるパッケージアセンブリの側断面図を概略的に示す。

10

【図 4 E】いくつかの実施形態に係る二段階 T M V 形成を含む製造の様々な段階におけるパッケージアセンブリの側断面図を概略的に示す。

【図 5】いくつかの実施形態に係るパッケージアセンブリを製造する方法のフロー図を概略的に示す。

【図 6 A】いくつかの実施形態に係る予め製造したビア用バーを含む製造の様々な段階におけるパッケージアセンブリの側断面図を概略的に示す。

【図 6 B】いくつかの実施形態に係る予め製造したビア用バーを含む製造の様々な段階におけるパッケージアセンブリの側断面図を概略的に示す。

【図 6 C】いくつかの実施形態に係る予め製造したビア用バーを含む製造の様々な段階におけるパッケージアセンブリの側断面図を概略的に示す。

20

【図 6 D】いくつかの実施形態に係る予め製造したビア用バーを含む製造の様々な段階におけるパッケージアセンブリの側断面図を概略的に示す。

【図 6 E】いくつかの実施形態に係る予め製造したビア用バーを含む製造の様々な段階におけるパッケージアセンブリの側断面図を概略的に示す。

【図 6 F】いくつかの実施形態に係る予め製造したビア用バーを含む製造の様々な段階におけるパッケージアセンブリの側断面図を概略的に示す。

【図 6 G】いくつかの実施形態に係る予め製造したビア用バーを含む製造の様々な段階におけるパッケージアセンブリの側断面図を概略的に示す。

【図 7 A】いくつかの実施形態に係る予め製造したビア用バーを含む製造の様々な段階におけるパッケージアセンブリの側断面図を概略的に示す。

30

【図 7 B】いくつかの実施形態に係る予め製造したビア用バーを含む製造の様々な段階におけるパッケージアセンブリの側断面図を概略的に示す。

【図 7 C】いくつかの実施形態に係る予め製造したビア用バーを含む製造の様々な段階におけるパッケージアセンブリの側断面図を概略的に示す。

【図 7 D】いくつかの実施形態に係る予め製造したビア用バーを含む製造の様々な段階におけるパッケージアセンブリの側断面図を概略的に示す。

【図 8】いくつかの実施形態に係るパッケージアセンブリを製造する方法のフロー図を概略的に示す。

【図 9】いくつかの実施形態に係る本明細書で説明するようなパッケージアセンブリを含むコンピューティング装置を概略的に示す。

40

【発明を実施するための形態】

【0004】

実施形態は、添付図面と併せて以下の詳細な説明により理解されるであろう。この説明を容易にするために、同様の参照符号は、同様の構造要素を指す。実施形態は、例として示されており、添付図面の図によって限定されるものではない。

本開示の実施形態は、POP 構造、及び POP 相互接続を含むパッケージアセンブリ、及びパッケージングアセンブリを製造する方法について説明する。これらの実施形態は、より小さなピッチを有する POP 相互接続及び T M V の製造を容易にすることができる。

【0005】

以下の説明では、例示的な実装形態の様々な態様は、それら態様の機能(work)の本質を

50

他の当業者に伝えるために当業者によって一般的に用いられる用語を使用して説明する。しかしながら、本開示の実施形態は、説明される態様の一部のみを用いて実施できることは、当業者には明らかであろう。説明目的のために、特定の数値、材料、及び構成は、例示的な実装形態の完全な理解を提供するために記載されている。しかしながら、本開示の実施形態は、特定の詳細なしに実施できることは当業者には明らかであろう。他の例では、周知の特徴は、例示の実装形態を不明瞭にしないために省略又は簡略化される。

**【 0 0 0 6 】**

以下の詳細な説明では、参照が、本明細書の一部を形成する添付図面に対して行われ、同様の数字がその図面全体を通して同様の部品を指し、その図面は、本開示の主題を実施することができる例示的な実施形態により示されている。他の実施形態を利用してもよく、本開示の範囲から逸脱することなく構造的又は論理的な変更を行い得ることを理解すべきである。従って、以下の詳細な説明は、限定的な意味に解釈すべきではなく、実施形態の範囲は、添付の特許請求の範囲及びそれらの均等物によって規定される。

10

**【 0 0 0 7 】**

本開示について、語句「A及び/又はB」は、(A)、(B)、又は(A及びB)を意味する。本開示について、語句「A、B及び/又はC」は、(A)、(B)、(C)、(A及びB)、(A及びC)、(B及びC)、又は(A、B、及びC)を意味する。

詳細な説明では、例えば上部/底部、内/外、上/下等の視点ベースの説明を使用することがある。このような説明は、単に説明を容易にするために使用され、本明細書で説明する実施形態の用途を特定のいずれかの向きに限定するものではない。

20

**【 0 0 0 8 】**

詳細な説明では、「一実施形態では」、「実施形態では」、又は「いくつかの実施形態では」の語句を使用し得るが、これらの語句は、それぞれが1つ又は複数の同じ又は異なる実施形態を指すことができる。さらに、本開示の実施形態に関して使用される用語「備える、有する、含む(comprising)」、「含む、有する(including)」、「有する、含む(having)」等は、同義語である。

「～と結合する(coupled with)」という用語が、その派生語と一緒に、本明細書中で使用され得る。「結合する」は、以下の1つ又は複数を行うことができる。「結合する」は、2つ以上の要素が物理的又は電氣的に直接的に接触している状態を意味する。しかしながら、「結合する」は、2つ以上の要素が互いに間接的に接触するが、それでも依然として互いに協働又は相互作用していることも意味してもよく、及び1つ又は複数の他の要素が、互いに結合される要素同士の間で結合又は接続されることを意味してもよい。「直接的に結合する」という用語は、2つ以上の要素が直接接触している状態を意味する。

30

**【 0 0 0 9 】**

様々な実施形態において、「第2の機構の上に形成された、堆積された、又は他の方法で配置された第1の機構」という語句は、第1の機構が、第2の機構の上に形成された、堆積された、又は配置されたことを意味してもよく、及び第1の機構の少なくとも一部が、第2の機構の少なくとも一部と直接接触(例えば、直接の物理的及び/又は電氣的接触)又は間接接触(例えば、第1の機構と第2の機構との間に1つ又は複数の他の機構を有する)することを意味してもよい。

40

本明細書で使用する場合に、用語「モジュール」は、特定用途向け集積回路(ASIC)、電子回路、システム・オン・チップ(SOC)、1つ又は複数のソフトウェア又はファームウェアプログラムを実行する(共有、専用、又はグループ)プロセッサ及び/又は(共有、専用、又はグループ)メモリ、組合せ論理回路、及び/又は説明した機能を提供する他の適切なコンポーネントを指す、これらの一部である、又はこれらを含んでもよい。

**【 0 0 1 0 】**

図1A～図1Jは、既存の製造技術に従ってTMVを含むパッケージアセンブリを形成するための操作を示す。本開示は、既存の製造プロセスを変更して製造を簡素化する及び/又はより小さなピッチのPOP相互接続を提供するための多くの技術について説明する。より小さいピッチPOP相互接続は、より小さなパッケージサイズ及び/又は増大した

50

メモリ帯域幅を促進することができる。

図1Aに示されるように、ダイ102が、モールドキャリア104上に配置される。ダイ102は、能動素子又は受動素子を含むことができる。ダイ102は、1つ又は複数のプロセッサ、論理ダイ、メモリ、又は他のデバイスを含んでもよい。ダイ102は、ピックアンドプレイス(pick and place)操作又は他の任意の適切な技術によって配置することができる。接着剤を使用してダイ102をモールドキャリア104上の所定の位置に固定してもよい。1つのダイが示されているが、任意の数のダイを、この段階で含めてもよく、及び取り付けてもよい。単一のパッケージアセンブリが示されているが、製造プロセスは、複数のパッケージアセンブリを同時に形成するステップを含んでもよい。このように、モールドキャリア104は、多数のパッケージアセンブリ用のベースを提供するように大きくてもよい。複数のパッケージアセンブリを同時に製造する場合に、後で複数のパッケージアセンブリを互いに切り離して、個々のパッケージアセンブリを提供する必要がある。モールドキャリア104は、2つの層を有するものとして示されているが、より少ない層又はより多い層を有してもよい。いくつかの実施形態では、モールドキャリアは、キャリア部分と、成形プロセスが完了した後に、パッケージアセンブリからこのキャリアを取り外すのを容易にする接着剤と、を含むことができる。

10

#### 【0011】

図1Bに示されるように、成形材料106を加えて、ダイ102を少なくとも部分的に封止することができる。成形材料106は、圧縮成形プロセス又は他の任意の適切な成形プロセスによって加えてもよい。

20

図1Cに示されるように、モールドキャリアは、ダイ102を成形材料106に部分的に封止した状態のまま剥離することができる。この時点で、ダイ102の底面を露出(成形材料106で覆われていない)させてもよい。

図1Dに示されるように、誘電体層108を、成形材料106の底部だけでなく、ダイ102の露出した部分にも適用することができる。パターンング又はエッチングプロセス、並びにレーザー露光又はレーザー孔加工を使用して、誘電体層108に開口部124を形成することができる。明確にするためにパッケージアセンブリを特定の向きで示しているが、製造中にパッケージアセンブリの向きを変更して、パッケージアセンブリの特定の部分へのアクセスを容易にする及び/又は保持及び配置の操作の際に重力の作用を利用することが有利となり得る。パッケージアセンブリの向きの参照(例えば、上部、底部、~の上の、~の下の等)は、単に説明のためであり、パッケージアセンブリを特定の向き又は構成に限定するものであるとみなすべきではない。

30

#### 【0012】

図1Eに示されるように、導電性材料110を誘電体層108上に適用することができる。導電性材料110は、ダイ102上の接点からボールグリッドアレイ(BGA)114等のPOP相互接続に電気信号を経路指示(ルーティング)する再分配層(RDL)とすることができる。図1E~図1Fに確認されるように、単一のRDLを使用してもよいが、図1G~図1Jに確認されるように、複数のRDLを含むことも可能である。導電性材料110は、任意の適切な技術によって適用してもよく、複数の操作を含んでもよい。例えば、導電性材料を適用するステップは、金属層をスパッタリングするステップ、レジスト層を適用するステップ及びパターンングするステップ、次に、スパッタリングされた金属が露出した領域上に導電性材料をメッキ処理するステップ含むことができる。

40

#### 【0013】

図1Fに示されるように、はんだストップ112を適用してもよく、パッケージレベルの相互接続を提供するためにBGA114を追加してもよい。BGAが示されているが、パッド又は他の適切な構造を含む任意のタイプのパッケージレベル相互接続を使用してもよい。

図1Gに示されるように、はんだストップ112及びBGA114、又は他のパッケージレベルの相互接続を適用する前に、複数のRDLを形成してもよい。図1Gは、図1Fに代わるものであり、その後の操作は、図1Gと一致する複数のRDL構成で示されてい

50



るが、これらの後続の操作は、図 1 F に示される単一の R D L 構造に容易に適用することができる。

【 0 0 1 4 】

図 1 H に示されるように、モールド貫通ビア ( T M V ) 1 1 8 は、成形材料 1 0 6 の上面から材料を除去して R D L 1 1 6 ( 又は、図 1 F の構成の R D L 1 1 0 ) を露出させることによって形成することができる。これは、任意の適切な操作によって実現することができ、例えば、レーザー孔加工等の孔あけ操作を含むことができる。 T M V 1 1 8 が形成された後に、それら T M V は、追加の処理を容易にするために洗浄してもよい。洗浄は、任意の適切な操作を含んでもよく、例えばウェットエッチング、プラズマエッチング、又はそれらの組合せを含むことができる。

10

図 1 I に示されるように、はんだ 1 2 0 を T M V 1 1 8 に追加することができる。これは、任意の適切な操作によって実現することができ、フラックスを用いるはんだペースト又ははんだボールの適用を含んでもよい。これは、はんだ 1 2 0 と R D L 1 1 6 との間の十分な電氣的接触を確実にするためにリフロー処理を含んでもよい。

【 0 0 1 5 】

図 1 J に示されるように、追加のはんだ材料を T M V 1 1 8 に追加して、 P O P 相互接続 ( 1 2 2 の上面 ) を形成することができる。これは、両側にパッケージレベルの相互接続 ( 下面に B G A 及び上面に P O P パッドとして示される ) を有するパッケージアセンブリ 1 5 0 をもたらすことができ、 P O P 配置においてパッケージアセンブリ 1 3 0 等の追加のパッケージアセンブリの追加を容易にすることができる。図 1 I 及び図 1 J に関して、はんだ又は他の導電性材料が 2 つの別個の堆積物として示されているが、 T M V 1 1 8 を略充填し且つ材料の単一の堆積によって P O P 相互接続を形成するような単一の操作で T M V 及び P O P 相互接続を形成することも可能である。

20

【 0 0 1 6 】

追加のパッケージアセンブリ 1 3 0 は、ダイ 1 3 6 を含むことができる。ダイ 1 3 6 は、能動素子又は受動素子を含むことができる。一構成では、ダイ 1 0 2 は、プロセッサを含んでもよく、ダイ 1 3 6 は、メインメモリを含んでもよい。ダイ 1 3 6 は、ダイレベルの相互接続 1 3 8 によって基板 1 4 2 に結合することができる。ダイ 1 3 6 は、成形材料 1 3 4 で少なくとも部分的に封止することができる。ダイレベルの相互接続 1 3 8 は、示されるような B G A 又は他の任意の適切な相互接続構造とすることができる。相互接続パッド 1 4 0 は、ダイレベルの相互接続 1 3 8 を 1 3 2 等の基板の電気配線に電氣的に結合するために、基板 1 4 2 上に存在することができる。単一の基板の電気配線 1 3 2 のみが示されているが、ダイ 1 3 6 をパッド 1 4 4 等のパッケージレベルの相互接続に電氣的に結合するために、そのような複数の配線が含まれ得る。パッド又は B G A のいずれかとして示されているが、パッケージレベル又はダイレベルの相互接続について、任意の適切な構造を使用してもよい。 T M V 1 1 8 に配置されたはんだ 1 2 0 又は 1 2 2 等のはんだによって、ダイ 1 3 6 を、ダイ 1 0 2 に及び / 又は B G A 1 1 4 等のパッケージレベルの相互接続に電氣的に結合することができる。

30

【 0 0 1 7 】

図 2 は、図 1 A ~ 図 1 J に関して上述した操作と一致させてパッケージアセンブリを製造する方法 2 0 0 のフロー図を概略的に示す。

40

2 0 2 では、方法 2 0 0 は、図 1 A に関して前述したように、1 つ又は複数のダイをモールドキャリアに配置するステップを含むことができる。前述したように、ピックアンドプレース操作を含む任意の適切な技術を使用して、この操作を行うことができる。

2 0 4 では、方法 2 0 0 は、図 1 B に関して前述したように、成形材料を適用して、ダイを少なくとも部分的に封止するステップを含むことができる。前述したような圧縮成形操作を含む任意の適切な技術を使用して、この操作を行うことができる。

【 0 0 1 8 】

2 0 6 では、方法 2 0 0 は、図 1 C に関して前述したように、モールドキャリアを成形材料から剥離するステップを含むことができる。任意の適切な技術を使用して、この

50

操作を行うことができる。

208では、方法200は、図1Dに関して前述したように、誘電性材料を成形材料に適用するステップを含むことができる。前述したようなパターニングやエッチング操作を含む任意の適切な技術を使用して、この操作を行うことができる。

210では、方法200は、図1Eに関して前述したように、1つ又は複数のRDL(図1Gに関して説明した複数のRDL)を形成するステップを含むことができる。前述したようなスパッタリング、パターニング、及びメッキ処理等の複数の操作を含む任意の適切な技術を使用して、この操作を行うことができる。

#### 【0019】

212では、方法200は、図1Fに関して前述したようにはんだストップ及びパッケージレベルの相互接続(例えば、BGA114)を適用するステップを含むことができる。任意の適切な技術を使用して、この操作を行うことができる。

214では、方法200は、図1Hに関して前述したように成形材料から材料を除去して、TMVを形成するステップを含むことができる。前述したようなレーザー孔加工を含む任意の適切な技術を使用して、この操作を行うことができる。

216では、方法200は、図1Hに関して前述したようにTMVを洗浄するステップを含むことができる。前述したようなウェットエッチング、プラズマエッチング、又はこれらの組合せを含む任意の適切な技術を使用して、この操作を行うことができる。

#### 【0020】

218では、方法200は、図1Jに関して前述したようにはんだペースト又ははんだボール及びフラックスをTMVに適用するステップを含むことができる。この操作は、はんだとRDLとの間の十分な電氣的接触を確実にするためのリフロー処理も含むことができる。任意の適切な技術を使用して、この操作を行うことができる。

220では、方法200は、図1Jに関して前述したようにPOP相互接続を形成するステップを含むことができる。POP相互接続は、パッド又はBGAボールを含む任意の適切な構造であってもよい。前述したようなはんだボール又はパッドの追加を含む任意の適切な技術を使用して、この操作を行うことができる。

222では、方法200は、図1Jに関して前述したように第1のパッケージアセンブリのPOP相互接続に第2のパッケージアセンブリを取り付けるステップを含むことができる。任意の適切な技術及び構造を使用して、この操作を行うことができる。

#### 【0021】

各種操作は、特許請求の範囲の主題を理解する上で最も役立つ態様で、複数の別個の操作として順番に説明されている。しかしながら、説明の順序は、これらの操作が必ずしも順序に依存していることを意味すると解釈すべきではない。

図1A~1Jに関連して議論した技術によるTMVの形成は、特定の課題を提示する。第1に、RDLは、TMV118を形成するためのレーザー孔加工プロセスのストップ層となり得る。これは、レーザー孔加工プロセスによるRDL材料の一部損失をもたらす可能性がある。第2に、TMVの深さ及びRDLの厚さ制限によって、非常に多くの材料が除去されるのを恐れて、RDLのエッチング(例えば、銅エッチング等)を行うことが可能ではないことがあり得る。これは、後続のプロセス操作のためにTMV表面を処理するための洗浄工程を複雑にし得る。適切な表面処理は、異なる導電性材料によって適切な接触を行い且つ信頼性のある電気経路を提供するのを確保する必要がある。最後に、はんだをTMVに追加する等の追加の処理操作だけでなく他の昇温プロセスは、RDLの一部をさらに消費し、信頼性の低い電気経路の可能性を増大させ得る。より厚いRDLを提供することだけでなくレーザー孔加工の深さを最小化することによって、これらの懸念を最小化又は排除することができる。さらに、TMVの下より厚いRDL及び/又は減少したTMV深さの存在によって、直接的な銅エッチング等の他の洗浄操作を利用することが可能になり、潜在的に、より信頼性の高い及び/又はより簡素化した製造プロセスを提供することが可能になる。

#### 【0022】

10

20

30

40

50

図 3 A ~ 図 3 B は、いくつかの実施形態に係る T M V が形成される領域に局在するより厚い R D L を提供するための技術を示す。追加の材料に起因する反りやコスト増大等の一般的な厚い R D L に関連する追加の課題なしに、追加の材料を所望の領域に提供することができるようにする局所的に厚い R D L が、所望されている。

図 3 A は、前述した図 1 D に代わるものである。パッケージアセンブリは、成形材料 3 0 6 に少なくとも部分的に封止されたダイ 3 0 2 を含むことができる。ダイ 3 0 2 及び成形材料 3 0 6 は、図 1 を参照して前述したダイ 1 0 2 及び成形材料 1 0 6 と同様のものとする。図 1 とは異なり、図 3 A では、追加のキャビティ 3 2 6 が、成形材料 3 0 6 及び誘電体層 3 0 8 に形成される。キャビティ 3 2 6 は、ダイ 3 0 2 の影によって規定される領域（図 3 A のダイ 3 0 2 の直下の領域、時にはファンアウト (fan-out) 領域と呼ばれる）の外側に形成される。キャビティは、T M V が形成される位置に対応する特定の配列として形成してもよい。キャビティ 3 2 6 は、任意の適切な技術によって形成することができる。ギャップ 3 2 4 を形成してダイ 3 0 2 の接点を露出させるために使用される同様の操作を使用して、キャビティ 3 2 6 を形成することができる。また、成形プロセス前に又は成形プロセス中に、成形材料 3 0 6 内に延びるキャビティ 3 2 6 の一部を形成することも可能である。

10

#### 【 0 0 2 3 】

図 3 B に示されるように、導電性材料 3 1 0 の適用によって、キャビティ 3 2 6 を充填して、局所的により厚い R D L 層 3 2 8 を形成することができる。図 1 ~ 図 2 に従って後続の処理を行って、T M V 及び P O P 構造を形成することができる。上述したように、局所的により厚い R D L 3 2 8 によって、銅エッチング等の他の洗浄操作の使用を容易にすることができ、及び従来の製造技術と比較して、R D L と T M V との間により信頼性の高い電氣的接続をもたらすことができる。

20

#### 【 0 0 2 4 】

図 4 A ~ 図 4 E は、いくつかの実施形態に係る T M V を製造するための技術を示す。図 4 A に示されるように、ダイ 4 0 2 は、成形材料 4 0 6 に少なくとも部分的に封止される。ダイ 4 0 2 及び成形材料 4 0 6 は、図 1 を参照して前述したダイ 1 0 2 及び成形材料 1 0 6 と同様のものとする。ダイ 4 0 2 を成形材料 4 0 6 に部分的に封止するためのプロセスは、図 1 A ~ 図 1 C 及び図 2 に関して前述した操作と一致させてもよい。ダイ 4 0 2 は、このダイ 4 0 2 上の金属層の一部である接点 4 1 2 を含むことができる。ダイ 4 0 2 は、窒化ケイ素等のパッシベーション層 4 1 4 も含むことができる。パッシベーション層 4 1 4 をエッチング又は他の任意の適切な技術によって選択的に除去して、接点 4 1 2 を露出させるギャップ 4 1 0 を形成することができる。

30

#### 【 0 0 2 5 】

図 4 B に示されるように、成形材料 4 0 6 の一部を除去して、キャビティ 4 0 8 を形成することができる。キャビティ 4 0 8 を成形材料 4 0 6 の下側に形成してもよく、そこでは、ダイ 4 0 2 は、成形材料 4 0 6 によって封止されていない。成形材料 4 0 6 の下側は、ダイ 4 0 2 の能動面を含んでもよい。キャビティ 4 0 8 は、ダイ 4 0 2 の影によって規定される領域（図 4 A のダイ 4 0 2 の真下の領域、時にはファンアウト領域とも呼ばれる）の外側に形成することができる。キャビティ 4 0 8 は、レーザー孔加工を含む任意の適切な技術によって形成することができる。図 1 と比較して、キャビティ 4 0 8 は、図 1 C 及び図 1 D に示される操作の間に形成することができる。キャビティ 4 0 8 は、モールドキャリアを剥離した後であるが追加の層をパッケージに適用する前に、形成することができる。単一のキャビティ 4 0 8 が示されているが、形成される T M V の数及び配列に対応して、複数のキャビティを形成してもよい。

40

#### 【 0 0 2 6 】

キャビティ 4 0 8 は、トポロジーを有するモールドキャリアを使用するか、又はモールドキャリア上に接着剤又は接着テープを適用する前にそのキャリア上に隆起部を適用することにより、再構成されたウェハの成形中に形成することもできる。これは、プリント、ディスペンス、ジェット、ラミネート又は他の適切な技術によって行うことができる。隆

50

起部は、成形材料にインプリント(imprint)を生成し、そのインプリントは、上述したように、キャビティ408として機能する。

図4Cに示されるように、キャビティ408を導電性材料420で充填して、TMVの下部を形成することができる。導電性材料420は、追加の導電性材料422を堆積させて、後続のプロセスで形成されるようなBGA424等のパッケージレベル相互接続にダイ接点412を電氣的に結合するような操作の一部として堆積させることができる。他の導電性材料422の堆積とは別に、導電性材料420をキャビティ408内に堆積させることも可能である。TMVの下部は、図示されるようなテーパ面及び円錐形状を有してもよい。TMVの下部は、キャビティ408を形成するために使用される技術に応じて異なる形状を有してもよい。いくつかの実施形態では、TMVの下部は、略垂直な側面及び矩形又は円筒形状を有してもよい。追加の操作を行って、はんだストップ426及びBGA424等のパッケージレベルの相互接続を追加することができる。これらの追加操作は、任意の適切な技術によって行うことができ、図1～図2を参照して前述した操作と一致させることができる。

10

#### 【0027】

図4Dに示されるように、成形材料406の一部を除去してキャビティ428を形成し、TMV420の下部の一部を露出させることができる。キャビティ428は、レーザー孔加工を含む任意の適切な技術によって形成してもよい。追加のPOPパッケージを設置する前に格納用のパッケージアセンブリを安定させるために、パッシベーション層又は貴金属層を、420に適用することができる。パッシベーション層又は貴金属層の追加は、キャビティ428を略充填することなく、パッケージアセンブリを提供することができる。そのような実施形態では、キャビティ428は、BGAボール等のPOP相互接続構造を収容ことができ、その相互接続構造は、図4Dに示されるパッケージアセンブリ上に設置されるPOPパッケージから突出する。

20

#### 【0028】

図4Eは、いくつかの実施形態に係る二段階TMVを含むパッケージアセンブリ450、又はその一部を示している。図4Eに示されるように、はんだ等の導電性材料430を堆積して、キャビティ428を充填することができる。このプロセスによって、TMVの上部を形成する。BGAボール432等の追加の導電性材料を導電性材料430に追加して、POP相互接続を形成することができる。また、上部パッケージのBGAボール又は他のパッケージレベルの相互接続は、フラックス又は少量のはんだペーストの事前の塗布によってサポートされ、導電性材料420に直接的に接触させることができる。BGAボール432として示されているが、任意の適切なPOP相互接続構造を使用してもよい。単一のPOP相互接続が示されているが、POP相互接続のアレイを同時に形成するために、同様の操作を行ってもよい。図示されるように、TMV430の上部は、テーパ側面及び円錐形状を有してもよい。上部及び下部の2つの部分にTMVを形成することにより、キャビティの深さが最小化される。レーザー孔加工が使用される場合に、これは、単一のレーザー孔加工の操作による深さも減少することを意味する。これによって、図1を参照して説明したような単一の片面レーザー孔加工操作で可能になるよりも、TMVを小さくすることが可能になる。これによって、0.3mm未満のピッチを有するPOP相互接続を含む、より小さいピッチを有するPOP相互接続の形成を容易にすることもできる。また、二段階形成によるキャビティ及び追加の金属の減少した深さによって、製造プロセスを容易にし、図3に関して上述したような追加の洗浄操作を可能にすることができる。

30

40

#### 【0029】

図5は、図3～図4に関して上述した操作と一致するパッケージアセンブリを製造する方法500のフロー図を概略的に示す。TMVの形成に関連する特定の操作のみが示されているが、この方法は、図1～図2に関して上述した追加の操作を含み、パッケージアセンブリの他の構造を形成することができる。

502では、方法500は、ファンアウト領域としても知られているダイの影によって規定される領域の外側にキャビティを形成するステップを含むことができる。これは、前

50

述したような図 3 A の 3 2 6 等のキャビティ又は図 4 B のキャビティ 4 0 8 を形成するステップを含むことができる。前述したように、エッチング、パターニング、又はレーザー孔加工を含む任意の適切な技術を使用して、この操作を行うことができる。前述したように、この操作は、T M V のアレイに対応する複数のキャビティを形成するステップを含むことができる。

#### 【 0 0 3 0 】

5 0 4 では、方法 5 0 0 は、導電性材料を堆積してキャビティを略充填することにより、T M V ストップを形成するステップを含むことができる。このステップは、図 3 B の局所的により厚い R D L 層 3 2 8 又は図 4 C の T M V の下部 4 2 0 を形成するステップを含むことができる。この操作は、他の導電性材料の堆積と同時に行うことができ、パッケージアセンブリの第 1 の金属層の堆積の一部として行うことができる。前述したように、任意の適切な技術を使用して、この操作を行うことができる。

5 0 6 では、方法 5 0 0 は、成形材料の第 2 の面から材料を除去して、T M V ストップを露出させるステップを含むことができる。このステップは、図 4 D のキャビティ 4 2 8 等のキャビティを形成するステップを含むことができる。前述したように、レーザー孔加工を含む任意の適切な技術を使用して、この操作を行うことができる。

#### 【 0 0 3 1 】

5 0 8 では、方法 5 0 0 は、導電性材料を T M V ストップ上に堆積させて、P O P 相互接続を形成するステップを含むことができる。このステップは、キャビティ 4 2 8 等のキャビティを導電性材料で充填するステップを含むことができる。これは、堆積した導電性材料上に B G A ボール又はパッド等の特定の P O P 相互接続構造を追加することを含むことができる。この操作は、堆積した材料と下にある導電性材料との間の十分な電気的結合を確保するためにリフロア処理を含んでもよい。前述したように、はんだペースト又ははんだボール及びフラックスの塗布を含む任意の適切な技術を使用して、この操作を行うことができる。上述したように操作 5 0 8 以外に、パッシベーション層又は貴金属層を T M V ストップに適用することが有用となり得る。これは、追加の P O P パッケージの設置前に、格納用のパッケージアセンブリを安定化させることができる。こうして、ギャップは、追加のパッケージの P O P 相互接続を後で収容するために、成形材料に残り得る。

#### 【 0 0 3 2 】

図 6 A ~ 図 6 G は、いくつかの実施形態に係る T M V を製造するための別の技術を示す。図 6 A に示されるように、ダイ 6 0 2 を、モールドキャリア 6 0 4 上に堆積させることができる。この操作は、図 1 A に関して前述したものと一致させることができる。ダイ 6 0 2 及びモールドキャリア 6 0 4 は、上述したものと同様のものとすることができる。以前の実施形態とは異なり、成形材料 6 1 4 を適用する前に、予め製造したビア用バー 6 0 8 を、モールドキャリア 6 0 4 上に設置することができる。予め製造したビア用バー 6 0 8 は、キャリア材料 6 1 2 の一部によって分離された導電性材料 6 1 0 の部分を含んでもよい。予め製造したビア用バー 6 0 8 は、プリント回路基板 ( P C B ) バー、シリコン貫通ビア用バー、セラミックビア用バー、又は他の適切な構造を含むことができる。キャリア材料 6 1 2 は、ポリマー、プリプレグ材料、シリコン、セラミック、ラミネート、又は他の任意の適切な材料を含んでもよい。導電性材料 6 1 0 は、銅、タングステン、ニッケル、はんだ、それらの組合せ、又は任意の他の適切な材料を含んでもよい。導電性材料 6 1 0 の部分は、円筒形又は矩形等の様々な形状を有してもよく、それによって、導電性材料 6 1 0 の部分の側面は、モールドキャリア 6 0 4 上に配置されたときに、略垂直となる。予め製造したビア用バー 6 0 8 は、ダイ 6 0 2 の厚さ未満、これに等しい、又はこれより大きい高さを有することができる。予め製造したビア用バー 6 0 8 は、T M V が形成される位置に導電性材料 6 1 0 の部分が位置するように配置してもよい。多数の予め製造したビア用バー 6 0 8 を配置してもよく、それら予め製造したビア用バーは、ダイ 6 0 2 の片側に配置してもよく、又はダイ 6 0 2 を実質的に取り囲むように両側に配置してもよい。予め製造したビア用バー 6 0 8 は、単一のパッケージアセンブリを越えて延びることができ、それによって、1 つの予め製造したビア用バー 6 0 8 は、製造中に複数のパッケージ

10

20

30

40

50

アセンブリをブリッジすることができる。これらの実施形態では、予め製造したビア用バー608は、個々のパッケージアセンブリをパッケージアセンブリのレイから切り離すような切離し操作の一部として後で分離することができる。ピックアンドブレース操作を含む任意の適切な操作を使用して、予め製造したビア用バー608を配置することができる。

#### 【0033】

図6Cに示されるように、成形材料614を適用して、ダイ602だけでなく予め製造したビア用バー608を少なくとも部分的に封止することができる。この操作は、図1Bに関して前述した操作と同様のものとして行うことができるが、この例では、成形材料614は、予め製造したビア用バー608も少なくとも部分的に封止する。圧縮成形、プレス又はラミネート操作等を含む任意の適切な操作を使用して、成形材料614を適用することができる。成形材料は、液体形状、粒状形状、又はシート形状の材料を含む任意の適切な材料であってもよい。

10

#### 【0034】

図6Dに示されるように、図1D~図1Gに関して上述した操作と一致する追加操作を行って、パッケージアセンブリの追加の構造を形成することができる。誘電体層616は、図1Dの誘電体層108と同様に適用することができる。例えば624等の開口部を誘電体層616に形成して、ダイ接点を露出させてもよい。ダイ接点を露出させることに加えて、他の開口部を形成して、予め製造したビア用バー608の導電性材料610の下面を露出させてもよい。RDL618等の1つ又は複数の層の導電性材料を堆積させて、ダイ接点及び導電性材料610をBGAボール622等のパッケージレベルの相互接続に接続する電気経路を形成することができる。はんだストップ層620を適用してもよく、BGAボール等のパッケージレベルの相互接続622を取り付けてもよい。これらの操作は、図1に関して前述した操作と一致させることができ、さらに誘電体層616及びRDL618等の導電性材料を形成して、BGAボール622等のパッケージレベルの相互接続を導電性材料610に電氣的に結合することができる。

20

#### 【0035】

図6Eに示されるように、成形材料614から材料を除去して、キャビティ630を形成するとともに、導電性材料610の上部を露出させることができる。導電性材料610等によって、TMVの下部を形成してもよい。レーザー孔加工等を含む任意の適切な技術を使用して、成形材料614から材料を除去することができる。キャビティ630は、テーパ面及び円錐形状を有してもよい。後続の操作の前に、種々の洗浄操作をキャビティ630上で行ってもよい。図1Hと比較して、キャビティ630の減少した深さだけでなく、予め製造したビア用バー608及び導電性材料610による増大した導電性材料によって、洗浄工程を容易にし、前述したような銅エッチング又は他の洗浄操作を可能にすることができる。前述したように、追加のPOPパッケージの設置前に格納用のパッケージアセンブリを安定させるために、パッシベーション層又は貴金属層を露出した導電性材料610の一部に適用してもよい。パッシベーション層又は貴金属層の追加によって、キャビティ630を略充填することなく、パッケージアセンブリを提供することができる。そのような実施形態では、キャビティ630は、BGAボール等のPOP相互接続構造を収容することができ、その相互接続構造は、図6Eに示されるパッケージアセンブリ上に設置されるPOPパッケージから突出する。

30

40

#### 【0036】

図6Fに示されるように、導電性材料632をキャビティ630内に堆積させることができる。これは、フラックスを用いてはんだペースト又ははんだボールを堆積させるステップを含むことができる。これは、導電性材料632と導電性材料610との間の十分な電氣的接触を確実にするためのリフロア処理も含むことができる。

図6Gに示されるように、追加のはんだ材料634をキャビティ630に追加して、TMVの上部を形成するだけでなく、POP相互接続(634の上面)を形成することもできる。これは、両面にパッケージレベルの相互接続(下面にBGA及び上面にPOPパッ

50

ドとして示される)を有するパッケージアセンブリ650をもたらすことができ、この両面の相互接続は、POP配列におけるパッケージアセンブリ640等の追加のパッケージアセンブリの追加を容易にすることができる。

【0037】

追加のパッケージアセンブリ640は、ダイ648を含むことができる。ダイ648は、能動素子又は受動素子を含んでもよい。一構成では、ダイ602は、プロセッサを含んでもよく、ダイ648は、メインメモリを含んでもよい。ダイ648は、ダイレベルの相互接続656によって基板642に結合することができる。ダイレベルの相互接続656は、フリップチップパンプ又はピラー、ワイヤボンド又は示されるように再配分ベースの相互接続、又は他の任意の適切な相互接続構造を含むことができる。相互接続パッド652は、ダイレベルの相互接続656を644等の基板の電気配線に電氣的に結合するために、基板642上に存在することができる。単一の基板の電気配線644が示されているが、ダイ648をパッド654等のパッケージレベルの相互接続に電氣的に結合するために、そのような複数の配線が含まれ得る。パッド又はBGAのいずれかとして示されているが、パッケージレベル又はダイレベルの相互接続について、任意の適切な構造を使用してもよい。キャビティ630内に配置された導電性材料632及び634等のはんだによって、TMVの上部を形成し、且つ導電性材料610及びRDL618によって、ダイ648を、ダイ602及び/又はBGAボール622等のパッケージレベルの相互接続に電氣的に結合することができる。

【0038】

パッケージアセンブリ650は、2つの部分(two part)からなるTMVを含んでもよく、これは、予め製造したビア用バー608の導電性材料610から形成された上部と、キャビティ630に堆積された導電性材料632及び634から形成された下部とを含む。こうして、TMVは、略垂直な側面(導電性材料610の側面)を有する下部と、テーパ面及び/又は円錐形状(キャビティ630の側面)を有する上部とを含むように形成することができる。図4Eに関して前述したように、これは、より小さいTMVの形成だけでなく、0.3mm未満のピッチを含むより小さいピッチを有するTMVの形成を容易にすることができる。

【0039】

図7A~図7Dは、TMVを形成するために予め製造したビア用バー708を使用する別の技術を示す。図7Aは、図6Dと同様とすることができる、且つダイ及び予め製造したビア用バーを配置する前述した操作によって形成することができる。アセンブリは、成形材料に少なくとも部分的に封止されたダイ702及び予め製造したビア用バー708を含むことができる。図7Aは、予め製造したビア用バー708がダイ702の厚さよりも大きい高さを有する点で図6Dとは異なる。予め製造したビア用バー708は、導電性材料710及びキャリア材料712を含むことができる。高さの相違以外に、予め製造したビア用バー708は、前述した予め製造したビア用バー608と略同様とすることができる。前述したように、RDL718、誘電体層716、及びはんだストップ720を含む追加の層を、含めて製造することができる。BGAボール722等のパッケージレベルの相互接続も、含めることができる。

【0040】

図7Bに示されるように、成形材料から材料を除去して、予め製造したビア用バー708の上部を露出させることができる。レーザー孔加工等によって成形材料を選択的に除去するように示された以前の議論とは異なり、ここでは、任意の適切な技術によって、成形材料を均一な態様で除去することができる。例えば、成形材料の上部に研削作業を行って、予め製造したビア用バー708の上面を露出させてもよい。

図7Cに示されるように、導電性材料710の一部を除去して、キャビティ724を形成することができる。エッチング処理を含む任意の適切な操作を使用して、導電性材料を除去してもよい。キャビティ724は、このキャビティ724が略垂直な側面を有し得るため、(キャビティ428及び630等の)前述したキャビティとは異なる場合がある。

キャビティ 724 の形状は、予め製造したビア用バー 708 の構造に基づいて決定してもよい。前述したように、追加の POP パッケージの設置前に格納用のパッケージアセンブリを安定化させるために、パッシベーション層又は貴金属層を導電性材料 710 の露出した部分に適用することができる。パッシベーション層又は貴金属層の追加によって、キャビティ 724 を略充填することなく、パッケージアセンブリを提供することができる。そのような実施形態では、キャビティ 724 は、BGA ボール等の POP 相互接続構造を収容することができ、その相互接続構造は、図 7C に示されるパッケージアセンブリ上に設置される POP パッケージから突出する。

#### 【0041】

図 7D に示されるように、追加の導電性材料 726 をキャビティに堆積させて、TMV の上部を形成することができる。これは、前述したようなフラックスを用いてはんだペースト又ははんだボールを堆積させるステップを含むことができる。成形材料の上に延びるように示されているが、導電性材料 726 の高さを、成形材料の厚さに等しい、又はこれ未満にすることが可能である。追加の導電性材料 726 は、パッド (726 の上面) 等の POP 相互接続構造も含む又は形成することができる。BGA ボール等を含む他の適切な POP 相互接続構造を使用してもよい。こうして、略垂直な側面を含む TMV を有するパッケージアセンブリ 750 を形成することができる。パッケージアセンブリ 750 は、図 1J 及び図 6G に関して上述したのと同様に、POP 相互接続によって追加のパッケージを収容することができる。TMV を形成するための予め製造したビア用バー 708 を利用することによって、略垂直な側面を含む TMV を提供することができる。これは、より小さな TMV の形成だけでなく、より小さなピッチを有する TMV の形成を容易にすることができる。これは、0.3mm 未満のピッチを有する POP 相互接続を含むことができる。

10

20

#### 【0042】

図 8 は、上述した操作と一致させてパッケージアセンブリを製造する方法 800 のフロー図を概略的に示す。TMV の形成に関する特定の操作のみが示されているが、この方法は、図 1 ~ 図 2 に関して上述した追加の操作を含み、パッケージアセンブリの他の構造を形成することができる。

802 では、方法 800 は、成形材料の第 1 の面と第 2 の面との間に POP ランドを形成するステップを含むことができる。このステップは、図 4C の 420 等の TMV の下部を形成するステップを含むことができる。このステップは、(図 6 ~ 図 7 の予め製造したビア用バー 608 及び 708 等の) 予め製造したビア用バーを少なくとも部分的に封止するステップを含むことができる。このステップは、成形材料の第 1 の面と第 2 の面との間の位置に導電性材料を提供するステップを含むことができる。その位置は、ダイの影によって規定される領域の外側の領域とすることができる。前述したように、任意の適切な技術を使用して、この操作を行うことができる。

30

#### 【0043】

804 では、方法 800 は、成形材料から材料を除去して、POP ランドの一部を露出させるステップを含むことができる。これは、図 4D、図 6E、及び図 7B に関して前述した操作を含むことができる。例えば、これは、図 4C のキャビティ 428 を形成するステップ、又は図 6E のキャビティ 630 を形成するステップを含むことができる。これは、図 7B に関して前述したように成形材料を均一に除去するステップも含むことができる。この操作は、前述したように、レーザー孔加工又は研削等を含む任意の適切な技術によって行うことができる。

40

806 では、方法 800 は、POP ランドの露出した部分に導電性材料を堆積させて、POP 相互接続を形成するステップを含むことができる。これは、図 4E、図 6F ~ 図 6G、及び図 7D に関して前述した操作を含むことができる。この操作は、任意の適切な技術によって行うことができる。上述したように操作 806 以外に、パッシベーション層又は貴金属層を POP ランドの露出した部分に適用することも有用であり得る。これは、追加の POP パッケージの設置前に、格納用のパッケージアセンブリを安定化させることが

50



できる。こうして、ギャップは、追加のパッケージのPOP相互接続を後で収納するために、成形材料に残り得る。

#### 【0044】

本開示の実施形態は、所望するように構成するために任意の適切なハードウェア及び/又はソフトウェアを使用してシステムに実装することができる。図9は、いくつかの実施形態に従って、本明細書で説明したようなパッケージアセンブリ(例えば、図1、図4、図6、及び図7の1つ又は複数のパッケージアセンブリ150、450、650、又は750)を含むコンピューティング装置900を概略的に示す。コンピューティング装置900は、マザーボード902等の基板を収容するハウジングを含んでもよい。マザーボード902は、プロセッサ904と、少なくとも1つの通信チップ906とを含むが、これらに限定されるものではない複数のコンポーネントを含むことができる。プロセッサ904は、マザーボード902に物理的及び電氣的に結合してもよい。いくつかの実装態様では、少なくとも1つの通信チップ906は、マザーボード902に物理的及び電氣的に結合してもよい。さらなる実装態様では、通信チップ906は、プロセッサ904の一部であってもよい。

10

#### 【0045】

その用途に応じて、コンピューティング装置900は、マザーボード902に物理的及び電氣的に結合される又は結合されない他のコンポーネントを含んでもよい。これら他のコンポーネントとして、揮発性メモリ(例えば、DRAM)、不揮発性メモリ(例えば、ROM)、フラッシュメモリ、グラフィックプロセッサ、デジタル信号プロセッサ、暗号プロセッサ、チップセット、アンテナ、ディスプレイ、タッチスクリーン・ディスプレイ、タッチスクリーン・コントローラ、バッテリー、音声コーデック、ビデオコーデック、電力増幅器、全地球測位システム(GPS)装置、コンパス、ガイガーカウンター、加速度計、ジャイロスコープ、スピーカ、カメラ、及び(ハードディスクドライブ、コンパクトディスク(CD)、デジタル多用途ディスク(DVD)等の)大容量記憶装置が挙げられるが、これらに限定されるものではない。

20

#### 【0046】

通信チップ906は、コンピューティング装置900との間でデータ転送するための無線通信を可能にすることができる。「無線」という用語及びその派生語は、非固体媒体を介して変調された電磁放射の使用によってデータを通信するような回路、デバイス、システム、方法、技術、通信チャネル等を表すために使用される。この用語は、いくつかの実施形態ではそうではないかもしれないが、関連するデバイスが、任意のワイヤを含まないことを意味するものではない。通信チップ906は、多数の無線規格やプロトコルのいずれかを実装することができ、その規格等には、Wi-Fi(IEEE802.11ファミリー)、IEEE802.16規格(例えば、IEEE802.16-2005改訂版)、(あらゆる改正、更新、及び/又は改訂(例えば、先進のLTEプロジェクト、ウルトラモバイルブロードバンド(UMB)プロジェクト(「3GPP2」とも呼称される)等)を含むロングタームエボリューション(LTE)プロジェクトを含む電気電子技術者協会(IEEE)の規格を含むが、これらに限定されるものではない。IEEE802.16互換性BWAネットワークは、一般的にWiMAX(Worldwide Interoperability for Microwave Access規格の略)ネットワークと呼ばれており、このネットワークは、IEEE802.16規格の適合性及び相互運用性テストに合格した製品についての認証マークである。通信チップ906は、移動通信用グローバルシステム(GSM(登録商標))、汎用パケット無線サービス(GPRS)、ユニバーサル・モバイル・テレコミュニケーション・システム(UMTS)、高速パケットアクセス(HSPA)、進化型HSPA(E-HSPA)、又はLTEネットワークに従って動作することができる。通信チップ906は、GSMエボリューションの拡張データ(EDGE)、GSM EDGE無線アクセスネットワーク(GERAN)、ユニバーサル地上無線アクセスネットワーク(UTRAN)、又は進化型UTRAN(E-UTRAN)に従って動作することができる。通信チップ906は、符号分割多元接続(CDMA)、時分割多重アクセス(TDMA)、デジタルコードレス通信(DECT)、エ

30

40

50

ポリューション・データ最適化 (EV-DO)、これらの派生プロトコルだけでなく、3G、4G、5G、それ以降の規格として指定されている任意の他の無線プロトコルに従って動作することができる。通信チップ906は、他の実施形態では、他の無線プロトコルに従って動作することができる。

#### 【0047】

コンピューティング装置900は、複数の通信チップ906を含んでもよい。例えば、第1の通信チップ906は、Wi-Fi及びBluetooth(登録商標)等の短距離無線通信に専用のものであり、第2の通信チップ906は、GPS、EDGE、GPRS、CDMA、WiMAX、LTE、EV-DO及び他のプロトコル等の長距離無線通信に専用のものであり、

コンピューティング装置900のプロセッサ904は、本明細書で説明したようにパッケージアセンブリ(例えば、図1、図4、図6、図7の1つ又は複数のパッケージアセンブリ150、450、650又は750)内にパッケージ化してもよい。例えば、プロセッサ904は、ダイ102、302、402、602、又は702のいずれかに対応させることができる。いくつかの実施形態では、プロセッサ904は、インテル社製のAtom(登録商標)プロセッサ又はQuark(登録商標)プロセッサを含むでもよい。パッケージアセンブリ(例えば、図1、図4、図6、及び図7の1つ又は複数のパッケージアセンブリ150、450、650又は750)及びマザーボード902は、BGAボール(例えば、図1の114)等のパッケージレベルの相互接続を用いて互いに結合することができる。用語「プロセッサ」は、レジスタ及び/又はメモリからの電子データを処理して、その電子データをレジスタ及び/又はメモリに記憶するよう他の電子データに変換するよう任意のデバイス又はデバイスの一部を指すことができる。

#### 【0048】

通信チップ906は、本明細書で説明したようなICアセンブリ(例えば、図1、図4、図6、及び図7の1つ又は複数のパッケージアセンブリ150、450、650又は750)内にパッケージ化されるダイ(例えば、図1、図3、図4、図6、又は図7のダイ102、302、402、602、又は702)も含んでもよい。さらなる実装態様では、コンピューティング装置900内に収容される他のコンポーネント(例えば、メモリデバイス又は他の集積回路装置)は、本明細書で説明したようにパッケージアセンブリ(例えば、図1、図4、図6、及び図7の1つ又は複数のパッケージアセンブリ150、450、650、又は750)内にパッケージ化されるダイを含んでもよい。

#### 【0049】

様々な実装態様では、コンピューティング装置900は、ラップトップ、ネットブック、ノートブック、Ultrabook(登録商標)、スマートフォン、タブレット、パーソナルデジタルアシスタント(PDA)、ウルトラモバイルPC、携帯電話、デスクトップコンピュータ、サーバ、プリンタ、スキャナ、モニタ、セットトップボックス、娯楽制御装置、デジタルカメラ、携帯音楽プレーヤ、又はデジタルビデオレコーダであってもよい。さらなる実装態様では、コンピューティング装置900は、データを処理する他の任意の電子装置であってもよい。

#### 【0050】

##### 実施例

いくつかの非限定的な実施例を、以下に示す。

実施例1は、パッケージアセンブリを製造する方法を含み、当該方法は：成形材料の第1の面と、第1の面の反対側に配置された成形材料の第2の面との間の領域にパッケージ・オン・パッケージ(POP)のランドを形成するステップと；成形材料の材料を除去して、成形材料の第1の面と第2の面との間の領域でPOPランドの一部を露出させるステップと；POPランドの露出した部分に導電性材料、パッシベーション層、又は貴金属のうち少なくとも1つを堆積させるステップと；を含む。

実施例2は、実施例1の方法を含み：ここで、POPランドを形成するステップは、成形材料の第1の面からレーザー孔加工を行ってキャビティを形成するステップと；キャビ

10

20

30

40

50

ティを略充填するように導電性材料を堆積させるステップと；を含む。

【 0 0 5 1 】

実施例 3 は、実施例 2 の方法を含み：ここで、キャビティを略充填するように導電性材料を堆積させるステップは、導電性材料をダイの少なくとも 1 つの接点に堆積させるステップを含む。

実施例 4 は、実施例 1 の方法を含み：ここで、POPランドを形成するステップは、成形材料に予め製造したビア用バーを少なくとも部分的に埋め込むステップを含む。

実施例 5 は、実施例 4 の方法を含み：ここで、予め製造したビア用バーは、複数のパッケージアセンブリに亘って延びており、及び当該方法は、第 1 のパッケージアセンブリを第 2 のパッケージアセンブリから分離するステップをさらに含む。

10

【 0 0 5 2 】

実施例 6 は、実施例 4 の方法を含み：ここで、予め製造したビア用バーは、成形材料の第 1 の面の近くある第 1 の面と、第 1 の側の反対側に配置された第 2 の面とを有しており、成形材料に少なくとも部分的に埋め込まれたダイが、成形材料の第 1 の面の近くにある第 1 の面と、該第 1 の面の反対側に配置された第 2 の面とを有しており；ここで、予め製造したビア用バーの第 2 の面と成形材料の第 2 の面との間の距離は、ダイの第 2 の面と成形材料の第 2 の面との間の距離以下であり；成形材料の材料を除去してPOPランドの一部を露出させるステップは、成形材料の第 2 の面から材料を均一に除去して、ビア用バーの一部を露出させるステップを含む。

実施例 7 は、実施例 1 乃至 5 のいずれかの方法を含み：ここで、POPランドの露出した部分に導電性材料、パッシベーション層、又は貴金属のうちの一つを堆積させるステップは、導電性材料を複数の露出したPOPランド上に堆積して、0.3mm未満のピッチを有する複数のPOP相互接続を形成するステップを含む。

20

実施例 8 は、実施例 1 乃至 5 のいずれかの方法を含み：ここで、成形材料の材料を除去するステップは、成形材料の第 2 の面からレーザー孔加工を行うステップを含む。

【 0 0 5 3 】

実施例 9 は、パッケージアセンブリであって、このパッケージアセンブリは：成形材料内に少なくとも部分的に埋め込まれたダイと；略垂直な側面、又は第 1 の部分及び第 2 の部分のうちの一つを有するモールド貫通ビア (TMV) と；を有しており、

第 1 の部分は、成形材料の第 2 の面から、成形材料の第 2 の面と第 2 の面の反対側に配置された成形材料の第 1 の面との間の位置に延びており、TMVの側面同士の間隔が、成形材料の第 2 の面から、成形材料の第 1 の面と第 2 の面との間の位置への方向に減少し、

30

第 2 の部分は、成形材料の第 1 の面と第 2 の面との間の位置から成形材料の第 1 の面に延びており、TMVの側面同士の間隔が、第 1 の部分におけるTMVの側面同士の間隔とは異なる。

実施例 10 は、実施例 9 のパッケージアセンブリを含み：ここで、第 2 の部分におけるTMVの側面同士の間隔は、成形材料の第 1 の面と第 2 の面との間の位置から成形材料の第 1 の面への方向に増加する。

実施例 11 は、実施例 9 のパッケージアセンブリを含み：ここで、第 2 の部分におけるTMVの側面同士の間隔は、成形材料の第 1 の面と第 2 の面との間の位置から成形材料の第 1 の面への方向に略一定である。

40

【 0 0 5 4 】

実施例 12 は、実施例 9 のパッケージアセンブリを含み：ここで、成形材料に少なくとも部分的に埋め込まれた少なくとも 1 つの予め製造したビア用バーをさらに含む。

実施例 13 は、実施例 12 のパッケージアセンブリを含み：ここで、少なくとも 1 つの予め製造したビア用バーは、略垂直な側面を有するTMVの少なくとも一部を規定する。

実施例 14 は、実施例 9 乃至 13 のいずれかのパッケージアセンブリを含み：ここで、TMVは、0.3mm未満のピッチを有する複数のTMVである。

【 0 0 5 5 】

50

実施例 15 は、パッケージアセンブリを製造する方法を含み、当該方法は：成形材料の第 1 の面においてダイの影によって規定される領域の外側にキャビティを形成するステップと；導電性材料を堆積してキャビティを略充填することによりモールド貫通ビア (TMV) ストップを形成するステップと；成形材料の第 2 の面から材料を除去して TMV ストップを露出させるステップと；TMV ストップ上に導電性材料、パッシベーション層、又は貴金属のうちの少なくとも 1 つを堆積させるステップと；を含む。

実施例 16 は、実施例 15 の方法を含み：成形材料の第 1 の面においてダイの影によって規定される領域の外側にキャビティを露出させるように少なくとも 1 つのキャビティを誘電体層に形成するステップと；ダイ接点を露出させるように少なくとも 1 つの追加キャビティを誘電体層に形成するステップと；をさらに含む。

10

実施例 17 は、実施例 16 の方法を含み：ここで、導電性材料を堆積して TMV ストップを形成するステップは、材料を堆積して少なくとも 1 つの追加キャビティを略充填することによりダイ相互接続を形成するステップをさらに含む。

#### 【0056】

実施例 18 は、実施例 15 乃至 17 のいずれかの方法を含み：ここで、成形材料の第 1 の面においてダイの影によって規定される領域の外側にキャビティを形成するステップは、成形材料を適用する前にモールドキャリアに隆起部を形成するステップを含む。

実施例 19 は、実施例 15 乃至 17 のいずれかの方法を含み：ここで、成形材料の第 1 の面においてダイの影によって規定される領域の外側にキャビティを形成するステップは、成形材料の第 1 の面からレーザー孔加工を行ってキャビティを形成するステップを含む。

20

実施例 20 は、実施例 15 乃至 17 のいずれかの方法を含み：ここで、成形材料の第 1 の面においてダイの影によって規定される領域の外側にキャビティを形成するステップは、隣接するキャビティが 0.3 mm 未満のピッチを規定するように、ダイの影によって規定される領域の外側に複数のキャビティを形成するステップを含む。

#### 【0057】

実施例 21 は、コンピューティング装置を含み、当該コンピューティング装置は：回路基板と；回路基板に結合されたパッケージアセンブリと；を有しており、パッケージアセンブリは、成形材料に少なくとも部分的に埋め込まれたダイと；略垂直な側面、又は第 1 の部分及び第 2 の部分のうちの 1 つを有するモールド貫通ビア (TMV) と；を有しており

30

、第 1 の部分は、成形材料の第 2 の面から、成形材料の第 2 の面と第 2 の面の反対側に配置された成形材料の第 1 の面との間の位置に延びており、TMV の側面同士の間隔が、成形材料の第 2 の面から成形材料の第 1 の面と第 2 の面との間の位置への方向に減少し

、第 2 の部分は、成形材料の第 1 の面と第 2 の面との間の位置から成形材料の第 1 の面に延びており、TMV の側面同士の間隔が、第 1 の部分における TMV の側面同士の間隔とは異なる。

実施例 22 は、実施例 21 のコンピューティング装置を含み：ここで、第 2 の部分における TMV の側面同士の間隔は、成形材料の第 1 の面と第 2 の面との間の位置から成形材料の第 1 の面への方向に増加する又は一定のままである。

40

#### 【0058】

実施例 23 は、実施例 21 のコンピューティング装置を含み：ここで、パッケージアセンブリは、第 1 のパッケージアセンブリであり、コンピューティング装置は、第 1 の面と第 1 の面の反対側に配置された第 2 の面とを有する第 2 のパッケージアセンブリをさらに有しており、第 1 の面は、第 1 の面に配置された 1 つ又は複数のパッケージレベルの相互接続を使用して第 1 のパッケージアセンブリに結合され、第 2 のパッケージアセンブリは、TMV によって回路基板に電氣的に結合される。

実施例 24 は、実施例 21 乃至 23 のいずれかのコンピューティング装置を含み：ここで、TMV は、0.3 mm 未満のピッチを有する複数の TMV である。

50

実施例 25 は、実施例 21 乃至 23 のいずれかのコンピューティング装置を含み：ここで、コンピューティング装置は、回路基板に結合されたアンテナ、ディスプレイ、タッチスクリーン・ディスプレイ、タッチスクリーン・コントローラ、バッテリー、音声コーデック、ビデオコーデック、電力増幅器、全地球測位システム（GPS）装置、コンパス、ガイガーカウンター、加速度計、ジャイロスコープ、スピーカ、又はカメラのうちの 1 つ又は複数を含むモバイルコンピューティング装置である。

【0059】

様々な実施形態は、論理積「及び」（例えば、「及び」は、「及び/又は」となり得る）で表される実施形態の代替（又は）実施形態を含む実施形態を説明した任意の適切な組合せを含んでもよい。さらに、いくつかの実施形態では、実行されたときに上述した実施形態のいずれかの動作をもたらす、その上に格納された命令を有する製品（例えば、非一時的なコンピュータ可読媒体）の 1 つ又は複数の項目を含むことができる。さらに、いくつかの実施形態は、上述した実施形態の様々な操作を実施するための任意の適切な手段を有する装置又はシステムを含むことができる。

10

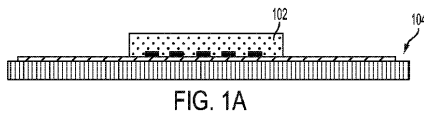
【0060】

要約書に記載されていることを含む図示された実装態様の上記説明は、網羅的であることを意図しておらず、又は本開示の実施形態を開示された正確な形態に限定するものではない。特定の実装態様及び実施例が例示目的のために本明細書に記載されているが、種々の等価な変更が、当業者によって認識されるように、本開示の範囲内で可能である。

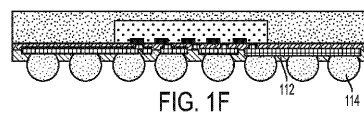
これらの変更は、上記の詳細な説明に照らして、本開示の実施形態に対して行うことができる。以下の特許請求の範囲で使用される用語は、本開示の様々な実施形態を明細書及び特許請求の範囲に開示された特定の実装態様に限定するように解釈すべきではない。むしろ、特許請求の範囲は、以下の特許請求の範囲によって完全に決定すべきであり、その請求項は、クレーム解釈の確立された原則に従って解釈すべきである。

20

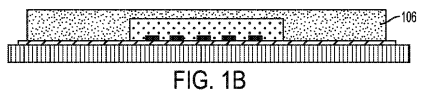
【図 1 A】



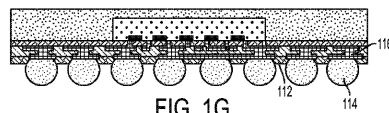
【図 1 F】



【図 1 B】



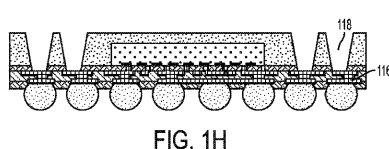
【図 1 G】



【図 1 C】



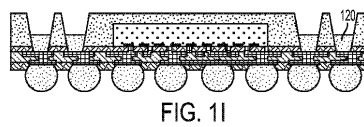
【図 1 H】



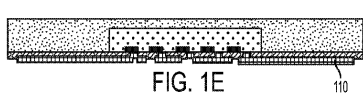
【図 1 D】



【図 1 I】



【図 1 E】



【 図 1 J 】

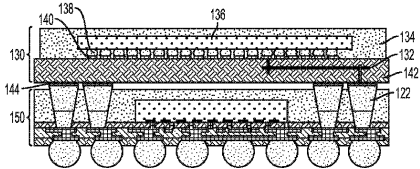
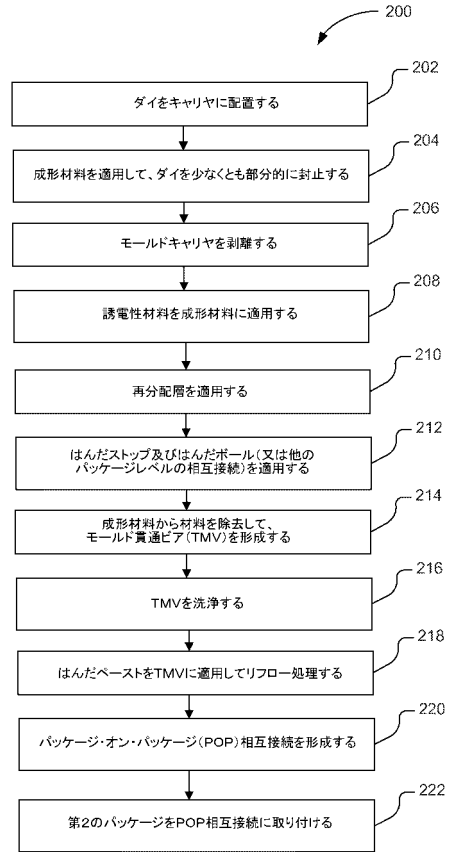


FIG. 1J

【 図 2 】



【 図 3 A 】

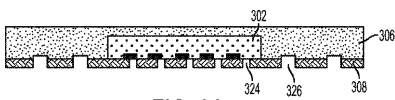


FIG. 3A

【 図 3 B 】



FIG. 3B

【 図 4 A 】

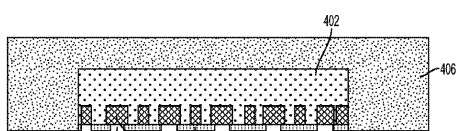


FIG. 4A

【 図 4 B 】

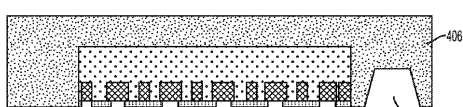


FIG. 4B

【 図 4 C 】

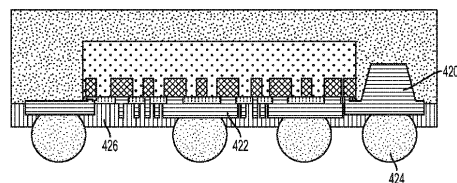


FIG. 4C

【 図 4 D 】

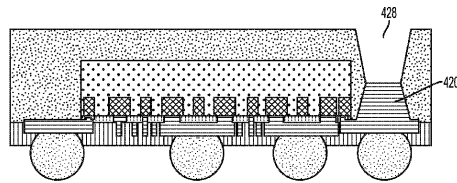


FIG. 4D

【 図 4 E 】

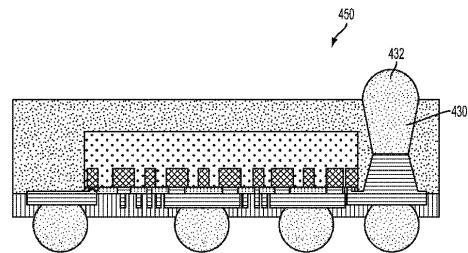
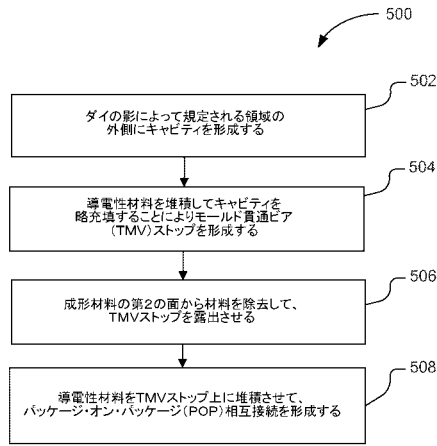


FIG. 4E

【 図 5 】



【 図 6 A 】

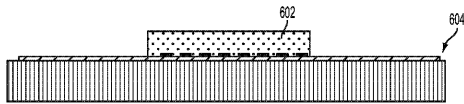


FIG. 6A

【 図 6 B 】

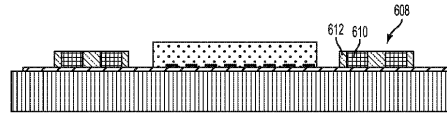


FIG. 6B

【 図 6 C 】

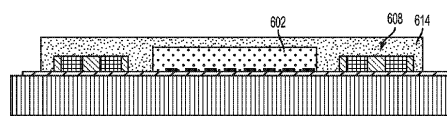


FIG. 6C

【 図 6 D 】

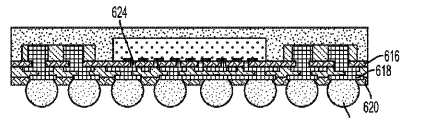


FIG. 6D

【 図 6 E 】

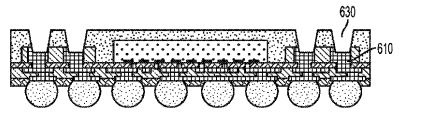


FIG. 6E

【 図 6 F 】

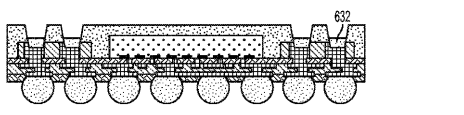


FIG. 6F

【 図 7 B 】

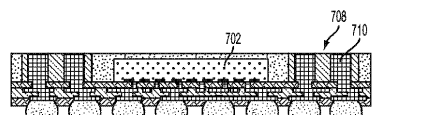


FIG. 7B

【 図 6 G 】

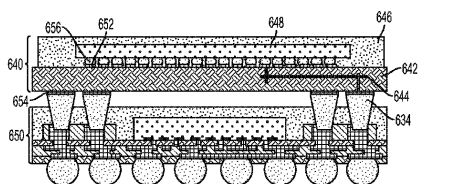


FIG. 6G

【 図 7 C 】

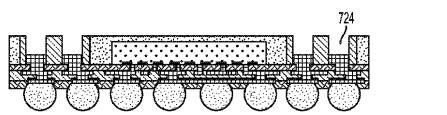


FIG. 7C

【 図 7 A 】

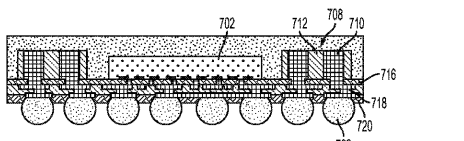


FIG. 7A

【 図 7 D 】

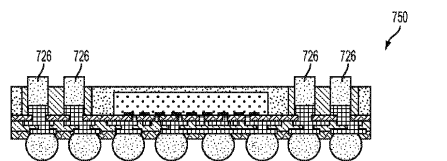
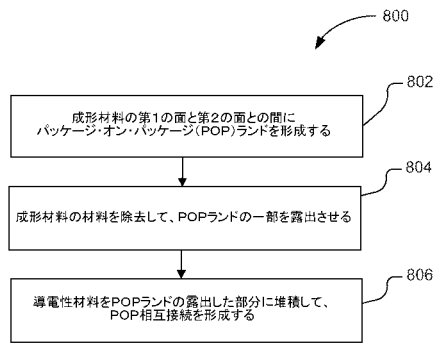
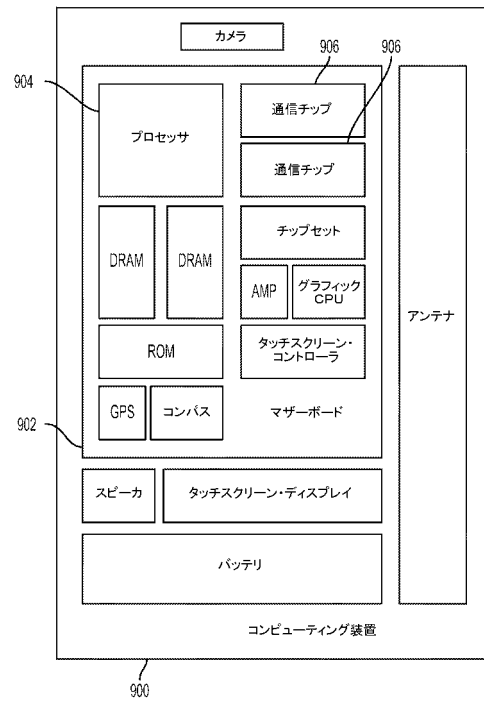


FIG. 7D

【 図 8 】





【 図 9 】





## 【 国際調査報告 】

INTERNATIONAL SEARCH REPORT		International application No. <b>PCT/US2013/077601</b>
<b>A. CLASSIFICATION OF SUBJECT MATTER</b>		
<b>H01L 23/12(2006.01)i</b>		
According to International Patent Classification (IPC) or to both national classification and IPC		
<b>B. FIELDS SEARCHED</b>		
Minimum documentation searched (classification system followed by classification symbols) H01L 23/12; H01L 21/60; H01L 23/52; H01L 21/50; H01L 25/11; H01L 23/48; B29C 39/10; H01L 23/488; H01L 21/00		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Korean utility models and applications for utility models Japanese utility models and applications for utility models		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) eKOMPASS(KIPO internal) & keywords: TMV, package, molding, via bar, POP		
<b>C. DOCUMENTS CONSIDERED TO BE RELEVANT</b>		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 2013-0119549 A1 (JUNG WEI CHENG et al.) 16 May 2013 See abstract, paragraphs [0018]-[0024], claim 1 and figures 3-10.	9-11, 14, 21-25
A		1-8, 12-13, 15-20
A	US 2013-0105991 A1 (KAH WEE GAN et al.) 02 May 2013 See abstract, paragraphs [0052]-[0055] and figures 12-14.	1-25
A	US 2012-0273960 A1 (DONGSAM PARK et al.) 01 November 2012 See abstract, paragraphs [0046]-[0073] and figure 8a.	1-25
A	US 2010-0327419 A1 (SRIRAM MUTHUKUMAR et al.) 30 December 2010 See abstract, paragraphs [0021]-[0035] and figures 1a-2a.	1-25
A	US 2008-0308950 A1 (DO JAE YOO et al.) 18 December 2008 See abstract, paragraphs [0062]-[0068] and figures 5, 7A-7E.	1-25
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed		"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family
Date of the actual completion of the international search 22 September 2014 (22.09.2014)		Date of mailing of the international search report <b>23 September 2014 (23.09.2014)</b>
Name and mailing address of the ISA/KR  International Application Division Korean Intellectual Property Office 189 Cheongsu-ro, Seo-gu, Daejeon Metropolitan City, 302-701, Republic of Korea Facsimile No. +82-42-472-7140		Authorized officer CHOI, Sang Won  Telephone No. +82-42-481-8291

**INTERNATIONAL SEARCH REPORT**

Information on patent family members

International application No.

**PCT/US2013/077601**

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 2013-0119549 A1	16/05/2013	US 8658464 B2	25/02/2014
US 2013-0105991 A1	02/05/2013	None	
US 2012-0273960 A1	01/11/2012	None	
US 2010-0327419 A1	30/12/2010	CN 102804364 A DE 112010002692 T5 DE 112010002692 T8 GB 201119498 D0 GB 2483181 A JP 2012-531061 A KR 10-1372055 B1 KR 10-2012-0018807 A RU 2011153251 A RU 2504863 C2 SG 175954 A1 TW 201130105 A US 2013-0127054 A1 WO 2010-151375 A1	28/11/2012 07/03/2013 16/05/2013 21/12/2011 29/02/2012 06/12/2012 07/03/2014 05/03/2012 10/07/2013 20/01/2014 29/12/2011 01/09/2011 23/05/2013 29/12/2010
US 2008-0308950 A1	18/12/2008	KR 10-0865125 B1 US 2010-0084754 A1 US 2010-0087034 A1 US 2010-0087035 A1 US 7642656 B2 US 7875497 B2 US 7875983 B2 US 8017437 B2	24/10/2008 08/04/2010 08/04/2010 08/04/2010 05/01/2010 25/01/2011 25/01/2011 13/09/2011

## フロントページの続き

(81)指定国 AP(BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, RU, TJ, TM), EP(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US

(72)発明者 グゼック, ジョン エス.

アメリカ合衆国 85248 アリゾナ州 チャンドラー サウス プレザント コート 4330

(72)発明者 ニムカル, ニテシュ

アメリカ合衆国 85226 アリゾナ州 チャンドラー ウエスト チャンドラー ブールヴァード 5000

(72)発明者 ライングルーバー, クラウス

ドイツ国 84085 ラングクヴァイト カー. エール. ブルーメンシュトラッセ 14 カー. エール.

(72)発明者 マイヤー, トルステン

ドイツ国 93053 バイエルン州 レーゲンスブルク アム バッハ 13