

發明專利說明書

101年10月2日修正替換頁

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：95114881

※申請日期：95.4.26

※IPC 分類：G09G 3/00 (2006.01)

G09G 3/34 (2006.01)

G11C 19/28 (2006.01)

一、發明名稱：(中文/英文)

移位暫存器及包括此移位暫存器之顯示器裝置

Shift Register and a Display Device Including the Shift Register

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

三星顯示器公司 / SAMSUNG DISPLAY CO., LTD.

代表人：(中文/英文)

申相澈 / SHIN, SANG CHEOL

住居所或營業所地址：(中文/英文)

韓國京畿道龍仁市器興區三星2路95番地

95, Samsung 2 Ro, Giheung-Gu, Yongin-City, Gyeonggi-Do, 446-711 Korea

國籍：(中文/英文)

韓國 / KOREA

三、發明人：(共 5 人)

姓 名：(中文/英文)

1. 魚 基漢 / UH, Kee-Han

2. 朴 商鎮 / PAK, Sang-Jin

3. 李 柱亨 / LEE, Joo-Hyung

4. 金 炯傑 / KIM, Hyung-Guel

5. 李 明雨 / LEE, Myung-Woo

國 籍：(中文/英文)

1.~5. 韓國 / Korea

四、聲明事項：

☐ 主張專利法第二十二條第二項 ☐ 第一款或 ☐ 第二款規定之事實，其事實發生日期為：。

☒ 申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

☒ 有主張專利法第二十七條第一項國際優先權：

1. 韓國、 2005/06/13、 10-2005-0050308

☐ 無主張專利法第二十七條第一項國際優先權：

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

五、中文發明摘要：

本發明提供移位暫存器與具有此移位暫存器之顯示器裝置。該移位暫存器具有與多數個時鐘信號同步地連續產生輸出信號之多個級。該等級各包括用以接收一掃描開始信號或來自前一級之一輸出信號並輸出該掃描開始信號或該輸出信號作為一第一電壓之一輸入單元、用以傳遞至少兩個時鐘信號之一第一單元、用以響應於來自下一級之一輸出信號而輸出該等至少兩個時鐘信號其中至少一者或一第二電壓的一第二單元、及用來響應於該輸入單元和該第二單元之輸出而產生與該等至少兩個時鐘信號中至少一者同步化之一輸出信號的一輸出單元。

六、英文發明摘要：

A shift register and a display device having the shift register are provided. The shift register has a plurality of stages which sequentially generate output signals in synchronization with a plurality of clock signals. Each of the stages includes an input unit for receiving a scan start signal or an output signal from a previous stage and outputting the scan start signal or the output signal as a first voltage, a first unit for passing at least two clock signals, a second unit for outputting at least one of the at least two clock signals or a second voltage in response to an output signal from a next stage, and an output unit for generating an output signal synchronized with at least one of the at least two clock signals in response to the outputs of the input unit and the second unit.

七、指定代表圖：

(一) 本案指定代表圖為：第(5)圖。

(二) 本代表圖之元件符號簡單說明：

420：輸入單元

430：一上拉驅動器

440：一下拉驅動器

450：閘極和負載輸出單元

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

九、發明說明：

【發明所屬之技術領域】

發明領域

本發明係有關於一種移位暫存器，且更特別地是關於
5 一種具有移位暫存器之顯示器裝置。

【先前技術】

發明背景

近來對於平面顯示器要比傳統電視與利用陰極射線管
(CRT) 視訊顯示器更輕和更薄的需求是與日俱增。越來
10 越普遍的一些平面顯示器包括：電漿顯示器面板 (PDP)、
有機發光顯示器 (OLED)、以及液晶顯示器 (LCD)。

PDP利用氣體放電產生之電漿顯示字符或影像，而
OLED藉施加一電場到特定光發射有機或高分子材料顯示
器字符或影像。LCD藉施加一電場到置於兩個面板間之一
15 液晶層及調節電場強度以調整通過液晶層之光透率來顯示
影像或字符。

LCD和OLED平面顯示器各自包括包括開關元件和顯
示器信號線之備具像素之一面板單元、以及用以提供一閘
極信號到顯示器信號線之閘極線以導通或截止開關元件之
20 一閘極驅動器。

小型和中型大小的LCD，例如，現正用於可攜式通訊
終端機，例如摺疊式雙顯示器行動電話。這些所謂的雙顯
示器裝置在其內外兩側各具有顯示器面板單元。

雙顯示器裝置包括裝設在其內側之一主面板單元，裝

設在其外側之一次要面板單元，一備具信號線以自外部裝置傳送輸入信號之驅動可撓性印刷電路薄膜（FPC），將主面板單元連至次要面板單元之一輔助FPC，和控制顯示器裝置之一整合晶片。

- 5 更詳細地，整合晶片產生控制信號和驅動信號以控制主面板單元和次要面板單元。整合晶片通常係裝設於主面板單元上作為一玻璃上晶片（COG）。

減少媒體和小型顯示器裝置生產成本之一種技術係以積設於面板單元邊緣上之開關元件形成閘極驅動器。

- 10 閘極驅動器，其主要係包括有在一行中相連之多個級的一移位暫存器，在一第一級接收一掃描開始信號並輸出一閘極輸出，而在下一級接收一負載輸出並輸出負載輸出作為一閘極輸出，使得閘極輸出被連續產生。

- 15 每一級包括多數個NMOS或PMOS電晶體和至少一個電容器，並與多數個時鐘信號同步地產生具有一 90° 到 180° 之相位差的一閘極輸出。

- 20 當電晶體係由一非晶形矽酸鹽製造時，電晶體在閘極輸出產生後被維持在一導通狀態，使得供應閘極線之電壓被維持於一低電壓。然而，由於電晶體被導通了一段長時間，電晶體之臨界電壓會應加而造成電晶體發生故障。

現在，緩和地增加臨界電壓，例如，利用七個電晶體。然而，這樣的組配中，當兩個時鐘信號有兩不同階段是低的，顯示器面板之一較高面板所備具之閘極線和共電極間的一寄生電容會造成供應給閘極線之電壓的改變。此改變

可能在進行低電壓驅動時導致媒體和小型顯示器裝置上特別明顯的錯誤。

因此，需要一種可以進行低電壓驅動而不致造成對寄生電容之不利影響的移位暫存器。

5 【發明內容】

發明概要

依據本發明之一層面，提供具有多數個級之一種移位暫存器，其與多數個時鐘信號同步地連續產生輸出信號，其中該每一級包含：用以接收來自前一級之一掃描開始信號或一輸出信號並輸出該掃描開始信號或該輸出信號作為一第一電壓之一輸入單元；用以傳遞至少兩個時鐘信號之一第一單元；用以響應於來自下一級之一輸出信號輸出該至少兩個時鐘信號或一第二電壓之其中至少一者的一第二單元；以及用來響應於該輸入單元與該第二單元之該輸出與該至少兩個時鐘信號之其中至少一者同步地產生一輸出信號的一輸出單元。

每一級具有一設定端子、一重設端子、一閘極電壓端子、和第一和第二時鐘端子，且其中該輸入單元包括連接於該設定端子和一第一接點間之一第一二極體，其中該第一單元包含：連接於該第一時鐘端子與一第二接點間之一第二二極體；以及連接於該第二時鐘端子與一第三接點間之一第三二極體。

另外，每一級具有一設定端子、一重設端子、一閘極電壓端子、一輸出端子、和第一和第二時鐘端子，其中該

輸入單元被連接於該設定端子和一第一接點之間，且包括具有連接至該設定端子之一控制端子的一第一開關元件，其中該第一單元包含：連接於該第一時鐘端子與一第二接點間之一第二開關元件；以及連接於該第二時鐘端子與一第三接點間之一第三開關元件，其中該第二開關元件之一控制端子被連接至該第一時鐘端子，而該第三開關元件之一控制端子被連接至該第二時鐘端子，其中該第二單元包含：在該第一接點與該閘極電壓端子間互相並聯連接之第四和第五開關元件；在該第二接點與該閘極電壓端子之間互相並聯連接的第六和第七開關元件；以及連接於該第三接點與該閘極電壓端子間之一第八開關元件，其中該第四和第五開關元件之控制端子分別被連接至該重設端子與該第二接點，而該第六、第七、和第八開關元件之控制端子分別被連接至該第一接點、該第二時鐘端子、和該第一時鐘端子，其中該輸出單元包含：連接於該第一時鐘端子與該輸出端子間之一第九開關元件；在該輸出端子與該閘極電壓端子互相並聯連接之第十和第十一開關元件；以及連接於該第一接點與該輸出端子間之一電容器，且其中該第九、第十、和第十一開關元件之控制端子分別被連接至該第一、第二、和第三接點。

另外，移位暫存器包括第一和第二移位暫存器單元，且其中該第一移位暫存器單元包括多數個連接至奇數號信號線之第一級，而該第二移位暫存器單元包括多數個連接至偶數號信號線之第二級。

除了第一和最後一第一級之外的該等每一第一級被連接至前一和下一第一級，而除了第一和最後一第一級之外的該等每一第二級被連接至前一和下一第二級。

第一開始信號被輸入到該第一暫存器單元之該第一級
5 而一第二開始信號被輸入到該第二暫存器單元之該第一級，以及多數個時鐘信號可包括輸入到該第一暫存器單元之第一和第二時鐘信號和輸入到該第二暫存器單元之第三和第四時鐘信號，以及其中該第一、第三、第二、和第四時鐘信號具有25%的一工作比和90°度的一相位差。

10 當移位暫存器單元僅包括一第一移位暫存器單元時，包括第一和第二時鐘信號輸入到該第一暫存器單元，其中該第一和第二時鐘信號具有一50%的工作比和一180°的相位差。輸出單元以對應於一該第一電壓與該第二電壓間之差的一電壓來充電該電容器。

15 依據本發明之另一層面，提供一種顯示器裝置，其包括一面板單元具有像素和連接至該像素之信號線，以及具有多數個級之一移位暫存器，其與多數個時鐘信號同步地連續產生輸出信號並施加該產生之輸出信號至該信號線，其中該每一級包含：一輸入單元用以接收來自前一級之一
20 掃描開始信號或一輸出信號，並輸出該掃描開始信號或該輸出信號作為一第一電壓，用以傳遞至少兩個時鐘信號之一第一單元，一第二單元用以響應於來自下一級之一輸出信號輸出該至少兩個時鐘信號或一第二電壓其中至少一者，以及用來響應於該輸入單元和該第二單元之該輸出而

與該等至少兩個時鐘信號其中至少一者同步地產生一輸出信號的一輸出單元。

各級具有一設定端子、一重設端子、一閘極電壓端子、及第一和第二時鐘端子，以及其中該輸入單元包括連接於該設定端子與一第一接點間之一第一二極體，其中該第一單元包含：連接於該第一時鐘端子與一第二接點間之一第二二極體；以及連接於該第二時鐘端子與一第三接點間之一第三二極體。另外，各級可具有一設定端子，一重設端子，一閘極電壓端子，一輸出端子，和第一和第二時鐘端子，其中該輸入單元被連接於該設定端子與一第一接點之間且包括具有連接至該設定端子之一控制端子的一第一開關元件，其中該第一單元包含：連接於該第一時鐘端子與一第二接點間之一第二開關元件；以及連接於該第二時鐘端子與一第三接點間之一第三開關元件，其中該第二開關元件之一控制端子被連接至該第一時鐘端子，以及該第三開關元件之一控制端子被連接至該第二時鐘端子，其中該第二單元包含：互相並聯連接於該第一接點與該閘極電壓端子之間的第四和第五開關元件；互相並聯連接於該第二接點與該閘極電壓端子之間的第六和第七開關元件；以及連接於該第三接點與該閘極電壓端子之間的一第八開關元件，其中該第四和第五開關元件之控制端子分別被連接至該重設端子與該第二接點，以及該第六、第七、和第八開關元件之控制端子分別被連接至該第一接點、該第二時鐘端子、以及該第一時鐘端子，其中該輸出單元包含：連接

於該第一時鐘端子與該輸出端子間之一第九開關元件；互相並聯連接於該輸出端子與該閘極電壓端子間之第十和第十一開關元件；以及連接於該第一接點與該輸出端子間之一電容器，以及其中該第九、第十、和第十一開關元件之
5 控制端子分別被連接至該第一、第二、和第三接點。

另外，第一到第十一開關元件係由一非晶形矽酸鹽所構成，以及移位暫存器可被積設於該面板單元中。移位暫存器可包括第一和第二移位暫存器單元，而其中該第一移位暫存器單元包括多數個第一級連接至奇數號信號線，以
10 及該第二移位暫存器單元包括多數個第二級連接至偶數號信號線。

再者，除了第一和最後一級以外的每一第一級被連接至前一和下一第一級，以及該除了第一和最後一級以外之每一第二級被連接至前一和下一第二級。一第一開始信號
15 可被輸入到該第一暫存器單元之該第一級，而一第二開始信號被輸入到該第二暫存器單元之該第一級。

多數個時鐘信號可包括第一和第二時鐘信號輸入到該第一暫存器單元和第三和第四時鐘信號輸入到該第二暫存器單元，及其中該第一、第三、第二、和第四時鐘信號具
20 有一25%的工作比和一90°的相位差。另外，顯示器裝置可為一液晶顯示器。

當移位暫存器單元恰包括一第一移位暫存器單元時，多數個時鐘信號包括包括輸入到該第一暫存器單元之第一和第二時鐘信號，該第一和第二時鐘信號具有一50%的工

作比和 -180° 相位差。輸出單元以對應於一該第一電壓和該第二電壓間差之一電壓充電該電容器。

依據本發明之又另一層面，係提供配置於第一和第二行之一對移位暫存器，該第一和第二行包括連接至一面板單元之閘極線、和接收第一和第二開始信號、第一到第四時鐘信號、及一閘極斷開電壓的第一組級與第二組級，其中該每一級包含：連接至一設定端子以接收來自前一級之該開始信號或一輸出其中一者、及輸出一第一電壓到一第一接點的一輸入單元；連接至第一和第二時鐘端子以傳遞兩個該第一到第四時鐘信號其中兩者之一第一單元，其中該兩個時鐘信號分別具有第一和第二電壓位準；連接至一重設端子以接收來自下一級之一輸出，並用以輸出該兩個被傳遞時鐘信號或一第二電壓之至少其中一者至第二和第三接點的一第二單元；以及連接至一閘極斷開電壓端子以依據該第一、第二、和第三接點之該等電壓接收該閘極斷開電壓、並與該等兩個時鐘信號之其中至少一者同步地輸出一信號的一輸出單元。

在該級與該第一或第二時鐘信號同步地產生該輸出信號其中一者時，該前一和下一級分別與該第三或第四時鐘信號同步地產生一輸出信號。

圖式簡單說明

前述與本發明其他特徵將個藉由下列對實施例之更詳細的描述，同時參考附圖而為人所瞭解，其中：

第1圖係顯示依據本發明之一範例實施例之一液晶顯

示器裝置的一概視圖；

第2圖係顯示依據本發明一範例實施例之一液晶顯示器裝置的一方塊圖；

第3圖係顯示依據本發明之一範例實施例之一液晶顯示器裝置之一像素的一等效電路圖；

第4圖係顯示依據本發明之一範例實施例之一閘極驅動器之一方塊圖；

第5圖係一電路圖顯示第4圖所示閘極驅動器之一移位暫存器之一第j級；

第6和7圖係第4圖所示閘極驅動器之信號波形；

第8圖係顯示在一閘極線和一共電壓間之寄生電容之一圖；以及

第9圖係用來比較依據本發明之一範例實施例之一移位暫存器之一波形與一傳統波形的一圖。

15 **【實施方式】**

較佳實施例之詳細說明

后文中，本發明之範例實施例將參考附圖詳細的說明。

第1圖係顯示依據本發明之一範例實施例之一液晶顯示器裝置的一概視圖，第2圖係顯示依據本發明一範例實施例之一液晶顯示器裝置的一方塊圖，而第3圖係顯示依據本發明之一實施例之一液晶顯示器裝置之一像素的一等效電路圖。

參考第1圖，顯示器裝置包括一主面板單元300M、一次要面板單元300S、附接到主面板單元300M之一可撓性印

刷電路（FPC）薄膜650、附接於主面板單元300M和次要面板單元300S間之一輔助FPC680、以及安裝在顯示器面板單元300M上之一整合晶片700。

FPC650係附接到主面板單元300M之一側。FPC650中備具一開始的部分690，用以在FPC650以一組合狀態摺疊時暴露一部份主面板單元300M。在開始的部分690下有被輸入外部信號之一輸入單元660。另外，有多數個信號線（未示）供輸入單元660與整合晶片700間電氣連接，而整合晶片700與主面板單元300M間電氣連接。FPC650中，信號線包括設置於其本身端部之墊（圖未示出），用來連接FPC650到主面板單元300M之整合晶片700。

輔助FPC680係附接於主面板單元300M之另一側與次要面板單元300S之一側之間，以及包括用於電氣連接於整合晶片700和次要面板單元300S之間的信號線SL3和DL。

各面板單元300M和300S包括構成螢幕和周邊區域320M和320S之顯示器區域310M和310S。周邊區域320M和320S具有習知為一黑矩陣（未示）之光遮蔽層。FPC650和輔助FPC680分別被附接到周邊區域320M和320S。

如第2圖所示，各面板單元300M和300S（顯示以液晶面板單元300）被連接至包括多數個閘極線G1到G2n和多數個資料線D1到Dm之多數個顯示器信號線，以及包括實質上安排成一矩陣之多數個像素PX。另外，各面板單元300M和300S包括用來供應信號至閘極線G1到G2n之閘極驅動器400L和400R。大多數像素PX和顯示器信號線G1到G2n、D1

到Dm係佈置於顯示器區域310M和310S中，以及閘極驅動器400RM和400LM和400S分別被配置於周邊區域320M和320S。周邊區域320M和320S配佈有較顯示器區域310M和310S寬的閘極驅動器400RM、400LM、以及400S。

5 另外，如第1圖所示，主面板單元300M之一些資料線D1到Dm透過輔助FPC680被接至次要面板單元300S。例如，兩個面板單元300M和300S共用一些資料線D1到Dm，其在第1圖中以信號線DL表示。

如第3圖所示，由於（面板300）的一較高面板200小於一較低面板100，較低面板100之一些區域暴露在外，而資料線D1到Dm延伸到連接至一資料驅動器500之暴露區域。另外，閘極線G1到G2n延伸到被覆蓋之周邊區域320M和320S以連接至閘極驅動器400RM，400LM，以及400S一區域。

15 顯示器信號線G1至Gn和D1到Dm，包括配置以連接FPC650和680和面板單元300M和300S之墊（未示），係藉由利用各向異性導體薄膜（未示）而電連接。

各像素PX，例如，連接至第i閘極線Gi（ $i=1,2,\dots,n$ ）和第j資料線Dj（ $j=1,2,\dots,m$ ）之像素，包括連接至信號線Gi和Dj之一開關元件Q，連接至開關元件Q之一LC電容器CLC，以及一儲存電容器CST。若無必要的話，儲存電容器CST可被省略。

開關元件Q係配置於較低面板100上之一種三端子裝置。開關元件Q之控制與輸入端子分別被連接至閘極與資料

線Gi和Dj，以及開關元件Q之一輸出端子連接至LC電容器CLC和儲存電容器CST。

LC電容器 C_{LC} 之端子被連接至較低面板100之一像素電極191與較高面板200之一共電極270。液晶層3插入於兩個電極191和270間做為一電介質元件。像素電極191被連接至開關元件Q，以及共電極270覆蓋較高面板200之整個表面以接收一共電壓Vcom。不若第3圖中所示，共電極270可佈置於較低面板100上，以及在這樣的例子中，兩個電極191和270至少其中一者可為一線形或條形。

10 儲存電容器CST具有藉由重疊像素電極191與較低面板100所具之一個別的信號線（未示）並在其之間插入一隔絕部件構成的一LC電容器CLC輔助功能，且例如共電壓Vcom之一預定電壓被供至個別的信號線。另可選擇地，儲存電容器CST可由重疊像素電極191與佈設於其下之一先
15 前閘極線、和在其等之間插入之一隔絕構件所構成。

為實施色彩顯示，各像素PX唯顯示其中一原色（例如，空間劃分），或各像素PX依據時間（例如，時間劃分）交替地顯示器原色。可藉由原色之一空間或時間劃分而獲得一理想色彩。原色的範例係三原色，例如紅、綠、藍。

20 第3圖顯示一空間劃分之範例。如第3圖所示，各像素PX包括用以呈現其中一原色之一色彩過濾器230，其具有對應於像素電極191之一區域的較高面板200。不若第3圖所示，色彩過濾器230可高於或低於較低面板100之像素電極191。

用來極化光的至少一極化器（未示）被附接到液晶面板單元300之一外表面。

現在參考第2圖，一灰電壓產生器800產生兩對與一像素PX通透率有關之灰電壓或參考灰電壓。兩對之一具有一
5 正值參考共電壓Vcom，另一具有一負值參考共電壓Vcom。

閘極驅動器400RM、400LM、以及400S被連接至閘極線G1到G2n以依據一閘極導通電壓 V_{on} 來導通開關元件Q和一閘極斷開電壓 V_{off} 來截止開關元件Q與閘極線G1到G2n而
施加閘極信號。在此，閘極驅動器400RM、400LM、以及
10 400S利用相同的製程被形成並與像素PX之開關元件Q積設在一起，且分別經由信號線SL1、SL2、以及信號線SL3連接至整合晶片700。閘極驅動器400S可被配置於次要面板300S之右側。

資料驅動器500被連接至液晶面板單元300之資料線D1
15 到Dm以選擇從灰電壓產生器800傳送的灰電壓，並施加選定灰電壓為一資料信號至資料線D1到Dm。然而，當灰電壓產生器800提供不與所有的灰相關但與一預定數量的灰之一參考灰電壓相關時，資料驅動器500分配參考灰電壓以產生用於所有的灰的灰電壓，並選擇產生灰電壓間之資料信
20 號。

一信號控制器600就中控制閘極驅動器400R和400L，資料驅動器500。

整合晶片700經由供給輸入單元660和FPC650之號線接收外部信號，並經由供至主面板單元300M之周邊區域

320M和輔助FPC680之供給信號線施加處理信號到主面板單元300M和次要面板單元300S以控制這些構件。整合晶片700包括灰電壓產生器800，資料驅動器500，以及信號控制器600。

5 現將說明顯示器裝置之一操作。

如所示，例如，在第2圖中，信號控制器600被供應以影像信號R、G、B、及輸入控制信號。輸入控制信號，其自一外部圖形控制器（未示）被接收，包括，例如，一垂直同步化信號Vsync、一水平同步化信號Hsync、一主時鐘
10 MCLK、以及一資料致能信號DE。在產生閘極控制信號CONT1和資料控制信號CONT2和為面板單元300處理影像信號R、G、和B後，響應於輸入控制信號，信號控制器600提供用於閘極驅動器400R和400L之閘極控制信號CONT1、以及處理影像信號DAT、和資料控制信號CONT2
15 給資料驅動器500。

閘極控制信號CONT1包括用以通知閘極驅動器400L和400R開始一圖框之一垂直同步化開始信號TV、用於同步化閘極導通電壓 V_{on} 之時序之一閘極時鐘信號CPV，以及控制閘極導通電壓 V_{on} 持續期間之一輸出致能信號OE。

20 資料控制信號CONT2包括用以通知資料驅動器500一水平週期之開始的一水平同步化開始信號TH、用於指示資料驅動器500施加適當資料電壓於資料線D1-Dm之一負載信號LOAD或TP、以及一資料時鐘信號HCLK。資料控制信號CONT2更可包括與於接收資料電壓之極性之一反向控制

信號RVS（有關共電壓Vcom）。

資料驅動器500接收來自信號控制器600用於一像素列之處理影像信號DAT，以及響應於來自信號控制器600將處理影像信號DAT轉成類比資料電壓之資料控制信號CONT2。類比資料電壓位置由灰電壓產生器800供應的灰電壓選擇。

響應於來自信號控制器600之閘極控制信號CONT1，閘極驅動器400R和400L施加閘極導通電壓 V_{on} 到閘極線G1-G2n，藉此導通連接至閘極線G1-G2n之開關元件Q。

資料驅動器500施加資料電壓到對應資料線D1-Dm持續一段「一水平週期」或「1H」之期間。此持續期間等於一信號週期，例如水平同步化信號Hsync、資料致能信號DE、以及閘極時鐘信號CPV，循環的持續期間。資料電壓接著被供給對應像素經由導通開關元件Q。

施於一像素之資料電壓與共電壓Vcom間之差顯然為LC電容器CLC之一充電電壓，例如，一像素電壓。液晶分子依據像素電壓大小而具有定向，這些定向判定通過LC電容器CLC之光極化。極化器將光極化成光通透性。

藉對各閘極線反覆前述程序，所有的閘極線G1-G2n在一圖框期間被連續供以閘極導通電壓 V_{on} ，藉此施加資料電壓到所有的像素。當一圖框結束而次一圖框開始時，反向控制信號RVS被供應資料驅動器500，使得用於次一圖框之資料電壓之極性被反相（此稱為圖框反相）。另可選擇地，反向控制信號RVS可被控制，使得一圖框內之資料電壓之

極性針對每一列被反相（此稱為列反相）。另外，資料電壓之極性可針對每一行反相行（此稱為行反相）。

現在將參考第4-9圖說明依據本發明之另一實施例之一顯示器裝置。

5 第4圖係顯示依據本發明之一實施例的閘極驅動器之一方塊圖。第5圖係顯示第4圖所示閘極驅動器之一移位暫存器之一第j級之一電路圖，以及第6和7圖為第4圖所示閘極驅動器之信號的波形。

如第4圖所示，閘極驅動器400L和400R被配置於左、
10 右兩欄而構成移位暫存器，其包括分別連接至閘極線G1到G2n、第一和第二垂直同步化開始信號LSTV和RSTV、第一到第四時鐘信號LCLK1、RCLK1、LCLK2、以及RCLK2，以及一閘極斷開電壓 V_{off} 之多級410L和410R。

各級410L和410R包括一設定端子S，一重設端子R，一
15 閘極電壓端子GV，一輸出端子OUT，和第一和第二時鐘端子CK1和CK2。

級410L和410R與像素PX之一開關元件Q一起形成並積設於同一基體上。連接至奇數號閘極線G1、G3、...、以及G2n-1之奇數號級ST1、ST3、...、以及ST(2n-1)被配置
20 於左移位暫存器400L，而連接至偶數號閘極線G2、G4、...、以及G2n之偶數號級ST2、ST4、...、以及ST2n被配置於右移位暫存器400R。

各級410L和410R中，例如，前一級ST(j-2)之一閘極輸出一第j級STj，換言之，一前一級閘極輸出Gout(j-2)

被輸入到其一設定端子S，下一級ST(j+2)之一閘極輸出，換言之，一下一級閘極輸出Gout(j+2)被輸入到其重設端子R，而第一和第三時鐘信號LCLK1和LCLK2被輸入到其時鐘端子CK1和CK2。輸出端子OUT傳送閘極輸出Gout(j)至閘極線G1、G3、...、以及G(2n-1)和前一和下一級410L。可備具用以傳送一負載信號輸出至前一和下一級之一個別的輸出端子，以及可備具用以連接至輸出端子OUT之一緩充器。

總括，各級410L和410R根據前一級閘極輸出Gout(j-2)和下一級閘極輸出Gout(j+2)而與時鐘信號LCLK1，RCLK1，LCLK2，以及RCLK2同步地產生一閘極輸出。

此處，垂直同步化開始信號LSTV和RSTV被輸入到移位暫存器400L和400R之第一級ST1和ST2來替代前一級閘極輸出。輸入到左移位暫存器400L之第一垂直同步化開始信號LSTV和輸入到右移位暫存器400R之第二垂直同步化開始信號RSTV乃1-圖框-週期信號，其包括具有一1H寬圖框之多數個脈波之其中之一者。第二垂直同步化開始信號RSTV係一信號，其從第一垂直同步化開始信號LSTV被延遲1H。第一到第四時鐘信號LCLK1、RCLK1、LCLK2、以及RCLK2具有一25%的工作比與一4H的週期、以及相鄰時鐘信號間的一90°相位差。

此時，當第一和第三時鐘信號LCLK1和LCLK2分別被輸入到第j級ST(j)之時鐘端子CK1和CK2時，第三和第一時鐘信號LCLK2和LCLK1分別被輸入到相鄰的第(j-2)和

第(j+2)級：ST(j-2)和ST(j+2)之時鐘端子CK1和CK2。

為驅動像素PX之開關元件Q，各時鐘信號LCLK1、RCLK1、LCLK2、以及RCLK2具有分別等於開極導通和開極斷開電壓 V_{on} 和 V_{off} 之高、低電壓位準。

- 5 參考第5圖，開極驅動器400R和400L之各級，例如，第j級，包括一輸入單元420，一上拉驅動器430，一下拉驅動器440、以及一開極和負載輸出單元450。這些構件由至少一NMOS電晶體T1至T11和一電容器C所構成。另可選擇地，可使用PMOS電晶體。另外，電容器C可為在一製程中
- 10 形成於一開極和源/汲極間之一寄生電容。

為便於描述，對應於時鐘信號LCLK1，RCLK1，LCLK2，以及RCLK2之高位準的電壓稱為一高電壓，而對應於時鐘信號LCLK1，RCLK1，LCLK2，以及RCLK2之低位準電壓稱為一低電壓，其大小等於開極斷開電壓 V_{off} 。

- 15 輸入單元420包括連接至設定端子S之一電晶體T2，而電晶體T2之輸入與控制端子共同連接至設定端子S以作為一二極體和輸出高電壓至一接點J1。

- 上拉驅動器430包括兩個電晶體T9和T10，其輸入與控制端子共同連接至各時鐘端子CK1和CK2。電晶體T9和T10
- 20 亦作為分別至接點J2和J3之二極體和輸出高電壓。

下拉驅動器440包括電晶體T3、T4、T7、T8、以及T11，其輸出低電壓到接點J1、J2、以及J3。電晶體T3之一控制端子被連接至重設端子R，而電晶體T4之一控制端子被連接至接點J2。電晶體T7，T8，以及T11之控制端子分別被連接

至接點J1、第二時鐘端子CK2、和第一時鐘端子CK1。

輸出單元450包括電晶體T1，T5，以及T6和一電容器C，其被連接在第一時鐘端子CK1和閘極斷開電壓端子GV之間，以依據接點J1、J2、以及J3之電壓選擇性地輸出第一時鐘信號LCLK1和低電壓。電晶體T1之控制端子被連接至接點J1並經由電容器C1相連到輸出端子OUT。電晶體T5之一控制端子被連接至接點J2，以及電晶體T6之一控制端子T6被連接至接點J3。兩個電晶體T5和T6之接點J2和J3被連接至輸出端子OUT。

第5圖之移位暫存器之第j級之一操作將參考第6和7圖說明。

當第j級STj同步地產生閘極輸出與第一時鐘信號LCLK1，前一和下一級ST(j-2)和ST(j+2)同步地產生閘極輸出與第三時鐘信號LCLK2。

若第三時鐘信號LCLK2和前一級閘極輸出Gout(j-2)變高，電晶體T2，T8，以及T10被導通。電晶體T2傳送高電壓至接點J1以導通兩個電晶體T1和T7，以及電晶體T10傳送高電壓至接點J3以導通電晶體T6。因此，兩個電晶體T7和T8傳送低電壓至接點J2，而電晶體T6傳送低電壓至輸出端子OUT。另外，電晶體T1被導通，使得第一時鐘信號LCLK1被輸出到輸出端子OUT。此時，由於第一時鐘信號LCLK1具有一低電壓，閘極再次輸出Gout(j)變低電壓。同時，電容器C係以對應於高低電壓間之差的一電壓充電。

此時，由於下一級閘極輸出Gout(j+2)很低，重設端

子R之輸入也很低。因此，控制端子被連接至重設端子R和接點J2之電晶體T3，T4，以及T5呈一截止狀態。

若前一級閘極輸出Gout (j-2) 和第三時鐘信號LCLK2變較低，接點J1與設定端子S中斷連接，由此形成一浮動狀態並維持高電壓。由於第一時鐘信號LCLK1仍很低，閘極輸出Gout (j) 也被維持為低。此時，接點J3與第三時鐘信號LCLK2中斷連接，由此形成一浮動狀態。因此，如第6圖所示，先前電壓(亦即高電壓)被維持。

若第一時鐘信號LCLK1變高，兩個電晶體T9和T11被導通。此狀態下，兩個電晶體T9和T7在第一時鐘信號LCLK1和閘極斷開電壓 V_{off} 間互相串聯。接點J2之電位係根據導通兩個電晶體T9和T7時之一電阻值判定。另外，導通電晶體T7時之電阻為低，以截止控制端子被連接至接觸端子J2的電晶體T4和T5。另外，低電壓透過導通電晶體T11傳送，使得接點J3變低，而控制端子被連接至接點J3之電晶體T6被截止。因此，輸出端子OUT僅被連接至第一時鐘信號LCLK1而與閘極斷開電壓 V_{off} 中斷連接以輸出高電壓。另一方面，電容器C一端點的電位，換言之，接點J1，被高電壓提高。然而第6圖所示電壓係等於前一電壓：被高電壓提升的實際電壓。

若第一時鐘信號LCLK1變低，電晶體T9和T11被截止，以及接點J2和J3呈一浮動狀態使得先前電壓被維持。由於接點J1亦呈一浮動狀態，先前電壓被維持，而電晶體T1被維持在一導通狀態，使得輸出端子OUT輸出第一時鐘信

號LCLK1，換言之，一低位準。

另外，由於第三時鐘信號LCLK2也很低，電晶體T8被維持在一截止狀態下。

若下一級開極輸出Gout(j+2)變高，電晶體T3被導通，
5 使得低電壓被傳送到接點J1。因此，電晶體T1被截止，使得輸出端子OUT與第一時鐘信號LCLK1中斷連接。

同時，第三時鐘信號LCLK2變高，使得電晶體T10被導通，以及高電壓被傳送到接點J3。因此，電晶體T6被導通，以及輸出端子OUT被連接至開極斷開電壓 V_{off} 使得輸出端
10 子OUT接連地輸出低電壓。另外，由於接點J2係呈一浮動狀態，先前電壓，即低電壓，被維持。

若下一級開極輸出Gout(j+2)和第三時鐘信號LCLK2變較低，所有的接點J1到J3係呈一浮動狀態，使得先前電壓被維持。

15 總括，當前一級開極輸出Gout(j-2)時接點J1之電位變高變高，且被維持在高電壓一段時間區間4H，直到下一級開極輸出Gout(j+2)變高。當第三時鐘信號LCLK1為高時，接點J2之電壓變成低電壓，而在下一級開極輸出Gout(j+2)變高而第一時鐘信號LCLK1變高後，接點J2之電壓
20 再次變高電壓。接點J2接著交替地與第一時鐘信號LCLK1和開極斷開電壓 V_{off} 連接和中斷，使得高低電壓交替地保持一段時間區間2H。接點J3之電位分別依據第一和第三時鐘信號LCLK1和LCLK2被交替維持為高和低電壓一段時間區間。

如第6圖所示，接點J2和J3之電位在一時間區間類具有具 180° 相位差的交替波形，該段時間不包括產生閘極輸出 $G_{out}(j-1)$ 、 $G_{out}j$ 、及 $G_{out}(j+2)$ 之時間。因此，在時間區間內接點J2係高電壓，控制端子被連接至接點J2之兩個電晶體T4和T5傳送低電壓到接點J1和輸出端子OUT，且在時間區間內，當接點J3係高電壓時，控制端子被連接至接點J3之電晶體T6傳送低電壓到輸出端子OUT。

因此，在不包括閘極輸出 $G_{out}(j)$ 產生時的一時間區間，輸出端子OUT總是連接至閘極斷開電壓 V_{off} 以輸出低電壓。換言之，閘極線G1到G2n不呈一浮動狀態，但閘極線G1到G2n總是連接至一定電壓。因此，如第8圖所示，例如第j閘極線Gj和共電壓Vcom之間寄生電容Cp造成的一耦合效應可由此一穩定閘極輸出被最小化。

第9圖係用來比較依據本發明之一範例實施例利用七個電晶體之一移位暫存器之一波形與一傳統波形的一圖。第9圖中，以周期c表示的一波形顯示寄生電容Cp造成的耦合程度。如所見，閘極輸出具有比閘極輸出b較低之耦合程度。這是因為如第6圖所示之兩個接點J2和J3的其中一電位被維持在高電壓，使得輸出端子之電壓總是很低，即使在時鐘信號LCLK1和LCLK2都很低時。

如前述，參考本發明之一實施例，由於一AC電壓被供至電晶體T4，T5，以及T6，電晶體可避免被惡化。

本發明之另一實施例中，可備俱具有與輸出單元450相同結構、且連接在第一時鐘信號LCLK1和閘極電壓端子

GV之間以進行輸出到前一和下一級之一負載輸出單元可。

另外，雖然所示為佈置在顯示器面板單元300的兩側雙
閘極驅動器，本發明之一實施例可被供為佈置在顯示器面
板單元300之一側之一單一閘極驅動器。單一閘極驅動器之
5 結構可藉設定工作比和兩個時鐘信號之相位差實施，例
如，分別設定時鐘信號LCLK1和LCLK2為50%和180°。

因此，依據本發明之一實施例，提供電晶體T9和T10
作為控制端子被連接至時鐘信號LCLK1和LCLK2之二極體
和電晶體T8和T11，以使耦合效應最小化，並產生一穩定閘
10 極輸出，即使時鐘信號LCLK1和LCLK2或時鐘信號RCLK1
和RCLK2很低。

儘管本說明書已詳細說明了本發明之範例實施例，熟
於此技術領域者理應瞭解形式與細節上的種種變化不致多
離本發明之精神，而其將由後附申請專利範圍定之。

15 【圖式簡單說明】

第1圖係顯示依據本發明之一範例實施例之一液晶顯
示器裝置的一概視圖；

第2圖係顯示依據本發明一範例實施例之一液晶顯示
器裝置的一方塊圖；

20 第3圖係顯示依據本發明之一範例實施例的一液晶顯
示器裝置之一像素的一等效電路圖；

第4圖係顯示依據本發明之一範例實施例的一閘極驅

動器之一方塊圖；

第5圖係一電路圖顯示第4圖所示閘極驅動器之一移位暫存器之一第j級；

第6和7圖係第4圖所示閘極驅動器之信號波形；

5 第8圖係顯示在一閘極線和一共電壓間之寄生電容之一圖；以及

第9圖係用來比較依據本發明之一範例實施例之一移位暫存器之一波形與一傳統波形的一圖。

【主要元件符號說明】

3：液晶層	450：閘極和負載輸出單元
100：較低面板	500：資料驅動器
200：較高面板	600：信號控制器
191：像素電極	650：可撓性印刷電路薄膜
230：色彩過濾器	660：輸入單元
270：共電極	680：輔助可撓性印刷電路薄膜
300：面板總成	690：開始的部分
400、400RM、400LM、400S：閘極驅動器	700：整合晶片
420：輸入單元	800：灰電壓產生器
430：一上拉驅動器	R、G、B：輸入影像資料
440：一下拉驅動器	DE：資料致能信號
	MCLK：主時鐘

Hsync：水平同步化信號

DAT：處理影像資料

Vsync：垂直同步化信號

CLC：液晶電容器

CONT1：閘極控制信號

CST：儲存電容器

CONT2：資料控制信號

Q：開關元件

十、申請專利範圍：

1. 一種具有多數個級之移位暫存器，該等級與多數個時鐘信號同步地連續產生輸出信號，其中該等級各包含：

5 一設定端子、一重設端子、一閘極電壓端子、一輸出端子、和第一與第二時鐘端子；

用以接收一掃描開始信號或來自前一級之一輸出信號，並輸出該掃描開始信號或該輸出信號作為一第一電壓之一輸入單元；

用以傳遞至少兩個時鐘信號之一第一單元；

10 用以響應於來自下一級之一輸出信號輸出該等至少兩個時鐘信號中至少一者或一第二電壓的一第二單元；以及

15 用來響應於該輸入單元與該第二單元之輸出而產生與該等至少兩個時鐘信號之其中至少一者同步化之一輸出信號的一輸出單元，

其中該輸入單元係連接於該設定端子和一第一接點之間，且包括具有連接至該設定端子之一控制端子的一第一開關元件，

其中該第一單元包含：

20 連接於該第一時鐘端子與一第二接點間之一第二開關元件；以及

連接於該第二時鐘端子與一第三接點間之一第三開關元件，

其中該第二開關元件之一控制端子及一輸入端子

係連接至該第一時鐘端子，而該第三開關元件之一控制端子及一輸入端子係連接至該第二時鐘端子。

2. 如申請專利範圍第1項之移位暫存器，

其中該第二單元包含：

5 在該第一接點與該閘極電壓端子間互相並聯連接之第四和第五開關元件；

在該第二接點與該閘極電壓端子之間互相並聯連接的第六和第七開關元件；以及

10 連接於該第三接點與該閘極電壓端子間之一第八開關元件，

其中該等第四和第五開關元件之控制端子分別連接至該重設端子與該第二接點，而該等第六、第七、和第八開關元件之控制端子分別連接至該等第一接點、該第二時鐘端子、和該第一時鐘端子，

15 其中該輸出單元包含：

連接於該第一時鐘端子與該輸出端子間之一第九開關元件；

在該輸出端子與該閘極電壓端子間互相並聯連接之第十和第十一開關元件；以及

20 連接於該第一接點與該輸出端子間之一電容器，且

其中該等第九、第十、和第十一開關元件之控制端子分別連接至該等第一、第二、和第三接點。

3. 如申請專利範圍第2項之移位暫存器，其中該移位暫存器包括第一和第二移位暫存器單元，且

其中該第一移位暫存器單元包括連接至奇數號信號線之多數個第一級，而該第二移位暫存器單元包括連接至偶數號信號線之多數個第二級。

4. 如申請專利範圍第3項之移位暫存器，其中除了第一個和最後一個第一級之外，該等第一級各連接至前一個和下一個第一級，而除了第一個和最後一個第二級之外，該等第二級各連接至前一個和下一個第二級。

5. 如申請專利範圍第4項之移位暫存器，其中一第一開始信號被輸入到該第一暫存器單元之該第一個第一級，而一第二開始信號被輸入到該第二暫存器單元之該第一個第二級。

6. 如申請專利範圍第5項之移位暫存器，其中該等多個時鐘信號包括輸入到該第一暫存器單元之第一和第二時鐘信號、和輸入到該第二暫存器單元之第三和第四時鐘信號，以及

其中該等第一、第三、第二、和第四時鐘信號具有25%的一個工作比和90°度的一個相位差。

7. 如申請專利範圍第1項之移位暫存器，其中該移位暫存器單元包括一第一移位暫存器單元，

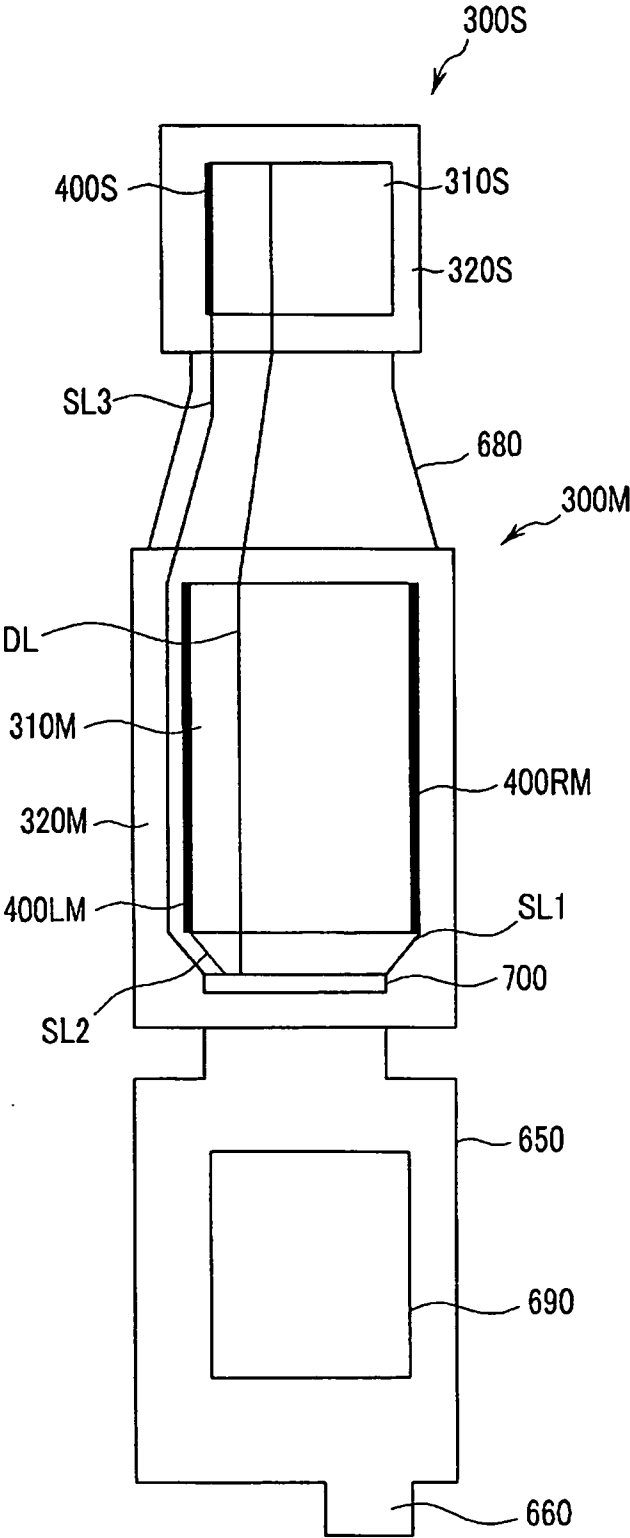
其中該等多個時鐘信號包括輸入到該第一暫存器單元之第一和第二時鐘信號，

其中該等第一和第二時鐘信號具有50%的一個工作比和180°的一個相位差。

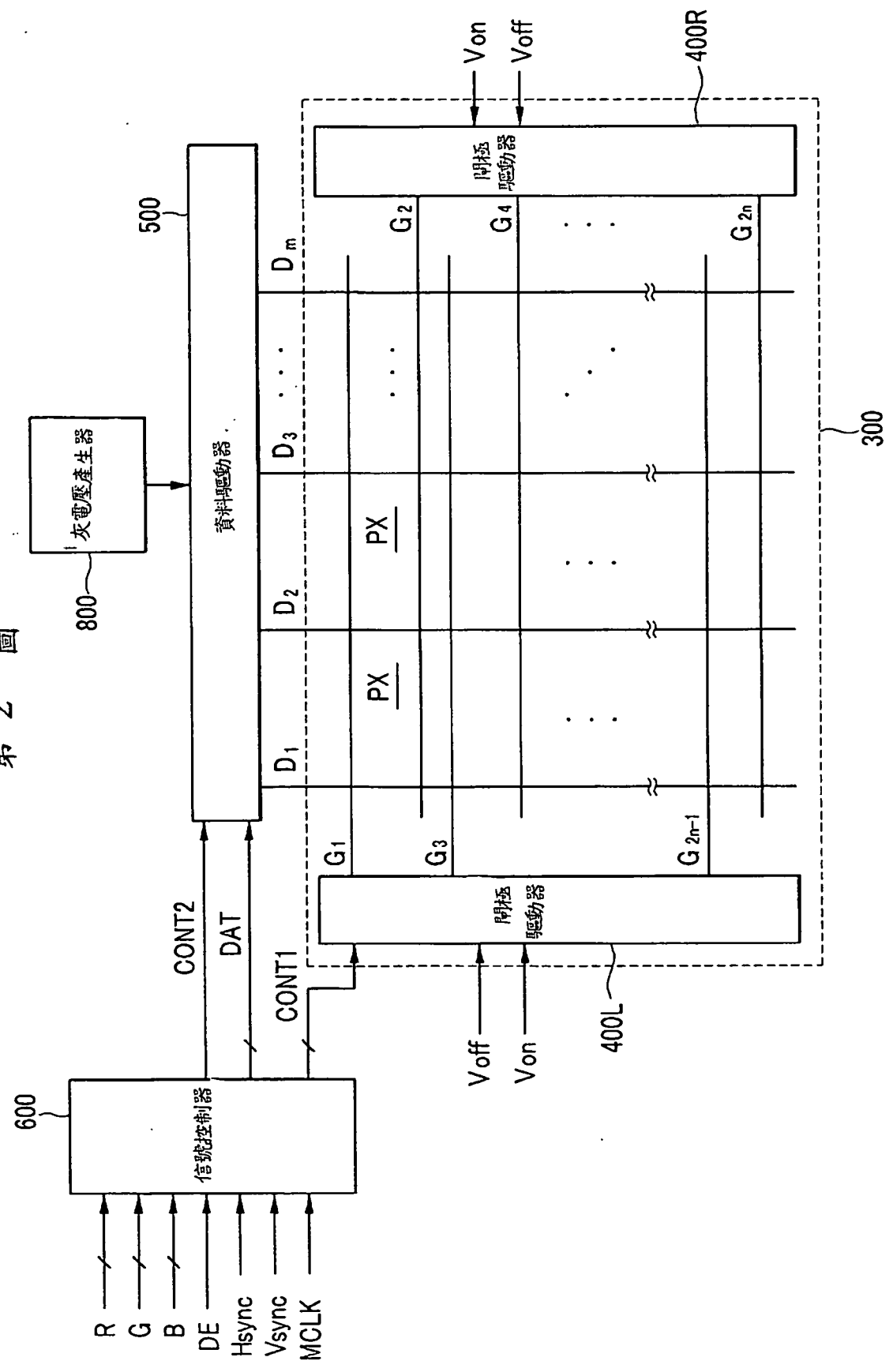
8. 如申請專利範圍第1項之移位暫存器，其中該輸出單元

以對應於該第一電壓與該第二電壓間之一差值的一電
壓來對該電容器充電。

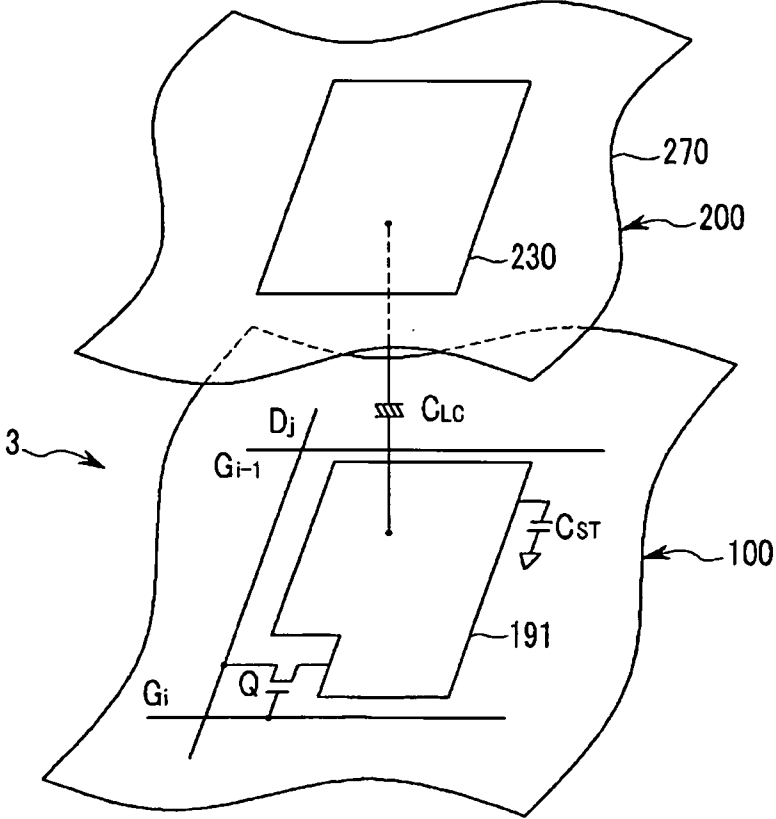
第 1 圖



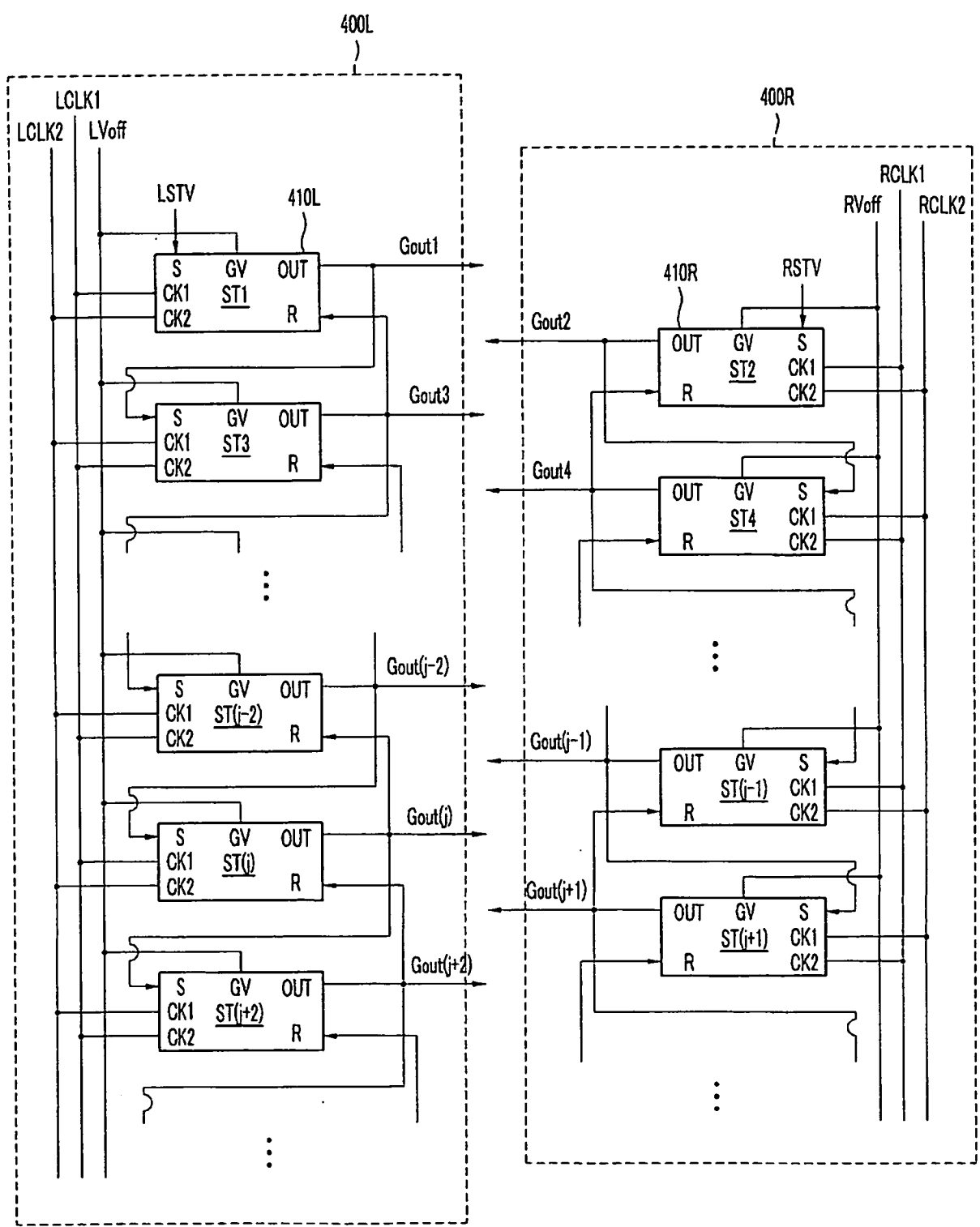
第 2 圖



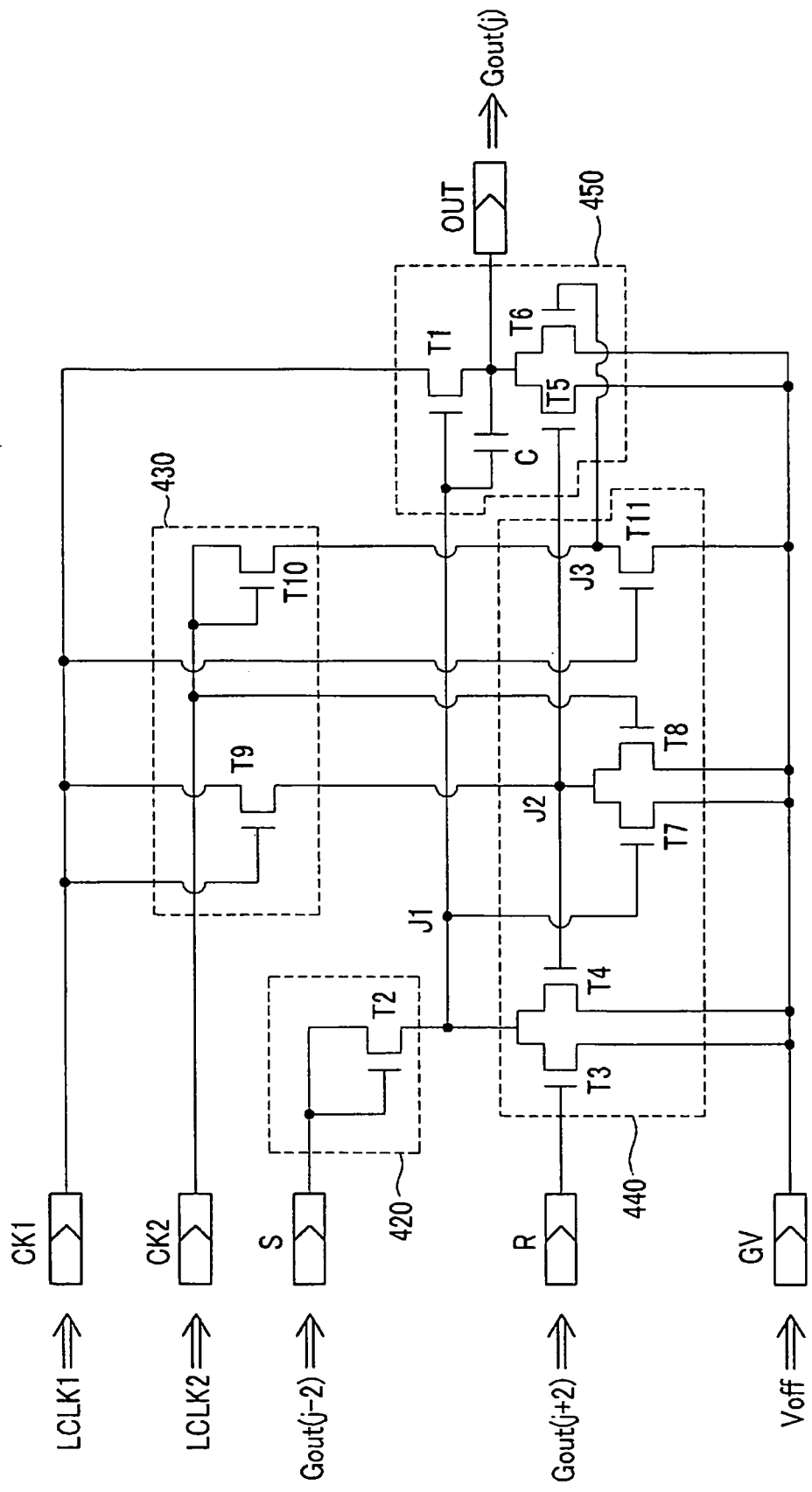
第 3 圖



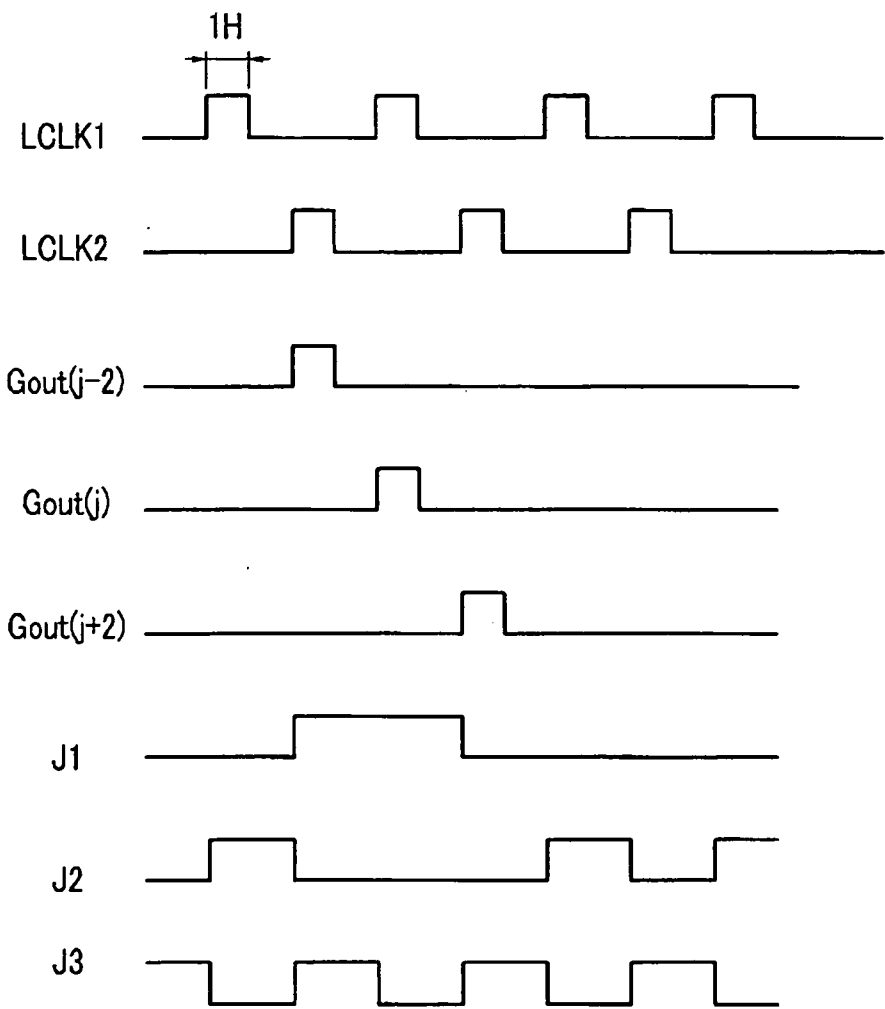
第 4 圖



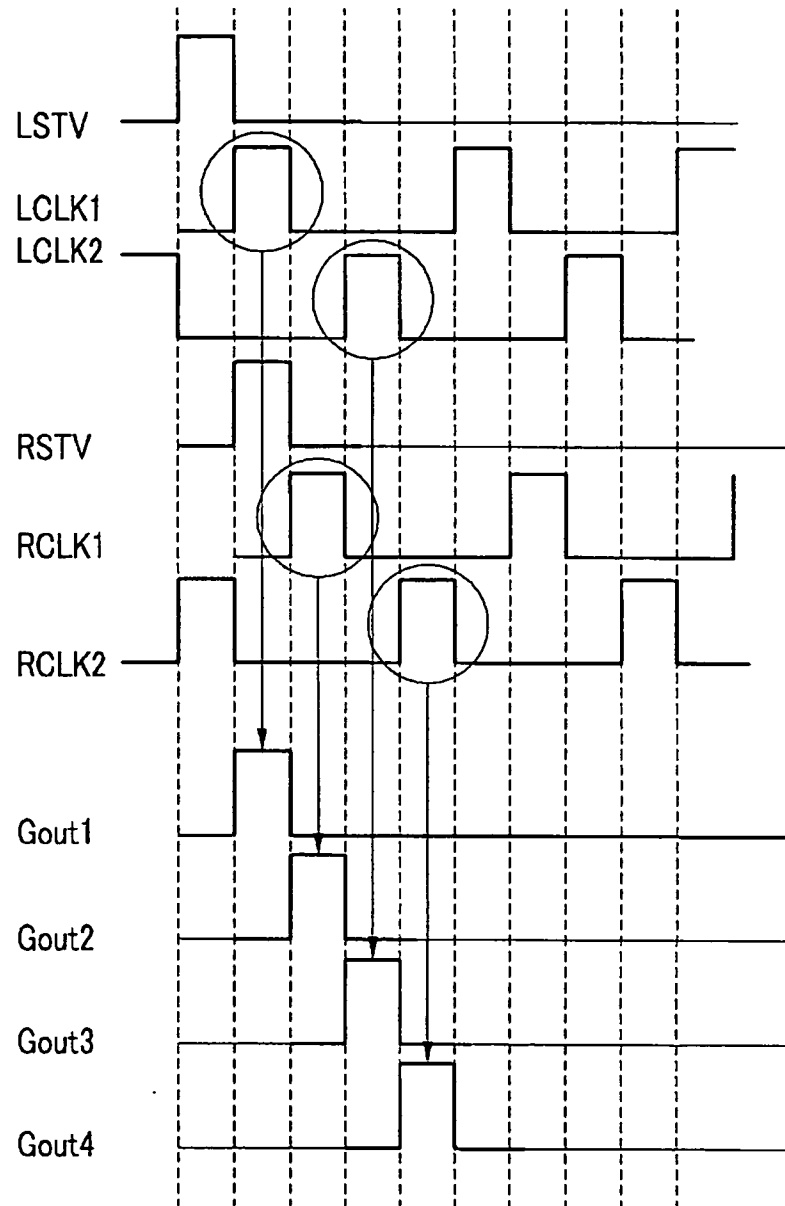
第 5 圖



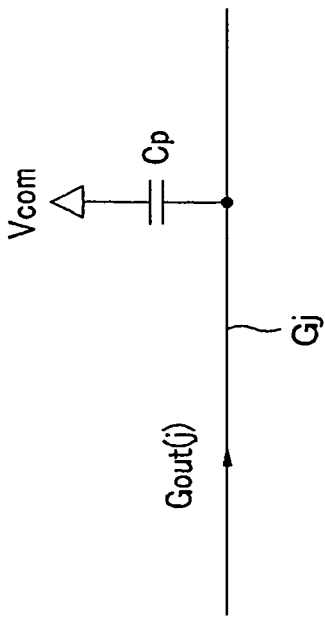
第 6 圖



第 7 圖



第 8 圖



第 9 圖

