

(19) 대한민국특허청(KR)
(12) 특허공보(B1)

(51) Int. Cl.⁶
G11C 7/00

(45) 공고일자 1995년 12월 05일
(11) 공고번호 특 1995-0014552

(21) 출원번호	특 1991-0010288	(65) 공개번호	특 1992-0003161
(22) 출원일자	1991년 06월 21일	(43) 공개일자	1992년 02월 29일
(30) 우선권 주장	555,960 1990년 07월 20일 미국(US)		
(71) 출원인	인터내셔널 비지네스 머신즈 코포레이션 하워드 지. 피거로아 1995년 12월 05일		
(72) 발명자	시우 쉐 찬 미합중국, 뉴욕 12603, 포우킵시, 셔턴 파크 로드 8 조셉 헨리 데이터리즈 2세 미합중국, 뉴욕 12590, 와핑거스 폴즈, 플레즌트 레인 24 탄-치로 미합중국, 뉴욕 12524, 피쉬킬, 이스트 샬렘 로드 7		
(74) 대리인	김창세, 김영, 장성구		

심사관 : 이해평 (특자공보 제4239호)

(54) 반도체 칩의 리커버리 제어 방법, 컴퓨터 메모리 시스템에서 데이터 기억 및 페치 시간 단축 방법 및 DRAM 반도체 칩에 대한 페치 시간 단축 방법

요약

내용 없음.

대표도

도 1

명세서

[발명의 명칭]

반도체 칩의 리커버리 제어 방법, 컴퓨터 메모리 시스템에서 데이터 기억 및 페치 시간 단축 방법 및 DRAM 반도체 칩에 대한 페치 시간 단축 방법.

[도면의 간단한 설명]

제1도는 동일한 어드레스 및 클럭신호를 수신하여, 각 칩 쿼드런트(quadrant)당 1 데이터 비트씩 병렬로 4 데이터 비트를 입/출력하는 4개의 동일 쿼드런트로 설계된 반도체 칩상의 회로를 도시한 블럭도로써, 각 쿼드런트는 리프레쉬가능한(refreshable) 기억장치용 DRAM과, 상기 칩에 대해 데이터 입/출력을 제공하기 위한 SRAM을 가진다.

제2도는 1개의 데이터 버퍼를 공용하는 144개의 칩으로 구성된 메모리 시스템을 설명하기 위한 도면.

제3도는 연속하는 페치 동작(fetch operations)의 데이터 출력 사이의 데이터 간격을 제로(0)로 하기 위한 본 발명의 구체적 실시예에 따른 메모리 제어신호의 파형을 도시한 파형도.

제4도는 연속하는 행(line) 페치 동작 사이에 시스템 버스상에서 커다란 데이터 갭이 필요한 종래 기술의 행 페치 동작예에 대한 메모리 제어신호의 파형을 도시한 파형도.

제5도는 본 발명의 바람직한 구체적 실시예의 각 칩에서 사용되는 동작 타이밍을 제어하기 위한 클럭 발생 회로의 블럭도.

제6도는 메모리에 있어서 행 페치와 후속하는 행 기억(store) 사이의 갭을 재료를 하기 위하여 본 발명을 사용하는 칩으로 구성된 메모리 시스템에 대한 특수 기억 버퍼링을 설명하기 위한 도면

제7도는 본 발명의 구체적 실시예에 의해 사용된 메모리 시스템과 메모리 컨트롤러(MC)의 접속관계 및 상기 MC내 구성요소를 도시한 블럭도.

제8도는 본 발명의 실시예에서 사용된 RAS 발생기를 도시한 블럭도.

* 도면의 주요 부분에 대한 부호의 설명

- 21 : DRAM
- 22 : 행 디코더 및 드라이버
- 23 : 어드레스 버퍼(AB)
- 24 : 센스 증폭기
- 26 : 부분형 더코더
- 27 : 에러 수정 회로(ECC)
- 28 : SRAM
- 31 : 클럭 발생기

[발명의 상세한 설명]

본 발명은 메모리 페치 시간을 단축하고, 페치 동작과 기억 동작에 필요한 메모리 동작 시간을 다르게 함으로써, 반도체 메모리 칩의 동작을 개선하며, 상기 반도체 칩으로 형성된 컴퓨터 메모리의 액세스 시간을 고속화할 수 있도록 한 메모리 페치 시간 단축 방법 및 장치에 관한 것이다. 본 발명은 메모리 페치 동작을 위한 메모리 이용을 현저하게 증대시키기 위해, 내부의 다이밍 제어회로를 수정하고, 반도체 메모리 칩용입/출력(I/O) 핀 수를 변화시킨다.

종래의 컴퓨터 시스템은 오래전부터 컴퓨터 메모리 외부에 레지스터 및 논리회로를 갖는 처리장치를 구비하여, 상기 처리장치가 메모리내에서 데이터의 페치(추출) 동작 및 스토아(기억) 동작을 수행하도록 되어있었다. 상기 처리장치는 메모리로부터 데이터를 페치하여, 그들의 데이터를 변경하고, 변경된 데이터를 메모리에 기억시키는데, 그 때 처리된 데이터가 기억되는 장소는 최초로 액세스한 것과 동일한 장소에 기억될수도 있지만, 처음과 다른 장소에 기억되는 경우도 종종 있다.

데이터의 페치 및 기억이 실행될 때, 상기 처리장치와 메모리 사이의 데이터 전송은 메모리 버스 및 출력제어장치에 의해 행해진다. 각 메모리 칩상의 입/출력(I/O) 핀은 회로 보드에 연결되어 어드레스 비트, 데이터 비트 및 제어 비트를 칩상의 I/O 핀으로 전송하기 위한 접속관계를 제공한다. 각 메모리 칩상의 I/O핀 수는 한정되어 있고, 그 때문에 칩과 칩 외부 회로와의 사이에서 동시에 전송할 수 있는 신호의 수도 제한된다.

종래의 경우 대부분의 컴퓨터 메모리는 현재 다이내믹 랜덤 액세스 메모리(dynamic random accessmemory)(DRAM) 반도체 칩으로 만들어져 있다. 통상의 컴퓨터 메모리는 DRAM 칩을 추가함으로써 회로기판에 탑재가능한 칩용량까지 확장할 수 있다. 스테이틱 RAM(SRAM) 칩도 메모리용으로 이용 가능하지만, 상기 SRAM 칩은 액세스 시간이 빠른 반면에, 메모리 비트 수가 적고, 소비전력이 크고 값도 비싸다. 종래의 컴퓨터 메모리는 흔히, 메모리의 사이즈를 변경하기 위하여 칩을 추가 또는 제거할 때, 그들의 스위치 설정이 변경되도록 하는 어드레스 제어 스위치를 갖는다.

종래의 컴퓨터 메모리에서 발견되는 반도체 칩은, 페치(판독)(read) 동작 및 기억(기입)(write) 동작에 대해 동일한 시간 주기를 사용한다. 최근 일부 메모리 칩은 칩내에서의 페치 동작과 기억 동작에 대해 동일한 클럭 시간 주기를 필요로 하는 인터록 회로(interlock circuit)를 내장하고 있다.

통상의 컴퓨터 메모리에서는, 각 칩이 기억된 데이터를 유지하기 위해 리프레쉬(refresh) 동작을 필요로 하는 대용량의 DRAM과, 칩과 외부와의 데이터 통신을 고속화하기 위한 소용량 버퍼 레지스터(small-capacity buffer register), 혹은 캐쉬(cache)를 내장한 칩이 사용되고 있다.

종래의 반도체 메모리 칩은 DRAM 어레이와 SRAM 어레이를 내장하고, 상기 SRAM 어레이는 비교적 높은 DRAM 어레이와 칩 외부의 비교적 빠른 데이터 버퍼 사이의 고속 인터페이스를 제공하였다.

Beausoleil 등에게 특허된 "집적형 계층적 2진 기억 소자(Integral Hierarchical Binary Element)"라는 명칭의 미합중국 특허 제3,740,723호는 2차원 어드레싱을 이용한 메모리 칩을 개시하고 있고, 이 메모리 칩에서는 2차원 어드레스 선택의 교점에 시프트 레지스터가 설치될 수도 있다. 이 특허는 메모리 칩내의 온-칩 캐쉬를 개시하고 있다.

표, IEEE 솔리드 스테이트 회로 저널(IEEE Journal of Solid-State Circuits), Vo1. SC-20, NO.5(1985년 10월), 914-923 페이지에는 H.L Kalter 등에 의한 논문이 발표되어 있다. 이 논문은 메모리 칩 및 메모리 스토아 양쪽의 액세스 시간을 단축하기 위한 DRAM/SRAM의 구성을 개시하고 있고, 본 발명은 상기 DRAM/SRAM의 구성에 의한 칩을 이용한 것이다. 그러나 상기 논문에 개시된 기술은 본 발명과 관계없이 사용될 수 있고, 동일 메모리에서 이용하여 고속화 기능을 수행할 수 있다.

IBM 기술 공개 공보 vo1.19, No.8,1977년 1월 3071 페이지에 F. J. Aichelma, Jr과 N. M. Dipilato 에 의해 발표된 "마이크로프로세서 수행능력 개선을 위한 계층 메모리(Hierarchy Memory for Improved Microprocessor Performance)"라는 명칭의 논문에서 페이지 기억 칩 계층이 개시되어 있다.

IBM 기술 공개 공보 vo1.26, No 12,1984년 5월 6473페이지에 R. C. Tong에 의해 발표된 "임의의 바이트 경계에서의 메모리 전송(Memory Transfer at Arbitrary Byte Boundaries)"이라는 명칭의 논문에는 메모리로 이루어지는 칩 외부에 1개 또는 2개의 시프트 레지스터를 사용하고, 상기 시프트 레지스터는 바이트내의 비트의 순서를 재정렬하고, 상기 순서가 재정렬된 바이트를 메모리에 기록함으로써, 메모리내의 바이트 기억 장소에서의 비트 순서를 재정렬하는 처리 기능을 실행시키는 것이 개시되어 있다.

Caudal 등에게 특허된 "메모리내에 데이터 시프트 기능을 가지는 마이크로컴퓨터(Microcomputer Having Data Shift Within Memory)"라는 명칭의 미합중국 특허 제4,491,910호와, Caudal 등에게 특허된 "메모리내에 데이터 워드 시프트용 데이터 이동회로를 가지는 마이크로컴퓨터(Microcomputer Having Data Move Circuits For Within Memory Shift-Memory Shift of Data Words)"라는 명칭의 미합중국특허 제4,586,131호는 동일 명세서를 가진다. 상기 특허 발명은 청구범위에 있어서 "메모리내의 전체 데이터 워드를 1개의 기억장소로부터 인접하는 어드레스를 갖는 다른 기억장소로 이동시키는 시프트 수단"이라고 개시하고 있다.

Dunki-Jacos에게 특허된 미합중국 특허 제4,641,276호는 소스 레지스터로 데이터를 병렬 전송하고,

상기 소스 레지스터로부터 데이터를 네스터네이션 레지스터로 직렬로 시프트하고, 그 후 상기 데이터를 다른기능 유닛으로 병렬로 전송하는 데이터 통신 방법 및 장치를 공개하고 있다.

Pinkham 등에게 특허된 미합중국 특허 제4,667,313호는 메모리 버스로부터 얻어진 비트 행을 액세스하기 위하여 시프트 레지스터내의 탭된 위치로 직렬로 액세스되는 시프트 레지스터를 사용한 것이 공개하고있다.

Lam 등에게 특허된 미합중국 특허 제4,731,758호는 동일한 칩상에 전송 게이트를 통해 연결된 분리 어레이를 공개한다.

J.E.Barth 등에 의해 1990년 2월 13일자로 출원된 "온-칩 ECC를 갖는 다이내믹 RAM과 최적화된 비트 및 워드 리던던시"라는 명칭의 미합중국 특허 출원 제479,145호는 스케터드 그루밍을 갖는 온-칩 리던던시를 공개한다. 상기 출원은 본 출원과 동일한 양수인에게 양도되었다.

상기 인용된 출원중 어떤 것도 본 출원에 청구된 발명을 개시하지 않는다.

본 발명의 구체적 실시예에 따르면, 메모리 기억 사이클보다 더 짧은 메모리 페치 사이클을 제공하므로써 컴퓨터 메모리 시스템의 동작 속도가 증가된다. 이렇게 하므로써, 시스템 메모리를 구성하는 반도체 메모리칩에서 페치 동작의 리커버리 부분(recovery part)의 다이밍이 변경된다. 각각의 칩은 칩상에 적어도 하나의 다이내믹 랜덤 액세스 메모리(DRAM) 어레이와, 작지만 고속 메모리(SRAM 캐쉬)를 갖는다.

본 발명의 구체적 실시예에 따르면, 페치 사이클중 DRAM의 리커버리 부분과 칩상의 캐쉬로부터의 데이터 페치가 중복(overlap)되며, 이러한 중복은 기억 사이클 동안에는 일어날 수 없다.

본 발명의 목적은 반도체 DRAM/캐쉬형 메모리 칩에서 페치 액세스 속도를 증가시키는 것이다.

본 발명의 다른 목적은 컴퓨터 메모리 시스템'에서 반도체 칩내의 데이터를 페치하는 시간 주기를 단축하므로써 컴퓨터 메모리 시스템의 성능을 향상시키는 것이다.

본 발명의 또 다른 목적은 각 반도체 칩의 내부 구조를 수정하여 컴퓨터 시스템 메모리에서 페치 성능을 개선하는 것이다.

본 발명의 또 다른 목적은 컴퓨터 메모리 시스템에서 동일한 페치 동작 동안에 반도체 메모리 칩상의 캐쉬로부터 데이터를 판독하는 주기와 DRAM 리커버리 처리 주기를 중복시키므로써 각 페치 동작에 필요한시간을 감소시키는 것이다.

본 발명의 또 다른 목적은, 메모리 페치 요구를 위한 최종 데이터 전송과 후속하는 페치/기억 동작을 위한 최초 데이터 전송 사이에 발생하는, 어떠한 데이터 전송도 일어나지 않는 하나 이상의 머신 사이클(machine cycle)의 버스 전송 갭(bus transfer gap)을 줄이거나 제거하고, 그리고 캐쉬를 판독(cachereadout)하는 동안에 DRAM 리커버리가 일어나게 하여 각각의 페치 동작에 필요한 시간을 줄이므로써 메모리 동작 속도를 증가시키는 것이다.

본 발명의 또 다른 목적은, 메모리 페치 요구를 위해 출력된 최종 데이터와, 반도체 칩에 기억된 데이터비트를 선택하기 위해 소정의 다중화 방법에 의해 제공되는 어드레스 비트의 행 및 열의 부분집합을 수신하기 위하여, 소정수의 I/O(입출력) 핀을 가지는 반도체 칩에 대한 후속하는 페치/기억 동작을 위한 최초의데이터 입/출력 사이에 어떤 데이터도 전송되지 않는 하나 이상의 머신 사이클의 갭을 감소시키거나 또는 제거하는 것이다.

이하 본 발명을 첨부된 도면을 참조하여 구체적 실시예로서 더욱 상세히 설명한다. 온-칩 캐쉬(on-chip cache) :

본 발명의 구체적 실시예에 따르면, 각 메모리 칩에 내장된 "캐쉬"가 필요하다. 온-칩 캐쉬는 DRAM (캐쉬와 함께 칩상에 마련됨)과 칩의 외부에 마련된 메모리 시스템 버퍼(memory system buffer)와의 사이에서 전송되는 데이터를 버퍼링(buffering)하는 데이터 버퍼이다(온-칩 캐쉬는 프로세서 캐쉬처럼 디렉토리를 갖지 않는다는 점에서 프로세서 캐쉬와 다르다).

외부의 메모리 시스템 버퍼는, 온-칩 캐쉬로 데이터 비트를 전송하는, 칩상의 I/O 핀으로부터 데이터비트를 수신하고, 또 I/O 핀으로 데이터 비트를 전송한다. 데이터 비트는 칩의 외부 전송원, 즉 메모리 시스템 컨트롤러(메모리 콘트롤러)(MC)로부터 공급되는, 예를 들면, 어드레스 비트 C0~C6에 의해 온-칩캐쉬내에 입력되면, 본원에 있어서는, 제7도에 도시한 바와 같이, MC에서 발생되어 칩에 공급되는 "칼럼어드레스 스트로브(column address strobe)"(CAS) 신호에 의해 동기되는 것으로 설명되었다.

본 발명의 바람직한 구체적 실시예에서 사용된 온-칩 캐쉬의 형태는, DRAM처럼 리프레쉬(refresh)될 필요없이, 수신된 데이터 비트의 상태를 기억하는 래치로 구성된 레지스터를 의미하는 SRAM(스테이틱 랜덤 액세스 메모리)(static random access memory)이다.

본원에서 사용된 "외부 액세스(external accessing)"라는 용어는 온-칩 캐쉬와 외부 전송원(메모리 시스템 버퍼) 사이에서 어느 한쪽 방향으로 데이터 비트를 전송하는 처리를 의미한다. 본 발명에 있어서는, 상기 온-칩 캐쉬에 의해 DRAM의 리커버리 동작과 동시에 외부 액세스를 실행할 수 있다.

또한 본원에서 "오버랩(overlap)"이라는 용어는 외부 액세스와 DRAM 리커버리 동작의 일부 또는 전부를 동시에 실행하는 것을 의미한다. 이 오버랩 기능을 얻기 위해, 본 발명의 바람직한 실시예에 있어서는, 칩에서 페치 동작 동안에 DRAM 리커버리 동작이 개시되도록 시간을 진행시켜서, 데이터의 외부 액세스가온-칩 캐쉬에서 실행되는 것과 동시에 DRAM 리커버리 동작의 적어도 일부가 실행되도록 한다.

바람직한 구체적 실시예에서 칩의 구조 :

제1도는 본 발명의 실시예에서 사용된 16메가비트(Mb) 반도체 메모리 칩을 나타낸다. 각 칩은 동일하게 구성된 4개의 쿼드런트를 가진다. 상기 각 쿼드런트는 4Mb의 다이내믹 랜덤 액세스 메모리(DRAM) 어레이, 에러 수정 회로(ECC) 및 예를 들면 128비트 사이즈를 가질 수도 있는 소용량의 고속 스테이틱RAM(SRAM)을 가진다. 모든 쿼드런트에서 칩의 총 기억용량은 4개의 DRAM 어레이에 의해서 얻어지는 기억용량으로서, 16Mb이다. 칩에 대한 1회의 액세스는 4개의 각 쿼드런트당 1비트씩 4개의 데이터 비트가 병렬로 액세스된다. 또한, 제1도는 제4쿼드런트를 예시하고 있다.

칩에는 22비트의 어드레스가 제공되고, 이 어드레스는 칩의 I/O 핀에 공급된다. 상기 어드레스 신호는 칩내에서 각 쿼드런트로 배분된다.

22개의 어드레스 비트는 각각의 DRAM에서 행을 선택하는 비트 R₀~R₁₀과 상기 행의 부분행을 선택하는 비트 R₁₁~R₁₄로 이루어지는 행 입/출력 비트와, 상기 선택된 부분행과 데이터 비트를 선택하는 칼럼어드레스 비트 C₀~C₆로 이루어진다. 상기 22개의 어드레스 비트 신호는, 제3도에서 "DRAM 어드레스"와 "SRAM 어드레스"에 의해 도시된 바와 같이(후술됨), 칩상의 18개의 핀에 시간-다중화(time-multiplexed) 되어 공급된다.

각 쿼드런트에서 DRAM 행은 2192 비트를 갖는다. 행은 각각 137비트로 이루어진 16개의 부분행으로 동등하게 분할된다. 각 행은, 각각의 부분행에 대해 에러 검출 및 수정을 지원하기 위하여 16개의 부분행에 대하여 균등하게 분배된 2048개의 데이터 비트와 144개의 체크 비트를 포함한다. 따라서, 각각의 부분행은 128의 데이터 비트와 9개의 체크 비트(총 137비트)로 이루어지며, 이들 비트는 ECC에 전송되어 체크 비트가 없고 에러도 없는 128개의 데이터 비트셋으로 생성된다(이 ECC 동작은 불완전한 DRAM을 마치 완전한것 같이 동작시킨다). 다음으로, 이 128개의 에러 없는 부분행 비트는 각 쿼드런트의 SRAM에 로드된다. 이와 같은 DRAM으로부터 SRAM으로의 부분행 액세스 동작은 칩의 페치 또는 기억 동작에 대해서도 마찬가지로 실행된다.

칩의 각 쿼드런트에 대한 상세한 설명 :

제1도는 칩 구조내에서의 각 쿼드런트에 대한 클럭 입력(clocking inputs)과 본 발명의 바람직한 구체적 실시예의 동작을 제어하기 위한 클럭 신호의 접속관계를 도시한다. 메모리 시스템으로 각각의 프로세서 페치 또는 기억 요구 신호가 전송되면, 메모리 컨트롤러(도시하지 않음)에서 메모리 어드레스가 발생되며, 칩에 공급되는 최초의 어드레스 비트는 행 어드레스 비트 R₀~R₁₀로서, 각 칩상의 11핀으로 전송되어 나머지 각 메모리 액세스 기간동안 수신된 행 어드레스를 기억하는 각각의 어드레스 버퍼(AB) 23(0)~23(10)로 래치된다. 행 디코더 및 드라이버 (22)는 클럭 제어하에 상기 기억된 어드레스 비트 R₀~R₁₀을 어드레스버퍼(23(0)~23(10))로부터 수신하여, 칩의 각 쿼드런트중 DRAM에서 2192 비트의 행을 선택하는 DRAM행 어드레스를 발생한다.

이와 같이 선택된 2192 비트의 행은 클럭 제어하에 센스 증폭기(sense amplifier)(24)로 출력된다. 이때 상기 센스 증폭기(24)는 상기 그 선택된 행 어드레스를 부분행 디코더(26)로 출력한다. 상기 행 선택 비트가 입력된 직후, 상기 부분행 디코더(26)의 다른 핀으로 어드레스 비트 R₁₁~R₁₄가 입력된다. 상기 어드레스 비트 R₁₁~R₁₄는 클럭 제어하에서 부분행 디코더(26)에 래치되어 나머지 액세스 기간동안 기억된다. 상기 디코더(26)는 현재의 메모리 요구에 의해 요구되는 부분행으로서 행의 16분의 1에 해당하는 부분을 어드레스하여 선택한다. 상기 부분행 디코더(26)는 클럭 제어하에서 상기 선택된 부분행을 ECC(27)로 출력한다. 상기 ECC(27)는, 잘 알려진 해밍 코드(Hamming code)와 같은 소정의 에러 수정 코드에 따라 부분행의 137비트(128의 데이터 비트와 9개의 체크 비트로 이루어짐)에 포함된 데이터 비트 및 체크 비트를 분석한 후, 에러 없는 128개의 데이터 비트를 발생하여 클럭 제어하에서 SRAM(28)으로 출력한다. 상기 SRAM(28)은 상기와 같이 입력된 128개의 데이터 비트(체크 비트 없음)를 메모리 컨트롤러로부터 공급되는 외부 신호의 제어에 따라 선택하여 입력 또는 출력하기 위해 기억한다. 본 발명의 바람직한 실시예에서 상기 SRAM에 공급되는 외부 신호는, 8개의 어드레스 신호(C₀~C₆) 1 내지 (C₀~C₆)8의 열로서 입력되며, 상기 각 신호(C₀~C₆)는 7개 어드레스 비트의 조합으로서, SRAM에서 128개의 데이터 비트중 어느하나를 지정한다.

상기 각 입력된 어드레스 비트(C₀~C₆)의 조합에 의해 지정된 SRAM의 비트는, 칩내의 각 쿼드런트에 대해, 페치 동작동안 SRAM으로부터 출력 데이터로서 출력되거나 또는 기억 동작동안 SRAM에 입력 데이터로서 기억되는 하나의 데이터 비트로 선택된다. 따라서, 칩내의 4개 쿼드런트의 4개의 SRAM에 의해서 4개의 데이터 비트가 병렬로 출력되거나 또는 입력된다.

칩의 각 페치/기억(판독/기입) 동작동안 쿼드런트내의 데이터 이동을 제어하기 위하여 클럭 발생기(clock generator)(31)는 상기 칩의 각 쿼드런트내의 회로에 다이밍 신호를 공급한다. 상기 클럭 발생기(31)는 DRAM 액세스 위상(phase)과 후속하는 DRAM 리커버리 위상을 포함하는 2개의 클럭 신호 위상을 발생한다. 상기 액세스 위상 동안에 DRAM으로부터 데이터의 부분행이 출력되어, SRAM(28)으로 로드된다. 상기 리커버리 위상 동안에는, 128개의 데이터 비트를 갖는 SRAM 내용(기억 동작 동안에 변경된 데이터 비트가 있으면 그들의 데이터 비트를 포함함)이 DRAM에서 현재 선택된 부분행에 되기록(writeback)되고, 연속적인 사용을 위해 행이 리스토어(restore)된다(상기 클럭 발생기(31)는 칩상의 다른 불리적인 위치에 복수개 있을 수도 있다. 그때 복수의 각 클럭 발생기(31)는 본원에서 설명되는 클럭 발생기(31)와 동일한 방식으로 병렬로 동작한다).

메모리 컨트롤러는, 각 클럭 발생기(31)를 제어하기 위한 RAS, CAS 및 RE 제어 신호는 신호를 포함하는 신호 세트를 각 칩상의 핀에 공급한다. 상기 RAS 신호는 R₀~R₁₀의 어드레스와 R₁₁~R₁₄의 어드레스를 래치하는 클럭 다이밍을 제어하고, CAS 신호는 8개의 (C₀~C₆)의 어드레스를 래치하는 클럭 다이밍을 제어한다. 상기 RAS 신호의 레벨이 하이(high)나 로우(low)나에 따라 클럭 발생기(31)에 의해 현재 공급되는 동작 위상이 결정된다.

상기 신호 RE의 상태는 현재의 클럭 출력이 칩의 페치 동작을 제어할 것인가 또는 기억 동작을 제어할 것인가를 결정한다. 신호 RE의 레벨이 하이(1)이면 페치 동작을 지시하고, 신호 RE의 레벨이 로우(0)이면 기억 동작을 지시한다. 이 클럭 신호는, 상기 신호 RE가 페치상태를 지시할때, 상기 신호

RE가 기억 상태를 지시할때와 다르게 DRAM 리커버리 위상을 개시시킨다.

DRAM 액세스 위상 동안, 클럭 발생기(31)는 클럭신호 CLA, CLB, CLC, CLD, CLE 및 SE를 순차적으로 출력한다. 상기 신호 CLA~CLE는 각각 지연된 RAS 신호의 하강 천이(falling transition)시에 발생하는 펄스 신호이다. CLA는 입력된 행 어드레스 신호 R0~R10을 기억하는 어드레스 버퍼(23)에 공급되는 클럭 신호이다. CLB 신호는, DRAM내의 2192 비트 행을 선택하고 증폭하여, 16개의 부분행으로 부분행 디코더(26)에 공급하는 센스 증폭기(24)로 출력하기 위해 비트 R0~R0을 사용하는 행 디코더 및 드라이버(22)에 공급된다. CLD 신호는, 부분행을 선택하여 ECC 논리 회로(27)에 제공하는 부분행 디코더(26)에 공급된다. CLE는 ECC 논리회로(27)의 에러 수정 동작의 타이밍을 제어한다. 신호 SE는, SRAM으로 ECC 논리회로(27)로부터 128개의 에러 없는 부분행 데이터 비트를 로드시키고, 또 SRAM의 128개의 데이터 비트중 8개를 순차적으로 액세스하기 위하여 외부의 메모리 컨트롤러로부터 8개의 순차적인 신호 C0~C6가 공급될 수 있게 한다.

본 실시예에 의하면, DRAM 리커버리 위상의 개시가 기억 동작과 페치 동작에 대하여 서로 다르게 결정된다. DRAM 리커버리 동작 위상 동안, 클럭 발생기(31)는 클럭신호 CLE, CLG, CLH, CLI 및 ECCW를 순차적으로 출력하며, 이들 신호는 지연된 RAS 신호 파형의 하강 천이시에 발생하는 펄스이다. 신호 CLF는 신호 ECCW를 동기시켜 제1도의 ECC(27)를 작동시키고, 현재의 128 데이터 비트 SRAA1의 내용을 ECC로 판독한 후 9개의 체크 비트를 발생하여 137비트의 부분행으로서 출력한다. 이 때 부분행 디코더(26)(최후에 입력된 어드레스 비트 R11~R14를 래치하고 있음)는 클럭신호 CLI에 의해 작동되어, 상기 137 비트의 부분행 어드레스를 현재 어드레스되어 있는 행의 1/16에 해당하는 부분에 병합한 후, R11~R14의 래치 상태를 리셋한다. CLH신호는 상기 갱신된 행이 디코더(26)로부터 센스 증폭기(24)로 출력할 수 있도록 클럭을 제공하고, 상기 갱신된 행은 행 디코더(22)(어드레스 버퍼 23(0)~23(10)에 래치되어 기억된 기억 행 어드레스 비트 R(0)~R(10)에 의해 액티브 상태로 유지되어 있음)로부터 선택된 라인에 의해 현재 액티브되어 있는 DRAM의 행에 기억된다.

페치 동작시에는, 센스 증폭기(2f)로부터의 갱신된 행을 선택된 DRAM의 행에 기억시키므로써 선택된 DRAM의 행이 리프레쉬(refresh)된다. 기억 동작에 있어서는, 상기 갱신된 행을 DRAM의 선택된 행에 기억시키는 것은 상기 기억 동작동안 SRAM에 기억된 모든 새로운 비트를 포함하며, 또한 전체 행을 리프레쉬한다. 이렇게 하여, 페치 동작 또는 기억 동작에 대한 칩 동작이 완료된다.

메모리 시스템의 구조 :

제2도는 앞서 설명된 구성을 갖는 144개의 칩을 내장한 메모리 시스템을 나타낸다. 상기 메모리 시스템은 144개의 칩을 갖는 1개 이상의 메모리 카드와, 4개의 서브-버퍼(sub-buffers)를 포함하는 데이터 버퍼(10A)로 이루어진다. 상기 데이터 버퍼(10A)는 메모리 버스(12)에 접속된 데이터 레지스터(11)에 연결된다. 상기 버스(12)는 메모리 컨트롤러(MC) 접속된다.

각 칩내의 4개의 SRAM은 각각 상기 칩상의 4개의 핀에 연결되어 외부 데이터 라인(29A~29D)과 상기 4개의 SRAM 사이에서 데이터 비트를 병렬로 전송한다. 메모리 시스템에서 각각의 144개 칩중 4개의 입출력(I/O) 라인은 상기 각 4개 서브-버퍼의 왼쪽 끝으로부터 동일하게 대응하는 비트 영역에서 4개의 서브-버퍼에 접속되어 있다.

1개의 머신 사이클에서, 전체 144개 칩의 모든 SRAM에서 신호(C0~C6)에 의해 어드레스되는 비트는, 페치 동작 동안에는 SRAM으로부터 상기 4개의 서브-버퍼로 전송되고, 기억 동작 동안에는 상기 4개의 서브-버퍼로부터 SRAM으로 전송된다. 이렇게 하여, 하나의 머신 사이클내에서 버퍼(10A)내의 4개의 쿼드워드(quadwords : QW1~QW4)가 로드/언로드(load/unload)된다. 각 서브버퍼에서의 144 비트(SRAM데이터를 생성하기 위해 각 DRAM 부분행에 기억된 관계없이 9개의 체크 비트와 혼동해서는 안되는 16개의 체크 비트를 포함함)는 각 서브-버퍼내의 하나의 QW인 4개의 32비트 데이터 워드(data words)로 이루어진다. 상기 16개의 체크 비트는 MC내의 ECC 회로에 의해 사용된다.

상기 메모리 시스템은, 144개 칩의 정수배의 칩을 포함할 수도 있고, 상기 각 144개의 칩 세트는 데이터 비트를 상기 데이터 버퍼(10A)로/로부터 전송(제2도에 나타내어진 메모리 시스템에 대해 설명된 방법으로)하는 메모리 서브-시스템을 구성할 수 있다.

따라서, 4의 배수의 Qw를 포함하는 데이터 라인의 전송을 위한 프로세서의 메모리 페치 요구에 대하여, SRAM(메모리 그룹의 모든 144개 칩에서)은 1머신 사이클내에서 4개의 QW를 데이터 패치 버퍼에 병렬로 출력된다. 그리고 다음 머신 사이클에서는, 최초의 qw(버퍼(10A)내의 4개의 QW중 첫번째 서브-버퍼의)가 데이터 레지스터(11)와 버스(12)를 통해 병렬로 144 비트로서 메모리 컨트롤러에 전송된다. 그 다음 머신 사이클에서는, 버퍼(10A)의 두번째 QW가 메모리 컨트롤러에 전송된다.

이하, 마찬가지로 동작이 반복되어, CPU의 4머신 사이클에서 모든 서브-버퍼내의 4개의 QW가 모두 레지스터(11) 및 버스(12)를 경유하여 메모리 컨트롤러로 전송된다.

제4도에, 종래의 장치에서 데이터 버퍼(10A)가 1머신 사이클 동안에 4개의 QW로 채워질 때의 타이밍과, 데이터 버퍼(10A)가 그 다음 네개의 머신 사이클 동안에 하나의 QW를 메모리 컨트롤러로 언로드(unload)할 때의 타이밍이 도시되어 있으며, 이와 같은 타이밍 동작은 메모리 행 페치 동작 동안에 8개의(C0~C5)신호 각각에 대하여 반복된다. 이후 상기 칩으로부터 데이터 버퍼(10A)로 두번째(및 그 이후도 마찬가지로)의 로딩(loading)이 행해지지만, 이때의 로딩은 버퍼 레지스터(11)를 통한 행 페치에서 전회의 데이터 버퍼(10A)의 로딩시에 최종 QW가 버스(12)로 출력되는 때와 동일한 머신 사이클에서 행해진다.

본 발명의 바람직한 실시예에 있어서, 메모리 시스템은 메모리 행 페치 또는 행 기억시마다 8회의 버퍼로드를 전송하도록 동작한다.

그러나, 버퍼 로드 횟수는 메모리 시스템에서의 "데이터 행(line of data)"을 구성하는 QW수만큼 선택되므로, 행 페치 및 행 기억시 버퍼 로드 수는 어떤 소정 수를 가질 수 있다. 따라서, 각 데이터 행마다 32개의 QW를 가지는 메모리 시스템의 경우, 메모리 행 페치 노는 기억시마다 총 8×

4QWs=32QWs를 제공하기 위하여 8회의 버퍼 로드가 전송된다.

제6도는, 제2도에서 버퍼(10A)가 버스(12)에 접속되는 것과 마찬가지로 방법으로, 상기 버스(12)에 접속된 기억 버퍼(10B) 및 (10C)를 나타낸다. 전자 스위치(게이트)(14)의 제어에 따라 상기 버퍼(10B)는 연속하는 4개의 QW를 수신하고, 상기 버퍼(10C)는 그 후의 연속하는 4개의 QW(4QW를 경계로)를 수신한다.

프로세서의 기억 요구에 응답하는 메모리 행 기억 동작에 대하여, 4개의 머신 사이클 사이에, 4개의 QW가 1개의 머신 사이클 당 1QW의 속도로 버스(12)로부터 제6도의 데이터 버퍼(10B) 또는 (10C)에 교대로 로드되는데, 상기 버퍼(10B) 또는 (10C)가 버스(12)로부터 로드되는 동안, 상기 각 데이터 버퍼는 4개의 머신 사이클내에 로드되었던 4개의 QW를 병렬로 144개의 칩으로 언로드한다. 상기 버퍼(10B)와 (10C)의 전환(alternation)은 스위치[15-1] 내지 (15-144)에 의해서 행해진다. 이렇게 하여, 32개의 QW를 버퍼(10B) 및 (10C)로 로드하고 다시 144개의 칩으로 8회 언로드하는 각 메모리 행 기억은 연속하는 32개의 머신 사이클내에 행해지며, 이때 버스(12)를 경유하는 행 전송중에 4QW 세트 사이트에는 갭이 전혀 발생되지 않는다.

기억 동작의 경우, 144개 칩에 대한 버퍼(10B) 또는 (10C)로부터의 각 언로드당시에, 각 칩은 칩내의 4개의 SRAM의 행(29A) 내지 (29D)를 통해 4개의 데이터 비트를 수신한다. 따라서, 각 SRAM은, 32개 QW 행 사이클을 처리하는 본 발명의 바람직한 실시예의 경우, 포함되어 있는 부분행내의 128개 데이터 비트 영역중에서 8개에만 기억할 뿐이다.

메모리 시스템의 행 사이즈는 간단히 행 액세스용 신호(C0~C6)의 수를 변경하므로써, 즉 외부에서 공급되는 (C0~C6)신호의 수를 제외한 여기서 설명된 144개 칩 메모리 시스템 실시예의 구성을 변경하지 않고, 4QW 내지 128QW 범위중(4QW 단위로) 임의의 QW 수로 용이하게 변경될 수 있다. 이것은 메모리의 행 사이즈에 관계없이 각각의 (C0~C6) 신호가 144개 칩내의 각 SRAM의 1비트에 대응하는 버퍼(10A), (10B) 또는 (10C)중 어느 것의 1로딩분(4QW)을 전부 액세스하기 때문이다. 따라서, 1메모리 당 버퍼(10A), (10B) 또는 (10C)의 1회 4QW의 로딩이, 각 SRAM에서 1비트만을 액세스(페치 또는 기억)하는 1개의 (C0~C6)신호에 의해 처리되는 최소수이다. 그리고 1메모리 당 버퍼(10A), (10B) 또는 (10C)의 최대 128개 로딩은, 각 SRAM의 128비트 전체에 액세스하는(시간 시퀀스에 따르고, 반드시 어드레스 순서에 따르지는 않음) 128개의 (C0~C6)의 조합 신호에 의해 처리되는 최대수이다.

각 칩에 대한 어드레스 다중화(Address Multiplexing to Each Chip)

본 발명의 바람직한 실시예에서, 제1도에 도시된 형태의 각 칩은, 메모리 시스템을 구성하는 144개의 각 칩내의 4개의 각 SRAM에서 1개의 데이터 비트를 지정하는데 사용되는 22개의 어드레스 비트를 수신하기 위한 18개의 I/O 핀을 가진다. 상기 22개의 어드레스 비트 중, R0~R14는 DRAM의 행 및 부분행을 지정하고, C0~C6은 칩의 각 쿼드런트 내의 SRAM에서 부분행의 128비트중 어느 1비트를 지정한다.

1회의 칩 동작(페치 또는 기억)은 하나의 메모리 행을 액세스한다. 그리고 하나의 메모리 행 액세스에는 각 SRAM에서 하나의 부분행 액세스가 포함된다. 1회의 칩 동작은 제3도에 도시된 바와 같이, 프로세서의 각 행 페치(또는 행 스토아) 요구에 대하여, 1세트의 DRAM 어드레스 비트 R0~R14와 8세트의 SRAM 어드레스 비트 C0~C6에 의해서 클럭(clock)된다.

제3도에서, "RAS 어드레싱" 및 "CAS 어드레싱"의 도면은, 한번은 신호 R0~R10를 수신하고 또 한번은 신호 R11~R14를 수신하는 11개의 핀과 신호 C0~C6를 수신하는 7개의 핀으로 이루어지는 18개의 핀으로, 22개의 신호를 다중화하는 방법의 일예를 나타낸다. (C0~C6)1 내지 (C0~C6)8의 각 세트는 R0~R14중 어느 신호(다른 핀에 공급됨)와 어떤 간섭도 없이 상기 7개의 핀에 공급된다. 상기 신호는 메모리 컨트롤러에 의해 핀에 공급되어 칩내에서 각 쿼드런트로 분배된다. 하나의 메모리 행을 액세스하기 위하여, 우선, 비트 R0~R10이 어드레스 버퍼 23(0)~23(10)에 래치되고, 계속하여 비트 R11~R14가 부분해 디코더(26)에 래치된다.

제3도에서, R0~R10 및 R11~R14의 다이밍은, 최초의 (C0~C6)1이 입력되기 전에, 선택된 부분행을 SRAM으로 전송되도록 되어 있다. 최초의 (C0~C6)1은 최초의 버퍼 로드(도면중 "SRAM 액세스"에서 주기 1로 나타내어짐)를 위하여 최초의 SRAM 비트를 서택한다. 다음으로, 버퍼로 로드된 4QW는, 앞서 설명한 바와 같이, 그 다음의 4개 머신 사이클 동안에 메모리 컨트롤러에 출력된다. 계속되는 로딩 주기 2~8에서 데이터 버퍼(10A)의 그 다음 로딩이 행해지고, 상기 각 주기는, 144개의 칩으로부터 그 행의 다음 4QW가 데이터 버퍼(10A)에 로드되기 바로 전에 데이터 버퍼(10A)내의 마지막 QW가 출력되는 최종 버퍼로딩의 4번째 머신 사이클의 마지막 부분에 맞추어진다.

제3도에서 2개의 연속된 메모리 행 페치 동안, 메모리 행 페치를 위해 적어도 최종 SRAM 어드레스 신호(C0~C6)8의 주기는 그 다음의 메모리 행 페치를 위해 어드레스 비트(R0~R6) 및 (R7~R10)에 의한 DRAM의 부분행 선택 주기와 오버랩된다. 이와 같이 오버랩 되므로써 제3도의 메모리 시스템을 이용하는 경우, 복수의 메모리 행 페치시 데이터 출력 사이의 데이터 갭을 제로로 할 수 있다.

여기서, 데이터 갭이 제로, 즉 제로 갭(zero gap)이라는 것은 제3도에 도시된 바와 같이, 1머신 사이클당 1QW의 데이터 흐름이 1개의 행 페치로부터 다음 행 액세스까지 어떤 방해도 없이 버스(12)상에서 계속되는 것을 의미하며, 버스(12)상으로 Qw 전송이 전송되지 않는 머신 사이클의 개재없이, 연속되는 32개의 QW 세트가 전송된다.

만약 제2도의 메모리 시스템이 페치 버퍼와 기억 버퍼 양쪽에 대하여 버퍼(10A)를 사용하는 경우는, 연속되는 메모리 행 페치 사이의 데이터 갭은 제로로 되지만, 메모리 행 페치와 다음의 메모리 행 기억 사이에는 4개 머신 사이클분의 데이터 갭이 생기게 된다.

그러나, 제2도의 데이터 버퍼(10A)를 페치 버퍼로서 사용하는 한편, 제6도에 도시한 버퍼(10B) 및 (10C)를 추가함으로써, 메모리 행 페치와 다음의 메모리 행 기억 사이의 데이터 갭을 제로로 할 수

있다.

종래기술의 칩 동작(Prior Chip Operation) :

본 발명의 구체적 실시예에 대한 이해를 돕기 위해, 제4도를 참조하여 종래 기술이 연속된 행 페치 동작동안에 메모리 시스템 버스의 데이터 갭을 결코 제로로 할 수 없는 이유를 종래 기술의 실시예로서 설명한다. 상기 종래예에 대하여도 상기한 실시예와 마찬가지로 22개의 어드레스 비트 R0~R10, R11~R14 및 (C0~C6)1 내지 (C0~C6)8을 수신하기 위하여 한개의 칩당 18개의 핀을 사용하는 것으로 가정한다.

제4도에 도시된 종래 기술은 행 페치와 행 기억을 위해 동일한 메모리 액세스 사이클을 사용하고, 페치 및 기억 모두에 대해 SRAM 액세스가 종료되었을 때 DRAM 리커버리를 개시하도록 되어 있다. 이것은 "RAS 클러킹" 신호가 (C0~C6)8 주기 이후 하이 레벨로 상승할 때이다. 제4도는 32QW의 데이터 행을 페치하는 경우의 어드레스 및 클럭 다이밍, DRAM 행 및 SRAM 액세스 시간 주기 및 메모리 시간 주기를 나타낸다.

종래의 상용 DRAM에서는, 임의의 칩 동작(페치 또는 기억) 동안에 SRAM 액세스가 적어도 그 종료지점에 가까워질 때까지 DRAM 리커버리의 개시는 행해지지 않도록 되어 있다. DRAM 리커버리의 개시 신호는 SRAM 액세스가 종료한 후 RAS 클러킹 신호 레벨의 로우에서 하이로의 전환(transition)이었다.

그리고 상기 RAS 클러킹 신호가 다시 하이에서 로우 레벨로 떨어질 때까지 그 다음의 행 액세스(페치 또는 기억)는 개시할 수 없다(종래기술에 있어서 페치 및 기억 모두 DRAM 리커버리의 종료되기 전까지 일어나지 않음) DRAM 리커버리는 13개의 머신 사이클이 필요하고 최종 QW가 전송되는 5개 사이클이 필요하며, 다음의 페치 액세스는 RAS 클러킹 신호가 하강한 후 13개 사이클이 경과해야 개시되므로, 버스(12)상으로 그 다음 액세스된 행의 최초 QW를 전송하기까지는 21개의 머신 사이클이 필요하게 된다.

따라서, 제4도에는 메모리 버스(12)상으로 전송되는 연속된 32QW의 행 페치 사이에 21개 머신 사이클의 데이터 갭(13-5+13 사이클)이 도시되어 있다. 즉, 다음 메모리행 페치를 위해 최초의 QW 출력을 개시하기까지, 우선 DRAM 리커버리가 완료하는데 8(즉, 13-5) 사이클을 기다려야 하고, 그 후에 최초의 QW가 버스(12)상으로 전송되기까지 13머신 사이클을 기다려야 한다.

이렇게 하면, 상기 종래 기술의 실시예에 있어서는, 제4도에 도시된 바와 같이, 53머신 사이클이 페치 또는 기억 액세스에 필요한 총 처리시간이 된다. 그러므로, 상기 종래의 실시예에 의하면 21개의 머신 사이클 갭이 발생하므로, 각 32QW 행 전송을 위한 메모리 이용도에 있어서 본 발명의 구체적 실시예에 의해 구현할 수 있는 행 페치에 대한 제로 갭에 비해 40%(21/53=0.396)의 감소를 초래한다.

제4도에 도시된 다이밍 파라메타는 CPU 머신 사이클 수로 아래와 같은 크기라고 가정한다 :

DRAM으로부터 버스에 대한 액세스 시간:	13사이클
1비트당 SRAM의 I/O 액세스 시간:	4사이클
데이터 버퍼 액세스 시간:	1사이클
DRAM 리커버리 시간:	13사이클

바람직한 구체적 실시예의 동작(Operation of the Preferred Embodiments) :

제1도는 칩상의 DRAM으로부터 SRAM으로 데이터 비트의 부분행을 전송하기 위한 경로를 나타낸다. 이 경우, 부분행의 데이터 비트는 칩의 페치동작시에는 외부에서 SRAM으로부터 이용할 수 있다. 본 발명의 바람직한 구체적 실시예에 따르면, 페치 동작 동안 부분행이 SRAM에 입력되는 즉시, SRAM을 DRAM으로부터 분리시키고, DRAM 리커버리 처리를 개시한다(SRAM은 자신의 데이터 비트를 정적으로 유지하므로, DRAM과 같은 리커버리 동작을 필요로 하지 않는다). SRAM의 데이터 비트중 몇개인가가 순차적으로 판독되고, 그동안에 DRAM은 리커버리 동작을 수행한다. 이때, 상기 DRAM 리커버리 기간은 칩으로부터 1개 이상의 SRAM 데이터 비트의 판독 기간과 오버랩되고, 상기 DRAM은, DRAM과 SRAM을 포함하고 있는 종래의 통상적인 반도체 메모리 칩의 경우 보다 더 일찍인, SRAM의 판독이 행해지자마자, 즉시 다음의 페치 또는 기억에 대한 준비를 한다.

본 발명의 구체적 실시예에 의하면, 칩상의 DRAM 리커버리와 SRAM의 데이터 출력을 오버랩시킴으로써, 페치 액세스에 필요한 머신 사이클 수를 현저하게 감소시킨다. 제4도에 도시된 종래기술의 예는 DRAM행 액세스 마다 통상적으로 53사이클의 사이클 주기(페치 및 기억 모두 동일함)가 필요하다는 것을보여주었다. 제3도에 도시된 본 발명의 구체적 실시예의 동작예에 있어서는 페치시간이 32사이클로 크게 단축된다. 이것은 메모리 데이터 버스상으로 전송되는 행 페치 사이에 발생하는 종래의 데이터 갭을 21사이클로부터 제로로 함으로써 얻어진 것으로, 메모리 이용도에 있어서 약 40퍼센트를 개선한다. 연속되는 행기억(기입) 액세스 사이의 데이터 갭은, 행 기억 동작당 총 53개 사이클에 대하여 21머신 사이클로 유지된다. 대부분의 메모리 액세스는 페치이기 때문에(예를들면 75퍼센트), 상기 페치 액세스 사이클 수의 감소는 SRAM과 함께 DRAM을 사용하는 반도체 메모리 칩의 평균 메모리 이용도를 현저하게 증대시키는 효과가 있다.

클럭 회로(Clocking Circuits) :

제5도는 본 발명의 바람직한 구체적 실시예에서의 클럭 신호 발생기(clock signal generator)를 나타낸다. 상기 클럭 신호 발생기는, 각각의 칩 내부에 위치되어 클럭 신호를 칩내의 4개 쿼드란트에 분배하므로써, 페치 및 기억 동작을 제어한다.

제5도의 클럭 발생기는 본 명세서에 설명된 원리에 따라 메모리 컨트롤러로부터 칩상의 I/O 핀에 공급되는 클럭 제어 신호 RAS, CAS 및 RE에 의해 제어된다. 상기 RAS 신호는 DRAM의 행과 부분행의 선

택 및 DRAM 리커버리를 제어한다. 상기 CAS 신호는 SRAM의 선택된 부분행중 8개의 데이터 비트를 선택하여 제2도의 데이터 버퍼(10A)로 출력하고, 또 제6도의 버퍼(10B) 및 (10C)에 입력하기 위하여 칩이8개의 C0~C6 신호를 수신할 수 있게 한다.

상기 RE 신호는 각각의 메모리 요구시마다 시스템에 의해 제공되어, 메모리 요구를 만족시키기 위한 칩의 상기 요구된 데이터 제치/기억(판독/기입) 동작을 제어한다. RE 신호의 하이레벨은 칩에 의해 패치 동작이 행해져야 할 것을 나타내고, 로우 레벨은 칩에 의해 기억 동작이 행해져야 할 것을 나타낸다.

클럭 펄스는 제5도에 도시된 2개의 지연 회로 체인(two chains of delay circuits)에 의해 발생되어 출력된다. 출력신호CLA, CLB, CLC, CLD, CLE는 제1지연회로 체인으로부터 공급되어, DRAM의 데이터 액세스를 제어하기 위해 이용된다. 출력신호 CLF, CLG, CLH, CLI, ECCW는 제2지연회로 체인으로부터 공급되어 DRAM 리커버리 동작을 제어하기 위해 이용된다. 상기 제1지연회로 체인은 일련의 RD(리세트 가능한 지연 블록)(43,44,45,46 및 47)로 형성되며, 상기 RD의 출력은, 상기 블록이 하이 레벨로 구동되는 리세트 입력을 공급되는 경우, 그 주 입력이 하이레벨인 상태에 있을지라도 무조건 로우 레벨로 리세트된다. 상기 제2지연회로 체인은 리세트 입력을 갖지 않는 D블럭(지연회로 블록)으로 이루어지며, 상기 각 D블럭은 소정 시간 지연후, 입력과 동일한 출력을 갖게 된다.

또한, 제5도에는 몇개의 논리 회로 소자가 포함되어 있다. 즉, LS/DR(레벨 시프트 회로 내장 인버터 드라이버)는 입력 바이폴라(bipolar) 레벨을 온-칩형 FET 레벨로 변환하고, DR(인버터 드라이버 회로)은 입력신호의 반전된 출력을 가지며, 통상의 AND, OR, INVERT 기호가 이용되고 있다. 제5도에 도시된 회로는 정논리(positivelogic)를 이용한다. 즉, AND 게이트의 출력은 모든 입력이 하이 레벨일 때 액티브상태로 되고, OR 게이트의 출력은 입력중 어느 하나가 하이 레벨로 될 때 액티브 상태로 된다.

클럭 발생기(31)의 출력신호 CLA, CLB, CL, CLD, CLE, CLF, CLG, CLH, CLI, ECCW 및 SE는, 제1도에 도시된 바와 같이, 칩 내부에서 칩상의 4개의 각 쿼드런트로 분배된다.

제5도에서 파선으로 나타낸 블록(60)내의 회로는 DRAM 리커버리 클럭신호의 개시점을 칩상의 패치 동작과 기억 동작에 대하여 서르 상이하도록 제어하며, 이것이 본 발명에 따라 설명된 구체적 실시예의 신규한 특징이다. 상기 블록(60)의 출력은 RE 및 CAS 신호에 의해 변조된 F/S RAS 신호이다.

DRAM/SRAM의 데이터 액세스를 위한 클럭 동작(Clock Operation for DRAM/SRAM Data Accessing) :

DRAM 액세스를 위한 클럭 신호 CLA, CLB, CLC, CLD 및 CLE의 타이밍은 칩상에서의 패치 및 기억동작에 대해 모두 같다. 본 발명의 구체적 실시예에서 DRAM 리커버리의 개시점은 패치(판독) 동작과 기억(기입) 동작에 대해서 상이하므로, DRAM 리커버리 클럭 신호 CLF, CLG, CLH, CLI 및 ECCW의 시동 타이밍 또한 상이한 패치 및 기억 동작에 대한 액세스용 클럭 신호와 다르다.

LS/DR(41)에 업력되는 RAS 클럭 신호의 하강(83)(제3도 참조)은 메모리 행 요구에 대한 DRAM/SRAM의 데이터 액세스를 제어하는 칩의 클럭 동작 개시를 제어한다. RAS 클럭 신호의 다음 상승은DRAM 리커버리를 제어하는 칩의 클럭 동작의 개시를 제어한다. 그리고 RAS 신호의 다음 하강은 DRAM리커버리의 종료와 다음 메모리 행 오구를 위한 다음의 클럭 사이클의 개시를 지시한다.

리커버리 동작을 완료한 후, DRAM은 다음의 액세스 동작을 위해 준비가 된 프리차아지(precharge)상태가 된다. 그리고 제1도의 모든 동작 회로, 즉 어드레스 버퍼(23), DRAM 행 디코더/드라이버(22), 행 및 비트 라인, 센스 증폭기(24)및 ECC(27)는 모두 소정의(또는 프리차아지) 상태로 된다. 상기 회로가 프리차아지 상태로 되면, DRAM은 다음의 DRAM 액세스 시퀀스를 개시하기 위하여 RAS 신호 레벨이 로우레벨로 하강할 때를 기다린다.

RAS가 그 로우레벨로 하강한 직후(RD)에서의 지연후, CLA 클럭 출력이 하이레벨로 되어, 다이나믹 어드레스 버퍼(AB) 23(i)~23(10)가 DRAM(21)의 행을 어드레스하는 R0~R10 신호를 래치할 수 있게 된다.

상기 어드레스 버퍼의 출력은, 다음의 클럭신호 CLB(RDs에 의해 지연됨)가 하이로 되었을때 선택된 행이 하이 레벨로 되도록 DRAM 행디코더 및 드라이버(22)를 조정한다. 다음으로, 디코더(22)는 DRAM 의행 라인을 선택하여 액티브화시키고, 2192비트의 DRAM 셀을 그들의 메모리 셀에 기억된 정보에 따라 그들의 각 비트 라인 전압을 변경함으로써 조회(interrogate)한다. 상기 비트 라인상에는 작은 신호가 발생하고, RD₀로부터의 CLC에 의해 클럭되는 다수의 센스 증폭기(24)에 입력된다. 센스 증폭기(24)에 의해 증폭된 선택된 행 데이터 비트 및 체크 비트는, RD₀로부터의 CLD 클럭 신호를 사용하여 137개의 부분행 데이터 및 체크 비트를 어드레스하기 위하여 신호 R11~R14를 래치하여 ECC 논리 회로(27)에 부분행을 제공하는 부분행 디코더(26)에 입력된다.

상기 ECC(27)는 오류 비트를 정정하고, 체크 비트를 제거하여, RD_e로부터의 CLE 클럭신호에 의해 SRAM(28)으로 상기 정정된 128비트의 데이터를 출력한다. 상기 정정된 부분행을 SRAM(28)에 기록하고, 또는 SRAM(28)로부터 데이터 비트를 판독할 수 있기 위해서는 SRAM(28)이 클럭신호 SE에 의해 연에이블되어야(SRAM Enabled)한다. 상기 SE 신호는, 제5도로부터 알 수 있는 바와 같이 CAS 신호가 로우레벨이고 CLD 클럭 신호가 하이 레벨일 때 출력된다. SRAM(28)의 부분행중 임의의 비트 영역은, SRAM 디코더에 공급되는 데이터 비트 선택신호 C0~C6에 의해서 어드레스 지정됨으로써 판독 혹은 기입될 수 있다.

SRAM 액세스 타이밍(SRAM Access Timing) :

최초의 신호 C0~C6는, 제3도에서 시점(81)의 직후에, 칩의 4개의 각 쿼드런트의 SRAM의 1데이터 비트로 액세스한다. 그리고 바로 그 후, 칩당 네개의 SRAM 데이터 버퍼가, 제3도의 첫번째 "메모리 버퍼로드 시간 주기"에서 "SRAM 로드 버퍼(SRAM LOADS BUF)" 시간 주기(1)로 나타내어진 하나의 머신 사이클내에 데이터 버퍼(10A)로 로드된다. 그 다음 연속된 4사이클에서는 QW가 쿼드워드 버스상으로

출력되고, 네번째 사이클의 거의 끝부분에서는, 데이터 판독 동작을 계속하기 위하여 그 다음의 버퍼 로드가 행해진다.

다음에, 두번째 내지 여덟번째 신호 C0~C6는 각각 1머신 사이클내에 SRAM의 4개 쿼드런트에 4개 데이터 비트를 액세스하고, 데이터 버퍼(10A)를 로드한다. 그리고 그 다음에 연속되는 4개의 머신 사이클에서는, QW가 쿼드워드 버스로 출력되고, 네번째 사이클의 거의 끝부분에서는 그 다음 버퍼 로드가 실행되어, SRAM에 의한 데이터 버퍼의 8회 로딩으로 32QW가 판독될때까지 계속해서 데이터 판독 동작을 실행한다.

페치동작에 대한 DRAM 리커버리 시퀀스(DRAM Recovery Sequence for a fetch Operation) :

페치 동작의 경우 DRAM 리커버리는, SRAM이 로드되었을때 블록(60)내의 AND 게이트(61)에 의해 개시된다. 상기 DRAM 리커버리는 SRAM에서의 I/O 데이터 비트의 액세스 동작과 오버랩되어 행해진다. 기억 동작에 대한 경우와 달리, 페치동작에 대한 DRAM 리커버리는 SRAM에서의 데이터 액세스 동작이 종료되기 훨씬 전에 개시되므로, DRAM 리커버리는 SRAM 액세스 동작의 종료시 또는 그 이전에 종료한다.

페치(판독) 동작에 대한 본 발명의 구체적 실시예의 경우, 칩내의 4개 DRAM의 각각은 리커버리 되지만, SRAM의 내용은 페치 동작 동안에 변하지 않기 때문에, SRAM은 액티브 상태로 유지된다. 제5도의 AND 논리 회로(AND 게이트)(61)는 각 페치요구시 마다 클럭 리커버리 신호를 시동시킨다.

제3도에서, DRAM 리커버리에는 13머신 사이클이 필요하다. DRAM 리커버리는, 시점(81)부터 시점(82)까지의 시간범위내에서 시작될 수 있고, 마지막 시점(82)은 13개의 사이클이 지난후(시점 83), 행 액세스간의 데이터갭을 채우기 위하여 현재 행 페치의 마지막 QW가 전송된 후 다음 메모리 행 액세스를 위한 데이터의 첫번째 QW가 버스상으로 전송될 수 있을 정도로 충분히 빨리 그 다음 RAS 사이클을 개시(RAS 신호의하강)할 수 있도록 결정된다.

제3도 및 제5도에서, 리커버리 사이클의 개시는 RAS 신호의 상승(127)(제3도 및 제4도 참조)(즉, RAS의 상승 신호가 LS/DR(41)에 입력되면, 두번 반전되어 DR(48)의 출력단은 하이 레벨로 상승함)에 의해 개시된다. 그때 RAS가 하이 레벨로 상승하면, 상기 RAS 신호는 AND게이트(61)와 OR게이트(63)를 통과하여 DF(64)로 입력된다. AND게이트(61) 및 (62)는, 일단 RAS 신호가 하이레벨로 되면, 리커버리 체인내의 첫번째 클럭인 CLF 클럭 신호를 판독 모드(RE=1)에서 확실하게 하이 레벨로 만든다. 상기 클럭발생기는 상기 SRAM이 로드되기 전까지 리커버리가 시작되지 않도록, 상기 CLE 클럭 신호가 하이레벨이되기 전에 상기 AND게이트(61)로의 RAS 신호가 하이 레벨로 가지않게 해야 한다. 만약 상기 RAS 신호가 AND게이트(61)의 출력단에서 처음으로 하이가 되면, OR게이트(63)의 출력 신호는 RDF의 리세트 단자에 입력되어 그 이후 CLE 신호가 하일로 가는 것을 방지하고, 이렇게 하여 CLE 클럭 신호는 ECC(27)(제1도에 도시됨)의 동작을 금지시킨다. AND 게이트(61)는 CAS 신호 입력을 갖지 않으므로, 판독 모드에서 CAS가 상승하기 전에 RAS가 하이레벨로 상승할 수 있으며, 그것은 본 발명의 바람직한 실시예의 동작에서 SRAM의 입출력 비트 액세스 동안 CAS가 로우 레벨로 유지되기 때문에 가능하다.

따라서, 페치 신호(RE=1)는 기억 신호(RE=0)와는 다르게 클럭 발생기는 동작시킨다. 기억 동작에 대하여 AND게이트(62)는, RAS 및 CAS 신호가 모두 하이 레벨이 될때까지, 즉 RAS가 DRAM 리커버리가 가능한 상태에 있다는 것을 지시하고 CAS가 SRAAI 데이터를 액세스하고 있지 않다는 것을 지시할 때까지, DRAAI 리커버리가 개시되지 못하게 한다.

출력 신호 CLF는 AND게이트(69)를 인에이블시켜, 출력신호 ECCVT를 공급한다. AND게이트(69)의 또 하나의 입력은, 클럭 신호 CL1(DRAAI 리커버리 처리의 종료시에 공급됨)가 전혀 공급되고 있지 않은 경우, 인버터(68)에 의해 인에이블(DRAM 리커버리 처리의 개시점에서)된다. 신호 ECCW는 제1도의 ECC(27)를 통해 128개의 SRAM 데이터 비트의 내용을 게이트 제어하고 9개의 체크 비트를 부가하여, 센스 증폭기(24)에서 대응하는 부분행에 놓여지는 137비트의 부분행을 제공한다. 상기 ECC 논리 회로의 동작은, 페치 동작에 대한 부분행에 있어서, ECC 논리 회로가 128개의 데이터 비트를 SRAM으로 전송할 때, 부분행중에 잘못된 DRAM 데이터 비트에 대하여 ECC에 의한 여러 정정이 행해지지 않는한, 상기 부분행의 데이터 비트는 전혀 변경되지 않는다.

DF(64)로의 입력 신호는 DRAM 리커버리의 클럭 동작을 지시할 뿐만 아니라, SRAM으로의 부분행 데이터 전송시에 ECC 동작을 제어하기 위하여 미리 클럭 신호 CLE를 제공하는 RDE(47)의 리세트 입력단자에 도선(49)을 통해 공급된다. 상기 RDE(47)의 리세트 입력은 이전에 ECC회로를 SRAM 방향으로 인에이블시키도록 제어한 이전의 클럭 신호 CLE를 확실하게 종료시키므로, ECC는 AND게이트(69)로부터의 ECCW 클럭 신호에 의해서 상기 방향의 역방향인 DRAM 방향으로 이용가능한 상태에 놓여서, SRAM 데이터 비트에 새로운 ECC 체크 비트를 부가하여 DRAM으로 다시 전송하도록 동작한다.

다음으로, 지연 회로 DH(66)는 지연된 RAS 신호를 수신하고, 센스 증폭기로부터의 행을 현재 어드레스 버퍼(23)에 의해 액티브되어 있는 DRAM 행으로 출력하는 것을 제어하는 신호 CLH를 출력한다. 마지막으로, 지연 회로 DI(67)가, 리커버리를 완료하기 위하여 각 쿼드런트에 대해 필요한 비트 라인을 최종적으로 리세트하고 프리차아지를 행하도록 액티브된다. 이렇게 하여, 4개의 쿼드런트는 다음에 연속되는 페치모는 기억 동작이 실행가능한 상태로 된다.

기입 동작에서는 DRAM 리커버리 시퀀스(DRAM Recovery Sequence for Write Operation) :

본 발명에 따른 구체적 실시예는, SRAM의 기억내용의 갱신이 모두 끝난 후에만 하이 레벨로 스위칭된다고 하는 CAS 신호의 특성을 이용한다. 블록(60)내의 AND게이트(62)에는 또한 LS/DR(51)로부터 반전RE 신호가 공급되고, 기억 동작 동안에는 CAS 신호의 상태를 검출할 수 있다. RE=0(로우 레벨)는, 그의 반전된 신호가 상기 게이트(62)에 하이 상태로 공급되므로, WRITE 상태를 지시한다.

다음으로, 최초의 리커버리 클럭신호 CLF, CLG, CLH 및 CLI는, SRAM 액세스가 완료될 때까지 상기 신호가 AND게이트(62)의 동작에 의해 지연된다는 것을 제외하면 페치 동작에 대하여 설명된 것과 동일

한방식으로 동작하므로, DRAM 리커버리 및 SRAM 액세스에 대한 기입 모드에서 어떠한 현저한 오버랩도 발생되지 않는다.

상이한 종류의 요구에서의 갭의 효과(Gap Effect of Different Types of Requests) :

제3도 및 제4도에서, "행 전송 시간(line transfer time)"은, SRAM(28)에 순차적으로 입력되는 8개의 C0~C6 신호에 응답하여 144개의 칩으로부터 데이터 버퍼(10A)로 8개의 4QW 세트 형태로 순차적으로 로드되는, 버스(12)상의 연속하는 32QW를 판독하기 위한 32개 머신 사이클 시간이다. 본 발명에 따르면, 버스(12)상에서 다음 행 전송의 최초 QW는, 어떠한 데이터 갭 없이 즉, 버스(12)상으로 QW 데이터가 전송되지 않는 머신 사이클의 개재가 없이 이전의 행 페치에 대한 마지막 QW의 머신 사이클 직후 바로 다음머신 사이클에서 제로 갭으로 시작할 수 있다.

각각의 페치 동작에 대한 본 발명의 바람직한 구체적 실시예에서, RAS 클럭 신호의 상승(칩의 페치 동작이 개시되는 RAS의 하강 뒤에 따르는)은 DRAM의 리커버리 동작 전체를 메모리 시스템 버스상의 32QW SRAM 데이터 판독과 오버랩될 수 있을 만큼 충분히 빨리 이루어진다. 따라서, SRAM 판독이 종료되면 DRAM 리커버리도 또한 종료되어, 다음 메모리 행 페치에서 R0~R10 신호 및 R1~R14 신호의 최초의 부분이, 마지막 메모리 행 페치동안 신호를 칩상의 서로 다른 핀으로 입력시킴으로써, SRAM 판독의 다음 부분 예를들면, 제3도의 (C~C6)6 내지 (C0~C6)8에 오버랩되게 할 수 있다. 그때, 다음에 계속되는 행 페치에서의 최초의 QW는, 어떠한 데이터 갭 없이 즉, 제로 갭으로 이전의 행 페치에 대한 최종QW의 머신 사이클 직후 바로 다음의 머신 사이클에서 시작할 수 있다.

마찬가지로, "행 기억 전송 시간(line store transfer time)"(데이터 행 전송에 대한 32머신 사이클에서 버스(12)상으로 32개의 연속된 QW를 데이터 버퍼(10B) 및 (10C)로 전송하기 위한)은, 버스로부터 버퍼(10B) 및 (10C)로의 32개 QW의 순차적인 전송을 포함한다. 상기 버퍼(10B) 및 (10C)는 메모리 기억에대한 버스(12)상의 행 전송시에 QW 세트간의 갭이 없이 4QW의 데이터 세트를 수신하기 위해 상호 교대로 이용된다. 임의의 4QW 세트가 버퍼(10B) 또는 (10C)로 로드된 후, C0~C6로 어드레스된 각각의SRAM 기억장소에 4QW의 세트의 각 데이터 비트를 입력하는 데에는, 4개의 머신 사이클이 필요하다. 상기 4개의 머신 사이클 동안, SRAM이 마지막 수신된 4QW 세트에 대하여 상기 버퍼(10B) 및 (10C)중 어느 하나로부터 각각의 데이터 비트를 수신하는 시간이 오버랩되도록, 데이터 버스(12)는 또 다른 버퍼(10B) 또는 (10C)로 다음 4QW 세트를 전송한다.

이때, 이전의 행 페치에 대한 최종 4QW 세트의 마지막 QW가 제2도의 버퍼(10A)로부터 버스(12)로 출력되는 동안, 행 기억(행 페치후의)에서의 최초의 4QW가 버스(12)로부터 데이터 버퍼(10B) 또는 (10C)에 의해 수신될 수 있다. 그리고 행 페치에 대하여 MC에 의해 버스(12)로부터 최종 QW가 수신되자마자, 다음 머신 사이클에서 다음 4QW 세트의 최초의 QW를 데이터 버퍼(10B) 또는 (10C)로 전송할 수 있다. 버퍼(10B) 및 (10C)가 채워지면, 144개의 칩은 행 기억 동작을 실행한다.

그러나, 3개의 데이터 버퍼(10A)를 가지는 본 발명에 따른 구체적 실시예에 있어서 조차도, 종래기술과 마찬가지로 DRAM 리커버리가 개재하기 때문에 버스(12)상에서 연속된 행 기억 동작 사이의 데이터 갭(예를들면, 21개 머신 사이클)을 피할 수 없다.

DRAM/SRAM 오버 랩의 개요(DRAM/SRAM Overlap Summary) :

앞서 설명한 바와 같이, 본 발명은 칩내의 페치 동작에서의 SRAM 판독동작과 DRAM 리커버리 동작을 오버랩시킨다. 이렇게 하므로써, 본 발명은 페치 액세스에서의 갭을 제로로 감소시킬 수 있다. 이것을 실행하기 위해, 본 발명의 구체적 실시예는, 페치 동작 동안 SRAM이 로드된 후 임의의 시점에서 DRAM 리커버리를 개시한다(종래기술에서는 SRAM 액세스가 완료된 후 대신에 페치 동작 동안에 실행).

DRAM/SRAM 오버랩의 효과는 예를들면, 본 발명의 바람직한 실시예에 따른 메모리 시스템의 행 페치 시간을 본원중에 기재된 종래기술예에 비하여 21사이클로 단축할 수 있다. 즉, 다음 메모리 행 페치 동안버스(12)상의 것변에 QW 전송이, 동일한 144개 칩 세트와 동일한 버스(12)에 대해서 제6도의 기억 데이터 버퍼링 방식 및 제2도의 페치 데이터 버퍼링 방식을 이용하면, 이전의 행 페치에 대해 버스(12)상으로최종 QW가 전송된 후의 머신 사이클에서 실행될 수 있다. 상기 실시예에서, 페치를 위한 메모리 이용 시간이 53머신 사이클(53-32+21)로부터 32머신 사이클로 40% 단축된다.

기입 동작의 제약 개요(Write Operation Constraint Summary) :

본 발명의 구체적 실시예에 의해 행 페치 동작에 있어서 실행되는 DRAM/SRAM의 오버랩은 다른 행 기억 동작후에 계속되는 행 기억 동작에 있어서는 실행이 불가능하다. 그것은, SRAM의 내용이, 임의의 행 기억 동작에서 어떤 또는 모든 SRAM 액세스 동작 동안 변경될 수 있지만, 행 페치 동작 동안 변경될 수 없기 때문이다. 행 기억 동작에 대한 DRAM 리커버리는, SRAM 내용에서 모든 데이터 변경이 행해질때까지 개시될 수 없다. 따라서, 데이터 버퍼(10B) 또는 (10C)로부터의 모든 비트는 우선 SRAM중에 기입되어야 하고, 그 후(그리고 그 후에 만) 수정된 모든 SRAM 내용을 현재 어드레스되어 있는 DRAM 행에 기억하는 것을 포함하는 DRAM 리커버리지를 개시할 수 있다. 따라서, 버스(12)상의 각각의 행 기억 전송후에 데이터 갭이 발생하는 행 기억 동작에서는, 의미있는 DRAM/SRAM 오버랩이 실행 불가능하다.

페치와 기억 시퀀스에 의한 영향을 받지 않는 행 페치 시간 :

본 발명의 구체적 실시예에 의한 페치 동작 시간의 단축은, 기억 동작시의 갭이 상기 기억 동작의 종료시(기억 동작의 초기에서가 아니라)에 발생하므로, 다음의 행 액세스가 페치인지 기억인지에 관계없이 달성된다. 페치에서의 DRAM 리커버리와 SRAM 출력의 오버랩은 다른 메모리 행 액세스에 의해 영향을 받지않는다. 마찬가지로, 기억 동작 동안에 오버랩의 결여(이것은 기억 동작 동안에 상당한 시간 단축을 방해한다)는 또한 기억 동작 자체에 제한된다. 따라서, 본 발명에 따르면 페치동작 요구도 기억 동작 요구도 다른동작의 메모리 이용 시간에는 영향을 미치지 않는다.

연속되는 행 페치 사이의 갭은, 버퍼(10A)가 1개, 2개 또는 3개 있는가 등의 메모리 시스템에 의한 데이터 버퍼링 방식에 의해 영향을 받지 않는다. 그러나 행 페치와 그 다음 행 기억 사이의 갭은 버퍼(10)의 수와 2개 이상 마련된 버스(12)에 의해 영향을 받는다.

페치 및 기억 동작에 대한 상이한 시간(Unequal Time for Fetch and Store Operations) :

본 발명을 이용한 컴퓨터 메모리 시스템은, 페치 동작을 위한 시스템 메모리 액세스 시간을 기억 동작에서의 시스템 메모리 액세스 시간보다 상당히 짧게 한다(종래기술의 컴퓨터 메모리 시스템은 페치 동작 및 기억 동작 모두에 대해 동일한 액세스 시간을 사용하였다).

따라서, 본 발명의 구체적 실시예에서 사용된 메모리 컨트롤러는, 페치 동작과 기억 동작에서 RAS 클럭타임을 다르게 하여 제어할 필요가 있다. 종래의 메모리 컨트롤러는 페치 동작, 기억 동작 모두 RAS 클럭타임이 동일하였다.

메모리 컨트롤러에서, 페치/기억에 대한 RAS 발생 제어(Ras Fetch/Store Generation Controls inMemory Controller)

본 발명에 다른 바람직한 구체적 실시예에서 RAS 신호는 메모리 컨트롤러(MC)에서 발생된 후 메모리 칩으로 전송되어 페치, 기억 및 리커버리지 동작을 제어한다. 상기 RAS 신호 발생기는 종래의 RAS 신호와 다른 파형의 RAS 신호를 발생시킨다. 본 발명의 구체적 실시예는 페치 및 기억에 대해 다른 RAS 파형(이후 F/S RAS라고 함)을 제공한다.

상기 각 F/S RAS 신호 사이클은 RAS 액티브부 및 RAS 리커버리지부의 2개의 부분을 가진다. RAS액티브부는 페치 요구의 경우와 기억 요구의 경우에 대해 상이한 2개의 시간길이중 어느 하나를 가진다. RAS 발생기는 RAS 리커버리지 바로 뒤에 이어지는 액티브에 대한 2개의 상이한 시간길이중 해당되는 올바른 시간 길이를 선택한다. 여기서 사용된 RAS라는 용어는 주기적인 RAS 파형을 의미하는(페치 및 기억에 대하여 동일한) 종래의 경우를 언급하지 않는 한, F/S RAS를 의미하는 것으로 한다.

상기 F/S RAS 사이클은, RAS 신호가 하이레벨로부터 로우레벨로 하강할 때 개시되고, 이와 동시에 상기 사이클의 액티브도 시작된다. 상기 액티브부는 F/S RAS 신호가 로우레벨로부터 하이레벨로 전환될 때 종료하고, 이와 동시에 F/S RAS 사이클의 리커버리지부가 시작된다.

실제의 DRAM 리커버리지는, 리커버리지부에 허용되는 최소 시간내에서 행해지고, 그후 RAS 발생기는 다음의 F/S RAS 사이클을 개시하기 위해 다음의 메모리 요구를 나타내는 신호를 발생한다. F/S RAS사이클의 리커버리지부의 하이레벨은 상기한 최소 리커버리지 시간보다 길게, 다음 메모리 요구가 상기RAS 발생기로 보내질 때까지 지속될 수 있다.

F/S RAS 사이클의 개시는 또한, CAS 사이클의 개시 및 현재의 RE 신호상태의 포착을 트리거한다. CAS의 액티브 상태는 R0~R14의 어드레스 비트(다중화되는 경우도 있다)가 CAS 신호전에 칩에 도달할 수 있기 위한 시간을 확보하기 위해 짧은 지연시간을 두고 개시된다.

다음의 요구가 즉시 RAS 신호 발생기에 제공되는 한, 각 페치 요구에 대해서 최소 시간의 F/S RAS 사이클이 생성된다.

제8도는 본 발명의 바람직한 구체적 실시예에서 사용된 RAS 발생 수단을 나타낸다. 디코더(81)는 MC에 의해 수신된 각각의 메모리 액세스 요구를 검출하여, 그것이 페치 요구(명령)인지 또는 기억 요구인지를 판단한다. 페치 요구가 검출된 경우 상기 디코더(81)의 출력이 페치 요구 래치(82)를 세트한다. 기억 요구가 검출되면, 디코더(81)의 출력은 기억 요구 래치(84)를 세트하기 전에 지연 수단(회로)(83)에 의해서 지연되는데, 이때 상기 지연 수단(83)은, 기억 요구 래치(84)를 세트하기 전에 기억될 데이터가 제6도의 버퍼(10B) 또는 (10C)에 도달할 때까지 기다린다. 지연 수단(83)의 기억 지연값은 프로그램된 수단에 의해 그안에 세트되어 있다.

세트 상태이면, 페치 래치(82) 또는 기억 래치(84)중 어느 하나의 출력이 하이레벨이므로, 그 출력이 F/S RAS 사이클의 액티브부의 다이밍을 갖추기 위해 사이클 카운터(88)를 제어한다.

RAS 래치(92)의 세트 및 리세트 입력은 F/S RAS 출력 파형의 액티브 부분을 제어한다. RAS 파형의 액티브부는, 페치 래치 또는 기억 래치(82),(84)가 세트되었을때 시작되고, 그의 각 출력은 OR 회로(100)를 통해 출력되어 RAS 래치(92)를 세트하며, 이때의 출력은 하이레벨이다. 인버터(103)는 RAS 래치 출력신호를 반전하므로, 로우레벨이 F/S RAS 액티브부 출력으로 제공된다.

RAS 래치(92)가 리세트되고 그의 출력이 로우레벨이 되어 인버터(103)로부터의 F/S RAS 출력이 하이레벨로 상승하면, 페치 요구 또는 기억 요구에 대한 인버터(103)로부터 출력되는 RAS 사이클의 액티브부가 종료한다. 또한 상기 RAS 액티브부의 종료와 함께 F/S RAS 사이클의 리커버리부가 시작된다.

RAS 액티브부는 래치 요구와 기억 요구에 대해 다르게 머신 사이클을 측정하는 사이클 카운터(88)에 의해 길이가 결정된다. 상기 사이클 카운터(88)는, 각각의 메모리 액세스 요구가 디코더(81)에 의해 라인(110) 또는 (111)을 경유하여 수신되었을 때마다 제로로 리세트된다. 이것은 디코더의 출력으로부터 제공되는 각각의 요구가 OR회로(86)를 통해 AND 게이트(87)를 액티브 시켜 모든 제로 리세트값을 카운터(88)로 통과시키므로써 행해진다. 사이클 카운터(88)는 리세트된 후, 각각의 연속된 머신 사이클마다 1개씩 증가하고, 머신 사이클 증분기(91)는 라인(112) 또는 (113)을 경유한 OR 회로(89)에 의해 인에이블되어 각머신 사이클 마다 1개의 증가 신호를 카운터(88)에 공급한다.

RAS 액티브부의 머신 사이클 단위의 시간은, 페치 시간 레지스터(TF)(97) 및 기억 시간 레지스터(TS)(94)에 설정된 값에 의해 결정된다. 상기 값은 프로그램된 소스(도시생략)에 의해 내부에 설정된다. 마찬가지로, RAS 리커버리부의 머신 사이클 단위의 시간은 리커버리 시간 레지스터(TR)(106)에 세트된 값에 의해 결정된다. 이 값도 프로그램된 소스로부터 레지스터(106)내에 설정된다.

F/S RAS 파형의 액티브부 및 리커버리부에 대한 제어는 비교기(93),(96) 및 (107)을 이용하여 행해

진다. 상기 비교기는 모두 동시에 액티브 되지만, 한번에 래치(82),(84) 또는 (104)중 하나만이 세트되므로,상기 비교기중 하나만이 출력된다. 상기 각 비교기는, 시간값 TF, TS 또는 TR중 수신된 값을 사이클 카운터(88)로부터 출력되는 현재의 사이클 시간값과 비교하여, 카운터(88)의 사이클 수가 각 비교기에 접속된사이클 값 레지스터(97),(94) 또는 (106)내의 사이클 값에 도달했을 때를 지시한다.

이와 같이, 디코더(81)에 의해 페치 요구가 수신되면,OR 회로(86) 및 AND 게이트(87)을 통해 사이클 카운터(88)가 제로로 리세트되고, 페치 래치(82)가 세트되어 사이클 카운터(88)를 액티브시키고, 카운터(88)는 제로로부터 사이클 수를 카운트하기 시작한다. 또한, 상기 디코더(81)로부터의 페치 요구 신호는OR 회로(100)를 통해 RAS 래치(92)를 세트시키고, RAS 신호를 인버터(103)의 출력에서 로우레벨로 하강시킴으로써 F/S RAS 사이클을 시작한다. 모든 비교기가 카운터 출력 값을 각각의 TS, TF 및 TR 값과비교하기 시작하지만, 페치요구에 있어서는, 출력 게이트(99)만이 페치 래치의 세트상태에 의해 인에이블되므로, 비교기(96)의 출력만이 이용된다. 따라서, 카운터가 TF 값에 도달하면, 비교기(96)의 출력이 AND게이트(99) 및 OR 회로(101)를 통해 RAS 래치(92)를 리세트하여, RAS 사이클의 페치 액티브부를 종료시킴과 동시에, 리커버리부를 시작한다. 그때, RAS 래치에 대한 인버터(103)의 로우 출력은, 소정의 페치액티브 값 TF의 종료시에 RAS 래치(92)의 리세트에 의해 로우레벨에서 하이레벨로 전환된다.

기억 요구에 대하여도 마찬가지로 동작이 행해지며, 이 경우 기억 래치(84)가 페치 래치(82) 대신에 RAS 발생기의 동작을 제어한다. 기억 래치(84)가 세트되면, RAS 래치도 마찬가지로 세트되고, 사이클 카운터(88)(리세트 되어 있었음)는 머신 사이클을(라인(113)을 통해) 카운트하기 시작한다. 그리고, 비교기(93)가 사이클 카운터(88)의 출력을 레지스터(94)내의 TS 값과 비교하여 동일하면, 비교기(93)의 출력을 레지스터(94)내의 TS 값과 비교하여 동일하면, 비교기(93)의 출력이 AND 게이트(98)를 경유하여 RAS래치(92)를 리세트하고, RAS 래치 인버터(103)로부터 출력되는 RAS 사이클의 기억 액티브부를 종료시키며, 그때 출력 신호는 하이레벨로 전환되어, RAS 신호파형의 리커버리부가 개시된다.

OR 회로(101)의 출력이 페치 또는 기억 요구에 있어서 임의의 RAS 사이클 액티브부의 끝에서 RAS 래치(92)를 리세트하고, 라인(115)을 통해 OR 회로(86)를 경유하여 AND 게이트(87)를 액티브하여, 카운터(8)를 리세트시켜 새로이 카운트 동작을 시작한다. 이 경우의 계수 동작은 RAS 사이클의 리커버리부를 제어하기 위한 리커버리 카운트 동작이다. 리커버리부에 대한 RAS 발생기의 시간 제어동작은 액티브부에 대한 시간 제어 동작과 마찬가지로 행해진다.

리커버리 래치(104)는,OR 회로(101)로부터의 RAS 래치를 리세트하고 F/S RAS의 액티브부를 종료시키는 것과 동일한 신호에 의해 세트된다. 리커버리 래치(104)의 액티브 출력은 라인(114)을 통해 OR 회로(89)를 경유하여 사이클 카운터(88)에 공급되어, 새로운 카운트 동작을 개시시킨다. 비교기(107)는, 상기가운터의 값이 TR 레지스터(106)의 값에 도달하면 동일하다고 판단하여, 리커버리 래치(104)의 출력에 의해 인에이블 되어 있는 AND 게이트(102)로 동등신호를 출력한다. 상기 신호는 AND 게이트(102)를 통해출력 라인(12)으로 공급되고, RAS 발생기에 의해 다음 RAS 동작 사이클이 제공될 수 있도록 MC에 대해서 디코더(81)로 다음 메모리 요구를 전송할 것을 요구한다. 출력 라인(12)상의 신호는 MC의 요구 대기제어회로로 전송되어, 다음 메모리 액세스 요구가 RAS 발생기에 제공되도록 요구한다.

따라서, 인버터(103)로부터 출력되는 하이레벨의 RAS 신호는 디코더(81)에 다음의 요구가 제공되어 RAS 발생기에서 다음의 F/S RAS동작 사이클을 개시할 때까지 유지된다. F/S RAS 파형의 하이레벨(최후의 리커버리부에 의해 시작됨)은, 디코더(81)에 의해 다음 요구가 수신되어, 페치 래치(82) 또는 기억 래치(84)를 세트하고, 따라서, RAS 래치(92)를 세트하여 언버터(103)로부터의 RAS 신호를 하강시켜, 다음의 RAS 사이클이 시작될 때까지 변하지 않는다.

리커버리 시간 TR은 RAS 사이클의 리커버리부를 위한 최소의 시간을 확보하기 위한 것이고, 따라서,다음의 메모리 요구가 RAS 발생기에 의해 다음의 RAS 동작 사이클을 개시시키기전에, 칩에 의한 DRAM리커버리 동작이 성공적으로 완료되게 된다. 따라서, AND 게이트(102)는 TR 레지스터에 설정된 시간 값을 경과할 때까지 라인(120)상에 출력신호가 발생되지 않도록 하기 위해, TR 레지스터에 세트된 사이클수 동안에는 F/S RAS 출력이 상승한 후에도 액티브 되지 않고 리커버리 래치는 다음의 사이클을 준비하기 위하여 라인(12)상의 출력신호에 의해 리세트된다. 데이터 행의 부분 기억 동작 (Storing a Fraction of a Data Line) :

컴퓨터 시스템 중에는 어떤 메모리 명령으로 데이터 행의 일부를 기억하고, 다른 메모리 명령으로 데이터행 전체를 기억하도록 구성된 것이 있다. 이와 같은 경우에는 1RAS 및 CAS 사이클로 하나의 전체 데이터행 보다 작은 기억 용량을 제공할 필요가 있고, 그들의 액세스 속도를 증가시키기 위해 상기 사이클의 시간을 단축하는 것이 바람직하다.

제2도 및 제6도에 있어서는, 8개의 4QW 세트로 나뉘어진 32QW 데이터 행이 고려되었고,144개 칩의 메모리 시스템의 각 SRAM에 기억되는 1비트 당 1세트의 4QW가 메모리 시스템에 기억된다. 따라서, 간단히 소정의 명령에 의해 기억되는 데이터행의 부분마다 버퍼(10B) 및/또는 (10C)의 4QW의 로딩수를 제어하므로써 데이터 행을 쉽게 8분의 1의 부분(각각 4QW를 가진다)으로 분할 할 수 있다.

예를 들면, 반 데이터 행(16QW)이 기억되어야 하는 경우는, 네 세트의 4QW 세트가 각각 로드되어 행마다 기억된다. 4개의 4QW 세트를 기억하려면 4개의 (C0~C6) 어드레스 비트 순열, 즉(C0~C6)1 내지(C0~C6)4가 필요하다. 그리고 RAS 다이밍 제어신호의 액티브부 길이는, 기억 액티브 시간을 단축하기위해 부분행 기억의 장점을 이용하려면 제8도의 RAS 발생기에서 그에 알맞게 단축되어야 한다. 여기에는제8도의 회로에서 처리하려고 하는 기억부분마다 기억 래치, 비교기 및 비교기 출력 AND 게이트가 추가적으로 필요가 있다.

1행의 각 부분에 대한 CAS 다이밍 제어 신호의 길이도 그에 상응하여 변해야 한다.

페치에 대해서도, 부분행을 사용할 수 있고, 그들에 대한 RAS(및 CAS) 사이클도 마찬가지로 단축할 수 있다. 그러나 RAS(및 CAS) 사이클의 길이가 부분행 페치 또는 부분행 기억에 대하여 변화되지 않은 경우에도 본 발명의 시스템은 동작가능하다. 그러나, 시스템 메모리의 동작 속도를 증가시키기 위하여는, 특히부분행에 대한 사용빈도가 높은 경우, 각각의 RAS(및 CAS) 사이클을 단축시킬 필요가 있다.

더욱이 칩에는 각 SRAM의 기억 능력을 금지시키기 위해 MC로부터 공급되는 제어신호를 수신하기 위해 4개의 핀을 부가해도 무방하다. 이때, 메모리 시스템내 모든 칩의 단지 하나, 둘 또는 세개의 SRAM은, 144개 칩의 네개 SRAM 모두에 병렬로 버퍼(10B) 또는 (10C)로부터의 4QW 세트를 항상 기억하는 대신에, 버퍼(10B) 또는 (10C)로부터의 하나, 둘 또는 세개의 QW를 병렬로 기억하기 위하여 개별적으로 인에이블 될 수도 있다.

그 밖의 실시예 :

본 발명의 RAS한 구체적 실시예는, 각 칩내에 클럭 회로(60)를 제공하고, 페치 및 기억시의 DRAM 리커버리의 개시를 제어한다. 이와 같이 칩내의 제어 대상 회로 가까이에서 클럭 제어 회로를 구비함으로써, 칩의 외부에 제공되었던 회로에서는 연기 힘들었던 제어 동작의 정밀도를 확보할 수 있다.

그러나 상기 본 발명의 구체적 실시예는 또한 클럭신호에 따른 개시제어를 위한 회로를 제7도의 메모리컨트롤러(MC)에 제공하는 것과 같이, 메모리칩 외부에 제공하는 것도 가능하다. 이것은 예를 들면, 제8도의 RAS 발생기의 F/S RAS 출력에 회로(제5도에서 블럭(60)으로 표시됨)의 RAS 입력을 제공하여, 접속함으로써 이루어질 수도 있다.

상기한 회로(60)(MC내에 또는 칩상의 어느쪽에 있어서도)는 RE 및 CAS 신호에 의해서 변조된 변조 RAS 신호를 발생한다. 온-칩형인 경우의 회로(60)와 MC내에 구비된 경우의 회로(60) 사이의 차이점은 MC로부터 칩으로 제어 버스를 경유하여 전송되는 신호의 파형이다. 앞서 설명된 실시예에 있어서는, F/SRAS 신호가 각 칩상의 RAS 핀에 전송된다. 그러나, 회로(60)가 MC내에 구비되어 있는 경우는, 변조된 F/S RAS 신호가 칩상의 RAS 핀에 공급된다. 상기 변조 신호 파형은 RE 및 CAS 신호의 상태를 변화시키는 기능으로서 한 사이클로부터 다음 사이클로 변화할 수 있다.

따라서, 비록 내부에 발생된 신호 파형이 더욱 정확하게 다이밍될 수도 있고 따라서 변조 RAS 신호를 얻는 방법으로는 바람직할 수 있지만, 외부 변조된 F/S RAS 신호를 이용하는 경우, 전술한 온-칩의 변조된 RAS 신호와 동일하고, DRAM 리커버리와 SRAM 데이터 페치 사이의 오버랩이 가능하게 된다.

이와 같이 외부 변조된 RAS 신호를 이용가능성에 있어서의 중요한 요소는, 상기 신호를 수신하는 칩 이페치 또는 기억 동작에 대하여 CAS 신호가 액티브 상태를 유지하는 동안 임의의 DRAM 리커버리 동작의 개시를 금지하는 온-칩 인터록회로(on-chip interlock)(본원의 출원시에 시판되는 많은 DRAM 메모리칩에서 발견됨)을 포함하지 않아야 한다는 것이다. 따라서 상기 종래의 인터록 회로는 모든 캐쉬(SRAM)데이터 페치 또는 기억이 완료될 때까지 모든 경우에(페치 및 기억 모두) DRAM 리커버리를 지연시킨다. 상기 종래의 인터록 회로는 본 발명의 모든 실시예에 따라 구성된 메모리 칩에는 존재할 수 없다.

이상 설명한 바와 같이, 본 발명에 따르면, 컴퓨터 메모리 시스템의 반도체 칩에 있어서 데이터를 페치하는 동작의 시간주기를 짧게 함으로써, 컴퓨터 메모리 시스템의 성능을 현저하게 향상시킬 수 있다.

(57) 청구의 범위

청구항 1

적어도 하나의 다이내믹 랜덤 액세스 메모리(DRAM)와, 그와 연관된 스테틱 랜덤 액세스 메모리(SRAM) 캐쉬를 포함하는 반도체 칩의 리커버리를 제어하는 방법(a method of controlling recovery in a semiconductor chip)에 있어서, 클럭 발생기로부터 행 어드레스 스토로브(RAS) 시퀀스 및 리커버리 클럭(recovery clock) 시퀀스를 발생하는 단계와 ; 상기 RAS 시퀀스의 제어하에 DRAM내의 데이터 부분집합(subset)으로부터 캐쉬로 데이터를 전송하는 단계와 ; 페치 요구(fetch request)동안 상기 RAS 개시에 따라 상기 리커버리 클럭 시퀀스를 개시하는 단계를 포함하는 반도체 칩의 리커버리 제어 방법.

청구항 2

제1항에 있어서, 상기 칩에 RAS 어드레스 다이밍 제어 신호, 캐쉬 어드레스 다이밍 제어 신호 및 페치/기억 상태 신호를 입력하는 단계와, AND 게이트가 상기 페치/기억 상태 신호중 페치 상태를 수신하고 상기 RAS 어드레스 다이밍 제어 신호에 대해 RAS 어드레스 상태가 입력되지 않을때, 상기 리커버리클럭 시퀀스를 개시하는 단계를 더 포함하는 반도체 칩의 리커버리 제어 방법.

청구항 3

제2항에 있어서, 다른 AND 게이트가 페치/기억 상태 신호중 기억 상태를 수신하고, 캐쉬 어드레스다이밍 제어 신호에 대한 캐쉬 어드레스 상태 표시가 입력되지 않고, 상기 RAS 어드레스 다이밍 제어 신호에 대한 RAS 어드레스 상태가 입력되지 않을 때, 상기 리커버리 클럭 시퀀스를 개시하는 단계와 ; 상기 칩내에서 기억 동작을 수행하는 것보다 더 짧은 시간내에 상기 칩내에서 페치 동작을 수행하는 단계를 더 포함하는 반도체 칩의 리커버리 제어 방법.

청구항 4

각각의 칩이 적어도 하나의 다이내믹 랜덤 액세스 메모리(DRAM)와 그와 연관된 캐쉬를 갖는 복수의

반도체 칩을 포함하는 컴퓨터 메모리 시스템}에서 데이터를 기억하는 시간에 대하여 데이터를 폐치하는시간을 단축하는 방법 있어서, 액세스된 칩상의 상기 적어도 하나의 DRAM과 그와 연관된 캐쉬 사이에 데이터를 전송하는 단계와, 상기 액세스된 칩상의 상기 연관된 캐쉬로부터의 데이터 폐치를, 상기 DRAM으로부터의 데이터 폐치후의 DRAM 리커버리와 오버랩시키는 단계와 ; 상기 데이터를 상기 연관된 캐쉬내에 기억하는 단계와 ; 상기 연관된 캐쉬내로의 기억이 완료된 후, 상기 데이터와 연관된 DRAM 회로의 리커버리를 수행하여, 상기 칩으로부터 데이터를 출력하는데 필요한 시간을 상기 칩내에 새로운 데이터를 기억시키는 데 필요한 시간보다 단축시키는 단계를 더 포함하는 데이터 기억 동작 시간에 대한 데이터 폐치 동작시간 단축방법.

청구항 5

소정 행의 데이터 비트에 의해 나타내어지는 데이터를 폐치하기 위하여 DRAM내의 상기 행을 어드레싱하는 단계와 ; 상기 어드레스된 행으로부터의 데이터 비트를 칩내의 센스 증폭기로 폐치하는 단계와 ; 상기 어드레스된 행내의 데이터의 적어도 일부를 상기 칩내의 스테틱 랜덤 액세스 메모리(SRAM) 캐쉬로전송하고, 상기 센스 증폭기로부터의 데이터 비트를 상기 어드레스된 행에 다시 기입함으로써 상기 어드레스된 행의 데이터 비트를 리프레쉬하는 단계와 ; 다음 액세스에 대해 DRAM을 준비하기 위하여, DRAM회로를 사전결정된 상태로 리셋하므로써 상기 DRAM을 리커버링하는 단계와 ; 상기 DRAM의 리커버링단계를 수행하는 동안 병행하여, 상기 캐쉬내의 소정의 데이터 비트를 상기 칩 외부의 수단으로 폐치하여전송하는 단계를 포함하는 다이내믹 랜덤 액세스 메모리(DRAM) 반도체 칩의 폐치 시간 단축 방법.

청구항 6

제 5 항에 있어서, 상기 리프레쉬하는 단계가 완료된 후 상기 어드레싱하는 단계를 완료하는 단계와, 상기 리커버링 단계에 DRAM 폐치 동작을 위한 상기 폐치 및 전송 단계가 오버랩할 수 있도록, 상기 어드레싱하는 단계가 완료된 후 상기 리커버링하는 단계를 개시하는 단계를 더 포함하는 다이내믹 랜덤 액세스메모리(DRAM) 반도체 칩의 폐치 시간 단축 방법.

청구항 7

제6항에 있어서, 상기 리커버링하는 단계를 제어하기 위하여, 상기 DRAM의 외부의 수단으로부터의 폐치 요구 신호에 응답하여, 상기 칩상의 클럭 펄스 시퀀스를 발생하는 단계를 더 포함하는 다이내믹 랜덤 액세스 메모리(DRAM) 반도체 칩의 폐치 시간 단축 방법.

청구항 8

제5항에 있어서, DRAM 기억 동작을 수행하기 위하여, 상기 칩의 외부의 수단으로부터 전송된 소정의 데이터 비트를 캐쉬내에 기억시키는 단계와, 상기 기억시키는 단계동안에, 상기 캐쉬내에 새로이 기억되는 소정의 데이터를 상기 DRAM내의 어드레스되는 행에 기입한 후 상기 리커버링하는 단계를 개시하므로써, 상기 칩내의 폐치 동작이 상기 칩내의 기억 동작보다 짧은 시간내에 이루어지도록 하는 단계를 포함하는 다이내믹 랜덤 액세스 메모리(DRAM) 반도체 칩의 폐치 시간 단축 방법.

청구항 9

제8항에 있어서, 각각의 DRAM이 그와 연관된 SRAM 캐쉬를 갖는 복수의 DRAM에서 앞서 정의된 각 단계를 동시에 수행하는 단계를 더 포함하는 다이내믹 랜덤 액세스 메모리(DRAM) 반도체 칩의 폐치 시간 단축 방법.

청구항 10

소형의 캐쉬를 갖는 적어도 하나의 다이내믹 랜덤 액세스 메모리(DRAM)를 포함하는 반도체 칩의 리커버리를 제어하는 방법에 있어서, 상기 칩에 의해 수신된 메모리 폐치 요구에 응답하여, 상기 캐쉬로 데이터를 전송하는 단계와, 상기 메모리 폐치 요구를 위한 상기 캐쉬로부터의 데이터 폐치를, 다음의DRAM 액세스 동작을 준비하여 상기 적어도 하나의 DRAM에 리커버리 클럭 시퀀스를 인가하므로써 상기적어도 하나의 DRAM의 DRAM 리커버링 동작을 수행하는 동안에, 그 수행하는 단계를 포함하는 반도체칩의 리커버리 제어 방법.

청구항 11

제10항에 있어서, 상기 적어도 하나의 DRAM에 대한 폐치 요구를 위하여 상기 적어도 하나의 DRAM의 상기 리커버링 동작이 완료되는 즉시, 다음 액세스 동작이 수행되도록 하는 단계를 더 포함하는 반도체 칩의 리커버리 제어 방법.

청구항 12

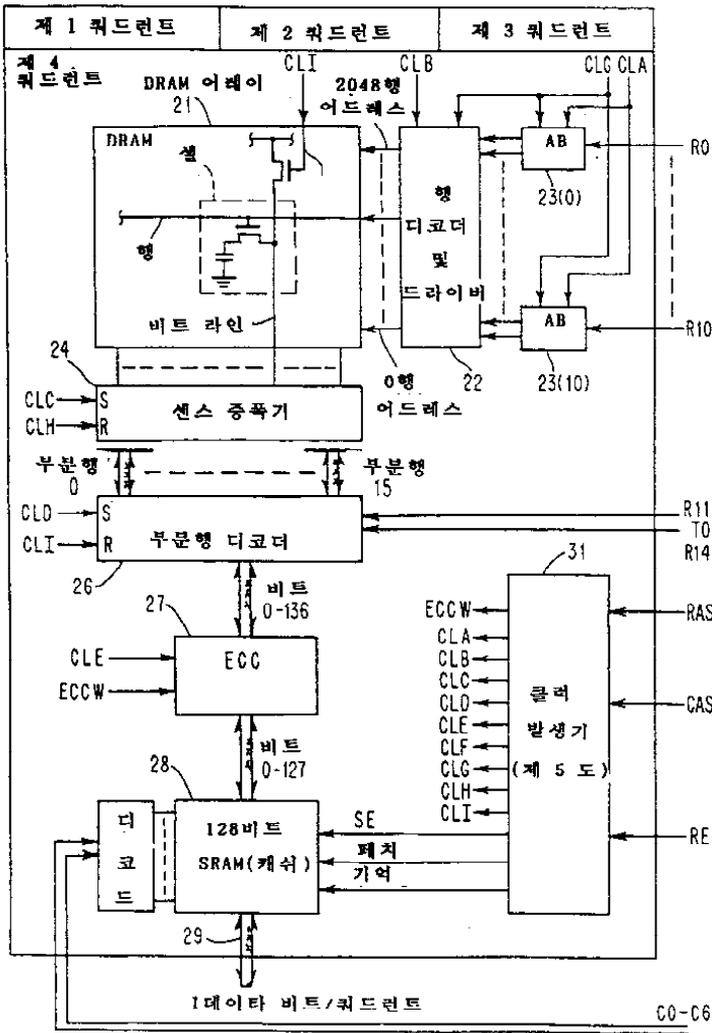
제10항에 있어서, 상기 칩이 복수의 DRAM을 포함하도록 구성하되, 상기 각 DRAM은 스테틱 랜덤액세스 메모리(SRAM) 회로로 구성되는 연관된 캐쉬를 갖고, 상기 모든 DRAM은 상기 칩에 제공되는 각각의 액세스 요구를 동시에 수신하도록 되어 있는 단계를 더 포함하는 반도체 칩의 리커버리 제어 방법.

청구항 13

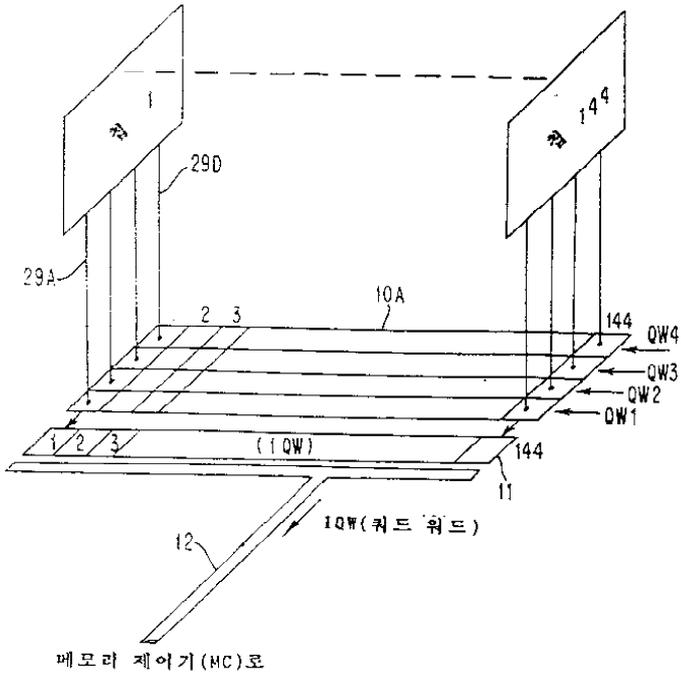
제12항에 있어서, 상기 연관된 SRAM 회로로부터 에러없는 데이터가 래치될 것을 보장하기 위하여, 상기 각 DRAM과 그의 연관된 SRAM 회로 사이에 에러 수정 회로(error correction circuit, ECC)를 제공하는 단계를 더 포함하는 반도체 칩의 리커버리 제어 방법.

도면

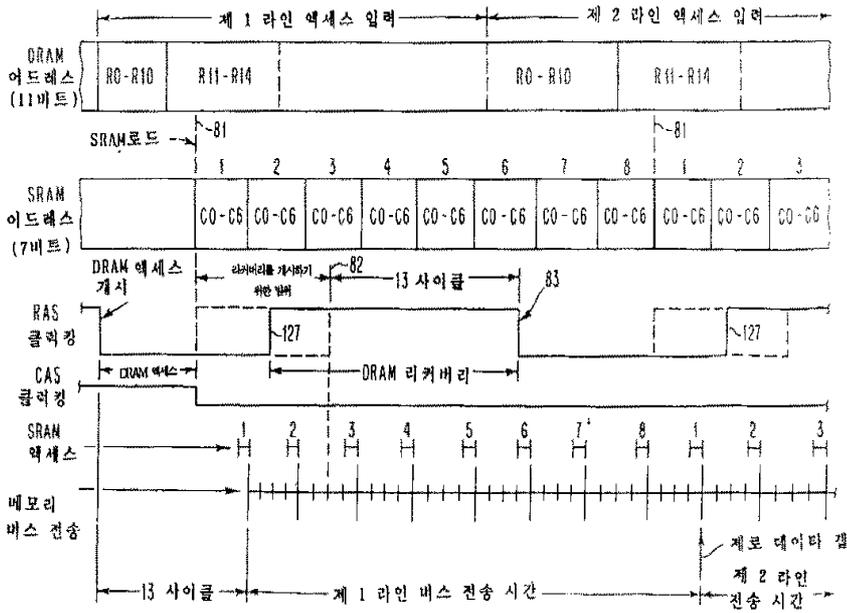
도면1



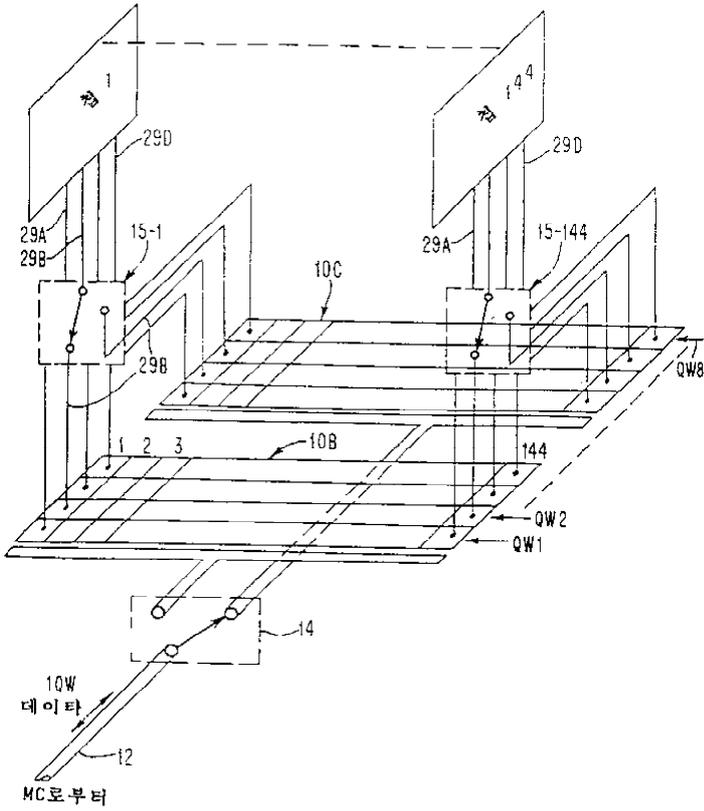
도면2



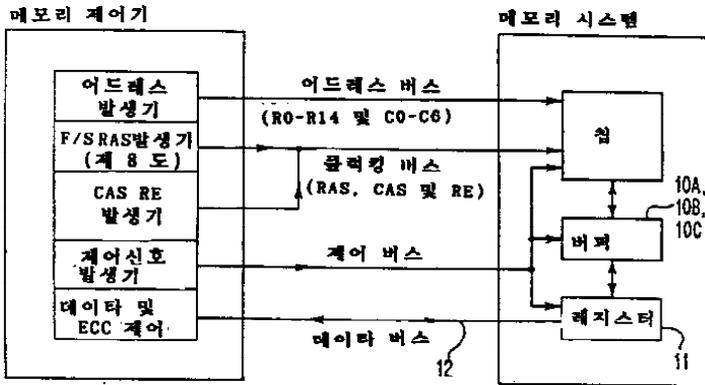
도면3



도면6



도면7



도면8

