



(12) 发明专利申请

(10) 申请公布号 CN 102522997 A

(43) 申请公布日 2012.06.27

(21) 申请号 201110407418.0

(22) 申请日 2011.12.08

(71) 申请人 北京握奇数据系统有限公司

地址 100015 北京市朝阳区东直门外西八间
房万红西街2号燕东商务花园

(72) 发明人 喻金钱 辛伟

(74) 专利代理机构 北京中博世达专利商标代理
有限公司 11274

代理人 申健

(51) Int. Cl.

H03M 5/12(2006.01)

G07B 15/06(2011.01)

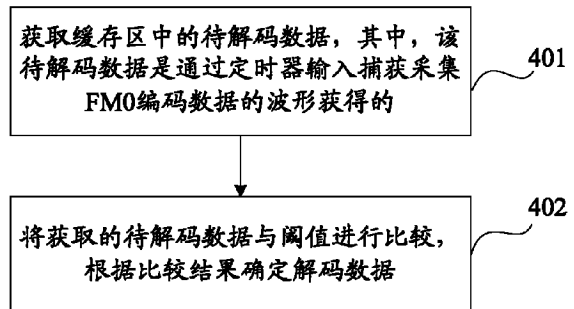
权利要求书 2 页 说明书 9 页 附图 7 页

(54) 发明名称

FMO 编码数据的解码方法和装置

(57) 摘要

本发明公开了一种 FMO 编码数据的解码方法及装置,用以降低对硬件芯片的性能的要求,该方法包括:获取缓存区中的待解码数据,其中,所述待解码数据是通过定时器输入捕获采集所述 FMO 编码数据的波形获得的;将所述待解码数据与阈值进行比较,根据比较结果确定解码数据。



1. 一种 FMO 编码数据的解码方法,其特征在于,包括:
获取缓存区中的待解码数据,其中,所述待解码数据是通过定时器输入捕获采集所述 FMO 编码数据的波形获得的;
将所述待解码数据与阈值进行比较,根据比较结果确定解码数据。
2. 如权利要求 1 所述的方法,其特征在于,所述通过定时器输入捕获采集所述 FMO 编码数据的波形获得待解码数据,包括:
通过单寄存器输入捕获模式采集到所述 FMO 编码数据的波形中第一跳变沿或第二跳变沿时,将捕获寄存器获取的定时器中的值确定为所述待解码数据,并读入到所述缓存区中,所述第二跳变沿与所述第一跳变沿相反。
3. 如权利要求 2 所述的方法,其特征在于,所述读入到所述缓存区中后,还包括:将所述定时器清零。
4. 如权利要求 2 所述的方法,其特征在于,将所述待解码数据与阈值进行比较,根据比较结果确定解码数据包括:
当所述待解码数据的值小于或等于第一阈值时,确定解码数据为一个 0;
当所述待解码数据的值大于或等于第二阈值时,确定解码数据为两个 1;
当所述待解码数据的值在第一阈值与第二阈值之间时,根据所述待解码数据的值在由第一阈值与第二阈值组成的阈值空间中出现的次数,确定所述解码数据,其中,所述第一阈值小于所述第二阈值。
5. 如权利要求 4 所述的方法,其特征在于,所述根据所述待解码数据的值在由第一阈值与第二阈值组成的阈值空间中出现的次数,确定所述解码数据包括:
将所述待解码数据的值在由第一阈值与第二阈值组成的阈值空间中出现的次数加 1,获得更新后的次数;
当所述更新后的次数为奇数次时,确定解码数据为 1 加半个 0;
当所述更新后的次数为偶数次时,确定解码数据为半个 0 加 1。
6. 如权利要求 2 所述的方法,其特征在于,所述获取缓存区中的待解码数据之前,还包括:
将所述定时器配置为单寄存器输入捕获模式,将与所述定时器对应的捕获寄存器配置为第一跳变沿或第二跳变沿有效,中断使能,并根据所述 FMO 编码数据的速率,以及设定的分频确定所述定时器的计数频率。
7. 一种 FMO 编码数据的解码装置,其特征在于,包括:
获取单元,用于获取缓存区中的待解码数据,其中,所述待解码数据是通过定时器输入捕获采集所述 FMO 编码数据的波形获得的;
解码单元,用于将所述待解码数据与阈值进行比较,根据比较结果确定解码数据。
8. 如权利要求 7 所述的装置,其特征在于,所述获取单元具体用于:
通过所述单寄存器输入捕获模式采集到所述 FMO 编码数据的波形中第一跳变沿或第二跳变沿时,将捕获寄存器获取的定时器中的值确定为所述待解码数据,并读入到所述缓存区中,所述第二跳变沿与所述第一跳变沿相反。
9. 如权利要求 8 所述的装置,其特征在于,
所述获取单元,还用于将所述定时器清零。

10. 如权利要求 8 所述的装置,其特征在于,所述解码单元具体用于:

当所述待解码数据的值小于或等于第一阈值时,确定解码数据为一个 0;当所述待解码数据的值大于或等于第二阈值时,确定解码数据为两个 1;当所述待解码数据的值在第一阈值与第二阈值之间时,根据所述待解码数据的值在由第一阈值与第二阈值组成的阈值空间中出现的次数,确定所述解码数据,其中,所述第一阈值小于所述第二阈值。

11. 如权利要求 10 所述的装置,其特征在于,当所述待解码数据的值在第一阈值与第二阈值之间时,所述解码单元具体用于将所述待解码数据的值在由第一阈值与第二阈值组成的阈值空间中出现的次数加 1,获得更新后的次数;当所述更新后的次数为奇数次时,确定解码数据为 1 加半个 0;当所述更新后的次数为偶数次时,确定解码数据为半个 0 加 1。

12. 如权利要求 8 所述的装置,其特征在于,还包括:

配置单元,用于将所述定时器配置为单寄存器输入捕获模式,将与所述定时器对应的捕获寄存器配置为第一跳变沿或第二跳变沿有效,中断使能,并根据所述 FM0 编码数据的速率,以及设定的分频确定所述定时器的计数频率。

13. 一种通信设备,其特征在于,包括权利要求 7 至 12 任一所述的 FM0 编码数据的解码装置。

FMO 编码数据的解码方法和装置

技术领域

[0001] 本发明涉及通信技术领域,特别涉及一种 FMO 编码数据的解码方法和装置。

背景技术

[0002] 电子不停车收费系统 (Electronic Toll Collection system, ETC 系统) 采用专用短程通信 (Dedicated ShortRange Communication, DSRC) 技术,完成路侧单元 (Roadside Unit, RSU) 与车载单元 (On Board Unit, OBU) 之间的双向通信,通过无线方式进行安全认证和消费扣款,实现不停车收费,大大加快了车辆通行速度,减少了收费匝道的拥堵状况,提高了公路的运力。

[0003] 目前在全国各地都开展 ETC 系统建设,为了实现 ETC 设备的互联互通,ETC 系统中的 RSU 和 OBU 设备必须满足国标 GB/T20851-2007 的技术要求。GB/T20851.1-2007 对这种专业短程通信的物理层做了明确的规定,在通信的编码方式上,国内绝大部分设备厂家采用 A 类 FMO 编码,RSU 发送给 OBU 的位速率为 256kbit/s,位时钟精度为 $\pm 100 \times 10^{-5}$;OBU 发送给 RSU 的位速率为 512kbit/s,位时钟精度为 $\pm 100 \times 10^{-6}$ 。

[0004] 为了保证车辆在运动中完成全部交易流程,需要用最短的时间完成交易。因此,数据解码速度的快慢影响整个交易时间的长短。

[0005] FMO 编码的全称为双相间隔码编码,其特点是在一个位窗内采用电平变化来表示逻辑。如果电平从位窗的起始处翻转,则表示逻辑“1”。如果电平除了在位窗的起始处翻转,还在位窗中间翻转则表示逻辑“0”。图 1 为数据流“01100101”经 FMO 编码后的电平波形。

[0006] 根据 FMO 编码规则可知,“1”对应的脉冲的周期的时长大于“0”对应的脉冲的周期的时长。因此,FMO 编码数据的解码过程中,测量每个脉冲周期的时长,将时长大的定义为“1”,将时长小的定义为半个“0”,将两个连续的半个“0”合并为一个数据“0”。例如:对于 256kbps 速率数据,把持续时长为 3.9us 的脉冲周期定义为 1,持续时长为 1.95us 的脉冲周期定义为半个 0;对于 512kbps 速率数据,把持续时长为 1.95us 的脉冲周期定义为 1,持续时长为 0.977us 的脉冲周期定义为半个 0。

[0007] 目前,通过定时器计数的方式采集 FMO 编码数据中每个脉冲周期的时长,具体包括:每一个跳变沿即采集一次定时器的计数值,保存到对应的寄存器;然后将当前计数值减去上一个计数值,即可获得当前周期的时长。

[0008] 由于需要在每个一个跳变沿去采集数据,对于 256kbps 速率的 FMO 编码数据,定时器会每隔 1.95us 或 3.9us 采集到一个数据,并把数据保存到对应的寄存器;对于 512Kbps 速率 FMO 编码数据,定时器会每隔 0.977us 或 1.95us 采集到一个数据,把数据保存到对应的寄存器中。所以,定时器对应的寄存器里的数据在解码 256kbps 数据时,最快会 1.95us 更新一次,而在解码 512kbps 数据时,最快会 0.977us 更新一次,这就需要微处理器 (Micro Control Unit, MCU) 有足够快的速度,能在更新前完成解码。

[0009] 假设 MCU 完成 1bit FMO 编码数据的解码时间需要 30 个时钟周期,进入采集

中断读取采集到数据需要 25 个时钟周期,则实时解码 256kbps 波形理论需要主频 28M IPs(Instructions per second,每秒执行的指令数)以上 MCU 才能实现实时解码;实时解码 512kbps 波形,理论最小需要主频 56M IPs 以上 MCU 才能实现实时解码。在工程实际应用中,RF 收发器均不是理想收发器,在数据包前包后会出现很多杂波,需要 MCU 来处理,要想在真实使用环境中可靠解码,需要 MCU 来处理这些干扰,就需要更高主频的 MCU 来实现。

[0010] 特别对于 512kbps 速率数据,其数据更新间隔为 0.977us,这样快的数据速率超出了单片机的处理能力,因此,需要使用 FPGA 或高速率芯片来采集解码 FM0 编码数据。

[0011] 解码 FM0 编码数据时,芯片的大部分资源用于采集数据,只有很少部分资源用于解码,这就要求单片机提供一个大的缓存区域来保存采集的数据,同时也不能实时把数据解码出来;并且,对于 512kbps 速率 FM0 编码数据,需要更加昂贵的芯片来实现采集和解码。

[0012] 因此,现有的 FM0 编码数据解码过程中采集数据的频率比较快,即数据更新比较快,对硬件芯片的性能要求比较高。并且,一次解码只能确定一个“1”或半个“0”,这样,整个解码过程比较慢,高性能的硬件芯片的解码速率也不高。

发明内容

[0013] 本发明实施例提供一种 FM0 编码数据的解码方法及装置,用以降低对硬件芯片的性能的要求。

[0014] 本发明实施例提供一种 FM0 编码数据的解码方法,包括:

[0015] 获取缓存区中的待解码数据,其中,所述待解码数据是通过定时器输入捕获采集所述 FM0 编码数据的波形获得的;

[0016] 将所述待解码数据与阈值进行比较,根据比较结果确定解码数据。

[0017] 本发明实施例提供一种 FM0 编码数据的解码装置,包括:

[0018] 获取单元,用于获取缓存区中的待解码数据,其中,所述待解码数据是通过定时器输入捕获采集所述 FM0 编码数据的波形获得的;

[0019] 解码单元,用于将所述待解码数据与阈值进行比较,根据比较结果确定解码数据。

[0020] 本发明实施例中,获取缓存区中的待解码数据,并将所述待解码数据与阈值进行比较,根据比较结果确定解码数据,其中,待解码数据是通过定时器输入捕获采集所述 FM0 编码数据的波形获得的。由于采用定时器输入捕获的方式获得待解码数据,这样,只有采集到 FM0 编码数据的波形的特定跳变沿时,才获得待解码数据,而并不是在采集到 FM0 编码数据的波形的每个跳变沿都获得待解码数据,从而,降低了采集数据的频率,降低了对硬件芯片的性能要求,进一步降低了解码过程中的资源成本。

附图说明

[0021] 图 1 为现有技术中 FM0 编码后的电平波形示意图;

[0022] 图 2 为本发明实施例一中 PWM 输入捕获硬件的框图;

[0023] 图 3 为本发明实施例一中 PWM 实际工作时序图;

[0024] 图 4 为本发明实施例一中 FM0 编码数据的解码的流程图;

[0025] 图 5 为本发明实施例一中第一待解码数据的解码流程图;

[0026] 图 6 为本发明具体实施例一具体应用中 PWM 输入捕获时序图;

- [0027] 图 7 为本发明实施例二中 PWM 输入捕获硬件的框图；
- [0028] 图 8 为本发明实施例二中 PWM 实际工作时序图；
- [0029] 图 9 为本发明实施例二中 FMO 编码数据的解码的流程图；
- [0030] 图 10 为本发明实施例二中第一待解码数据的解码流程图；
- [0031] 图 11 为本发明具体实施例二具体应用中 PWM 输入捕获时序图；
- [0032] 图 12 为本发明实施例中 FMO 编码数据的解码装置的结构图。

具体实施方式

[0033] 本发明实施例中,在对 FMO 编码数据进行解码的过程中,通过定时器输入捕获采集 FMO 编码数据的波形获得待解码数据,然后将该待解码数据与阈值进行比较,根据比较结果确定解码数据。这样,只有采集到 FMO 编码数据的波形的特定跳变沿时,才获得待解码数据,从而,增加了采集待解码数据的周期,降低了采集数据的频率,降低了对硬件芯片的性能要求。

[0034] 本发明实施例中定时器有多种输入捕获模式,例如:单寄存器输入捕获模式,PWM 输入捕获模式。这样,定时器被预先配置成某种输入捕获模式后,通过配置的输入捕获模式可采集 FMO 编码数据的波形,可获得待解码数据。

[0035] 实施例一,本实施例中,定时器为单寄存器输入捕获模式,该单寄存器输入捕获模式是定时器功能的一个扩展,与定时器对应的只有一个寄存器,一个输入端被设定为上升沿或下降沿检测端口。如图 2 所示的输入捕获硬件,定时器与捕获寄存器对应。这样,外部波形通过 CH2 进入到 MCU 中,在内部链接到边沿检测器。当 CH2 检测到对应的边沿时,把定时器的值自动保存到捕获寄存器中,并置中断标志位,以及在随后的定时器边沿清零定时器。如果开该定时器中断,则马上进入中断函数进行处理。

[0036] 单寄存器输入捕获模式中上升沿有效或下降沿有效是通过 MCU 进行配置获得的,因此,在进行 FMO 编码数据的解码之前,还需进行配置,包括:将定时器配置为单寄存器输入捕获模式并根据 FMO 编码数据的速率,以及设定的分频确定定时器的计数频率。其中,可将与定时器对应的捕获寄存器配置为第一跳变沿或第二跳变沿有效,中断使能。这里,第一跳变沿为上升沿或下降沿。而第二跳变沿为降沿或上升沿。即第一跳变沿与第二跳变沿相反。

[0037] 一般在将定时器配置为单寄存器输入捕获模式过程中,可将定时器的时钟源配置系统时钟,并将定时器配置为向上计数,配置定时器输入通道 2 为单寄存器输入输入捕获方式。而配置中断使能包括配置中断向量。

[0038] 通过上述过程完成了对输入捕获的配置后,输入捕获实际工作时序可参见图 3,其中,定时器为单寄存器输入输入捕获模式,通道 2(CH2) 配置为上升沿有效,中断使能。

[0039] 在要捕获波形 A 点(上升沿)时,CH2 通道触发,把定时器的值 0004 保存到捕获寄存器中,置中断标志位触发中断,在定时器计数发生变化的 D 时刻点,定时器清零,即仍从 0000 开始。

[0040] 在 C 点(上升沿)时,CH2 通道触发,定时器值 0004 保存到捕获寄存器中,置中断标志位触发中断,在定时器计数发生变化的 F 点,定时器清零。

[0041] 单寄存器输入捕获,只在波形的上升沿产生中断,在中断中将寄存器的值确定为

待解码数据,并读入到缓存区中,用于解码。例如:在 C 点时,产生中断,将寄存器的值 0004 确定为待解码数据,并读入到缓存区中。

[0042] 通过中断方式将通过单寄存器输入捕获模式获得待解码数据存入缓存区中后,对 FM0 编码数据的解码的过程参见图 4,包括:

[0043] 步骤 401:获取缓存区中的待解码数据,其中,该待解码数据是通过定时器输入捕获采集 FM0 编码数据的波形获得的。

[0044] 由于待解码数据是通过中断方式存入缓存区中的,这里,将通过单寄存器输入捕获模式采集 FM0 编码数据的波形获得的待解码数据存入到缓存区。这样,在进行解码时,缓存区中已存储了待解码数据。

[0045] 这里,可按照先进先出的方式从缓存区中获取待解码数据。当然,也可以按照别的顺序从缓存区中获取待解码数据,这样,在输出解码后的数据时也需按照设定的顺序。

[0046] 步骤 402:将获取的待解码数据与阈值进行比较,根据比较结果确定解码数据。

[0047] 由于是通过单寄存器输入捕获模式采集所述 FM0 编码数据的波形获得待解码数据的,这样,只有采集到 FM0 编码数据的波形的上升沿或下降沿时,才获得待解码数据,因此,待解码数据的值中,最小值对应于两个连续的半个“0”所对应的时长,最大值对应于两个连续的“1”所对应的时长,位于最大值和最小值之间的对应于一个“1”和半个“0”所对应的时长。因此,本发明实施中,先根据待解码数据的值是否在最小值范围内,确定解码数据为两个连续的半个“0”;然后根据待解码数据的值是否在最大值范围内,来确定解码数据为两个连续的“1”;最后根据待解码数据的值在由最大值和最小值组成的阈值空间中出现的次数来确定“1”数据在前还是半个“0”数据在前。具体过程包括:

[0048] 当待解码数据的值小于或等于第一阈值时,确定解码数据为一个 0;当待解码数据的值大于或等于第二阈值时,确定解码数据为两个 1;当待解码数据的值在第一阈值与第二阈值之间时,根据待解码数据的值在由第一阈值与第二阈值组成的阈值空间中出现的次数,来确定解码数据中“1”数据在前还是“0”数据在前。其中,

[0049] 本发明实施例中,将第一阈值设定为两个连续的半个“0”对应的时长,为提供一个错误冗余,并增加一定的误差,例如,增加 10%或 5%的误差;将第二阈值设定为两个连续的“1”对应的时长,并减少一定的误差,例如,减少 10%或 5%的误差。

[0050] 每个待解码数据的具体解码过程可参见图 5,包括:

[0051] 步骤 501:判断待解码数据的值是否小于或等于第一阈值,若是,确定解码数据为一个 0;否则,执行步骤 502。

[0052] 步骤 502:判断待解码数据的值是否大于或等于第二阈值,若是,确定解码数据为两个 1;否则,执行步骤 503。

[0053] 步骤 503:将待解码数据的值在由第一阈值与第二阈值组成的阈值空间中出现的次数加 1,获得更新后的次数。

[0054] 在进行解码过程中,可设置一个变量,用以记录待解码数据的值在由第一阈值与第二阈值组成的阈值空间中出现的次数。在进行解码之前,该变量的值为零,然后待解码数据的值每在由第一阈值与第二阈值组成的阈值空间中出现一次,就将该变量的值加 1。

[0055] 这样,首次进行解码时,该待解码数据的值在由第一阈值与第二阈值组成的阈值空间中出现的次数为零。随着逐个解码,待解码数据的值在由第一阈值与第二阈值组成的

阈值空间中出现的次数会增加。当所有解码结束后,可将该变量清零,即将该待解码数据的值在由第一阈值与第二阈值组成的阈值空间中出现的次数可复位为零。

[0056] 步骤 504:判断更新后到的次数是否为奇数,若是,确定解码数据为 1 加半个 0;否则,确定解码数据为半个 0 加 1。

[0057] 当然,步骤 501 与 502 先后顺序可以对调,即可先判断待解码数据的值是否大于或等于第二阈值,再判断待解码数据的值是否小于或等于第一阈值,具体过程就不再累述了。

[0058] 在本实施例的一个具体应用中,FM0 编码数据的速率为 256kbps 进行配置时,定时器时钟源为系统时钟,时钟的分频为 32,这样,配置为输入捕获下降沿模式,定时器的计数频率为 $256*32*2 = 16384\text{khz}$ 。

[0059] 输入捕获下降沿时序图如图 6 所示,输入捕获 FM0 编码数据的波形共有 4 种情况,分别是 A、B、D 和 F,这里,C、E 与 A 相同。

[0060] 由于,捕获的数据有三种长度,并且,假设定时器计数频率为 8192KHz,解码 256kbps 速率 FM0 编码,则:

[0061] A 段计数值为 64;

[0062] B 段计数值为 128;

[0063] C 段计数值为 64;

[0064] D 段计数值为 96;

[0065] E 段计数值为 64;

[0066] F 段计数值为 96。

[0067] 因此,本实施例中,将第一阈值确定为 $64*(1+10\%) = 70$,将第二阈值确定为 $128*(1-10\%) = 115$ 那么每段的解码过程包括:

[0068] 计数值 $C2 = 64 < 70$,即对应的解码数据为两个连续的半个 0。

[0069] 计数值 $C2 = 128 > 115$,即对应的解码数据为两个连续的 1。

[0070] 计数值 $C2 = 64 < 70$,即对应的解码数据为两个连续的半个 0。

[0071] 计数值 $C2 = 96$,由于 $70 < C2 = 96 < 115$,出现次数为 1,为奇数,即对应的解码数据为 1 加半个 0。

[0072] 计数值 $C2 = 64 < 70$,即对应的解码数据为两个连续的半个 0。

[0073] 计数值 $C2 = 96$,由于 $70 < C2 = 96 < 115$,出现次数为 2,为偶数,即对应的解码数据为半个 0 加 1。

[0074] 两个连续的半个 0,即为一个 0,从而,获得解码数据为“01101001”。

[0075] 在上述实施例中,下降边沿有效,中断使能,但是本发明实施例不限于此,还可将上升边沿配置为有效,中断使能,具体应用不再累述了。

[0076] 实施例二、本实施例中,定时器为 PWM(Pulse Width Modulation,脉冲宽度调制)输入捕获模式。

[0077] MCU 的 PWM 输入捕获模式是定时器不同输入捕获的一个扩展,同一个输入端被映射到定时器的两个跳变沿检测端口,即定时器对应两个寄存器。如图 7 所示的 PWM 输入捕获硬件,外部波形通过 CH2 进入到 MCU 中,在内部链接到 CH1 和 CH2 的跳变沿检测器。CH1 和 CH2 跳变沿检测器极性相反,当 CH1 跳变沿检测器检测到对应跳变沿时,把定时器的值自动保存到 CC1 寄存器中;当 CH2 检测到对应的跳变沿时,把定时器的值自动保存到 CC2 寄存

器中,并置中断标志位,以及在随后的定时器跳变沿清零定时器。如果开该定时器中断,则马上进入中断函数进行处理。

[0078] PWM 输入捕获模式是通过 MCU 定时器进行配置获得的,因此,在进行 FM0 编码数据的解码之前,还需进行配置,包括:将定时器配置为 PWM 输入捕获模式,并根据 FM0 编码数据的速率,以及设定的分频确定定时器的计数频率,其中,将与定时器对应的第二寄存器配置为第二跳变沿有效,中断使能;以及将与定时器对应的第一寄存器配置为第一跳变沿有效。

[0079] 一般在将定时器配置为 PWM 输入捕获模式过程中,将定时器的时钟源配置系统时钟,并将定时器配置为向上计数,配置定时器输入通道 1 和 2 为 PWM 输入捕获方式。

[0080] 而配置终端使能包括配置中断向量。

[0081] 通过上述过程完成了对 PWM 输入捕获的配置后, PWM 实际工作时序可参见图 8,其中,定时器为 PWM 输入捕获模式,通道 2(CH2) 配置为上升沿有效,中断使能。

[0082] 在要捕获波形 A 点(上升沿)时,CH2 通道触发,把定时器的值 0004 保存到 CC2 寄存器中,置中断标志位触发中断,在定时器计数发生变化的 D 时刻点,定时器清零,即仍从 0000 开始。

[0083] 在 B 点(下降沿)时,CH1 通道触发,定时器值 0002 保存到 CC1 寄存器中;

[0084] 在 C 点(上升沿)时,CH2 通道触发,定时器值 0004 保存到 CC2 寄存器中,置中断标志位触发中断,在定时器计数发生变化的 F 点,定时器清零。

[0085] PWM 输入捕获时,只在波形的上升沿产生中断,在中断中同时将 CC1 和 CC2 的值确定为待解码数据,并读入到缓存区中,用于解码。例如:在 C 点时,产生中断,同时将 CC1 的值 0002,以及 CC2 的值 0004 确定为待解码数据,并读入到缓存区中。

[0086] 由此可见, PWM 输入捕获方式采集 FM0 编码数据的波形获得待解码数据的过程包括:通过 PWM 输入捕获采集到 FM0 编码数据的波形中第二跳变沿时,将第一寄存器的第一值,以及第二寄存器的第二值确定为待解码数据,并读入到缓存区中,其中,第一寄存器的值是通过 PWM 输入捕获采集到 FM0 编码数据的波形中第一跳变沿时定时器中的值,第二寄存器的值是通过 PWM 输入捕获采集到 FM0 编码数据的波形中第二跳变沿时定时器中的值,第二跳变沿与第一跳变沿相反。

[0087] 通过中断方式将待解码数据存入缓存区中后,对 FM0 编码数据的解码的过程参见图 9,包括:

[0088] 步骤 901:获取缓存区中的待解码数据,其中,该待解码数据是通过 PWM 输入捕获采集 FM0 编码数据的波形获得的。

[0089] 由于待解码数据是通过中断方式存入缓存区中的,即将通过 PWM 输入捕获采集 FM0 编码数据的波形获得的待解码数据存入到缓存区。这样,在进行解码时,缓存区中已存储了待解码数据。

[0090] 这里,可按照先进先出的方式从缓存区中获取待解码数据。当然,也可以按照别的顺序从缓存区中获取待解码数据,这样,在输出解码后的数据时 also 需按照设定的顺序。

[0091] 步骤 902:将获取的待解码数据与阈值进行比较,根据比较结果确定解码数据。

[0092] 由于是通过 PWM 输入捕获采集所述 FM0 编码数据的波形获得待解码数据的,这样,只有采集到 FM0 编码数据的波形的特定跳变沿时,才获得待解码数据,因此,待解码数据中

第二寄存器的第二值中的最小值应对应于两个连续的半个“0”对应的时长,而第二值中的最大值应对应于两个连续的“1”对应的时长。而待解码数据中第一寄存器的第一值中的最大值应对应于半个“0”对应的时长,而第一值中的最大值应对应于一个“1”对应的时长。因此,本发明实施中,先根据第二值确定解码数据,若不能根据第二值确定解码数据,再根据第一值确定解码数据。具体过程包括:

[0093] 当待解码数据中第二寄存器的第二值小于或等于第三阈值时,确定解码数据为一个0;当第二值大于或等于第四阈值时,确定解码数据为两个1;当第二值在第三阈值与第四阈值之间时,将待解码数据中第一寄存器的第一值与第五阈值进行比较,根据比较结果确定解码数据,其中,第五阈值小于第三阈值,第三阈值小于第四阈值。

[0094] 即先将第二值与第三阈值进行比较,若不能根据比较结果,确定出解码数据,则将第二值与第四阈值进行比较,若不能根据比较结果,确定出解码数据,最后,根据第一值确定解码数据,即将第一值与第五阈值进行比较,根据比较结果确定解码数据,其中,当第一值大于第五阈值时,确定解码数据为1加半个0;当第一值小于或等于第五阈值时,确定解码数据为半个0加1。

[0095] 本发明实施中,将第三阈值设定为两个连续的半个“0”对应的时长,为提供一个错误冗余,并增加一定的误差,例如,增加10%或5%的误差;将第四阈值设定为两个连续的“1”对应的时长,并减少一定的误差,例如,减少10%或5%的误差;将第五阈值设定在半个“0”对应的时长与一个“1”对应的时长之间,并可给予一定的错误冗余对应的误差。由此可见,本实施中,第三阈值可与实施例一中的第一阈值相等,第四阈值可与实施例一中的第二阈值相等。

[0096] 每个待解码数据的具体解码过程可参见图10,包括:

[0097] 步骤1001:判断待解码数据中第二寄存器的第二值是否小于或等于第三阈值,若是,确定解码数据为一个0;否则,执行步骤1002。

[0098] 步骤1002:判断待解码数据中第二寄存器的第二值是否大于或等于第四阈值,若是,确定解码数据为两个1;否则,执行步骤1003。

[0099] 步骤1003:判断待解码数据中第一寄存器的第一值是否大于第五阈值,若是,确定解码数据为1加半个0;否则,确定解码数据为半个0加1。

[0100] 当然,步骤1001与1002先后顺序可以对调,即可先判断第二值是否大于或等于第四阈值,再判断第二值是否小于或等于第三阈值,具体过程就不再累述了。

[0101] 在本实施例的一个具体应用中,FM0编码数据的速率为256kbps进行配置时,定时器时钟源为系统时钟,时钟的分频为32,这样,将配置为PWM输入捕获模式,定时器的计数频率为 $256*32*2 = 16384\text{khz}$ 。并配置,与定时器对应的第二寄存器为下降沿有效,终端使能,从而,与定时器对应的第一寄存器为上升沿有效。

[0102] PWM输入捕获时序图如图11所示,PWM输入捕获FM0编码数据的波形共有4种情况,分别是A、B、C和E,这里,D、F与A相同。

[0103] 第二寄存器的第二值C2值有三种情况,分别是A段的C2、B段的C2、以及、C或E段的C2。第一寄存器的第一值C1值只有两种,分别是A或E段的C1,以及,B或C段的C1。PWM输入捕获外设在每一个下降沿时进入中断,在中断程序中,将CC1和CC2这两个寄存器的值作为待解码数据读入缓存区中,然后依据待解码数据中的这两个值进行解码。

[0104] 由于,捕获的 C2 段数据有三种长度,C1 段数据有两种长度,并且,假设定时器计数频率为 8192KHz,解码 256kbps 速率 FM0 编码,则:

[0105] G 段 C2 计数值为 64,C1 计数值为 32;

[0106] H 段 C2 计数值为 128,C1 计数值为 64;

[0107] I 段 C2 计数值为 96,C1 计数值为 64;

[0108] J 段 C2 计数值为 64,C1 计数值为 32;

[0109] K 段 C2 计数值为 96,C1 计数值为 32;

[0110] L 段 C2 计数值为 64,C1 计数值为 32。

[0111] 因此,本实施例中,将第三阈值确定为 $64*(1+10\%) = 70$,将第四阈值确定为 $128*(1-10\%) = 115$,将第五阈值确定为 $32*(1+10\%) = 35$,以及 $64*(1-10\%) = 58$ 之间任意一个数,这里,可讲第五阈值确定为 $(32+64) \div 2 = 48$,那么每段的解码过程包括:

[0112] $C2 = 64 < 70$,即对应的解码数据为两个连续的半个 0。

[0113] $C2 = 128 > 115$,即对应的解码数据为两个连续的 1。

[0114] $70 < C2 = 96 < 115, C1 = 64 > 48$,即对应的解码数据为 1 加半个 0。

[0115] $C2 = 64 < 70$,即对应的解码数据为两个连续的半个 0。

[0116] $70 < C2 = 96 < 115, C1 = 32 < 48$,即对应的解码数据为半个 0 加 1。

[0117] $C2 = 64 < 70$,即对应的解码数据为两个连续的半个 0。

[0118] 两个连续的半个 0,即为一个 0,从而,获得解码数据为“01110010”。

[0119] 在上述实施例中,第二跳变沿为下降沿,但是本发明实施例不限于此,可将第二跳变沿设定为上升沿。

[0120] 根据上述 FM0 编码数据的解码方法,可构建一种 FM0 编码数据的解码装置,参见图 12,获取单元 100 和解码单元 200,其中,

[0121] 获取单元 100,用于获取缓存区中的待解码数据,其中,所述待解码数据是通过定时器输入捕获采集所述 FM0 编码数据的波形获得的。

[0122] 解码单元 200,用于将所述待解码数据与阈值进行比较,根据比较结果确定解码数据。

[0123] 该获取单元 100,用于当定时器配置为单寄存器输入捕获模式,并通过所述单寄存器输入捕获模式采集到所述 FM0 编码数据的波形中第一跳变沿或第二跳变沿时,将捕获寄存器获取的定时器中的值确定为所述待解码数据,并读入到所述缓存区中;

[0124] 当定时器配置为 PWM 输入捕获模式,并通过 PWM 输入捕获采集到所述 FM0 编码数据的波形中第二跳变沿时,将第一寄存器的第一值,以及第二寄存器的第二值确定为所述待解码数据,并读入到所述缓存区中,其中,所述第一寄存器的值是通过 PWM 输入捕获采集到所述 FM0 编码数据的波形中第一跳变沿时定时器中的值,所述第二寄存器的值是通过 PWM 输入捕获采集到所述 FM0 编码数据的波形中第二跳变沿时定时器中的值,所述第二跳变沿与所述第一跳变沿相反。

[0125] 该获取单元 100,还用于将所述定时器清零。

[0126] 当定时器配置为单寄存器输入捕获模式时,解码单元 200 具体用于:

[0127] 当所述待解码数据的值小于或等于第一阈值时,确定解码数据为一个 0;当所述待解码数据的值大于或等于第二阈值时,确定解码数据为两个 1;当所述待解码数据的值

在第一阈值与第二阈值之间时,根据所述待解码数据的值在由第一阈值与第二阈值组成的阈值空间中出现的次数,确定所述解码数据,其中,所述第一阈值小于所述第二阈值。

[0128] 当所述待解码数据的值在第一阈值与第二阈值之间时,该解码单元 200,具体用于将所述待解码数据的值在由第一阈值与第二阈值组成的阈值空间中出现的次数加 1,获得更新后的次数;当所述更新后的次数为奇数次时,确定解码数据为 1 加半个 0;当所述更新后的次数为偶数次时,确定解码数据为半个 0 加 1。

[0129] 当定时器配置为 PWM 输入捕获模式时,解码单元 200,具体用于:

[0130] 当所述第二值小于或等于第三阈值时,确定解码数据为一个 0;当所述第二值大于或等于第四阈值时,确定解码数据为两个 1;当所述第二值在第三阈值与第四阈值之间时,根据所述第一值确定解码数据,其中,所述第五阈值小于所述第三阈值,所述第三阈值小于所述第四阈值。

[0131] 当所述第二值在第三阈值与第四阈值之间时,该解码单元 200 具体用于当所述第一值大于第五阈值时,确定解码数据为 1 加半个 0;当所述第一值小于或等于第五阈值时,确定解码数据为半个 0 加 1。

[0132] 该装置还包括:配置单元,用于将所述定时器配置为单寄存器输入捕获模式或 PWM 输入捕获模式,并根据所述 FM0 编码数据的速率,以及设定的分频确定所述定时器的计数频率;其中,当所述定时器配置为单寄存器输入捕获模式时,将与所述定时器对应的捕获寄存器配置为第一跳变沿或第二跳变沿有效,中断使能;当所述定时器配置为 PWM 输入捕获模式时,将与所述定时器对应的第二寄存器配置为第二跳变沿有效,中断使能;以及将与所述定时器对应的第一寄存器配置为第一跳变沿有效。

[0133] 本发明实施例中的 FM0 编码数据的解码方法可以用于利用 FM0 编码数据进行通信的系统中,例如:ETC 中。当然,本发明实施例中有关名称前所述“第一”、“第二”仅用于区分各名称,其中,第一,第二可以调换。

[0134] 本发明实施例还提供一种通信设备,例如 OBU、RSU 等,该设备包括如上所述的 FM0 编码数据的解码装置,该设备利用如上所述的 FM0 编码数据的解码装置对 FM0 编码数据进行解码。

[0135] 本发明实施例中,获取缓存区中的待解码数据,并将所述待解码数据与阈值进行比较,根据比较结果确定解码数据,其中,待解码数据是通过定时器输入捕获采集所述 FM0 编码数据的波形获得的。由于采用定时器的输入捕获的方式获得待解码数据,这样,只有采集到 FM0 编码数据的波形的特定跳变沿时,才获得待解码数据,而并不是在采集到 FM0 编码数据的波形的每个跳变沿都获得待解码数据,从而,降低了采集数据的频率,降低了对硬件芯片的性能要求,进一步降低了解码过程中的资源成本。即使用 PWM 输入捕获解码,使得解码同样速率数据,可以使用相对便宜的芯片,而使用同样的芯片,可以解码更高速率数据或更快速解码该数据。

[0136] 并且,本发明实施例中,对待解码数据解码一次即可解码出两个数据,例如:两个连续的 1,两个连续的半个 0,一个 1 及半个 0,或半个 0 及一个 1。这样,提高了解码速率,即使用现有的 PWM 输入捕获硬件可实现高速的解码 FM0 编码数据的波形。

[0137] 显然,本领域的技术人员可以对本发明进行各种改动和变型而不脱离本发明的精神和范围。这样,倘若本发明的这些修改和变型属于本发明权利要求及其等同技术的范围之内,则本发明也意图包含这些改动和变型在内。

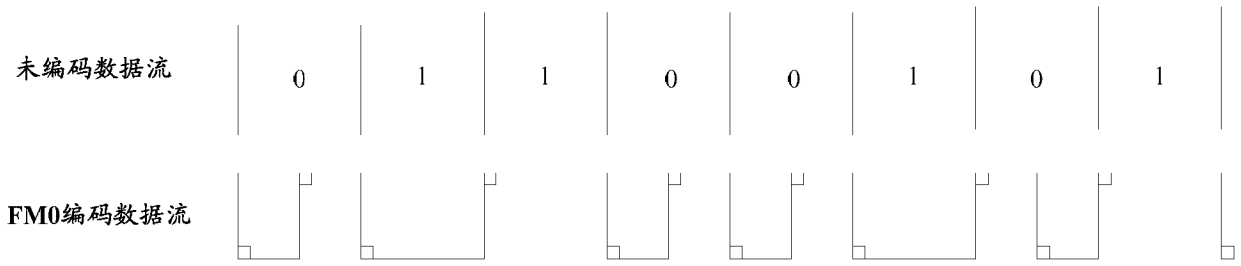


图 1

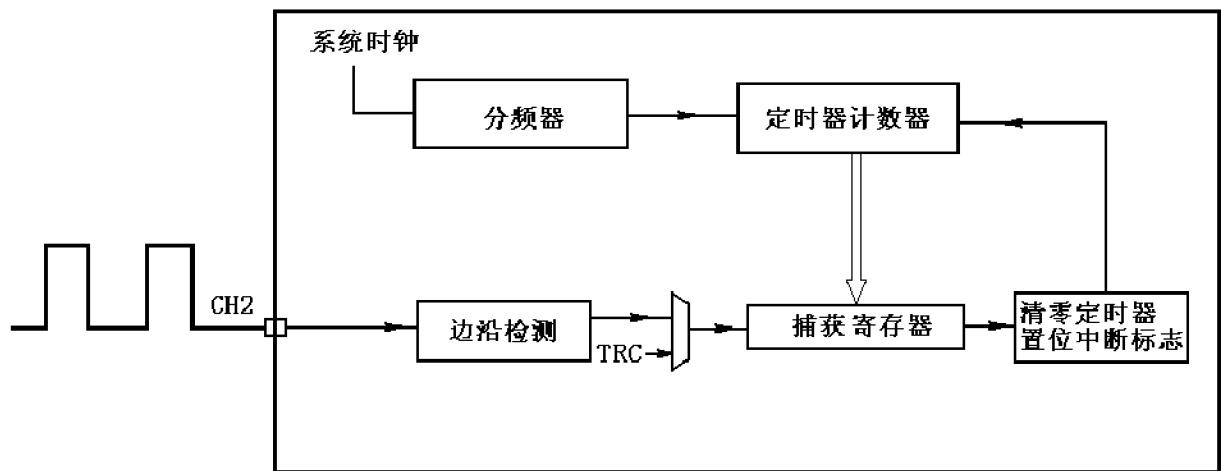


图 2

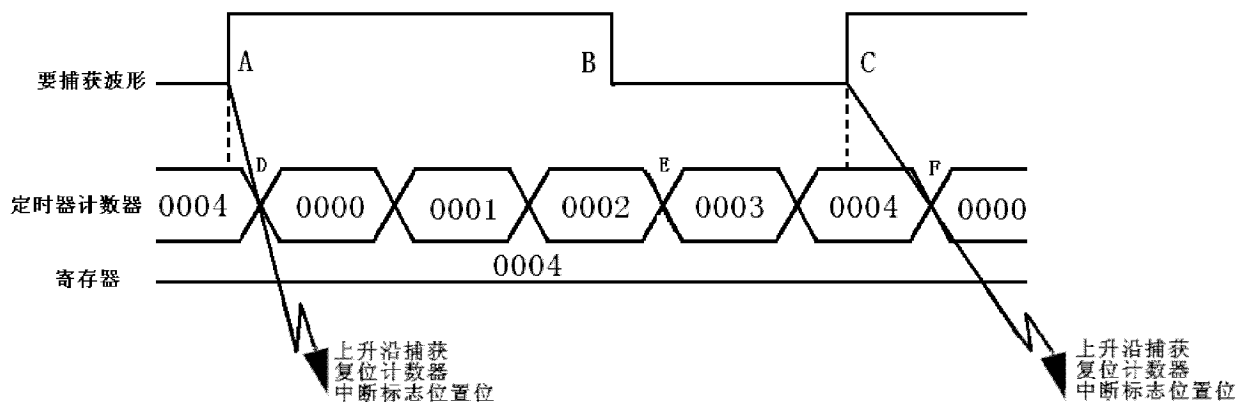


图 3

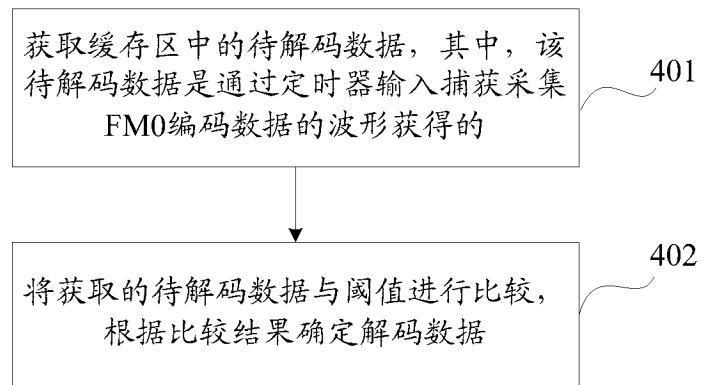


图 4

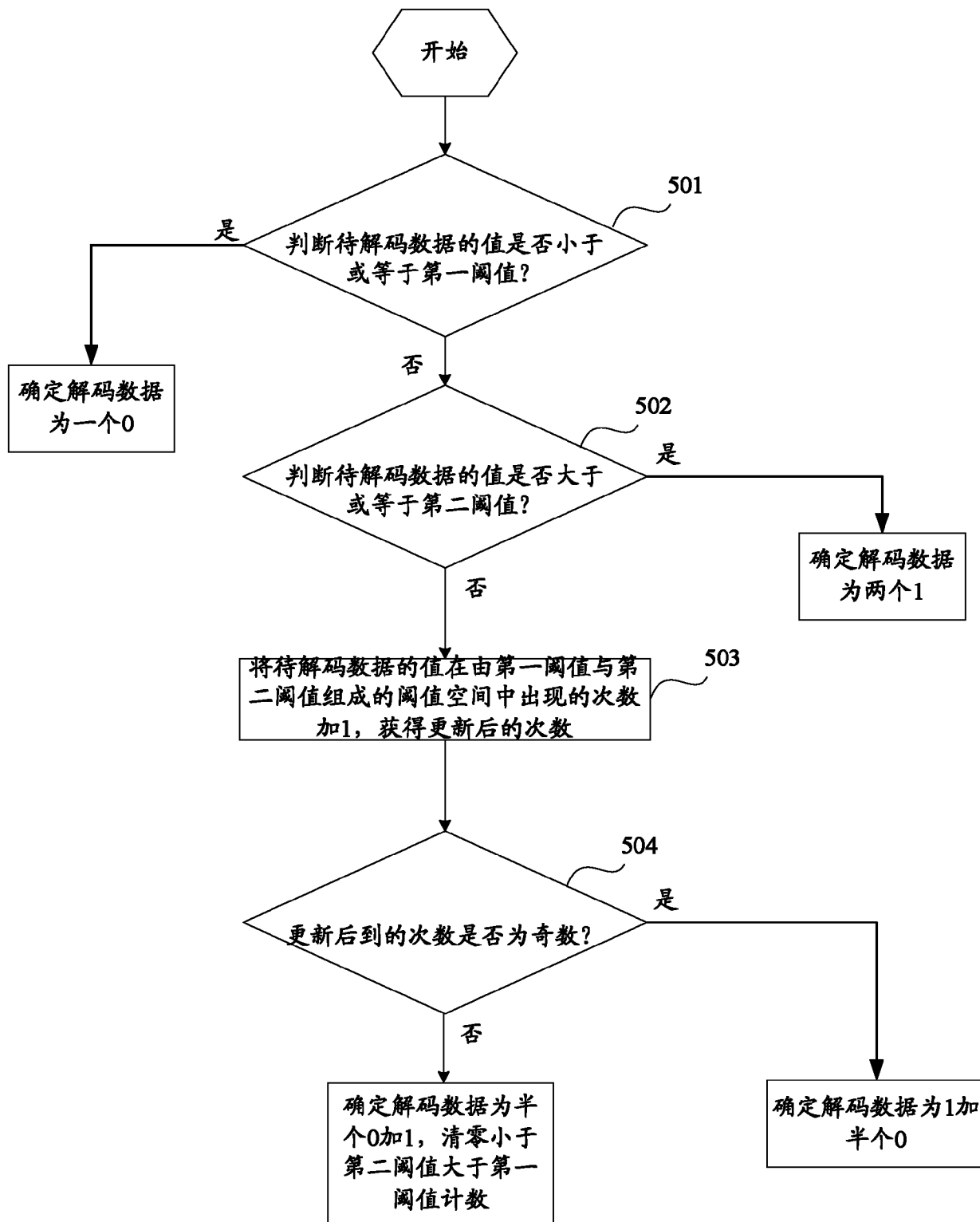


图 5

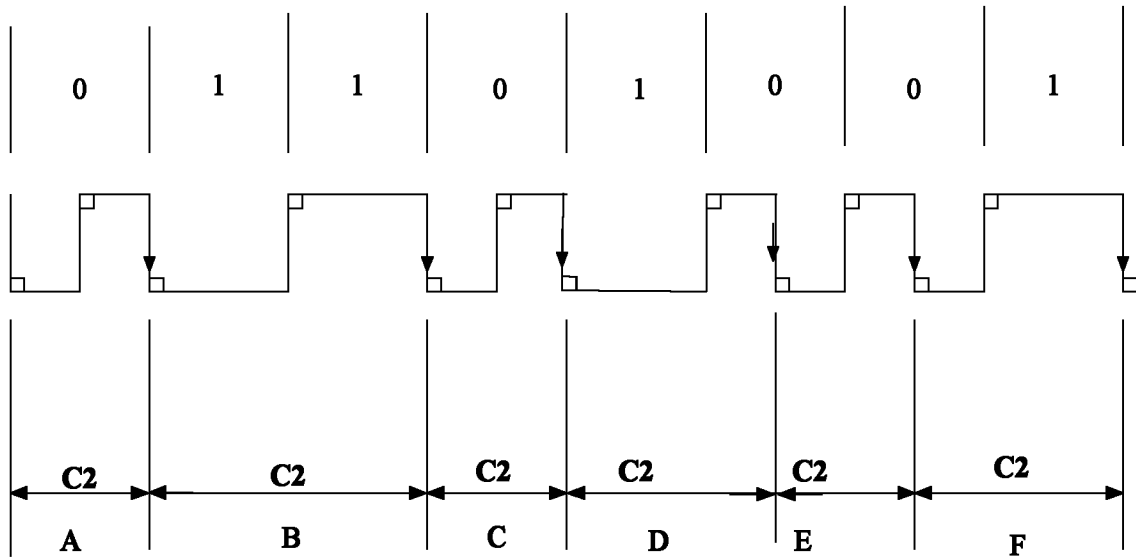


图 6

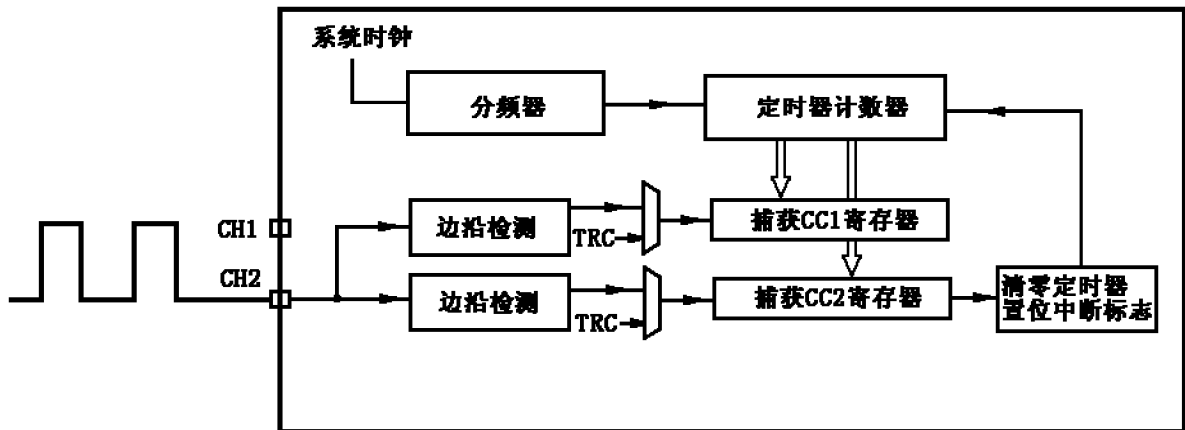


图 7

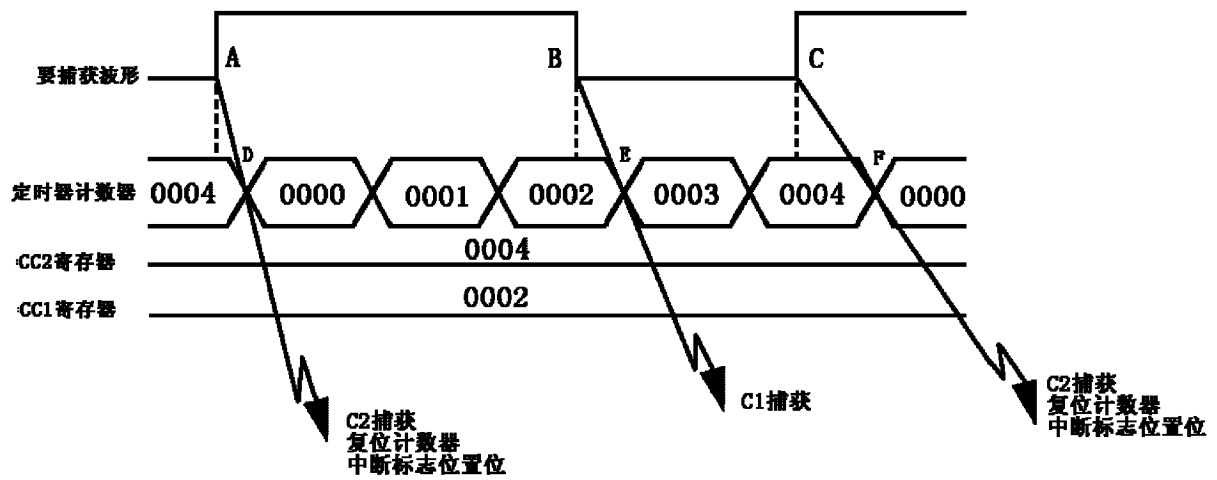


图 8

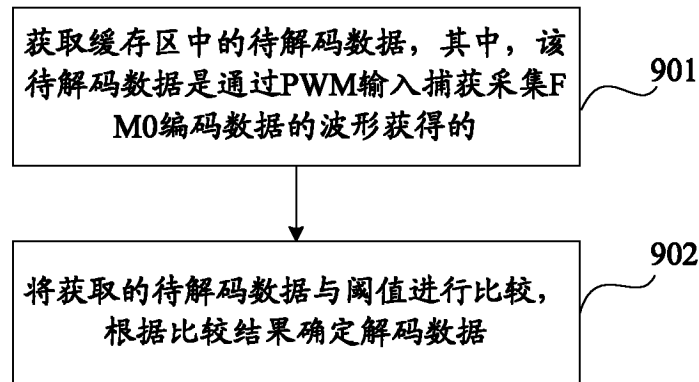


图 9

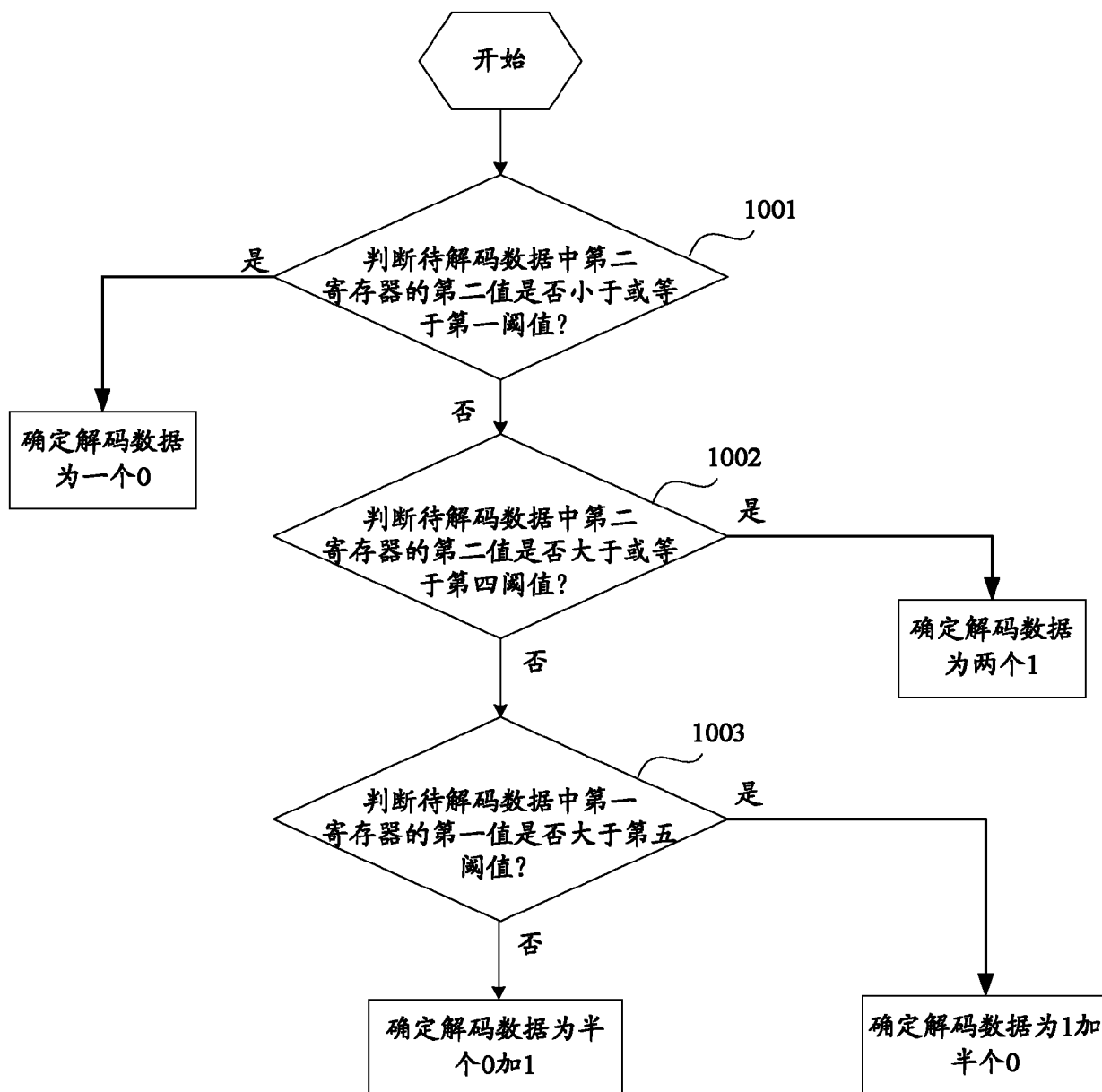


图 10

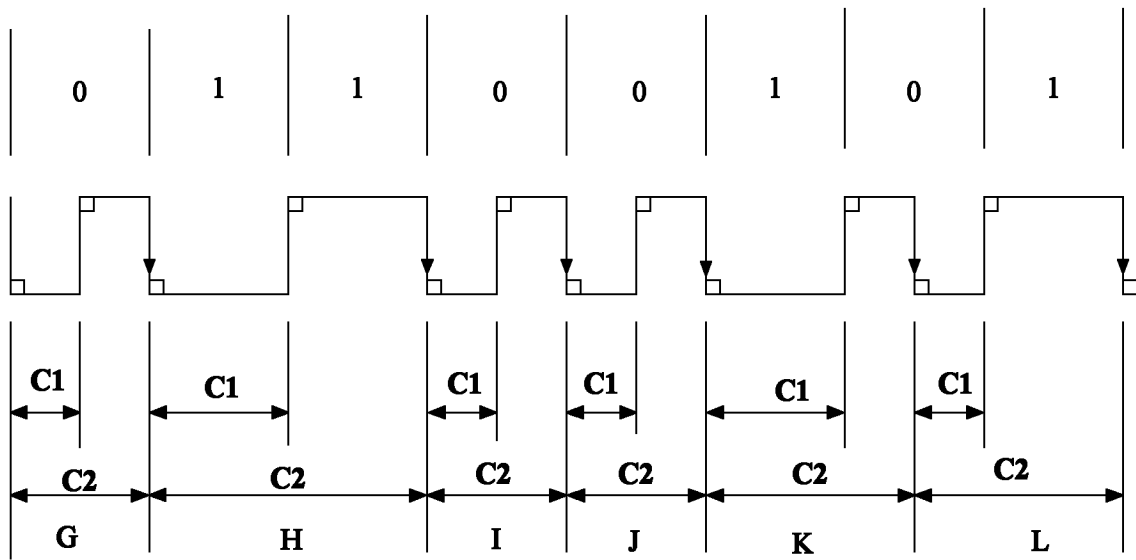


图 11

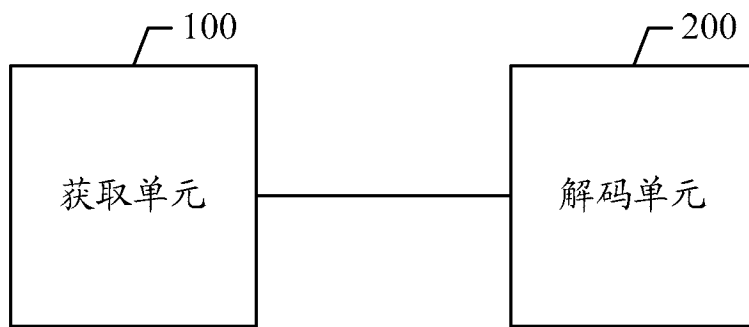


图 12