

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4226037号
(P4226037)

(45) 発行日 平成21年2月18日 (2009.2.18)

(24) 登録日 平成20年12月5日 (2008.12.5)

(51) Int. Cl. F I
 HO 1 P 1/15 (2006.01) HO 1 P 1/15
 HO 1 P 11/00 (2006.01) HO 1 P 11/00

請求項の数 33 (全 14 頁)

(21) 出願番号	特願2006-536683 (P2006-536683)	(73) 特許権者	591042768
(86) (22) 出願日	平成16年10月15日 (2004.10.15)		ユニバーシティ・オブ・デイトン
(65) 公表番号	特表2007-509578 (P2007-509578A)		UNIVERSITY OF DAYTON
(43) 公表日	平成19年4月12日 (2007.4.12)		N
(86) 国際出願番号	PCT/US2004/034266		アメリカ合衆国オハイオ州45469, デイトン, カレッジ・パーク・アベニュー300
(87) 国際公開番号	W02005/043669	(74) 代理人	100089705
(87) 国際公開日	平成17年5月12日 (2005.5.12)		弁理士 社本 一夫
審査請求日	平成18年11月24日 (2006.11.24)	(74) 代理人	100140109
(31) 優先権主張番号	60/512, 631		弁理士 小野 新次郎
(32) 優先日	平成15年10月20日 (2003.10.20)	(74) 代理人	100075270
(33) 優先権主張国	米国 (US)		弁理士 小林 泰
		(74) 代理人	100080137
			弁理士 千葉 昭男

最終頁に続く

(54) 【発明の名称】 容量型シャント・スイッチに適する強誘電性バラクター

(57) 【特許請求の範囲】

【請求項1】

マイクロ波用途のバラクター・シャント・スイッチであって、ON状態とOFF状態との間でスイッチ可能であり、

高抵抗率シリコン基板と、

前記高抵抗率シリコン基板の上のシリコン酸化物層と、

前記シリコン基板の上の接着層と、

前記シリコン基板の上の金属層と、

前記金属層の上のチューナブル薄膜誘電体層であって、前記ON状態におけるゼロバイアスでの約200以上の誘電率、前記OFF状態における1200の最適化された誘電率

、及び約400nmの厚さを有するチューナブル薄膜誘電体層と、

前記チューナブル薄膜誘電体層の上のトップ金属電極であって、導波路伝送ラインを規定するトップ金属電極と、

を備えるバラクター・シャント・スイッチ。

【請求項2】

請求項1に記載のバラクター・シャント・スイッチであって、前記高抵抗率シリコン基板の厚さは、約0.508mmである、バラクター・シャント・スイッチ。

【請求項3】

請求項1に記載のバラクター・シャント・スイッチであって、前記高抵抗率シリコン基板の抵抗率は、 $> 1 \text{ k} \Omega \cdot \text{cm}$ である、バラクター・シャント・スイッチ。

【請求項 4】

請求項 1 に記載のバラクター・シャント・スイッチであって、前記シリコン酸化物層の厚さは、約 200 nm である、バラクター・シャント・スイッチ。

【請求項 5】

請求項 1 に記載のバラクター・シャント・スイッチであって、前記接着層は、チタンを含む、バラクター・シャント・スイッチ。

【請求項 6】

請求項 1 に記載のバラクター・シャント・スイッチであって、前記接着層の厚さは、約 20 nm である、バラクター・シャント・スイッチ。

【請求項 7】

請求項 1 に記載のバラクター・シャント・スイッチであって、前記金属層は、前記接着層の上の金属と、前記金属の上のプラチナ層と、をさらに含む、バラクター・シャント・スイッチ。

10

【請求項 8】

請求項 7 に記載のバラクター・シャント・スイッチであって、前記金属層の厚さは、約 400 nm である、バラクター・シャント・スイッチ。

【請求項 9】

請求項 7 に記載のバラクター・シャント・スイッチであって、前記プラチナ層の厚さは、約 100 nm である、バラクター・シャント・スイッチ。

20

【請求項 10】

請求項 1 に記載のバラクター・シャント・スイッチであって、前記金属層の厚さは、約 500 nm である、バラクター・シャント・スイッチ。

【請求項 11】

請求項 1 に記載のバラクター・シャント・スイッチであって、前記金属層は、電子ビーム積層及び標準リフトオフ・リソグラフィによって、積層され、リフトオフされた、バラクター・シャント・スイッチ。

【請求項 12】

請求項 1 に記載のバラクター・シャント・スイッチであって、前記金属層は、スパッタリング及び標準リフトオフ・リソグラフィによって、積層され、リフトオフされた、バラクター・シャント・スイッチ。

30

【請求項 13】

請求項 1 に記載のバラクター・シャント・スイッチであって、前記金属層は、少なくとも 2 つのグランド伝導体と、シャント伝導体と、を含む、バラクター・シャント・スイッチ。

【請求項 14】

請求項 13 に記載のバラクター・シャント・スイッチであって、前記少なくとも 2 つのグランド伝導体の幅は、約 150 μm である、バラクター・シャント・スイッチ。

【請求項 15】

請求項 1 に記載のバラクター・シャント・スイッチであって、前記チューナブル薄膜誘電体層は、バリウム・ストロンチウム・チタン酸化物、チタン酸ストロンチウム、又は他の任意の非線形電場チューナブル誘電率を持つ組み合わせ、の何れか 1 つから成る、バラクター・シャント・スイッチ。

40

【請求項 16】

請求項 1 に記載のバラクター・シャント・スイッチであって、前記チューナブル薄膜誘電体層は、バリウム・ストロンチウム・チタン酸化物から成る、バラクター・シャント・スイッチ。

【請求項 17】

請求項 1 に記載のバラクター・シャント・スイッチであって、前記チューナブル薄膜誘電体層は、パルス層積層を使用して積層された、バラクター・シャント・スイッチ。

50

【請求項 18】

請求項 1 に記載のバラクター・シャント・スイッチであって、前記チューナブル薄膜誘電体層は、RF スパッタリングを使用して積層された、バラクター・シャント・スイッチ。

【請求項 19】

請求項 1 に記載のバラクター・シャント・スイッチであって、バラクター・シャント・スイッチのバラクター領域は、前記トップ金属電極と前記金属層との重なりによって規定される、バラクター・シャント・スイッチ。

【請求項 20】

請求項 19 に記載のバラクター・シャント・スイッチであって、前記バラクター領域は、約 $1 \mu\text{m}^2$ から約 $500 \mu\text{m}^2$ の間である、バラクター・シャント・スイッチ。

10

【請求項 21】

請求項 19 に記載のバラクター・シャント・スイッチであって、1 を、前記バラクター領域のキャパシタンス、及び強誘電性薄膜の損失タンジヤントの積で除算した値に等しいシャント抵抗を有するバラクター・シャント・スイッチ。

【請求項 22】

請求項 21 に記載のバラクター・シャント・スイッチであって、前記バラクターの損失性質は、前記シャント抵抗でモデル化される、バラクター・シャント・スイッチ。

【請求項 23】

請求項 1 に記載のバラクター・シャント・スイッチであって、前記トップ金属電極は、少なくとも 2 つのグランド伝導体と、中心信号ストリップと、を含む、バラクター・シャント・スイッチ。

20

【請求項 24】

請求項 23 に記載のバラクター・シャント・スイッチであって、前記中心信号ストリップの幅は、約 $50 \mu\text{m}$ である、バラクター・シャント・スイッチ。

【請求項 25】

請求項 23 に記載のバラクター・シャント・スイッチであって、前記少なくとも 2 つのグランド伝導体の幅は、約 $150 \mu\text{m}$ である、バラクター・シャント・スイッチ。

【請求項 26】

請求項 23 に記載のバラクター・シャント・スイッチであって、前記トップ金属電極は、前記中心信号ストリップと前記少なくとも 2 つのグランド伝導体との間に、約 $50 \mu\text{m}$ のスペースを有する、バラクター・シャント・スイッチ。

30

【請求項 27】

請求項 23 に記載のバラクター・シャント・スイッチであって、前記トップ金属電極は、前記中心信号ストリップと前記少なくとも 2 つのグランド伝導体との間に、前記コプレーナ導波路伝送ラインの約 0.333 と等しい幾何学比を持つスペースを有する、バラクター・シャント・スイッチ。

【請求項 28】

請求項 1 に記載のバラクター・シャント・スイッチであって、0 V において、通常、「OFF」状態にあるバラクター・シャント・スイッチ。

40

【請求項 29】

請求項 1 に記載のバラクター・シャント・スイッチであって、前記コプレーナ導波路伝送ラインの特性インピーダンスは、約 40 から約 50 である、バラクター・シャント・スイッチ。

【請求項 30】

請求項 1 に記載のバラクター・シャント・スイッチであって、約 $450 \mu\text{m} \times$ 約 $500 \mu\text{m}$ の領域を有するバラクター・シャント・スイッチ。

【請求項 31】

請求項 1 に記載のバラクター・シャント・スイッチであって、前記コプレーナ導波路伝送ラインの特性インピーダンスを 2 及び動作周波数の積で除算した値と、2 とグラン

50

ドにシャントする前記ラインの長さとの積をガイド波長で割ったもののサインと、を乗算した値に等しい寄生ライン・インダクタンスを有するバラクター・シャント・スイッチ。

【請求項 3 2】

バラクター・シャント・スイッチを製造する方法であって、ON 状態と OFF 状態との間でスイッチ可能であり、

電子ビーム積層及びリフトオフ・リソグラフィによって、高抵抗率シリコン基板の上に接着層を積層するステップと、

スパッタリング及びリフトオフ・リソグラフィによって、前記接着層の上に金属層を積層するステップと、

RF スパッタリングによって、前記金属層を強誘電性薄膜層で覆うステップであって、前記金属層は、少なくとも 2 つのグランド伝導体とシャント伝導体とを含み、前記強誘電性薄膜層は、前記 ON 状態におけるゼロバイアスでの約 200 以上の誘電率、前記 OFF 状態における 1200 の最適化された誘電率、及び約 400 nm の厚さを有する、ステップと、

スパッタリング及びリフトオフ・リソグラフィによって、前記強誘電性薄膜層の上をトップ金属電極で覆うステップであって、前記トップ金属電極は、少なくとも 2 つのグランド伝導体と中心伝導体とを含む、ステップと、

前記トップ金属電極を、少なくとも 2 つのグランド伝導体と信号ストリップとを含むコプレーナ導波路伝送ラインで覆うステップと、

を含む方法。

【請求項 3 3】

請求項 3 2 に記載のバラクター・シャント・スイッチを製造する方法であって、

前記金属層のグランド伝導体及び前記トップ金属電極のグランド伝導体と、前記コプレーナ導波路伝送ラインの前記信号ストリップとの間に dc 電場を印加することによって、前記バラクター・シャント・スイッチのキャパシタンスを調整するステップを、

さらに含む方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、強誘電性バラクターに関連し、より詳細には、容量型シャント・スイッチに適する強誘電性バラクターに関連する。

【背景技術】

【0002】

電氣的なチューナブル・マイクロ波フィルタは、マイクロ波システムにおいて、多くの用途を有している。これらの用途には、ローカル・マルチポイント配信サービス (LMD S、Local Multipoint Distribution Service)、パーソナル通信システム (PCS、Personal Communication System)、周波数ホッピング・ラジオ、衛星通信、及びレーダー・システムが含まれる。マイクロ波チューナブル・フィルタには、三つの主な種類、すなわち、機械的、磁氣的、及び電氣的なチューナブル・フィルタが存在する。機械的なチューナブル・フィルタは、通常、手動で、又はモーターを用いて、チューンされる。これは、チューニング・スピードが遅く、サイズが大きいという難点がある。典型的には、機械的なチューナブル・フィルタは、YIG (イットリウム鉄ガーネット、Yttrium Iron Garnet) フィルタであり、これは、マルチオクターブ・チューニング・レンジ及び高い選択性の点から、おそらく最もポピュラーなチューナブル・フィルタである。しかしながら、YIG フィルタは、チューニング・スピードが遅く、複雑な構造を持ち、複雑な制御回路を有し、さらに、高価である。

【0003】

1 つの電氣的なチューナブル・フィルタは、ダイオード・バラクターチューン・フィルタ (diode varactor-tuned filter) であり、これは、チュ

10

20

30

40

50

ーニング・スピードが速く、簡単な構造を持ち、簡単な制御回路を有し、さらに、安価である。ダイオード・バラクターは、基本的には、半導体ダイオードであるため、ダイオード・バラクターチューン・フィルタは、モノリシックなマイクロ波集積回路 (MMIC、Monolithic Microwave Integrated Circuit) 又はマイクロ波集積回路に使用することができる。バラクターの性能は、容量比、 C_{max}/C_{min} 、周波数レンジ、性能指数、即ち特定の周波数レンジにおけるQ値によって定義される。2GHzまでの周波数に対する半導体バラクターのQ値は、通常、良好である。しかしながら、2GHzより上の周波数において、バラクターのQ値は、急激に下がる。

【0004】

半導体ダイオード・バラクターのQ値は、高周波数において低い (例えば、20GHzで <20) ので、ダイオード・バラクターチューン・フィルタの挿入損失は、特に高周波数 ($>5GHz$) において、非常に高い。ダイオード・バラクターチューン・フィルタに関連するもう1つの問題は、低電力容量である。ダイオード・バラクターは、非線形デバイスであるので、より大きな信号は、高調波及び分数調波を生成する。

【0005】

超伝導素子と協同する電圧チューナブル素子としての薄膜強誘電性セラミックを利用するバラクターは、知られている。例えば、米国特許第5,640,042号によって開示されるバラクターは、キャリア基板層と、前記基板の上に積層された高温超伝導層と、前記金属層の上の積層された薄膜誘電体と、チューニング・デバイスのRF伝送ラインと電氣的に接触するように配置された、前記薄膜誘電体の上に積層された複数の金属伝導手段と、を有する。超伝導素子と協同する強誘電性素子を利用するもう1つのチューナブル・キャパシタは、米国特許第5,721,194号に開示されている。

【0006】

マイクロ・エレクトロ・メカニカル・システム (MEMS、microelectromechanical system) テクノロジーの出現によって、注目は、ラジオ周波数 (RF) 用途のMEMSデバイスの開発に集中した。MEMSスイッチは、長年の間に非常に多くの研究労力を引きつけた、もっとも目立ったマイクロマシン製品の中の1つであり、多くの潜在的な用途 (例えば、インピーダンス・マッチング・ネットワーク、フィルタ、RFシステム・フロントエンド回路及び他の高周波数再構築可能な回路における信号ルーティング) を有する。MEMSスイッチは、従来の電気機械又はソリッドステートな均等物よりも、低挿入損失、高絶縁、低消費電力、高ブレークダウン電圧、高線形形、高集積性の点で、多くの利点を提供する。今日のMEMSスイッチの大多数は、静電駆動を採用し、このタイプのスイッチの主な難点である高駆動電圧を必要とする。近年、高い比誘電率のバリウム・ストロンチウム・チタン酸化物 (BST、Barium Strontium Titanium Oxide) 薄膜が、誘電体層として、駆動電圧条件を減少させるため及び絶縁を改善するために、RF MEMSスイッチに使用されている。絶縁は、例えば Si_3N_4 等の誘電体材料と比べて、BST強誘電性薄膜を使用することで、10dB以上改善することができる。

【0007】

しかしながら、RF MEMSスイッチは、幾つかの制限、例えば、比較的遅いスピード、低電力容量、必須の高駆動電圧、低信頼性、低スイッチング寿命、高パッケージング・コスト等を持つ。これらの領域において、改善がなされたものの、RF MEMSスイッチの商業的用途においては、挑戦が残っている。強誘電性バラクターを基にした容量型シャント・スイッチは、既存のRF MEMSスイッチの制限のほとんどを克服することができる。

【発明の開示】

【課題を解決するための手段】

【0008】

この背景に対して、本発明は、強誘電性バラクターによってシャント (分路) された、

10

20

30

40

50

コプレーナ導波路 (CPW、coplanar waveguide) 伝送ラインに基づく。実施における新規性は、スイッチングのための移動部品の排除及びバイヤ (via) 接続の排除にある。SiO₂ 層及びトップ (上面) に積層された金属層を持つ高抵抗率のシリコンは、基板として使用される。基板は、任意の低損失マイクロ波基板 (例えば、サファイヤ、マグネシウム酸化物、アルミン酸ランタン等) とすることができる。強誘電性薄膜層は、バラクターの実施として、パターン形成されたボトム金属層 (金属1層) の上に積層される。トップ (上部) 金属電極 (金属2層) は、強誘電性薄膜層の上に積層され、CPW伝送ラインを形成するようにパターンされる。その結果、金属1層中のCPWの中心伝導体と金属2層中の短絡ラインとの重なり領域は、バラクター領域を規定する。金属2層及び金属1層中の大きな領域のグランド・プレーンを使用することによって、強誘電性バラクターと、トップ金属層及びボトム金属層上のグランド・プレーンによって規定される大きなキャパシタとの直列接続が、形成された。大きなキャパシタは、グランドに対して短絡として働き、バイヤの必要性を省略することができる。オン及びオフ状態のスイッチングの概念は、BST薄膜の強誘電体チューナビリティに基づく。

10

【発明が解決しようとする課題】

【0009】

従って、本発明の目的は、改善された絶縁及び挿入損失、並びに減少したバイアス電圧を持つ、バラクター・シャント・スイッチを提供することである。

本発明のもう1つの目的は、低バイアス電圧条件、高スイッチング・スピード、製造の簡略、及び高スイッチング寿命を持つ、バラクター・シャント・スイッチを提供すること

20

【0010】

本発明の他の目的は、本発明の実施形態の記述を参照することによって、明らかになるであろう。

なお、以下の特定の実施形態の詳細な記述は、同様の構造は同様の参照符号で示されている、添付の図面を参照することによって、最も良く理解することができる。

【発明を実施するための最良の形態】

【0011】

以下の好ましい実施形態の詳細な説明において、その説明の一部をなす添付の図面を参照する。図面において、実施形態は、図示されているが、限定的なものではなく、本発明が実施できる特定の好ましい形態である。また、他の実施形態を用いることができることは、容易に理解されるであろうし、論理的、機械的及び電氣的な変更が、本発明の精神及び範囲を離れることなく実施できることも、容易に理解されるであろう。

30

【0012】

シャント容量を実行する概念は、多数のMMIC (例えば、チューナブル1次元及び2次元電磁バンドギャップ (EBG、electromagnetic bandgap) 構造、チューナブル・バンドリジエクト及びバンドパス・フィルタ、干渉抑制システム、マイクロ波スイッチング製品、マイクロ波及びミリ波周波数の広域位相シフタ) に有益であろう。さらに、本発明は、2次元及び3次元EBGアレイにも適している。加えて、これらのスイッチは、アナログ及びデジタル製品 (例えば、多層パッケージにおける中間層結合、特定のサブシステムとより大きいシステムとの絶縁) に使用できる。このタイプのスイッチは、感知素子としても機能する。なぜならば、強誘電性薄膜は、ピエゾ電気 (圧力センサ、加速時計などに有益である)、パイロ電気 (赤外検出器用)、及び電気光学機能 (カラーフィルタの電圧誘導屈折率変化、ディスプレイ、光学スイッチ等) を表すからだ。

40

【0013】

図1は、バラクター・シャント・スイッチの多層断面図を示す。バラクター・シャント・スイッチは、多層基板を使って、CPW伝送ライン10の上に設計される。高誘電率 ($\epsilon_r = 100$) を持つBSTのチューナブル強誘電性薄膜は、500nmの厚さを持つラチナ/金属25のトップ (上面) の上に、誘電体層 (400nmの厚さ) として使用さ

50

れる。20 nmのチタン接着層30は、プラチナ/金属25と、シリコン酸化物/高抵抗率シリコン基板層35及び40との間に、積層される。シリコンは、 $> 1 \text{ k} \Omega \cdot \text{cm}$ の抵抗率を有し、典型的には、おおよそ $6 \text{ k} \Omega \cdot \text{cm}$ である。シリコン酸化物層35の厚さは、200 nmであり、高抵抗率シリコン基板40の厚さは、30ミル(0.508 mm)である。

【0014】

プロセスの第1ステップとして、パターン形成されるボトム電極(金属1層)は、Si/SiO₂基板の上に、電子ビーム(eビーム)積層(又はスパッタリング)及びリフトオフ・フォトリソグラフィ技術によって、処理される。図2aは、ボトム金属層25のパターンを示す。プラチナ/金属25のリフトオフ・フォトリソグラフィ処理の後に、層25は、パルス・レーザ・アブレーション(PLD、*plused laser ablation*)プロセスを使用しながら、又は、RFスパッタリングにより、400 nm強誘電性薄膜20(例えば、チタン酸バリウム・ストロンチウム(BST)、チタン酸ストロンチウム(STO)、又は任意の他の非線形チューナブル誘電体)によって、カバーされる。なお、強誘電性薄膜は、このタイプの用途に基づくスイッチ性能を最適化するために、常誘電体状態又は強誘電体状態で使用することができる。

【0015】

図2bは、強誘電性薄膜20のトップの上に積層されたトップ(上部)金属電極15のパターンを示す。このトップ金属電極15は、金から成り、中心信号ストリップ100とCPWのグランド伝導体110とを含む。トップ金属電極15は、eビーム積層(又はスパッタリング)及びリフトオフ・フォトリソグラフィ処理によって、準備される。ボトム金属層25及びトップ金属電極15内のグランド伝導体は、これらの2層間の大きいキャパシタンスのため、バイヤ・ホールの必要性を排除しながら、有効に短絡される。

【0016】

図2cに、最終的なCPWの平面図が示される。図2cにおいて、バラクター領域200は、破線で示される、トップ金属電極と金属層との重なりで、規定される。ボトム金属層20は、CPWグランド・ラインと同じ寸法を持つ2つのグランド伝導体とシャント伝導体とを備え、図3の点線で分かるように、金属1層中の2つのグランド・ラインと接続する。バラクターのキャパシタンスが非常に大きいとき(0 Vバイアスで)、信号は、バラクターを介して接続され、シャント伝導体を介してグランドに流れる。バラクター・キャパシタンスは、トップ金属電極(金属2)及びボトム金属層(金属1)中のグランド伝導体の重なりによって導かれる大きいキャパシタンスと、直列である。出力は、入力から絶縁される。なぜならば、信号は0 Vでグランドにシャント(分路)され、デバイスのOFF状態が生じるからである。DC電圧が金属2層内のCPWの中心伝導体に印加される場合、強誘電性薄膜の誘電率が減少して、より低いバラクター・キャパシタンスが生じる。バラクター・キャパシタンスが小さくなる場合、入力から信号の大部分は、出力に流れるようになる。なぜならば、バラクターによる結合が減少し、デバイスのON状態が生じるからである。大きい誘電体チューナビリティは、デバイスの高絶縁及び低挿入損失を生じさせる。

【0017】

図2dを参照すると、バラクターの断面において、トップ金属電極15とボトム金属層25との2つの重なり幅は、必要とされるキャパシタンスが、強誘電性薄膜の既知の比誘電率(ϵ_r)に基づいて得られるように、選択される。チューニングは、DC電場が、グランド伝導体とCPWの中心信号ストリップとの間に(CPWプローブを使用して)印加されることによって、得られる。DC場は、強誘電性薄膜の比誘電率を変化させ、従って、バラクターのキャパシタンスを変化させる。

【0018】

1実施形態において、CPWの中心信号ストリップ幅、及び中心信号ストリップとグランド伝導体との間のスペースは、特性インピーダンスが約50 Ω に近づき、且つライン損失が最小になるように、選択される。CPWラインの寸法は、高抵抗率シリコン基板35

10

20

30

40

50

上のDC - 20 GHzに対して、グランド - 信号 - グランドが150 μm / 50 μm / 150 μmである。中心信号ストリップとグランド伝導体との間のスペースは、50 μmとして得られ、幾何学的割当量 ($k = W / (W + 2S)$) は、CPWラインの0.333と等しい。デバイス領域は、おおよそ、450 μm × 500 μmである。バラクター領域 (トップ金属電極とボトム金属層との重なり) は、おおよそ、75 μm² である。

【0019】

本発明としての簡単な回路実施は、Si MMICテクノロジーと適合でき、バイアの必要性は、この2つの金属層プロセスにおいて、排除される。このスイッチは、通常、「OFF」状態であり、通常「ON」状態にあるMEMS容量型シャント・スイッチと比較される。加えて、このスイッチは、MEMSスイッチが遅い (~10 ns) ところで、~30 nsのスイッチング・スピードでスイッチすることができる。さらに、低バイアス電圧 (<10 V) を使用することができ、スイッチングのMEMS (40 - 50 V) と比較される。バラクター・シャント・スイッチは、2 V未満のバイアス電圧で設計することができる。

10

【0020】

絶縁 (OFF状態) と挿入 (ON状態) 損失との間の設計トレードは、バラクター領域とBST薄膜の誘電率とに依存する。高絶縁を得るためには、大きなバラクター領域及び高誘電率が必要とされるが、挿入損失が増加する。挿入損失を最小 (<1 dB) に保つために、最適化された重なり領域及び誘電率は、それぞれ25 μm² 及び1200として得られる。

20

【0021】

図4は、図3のバラクター・シャント・スイッチの電気回路モデルを表す。電気回路モデルは、バラクターをシャントすることによって得られ、L₄₀₀は、寄生インダクタンスであり、R_{s410}は、抵抗である。シャント抵抗R_{d430}は、バラクターの損失 (リーク・コンダクタンス) 性質をモデルする。バラクター・キャパシタンス420は、標準的な平行板キャパシタンス計算によって、BST薄膜の誘電率及び中心信号ストリップとシャント・ラインとの重なり領域を用いて得ることができる。バラクターのキャパシタンスは、以下のように得られる。

【0022】

【数1】

$$C_V = \epsilon_0 \cdot \epsilon_{rf} \cdot A/t \quad (1)$$

30

【0023】

ここで、 ϵ_0 は、フリー・スペースの誘電体誘電率であり、 ϵ_{rf} は、使用された強誘電性薄膜の比誘電率であり、Aは、バラクター領域であり、tは、強誘電性薄膜の厚さである。

【0024】

信号はグランドにシャントされる場合、ボトム金属層 (金属1) 中のシャント伝導体ラインの直列抵抗 (R_{s410}) は、式2を用いて計算される。

【0025】

【数2】

$$R = l/(\sigma wt) \quad (2)$$

40

【0026】

ここで、 σ は、使用されるトップ金属電極のコンダクタンスであり、wは、伝導体の幅であり、lは、グランドにシャントするラインの長さであり、tは、伝導体の厚さである。

ラインのインダクタンス400 (L) は、式3を用いて計算される。

【0027】

【数3】

$$L = (Z_0 / (2\pi f)) \sin(2\pi l / \lambda_g) \quad (3)$$

【0028】

ここで、 Z_0 は、CPW伝送ラインの特性インピーダンスであり、 f は、動作周波数であり、 λ_g は、ガイド波長である。

バラクターのシャント抵抗 $430 (L)$ は、式4を用いて計算される。

【0029】

【数4】

$$R_d(V) = 1 / (\omega C(V) \tan \delta) \quad (4)$$

10

【0030】

ここで、 $C(V)$ は、バラクターのキャパシタンスであり、 $\tan \delta$ は、強誘電性薄膜の損失タンジェントである。

容量型シャント・スイッチの性能（例えば、高絶縁、低挿入損失など）は、強誘電性薄膜の誘電体チューナビリティに依存する。高キャパシタンス値は、OFF状態における絶縁を高めるが、ON状態における挿入損失を増加させる。キャパシタンス値は、強誘電性薄膜の高い誘電率又は大きい領域を使用することによって、増加することができる。同じバラクター領域で、強誘電性薄膜の誘電率を増加させると、絶縁はあまり変化しないが、共振周波数は、増加するバラクタキャパシタンスのために減少する（図5参照）。図5は、バラクター領域を $5 \times 5 \mu\text{m}^2$ に固定した場合、左から右に向かって 2000 、 1500 、 1200 、 1000 の比誘電率に対する絶縁を示す。

20

【0031】

さらに、バラクター領域を増加させた時の挿入損失の増加が、図6に示される。図6は、誘電率を 200 に固定した場合、左から右に向かって $15 \times 15 \mu\text{m}^2$ 、 $10 \times 10 \mu\text{m}^2$ 、 $10 \times 5 \mu\text{m}^2$ 、 $5 \times 5 \mu\text{m}^2$ のバラクター領域を示す。

【0032】

強誘電性薄膜のシミュレートされ最適化された誘電率は、OFF状態に対して 1200 、ON状態に対して 200 が得られ、バラクター領域は、 $5 \times 5 \mu\text{m}^2$ 、即ち $25 \mu\text{m}^2$ である。図7は、最適化されたデバイスに対するバラクター・シャント・スイッチのシミュレートされた絶縁及び挿入損失を示す。デバイスの絶縁は、 30 GHz において 30 dB よりも良く、挿入損失は、 30 GHz より下で 1 dB より小さい。

30

【0033】

バラクター・シャント・スイッチは、HP 8510 Vector Network Analyzer (VNA) を使用して、テストされた。Line-Reflect-Reflect-Match (LRRM) 校正は、広周波数レンジ ($5 \sim 35 \text{ GHz}$) に渡って実行された。その後、サンプルは、標準GS GPローブを用いて検査された。DCバイアスは、VNAのバイアス・ティ (tee) を介して印加された。図8は、 0 V (すなわちOFF状態) 及び 10 V (すなわちON状態) における、バラクター・シャント・スイッチ上で実行された実験測定値を示す。測定されたデバイスにおいて、バラクターのキャパシタンスは、ゼロバイアスで約 0.85 pF であり、 10 V で 0.25 であった。その結果、 $3:1$ より大きい誘電体チューナビリティが得られた。

40

【0034】

図9は、バラクター・シャント・スイッチから得られた実験結果とデバイスに対して発展させた電気モデルに基づくシミュレート結果との比較を示す。実験結果は、 35 GHz まで得られた。同じデバイスに実行された理論的シミュレーションは、絶縁 (OFF状態 S21) が 41 GHz 近くで 30 dB まで改善することを示す。図9に示されるように、測定値の周波数レンジに渡って、理論的な結果と実験結果との良い一致を理解することができる。従って、実験データは、マイクロ波スイッチング用途におけるバラクター・シャント・スイッチの動作を裏付ける。

50

【0035】

表1は、ソリッドステートのスイッチング・デバイスと、RF MEMSシャント・スイッチと、強誘電体ベースのバラクター・シャント・スイッチとの比較を示す。バラクター・シャント・スイッチの利点は、低バイアス電圧条件、高スイッチング・スピード、製造の簡略、及び高スイッチング寿命を含む。

【0036】

【表1】

デバイス特性及び性能パラメータ	ソリッドステートのスイッチ	RF MEMS容量型シャント・スイッチ	強誘電性バラクター・ベース・シャント・スイッチ
スイッチのタイプ	通常OFF又はON	通常ON	通常OFF
駆動電圧	低い(3-8V)	高い(40-50V)	低い(<10V)
スイッチング・スピード	速い(5-100ns)	遅い(~10μs)	速い(<100ns)
絶縁 (dB)	<20dB@20GHz	非常に高い(>40dB@30GHz)	高い(>20dB@30GHz)
挿入損失 (dB)	>1dB@30GHz	非常に低い(<1dB@30GHz)	低い(<1.5dB@30GHz)
スイッチング寿命	長い	短い	長い
パッケージ・コスト	安い	高い	安い
電力容量	小(0.5-1W)	中(<5W)	大(>5W)
電力	低い(1-20mW)	ほとんどゼロ	ほとんどゼロ
消費 (OFF状態)			
ブレイクダウン電圧	低い	高い	高い
DC抵抗	高い(1-5Ω)	低い(<0.5Ω)	低い(<0.5Ω)
線形性	低い	高い	高い
IP3	低い(~+28dBm)	高い(~+28dBm)	利用できない
集積能力	非常に高い	非常に高い	非常に高い

【0037】

なお、表において予測される強誘電性バラクター・シャント・スイッチの性は、理論的な計算に基づく。

ところで、「好ましい」、「一般に」、「典型的に」のような用語は、本明細書において、特許を請求する発明の範囲を限定するように使用されず、ある特徴が、特許を請求する発明の構造又は機能に対して、重要である、本質であり、或いは重要であることを暗示するために使用されている。むしろ、これらの用語は、単に、本発明の特定の実施形態の中で利用でき、又は利用できない代替的又は追加的な特徴を強調することを意図している。

【0038】

本発明を詳細に説明し、特定の実施形態を参照したが、添付の特許請求の範囲によって規定される発明の範囲から離れることなく、変更及び変形が可能であることは、明らかであろう。より詳細には、本発明の幾つかの形態は、好ましい又は特定の利点として特定されたが、本発明は、これらの好ましい発明の実施形態に制限される必要のないことが予想される。

【図面の簡単な説明】

【0039】

【図1】本発明の1実施形態に従った容量型シャント・スイッチの多層断面図を示す。

【図2a】本発明の1実施形態に従ったボトム金属電極のパターンを示す。

【図2b】本発明の1実施形態に従ったトップ金属電極のパターンを示す。

【図2c】本発明の1実施形態に従ったバラクターの平面図を示す。

【図2d】本発明の1実施形態に従ったバラクターの断面図を示す。

【図3】本発明の1実施形態に従った容量型シャント・スイッチの平面図を示す。

【図4】本発明の1実施形態に従った図3中の容量型シャント・スイッチの電気回路モデルを示す。

【図5】本発明の1実施形態に従った、同じバラクター領域で、異なる誘電率を使用する絶縁のシミュレーションを示す。

【図6】本発明の1実施形態に従った、同じ誘電率で、異なるバラクター領域を使用する挿入損失のシミュレーションを示す。

【図7】本発明の1実施形態に従った、最適化されたデバイスに対するバラクター・シャント・スイッチの絶縁及び挿入損失のシミュレーションを示す。

【図8】本発明の1実施形態に従ったバラクター・シャント・スイッチの実験測定値を示す。

【図9】本発明の1実施形態に従ったバラクター・シャント・スイッチのシミュレーション対実験測定値を示す。

10

【図1】

CPW伝送ライン 10
Au 15
強誘電性薄膜 20
Pt/Au 25
Ti 30
SiO ₂ 35
高抵抗率Si 40

【図2a】

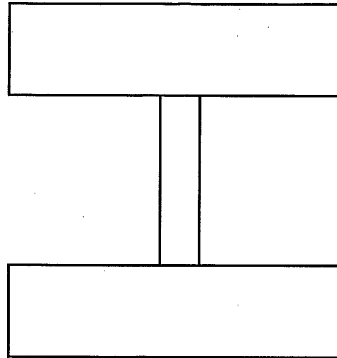


Figure 2a

【図 2 b】

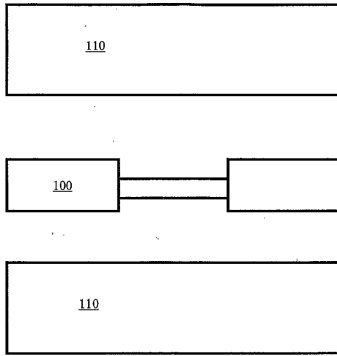


Figure 2b

【図 2 c】

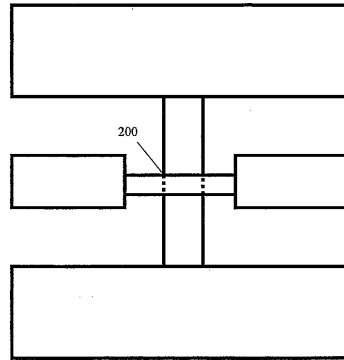
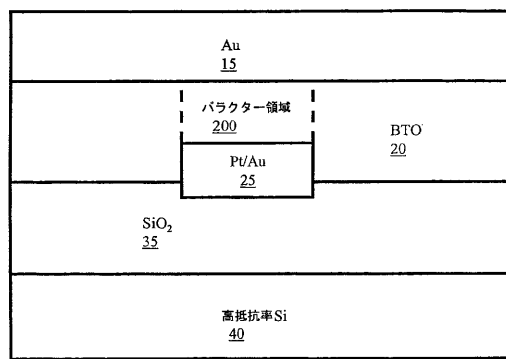
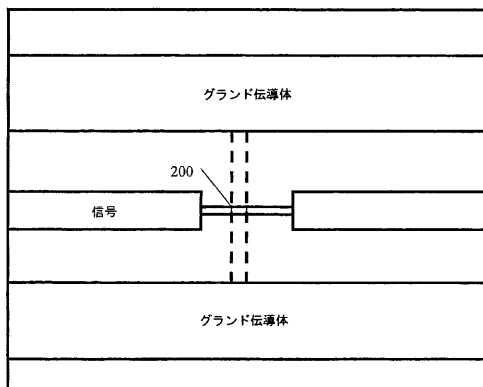


Figure 2c

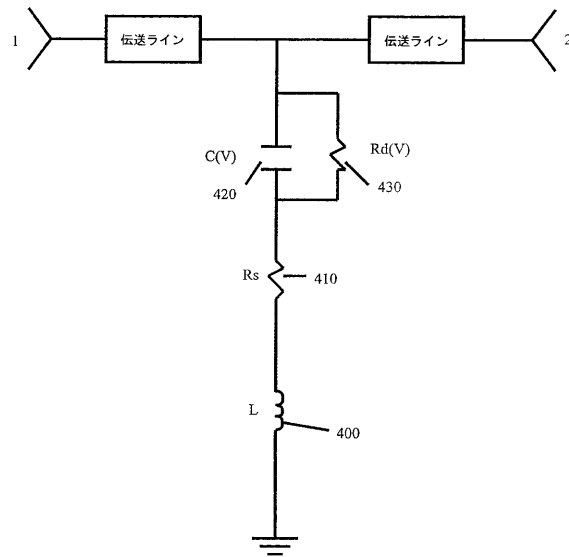
【図 2 d】



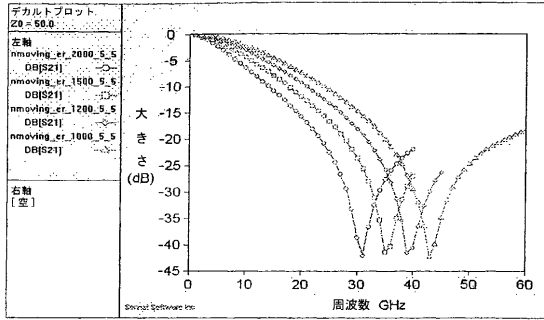
【図 3】



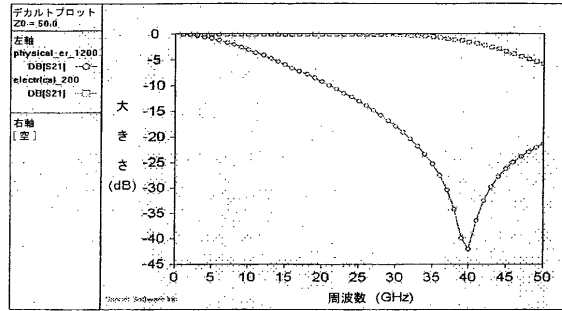
【図 4】



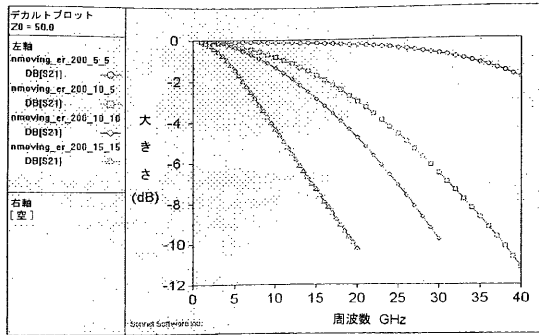
【図5】



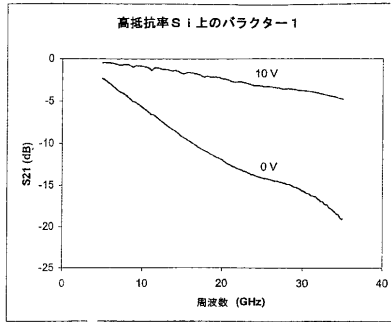
【図7】



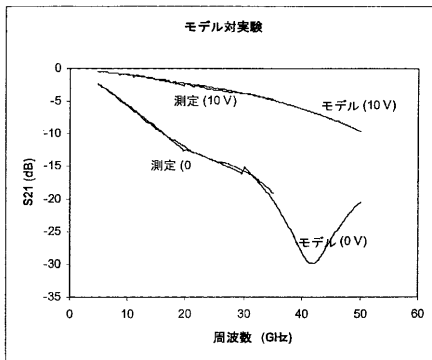
【図6】



【図8】



【図9】



フロントページの続き

- (74)代理人 100096013
弁理士 富田 博行
- (74)代理人 100120558
弁理士 住吉 勝彦
- (72)発明者 サブラマニアン, グルー
アメリカ合衆国オハイオ州45458, デイトン, チェスニー・コート 2800
- (72)発明者 ヴォロビエフ, アンドレ
スウェーデン国41279 ゴセンブルグ, ギブラルタルガータン 80
- (72)発明者 ゲヴォルジアン, スパルタク
スウェーデン国41111 ゴセンブルグ, アドラー・サルヴィウス 15

審査官 佐藤 当秀

- (56)参考文献 国際公開第01/015260 (WO, A1)
D.Kuylenstierna, A.Vorobiev, G.Subramanyam and S.Gevorgian, Tunable electromagnetic bandgap structures based on ferroelectric films, 2003 IEEE Antennas and Propagation Society International Symposium digest, 米国, IEEE, 2003年 7月18日, Vol.4, pp.879 - 882

(58)調査した分野(Int.Cl., DB名)

H01P 1/00- 1/219
H01P 3/00- 7/10
H01P 11/00
H01Q 1/00-25/04
IEEE