



PCT

特許協力条約に基づいて公開された国際出願

<p>(51) 国際特許分類 H04N 11/04, 9/808, 7/32</p>	<p>A1</p>	<p>(11) 国際公開番号 WO98/03020</p> <p>(43) 国際公開日 1998年1月22日(22.01.98)</p>
<p>(21) 国際出願番号 PCT/JP97/02481</p> <p>(22) 国際出願日 1997年7月17日(17.07.97)</p> <p>(30) 優先権データ 特願平8/206625 1996年7月17日(17.07.96) JP</p> <p>(71) 出願人 (米国を除くすべての指定国について) ソニー株式会社(SONY CORPORATION)[JP/JP] 〒141 東京都品川区北品川6丁目7番35号 Tokyo, (JP)</p> <p>(72) 発明者; および (75) 発明者/出願人 (米国についてのみ) 近藤哲二郎(KONDO, Tetsujiro)[JP/JP] 〒141 東京都品川区北品川6丁目7番35号 ソニー株式会社内 Tokyo, (JP)</p> <p>(74) 代理人 弁理士 松隈秀盛(MATSUKUMA, Hidemori) 〒160 東京都新宿区西新宿1丁目8番1号 新宿ビル Tokyo, (JP)</p>		<p>(81) 指定国 KR, US, 欧州特許 (AT, BE, CH, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE).</p> <p>添付公開書類 国際調査報告書</p>
<p>(54)Title: DEVICE AND METHOD FOR PROCESSING IMAGE AND DEVICE AND METHOD FOR ENCODING IMAGE</p>		
<p>(54)発明の名称 画像処理装置および方法、並びに画像符号化装置および方法</p>		
<p>(57) Abstract</p> <p>An image having a low spatial resolution is efficiently converted into an image having a high spatial resolution with high accuracy. In order to perform the conversion, picture element data are expressed using vectors in color spaces of R, G, and B. To predict the high-resolution R-component, not only the low-resolution R-component but also R-, G-, and B-components are utilized.</p>		
<p style="text-align: center;">COLOR SPACE 色空間</p>		

(57) 要約

空間解像度が低い画像を、効率的、かつ、高精度で空間解像度の高い画像に変換することを課題とする。解決手段としては、画素データをR、G、Bの色空間上のベクトルで表し、高解像度のR成分を予測するのに、低解像度のR成分だけでなくR、G、Bの成分を利用する。

参考情報

PCTに基づいて公開される国際出願のパンフレット第一頁に記載されたPCT加盟国を特定するために使用されるコード

AL	アルバニア	ES	スペイン	LR	リベリア	SG	シンガポール
AM	アルメニア	FI	フィンランド	LS	レソト	SI	スロヴェニア
AT	オーストラリア	FR	フランス	LT	リトアニア	SK	スロヴァキア共和国
AU	オーストラリア	GA	ガボン	LU	ルクセンブルグ	SL	シエラレオネ
AZ	アゼルバイジャン	GB	英国	LV	ラトヴィア	SN	セネガル
BA	ボスニア・エルツェゴビナ	GE	グルジア	MC	モナコ	SZ	スワジランド
BB	バルバドス	GH	ガーナ	MD	モルドヴァ共和国	TD	チャード
BE	ベルギー	GN	ギニア	MG	マダガスカル	TG	トーゴ
BF	ブルキナ・ファソ	GR	ギリシャ	MK	マケドニア旧ユーゴス ラヴィア共和国	TJ	タジキスタン
BG	ブルガリア	HU	ハンガリー	ML	マリ	TM	トルクメニスタン
BJ	ベナン	ID	インドネシア	MN	モンゴル	TR	トルコ
BR	ブラジル	IE	アイルランド	MR	モーリタニア	TT	トリニダード・トバゴ
BY	ベラルーシ	IL	イスラエル	MW	マラウイ	UA	ウクライナ
CA	カナダ	IS	アイスランド	MX	メキシコ	UG	ウガンダ
CF	中央アフリカ共和国	IT	イタリア	NE	ニジェール	US	米国
CG	コンゴ	JP	日本	NL	オランダ	UZ	ウズベキスタン
CH	スイス	KE	ケニア	NO	ノルウェー	VN	ヴェトナム
CI	コート・ジボアール	KG	キルギスタン	NZ	ニュージーランド	YU	ユーゴスラビア
CM	カメルーン	KP	朝鮮民主主義人民共和国	PL	ポーランド	ZW	ジンバブエ
CN	中国	KR	大韓民国	PT	ポルトガル		
CU	キューバ	KZ	カザフスタン	RO	ルーマニア		
CZ	チェッコ共和国	LC	セントルシア	RU	ロシア連邦		
DE	ドイツ	LI	リヒテンシュタイン	SD	スーダン		
DK	デンマーク	LK	スリランカ	SE	スウェーデン		
EE	エストニア						

明 細 書

画像処理装置および方法、並びに画像符号化装置および方法

技術分野

本発明は、画像処理装置および方法、並びに画像符号化装置および方法に関し、
5 特に、効率よく、かつ、精度良く、予測を行うことができるようにした画像処理装置および方法、並びに画像符号化装置および方法に関する。

背景技術

従来より、空間解像度の低い画像を空間解像度のより高い画像に変換して表示す
10 ることが行われている。この場合、空間解像度の低い画素データから、より多くの画素データを補間する（生成する）ようにしている。

従来、このような補間処理を行うのに、空間解像度の低い画素データが、例えば
R、G、Bのコンポーネント信号により構成されているとき、各コンポーネント信号毎に、独立に補間処理を行うようにしていた。

すなわち、空間解像度の高いRの画素データは、空間解像度の低いRの画素データから生成し、空間解像度の高いGの画素データは、空間解像度の低いGの画素データから生成し、空間解像度の高いBの画素データは、空間解像度の低いBの画素データから生成するようにしていた。

その結果、効率が悪くなるばかりでなく、良好な精度を得ることができない課題
20 があった。

発明の開示

本発明はこのような状況に鑑みてなされたものであり、効率と精度を改善するよう
にするものである。

請求の範囲1に記載の画像処理装置は、第1の画像の第1の画素データを取得する取得手段と、第1の画素データを構成するコンポーネント信号のうちの、少なくとも第1のコンポーネント信号と第2のコンポーネント信号を用いて、第2の画像

5 の第2の画素データを構成する第1のコンポーネント信号を予測するとともに、第1の画素データを構成するコンポーネント信号のうちの、少なくとも第1のコンポーネント信号と第2のコンポーネント信号を用いて、第2の画像の第2の画素データを構成する第2のコンポーネント信号を予測する予測手段とを備えることを特徴とする。

10 また、請求の範囲5に記載の画像処理方法は、第1の画像の第1の画素データを取得する取得ステップと、第1の画素データを構成するコンポーネント信号のうちの、少なくとも第1のコンポーネント信号と第2のコンポーネント信号を用いて、第2の画像の第2の画素データを構成する第1のコンポーネント信号を予測するとともに、第1の画素データを構成するコンポーネント信号のうちの、少なくとも第1のコンポーネント信号と第2のコンポーネント信号を用いて、第2の画像の第2の画素データを構成する第2のコンポーネント信号を予測する予測ステップとを備えることを特徴とする。

15 また、請求の範囲6に記載の画像符号化装置は、色空間上のベクトルで表した複数の画素データを少なくすることにより圧縮する圧縮手段と、圧縮した画素データのクラスを分類する分類手段と、クラスに対応する、色空間上のベクトルで表される画素データを含む予測データを記憶する記憶手段と、予測データを用いて、画像を予測する予測手段とを備えることを特徴とする。

20 また、請求の範囲10に記載の画像符号化方法は、色空間上のベクトルで表した複数の画素データを少なくすることにより圧縮する圧縮ステップと、圧縮した画素データのクラスを分類する分類ステップと、クラスに対応する、色空間上のベクトルで表される画素データを含む予測データを記憶する記憶ステップと、予測データを用いて、画像を予測する予測ステップとを備えることを特徴とする。

25 また、請求の範囲1に記載の画像処理装置および請求項5に記載の画像処理方法においては、空間解像度のより高い第2の画像の1つのコンポーネント信号が、空間解像度の低い第1の画像の複数のコンポーネント信号から生成される。

また、請求の範囲6に記載の画像符号化装置および請求項10に記載の画像符号

化方法においては、色空間上のベクトルで表される画素データを含む予測データを利用して、画像が予測される。

図面の簡単な説明

- 5 図1は、本発明の画像処理装置を応用したシステムの構成例を示すブロック図である。
- 図2は、図1のサブサンプリング回路の動作を説明する図である。
- 図3は、図1の実施例における画素データを説明する図である。
- 図4は、図1のROM218の記憶内容を生成する装置の構成例を示すブロック
- 10 図である。
- 図5は、図1の送信装置1の他の構成例を示すブロック図である。
- 図6は、図5の送信装置1の機能的構成例を示すブロック図である。
- 図7は、図6の送信装置1の動作を説明するためのフローチャートである。
- 図8は、図6の圧縮部21の構成例を示すブロック図である。
- 15 図9は、図8の圧縮部21の動作を説明するためのフローチャートである。
- 図10は、図6のローカルデコード部22の構成例を示すブロック図である。
- 図11は、クラス分類処理を説明するための図である。
- 図12は、ADRC処理を説明するための図である。
- 図13は、図10のローカルデコード部22の動作を説明するためのフロー
- 20 チャートである。
- 図14は、図6の誤差算出部23の構成例を示すブロック図である。
- 図15は、図14の誤差算出部23の動作を説明するためのフローチャートである。
- 図16は、図6の判定部24の構成例を示すブロック図である。
- 25 図17は、図16の判定部24の動作を説明するためのフローチャートである。
- 図18は、図1の受信装置4のさらに他の構成例を示すブロック図である。
- 図19は、図6のローカルデコード部22の他の構成例を示すブロック図であ

る。

図 20 は、図 19 の予測係数 ROM 81 に記憶されている予測係数を算出する画像処理装置の一実施例の構成を示すブロック図である。

図 21 は、図 1 の送信装置 1 の他の構成例を示すブロック図である。

5 図 22 は、図 21 の送信装置の動作を説明するためのフローチャートである。

図 23 は、マッピング係数を得るための学習を行う画像処理装置の第 1 実施例の構成を示すブロック図である。

図 24 は、図 23 の画像処理装置の動作を説明するためのフローチャートである。

10 図 25 は、図 23 のローカルデコード部 127 の構成例を示すブロック図である。

図 26 は、図 25 のローカルデコード部 127 の処理を説明するためのフローチャートである。

15 図 27 は、マッピング係数を得るための学習を行う画像処理装置の第 2 実施例の構成を示すブロック図である。

図 28 は、図 27 の画像処理装置の動作を説明するためのフローチャートである。

図 29 は、図 1 の受信装置 4 の他の構成例を示すブロック図である。

20 発明を実施するための最良の形態

以下に本発明の実施例を説明するが、請求の範囲に記載の発明の各手段と以下の実施例との対応関係を明らかにするために、各手段の後の括弧内に、対応する実施例（但し一例）を付加して本発明の特徴を記述すると、次のようになる。但し勿論この記載は、各手段を記載したものに限定することを意味するものではない。

25 すなわち、請求の範囲 1 に記載の画像処理装置は、第 1 の画像の第 1 の画素データを取得する取得手段（例えば、図 1 のデコーダ 13）と、第 1 の画素データを構成するコンポーネント信号のうちの、少なくとも第 1 のコンポーネント信号と第 2

のコンポーネント信号を用いて、第2の画像の第2の画素データを構成する第1のコンポーネント信号を予測するとともに、第1の画素データを構成するコンポーネント信号のうちの、少なくとも第1のコンポーネント信号と第2のコンポーネント信号を用いて、第2の画像の第2の画素データを構成する第2のコンポーネント信号を予測する予測手段（例えば、図1のデータ生成回路219）とを備えることを特徴とする。

請求の範囲6に記載の画像符号化装置は、色空間上のベクトルで表した複数の画素データを少なくすることにより圧縮する圧縮手段（例えば、図8の間引き回路31）と、圧縮した画素データのクラスを分類する分類手段（例えば、図10のクラス分類回路45）と、クラスに対応する、色空間上のベクトルで表される画素データを含む予測データ（例えば、予測係数）を記憶する記憶手段（例えば、図19の予測係数ROM81）と、予測データを用いて、画像を予測する予測手段（例えば、図19の予測回路82）とを備えることを特徴とする。

図1は、送信側から画像データを間引いて伝送し、受信側で、間引かれた画素を生成して再生するシステムの構成例を示している。伝送するデジタルビデオデータは、送信装置1の入力端子201からサブサンプリング回路202に入力され、水平方向に1つおきの画素データが間引かれ、伝送すべきデータ量が半分になるようになされている。エンコーダ203は、サブサンプリング回路202から供給されたデータを、例えばDCT（Discrete Cosine Transform）などの直交変換符号や、ADRC（Adaptive Dynamic Range Coding）などにより高能率符号化し、データ量をさらに低減するようになされている。送信処理回路204は、エンコーダ203の出力に対して、エラー訂正符号化、フレーム化、チャンネル符号化などの処理を行い、出力端子205から伝送路3に出力したり、光ディスク、磁気ディスクなどの記録媒体2に記録する。

伝送路3または記録媒体2から供給されたデータは、受信装置4の入力端子211から受信処理回路212に入力され、チャンネル符号化の復号化処理、フレーム分解処理、エラー訂正処理などが行われるようになされている。デコーダ213

は、送信装置 1 側のエンコーダ 203 に対応する復号処理を行うようになされている。デコーダ 213 の出力は、同時化回路 215 と合成回路 214 に供給されている。

5 同時化回路 215 は、デコーダ 213 の出力を、処理対象とする画素データが同じタイミングで発生するようにタイミング調整を行い、調整後のデータを ADRC 処理回路 216 とデータ生成回路 219 に出力している。ADRC 処理回路 216 は、同時化回路 215 より供給されたデータを、1 ビットで ADRC 処理し、処理結果をクラス分類回路 217 に出力する。クラス分類回路 217 は、ADRC 処理回路 216 より供給されたデータに対応するクラス分類処理を行い、分類されたクラスを示す信号を ROM (Read Only Memory) 218 にアドレスとして出力する
10 ようになされている。

ROM 218 は、クラス分類回路 217 より供給されるクラスに対応するアドレスに記憶されている係数データを読み出し、データ生成回路 219 に出力するよう
15 になされている。データ生成回路 219 は、同時化回路 215 より供給されたデータに、ROM 218 より供給された係数データを乗算し、新たな画素データを生成して、合成回路 214 に出力している。合成回路 214 は、デコーダ 213 より供給された、元々存在する画素データと、データ生成回路 219 により生成された画素データとを合成し、出力端子 220 から図示せぬ CRT などに出力し、表示させるようになされている。

20 次に、その動作について説明する。入力端子 201 より入力されたデジタル画像データは、例えば図 2 に示すように、水平方向に 1 つおきに、サブサンプリング回路 202 において間引かれる。図 2 において、○印は、間引かれて残った画素データを表し、×印は、間引かれて伝送されない画素データを表している。これにより、伝送すべき画素データが半分になる。

25 この画素データは、エンコーダ 203 によりエンコードされた後、送信処理回路 204 により所定の処理が施され、出力端子 205 から伝送路 3 または記録媒体 2 に伝送される。

受信処理回路 2 1 2 は、入力端子 2 1 1 から伝送路 3 または記録媒体 2 からの伝送データを受信し、デコーダ 2 1 3 に出力する。デコーダ 2 1 3 は、入力されたデータをデコードし、デコードした結果得られた画素データ（図 2 において、○印で示す画素データ）を合成回路 2 1 4 と同時化回路 2 1 5 に出力する。

5 同時化回路 2 1 5 は、処理対象とする画素データが、同じタイミングで発生するように、所定の遅延を施す処理などを実行する。これにより、例えば図 2 に示す、省略されている画素 Y1 の上 (X1)、左 (X2)、右 (X3) および下 (X4) に位置する画素データ X1 乃至 X4 が、ADRC 処理回路 2 1 6 とデータ生成回路 2 1 9 に、同じタイミングで供給される。

10 ADRC 処理回路 2 1 6 は、入力された 4 個の画素データ X1 乃至 X4 により構成される 1 個のブロックの ADRC 処理を実行する。この実施例においては、図 3 に示すように、各画素データ X は、R、G、B の各成分で規定される色空間上のベクトル (XR, XG, XB) で構成されている。XR, XG, XB は、それぞれ画素データ X の R、G、B のコンポーネント成分を表し、例えば、それぞれが 8 ビット
15 で表現されている。ADRC 処理回路 2 1 6 は、1 ビット ADRC 処理を実行するため、例えば、画素データ X1 の R 成分 XR1 を 1 ビットで表し、G 成分 XG1 を 1 ビットで表し、また B 成分 XB1 を 1 ビットで表す。すなわち、本来、24 ビット (= 3 × 8) で表されていた画素データ X1 を、3 ビット (= 3 × 1) のデータとする。他の画素データ X2 乃至 X4 も、同様に 3 ビットの画素データに変換され、
20 それぞれが 3 ビットで表される画素データ (X1, X2, X3, X4) としてクラス分類回路 2 1 7 に供給される。

クラス分類回路 2 1 7 は、入力された合計 12 ビット (= 4 × 3) のデータをクラスに分類し、その分類したクラスを表すクラスデータ信号を生成し、ROM 2 1 8 に出力する。すなわち、この実施例の場合、12 ビットでクラスが表されるため、4096 (= 2¹²) 通りのクラスが存在することになる。
25

ROM 2 1 8 には、各クラス毎に予測係数 w が記憶されており、クラス分類回路 2 1 7 から所定のクラスを表す信号が供給されると、そのクラスに対応するアドレ

5 スに記憶されている予測係数 w が読み出され、データ生成回路219に供給される。

データ生成回路219は、ROM218より供給される予測係数 w と、同時化回路215より供給される画素データ $X1$ 乃至 $X4$ を用いて、次式に示すような演算を行って、図2に示す画素データ $Y1$ を生成する。

$$\begin{aligned} YR1 = & w1 (R) XR1 + w2 (R) XG1 + w3 (R) XB1 \\ & + w4 (R) XR2 + w5 (R) XG2 + w6 (R) XB2 \\ & + w7 (R) XR3 + w8 (R) XG3 + w9 (R) XB3 \\ & + w10 (R) XR4 + w11 (R) XG4 + w12 (R) XB4 \end{aligned}$$

10

$$\begin{aligned} YG1 = & w1 (G) XR1 + w2 (G) XG1 + w3 (G) XB1 \\ & + w4 (G) XR2 + w5 (G) XG2 + w6 (G) XB2 \\ & + w7 (G) XR3 + w8 (G) XG3 + w9 (G) XB3 \\ & + w10 (G) XR4 + w11 (G) XG4 + w12 (G) XB4 \end{aligned}$$

15

$$\begin{aligned} YB1 = & w1 (B) XR1 + w2 (B) XG1 + w3 (B) XB1 \\ & + w4 (B) XR2 + w5 (B) XG2 + w6 (B) XB2 \\ & + w7 (B) XR3 + w8 (B) XG3 + w9 (B) XB3 \\ & + w10 (B) XR4 + w11 (B) XG4 + w12 (B) XB4 \end{aligned}$$

20 なお、 $wi (R)$ 、 $wi (G)$ 、 $wi (B)$ は、それぞれR、G、B用の予測係数を表している。

上記式より明らかなように、この実施例においては、画素データ $Y1$ のR成分 $YR1$ が、周囲の画素 $X1$ 乃至 $X4$ のR成分 $XR1$ 乃至 $XR4$ だけでなく、G成分 $XG1$ 乃至 $XG4$ 、並びにB成分 $XB1$ 乃至 $XB4$ から生成される。同様に、画素データ $Y1$ のG成分 $YG1$ と、B成分 $YB1$ も、それぞれ画素データ $X1$ 乃至 $X4$ の対応する成分だけでなく、すべての成分 $XR1$ 乃至 $XR4$ 、 $XG1$ 乃至 $XG4$ 、 $XB1$ 乃至 $XB4$ から生成される。

画像、特に、テレビカメラを用いて撮影したような自然な画像は相関を有し、比較的近傍の画素ほど強い相関を有する。従って、新たな画素データを演算により生成する場合、より近傍の画素データをもとに、その演算を行う方が、より効率的に、また、高精度で新たな画素データを生成することができる。

- 5 すなわち、上記式に示すように、例えば、画素データY1のR成分YR1を求めるのに、XR1乃至XB4の合計12個のデータを用いているのであるが、例えば、このYR1を演算により求めるのに、12個のR成分だけを用いるようにするには、R成分は各画素に1個しか存在しないから、結局合計12画素のR成分を利用する必要がある。このようにすれば、必然的に、いま注目している画素Y1から、より遠く
- 10 に離れている画素データを用いざるを得ず、効率と精度が劣化することになる。

そこで、本実施例のように、各画素が有するR、G、B成分を用いて、注目画素のR成分（G成分とB成分も同様）を生成するようにすれば、より近い位置の画素データから必要な数のデータを得ることができる。従って、それだけ効率的に、高精度の画素データを生成することができる。

- 15 合成回路214は、以上のようにして、データ生成回路219により生成された新たな画素データYと、デコーダ213より供給される元々存在する画素データXとを合成し、出力端子220から出力する。従って、出力端子220から出力される画素データは、受信回路212で受信した画素データXにより構成される画像より、空間解像度が高い画像となっている（図1のサブサンプリング回路202でサブサンプリングされる前の画像と同一の解像度の画像となっている）。
- 20

ROM218には、上記した式の予測係数wが記憶されているのであるが、この予測係数wのテーブルは、例えば図4に示す装置から得ることができる。

- すなわち、図4の実施例においては、入力端子230からデジタルビデオ信号が入力され、同時化回路231に供給されている。この入力端子230に入力されるデジタルビデオ信号は、テーブルを作成する上において必要な標準的な信号
- 25 （従って、間引かれる前の高解像度の画像の信号）であることが好ましく、例えば標準的な絵柄の静止画像からなる信号を採用することができる。同時化回路231

は、図2に示す画素データY1及びX1乃至X4が同時に出力されるように、タイミング調整を行う。同時化回路231より出力された画素データは、サブサンプリング回路232とデータメモリ237に供給される。サブサンプリング回路232は、入力された高解像度の画像信号から図2に示す画像データX1乃至X4を抽出し、ADRC処理回路233に供給する。

ADRC処理回路233は、入力された画素データを1ビットでADRC処理し、クラス分類回路234に出力する。クラス分類回路234は、ADRC処理回路233より入力されたデータをクラス分類し、分類したクラスに対応する信号をスイッチ235の接点Aを介してデータメモリ237にアドレスとして供給する。すなわち、同時化回路232、ADRC処理回路233、およびクラス分類回路234は、図1における同時化回路215、ADRC処理回路216、およびクラス分類回路217における場合と同様の処理を行う。

カウンタ236は、図示せぬ回路から供給されるクロックCKをカウントし、そのカウント値をスイッチ235の接点Cを介して、データメモリ237にアドレスとして供給している。

データメモリ237は、スイッチ235を介してクラス分類回路234からアドレスが供給されているとき、そのアドレスに同時化回路232から供給されるデータを書き込み、カウンタ236からスイッチ235を介してアドレスが供給されているとき、そのアドレスに記憶されているデータを読み出し、最小自乗法演算回路238に出力するようになされている。最小自乗法演算回路238は、データメモリ237から供給された画素データに対して、最小自乗法に基づく演算を行い、予測係数 w_i を演算し、メモリ239に出力するようになされている。メモリ239は、スイッチ235を介してカウンタ236から供給されるアドレスに、最小自乗法演算回路238から供給される予測係数 w_i を書き込むようになされている。

次に、その動作について説明する。予測係数を決定するための学習のためのデジタルビデオデータが同時化回路231において同時化され、サブサンプリング回路232で間引き処理が行われて、図2におけるX1乃至X4が抽出され、ADRC

処理回路 2 3 3 で 1 ビットの A D R C 処理が行われた後、クラス分類回路 2 3 4 に
入力され、クラス分類される。いまの場合、図 1 における場合と同様に、4 画素が
クラス分類のための 1 ブロックとされ、各画素は、A D R C 処理回路 2 3 3 におい
て、各 R, G, B 成分が 1 ビットで A D R C 処理されるため、クラス分類回路 2 3
5 4 から 1 2 ビットのクラスデータがスイッチ 2 3 5 の接点 A を介してデータメモリ
2 3 7 にアドレスとして供給される。データメモリ 2 3 7 は、このアドレスに、同
時化回路 2 3 2 より供給される画素データを記憶させる。

なお、ここで、記憶させる画素データは、図 1 のサブサンプリング回路 2 0 2 で
サブサンプリングされる前の状態の、より高い空間解像度を有する画像の画素デー
10 タである。従って、図 2 における○印の画素データ X_i はもとより、×印で示す画像
データ Y_i も記憶される。

上記式に示すように、1 つの成分の画像データ、例えば Y_{R1} を演算する係数は、
 $w_{11}(R)$ 乃至 $w_{12}(R)$ の 1 2 個存在する。従って、これらの 1 2 個の予測係数
を求めるには、1 2 個の予測係数を未知数とする 1 2 個の連立方程式が各クラスに
15 において必要となる。データメモリ 2 3 7 には、この連立方程式を解くのに必要な数
の画素データが少なくとも記憶される。

必要な数の画素データがデータメモリ 2 3 7 に記憶された後、スイッチ 2 3 5 が
接点 C 側に切り替えられる。カウンタ 2 3 6 は、クロック CK をカウントし、その
カウント値を出力しているため、データメモリ 2 3 7 には、1 ずつインクリメント
20 する値が、読み出しアドレスとして入力される。データメモリ 2 3 7 は、入力され
た読み出しアドレスに対応する画素データを読み出し、最小自乗法演算回路 2 3 8
に出力する。最小自乗法演算回路 2 3 8 は、上記した式に対して、具体的データを
当てはめ、予測係数 w_i を変数とする連立方程式を生成し、その連立方程式を解き、
予測係数 w_i を求める。

そして、演算により求めた予測係数 w_i を用いて、所定の画素データ（例えば、上
記した画素データ Y_1 の R 成分 Y_{R1} ）を求める（予測する）。そして、演算（予
測）により求めた Y_{R1} の値と、実際の画素データ Y_{R1} との誤差を演算し、その誤差

の自乗が最小となるように予測係数 w_i を演算する。演算により求められた予測係数 w_i は、いまデータメモリ237から読み出された画素データのアドレスと対応するメモリ239のアドレスに書き込まれる。このようにして、メモリ239には、予測係数 w_i が記憶される。そして、この記憶内容が、図1に示すROM218に書き込まれる。

なお、上記実施例においては、ROM218（メモリ239）に、予測係数 w_i を書き込むようにしたが、係数が乗算された後のデータそのものを書き込むようにすることも可能である。このようにすれば、図1におけるデータ生成回路219は不要となる。

図5は、送信装置1の他の構成例を示している。

I/F（InterFace）11は、外部から供給される画像データの受信処理と、送信機/記録装置16に対しての、符号化データの送信処理を行うようになされている。ROM（Read Only Memory）12は、IPL（Initial Program Loading）用のプログラムその他を記憶している。RAM（Random Access Memory）13は、外部記憶装置15に記録されているシステムプログラム（OS（Operating System））やアプリケーションプログラムを記憶したり、また、CPU（Central Processing Unit）14の動作上必要なデータを記憶するようになされている。

CPU14は、ROM12に記憶されているIPLプログラムに従い、外部記憶装置15からシステムプログラムおよびアプリケーションプログラムを、RAM13に展開し、そのシステムプログラムの制御の下、アプリケーションプログラムを実行することで、I/F11から供給される画像データについての、後述するような符号化処理を行うようになされている。外部記憶装置15は、例えば、磁気ディスク装置などでなり、上述したように、CPU14が実行するシステムプログラムやアプリケーションプログラムを記憶している他、CPU14の動作上必要なデータも記憶している。送信機/記録装置16は、I/F11から供給される符号化データを、記録媒体2に記録し、または伝送路3を介して伝送するようになされている。

なお、I/F 11, ROM 12, RAM 13, CPU 14、および外部記憶装置 15 は、相互にバスを介して接続されている。

5 以上のように構成される送信装置 1 においては、I/F 11 に画像データが供給されると、その画像データは、CPU 14 に供給される。CPU 14 は、画像データを符号化し、その結果得られる符号化データを、I/F 11 に供給する。I/F 11 は、符号化データを受信すると、それを、送信機/記録装置 16 に供給する。送信機/記録装置 16 では、I/F 11 からの符号化データが、記録媒体 2 に記録され、または伝送路 3 を介して伝送される。

10 図 6 は、図 5 の送信装置 1 の、送信機/記録装置 16 を除く部分の機能的なブロック図である。

15 符号化すべき画像データは、圧縮部 21、ローカルデコード部 22、および誤差算出部 23 に供給されるようになされている。圧縮部 21 は、画像データを、その画素を、単純に間引くことにより圧縮し、その結果得られる圧縮データ（間引きが行われた後の画像データ）を、判定部 24 からの制御に従って補正するようになされている。圧縮部 21 における補正の結果得られる補正データは、ローカルデコード部 22 および判定部 24 に供給するようになされている。

20 ローカルデコード部 22 は、圧縮部 21 からの補正データに基づいて、元の画像を予測し、その予測値を、誤差算出部 23 に供給するようになされている。なお、ローカルデコード部 22 は、後述するように、補正データとの線形結合により、予測値を算出するための予測係数を求める適応処理を行い、その予測係数に基づいて、予測値を求めるようになされており、上述したように、予測値を、誤差算出部 23 に供給する他、そのとき求めた予測係数を、判定部 24 に供給するようになされている。

25 誤差算出部 23 は、そこに入力される、元の画像データ（原画像）に対する、ローカルデコード部 22 からの予測値の予測誤差を算出するようになされている。この予測誤差は、誤差情報として、判定部 24 に供給されるようになされている。

判定部 24 は、誤差算出部 23 からの誤差情報に基づいて、圧縮部 21 が出力し

た補正データを、元の画像の符号化結果とすることの適正さを判定するようになされている。そして、判定部24は、圧縮部21が出力した補正データを、元の画像の符号化結果とすることが適正でないと判定した場合には、圧縮部21を制御し、さらに、圧縮データを補正させ、その結果得られる新たな補正データを出力させるようになされている。また、判定部24は、圧縮部21が出力した補正データを、元の画像の符号化結果とすることが適正であると判定した場合には、圧縮部21から供給された補正データを、最適な圧縮データ（以下、適宜、最適圧縮データという）として多重化部25に供給するとともに、ローカルデコード部22から供給された予測係数を多重化部25に供給するようになされている。

10 多重化部25は、判定部24からの最適圧縮データ（補正データ）と、予測係数とを多重化し、その多重化結果を、符号化データとして、送信機/記録装置16（図5）に供給するようになされている。

次に、図7のフローチャートを参照して、その動作について説明する。圧縮部21に対して、画像データが供給されると、圧縮部21は、ステップS1において、その画像データを間引くことにより圧縮し、最初は、補正を行わずに、ローカルデコード部22および判定部24に出力する。ローカルデコード部22では、ステップS2において、圧縮部21からの補正データ（最初は、上述したように、画像データを、単純に間引いた圧縮データそのもの）がローカルデコードされる。

15 即ち、ステップS2では、圧縮部21からの補正データとの線形結合により、元の画像の予測値を算出するための予測係数を求める適応処理が行われ、その予測係数に基づいて、予測値が求められる。ローカルデコード部22において求められた予測値は誤差算出部23に、また、予測係数は判定部24に供給される。

ここで、ローカルデコード部22が出力する予測値で構成される画像は、受信装置4側において得られる復号画像と同一のものである。

25 誤差算出部23は、ローカルデコード部22から、元の画像の予測値を受信すると、ステップS3において、元の画像データに対する、ローカルデコード部22からの予測値の予測誤差を算出し、誤差情報として、判定部24に供給する。判定部

2 4は、誤差算出部 2 3から誤差情報を受信すると、ステップ S 4において、その誤差情報に基づいて、圧縮部 2 1が出力した補正データを、元の画像の符号化結果とすることの適正さを判定する。

5 即ち、ステップ S 4においては、誤差情報が所定の閾値 ε 以下であるかどうか判定される。ステップ S 4において、誤差情報が所定の閾値 ε 以下でないと判定された場合、圧縮部 2 1が出力した補正データを、元の画像の符号化データとするのは適正でないと認識され、ステップ S 5に進み、判定部 2 4は、圧縮部 2 1を制御し、これにより、圧縮データを補正させる。圧縮部 2 1は、判定部 2 4の制御に従って、補正量（後述する補正值 Δ ）を変えて、圧縮データを補正し、その結果得られる補正データを、ローカルデコード部 2 2および判定部 2 4に出力する。そして、ステップ S 2に戻り、以下、同様の処理が繰り返される。

10 一方、ステップ S 4において、誤差情報が所定の閾値 ε 以下であると判定された場合、圧縮部 2 1が出力した補正データを、元の画像の符号化結果とするのは適正であると認識され、判定部 2 4は、所定の閾値 ε 以下の誤差情報が得られたときの補正データを、最適圧縮データとして、予測係数とともに、多重化部 2 5に出力する。多重化部 2 5では、ステップ S 6において、判定部 2 4からの最適圧縮データと予測係数とが多重化され、その結果得られる符号化データが出力されて、処理を終了する。

20 以上のように、誤差情報が所定の閾値 ε 以下となったときにおける、圧縮データを補正した補正データを、元の画像の符号化結果とするようにしたので、受信装置 4側においては、その補正データに基づいて、元の画像（原画像）とほぼ同一の画像を得ることが可能となる。

次に、図 8は、図 6の圧縮部 2 1の構成例を示している。

25 符号化すべき画像データは、間引き回路 3 1に入力されるようになされており、間引き回路 3 1は、入力された画像データを $1/N$ （いまの場合、 $1/2$ ）に間引くようになされている。従って、間引き回路 3 1からは、画像データを、 $1/N$ に圧縮した圧縮データが出力されるようになされている。この圧縮データは、間引き

回路 3 1 から補正回路 3 2 に供給されるようになされている。

補正回路 3 2 は、判定部 2 4 (図 6) からの制御信号に従って、補正值 ROM 3 3 にアドレスを与え、これにより、補正值 Δ を読み出すようになされている。そして、補正回路 3 2 は、間引き回路 3 1 からの圧縮データに対して、補正值 ROM 3 3 からの補正值 Δ を、例えば加算することで、補正データを生成し、ローカルデコード部 2 2 および判定部 2 4 に供給するようになされている。補正值 ROM 3 3 は、間引き回路 3 1 が出力する圧縮データを補正するための、各種の補正值 Δ の組合せ (例えば、1 フレーム分の圧縮データを補正するための補正值の組合せなど) を記憶しており、補正回路 3 2 から供給されるアドレスに対応する補正值 Δ の組合せを読み出して、補正回路 3 2 に供給するようになされている。

次に、図 9 を参照して、図 8 の圧縮部 2 1 の処理について説明する。

例えば、1 フレーム (フィールド) 分などの画像データが、間引き回路 3 1 に供給されると、間引き回路 3 1 は、ステップ S 1 1 において、その画像データを $1/N$ に間引き、その結果得られる圧縮データを、補正回路 3 2 に出力する。

ここで、間引き回路 3 1 は、図 2 に示すように、画像データを、例えば、各ライン毎に $1/2$ に間引くようになされている。なお、間引き回路 3 1 は、以上のような処理を、例えば、1 フレーム (フィールド) 単位で行うようになされている。従って、間引き回路 3 1 から補正回路 3 2 に対しては、1 フレームの画像データが $1/2$ に間引きされた圧縮データとして供給される。但し、間引き回路 3 1 における間引き処理は、その他、1 フレームの画像を幾つかのブロックに分割し、そのブロック単位で行うようにすることも可能である。

補正回路 3 2 は、間引き回路 3 1 から圧縮データを受信すると、ステップ S 1 2 において、判定部 2 4 (図 6) から制御信号を受信したかどうかを判定する。ステップ S 1 2 において、制御信号を受信していないと判定された場合、ステップ S 1 5 に進み、補正回路 3 2 は、間引き回路 3 1 からの圧縮データを、そのまま補正データとして、ローカルデコード部 2 2 および判定部 2 4 に出力し、ステップ S 1 2 に戻る。

即ち、判定部 2 4 は、上述したように、誤差情報に基づいて、圧縮部 2 1（補正回路 3 2）を制御するようになされており、間引き回路 3 1 から圧縮データが出力された直後は、まだ、誤差情報が得られないため（誤差情報が、誤差算出部 2 3 から出力されないため）、判定部 2 4 から制御信号は出力されない。このため、間引き回路 3 1 から圧縮データが出力された直後は、補正回路 3 2 は、その圧縮データを補正せず（0 を加算する補正をして）、そのまま補正データとして、ローカルデコード部 2 2 および判定部 2 4 に出力する。

一方、ステップ S 1 2 において、判定部 2 4 から制御信号を受信したと判定された場合、ステップ S 1 3 において、補正回路 3 2 は、その制御信号に従ったアドレスを、補正值 ROM 3 3 に出力する。これにより、ステップ S 1 3 では、補正值 ROM 3 3 から、そのアドレスに記憶されている、1 フレーム分の圧縮データを補正するための補正值 Δ の組合せ（集合）が読み出され、補正回路 3 2 に供給される。補正回路 3 2 は、補正值 ROM 3 3 から補正值 Δ の組合せを受信すると、ステップ S 1 4 において、1 フレームの圧縮データそれぞれに、対応する補正值 Δ を加算し、これにより、圧縮データを補正した補正データを算出する。その後は、ステップ S 1 5 に進み、補正データが、補正回路 3 2 からローカルデコード部 2 2 および判定部 2 4 に出力され、ステップ S 1 2 に戻る。

以上のようにして、圧縮部 2 1 は、判定部 2 4 の制御に従って、圧縮データを、種々の値に補正した補正データを出力することを繰り返す。

なお、判定部 2 4 は、1 フレームの画像についての符号化を終了すると、その旨を表す制御信号を、圧縮部 2 1 に供給するようになされており、圧縮部 2 1 は、その制御信号を受信すると、次のフレームの画像に対して、図 9 のフローチャートに従った処理を施すようになされている。

また、上述の場合においては、間引き回路 3 1 に、2 画素に 1 個の割合で画素データ（画素値）を抽出させることにより、圧縮データを生成させるようにしたが、その他、例えば、 3×3 画素の平均値を算出し、その平均値を、 3×3 画素の中心の画素の画素値として、圧縮データを生成させるようにすることなども可能で

ある。

次に、図10は、図6のローカルデコード部22の構成例を示している。

5 圧縮部21からの補正データは、クラス分類用ブロック化回路41および予測値計算用ブロック化回路42に供給されるようになされている。クラス分類用ブロック化回路41は、補正データを、その性質に応じて所定のクラスに分類するための単位であるクラス分類用ブロックにブロック化されるようになされている。

10 即ち、いま、クラス分類用ブロック化回路41は、図2に示す4つの画素X1, X2, X3, X4の合計4画素で構成されるクラス分類用ブロックを構成するようになされている。このクラス分類用ブロックは、クラス分類適応処理回路43に供給されるようになされている。

なお、この場合、クラス分類用ブロックは、4画素でなる十字形状のブロックで構成されることとなるが、クラス分類用ブロックの形状は、その他、例えば、長方形や、正方形、その他の任意な形とすることが可能である。また、クラス分類用ブロックを構成する画素数も、4画素に限定されるものではない。

15 予測値計算用ブロック化回路42は、補正データを、元の画像の予測値を計算するための単位である予測値計算用ブロックにブロック化されるようになされている。この実施例の場合、そのブロックはクラス分類用のブロックと同一とされ、図2の画素データX1乃至X4により、そのブロックが構成される。

20 このように、この実施例の場合、予測値計算用ブロック化回路42は、クラス分類用ブロック化回路41と同一の範囲をブロック化するため、両者は共用するようにしてもよい。

予測値計算用ブロック化回路42において得られた予測値計算用ブロックは、クラス分類適応処理回路43に供給されるようになされている。

25 なお、予測値計算用ブロックについても、クラス分類用ブロックにおける場合と同様に、その画素数および形状は、上述したものに限定されるものではない。但し、予測値計算用ブロックを構成する画素数は、クラス分類用ブロックを構成する画素数以上とするのが望ましい。

また、上述のようなブロック化を行う場合において（ブロック化以外の処理についても同様）、画像の画枠付近では、対応する画素が存在しないことがあるが、この場合には、例えば、画枠を構成する画素と同一の画素が、その外側に存在するものとして処理を行う。

- 5 クラス分類適応処理回路43は、ADRC（Adaptive Dynamic Range Coding）処理回路、クラス分類回路45、および適応処理回路46で構成され、クラス分類適応処理を行うようになされている。

10 クラス分類適応処理とは、入力信号を、その特徴に基づいて幾つかのクラスに分類し、各クラスの入力信号に、そのクラスに適切な適応処理を施すもので、大きく、クラス分類処理と適応処理とに分かれている。

ここで、クラス分類処理および適応処理について簡単に説明する。

まず、クラス分類処理について説明する。

いま、例えば、図11（A）に示すように、ある注目画素と、それに隣接する3つの画素により、 2×2 画素でなるブロック（クラス分類用ブロック）を構成し、
15 また、各画素は、1ビットで表現される（0または1のうちのいずれかのレベルをとる）ものとする。この場合、 2×2 の4画素のブロックは、各画素のレベル分布により、図11（B）に示すように、 $16 (= (2^1)^4)$ パターンに分類することができる。このようなパターン分けが、クラス分類処理であり、クラス分類回路45において行われる。

20 なお、クラス分類処理は、画像（ブロック内の画像）のアクティビティ（画像の複雑さ）（変化の激しさ）などをも考慮して行うようにすることが可能である。

ここで、通常、各画素には、例えば8ビット程度が割り当てられる。また、本実施例においては、上述したように、クラス分類用ブロックは、 3×3 の9画素で構成される。従って、このようなクラス分類用ブロックを対象にクラス分類処理を行
25 ったのでは、 $(2^8)^9$ という膨大な数のクラスに分類されることになる。

そこで、本実施例においては、ADRC処理回路44において、クラス分類用ブロックに対して、ADRC処理が施されるようになされており、これにより、クラ

ス分類用ブロックを構成する画素のビット数を小さくすることで、クラス数を削減するようになされている。

即ち、例えば、いま、説明を簡単にするため、図12(A)に示すように、直線上に並んだ4画素で構成されるブロックを考えると、ADRC処理においては、その画素値の最大値MAXと最小値MINが検出される。そして、 $DR = MAX - MIN$ を、ブロックの局所的なダイナミックレンジとし、このダイナミックレンジDRに基づいて、ブロックを構成する画素の画素値がKビットに再量子化される。

即ち、ブロック内の各画素値から、最小値MINを減算し、その減算値を $DR / 2K$ で除算する。そして、その結果得られる除算値に対応するコード(ADRCコード)に変換される。具体的には、例えば、 $K = 2$ とした場合、図12(B)に示すように、除算値が、ダイナミックレンジDRを4(=2²)等分して得られるいずれの範囲に属するかが判定され、除算値が、最も下のレベルの範囲、下から2番目のレベルの範囲、下から3番目のレベルの範囲、または最も上のレベルの範囲に属する場合には、それぞれ、例えば、00B、01B、10B、または11Bなどの2ビットにコード化される(Bは2進数であることを表す)。そして、復号側においては、ADRCコード00B、01B、10B、または11Bは、ダイナミックレンジDRを4等分して得られる最も下のレベルの範囲の中心値L00、下から2番目のレベルの範囲の中心値L01、下から3番目のレベルの範囲の中心値L10、または最も上のレベルの範囲の中心値L11に変換され、その値に、最小値MINが加算されることで復号が行われる。

ここで、このようなADRC処理はノンエッジマッチングと呼ばれる。このようなノンエッジマッチングに対して、図12(C)に示すように、ダイナミックレンジDRを4等分して得られる最も下のレベルの範囲に属する画素値の平均値MIN'、またはその最も上のレベルの範囲に属する画素値の平均値MAX'に、ADRCコード00Bまたは11Bそれぞれを変換するとともに、 $MAX' - MIN'$ で規定されるダイナミックレンジDR'を等分(3等分)するレベルに、ADRCコード01Bと10Bを変換することにより、ADRCコードの復号を行

うようなADRC処理があり、これは、エッジマッチングと呼ばれる。

なお、ADRC処理については、本件出願人が先に出願した、例えば、特開平3-53778号公報などに、その詳細が開示されている。

5 ブロックを構成する画素に割り当てられているビット数より少ないビット数で再量子化を行うADRC処理を施すことにより、上述したように、クラス数を削減することができる。このようなADRC処理が、ADRC処理回路44において行われるようになされている。

10 なお、本実施例では、クラス分類回路45において、ADRC処理回路44から出力されるADRCコードに基づいて、クラス分類処理が行われるが、クラス分類処理は、その他、例えば、DPCM（予測符号化）や、BTC（Block Truncation Coding）、VQ（ベクトル量子化）、DCT（離散コサイン変換）、アダマール変換などを施したデータを対象に行うようにすることも可能である。

次に、適応処理について説明する。

15 例えば、いま、元の画像の画素値 y の予測値 $E[y]$ を、その周辺の幾つかの画素の画素値（以下、適宜、学習データという） x_1, x_2, \dots と、所定の予測係数 w_1, w_2, \dots の線形結合により規定される線形1次結合モデルにより求めることを考える。この場合、予測値 $E[y]$ は、次式で表すことができる。

$$E[y] = w_1 x_1 + w_2 x_2 + \dots \quad \dots (1)$$

20 そこで、一般化するために、予測係数 w の集合でなる行列 W 、学習データの集合でなる行列 X 、および予測値 $E[y]$ の集合でなる行列 Y' を、

$$X = \begin{pmatrix} x_{11} & x_{12} & \dots & x_{1n} \\ x_{21} & x_{22} & \dots & x_{2n} \\ \dots & \dots & \dots & \dots \\ x_{m1} & x_{m2} & \dots & x_{mn} \end{pmatrix}$$

$$W = \begin{pmatrix} w_1 \\ w_2 \\ \dots \\ w_m \end{pmatrix}, \quad Y' = \begin{pmatrix} E[y_1] \\ E[y_2] \\ \dots \\ E[y_n] \end{pmatrix}$$

で定義すると、次のような観測方程式が成立する。

$$XW = Y'$$

5

... (2)

そして、この観測方程式に最小自乗法を適用して、元の画像の画素値 y に近い予測値 $E[y]$ を求めることを考える。この場合、元の画像の画素値（以下、適宜、教師データという） y の集合でなる行列 Y 、および元の画像の画素値 y に対する予測値 $E[y]$ の残差 e の集合でなる行列 E を、

10

$$E = \begin{pmatrix} e_1 \\ e_2 \\ \dots \\ e_m \end{pmatrix}, \quad Y = \begin{pmatrix} y_1 \\ y_2 \\ \dots \\ y_n \end{pmatrix}$$

で定義すると、式 (2) から、次のような残差方程式が成立する。

$$XW = Y + E$$

15

... (3)

この場合、元の画像の画素値 y に近い予測値 $E[y]$ を求めるための予測係数 w_i は、自乗誤差

$$\sum_{i=1}^m e_i^2$$

20

を最小にすることで求めることができる。

従って、上述の自乗誤差を予測係数 w_i で微分したものが0になる場合、即ち、次式を満たす予測係数 w_i が、元の画像の画素値 y に近い予測値 $E[y]$ を求めるため最適値ということになる。

5

$$e_1 \frac{\partial e_1}{\partial w_i} + e_2 \frac{\partial e_2}{\partial w_i} + \cdots + e_m \frac{\partial e_m}{\partial w_i} = 0 \quad (i = 1, 2, \cdots, n)$$

… (4)

そこで、まず、式(3)を、予測係数 w_i で微分することにより、次式が成立する。

10

$$\frac{\partial e_1}{\partial w_i} = x_{i1}, \frac{\partial e_i}{\partial w_2} = x_{i2}, \cdots, \frac{\partial e_i}{\partial w_n} = x_{in} \quad (i = 1, 2, \cdots, m)$$

… (5)

15

式(4)および(5)より、式(6)が得られる。

$$\sum_{i=1}^m e_i x_{i1} = 0, \sum_{i=1}^m e_i x_{i2} = 0, \cdots, \sum_{i=1}^m e_i x_{in} = 0$$

… (6)

20

さらに、式(3)の残差方程式における学習データ x 、予測係数 w 、教師データ y 、および残差 e の関係を考慮すると、式(6)から、次のような正規方程式を得ることができる。

$$\left\{ \begin{array}{l} \left(\sum_{i=1}^m x_{i1} x_{i1} \right) w_1 + \left(\sum_{i=1}^m x_{i1} x_{i2} \right) w_2 + \cdots + \left(\sum_{i=1}^m x_{i1} x_{in} \right) w_n = \left(\sum_{i=1}^m x_{i1} y_i \right) \\ \left(\sum_{i=1}^m x_{i2} x_{i1} \right) w_1 + \left(\sum_{i=1}^m x_{i2} x_{i2} \right) w_2 + \cdots + \left(\sum_{i=1}^m x_{i2} x_{in} \right) w_n = \left(\sum_{i=1}^m x_{i2} y_i \right) \\ \cdots \\ \left(\sum_{i=1}^m x_{in} x_{i1} \right) w_1 + \left(\sum_{i=1}^m x_{in} x_{i2} \right) w_2 + \cdots + \left(\sum_{i=1}^m x_{in} x_{in} \right) w_n = \left(\sum_{i=1}^m x_{in} y_i \right) \end{array} \right. \quad \cdots (7)$$

式(7)の正規方程式は、求めるべき予測係数 w の数と同じ数だけたてることができ、従って、式(7)を解くことで、最適な予測係数 w を求めることができる。5
 なお、式(7)を解くにあたっては、例えば、掃き出し法(Gauss-Jordanの消去法)などを適用することが可能である。

以上のようにして、最適な予測係数 w を求め、さらに、その予測係数 w を用い、式(1)により、元の画像の画素値 y に近い予測値 $E[y]$ を求めるのが適応処理10
 であり、この適応処理が、適応処理回路46において行われるようになされている。

なお、適応処理は、間引かれた画像には含まれていない、元の画像に含まれる成分が再現される点で、補間処理とは異なる。即ち、適応処理では、式(1)だけを見る限りは、いわゆる補間フィルタを用いての補間処理と同一であるが、その補間15
 フィルタのタップ係数に相当する予測係数 w が、教師データ y を用いての、いわば学習により求められるため、元の画像に含まれる成分を再現することができる。このことから、適応処理は、いわば画像の創造作用がある処理ということができる。

次に、図13のフローチャートを参照して、図10のローカルデコード部22の処理について説明する。

ローカルデコード部22においては、まず最初に、ステップS21において、圧縮部21からの補正データがブロック化される。即ち、クラス分類用ブロック化回路41において、補正データが、4画素のクラス分類用ブロックにブロック化され、クラス分類適応処理回路43に供給されるとともに、予測値計算用ブロック化20

回路42において、補正データが4画素の予測値計算用ブロックにブロック化され、クラス分類適応処理回路43に供給される。

5 クラス分類適応処理回路43には、上述したように、クラス分類用ブロックおよび予測値計算用ブロックの他、元の画像データが供給されるようになされており、クラス分類用ブロックはADRC処理部44に、予測値計算用ブロックおよび元の画像データは適応処理回路46に供給されるようになされている。

ADRC処理回路44は、クラス分類用ブロックを受信すると、ステップS22において、そのクラス分類用ブロックに対して、例えば、1ビットのADRC（1ビットで再量子化を行うADRC）処理を施し、これにより、補正データを、1
10 ビットに変換（符号化）して、クラス分類回路45に出力する。クラス分類回路45は、ステップS23において、ADRC処理が施されたクラス分類用ブロックに対して、クラス分類処理を施し、そのクラス分類用ブロックが属するクラスを判定する。このクラスの判定結果は、クラス情報として、適応処理回路46に供給される。

15 なお、本実施例においては、R、G、Bの各成分が1ビットのADRC処理が施された4画素で構成されるクラス分類用ブロックに対して、クラス分類処理が施されるので、各クラス分類用ブロックは、4096（=（23）4）のクラスのうちのいずれかに分類されることになる。

そして、ステップS24に進み、適応処理回路46において、クラス分類回路4
20 5からのクラス情報に基づいて、各クラスごとに適応処理が施され、これにより、予測係数および元の画像データの予測値が算出される。

即ち、本実施例においては、例えば、ある1つの画素に注目した場合に、その注目画素の周りに隣接する4個の画素でなる予測値計算用ブロックを用いて、適応処理が行われる。

25 具体的には、例えば、いま、図2に示した4個の補正データX1、X2、X3、X4でなるクラス分類用ブロックについてのクラス情報Cが、クラス分類回路45から出力され、また、予測値計算用ブロックとして、4画素の補正データX1、X2、X

3, X4 である予測値計算用ブロックが、予測値計算用ブロック化回路 4 2 から出力されたものとする、まず、その予測値計算用ブロックを構成する補正データを、学習データとするとともに、元の画像における、補正データ Y1 を、教師データとして、式 (7) に示した正規方程式がたてられる。

- 5 さらに、クラス情報 C にクラス分類される他の予測値計算用ブロックについても同様に、正規方程式がたてられ、画素値 YR1 の予測値 E [YR1] を求めるための予測係数 $w_1 (R)$ 乃至 $w_{12} (R)$ を算出することができるだけの数の正規方程式が得られると (従って、そのような数の正規方程式が得られるまでは、ステップ S 2 4 では、正規方程式をたてる処理までが行われる)、その正規方程式を解くこと
- 10 とで、クラス情報 C について、画素値 YR1 の予測値 E [YR1] を求めるのに最適な予測係数 $w_1 (R)$ 乃至 $w_{12} (R)$ が算出される。そして、式 (1) に対応する次式に従って、予測値 E [YR1] が求められる。YG1, YB1 などについても同様である。

$$E [YR1] = w_1 (R) XR1 + w_2 (R) XG1 + w_3 (R) XB1 + w_4 (R) XR2 + w_5 (R) XG2 + w_6 (R) XB2 + w_7 (R) XR3 + w_8 (R) XG3 + w_9 (R) XB3 + w_{10} (R) XR4 + w_{11} (R) XG4 + w_{12} (R) XB4$$

$$E [YG1] = w_1 (G) XR1 + w_2 (G) XG1 + w_3 (G) XB1 + w_4 (G) XR2 + w_5 (G) XG2 + w_6 (G) XB2 + w_7 (G) XR3 + w_8 (G) XG3 + w_9 (G) XB3 + w_{10} (G) XR4 + w_{11} (G) XG4 + w_{12} (G) XB4$$

$$E [YB1] = w_1 (B) XR1 + w_2 (B) XG1 + w_3 (B) XB1 + w_4 (B) XR2 + w_5 (B) XG2 + w_6 (B) XB2 + w_7 (B) XR3 + w_8 (B) XG3 + w_9 (B) XB3 + w_{10} (B) XR4 + w_{11} (B) XG4 + w_{12} (B) XB4$$

- 25 12 (B) XB4 ステップ S 2 4 において、以上のようにして各画素の R, G, B の各成分についての予測係数が求められると、予測値が誤差算出部 2 3 に出力されるとともに、予測係数が判定部 2 4 に出力され、ステップ S 2 1 に戻り、以下同様の

処理が繰り返される。

次に、図14は、図6の誤差算出部23の構成例を示している。

ブロック化回路51には、元の画像データが供給されるようになされており、ブロック化回路51は、その画素データを、ローカルデコード部22から出力される
5 予測値に対応する画素単位でブロック化し、その結果得られるブロックの画素（いまの場合、このブロックは1個の画素（図2のY1）により構成される）を、自乗誤差算出回路52に出力するようになされている。自乗誤差算出部52には、上述したように、ブロック化回路51から画素データが供給される他、ローカルデコード部22から予測値としての画素データが供給されるようになされており、自乗誤
10 差算出回路52は、原画像に対する、予測値の予測誤差としての自乗誤差を算出し、積算部55に供給するようになされている。

即ち、自動誤差算出回路は52は、演算器53および54で構成されている。演算器53は、ブロック化回路51からのブロック化された画像データそれぞれから、対応する予測値を減算し、その減算値を、演算器54に供給するようになされ
15 ている。演算器54は、演算器53の出力（元の画像データと予測値との差分）を自乗し、積算部55に供給するようになされている。

積算部55は、自乗誤差算出回路52から自乗誤差を受信すると、メモリ56の記憶値を読み出し、その記憶値と自乗誤差とを加算して、再び、メモリ56に供給して記憶させることを繰り返すことで、自乗誤差の積算値（誤差分散）を求め
20 うようになされている。さらに、積算部55は、所定量（例えば、1フレーム分など）についての自乗誤差の積算が終了すると、その積算値を、メモリ56から読み出し、誤差情報として、判定部24に供給するようになされている。メモリ56は、1フレームについての処理が終了するごとに、その記憶値をクリアしながら、積算部55の出力値を記憶するようになされている。

次に、その動作について、図15のフローチャートを参照して説明する。誤差算出部23では、まず最初に、ステップS31において、メモリ56の記憶値が、例えば0にクリアされ、ステップS32に進み、ブロック化回路51において、画像
25

データが、上述したようにブロック化され、その結果得られるブロックが、自乗誤差算出回路 5 2 に供給される。自乗誤差算出回路 5 2 では、ステップ S 3 3 において、ブロック化回路 5 1 から供給されるブロックを構成する、元の画像の画像データと、ローカルデコード部 2 2 から供給される予測値との自乗誤差が算出される。

5 即ち、ステップ S 3 3 では、演算器 5 3 において、ブロック化回路 5 1 より供給されたブロック化された画像データそれぞれから、対応する予測値が減算され、演算器 5 4 に供給される。さらに、ステップ S 3 3 では、演算器 5 4 において、演算器 5 3 の出力が自乗され、積算部 5 5 に供給される。

10 積算部 5 5 は、自乗誤差算出回路 5 2 から自乗誤差を受信すると、ステップ S 3 4 において、メモリ 5 6 の記憶値を読み出し、その記憶値と自乗誤差とを加算することで、自乗誤差の積算値を求める。積算部 5 5 において算出された自乗誤差の積算値は、メモリ 5 6 に供給され、前回の記憶値に上書きされることで記憶される。

そして、積算部 5 5 では、ステップ S 3 5 において、所定量としての、例えば、1 フレーム分についての自乗誤差の積算が終了したかどうか判定される。ステップ S 3 5 において、1 フレーム分についての自乗誤差の積算が終了していないと判定された場合、ステップ S 3 2 に戻り、再び、ステップ S 3 2 からの処理を繰り返す。また、ステップ S 3 5 において、1 フレーム分についての自乗誤差の積算が終了したと判定された場合、ステップ S 3 6 に進み、積算部 5 5 は、メモリ 5 6 に記憶された 1 フレーム分についての自乗誤差の積算値を読み出し、誤差情報として、
20 判定部 2 4 に出力する。そして、ステップ S 3 1 に戻り、再び、ステップ S 3 1 からの処理を繰り返す。

従って、誤差算出部 2 3 では、元の画像データを Y_i とするとともに、その予測値を $E[Y_i]$ とするとき、次式に従った演算が行われることで、誤差情報 Q が算出される。

$$25 \quad Q = (\Sigma(Y_i) - E[Y_i])^2$$

但し、 Σ は、1 フレーム分についてのサメーションを意味する。

次に、図 1 6 は、図 6 の判定部 2 4 の構成例を示している。

予測係数メモリ61は、ローカルデコード部22から供給される予測係数を記憶するようになされている。補正データメモリ62は、圧縮部21から供給される補正データを記憶するようになされている。

5 なお、補正データメモリ62は、圧縮部21において、圧縮データが新たに補正され、これにより、新たな補正データが供給された場合には、既に記憶している補正データ（前回の補正データ）に代えて、新たな補正データを記憶するようになされている。また、このように補正データが、新たなものに更新されるタイミングで、ローカルデコード部22からは、その新たな補正データに対応する、新たな予測係数のセットが出力されるが、予測係数メモリ61においても、このように新たな
10 予測係数が供給された場合には、既に記憶している予測係数（前回の予測係数）に代えて、その新たな予測係数を記憶するようになされている。

15 誤差情報メモリ63は、誤差算出部23から供給される誤差情報を記憶するようになされている。なお、誤差情報メモリ63は、誤差算出部23から、今回供給された誤差情報の他に、前回供給された誤差情報も記憶するようになされている（新たな誤差情報が供給されても、さらに新たな誤差情報が供給されるまでは、既に記憶している誤差情報を保持するようになされている）。なお、誤差情報メモリ63は、新たなフレームについての処理が開始されるごとにクリアされるようになされている。

20 比較回路64は、誤差情報メモリ63に記憶された今回の誤差情報と、所定の閾値 ϵ とを比較し、さらに、必要に応じて、今回の誤差情報と前回の誤差情報との比較も行うようになされている。比較回路64における比較結果は、制御回路65に供給されるようになされている。

25 制御回路65は、比較回路64における比較結果に基づいて、補正データメモリ62に記憶された補正データを、元の画像の符号化結果とすることの適正（最適）さを判定し、最適でないと認識（判定）した場合には、新たな補正データの出力を要求する制御信号を、圧縮部21（補正回路32）（図8）に供給するようになされている。また、制御回路65は、補正データメモリ62に記憶された補正データ

を、元の画像の符号化結果とすることが最適であると認識した場合には、予測係数メモリ61に記憶されている予測係数を読み出し、多重化部25に出力するとともに、補正データメモリ62に記憶されている補正データを読み出し、最適圧縮データとして、やはり多重化部25に供給するようになされている。さらに、この場合、制御回路65は、1フレームの画像についての符号化を終了した旨を表す制御信号を、圧縮部21に出力し、これにより、上述したように、圧縮部21に、次のフレームについての処理を開始させるようになされている。

次に、図17を参照して、判定部24の動作について説明する。判定部24では、まず最初に、ステップS41において、誤差算出部23から誤差情報を受信したかどうか、比較回路64によって判定され、誤差情報を受信していないと判定された場合、ステップS41に戻る。また、ステップS41において、誤差情報を受信したと判定された場合、即ち、誤差情報メモリ63に誤差情報が記憶された場合、ステップS42に進み、比較回路64において、誤差情報メモリ63に、いま記憶された誤差情報（今回の誤差情報）と、所定の閾値 ϵ とが比較され、いずれが大きいか判定される。

ステップS42において、今回の誤差情報が、所定の閾値 ϵ 以上であると判定された場合、比較回路64において、誤差情報メモリ63に記憶されている前回の誤差情報を読み出される。そして、比較回路64は、ステップS43において、前回の誤差情報と、今回の誤差情報とを比較し、いずれが大きいかを判定する。

ここで、1フレームについての処理が開始され、最初に誤差情報が供給されたときには、誤差情報メモリ63には、前回の誤差情報は記憶されていないので、この場合には、判定部24においては、ステップS43以降の処理は行われず、制御回路65において、所定の初期アドレスを出力するように、補正回路32（図8）を制御する制御信号が出力されるようになされている。

ステップS43において、今回の誤差情報が、前回の誤差情報以下であると判定された場合、即ち、圧縮データの補正を行うことにより誤差情報が減少した場合、ステップS44に進み、制御回路65は、補正值 Δ を、前回と同様に变化させるよ

うに指示する制御信号を、補正回路 3 2 に出力し、ステップ S 4 1 に戻る。また、ステップ S 4 3 において、今回の誤差情報が、前回の誤差情報より大きいと判定された場合、即ち、圧縮データの補正を行うことにより誤差情報が増加した場合、ステップ S 4 5 に進み、制御回路 6 5 は、補正值 Δ を、前回と逆に変化させるように指示する制御信号を、補正回路 3 2 に出力し、ステップ S 4 1 に戻る。

なお、減少し続けていた誤差情報が、あるタイミングで上昇するようになったときは、制御回路 6 5 は、補正值 Δ を、いままでの場合の、例えば $1/2$ の大きさで、前回と逆に変化させるように指示する制御信号を出力するようになされている。

10 そして、ステップ S 4 1 乃至 S 4 5 の処理を繰り返すことにより、誤差情報が減少し、これにより、ステップ S 4 2 において、今回の誤差情報が、所定の閾値 ε より小さいと判定された場合、ステップ S 4 6 に進み、制御回路 6 5 は、予測係数メモリ 6 1 に記憶されている予測係数を読み出すとともに、補正データメモリ 6 2 に記憶されている補正データを読み出し、多重化部 2 5 に供給して、処理を終了する。

15 その後は、次のフレームについての誤差情報が供給されるのを待って、再び、図 1 7 に示すフローチャートに従った処理を繰り返す。

20 なお、補正回路 3 2 には、圧縮データの補正は、1 フレームすべての圧縮データについて行わせるようにすることもできるし、その一部の圧縮データについてだけ行わせるようにすることもできる。一部の圧縮データについてだけ補正を行う場合においては、制御回路 6 5 に、例えば、誤差情報に対する影響の強い画素を検出させ、そのような画素についての圧縮データだけを補正するようにすることができる。誤差情報に対する影響の強い画素は、例えば、次のようにして検出することができる。即ち、まず最初に、間引き後に残った画素についての圧縮データをそのまま用いて処理を行うことにより、その誤差情報を得る。そして、間引き後に残った画素についての圧縮データを、1 つずつ、同一の補正值 Δ だけ補正するような処理を行わせる制御信号を、制御回路 6 5 から補正回路 3 2 に出力し、その結果得られ

る誤差情報を、圧縮データをそのまま用いた場合に得られた誤差情報と比較し、その差が、所定値以上となる画素を、誤差情報に対する影響の強い画素として検出すれば良い。

5 以上のように、誤差情報を所定の閾値 ε より小さくする（以下にする）まで、圧縮データの補正が繰り返され、誤差情報が所定の閾値 ε より小さくなったときにおける補正データが、画像の符号化結果として出力されるので、受信装置 4 においては、間引き後の画像を構成する画素の画素値を、元の画像を復元するのに最も適当な値にした補正データから、原画像と同一（ほぼ同一）の復号画像を得ることが可能となる。

10 また、画像は、間引き処理により圧縮される他、ADRC 処理およびクラス分類適応処理などによっても圧縮されるため、非常に高圧縮率の符号化データを得ることができる。なお、送信装置 1 における、以上のような符号化処理は、間引きによる圧縮処理と、クラス分類適応処理とを、いわば有機的に統合して用いることにより、高能率圧縮を実現するものであり、このことから統合符号化処理ということが
15 できる。

次に、図 18 は、図 1 の受信装置 4 のさらに他の構成例を示している。

受信機／再生装置 71 においては、記録媒体 2 に記録された符号化データが再生され、または伝送路 3 を介して伝送されてくる符号化データが受信され、分離部 72 に供給される。分離部 72 では、符号化データが、補正データと予測係数に分離
20 され、補正データは、クラス分類用ブロック化回路 73 および予測値計算用ブロック化回路 77 に供給され、予測係数は、予測回路 76 に供給される。

クラス分類用ブロック化回路 73、ADRC 処理回路 74、クラス分類回路 75、または予測値計算用ブロック化回路 77 は、図 10 におけるクラス分類用ブロック化回路 41、ADRC 処理回路 44、クラス分類回路 45、または予測値計算用ブロック化回路 42 それぞれと同様に構成されており、従って、これらのブ
25 ロックにおいては、図 10 における場合と同様の処理が行われ、これにより、予測値計算用ブロック化回路 77 からは予測値計算用ブロックが出力され、また、クラ

ス分類回路 75 からはクラス情報が出力される。これらの予測値計算用ブロックおよびクラス情報は、予測回路 76 に供給される。

予測回路 76 では、クラス情報に対応した予測係数と、予測値計算用ブロック化回路 77 から供給される予測値計算用ブロックを構成する補正データとを用い、式
5 (1) に従って予測値が算出され、そのような予測値で構成される 1 フレームの画像が、復号画像として出力される。この復号画像は、上述したように、元の画像とほぼ同一の画像となる。

なお、受信側においては、図 18 に示すような受信装置 4 でなくても、間引きされた画像を単純な補間により復号する装置により、予測係数を用いずに、通常
10 の補間を行うことで復号画像を得ることができる。但し、この場合に得られる復号画像は、画質（解像度）の劣化したものとなる。

ところで、上述の場合においては、図 6 のローカルデコード部 22 において予測係数を求め、これを用いて、予測値を算出するようにしたが、ローカルデコード部 22
15 では、予測係数を求めずに、予測値を算出するようにすることが可能である。

即ち、図 19 は、図 6 のローカルデコード部 22 の他の構成例を示している。なお、
15 図中、図 10 における場合と対応する部分については、同一の符号を付してある。即ち、図 19 のローカルデコード部 22 は、適応処理回路 46 に代えて、予測係数 ROM 81 および予測回路 82 が設けられている他は、図 10 における場合と同様に構成されている。

20 予測係数 ROM 81 は、あらかじめ学習（後述する）により求められたクラスごとの予測係数を記憶しており、クラス分類回路 45 が出力するクラス情報を受信し、そのクラス情報に対応するアドレスに記憶されている予測係数を読み出して、予測回路 82 に供給する。

25 予測回路 82 では、予測値計算用ブロック化回路 42 からの予測値計算用ブロックと、予測係数 ROM 81 からの予測係数とを用いて、式 (1)（具体的には、例えば、式 (8)）に示した線形 1 次式が計算され、これにより、元の画像の予測値が算出される。

従って、図19のクラス分類適応処理回路43によれば、元の画像を用いずに、その予測値が算出される。

次に、図20は、図19の予測係数ROM81に記憶されている予測係数を得るための学習を行う画像処理装置の構成例を示している。

5 学習用ブロック化回路91および教師用ブロック化回路92には、あらゆる画像に適用可能な予測係数を得るための（従って間引き処理が行われる前の）学習用の画像データ（学習用画像）が供給されるようになされている。

10 学習用ブロック化回路91は、入力される画像データから、例えば、4画素（例えば、図2のX1乃至X4）を抽出し、この4画素で構成されるブロックを、学習用ブロックとして、ADRC処理93および学習データメモリ96に供給する。

また、教師用ブロック化回路92では、入力される画像データから、例えば、1画素（図2のY1）で構成されるブロックが生成され、この1画素で構成されるブロックが、教師用ブロックとして、教師データメモリ98に供給される。

15 なお、学習用ブロック化回路91において、所定の数の画素で構成される学習用ブロックが生成されるとき、教師用ブロック化回路92では、対応する画素の教師用ブロックが生成されるようになされている。

20 ADRC処理回路93は、学習用ブロックを構成する4画素でなるブロックに対して、図19のADRC処理回路44における場合と同様に、1ビットのADRC処理を施す。ADRC処理の施された、4画素のブロックは、クラス分類回路94に供給される。クラス分類回路94では、ADRC処理回路93からのブロックがクラス分類され、それにより得られるクラス情報が、スイッチ95の端子aを介して、学習データメモリ96および教師データメモリ98に供給される。

25 学習データメモリ96または教師データメモリ98では、そこに供給されるクラス情報に対応するアドレスに、学習用ブロック化回路91からの学習用ブロックまたは教師用ブロック化回路92からの教師用ブロックが、それぞれ記憶される。

従って、学習データメモリ96において、4画素（図2のX1乃至X4）でなるブロックが学習用ブロックとして、あるアドレスに記憶されたとすると、教師データ

メモリ98においては、そのアドレスと同一のアドレスに、それに対応する1画素(図2のY1)のブロックが、教師用ブロックとして記憶される。

以下、同様の処理が、あらかじめ用意されたすべての学習用の画像について繰り返され、これにより、学習用ブロックと、図19のローカルデコード部22において、その学習用ブロックを構成する4画素と同一の位置関係を有する4個の補正データで構成される予測値計算用ブロックを用いて予測値が求められる1個の画素で構成される教師用ブロックとが、学習用データメモリ96と、教師用データメモリ98とにおいて、同一のアドレスに記憶される。

なお、学習用データメモリ96と教師用データメモリ98においては、同一アドレスに複数の情報を記憶することができるようになされており、これにより、同一アドレスには、複数の学習用ブロックと教師用ブロックを記憶することができるようになされている。

学習用画像すべてについての学習用ブロックと教師用ブロックとが、学習データメモリ96と教師データメモリ98に記憶されると、端子aを選択していたスイッチ95が、端子bに切り替わり、これにより、カウンタ97の出力が、アドレスとして、学習データメモリ96および教師データメモリ98に供給される。カウンタ97は、所定のクロックをカウントし、そのカウント値を出力しており、学習データメモリ96または教師データメモリ98では、そのカウント値に対応するアドレスに記憶された学習用ブロックまたは教師用ブロックが読み出され、演算回路99に供給される。

従って、演算回路99には、カウンタ97のカウント値に対応するクラスの学習用ブロックのセットと、教師用ブロックのセットとが供給される。

演算回路99は、あるクラスについての学習用ブロックのセットと、教師用ブロックのセットとを受信すると、それらを用いて、最小自乗法により、誤差を最小とする予測係数を算出する。

即ち、例えば、いま、学習用ブロックを構成する画素の画素値を、 x_1 、 x_2 、 x_3 、 \dots とし、求めるべき予測係数を w_1 、 w_2 、 w_3 、 \dots とするとき、これ

らの線形1次結合により、教師用ブロックを構成する、ある画素の画素値 y を求めるには、予測係数 w_1, w_2, w_3, \dots は、次式を満たす必要がある。

$$y = w_1 x_1 + w_2 x_2 + w_3 x_3 + \dots$$

5 そこで、演算回路99では、同一クラスの学習用ブロックと、対応する教師用ブロックとから、真値 y に対する、予測値 $w_1 x_1 + w_2 x_2 + w_3 x_3 + \dots$ の自乗誤差を最小とする予測係数 w_1, w_2, w_3, \dots が、上述した式(7)に示す正規方程式をたてて解くことにより求められる。

10 演算回路99において求められた、クラスごとの予測係数は、メモリ100に供給される。メモリ100には、演算回路99からの予測係数の他、カウンタ97からカウント値が供給されており、これにより、メモリ100においては、演算回路99からの予測係数が、カウンタ97からのカウント値に対応するアドレスに記憶される。

 以上のようにして、メモリ100には、各クラスに対応するアドレスに、そのクラスのブロックの画素を予測するのに最適な予測係数が記憶される。

15 図19の予測係数ROM81には、以上のようにしてメモリ100に記憶された予測係数が記憶されている。

 なお、予測係数ROM81には、各クラスに対応するアドレスに、予測係数を記憶させるのではなく、教師用ブロックを構成する画素値の平均値などを記憶させるようにすることが可能である。この場合、クラス情報が与えられると、そのクラス
20 に対応する画素値が出力されることになり、図19のローカルデコード部22において、予測値計算用ブロック化回路42および予測回路82を設けずに済むようになる。

 また、図19に示したようにローカルデコード部22を構成する場合においては、図18に示した受信装置4は、受信機/再生装置71の後段を、図19のクラス分類適応処理回路43と同様に構成するようによれば良い。
25

 なお、本実施例においては、誤差情報として、誤差の自乗和を用いるようにしたが、誤差情報としては、その他、例えば、誤差の絶対値和や、その3乗以上したも

の和などを用いるようにすることが可能である。いずれを誤差情報として用いるかは、例えば、その収束性などに基づいて決定するようにすることが可能である。

また、本実施例では、誤差情報が、所定の閾値 ϵ 以下になるまで、圧縮データの補正を繰り返し行うようにしたが、圧縮データの補正の回数には、上限を設けるようにすることも可能である。即ち、例えば、リアルタイムで画像の伝送を行う場合などにおいては、1フレームについての処理が、所定の期間内に終了することが必要であるが、誤差情報は、そのような所定の期間内に収束するとは限らない。そこで、補正の回数に上限を設けることにより、所定の期間内に、誤差情報が閾値 ϵ 以下に収束しないときは、そのフレームについての処理を終了し（そのときにおける補正データを、符号化結果とし）、次のフレームについての処理を開始するようにすることが可能である。

さらに、本実施例においては、1フレームの画像からブロックを構成するようにしたが、ブロックは、その他、例えば、時系列に連続する複数フレームにおける、同一位置の画素から構成するようにすることも可能である。

また、本実施例では、圧縮部 21 において、画像を、単純に間引き、即ち、2画素毎に1個の画素を抽出し、これを圧縮データとするようにしたが、圧縮部 21 には、その他、例えば、ブロックを構成する複数個の画素の平均値などを求めさせ、その平均値を、そのブロックにおける中心画素の画素値とすることにより、その画素数を少なくし（間引き）、これを圧縮データとするようにすることも可能である。

図 21 は、この場合における送信装置 1 の構成例を示している。

ブロック化回路 111 には、符号化すべき画像データが入力されるようになされており、ブロック化回路 111 は、画像データを、その性質に応じて所定のクラスに分類するための単位であるクラス分類用ブロックにブロック化し、ADRC 処理回路 112 および遅延回路 115 に供給するようになされている。

ADRC 処理回路 112 は、ブロック化回路 111 からのブロック（クラス分類用ブロック）に対して ADRC 処理を施し、その結果得られる ADRC コードで構

成されるブロックを、クラス分類回路113に供給するようになされている。

このADRC処理より、クラス分類用ブロックを構成する画素のビット数が低減されるようになされている。

5 クラス分類回路113は、ADRC処理回路112からのブロックを、その性質に応じて所定のクラスに分類するクラス分類処理を行い、そのブロックがいずれのクラスに属するかを、クラス情報として、マッピング係数メモリ114に供給するようになされている。

10 マッピング係数メモリ114は、後述するような学習（マッピング係数学習）により得られるマッピング係数を、クラス情報ごとに記憶しており、クラス分類回路113から供給されるクラス情報をアドレスとして、そのアドレスに記憶されているマッピング係数を読み出し、演算回路116に供給するようになされている。

遅延回路115は、ブロック化回路111から供給されるブロックを、そのブロックのクラス情報に対応するマッピング係数が、マッピング係数メモリ114から読み出されるまで遅延し、演算回路116に供給するようになされている。

15 演算回路116は、遅延回路115から供給されるブロックを構成する画素の画素値と、マッピング係数メモリ114から供給される、そのブロックのクラスに対応するマッピング係数とを用いて所定の演算を行うことにより、画像を、その画素数を間引いた（少なくした）符号化した符号化データを算出するようになされている。即ち、演算回路116は、ブロック化回路111が出力するブロックを構成す
20 る各画素の画素値（元の画像の画素値）を y_1, y_2, \dots とするとともに、マッピング係数メモリ114が出力する、そのブロックのクラスに対応するマッピング係数を k_1, k_2, \dots とするとき、それらを引数とする所定の関数値 $f(y_1, y_2, \dots, k_1, k_2, \dots)$ を演算し、その関数値 $f(y_1, y_2, \dots, k_1, k_2, \dots)$ を、ブロック化回路111が出力するブロック（ク
25 ラス分類用ブロック）を構成する画素のうちの、例えば中心の画素の画素値として出力するようになされている。

従って、ブロック化回路111が出力するクラス分類用ブロックを構成する画素

数をN画素とすると、演算回路116は、画像データを1/Nに間引き、これを、符号化データとして出力するようになされている。

5 なお、演算回路116が出力する符号化データは、N画素で構成されるブロックの中心の1個の画素を選択して出力するような、いわば単純な間引き処理により得られるものではなく、上述したように、そのブロックを構成するN画素により規定される関数値 $f(y_1, y_2, \dots, k_1, k_2, \dots)$ であるが、この関数値 $f(y_1, y_2, \dots, k_1, k_2, \dots)$ は、見方を変えれば、単純な間引き処理により得られる、ブロックの中心の画素の画素値を、その周辺の画素値に基づいて補正したものと考えることができる。そこで、マッピング係数と、ブロックを
10 構成する画素との演算の結果得られるデータである符号化データを、以下、適宜、補正データともいう。

 また、演算回路116における演算処理は、ブロック化回路111が出力するクラス分類用ブロックを構成する各画素の画素値を、関数値 $f(y_1, y_2, \dots, k_1, k_2, \dots)$ にマッピング（写像）する処理とも考えることができる。そこで、そのような処理に用いられる係数 k_1, k_2, \dots をマッピング係数と呼んでいる。
15

 送信機／記録装置117は、演算回路116から符号化データとして供給される補正データを、記録媒体2に記録し、または伝送路3を介して伝送するようになされている。

20 次に、図22のフローチャートを参照して、その動作について説明する。

 ブロック化回路111には、例えば、1フレーム（フィールド）単位で画像データが供給されるようになされており、ブロック化回路111では、ステップS61において、1フレームの画像が、クラス分類用ブロックにブロック化される。即ち、ブロック化回路111は、例えば、5画素でなるクラス分類用ブロックに分割
25 し、ADRC処理回路112および遅延回路115に供給する。

 なお、この場合、クラス分類用ブロックは、5画素でなる十文字形状のブロックで構成されることとなるが、クラス分類用ブロックの形状は、その他、例えば、長

方形や、正方形、その他の任意な形とすることが可能である。また、クラス分類用ブロックを構成する画素数も、5画素に限定されるものではない。さらに、クラス分類用ブロックは、隣接する画素どうしで構成するのではなく、離れた画素どうしで構成するようにすることも可能である。但し、その形状および画素数は、後述する学習（マッピング係数学習）時における場合のものと同じである必要がある。

ADRC処理回路112は、ブロック化回路111からクラス分類用ブロックを受信すると、ステップS62において、そのブロックのうちの中心の画素（図2のY1）を除く4個の画素（図2のX1乃至X4）に対して、例えば、1ビットのADRC処理を施し、これにより、R、G、Bの各画素が、それぞれ1ビットで表現される画素で構成されるブロックとする。ADRC処理の施されたクラス分類用ブロックは、クラス分類回路113に供給される。

クラス分類回路113では、ステップS63において、ADRC処理回路112からのクラス分類用ブロックがクラス分類され、その結果得られるクラス情報が、マッピング係数メモリ114に、アドレスとして供給される。これにより、マッピング係数メモリ114からは、クラス分類回路113より供給されたクラス情報に対応するマッピング係数が読み出され、演算回路116に供給される。

一方、遅延回路115では、ブロック化回路111からのクラス分類用ブロックの5画素データが遅延され、そのブロックのクラス情報に対応するマッピング係数が、マッピング係数メモリ114から読み出されるのを待って、演算器116に供給される。演算器116では、ステップS64において、遅延回路115からのクラス分類用ブロックを構成する各画素の画素値と、マッピング係数メモリ114からのマッピング係数を用いて、上述した関数値 $f(\cdot)$ （この関数 f のかけこ内の \cdot は、画素値 $X1, X2, \dots$ と、マッピング係数 $k1, k2, \dots$ の集合を表すものとする）が演算されることにより、クラス分類用ブロックを構成する中心の画素（中心画素）の画素値を補正した補正データが算出される。いまの場合、図2の画素データ $X1$ 乃至 $X4$ と画素データ $Y1$ （ $X5$ ）とから、画素データ $Y1$ （ $X5$ ）の位置の1個の画素データが生成される。また、このブロック化は、画素デー

タに対して重複して行われ、最終的に、1/2の画素データが間引かれる。そして、この処理でも、上述したように、Rの成分（Gの成分もしくはBの成分）を生成するのに、Rの成分（Gの成分もしくはBの成分）だけでなく、Gの成分とBの成分（Rの成分とBの成分、またはRの成分とGの成分）が利用される。この補正

5 データは、画像を符号化した符号化データとして、送信機/記録装置117に供給される。

送信機/記録装置117では、ステップS65において、演算回路116からの符号化データが、記録媒体2に記録され、または伝送路3を介して伝送される。

そして、ステップS66に進み、1フレーム分の画像データについての処理が終了したかどうか判定される。ステップS66において、1フレーム分の画像データについての処理が、まだ終了していないと判定された場合、ステップS62に戻り、次のクラス分類用ブロックを対象に、ステップS62以下の処理が繰り返される。また、ステップS66において、1フレーム分の画像データについての処理が

10 終了したと判定された場合、ステップS61に戻り、次のフレームを対象に、ステップS61以下の処理が繰り返される。

次に、図23は、図21のマッピング係数メモリ114に記憶されているマッピング係数を算出するための学習（マッピング係数学習）処理を行う画像処理装置の構成例を示している。

メモリ121には、学習に適したデジタル画像データ（以下、適宜、学習用画像という）が1フレーム以上記憶されている。ブロック化回路122は、メモリ121に記憶されている画像データを読み出し、図21のブロック化回路111から出力されるクラス分類用ブロックと同一のブロックを構成して、ADRC処理回路123および演算回路126に供給するようになされている。

20

ADRC処理回路123またはクラス分類回路124は、図21のADRC処理回路112またはクラス分類回路113における場合とそれぞれ同様の処理を行うようになされている。従って、クラス分類回路124からは、ブロック化回路122が出力するブロックのクラス情報が出力されるようになされている。そして、こ

25

のクラス情報は、マッピング係数メモリ 131 に、アドレスとして供給されるようになされている。

5 演算回路 126 は、ブロック化回路 122 から供給されるブロックを構成する画素と、マッピング係数メモリ 131 から供給されるマッピング係数とを用いて、図 21 の演算回路 116 における場合と同一の演算を行い、その結果得られる補正データ（関数値 $f(\cdot)$ ）を、ローカルデコード部 127 に供給するようになされている。

10 ローカルデコード部 127 は、演算回路 126 から供給される補正データに基づいて、元の学習用画像の予測値（ブロック化回路 122 が出力するブロックを構成する画素の画素値の予測値）を予測し（算出し）、誤差算出部 128 に供給するようになされている。誤差算出部 128 は、ローカルデコード部 127 から供給される予測値に対応する学習用画像の画素値（真値）をメモリ 121 から読み出し、その学習用画像の画素値に対する、予測値の予測誤差を算出（検出）し、その予測誤差を、誤差情報として、判定部 129 に供給するようになされている。

15 判定部 129 は、誤差算出部 128 からの誤差情報と、所定の閾値 ε_1 とを比較し、その比較結果に対応して、マッピング係数設定回路 130 を制御するようになされている。マッピング係数設定回路 130 は、判定部 129 の制御に従って、クラス分類回路 124 におけるクラス分類の結果得られるクラス数と同一の数のマッピング係数のセットを設定（変更）し、マッピング係数メモリ 131 に供給するようになされている。

20 マッピング係数メモリ 131 は、マッピング係数設定回路 130 から供給されるマッピング係数を一時記憶するようになされている。なお、マッピング係数メモリ 131 は、クラス分類回路 124 においてクラス分類されるクラスの数だけのマッピング係数（マッピング係数のセット）を記憶することのできる記憶領域を有しており、各記憶領域においては、マッピング係数設定回路 130 から、新たなマッピング係数が供給されると、既に記憶しているマッピング係数に代えて、その新たなマッピング係数が記憶されるようになされている。

また、マッピング係数メモリ 131 は、クラス分類回路 124 から供給されるクラス情報に対応するアドレスに記憶されたマッピング係数を読み出し、演算回路 126 に供給するようにもなされている。

次に、図 24 のフローチャートを参照して、その動作について説明する。

- 5 まず最初に、マッピング係数設定回路 130 は、ステップ S71 においてマッピング係数の初期値のセットを、クラス分類回路 124 においてクラス分類されるクラスの数だけ設定し、マッピング係数メモリ 131 に供給する。マッピング係数メモリ 131 では、マッピング係数設定回路 130 からのマッピング係数（初期値）が、対応するクラスのアドレスに記憶される。
- 10 そして、ブロック化回路 122 は、ステップ S72 において、メモリ 121 に記憶されている学習用画像すべてを、図 21 のブロック化回路 111 における場合と同様に、5 画素（図 2 の X1 乃至 X4， Y1）のブロックにブロック化する。さらに、ブロック化回路 121 は、そのブロックを、メモリ 121 から読み出し、ADRC 処理回路 123 および演算回路 126 に順次供給する。
- 15 ADRC 処理回路 123 では、ステップ S73 において、ブロック化回路 122 からのブロックのうちの 4 画素（図 2 の X1 乃至 X4）に対して、図 21 の ADRC 処理回路 112 における場合と同様に、1 ビットの ADRC 処理が施され、クラス分類回路 124 に供給される。クラス分類回路 124 では、ステップ S74 において、ADRC 処理回路 123 から供給されたブロックのクラスが決定され、そのクラス情報が、アドレスとして、マッピング係数メモリ 131 に供給される。これにより、ステップ S75 において、マッピング係数メモリ 131 の、クラス分類回路 124 から供給されるクラス情報に対応するアドレスから、マッピング係数が読み出され、演算回路 126 に供給される。

- 25 演算回路 126 は、ブロック化回路 122 からのブロックの 5 画素（図 2 の X1 乃至 X4， Y1）を受信するとともに、マッピング係数メモリ 131 から、そのブロックのクラスに対応するマッピング係数を受信すると、ステップ S76 において、そのマッピング係数と、ブロック化回路 122 から供給されるブロックを構成

する5画素の画素値とを用いて、上述の関数値 $f(\cdot)$ を演算する。この演算結果は、ブロック化回路122から供給されるブロックの中心画素の画素値を補正した補正データとして、ローカルデコード部127に供給される。

5 即ち、例えば、上述の図2において、X1乃至X4、Y1のブロックが、ブロック化回路122から出力されたものとする、演算回路126では、その画素値を補正した補正データが求められ、ローカルデコード部27に出力される。

但し、演算回路26では、ブロック化回路122におけるブロック化が、画素データに対して重複して行われ、学習用画像を構成する画素数が、 $1/2$ に間引かれ、ローカルデコード部27に供給される。

10 図24に戻り、ステップS76で補正データが算出された後は、ステップS77に進み、メモリ121に記憶されたすべての学習用画像についての補正データが求められたかどうか判定される。ステップS77において、すべての学習用画像についての補正データが、まだ求められていないと判定された場合、ステップS73に戻り、すべての学習用画像についての補正データが求められるまで、ステップS73乃至S77の処理を繰り返す。

15 また、ステップS77において、すべての学習用画像についての補正データが求められたと判定された場合、即ち、メモリ121に記憶されたすべての学習用画像を、 $1/2$ に間引いた間引き画像が得られた場合（但し、この間引き画像は、学習用画像を、単純に $1/2$ に間引いたものではなく、マッピング係数との演算により画素値が求められたものである）、ステップS78に進み、ローカルデコード部127において、その間引き画像がローカルデコードされることにより、元の学習用画像の予測値が算出される。この予測値は、誤差算出部128に供給される。

20 ここで、このローカルデコード部127において得られる予測値で構成される画像（但し、後述するように、誤差算出部128から出力される誤差情報が閾値 ε_1 より小さくなったときにおけるもの）は、受信装置4側において得られる復号画像と同一のものである。

25 誤差算出部128では、ステップS79において、メモリ121から学習用画像

5 が読み出され、その学習用画像に対する、ローカルデコード部 1 2 7 から供給される予測値の予測誤差が算出される。即ち、学習用画像の画素値を Y_{ij} と表すとともに、ローカルデコード部 1 2 7 から出力される、その予測値を $E [Y_{ij}]$ と表すとき、誤差算出部 1 2 8 では、次式で示される誤差分散（誤差の自乗和） Q が算出され、これが、誤差情報として、判定部 1 2 9 に供給される。

$$Q = \sum (Y_{ij} - E [Y_{ij}])^2$$

但し、上式において、 \sum は、学習用画像の画素すべてについてのサメーションを表す。

10 判定部 1 2 9 は、誤差算出部 1 2 8 から誤差情報を受信すると、その誤差情報と所定の閾値 ε_1 とを比較し、ステップ S 8 0 において、その大小関係を判定する。ステップ S 8 0 において、誤差情報が閾値 ε_1 以上であると判定された場合、即ち、ローカルデコード部 1 2 7 において得られる予測値で構成される画像が、元の学習用画像と同一であるとは認められない場合、判定部 1 2 9 は、マッピング係数設定回路 1 3 0 に制御信号を出力する。マッピング係数設定回路 1 3 0 は、ステップ S 8 1 において、判定部 1 2 9 からの制御信号に従い、マッピング係数を変更し、その変更後のマッピング係数を、マッピング係数メモリ 1 3 1 に新たに記憶させる。

20 そして、ステップ S 7 3 に戻り、マッピング係数メモリ 1 3 1 に記憶された、変更後のマッピング係数を用いて、再び、ステップ S 7 3 以下の処理が繰り返される。

ここで、マッピング係数設定回路 1 3 0 における、マッピング係数の変更は、ランダムに行っても良いし、また、今回の誤差情報が、前回の誤差情報より小さくなった場合には、前回と同様の傾向で変化させ、今回の誤差情報が、前回の誤差情報より大きくなった場合には、前回と逆の傾向で変化させるようにすることもできる。

25 さらに、マッピング係数の変更は、すべてのクラスについて行うようにすることもできるし、その一部のクラスについてだけ行うようにすることもできる。一部の

クラスについてのマッピング係数だけの変更を行う場合においては、例えば、誤差情報に対する影響の強いクラスを検出させ、そのようなクラスについてのマッピング係数だけを変更するようにすることができる。誤差情報に対する影響の強いクラスは、例えば、次のようにして検出することができる。即ち、まず最初に、マッピング係数の初期値を用いて処理を行うことにより、その誤差情報を得る。そして、マッピング係数を、1クラスごとに同一の量だけ変化させ、その結果得られる誤差情報を、初期値を用いた場合に得られた誤差情報と比較し、その差が、所定値以上となるクラスを、誤差情報に対する影響の強いクラスとして検出すれば良い。

また、マッピング係数が、上述した k_1 , k_2 , \dots のように複数で1セットとされている場合には、その中の誤差情報に対する影響の強いものだけを変更させるようにすることもできる。

さらに、上述の場合においては、マッピング係数を、クラスごとに設定するようにしたが、マッピング係数は、その他、例えば、ブロックごとに独立して設定したり、また、近接するブロック単位などで設定したりするようにすることが可能である。

但し、マッピング係数を、例えば、ブロックごとに独立して設定するようにした場合などにおいては、ある1つのクラスに対して、複数セットのマッピング係数が得られることがある（この逆に、マッピング係数が、1セットも得られないクラスが生じることもある）。マッピング係数は、最終的には、クラスごとに決める必要があるため、上述のように、あるクラスに対して、複数セットのマッピング係数が得られた場合には、複数セットのマッピング係数を対象に、何らかの処理を行うことで、1セットのマッピング係数を決める必要がある。

一方、ステップS80において、誤差情報が閾値 ϵ_1 より小さいと判定された場合、即ち、ローカルデコード部127において得られる予測値で構成される画像が、元の学習用画像と同一であると認められる場合、処理を終了する。

この時点で、マッピング係数メモリ131に記憶されている、クラスごとのマッピング係数が、もとの画像と同一と認められる復号画像（予測値）を復元すること

ができる補正データを得るために最適なものとして、図21のマッピング係数メモリ114にセットされている。

従って、このようなマッピング係数を用いて補正データを生成することで、受信装置4側においては、元の画像とほぼ同一の画像を得ることが可能となる。

5 なお、図23の実施例においては、上述したように、ブロック化回路122において、画像が4画素にブロック化され、また、ADRC処理回路123において、1ビットのADRC処理が行われるので、クラス分類回路124によるクラス分類により得られるクラス数は4096であり、従って、4096セットのマッピング係数が得られる。

10 次に、図25は、図23のローカルデコード部127の構成例を示している。

演算回路126からの補正データは、クラス分類用ブロック化回路141および予測値計算用ブロック化回路142に供給されるようになされている。クラス分類用ブロック化回路141は、補正データを、その性質に応じて所定のクラスに分類するための単位であるクラス分類用ブロックにブロック化されるようになされている。

15 なお、図25のクラス分類用ブロック化回路141において得られるクラス分類用ブロックは、予測値を求めるブロックのクラスを決定するために構成されるものであり、この点で、補正データを算出するブロックのクラスを決定するために、図21のブロック化回路111で生成されるものとは異なる。

20 予測値計算用ブロック化回路142は、補正データを、元の画像（ここでは、学習用画像）の予測値を計算するための単位である予測値計算用ブロックにブロック化されるようになされている。

予測値計算用ブロック化回路142において得られた予測値計算用ブロックは、予測回路146に供給されるようになされている。

25 なお、予測値計算用ブロックについても、クラス分類用ブロックにおける場合と同様に、その画素数および形状は、上述したものに限定されるものではない。但し、ローカルデコード部127において、予測値計算用ブロックを構成する画素数

は、クラス分類用ブロックを構成する画素数よりも多くするのが望ましい。

また、上述のようなブロック化を行う場合において（ブロック化以外の処理についても同様）、画像の画枠付近では、対応する画素が存在しないことがあるが、この場合には、例えば、画枠を構成する画素と同一の画素が、その外側に存在するものとして処理を行う。

ADRC処理回路143は、クラス分類用ブロック化回路141が出力するブロック（クラス分類用ブロック）を対象に、例えば、1ビットのADRC処理を施し、クラス分類回路144に供給するようになされている。クラス分類回路144は、ADRC処理回路143からのブロックをクラス分類し、その分類結果としてのクラス情報を、予測係数ROM145に供給するようになされている。予測係数ROM145は、予測係数を記憶しており、クラス分類回路144からクラス情報を受信すると、そのクラス情報に対応するアドレスに記憶されている予測係数を読み出し、予測回路146に供給するようになされている。なお、予測係数ROM145に記憶されている予測係数は、後述する学習（予測係数学習）により得られたものである。

予測回路146は、予測値計算用ブロック化回路142からの予測値計算用ブロックと、予測係数ROM145からの予測係数とを用いて、元の画像（学習用画像）の予測値を算出（予測）するようになされている。

次に、図26のフローチャートを参照して、その動作について説明する。

ローカルデコード部127においては、まず最初に、ステップS91において、演算回路126からの補正データが順次受信されてブロック化される。即ち、クラス分類用ブロック化回路141において、補正データが、4画素（図2のX1乃至X4）のクラス分類用ブロックにブロック化され、ADRC処理回路143に供給されるとともに、予測値計算用ブロック化回路142において、補正データが4画素の予測値計算用ブロックにブロック化され、予測回路146に供給される。

なお、クラス分類用ブロック化回路141と予測値計算用ブロック化回路142では、対応するクラス分類用ブロックと予測値計算用ブロックが生成される。

ADRC処理回路143は、クラス分類用ブロックを受信すると、ステップS92において、そのクラス分類用ブロックに対して、例えば、1ビットのADRC（1ビットで再量子化を行うADRC）処理を施し、これにより、補正データを、1ビットに変換（符号化）して、クラス分類回路144に出力する。クラス分類回路144は、ステップS93において、ADRC処理が施されたクラス分類用ブロックに対して、クラス分類処理を施し、そのクラス分類用ブロックが属するクラスを判定する。このクラスの判定結果は、クラス情報として、予測係数ROM145に供給される。

なお、図25の実施例においては、R、G、Bの各成分がそれぞれ1ビットのADRC処理が施された4画素で構成されるクラス分類用ブロックに対して、クラス分類処理が施されるので、各クラス分類用ブロックは、4096（=2¹²）のクラスのうちのいずれかに分類されることになる。

そして、ステップS94に進み、予測係数ROM145の、クラス分類回路144からのクラス情報に対応するアドレスから予測係数が読み出され、ステップS95において、予測回路146は、その予測係数と、予測値計算用ブロック化回路142からの予測値計算用ブロックを構成する4個の画素値とを用い、例えば、次のような線形1次式に従って、元の画像の画素値yの予測値E[y]を算出する。

$$E[y] = w_1 x_1 + w_2 x_2 + \dots$$

但し、w₁、w₂、…は予測係数を表し、x₁、x₂、…は予測値計算用ブロックを構成する画素の画素値（補正データ）を表す。但し、x₁、x₂、…は、それぞれR、G、Bの成分を有し、w₁、w₂、…も、R、G、B用の係数で構成される。

ここで、図25の実施例においては、上述したように、予測値計算用ブロックを構成する4画素から、1画素の予測値が算出されるようになされている。

即ち、例えば、いま、図2に示した補正データX1乃至X4でなるクラス分類用ブロックについてのクラス情報Cが、クラス分類回路144から出力され、また、予測値計算用ブロックとして、X1乃至X4でなる予測値計算用ブロックが、予測値計

算用ブロック化回路142から出力されたものとする。

さらに、予測係数ROM145には、クラス情報Cに対応するアドレスに、予測係数のセットとして、w1 (R) 乃至w12 (R)、w1 (G) 乃至w12 (G)、w1 (B) 乃至w12 (B) が記憶されているものとする。これにより、上述した場合と同様に、例えば各画素の各成分YR_i, YG_i, YB_iの予測値E [YR_i], E [YG_i], E [YB_i] が算出される。

ステップS94において、以上のようにして予測値が求められると、ステップS91に戻り、以下、ステップS91乃至S94の処理が繰り返され、これにより、4画素単位で予測値が求められていく。

図25の予測係数ROM145に記憶されている予測係数を得るための学習（予測係数学習）を行う画像処理装置は、図20に示した場合と同様の構成となる。そこで、この説明は省略する。

次に、図27は、図21のマッピング係数メモリ114に記憶されているマッピング係数を算出するための学習（マッピング係数学習）処理を行う画像処理装置の他の構成例を示している。

なお、図23の画像処理装置によれば、関数fが、例えば、線形1次式で表される場合の他、非線形な式や、2次以上の式で表される場合も、最適な予測係数を求めることができるが、図27の画像処理装置では、関数fが、線形1次式で表される場合にのみ、最適な予測係数を求めることができるようになされている。

即ち、図27の画像処理装置は、図21において、ブロック化回路111が出力するブロックを構成する4画素（図2のX1, X2, X3, X4）の画素値をy1, y2, y3, y4（それぞれが、R, G, B成分を有する）とするとともに、マッピング係数メモリ114が出力するマッピング係数をk1, k2, k3, k4（それぞれが、R, G, B成分を有する）とする場合において、演算回路116が、次式に従って関数値f (y1, y2, ..., k1, k2, ...) を演算して補正データを求めるようになされているときに用いることができる。

$$f (\cdot) = k1 y1 + k2 y2 + k3 y3 + k4 y4$$

最適補正データ算出部 170 には、学習に適した学習用画像が、例えば、1 フレーム単位などで供給されるようになされている。最適補正データ算出部 170 は、圧縮部 171、補正部 172、ローカルデコード部 173、誤差算出部 174、および判定部 175 で構成され、そこに入力される学習用画像から、その画素数を少なくして圧縮した画像であって、元の画像を予測するのに最適な画像を構成する画素値（以下、適宜、最適補正データという）を算出し、ラッチ回路 176 に供給するようになされている。

即ち、最適補正データ算出部 170 に供給された学習用画像は、圧縮部 171 および誤差算出部 174 に供給されるようになされている。圧縮部 171 は、図 21 の演算回路 116 が画素を間引く割合と同一の割合で、学習用画像を単純に間引き、即ち、本実施例においては、学習用画像を 1/2 に単純に間引き、これにより学習用画像を圧縮して補正部 172 に供給するようになされている。

補正部 172 は、圧縮部 171 から供給される、単純な間引きが行われて圧縮されたデータ（以下、適宜、圧縮データという）を、判定部 175 からの制御に従って補正するようになされている。補正部 172 における補正の結果得られるデータ（このデータも、図 21 の演算回路 116 の出力と同様に、5 画素のブロックの中心画素の画素値を補正したものであるので、以下、適宜、補正データという）は、ローカルデコード部 173 に供給するようになされている。

ローカルデコード部 173 は、図 23 のローカルデコード部 127 における場合と同様にして、補正部 172 からの補正データに基づいて、元の画像（学習用画像）を予測し、その予測値を、誤差算出部 174 に供給するようになされている。

誤差算出部 174 は、図 23 の誤差算出部 128 における場合と同様にして、そこに入力される、元の画像データに対する、ローカルデコード部 173 からの予測値の予測誤差を算出するようになされている。この予測誤差は、誤差情報として、判定部 175 に供給されるようになされている。

判定部 175 は、誤差算出部 174 からの誤差情報に基づいて、補正部 172 が出力した補正データを、元の画像の圧縮結果とすることの適正さを判定するようにな

なされている。そして、判定部 175 は、補正部 172 が出力した補正データを、元の画像の圧縮結果とすることが適正でないと判定した場合には、補正部 172 を制御し、さらに、圧縮データを補正させ、その結果得られる新たな補正データを出力させるようになされている。また、判定部 175 は、補正部 172 が出力した補正データを、元の画像の圧縮結果とすることが適正であると判定した場合には、補正部 172 から供給された補正データを、最適補正データとして、ラッチ回路 176 に供給するようになされている。

ラッチ回路 176 は、メモリ 176A を内蔵しており、そのメモリ 176A に、補正部 172 から供給される最適補正データを記憶させるようになされている。さらに、ラッチ回路 176 は、メモリ 176A に記憶された最適補正データのうち、ブロック化回路 177 のメモリ 177A から読み出されるブロックの中心画素に対応するものを読み出し、メモリ 180 に供給するようになされている。なお、ラッチ回路 176 は、メモリ 176A に、1 フレーム分の補正データが記憶されると、その旨を示す制御信号を、ブロック化回路 177 に出力するようになされている。

ブロック化回路 177 には、最適補正データ算出部 170 と同様に、学習用画像が 1 フレーム単位で供給されるようになされている。ブロック化回路 177 は、メモリ 177A を内蔵しており、そのメモリ 177A に、そこに供給される学習用画像を記憶させるようになされている。また、ブロック化回路 177 は、ラッチ回路 176 から制御信号を受信すると、メモリ 177A に記憶された学習用画像を、図 21 のブロック化回路 111 における場合と同様に、5 画素で構成されるブロックに分割し、そのブロックを順次読み出して、ADRC 処理回路 178 およびメモリ 180 に供給するようになされている。

なお、ブロック化回路 177 は、その内蔵するメモリ 177A からブロックを読み出すときに、そのブロックの位置を示す制御信号を、ラッチ回路 176 に供給するようになされている。ラッチ回路 176 では、この制御信号に基づいて、メモリ 177A から読み出される 5 画素のブロックが認識され、上述したように、そのブロックの中心画素に対応する最適補正データが、メモリ 176A から読み出される

ようになされている。即ち、これにより、メモリ180に対しては、ある5画素のブロックと、そのブロックに対応する最適補正データとが同時に供給されるようになされている。

5 ADRC処理回路178またはクラス分類回路179は、図21のADRC処理回路112またはクラス分類回路113とそれぞれ同様に構成されている。そして、クラス分類回路179が出力する、ブロック化回路177からのブロックについてのクラス情報は、メモリ180に対して、アドレスとして供給されるようになされている。

10 メモリ180は、クラス分類回路179から供給されるクラス情報に対応するアドレスに、ラッチ回路176から供給される最適補正データと、ブロック化回路177から供給されるブロックとを対応付けて記憶するようになされている。なお、メモリ180は、1つのアドレスに複数の情報を記憶することができるようになされており、これにより、あるクラス情報に対応する最適補正データおよびブロックを、複数セット記憶することができるようになされている。

15 演算回路181は、メモリ180に記憶された、学習用画像の5画素のブロックを構成する5画素 y_1 , y_2 , y_3 , y_4 , y_5 と、そのブロックに対応付けられている最適補正データ y' とを読み出し、これらに最小自乗法を適用することで、クラスごとに、マッピング係数 k_1 乃至 k_5 を求め、メモリ182に供給するようになされている。メモリ182は、演算回路181から供給されるクラスごとのマッピング係数 k_1 乃至 k_5 を、そのクラスに対応したアドレスに記憶するようになされている。

次に、図28のフローチャートを参照して、その動作について説明する。

25 学習用画像が入力されると、その学習用画像は、ブロック化回路177のメモリ177Aに記憶されるとともに、最適補正データ算出部170に供給される。最適補正データ算出部170は、学習用画像を受信すると、ステップS101において、その学習用画像についての最適補正データを算出する。

このステップS101の処理は、図7のフローチャートの処理と同様である。す

なわち、まず、圧縮部 171 が、ステップ S1 において、学習用画像を、1/2 に
間引くことにより圧縮データを生成し、補正部 172 を介して、即ち、最初は、補
正を行わずに、ローカルデコード部 173 に出力する。ローカルデコード部 173
では、ステップ S2 において、補正部 172 からの補正データ（最初は、上述した
5 ように、画像データを、単純に間引いた圧縮データそのもの）に基づいて、元の画
像の予測値が算出される（ローカルデコードが行われる）。この予測値は、誤差算
出部 174 に供給される。

誤差算出部 174 は、ローカルデコード部 173 から、元の画像の予測値を受信
すると、ステップ S3 において、元の画像データに対する、ローカルデコード部 1
10 73 からの予測値の予測誤差を算出し、誤差情報として、判定部 175 に供給す
る。判定部 175 は、誤差算出部 174 から誤差情報を受信すると、ステップ S4
において、その誤差情報に基づいて、補正部 172 が出力した補正データを、元の
画像の圧縮結果とすることの適正さを判定する。

即ち、ステップ S4 においては、誤差情報が所定の閾値 ϵ 以下であるかどうか
15 判定される。ステップ S4 において、誤差情報が所定の閾値 ϵ 以下でないと判定さ
れた場合、補正部 172 が出力した補正データを、元の画像の圧縮結果とするのは
適正でないと認識され、ステップ S5 に進み、判定部 175 は、補正部 172 を制
御し、これにより、圧縮部 171 から出力された圧縮データを補正させる。補正部
172 は、判定部 175 の制御に従って、補正量（補正值 Δ ）を変えて、圧縮デー
20 タを補正し、その結果得られる補正データを、ローカルデコード部 173 に出力す
る。そして、ステップ S2 に戻り、以下、同様の処理が繰り返される。

なお、圧縮データの補正は、例えば、上述の図 23 で説明した、マッピング係数
の変更と同様にして行うことが可能である。

一方、ステップ S4 において、誤差情報が所定の閾値 ϵ 以下であると判定された
25 場合、補正部 172 が出力した補正データを、元の画像の圧縮結果とするのは適正
であると認識され、判定部 175 は、所定の閾値 ϵ 以下の誤差情報が得られたとき
の補正データを、最適補正データとして、補正部 172 からラッチ回路 176 に出

力させ、その内蔵するメモリ176Aに記憶させて、リターンする。

5 以上のようにして、誤差情報が所定の閾値 ε 以下となったときにおける、圧縮データを補正した補正データが、最適補正データとして、メモリ176Aに記憶させる。なお、この最適補正データは、誤差情報を所定の閾値 ε 以下とするものであるから、これを用いて、予測値を算出することにより、元の画像（原画像）とほぼ同一の画像を得ることができる。

10 図28に戻り、ラッチ回路176は、そのメモリ176Aに、1フレーム分の最適補正データを記憶すると、制御信号を、ブロック化回路177に出力する。ブロック化回路177は、ラッチ回路176から制御信号を受信すると、ステップS102において、メモリ177Aに記憶された学習用画像を、5画素で構成されるブロックに分割する。そして、ブロック化回路177は、メモリ177Aに記憶された学習用画像のブロックを読み出して、ADRC処理回路178およびメモリ180に供給する。

15 また、同時に、ブロック化回路177は、メモリ177Aからブロックを読み出すときに、そのブロックの位置を示す制御信号を、ラッチ回路176に供給し、ラッチ回路176は、その制御信号に対応して、メモリ177Aから読み出された5画素のブロックを認識し、そのブロックの中心画素に対応する最適補正データを読み出して、メモリ180に供給する。

20 そして、ステップS103に進み、ADRC処理回路178において、ブロック化回路177からのブロックがADRC処理され、さらに、クラス分類回路179において、そのブロックがクラス分類される。このクラス分類結果は、アドレスとして、メモリ180に供給される。

25 メモリ180では、ステップS104において、クラス分類回路179から供給されるクラス情報に対応するアドレスに、ラッチ回路176から供給される最適補正データと、ブロック化回路177から供給されるブロック（学習データ）とが対応付けられて記憶される。

そして、ステップS105に進み、メモリ180に、1フレーム分のブロックお

よび最適補正データが記憶されたかどうか判定される。ステップS 1 0 5において、メモリ1 8 0に、1フレーム分のブロックおよび最適補正データが、まだ記憶されていないと判定された場合、ブロック化回路1 7 7から次のブロックが読み出されるとともに、ラッチ回路1 7 6からそのブロックに対応する最適補正データが
5 読み出され、ステップS 1 0 3に戻り、以下、ステップS 1 0 3以降の処理を繰り返す。

また、ステップS 1 0 5において、メモリ1 8 0に、1フレーム分のブロックおよび最適補正データが記憶されたと判定された場合、ステップS 1 0 6に進み、学習用画像すべてについて処理が終了したかどうか判定される。ステップS 1 0 6
10 において、学習用画像すべてについての処理が、まだ終了していないと判定された場合、ステップS 1 0 1に戻り、次の学習用画像について、ステップS 1 0 1からの処理が繰り返される。

一方、ステップS 1 0 6において、学習用画像すべてについての処理が終了したと判定された場合、ステップS 1 0 7に進み、演算回路1 8 1は、メモリ1 8 0に
15 記憶された最適補正データとブロックとを、クラスごとに読み出し、これらにより、式(7)に示したような正規方程式をたてる。さらに、演算回路1 8 1は、ステップS 1 0 8において、その正規方程式を解くことで、誤差を最小にする、クラスごとのマッピング係数を算出する。このマッピング係数は、ステップS 1 0 9において、メモリ1 2に供給されて記憶され、処理を終了する。

関数 f が、線形1次式で表される場合においては、以上のようにしてメモリ1 8
20 2に記憶されたマッピング係数を、図2 1のマッピング係数メモリ1 1 4に記憶させ、これを用いて画像の符号化を行うことができる。

なお、クラスによっては、マッピング係数を求めることができるだけの数の正規方程式が得られない場合がある。このような場合は、図2 1の演算回路1 1 6にお
25 いて、ブロック化回路1 1 1から出力されるブロックを構成する5画素の、例えば平均値などが出力されるようなマッピング係数、即ち、 k_1 乃至 $k_5 = 1/5$ などが、デフォルトの値として設定される。

次に、図 29 は、図 21 の送信装置に対応する受信装置 4 の構成例を示している。

受信機／再生装置 191 においては、記録媒体 2 に記録された符号化データが再生され、または伝送路 3 を介して伝送されてくる符号化データが受信され、デコード部 192 に供給される。

デコード部 192 は、図 25 に示したローカルデコード部 127 におけるクラス分類用ブロック化回路 141 乃至予測回路 146 にそれぞれ対応するクラス分類用ブロック化回路 193 乃至予測回路 198 で構成されており、従って、デコード部 192 では、図 25 のローカルデコード部 127 における場合と同様にして、補正データから予測値が求められ、この予測値で構成される画像が復号画像として出力される。

補正データは、誤差情報を所定の閾値以下とするものであり、従って、受信装置 4 においては、元の画像とほぼ同一の画像を得ることができる。

なお、受信側においては、図 29 に示すような受信装置 4 でなくても、間引きされた画像を補間により復号する装置により、通常の補間を行うことで復号画像を得ることができる。但し、この場合に得られる復号画像は、画質（解像度）の劣化したものとなる。

以上においては、R、G、B のコンポーネント成分を用いて画素データを表現するようにしたが、コンポーネント信号としては、この他、それぞれ次の式で表される輝度信号 Y、色信号 I、および色信号 Q の組み合わせ、輝度信号 Y、色差信号 R - Y、および色差信号 B - Y の組み合わせ、または、主に印刷の分野において用いられている C（シアン）、M（マゼンダ）、Y（イエロー）、さらに必要に応じて加えられる K（ブラック）の組み合わせを用いることができる。

$$I = 0.60R - 0.28G - 0.32B$$

$$Q = 0.21R - 0.52G + 0.31B$$

$$R - Y = 0.7R - 0.59G - 0.11B$$

$$B - Y = -0.3R - 0.59G + 0.89B$$

$$C = 2.55 - R$$

$$M = 2.55 - G$$

$$5 \quad Y = 2.55 - B$$

但し、C、M、Rは、R、G、Bをそれぞれ8ビットとする加法混色で表現されている。

発明の効果

10 以上の如く、請求の範囲1に記載の画像処理装置および請求項5に記載の画像処理方法によれば、第2の画像の第1のコンポーネント信号を、第1の画像の第1のコンポーネント信号と第2のコンポーネント信号から予測し、また、第2の画像の第2のコンポーネント信号を、第1の画像の第1のコンポーネント信号と第2のコンポーネント信号とから予測するようにしたので、効率的に高精度に予測処理を行うことが可能となる。

15 20 また、請求の範囲6に記載の画像符号化装置および請求の範囲10に記載の画像符号化方法によれば、色空間上のベクトルで表した複数の画素データを含む予測データを用いて、画像を予測するようにしたので、効率的に画像を符号化することができるとともに、高精度で画像を復号化することができるように、画像を符号化することが可能となる。

産業上の利用可能性

25 以上のように、本発明にかかる、画像処理装置および方法、並びに画像符号化装置および方法は、特に、効率よく、かつ、精度良く、予測を行うようにした画像処理装置および方法、並びに画像符号化装置および方法に用いるのに適している。

請求の範囲

1. それぞれが複数のコンポーネント信号により構成されている画素データからなる空間解像度の低い第1の画像から、空間解像度のより高い第2の画像を生成する画像処理装置において、

5 前記第1の画像の第1の画素データを取得する取得手段と、

前記第1の画素データを構成する前記コンポーネント信号のうちの、少なくとも第1のコンポーネント信号と第2のコンポーネント信号を用いて、前記第2の画像の第2の画素データを構成する第1のコンポーネント信号を予測するとともに、前記第1の画素データを構成する前記コンポーネント信号のうちの、少なくとも前記
10 第1のコンポーネント信号と第2のコンポーネント信号を用いて、前記第2の画像の第2の画素データを構成する第2のコンポーネント信号を予測する予測手段と
を備えることを特徴とする画像処理装置。

2. 前記第1の画素データをクラスに分類するクラス分類手段と、

前記クラスに対応する予測データを記憶する記憶手段と

15 をさらに備え、

前記予測手段は、前記予測データを用いて前記予測を行う

ことを特徴とする請求の範囲1に記載の画像処理装置。

3. 前記画素データは、3つの前記コンポーネント信号により構成されている

ことを特徴とする請求の範囲1に記載の画像処理装置。

20 4. 前記コンポーネント信号は、R、G、B信号である

ことを特徴とする請求の範囲3に記載の画像処理装置。

5. それぞれが複数のコンポーネント信号により構成されている画素データからなる空間解像度の低い第1の画像から、空間解像度のより高い第2の画像を生成する画像処理方法において、

25 前記第1の画像の第1の画素データを取得する取得ステップと、

前記第1の画素データを構成する前記コンポーネント信号のうちの、少なくとも第1のコンポーネント信号と第2のコンポーネント信号を用いて、前記第2の画像

- の第2の画素データを構成する第1のコンポーネント信号を予測するとともに、前記第1の画素データを構成する前記コンポーネント信号のうちの、少なくとも前記第1のコンポーネント信号と第2のコンポーネント信号を用いて、前記第2の画像の第2の画素データを構成する第2のコンポーネント信号を予測する予測ステップと
- 5 と
- を備えることを特徴とする画像処理方法。
6. 色空間上のベクトルで表した複数の画素データを少なくすることにより圧縮する圧縮手段と、
- 圧縮した前記画素データのクラスを分類する分類手段と、
- 10 前記クラスに対応する、前記色空間上のベクトルで表される前記画素データを含む予測データを記憶する記憶手段と、
- 前記予測データを用いて、画像を予測する予測手段と
- を備えることを特徴とする画像符号化装置。
7. 前記圧縮手段は、9個の画素の中から、中央の1個の画素を抽出することを特徴とする請求の範囲6に記載の画像符号化装置。
- 15 ことを特徴とする請求の範囲6に記載の画像符号化装置。
8. 前記圧縮手段は、複数の画素データに対して、所定の係数を乗算して、1個の画素データを生成することを特徴とする請求の範囲6に記載の画像符号化装置。
- ことを特徴とする請求の範囲6に記載の画像符号化装置。
9. 前記分類手段は、前記画素データに対して1ビットのADRCを施して、前記
- 20 クラスを分類することを特徴とする請求の範囲6に記載の画像符号化装置。
- ことを特徴とする請求の範囲6に記載の画像符号化装置。
10. 色空間上のベクトルで表した複数の画素データを少なくすることにより圧縮する圧縮ステップと、
- 圧縮した前記画素データのクラスを分類する分類ステップと、
- 25 前記クラスに対応する、前記色空間上のベクトルで表される前記画素データを含む予測データを記憶する記憶ステップと、
- 前記予測データを用いて、画像を予測する予測ステップと

を備えることを特徴とする画像符号化方法。

5

FIG. 1

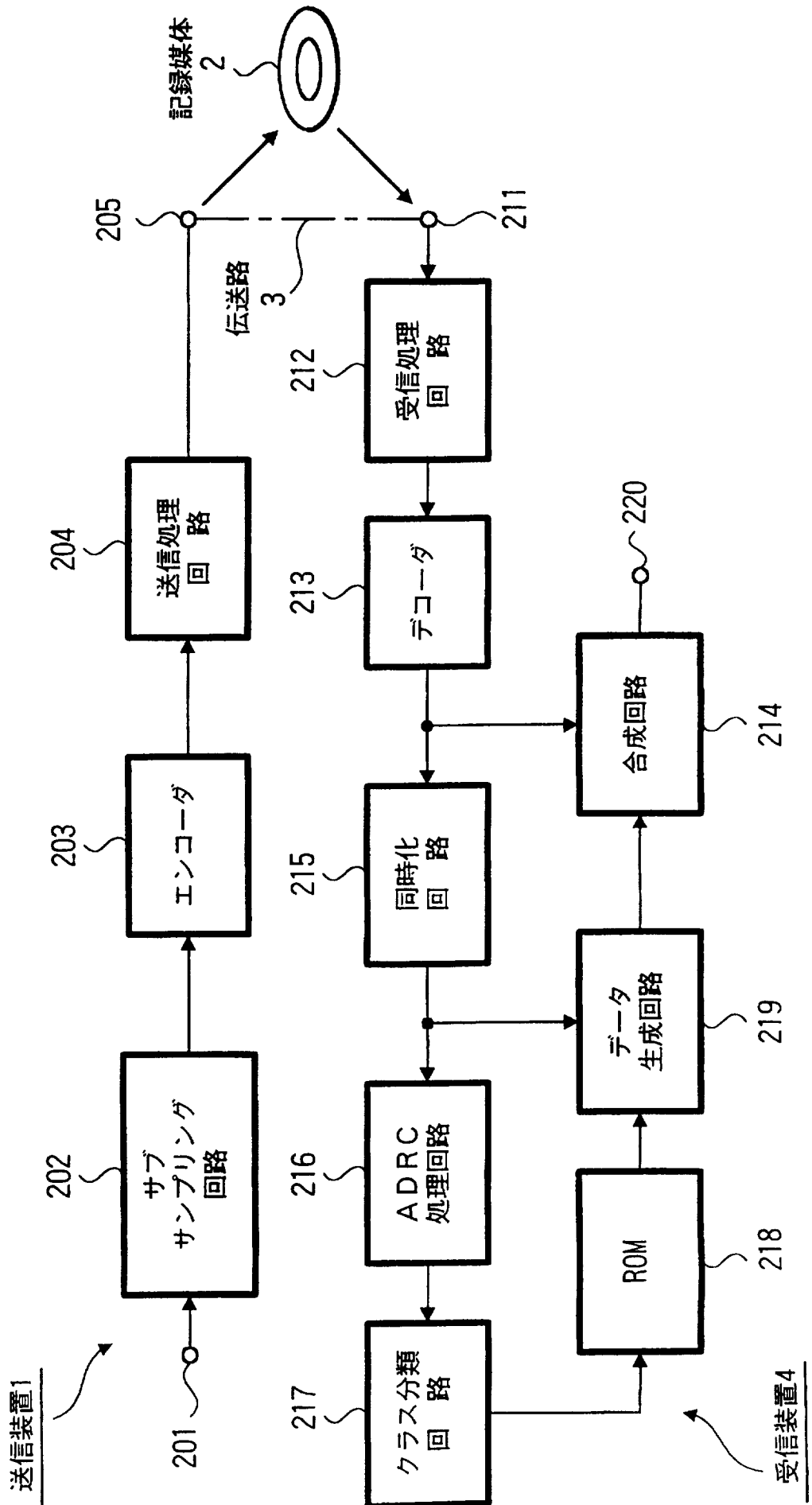


FIG. 2

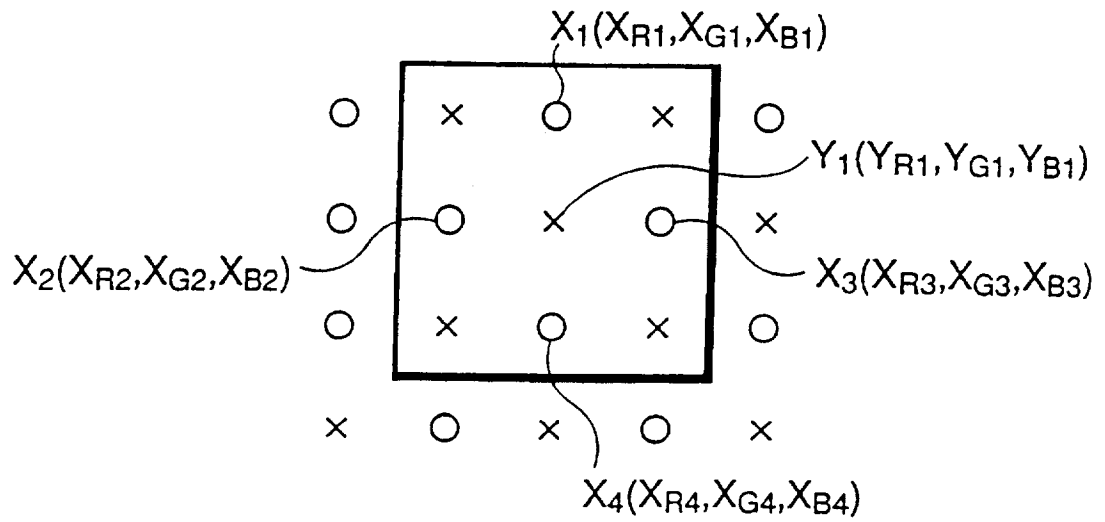


FIG. 3

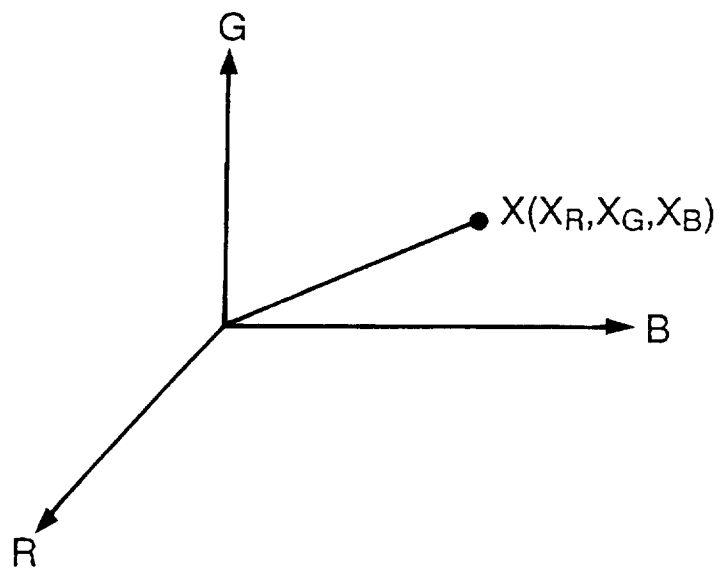


FIG. 4

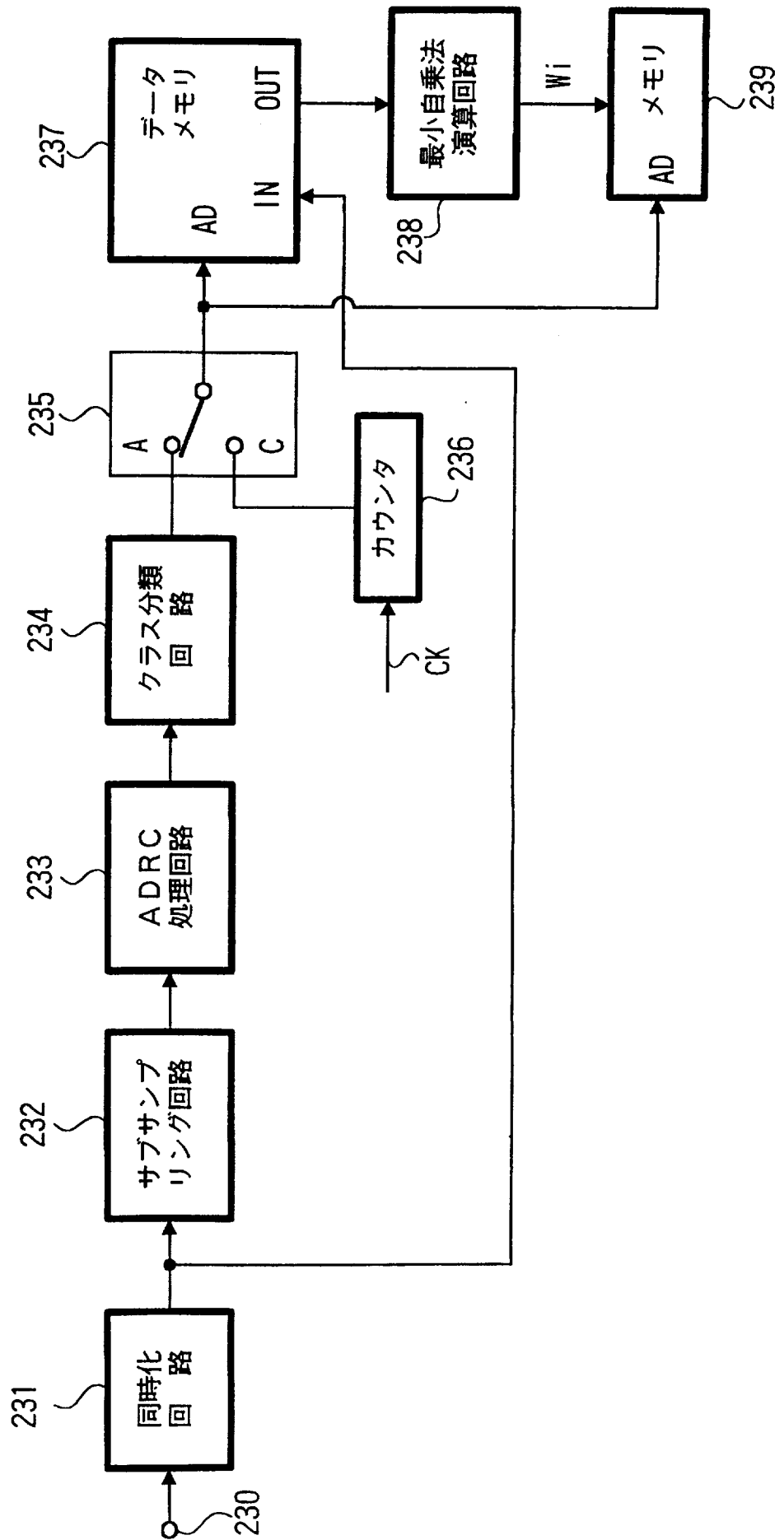
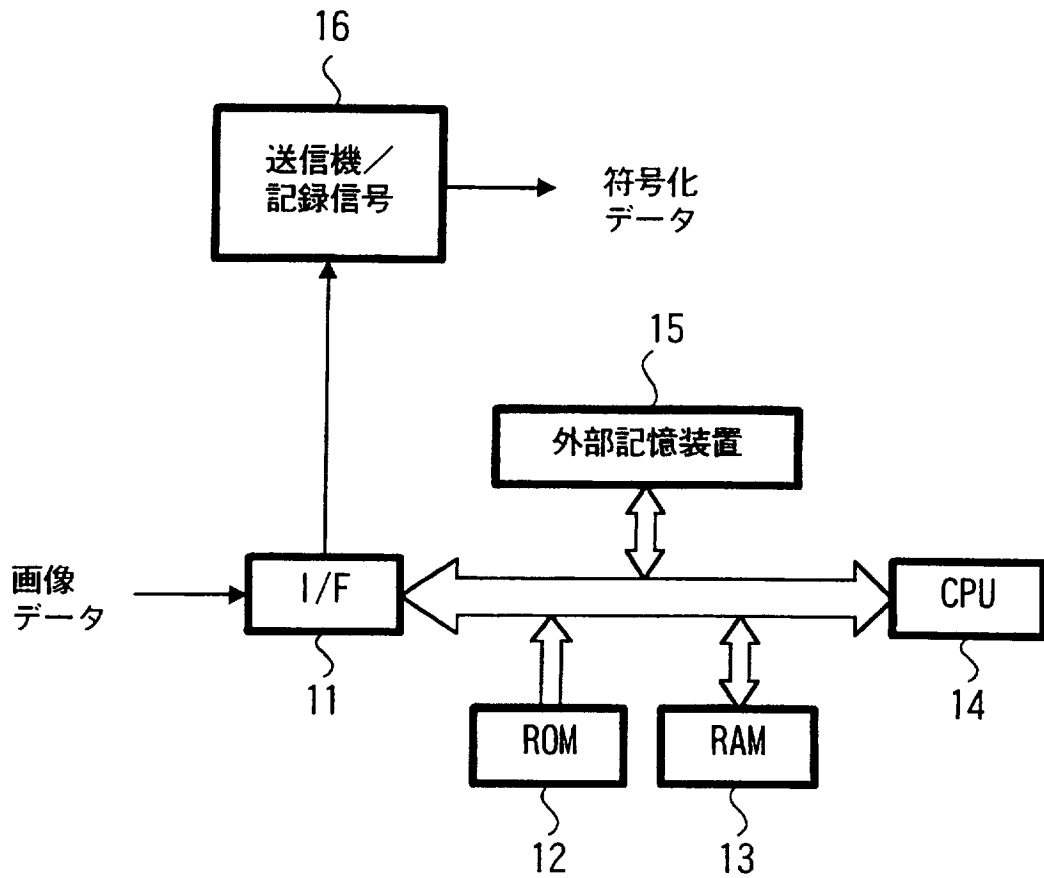


FIG. 5



送信装置 1

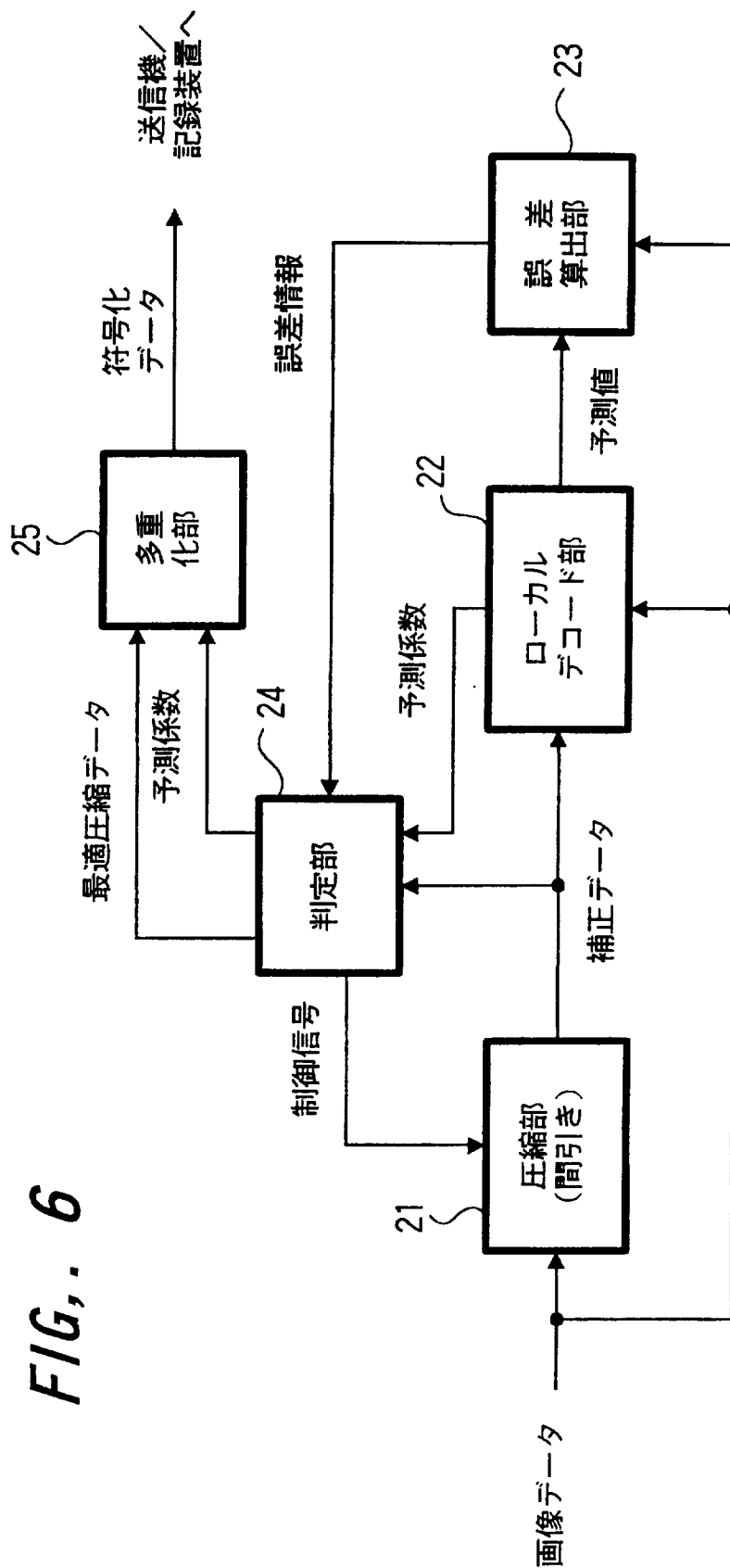
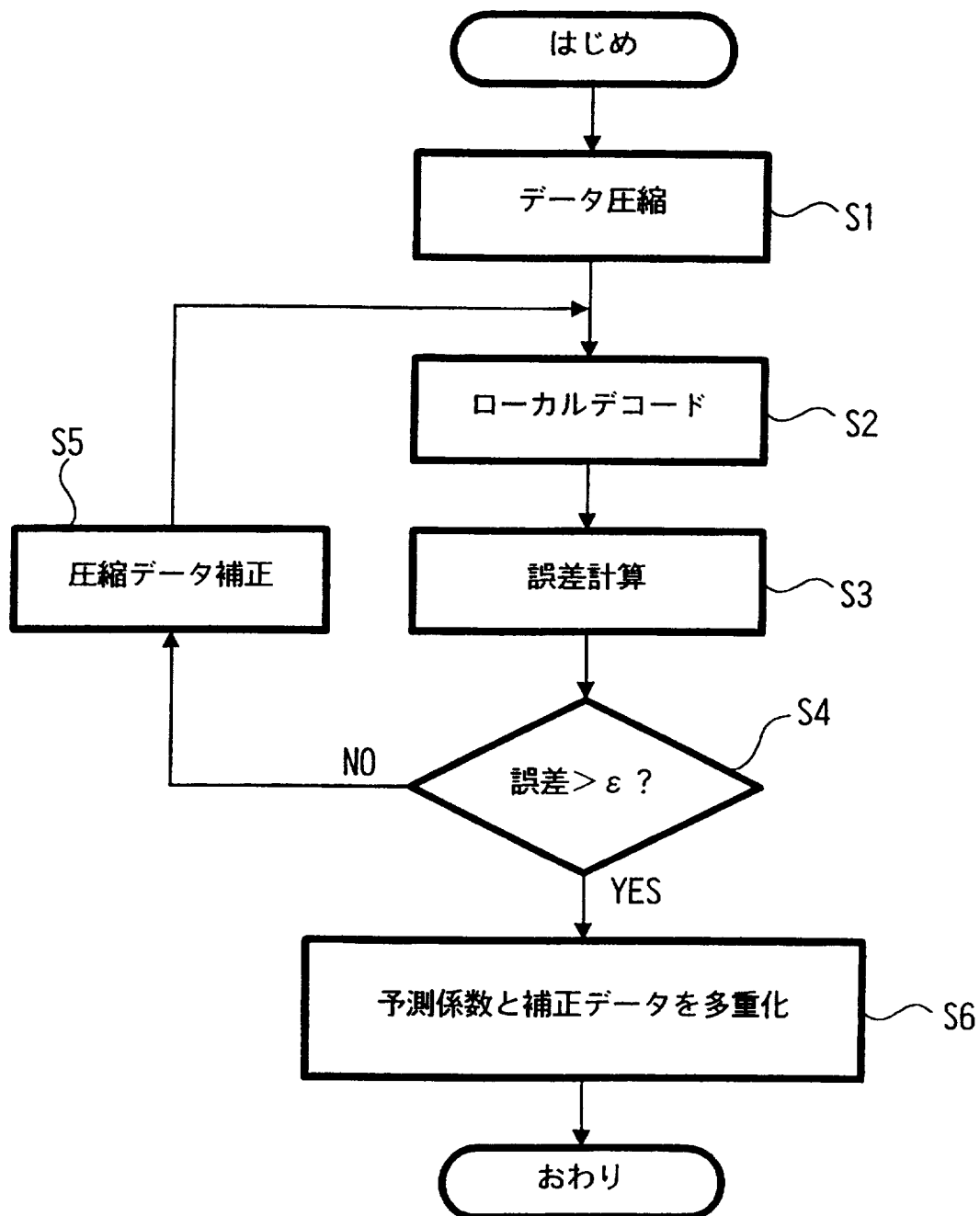


FIG. 6

FIG. 7



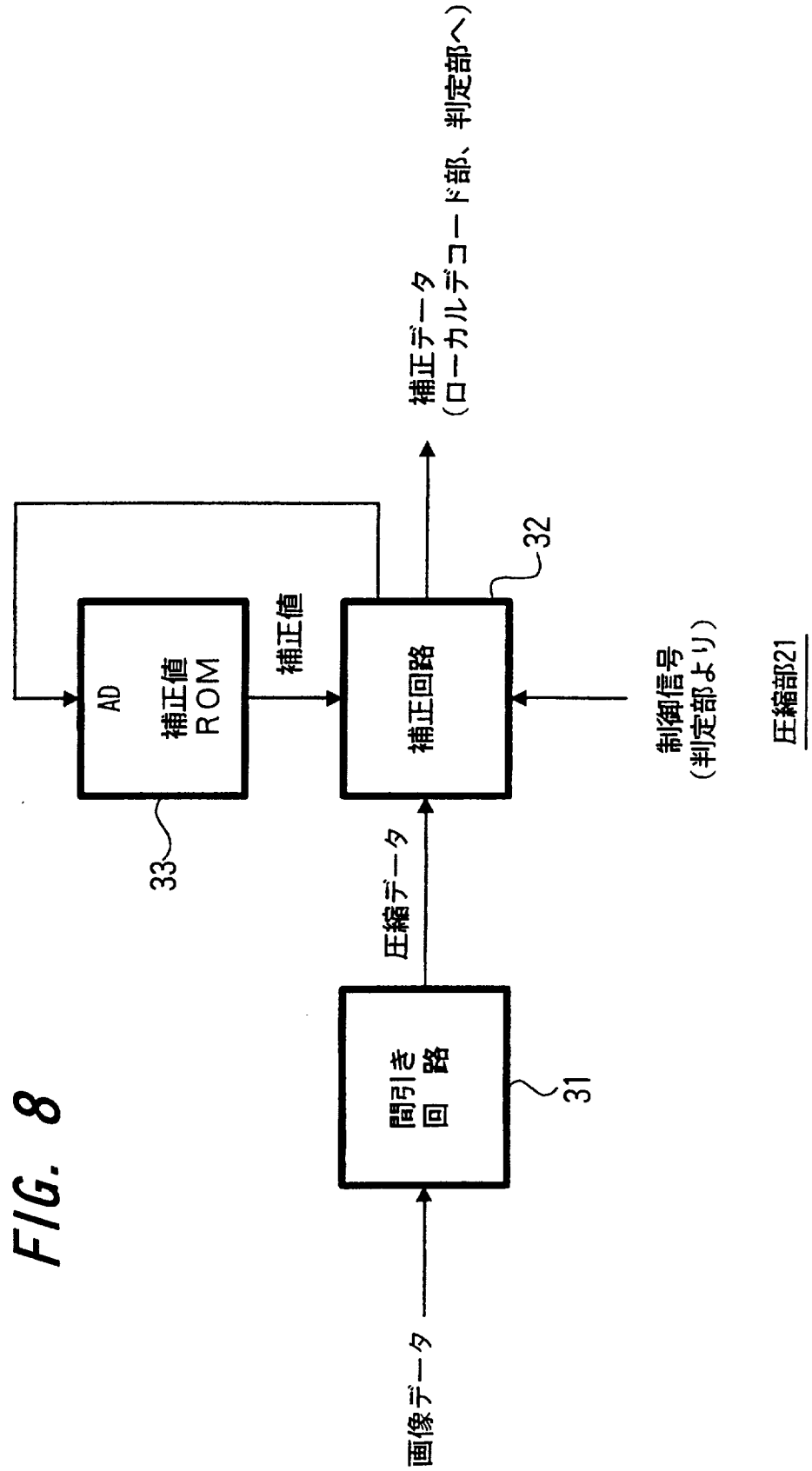


FIG. 9

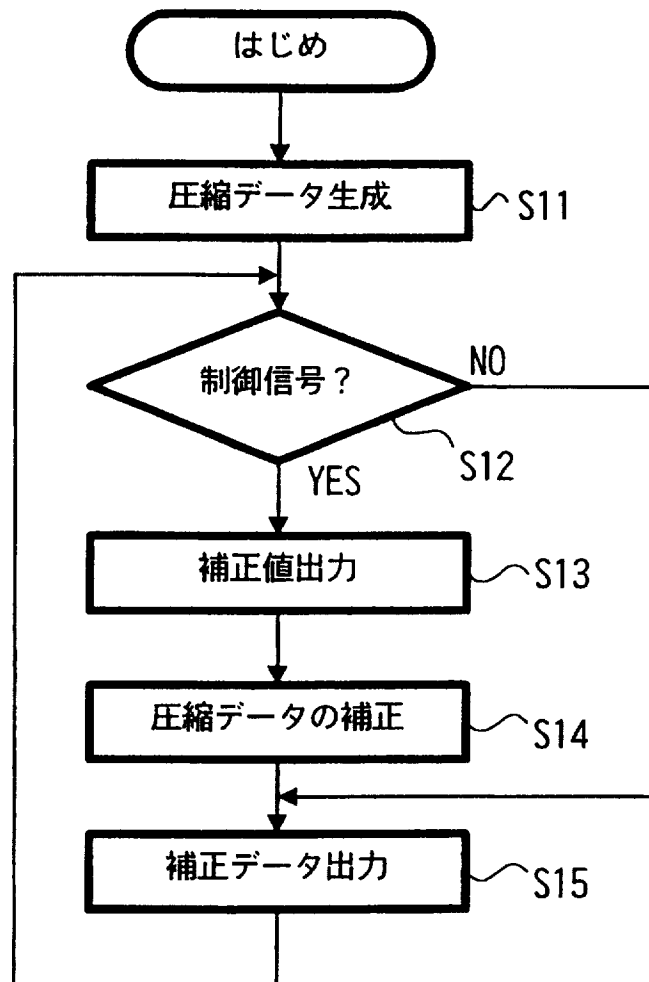
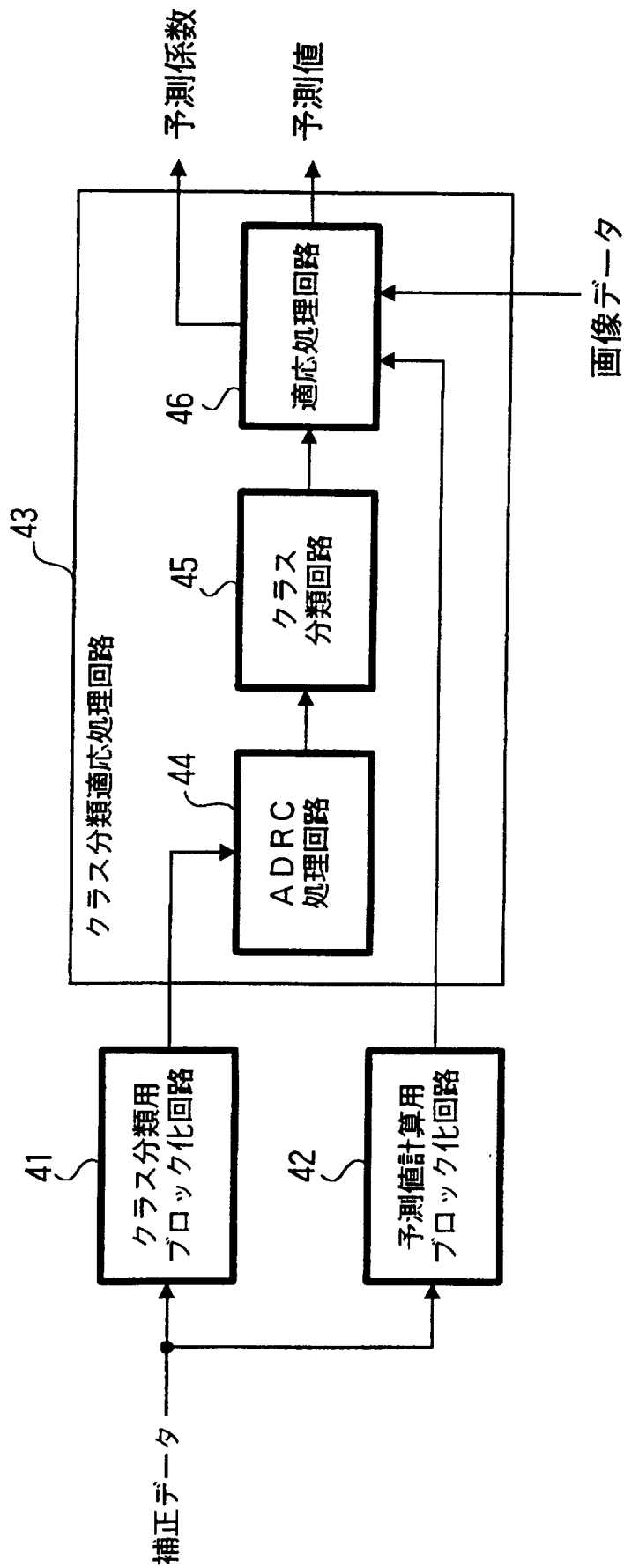


FIG. 10



ローカルデコード部22

FIG. 11A

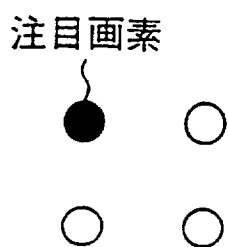
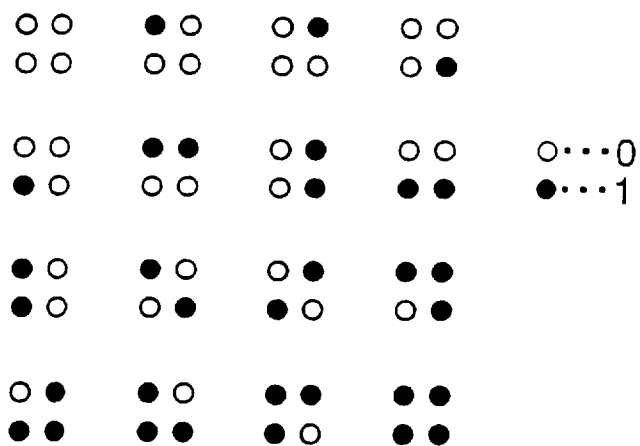


FIG. 11B



クラス分類処理

FIG. 12A

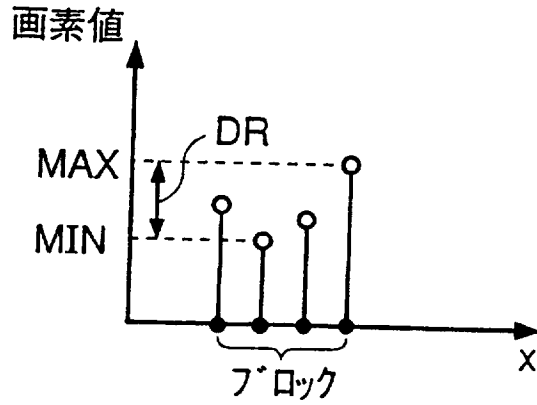
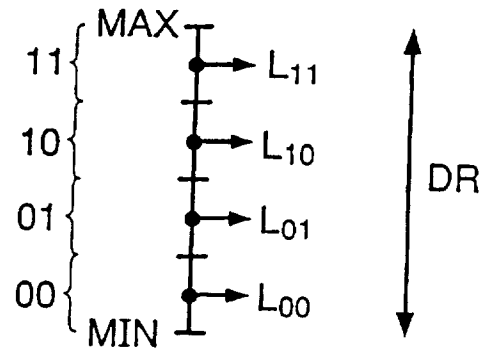
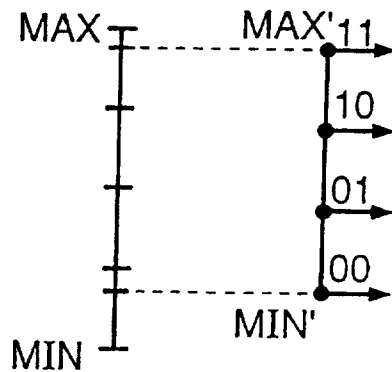


FIG. 12B



ノンエッジマッチング

FIG. 12C



エッジマッチング

ADRC処理

FIG. 13

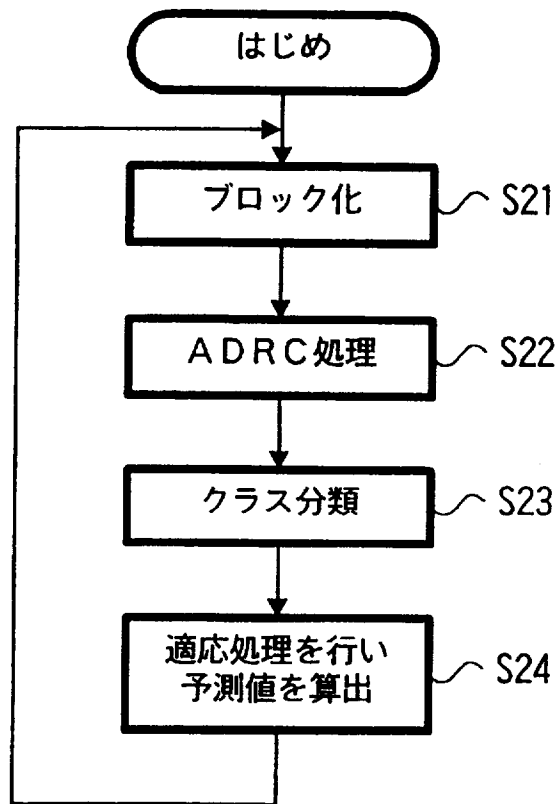
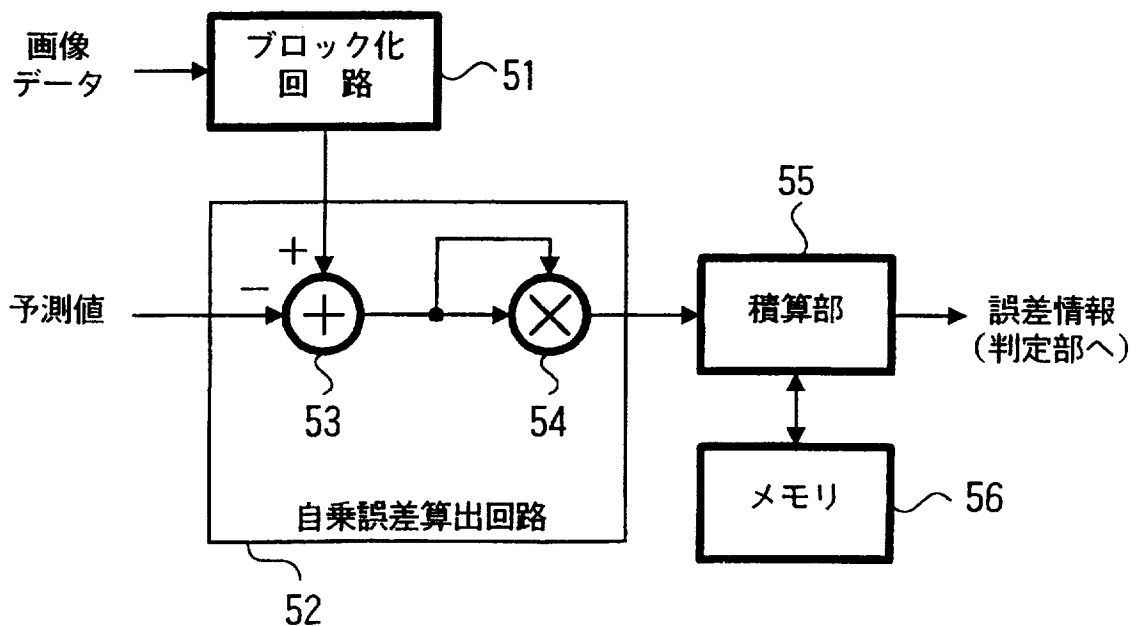


FIG. 14



誤差算出部23

FIG. 15

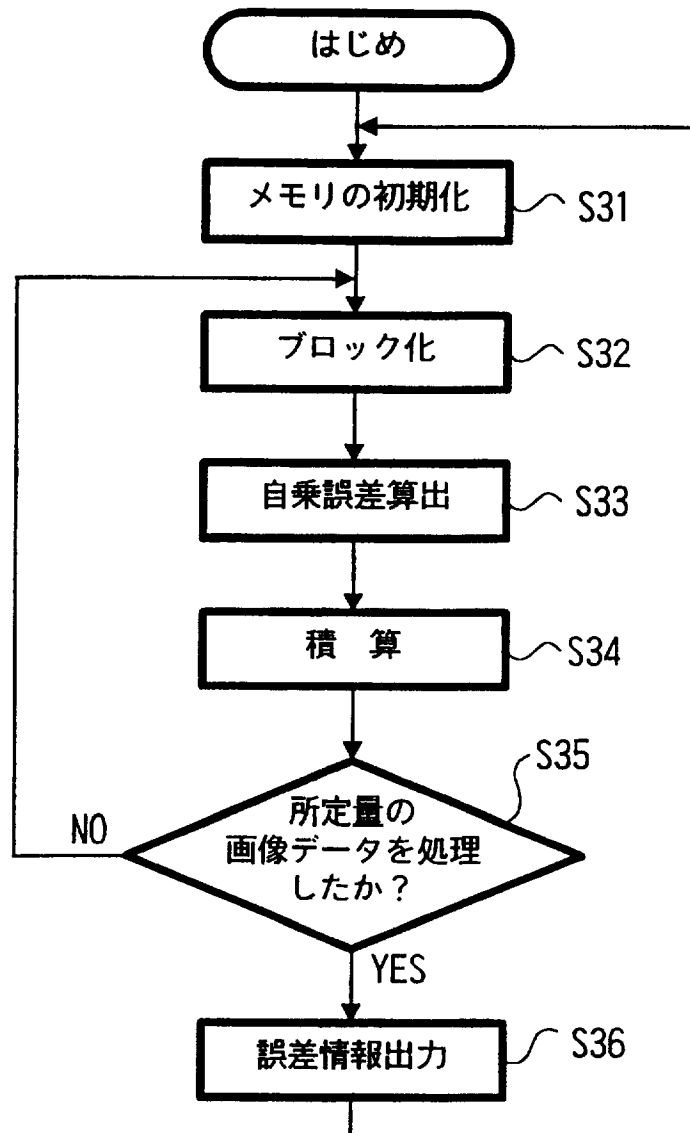
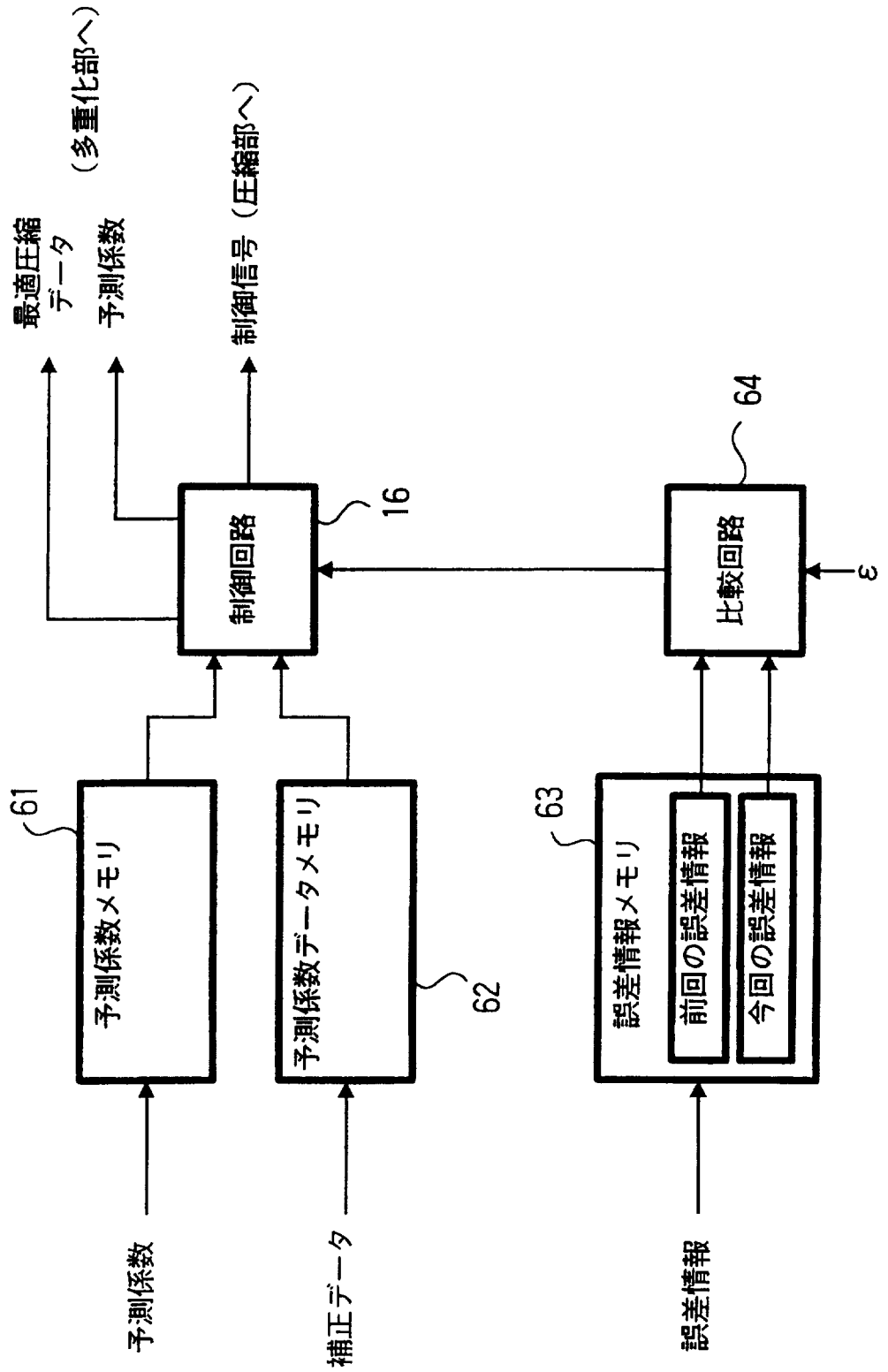


FIG. 16



判定部24

FIG. 17

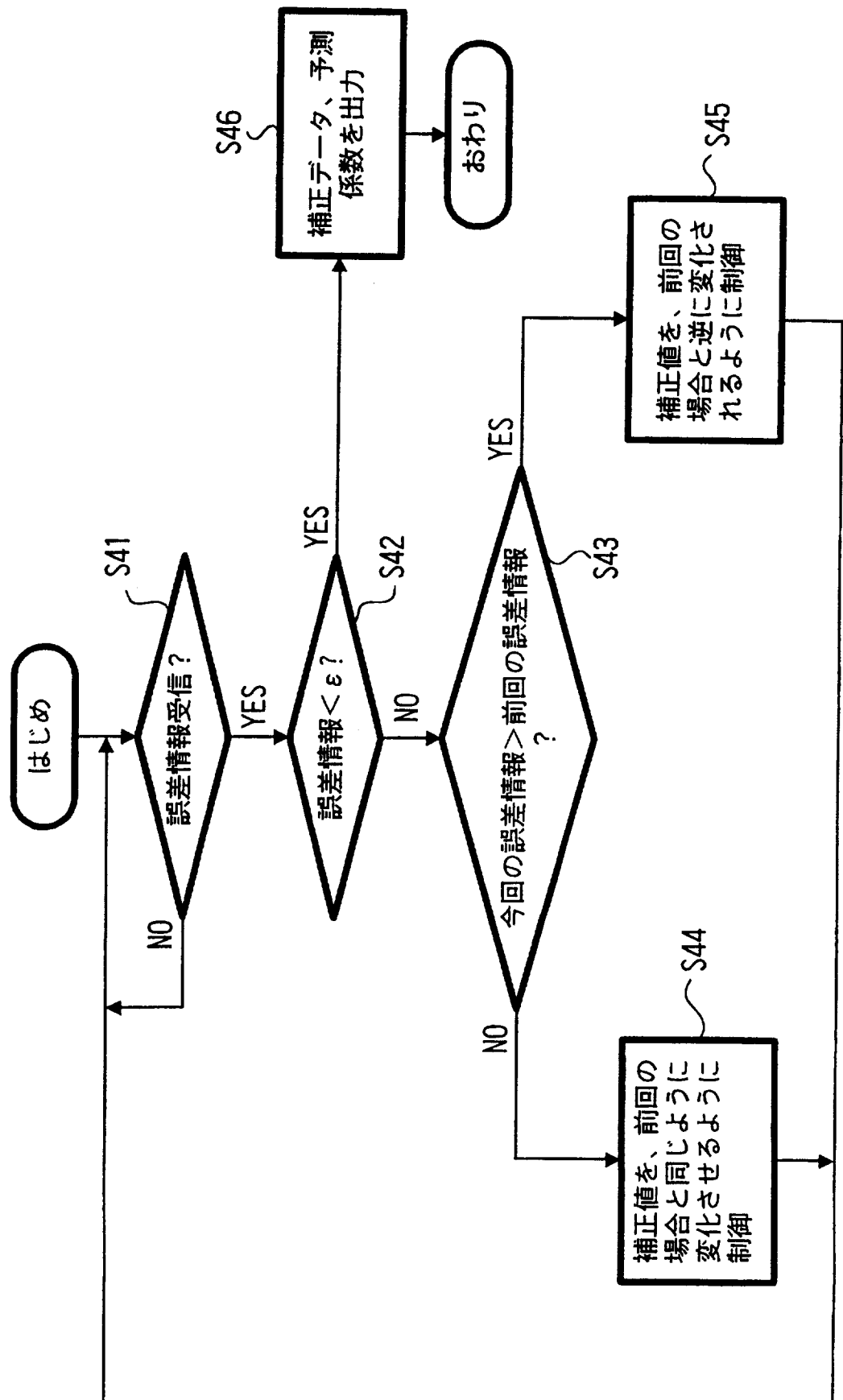


FIG. 18

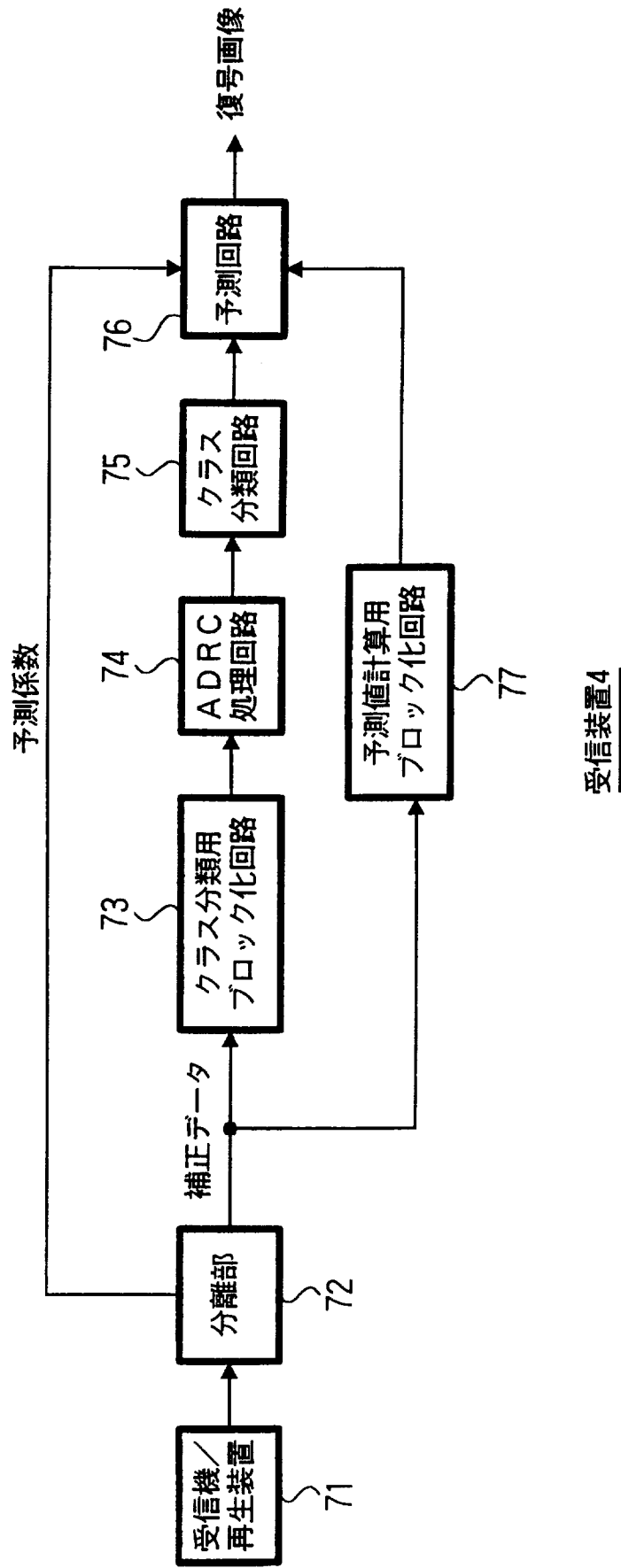
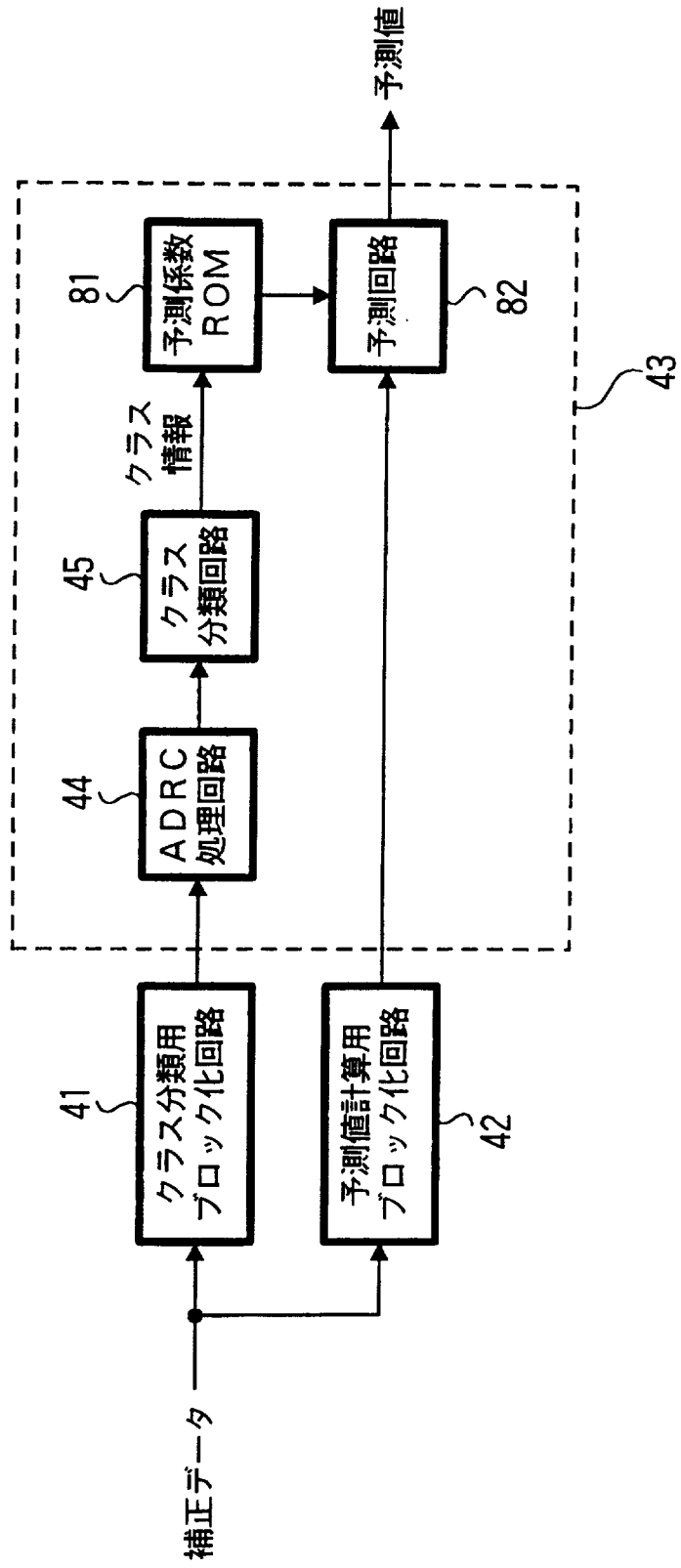


FIG. 19



ローカルデコード部22

FIG. 20

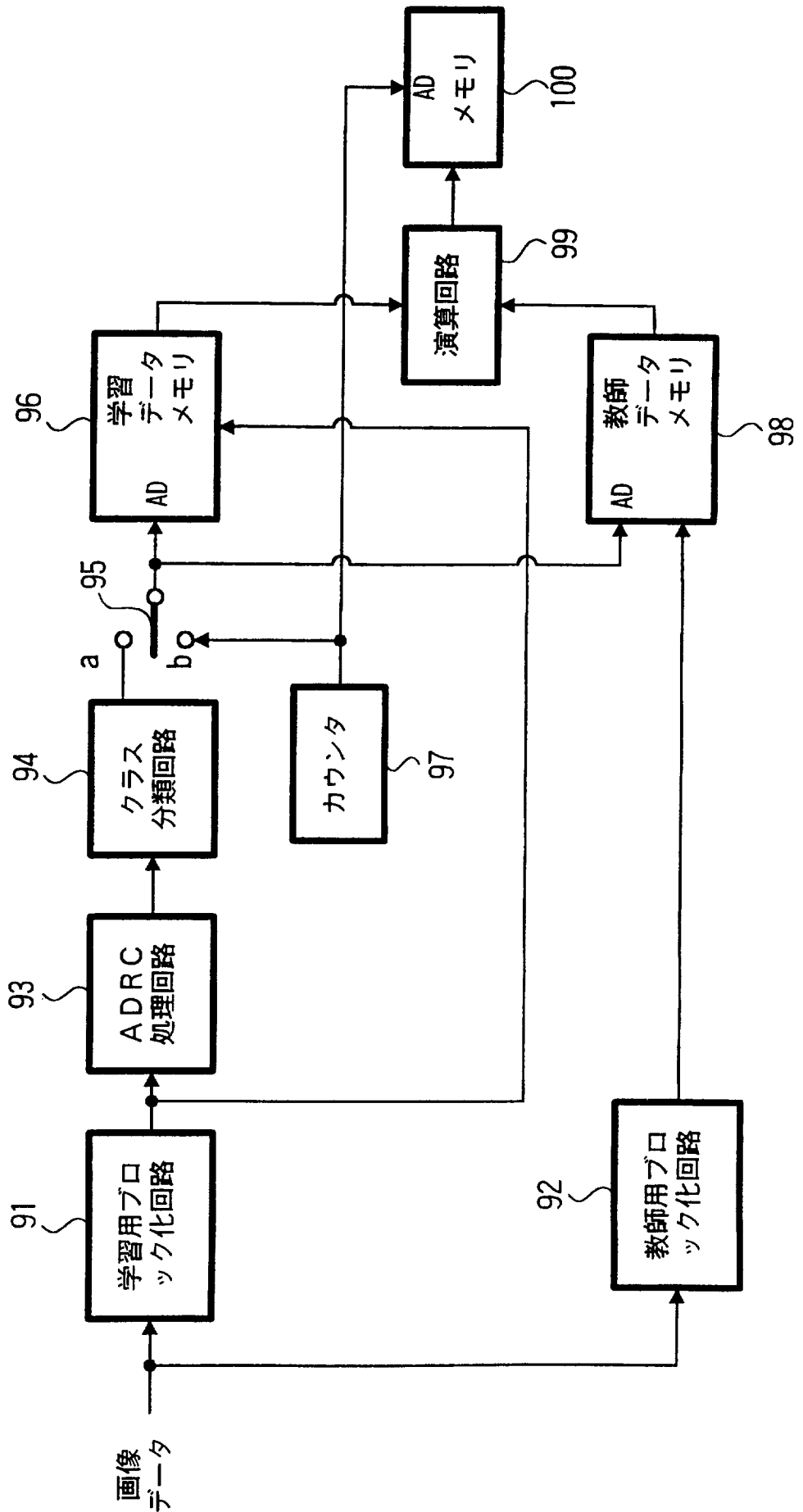
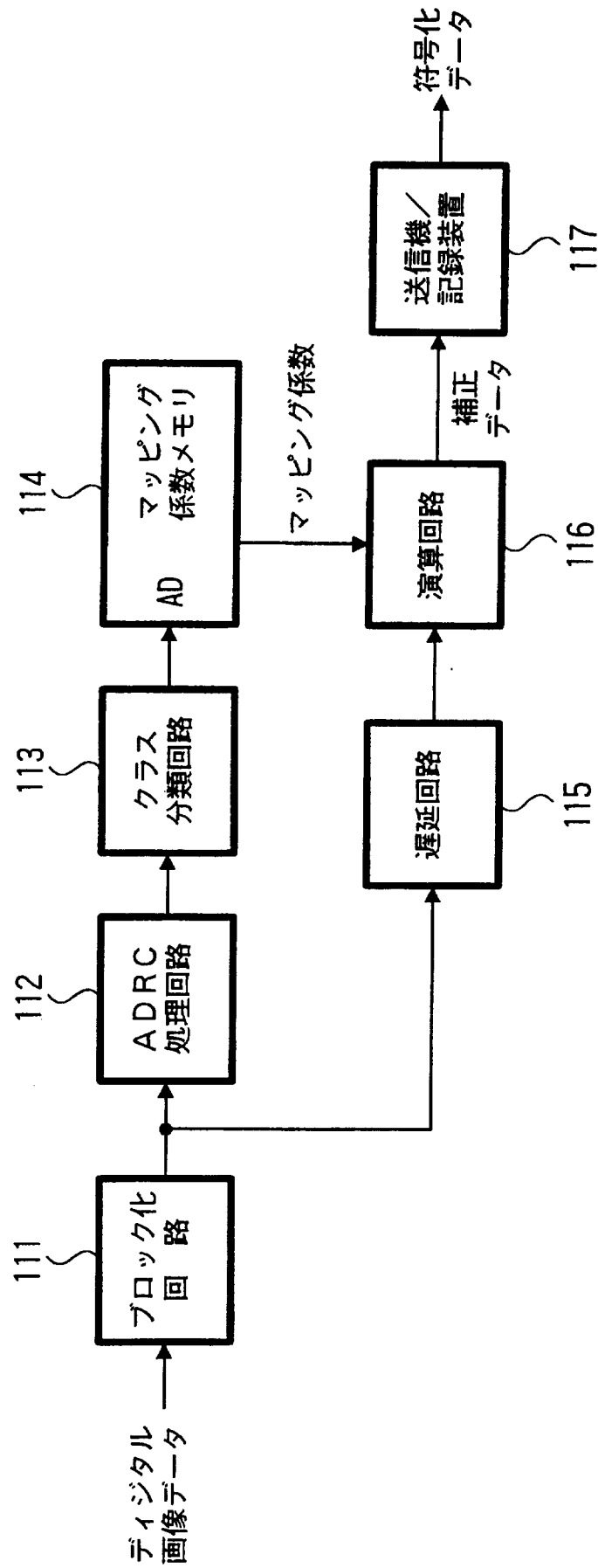


FIG. 21



送信装置

FIG. 22

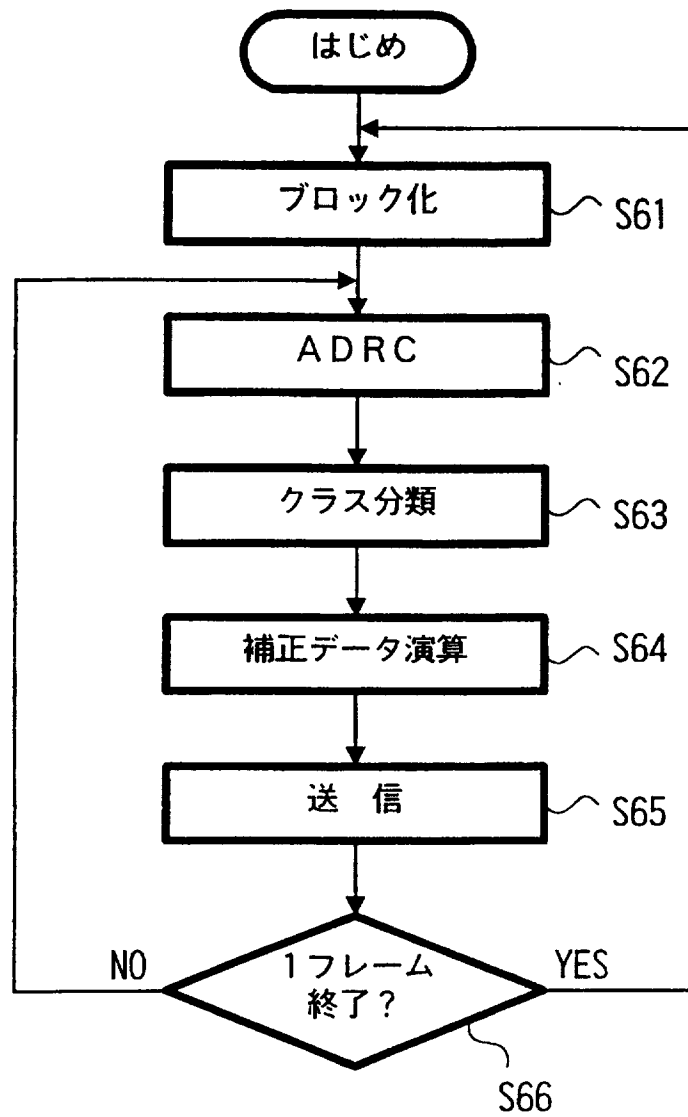


FIG. 23

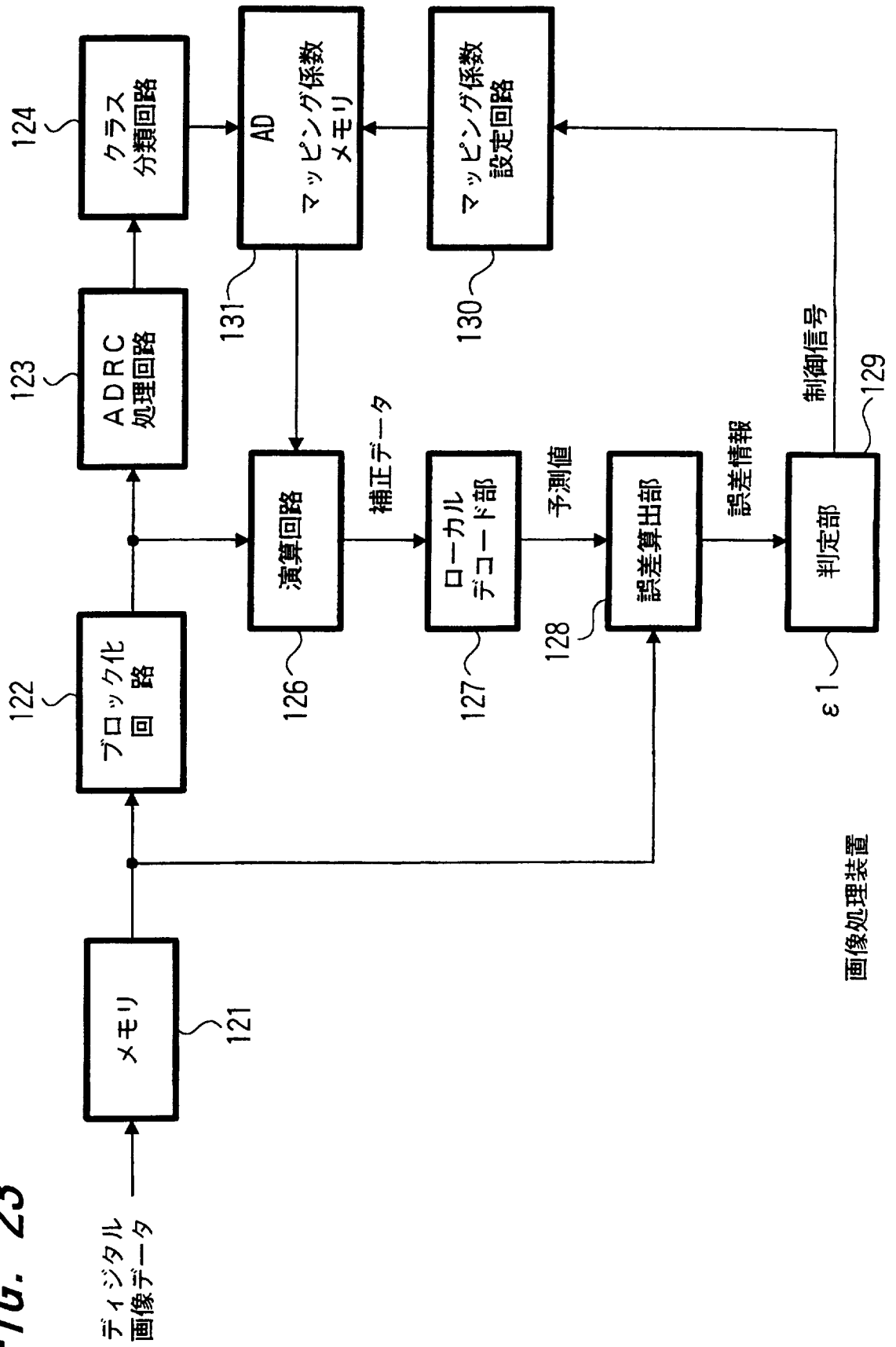


FIG. 24

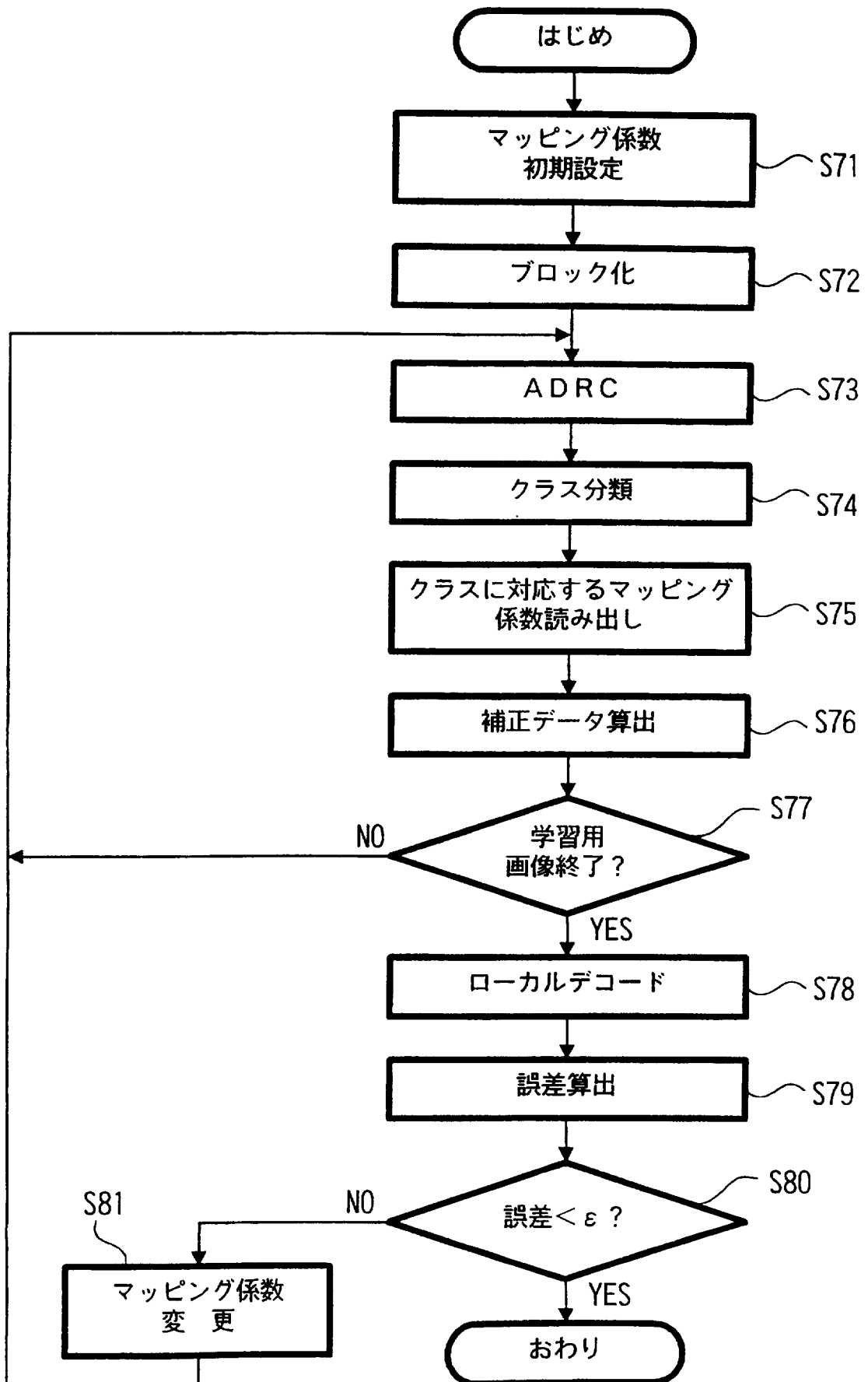
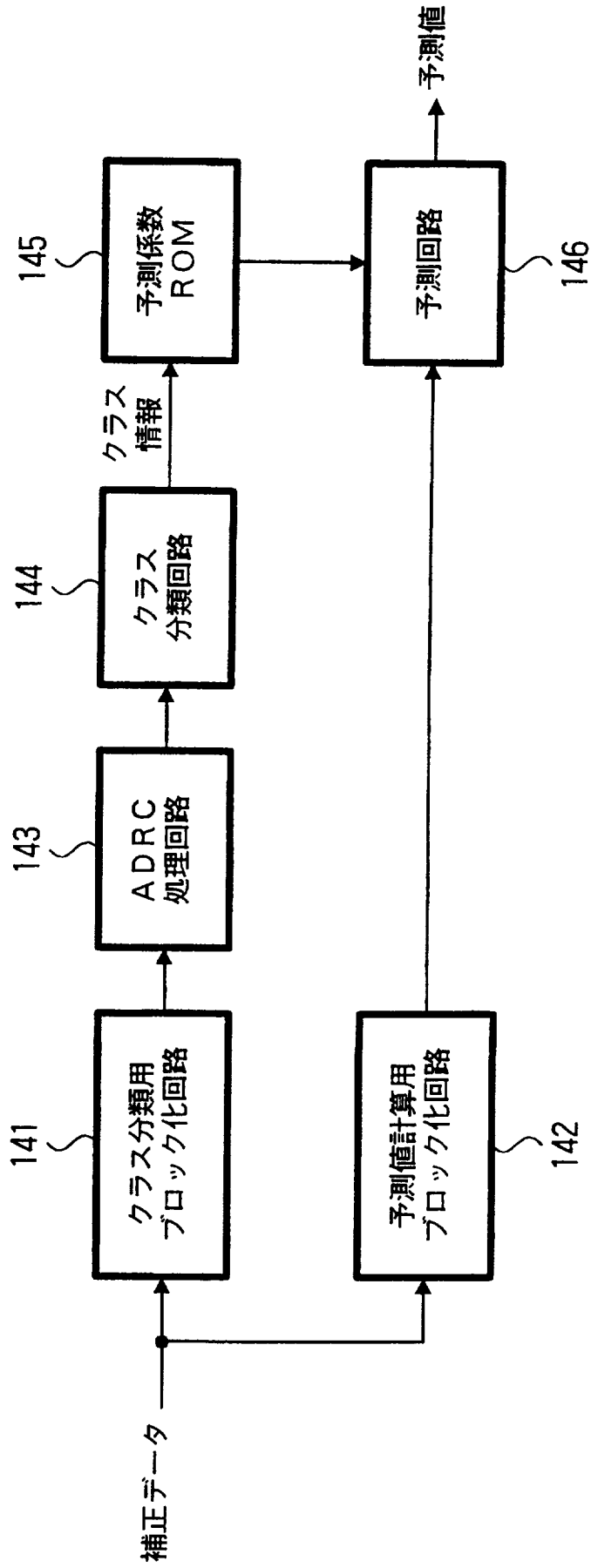


FIG. 25



ローカルデコード部127

FIG. 26

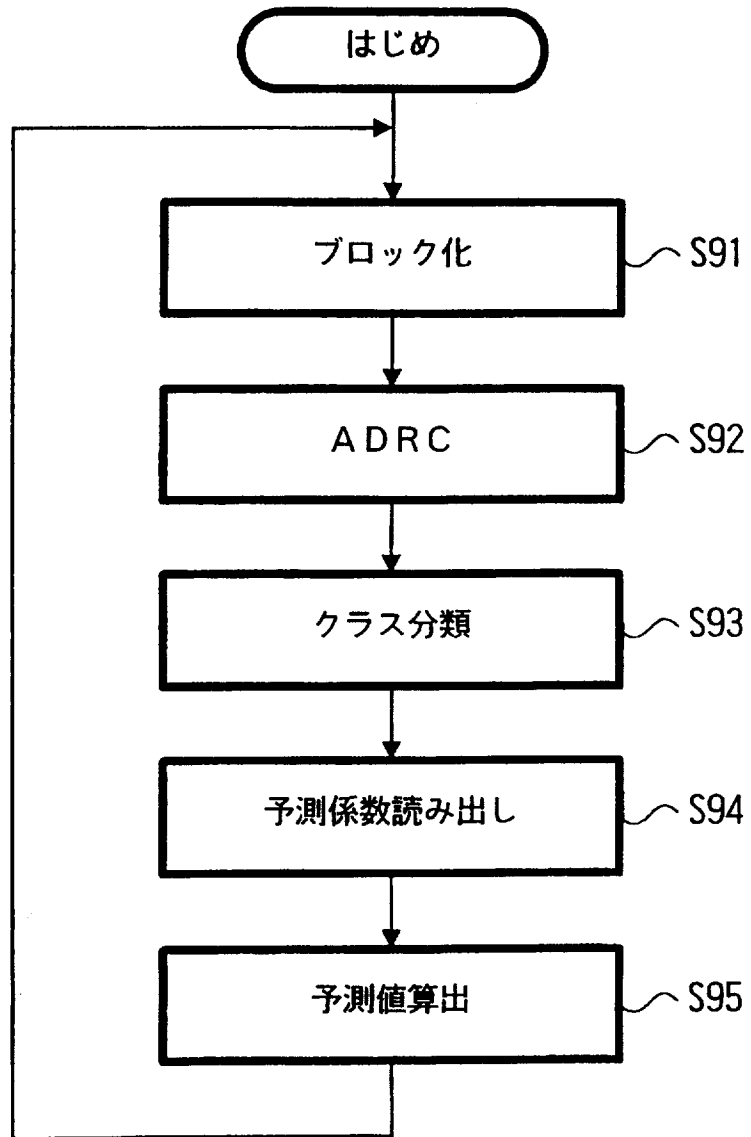


FIG. 28

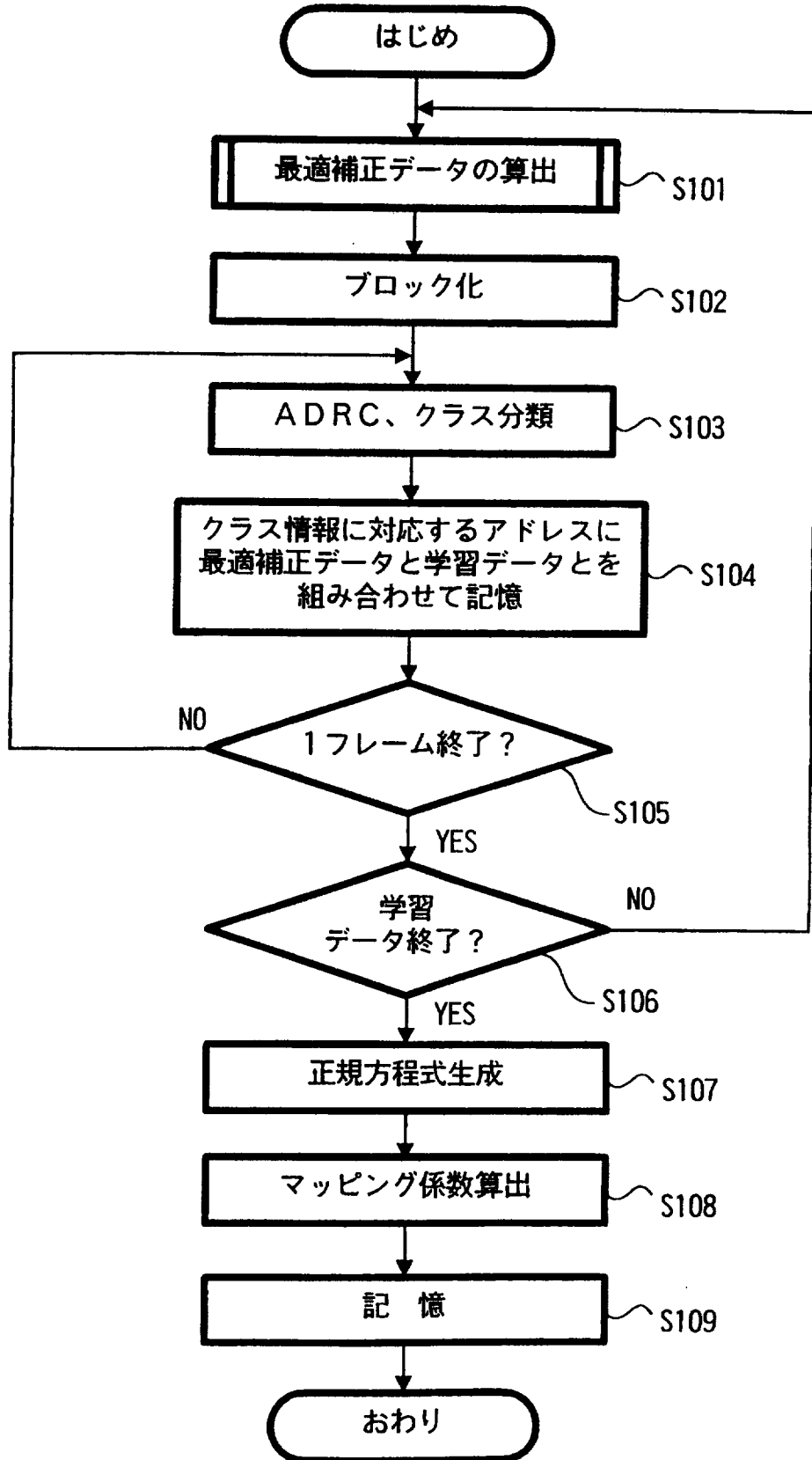
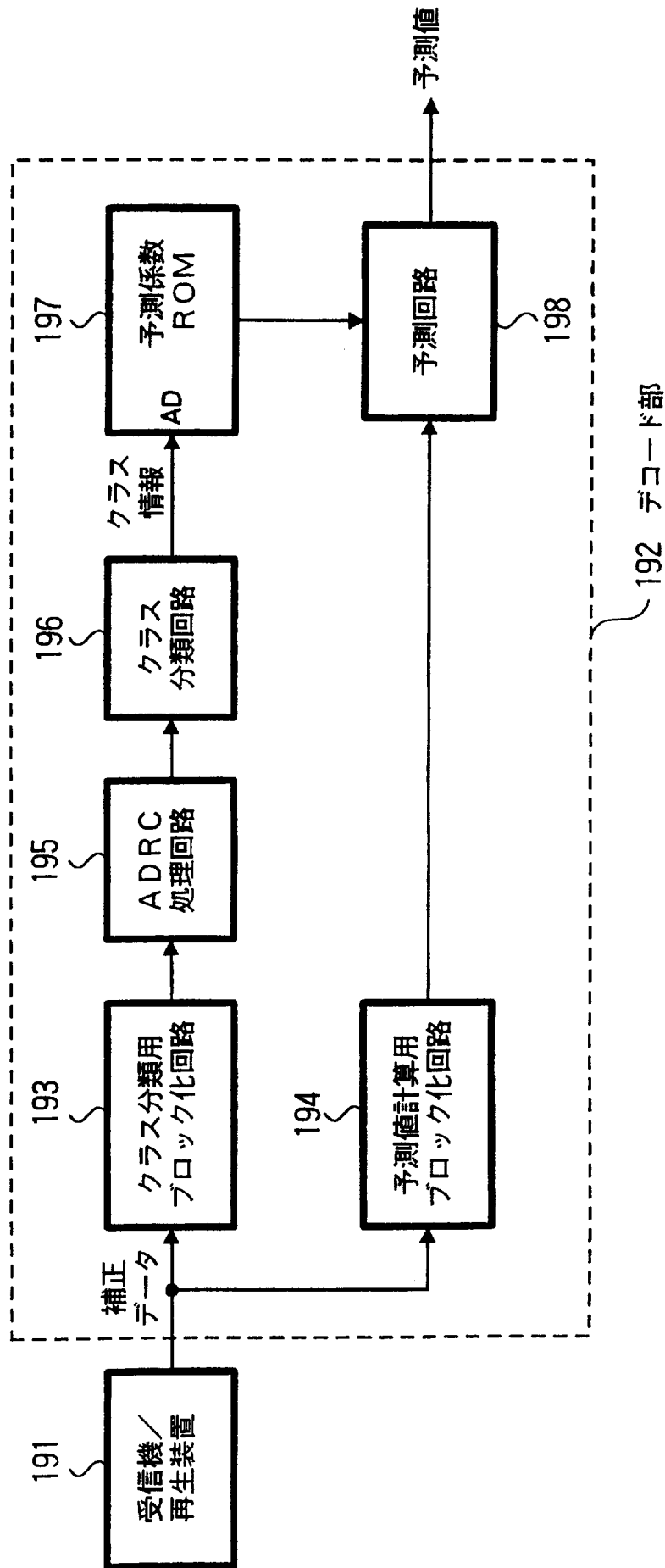


FIG. 29



受信装置4

符 号 の 説 明

1	送信装置
2	記録媒体
3	伝送路
4	受信装置
1 1	I / F
1 2	ROM
1 3	RAM
1 4	CPU
1 5	外部記憶装置
1 6	送信機 / 記録装置
2 1	圧縮部
2 2	ローカルデコード部
2 3	誤差算出部
2 4	判定部
2 5	多重化部
3 1	間引き回路
3 2	補正回路
3 3	補正值ROM
4 1	クラス分類用ブロック化回路
4 2	予測値計算用ブロック化回路
4 3	クラス分類適応処理回路
4 4	ADRC処理回路
4 5	クラス分類回路
4 6	適応処理回路
5 1	ブロック化回路
5 2	自乗誤差算出回路
5 3, 5 4	演算器

5 5	積算部
5 6	メモリ
6 1	予測係数メモリ
6 2	補正データメモリ
6 3	誤差情報メモリ
6 4	比較回路
6 5	制御回路
7 1	受信機／再生装置
7 2	分離部
7 3	クラス分類用ブロック化回路
7 4	A D R C 処理回路
7 5	クラス分類回路
7 6	予測回路
7 7	予測値計算用ブロック化回路
8 1	予測係数 R O M
8 2	予測回路
9 1	学習用ブロック化回路
9 2	教師用ブロック化回路
9 3	A D R C 処理回路
9 4	クラス分類回路
9 5	スイッチ
9 6	学習データメモリ
9 7	カウンタ
9 8	教師データメモリ
9 9	演算回路
1 0 0	メモリ

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP97/02481

A. CLASSIFICATION OF SUBJECT MATTER

Int. Cl⁶ H04N11/04, H04N9/808, H04N7/32

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int. Cl⁶ H04N11/00-11/24, H04N9/79-9/898, H04N7/24-7/68

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1940 - 1997

Kokai Jitsuyo Shinan Koho 1971 - 1997

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP, 61-205093, A (Mitsubishi Electric Corp.), September 11, 1986 (11. 09. 86), Fig. 2 & US, 4710812, A & EP, 632656, A2 & AU, 2216988, A & CA, 1327074, A2	1, 3-5
X	JP, 04-61591, A (Sony Corp.), February 27, 1992 (27. 02. 92), Fig. 1 (Family: none)	6 - 10
X	JP, 63-269894, A (Sony Corp.), November 8, 1988 (08. 11. 88), Fig. 1 (Family: none)	6 - 10
A	JP, 07-79453, A (Sony Corp.), March 20, 1995 (20. 03. 95) (Family: none)	1 - 5
A	JP, 63-9390, A (American Telephone and Telegraph Co.), January 16, 1988 (16. 01. 88) (Family: none)	1 - 10

 Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
October 9, 1997 (09. 10. 97)Date of mailing of the international search report
October 21, 1997 (21. 10. 97)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl⁶ H04N11/04, H04N9/808, H04N7/32

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl⁶ H04N11/00-11/24, H04N9/79-9/898,
H04N7/24-7/68

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1940-1997
日本国公開実用新案公報 1971-1997

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	J P, 61-205093, A (三菱電機株式会社) 11. 9月. 1986 (11. 09. 86) 第2図 & US, 4710812, A & EP, 632656, A2 & AU, 2216988, A & CA, 1327074, A2	1, 3-5
X	J P, 04-61591, A (ソニー株式会社) 27. 2月. 1992 (27. 02. 92) 第1図 (ファミリーなし)	6-10
X	J P, 63-269894, A (ソニー株式会社) 8. 11月. 1988 (08. 11. 88) 第1図 (ファミリーなし)	6-10

C欄の続きにも文献が列举されている。 パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー


「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」先行文献ではあるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献
「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日
09. 10. 97

国際調査報告の発送日
21.10.97

国際調査機関の名称及びあて先
日本国特許庁 (ISA/J P)
郵便番号100
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)
鈴木 明 
5C 9185
電話番号 03-3581-1101 内線 3543

C (続き) . 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP, 07-79453, A (ソニー株式会社) 20. 3月. 1995 (20. 03. 95) (ファミリーなし)	1-5
A	JP, 63-9390, A (アメリカン テレフォン アンド テレグラフ カンパニー) 16. 1月. 1988 (16. 01. 88) (ファミリーなし)	1-10