

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2023年10月5日(05.10.2023)



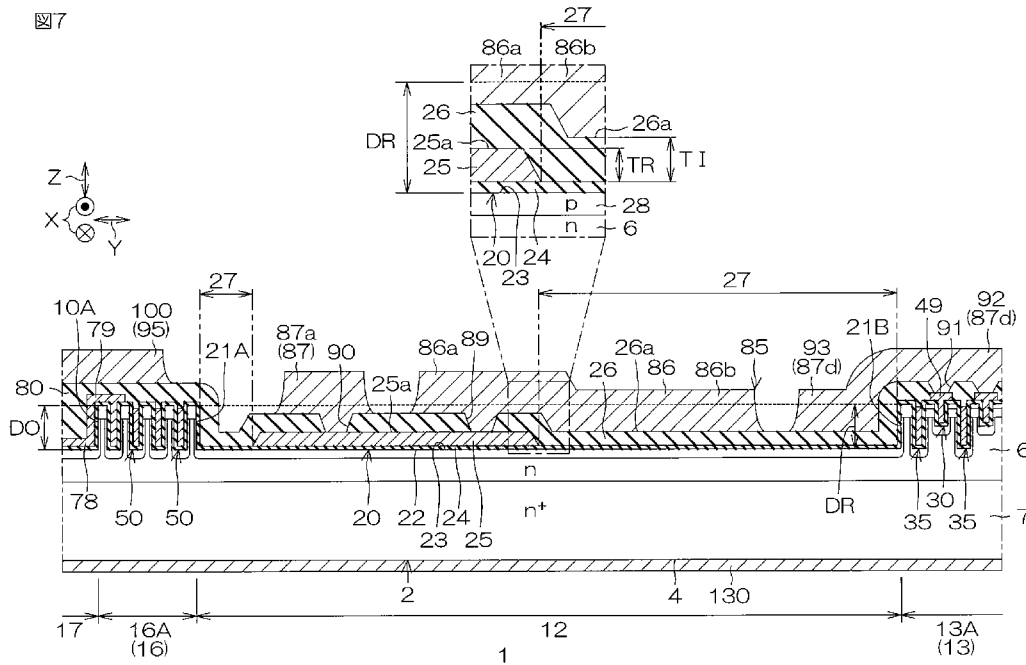
(10) 国際公開番号

WO 2023/189053 A1

- (51) 国際特許分類:
H01L 29/78 (2006.01) H01L 29/12 (2006.01)
H01L 29/06 (2006.01) H01L 29/739 (2006.01)
- (21) 国際出願番号: PCT/JP2023/006632
- (22) 国際出願日: 2023年2月24日(24.02.2023)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2022-061315 2022年3月31日(31.03.2022) JP
- (71) 出願人: ローム株式会社 (ROHM CO., LTD.)
[JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町2番地 Kyoto (JP).
- (72) 発明者: 森 誠悟(MORI, Seigo); 〒6158585 京都府京都市右京区西院溝崎町2番地 ローム株式会社内 Kyoto (JP). 中野 佑紀(NAKANO, Yuki); 〒6158585 京都府京都市右京区西院溝崎町2番地 ローム株式会社内 Kyoto (JP). 美濃出 圭悟(MINODE, Keigo); 〒6158585 京都府京都市右京区西院溝崎町2番地 ローム株式会社内 Kyoto (JP).
- (74) 代理人: 弁理士法人 あい 特許事務所 (AI ASSOCIATION OF PATENT AND TRADEMARK ATTORNEYS); 〒5410059 大阪府大阪市中央区博労町三丁目2番8号 岩田東急ビル8階 Osaka (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ,

(54) Title: SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置



(57) Abstract: The semiconductor device includes: a chip having a major surface; a trench resistive structure formed on the major surface; a gate pad having a lower resistance value than the trench resistive structure and disposed over the trench resistive structure so as to be electrically connected to the trench resistive structure; and gate wiring having a lower resistance value than the trench resistive structure and disposed over the trench resistive structure so as to be electrically connected to the gate pad via the trench resistive structure.



WO 2023/189053 A1

BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類 :

- 一 国際調査報告 (条約第21条(3))
-

(57) 要約 : 半導体装置は、主面を有するチップと、前記主面に形成されたトレンチ抵抗構造と、前記トレンチ抵抗構造よりも低い抵抗値を有し、前記トレンチ抵抗構造に電氣的に接続されるように前記トレンチ抵抗構造の上に配置されたゲートパッドと、前記トレンチ抵抗構造よりも低い抵抗値を有し、前記トレンチ抵抗構造を介して前記ゲートパッドに電氣的に接続されるように前記トレンチ抵抗構造の上に配置されたゲート配線と、を含む。

明 細 書

発明の名称：半導体装置

技術分野

[0001] この出願は、2022年3月31日提出の日本国特許出願2022-061315号に基づく優先権を主張しており、この出願の全内容はここに引用により組み込まれる。本発明は、半導体装置に関する。

背景技術

[0002] 特許文献1は、半導体基板、複数のトレンチ構造およびゲートパッド部を含む半導体装置を開示している。複数のトレンチ構造は、半導体基板の表面に形成されている。ゲートパッド部は、複数のトレンチ構造を被覆するように半導体基板の上に配置されている。

先行技術文献

特許文献

[0003] 特許文献1：米国特許出願公開第2017/0040423号明細書

発明の概要

発明が解決しようとする課題

[0004] 一実施形態は、新規なレイアウトを有する半導体装置を提供する。

課題を解決するための手段

[0005] 一実施形態は、主面を有するチップと、前記主面に形成されたトレンチ抵抗構造と、前記トレンチ抵抗構造よりも低い抵抗値を有し、前記トレンチ抵抗構造に電氣的に接続されるように前記トレンチ抵抗構造の上に配置されたゲートパッドと、前記トレンチ抵抗構造よりも低い抵抗値を有し、前記トレンチ抵抗構造を介して前記ゲートパッドに電氣的に接続されるように前記トレンチ抵抗構造の上に配置されたゲート配線と、を含む、半導体装置を提供する。

[0006] 上述のまたはさらに他の目的、特徴および効果は、添付図面の参照によって説明される実施形態により明らかにされる。

図面の簡単な説明

- [0007] [図1]図 1 は、一実施形態に係る半導体装置を示す平面図である。
- [図2]図 2 は、図 1 に示すII-II線に沿う断面図である。
- [図3]図 3 は、ゲート電極およびソース電極のレイアウトを示す平面図である。
- [図4]図 4 は、第 1 主面のレイアウトを示す平面図である。
- [図5]図 5 は、抵抗領域の近傍を示す拡大平面図である。
- [図6]図 6 は、抵抗領域の近傍のレイアウトを示す拡大平面図である。
- [図7]図 7 は、図 6 に示すVII-VII線に沿う断面図である。
- [図8]図 8 は、抵抗領域および活性領域のレイアウトを示す拡大平面図である。
- [図9]図 9 は、活性領域および周縁領域のレイアウトを示す拡大平面図である。
- [図10]図 10 は、図 8 に示すX-X線に沿う断面図である。
- [図11]図 11 は、図 8 に示すXI-XI線に沿う断面図である。
- [図12]図 12 は、図 8 に示すXII-XII線に沿う断面図である。
- [図13]図 13 は、図 8 に示すXIII-XIII線に沿う断面図である。
- [図14]図 14 は、図 9 に示すXIV-XIV線に沿う断面図である。
- [図15]図 15 は、図 9 に示すXV-XV線に沿う断面図である。
- [図16]図 16 は、図 9 に示すXVI-XVI線に沿う断面図である。
- [図17]図 17 は、図 9 に示すXVII-XVII線に沿う断面図である。
- [図18]図 18 は、抵抗領域、活性領域およびダミー領域のレイアウトを示す拡大平面図である。
- [図19]図 19 は、活性領域、周縁領域およびダミー領域のレイアウトを示す拡大平面図である。
- [図20]図 20 は、図 18 に示すXX-XX線に沿う断面図である。
- [図21]図 21 は、図 18 に示すXXI-XXI線に沿う断面図である。
- [図22]図 22 は、図 18 に示すXXII-XXII線に沿う断面図である。

[図23]図23は、終端領域のレイアウトを示す拡大平面図である。

[図24]図24は、図23に示すXXIV-XXIV線に沿う断面図である。

[図25]図25は、外周領域の構造を示す断面図である。

[図26]図26は、ゲート電極およびゲート抵抗の接続形態を示す電気回路図である。

[図27]図27は、第1変形例に係るトレンチ抵抗構造を示す断面図である。

[図28]図28は、第2変形例に係るトレンチ抵抗構造を示す断面図である。

[図29]図29は、第3変形例に係るトレンチ抵抗構造を示す断面図である。

[図30]図30は、第4変形例に係るトレンチ抵抗構造を示す断面図である。

[図31]図31は、第1変形例に係るチップを示す断面図である。

[図32]図32は、第2変形例に係るチップを示す断面図である。

発明を実施するための形態

[0008] 以下、添付図面を参照して、実施形態が詳細に説明される。添付図面は、模式図であり、厳密に図示されたものではなく、縮尺等は必ずしも一致しない。また、添付図面の間で対応する構造には同一の参照符号が付され、重複する説明は省略または簡略化される。説明が省略または簡略化された構造については、省略または簡略化される前になされた説明が適用される。

[0009] 比較対象 (comparison target) が存する説明において「ほぼ (substantially) 等しい」の文言が使用される場合、この文言は、比較対象の数値 (形態) と等しい数値 (形態) を含む他、比較対象の数値 (形態) を基準とする±10%の範囲の数値誤差 (形態誤差) も含む。実施形態では「第1」、「第2」、「第3」等の文言が使用されるが、これらは説明順序を明確にするために各構造の名称に付された記号であり、各構造の名称を限定する趣旨で付されていない。

[0010] 図1は、一実施形態に係る半導体装置1を示す平面図である。図2は、図1に示すII-II線に沿う断面図である。図3は、ゲート電極85およびソース電極95のレイアウトを示す平面図である。図4は、第1主面3のレイアウトを示す平面図である。半導体装置1は、MISFET (Metal Insulator S

emiconductor Field Effect Transistor) を含む半導体スイッチング装置である。

[0011] 図1～図4を参照して、半導体装置1は、この形態 (this embodiment) では、ワイドバンドギャップ半導体の単結晶を含み、六面体形状 (具体的には直方体形状) に形成されたチップ2を含む。つまり、半導体装置1は、「ワイドバンドギャップ半導体装置」である。チップ2は、「半導体チップ」または「ワイドバンドギャップ半導体チップ」と称されてもよい。ワイドバンドギャップ半導体は、Si (シリコン) のバンドギャップを超えるバンドギャップを有する半導体である。GaN (窒化ガリウム)、SiC (炭化シリコン) およびC (ダイヤモンド) が、ワイドバンドギャップ半導体として例示される。

[0012] チップ2は、この形態では、ワイドバンドギャップ半導体の一例として六方晶のSiC単結晶を含む「SiCチップ」である。つまり、半導体装置1は、「SiC半導体装置」である。半導体装置1は、「SiC-MISFET」と称されてもよい。六方晶のSiC単結晶は、2H (Hexagonal) - SiC単結晶、4H-SiC単結晶、6H-SiC単結晶等を含む複数種のポリタイプを有している。この形態では、チップ2が4H-SiC単結晶を含む例が示されるが、チップ2は他のポリタイプを含んでいてもよい。

[0013] チップ2は、一方側の第1主面3、他方側の第2主面4、ならびに、第1主面3および第2主面4を接続する第1～第4側面5A～5Dを有している。第1主面3および第2主面4は、それらの法線方向Zから見た平面視 (以下、単に「平面視」という。) において四角形状に形成されている。法線方向Zは、チップ2の厚さ方向でもある。第1主面3および第2主面4は、SiC単結晶のc面によって形成されていることが好ましい。

[0014] この場合、第1主面3はSiC単結晶のシリコン面 ((0001) 面) によって形成され、第2主面4はSiC単結晶のカーボン面 ((000-1) 面) によって形成されていることが好ましい。第1主面3および第2主面4は、c面に対して所定のオフ方向に所定の角度で傾斜したオフ角を有してい

てもよい。オフ方向は、SiC単結晶のa軸方向（ $[11-20]$ 方向）であることが好ましい。オフ角は、 0° を超えて 10° 以下であってもよい。オフ角は、 5° 以下であることが好ましい。

[0015] 第1側面5Aおよび第2側面5Bは、第1主面3に沿う第1方向Xに延び、第1方向Xに交差（具体的には直交）する第2方向Yに対向している。第3側面5Cおよび第4側面5Dは、第2方向Yに延び、第1方向Xに対向している。第1方向XがSiC単結晶のm軸方向（ $[1-100]$ 方向）であり、第2方向YがSiC単結晶のa軸方向であってもよい。むしろ、第1方向XがSiC単結晶のa軸方向であり、第2方向YがSiC単結晶のm軸方向であってもよい。

[0016] チップ2は、 $5\mu\text{m}$ 以上 $200\mu\text{m}$ 以下の厚さを有していてもよい。チップ2の厚さは、 $5\mu\text{m}$ 以上 $25\mu\text{m}$ 以下、 $25\mu\text{m}$ 以上 $50\mu\text{m}$ 以下、 $50\mu\text{m}$ 以上 $75\mu\text{m}$ 以下、 $75\mu\text{m}$ 以上 $100\mu\text{m}$ 以下、 $100\mu\text{m}$ 以上 $125\mu\text{m}$ 以下、 $125\mu\text{m}$ 以上 $150\mu\text{m}$ 以下、 $150\mu\text{m}$ 以上 $175\mu\text{m}$ 以下、および、 $175\mu\text{m}$ 以上 $200\mu\text{m}$ 以下のいずれか1つの範囲に属する値に設定されていてもよい。チップ2の厚さは、 $100\mu\text{m}$ 以下であることが好ましい。

[0017] 第1～第4側面5A～5Dは、平面視において 0.5mm 以上 20mm 以下の長さを有していてもよい。第1～第4側面5A～5Dの長さは、 0.5mm 以上 5mm 以下、 5mm 以上 10mm 以下、 10mm 以上 15mm 以下、および、 15mm 以上 20mm 以下のいずれか1つの範囲に属する値に設定されていてもよい。第1～第4側面5A～5Dの長さは、 5mm 以上であることが好ましい。

[0018] 半導体装置1は、チップ2内において第1主面3側の領域（表層部）に形成されたn型の第1半導体領域6を含む。第1半導体領域6は、第1主面3に沿って延びる層状に形成され、第1主面3および第1～第4側面5A～5Dから露出している。第1半導体領域6は、この形態では、エピタキシャル層（具体的にはSiCエピタキシャル層）からなる。第1半導体領域6は、

1 μm 以上50 μm 以下の厚さを有していてもよい。第1半導体領域6の厚さは、3 μm 以上30 μm 以下であることが好ましい。第1半導体領域6の厚さは、5 μm 以上25 μm 以下であることが特に好ましい。

[0019] 半導体装置1は、チップ2内において第2主面4側の領域（表層部）に形成されたn型の第2半導体領域7を含む。第2半導体領域7は、第2主面4に沿って延びる層状に形成され、第2主面4および第1～第4側面5A～5Dから露出している。第2半導体領域7は、第1半導体領域6よりも高いn型不純物濃度を有し、第1半導体領域6に電氣的に接続されている。第2半導体領域7は、この形態では、半導体基板（具体的にはSiC半導体基板）からなる。つまり、チップ2は、半導体基板およびエピタキシャル層を含む積層構造を有している。

[0020] 第2半導体領域7は、1 μm 以上200 μm 以下の厚さを有していてもよい。第2半導体領域7の厚さは、150 μm 以下、100 μm 以下、50 μm 以下または40 μm 以下であってもよい。第2半導体領域7の厚さは、5 μm 以上であってもよい。第2半導体領域7の厚さは、10 μm 以上であることが好ましい。第2半導体領域7は、この形態では、第1半導体領域6の厚さを超える厚さを有している。

[0021] 半導体装置1は、第1主面3に形成された活性面8（active surface）、外周面9（outer surface）および第1～第4接続面10A～10D（connecting surface）を含む。活性面8、外周面9および第1～第4接続面10A～10Dは、第1主面3において活性台地11を区画している。活性面8が「第1面部」と称され、外周面9が「第2面部」と称され、第1～第4接続面10A～10Dが「接続面部」と称されてもよい。活性面8、外周面9および第1～第4接続面10A～10D（つまり活性台地11）は、チップ2（第1主面3）の構成要素と見なされてもよい。

[0022] 活性面8は、第1主面3の周縁（第1～第4側面5A～5D）から内方に間隔を空けて形成されている。活性面8は、第1方向Xおよび第2方向Yに延びる平坦面を有している。活性面8は、この形態では、c面（Si面）に

よって形成されている。活性面 8 は、この形態では、平面視において第 1 ～第 4 側面 5 A ～ 5 D に平行な 4 辺を有する四角形状に形成されている。

[0023] 外周面 9 は、活性面 8 外に位置し、活性面 8 からチップ 2 の厚さ方向（第 2 主面 4 側）に窪んでいる。具体的には、外周面 9 は、第 1 半導体領域 6 を露出させるように第 1 半導体領域 6 の厚さ未満の深さで窪んでいる。外周面 9 は、平面視において活性面 8 に沿って帯状に延び、活性面 8 を取り囲む環状（具体的には四角環状）に形成されている。

[0024] 外周面 9 は、第 1 方向 X および第 2 方向 Y に延びる平坦面を有し、活性面 8 に対してほぼ平行に形成されている。外周面 9 は、この形態では、c 面（Si 面）によって形成されている。外周面 9 は、第 1 ～第 4 側面 5 A ～ 5 D に連なっている。外周面 9 は、外周深さ D O を有している。外周深さ D O は、 $0.1 \mu\text{m}$ 以上 $5 \mu\text{m}$ 以下であってもよい。外周深さ D O は、 $2.5 \mu\text{m}$ 以下であることが好ましい。

[0025] 第 1 ～第 4 接続面 10 A ～ 10 D は、法線方向 Z に延び、活性面 8 および外周面 9 を接続している。第 1 接続面 10 A は第 1 側面 5 A 側に位置し、第 2 接続面 10 B は第 2 側面 5 B 側に位置し、第 3 接続面 10 C は第 3 側面 5 C 側に位置し、第 4 接続面 10 D は第 4 側面 5 D 側に位置している。第 1 接続面 10 A および第 2 接続面 10 B は、第 1 方向 X に延び、第 2 方向 Y に対向している。第 3 接続面 10 C および第 4 接続面 10 D は、第 2 方向 Y に延び、第 1 方向 X に対向している。

[0026] 第 1 ～第 4 接続面 10 A ～ 10 D は、四角柱状の活性台地 11 が区画されるように活性面 8 および外周面 9 の間をほぼ垂直に延びていてもよい。第 1 ～第 4 接続面 10 A ～ 10 D は、四角錘台状の活性台地 11 が区画されるように活性面 8 から外周面 9 に向かって斜め下り傾斜していてもよい。このように、半導体装置 1 は、第 1 主面 3 において第 1 半導体領域 6 に突状に区画された活性台地 11 を含む。活性台地 11 は、第 1 半導体領域 6 のみに形成され、第 2 半導体領域 7 には形成されていない。

[0027] 図 4 を参照して、半導体装置 1 は、抵抗領域 12、活性領域 13、周縁領

域 1 4、ダミー領域 1 5、終端領域 1 6 および外周領域 1 7 を含む。抵抗領域 1 2 は、活性面 8 に設けられている。具体的には、抵抗領域 1 2 は、活性面 8 の周縁（第 1 ～第 4 接続面 1 0 A ～ 1 0 D）から間隔を空けて活性面 8 の内方部に設けられている。抵抗領域 1 2 は、この形態では、平面視において第 1 接続面 1 0 A の中央部に沿う領域に設けられている。抵抗領域 1 2 は、平面視において第 1 ～第 4 側面 5 A ～ 5 D に平行な 4 辺を有する四角形状に設けられている。

[0028] 活性領域 1 3 は、チャンネルの制御によってドレイン電流 I_{DS} を生成する領域である。活性領域 1 3 は、活性面 8 において抵抗領域 1 2 の周囲に設けられている。具体的には、活性領域 1 3 は、抵抗領域 1 2 外の領域において活性面 8 の周縁から間隔を空けて活性面 8 の内方部に設けられている。活性領域 1 3 は、第 1 活性領域 1 3 A、第 2 活性領域 1 3 B および第 3 活性領域 1 3 C を含む。

[0029] 第 1 活性領域 1 3 A は、抵抗領域 1 2 に対して第 2 接続面 1 0 B 側（活性面 8 の内方部側）に設けられ、第 2 方向 Y に抵抗領域 1 2 に対向している。第 1 活性領域 1 3 A は、平面視において活性面 8 の周縁に平行な 4 辺を有する四角形状に設けられている。第 1 活性領域 1 3 A は、第 1 方向 X に抵抗領域 1 2 よりも幅広に設けられている。

[0030] 第 2 活性領域 1 3 B は、抵抗領域 1 2 および第 3 接続面 1 0 C の間の領域に設けられ、第 1 方向 X に抵抗領域 1 2 に対向している。第 3 活性領域 1 3 C は、抵抗領域 1 2 および第 4 接続面 1 0 D の間の領域に設けられ、第 1 方向 X に抵抗領域 1 2 を挟んで第 2 活性領域 1 3 B に対向している。

[0031] 周縁領域 1 4 は、第 1 方向 X の両サイドから活性領域 1 3 を挟み込むように活性面 8 に設けられている。周縁領域 1 4 は、第 1 周縁領域 1 4 A および第 2 周縁領域 1 4 B を含む。第 1 周縁領域 1 4 A は、活性領域 1 3 および第 3 接続面 1 0 C の間の領域に設けられ、第 1 方向 X に第 1 活性領域 1 3 A および第 2 活性領域 1 3 B に対向するように第 2 方向 Y に帯状に延びている。第 2 周縁領域 1 4 B は、活性領域 1 3 および第 4 接続面 1 0 D の間の領域に

設けられ、第1方向Xに第1活性領域13Aおよび第3活性領域13Cに対向するように第2方向Yに帯状に延びている。

[0032] ダミー領域15は、第2方向Yの両サイドから活性領域13を挟み込むように活性面8に設けられている。ダミー領域15は、第1ダミー領域15A、第2ダミー領域15Bおよび第3ダミー領域15Cを含む。第1ダミー領域15Aは、抵抗領域12および第3接続面10Cの間の領域に設けられている。第1ダミー領域15Aは、第1方向Xに抵抗領域12に対向し、第2方向Yに第2活性領域13Bおよび第1周縁領域14Aに対向するように第1方向Xに帯状に延びている。

[0033] 第2ダミー領域15Bは、抵抗領域12および第4接続面10Dの間の領域に設けられている。第2ダミー領域15Bは、第1方向Xに抵抗領域12に対向し、第2方向Yに第3活性領域13Cおよび第2周縁領域14Bに対向するように第1方向Xに帯状に延びている。第3ダミー領域15Cは、第1活性領域13Aおよび第2接続面10Bの間の領域に設けられている。第3ダミー領域15Cは、第2方向Yに第1活性領域13A、第1周縁領域14Aおよび第2周縁領域14Bに対向するように第1方向Xに帯状に延びている。

[0034] 第1ダミー領域15Aの平面積は、第2活性領域13Bの平面積未満であることが好ましい。つまり、抵抗領域12に対する第1ダミー領域15Aの対向面積は、抵抗領域12に対する第2活性領域13Bの対向面積未満であることが好ましい。第2ダミー領域15Bの平面積は、第3活性領域13Cの平面積未満であることが好ましい。つまり、抵抗領域12に対する第2ダミー領域15Bの対向面積は、抵抗領域12に対する第3活性領域13Cの対向面積未満であることが好ましい。

[0035] 終端領域16は、第2方向Yの両サイドからダミー領域15を挟み込むように活性面8に設けられている。終端領域16は、第1終端領域16Aおよび第2終端領域16Bを含む。第1終端領域16Aは、抵抗領域12および第1接続面10Aの間の領域に設けられている。

- [0036] 第1 終端領域 1 6 A は、第2 方向 Y に抵抗領域 1 2、第1 ダミー領域 1 5 A および第2 ダミー領域 1 5 B に対向するように第1 方向 X に帯状に延びている。第2 終端領域 1 6 B は、第3 ダミー領域 1 5 C および第2 接続面 1 0 B の間の領域に設けられている。第2 終端領域 1 6 B は、第2 方向 Y に第3 ダミー領域 1 5 C に対向するように第1 方向 X に帯状に延びている。
- [0037] 外周領域 1 7 は、外周面 9 に設けられている。外周領域 1 7 は、この形態では、平面視において活性面 8（活性台地 1 1）を取り囲む環状（具体的に四角環状）に設けられている。つまり、外周領域 1 7 は、抵抗領域 1 2、活性領域 1 3、周縁領域 1 4、ダミー領域 1 5 および終端領域 1 6 を一括して取り囲んでいる。
- [0038] 半導体装置 1 は、第1 主面 3 を被覆する主面絶縁膜 1 8 を含む。主面絶縁膜 1 8 は、活性面 8、外周面 9 および第1～第4 接続面 1 0 A～1 0 D を選択的に被覆している。主面絶縁膜 1 8 は、酸化シリコン膜、窒化シリコン膜および酸窒化シリコン膜のうちの少なくとも1 つを含んでいてもよい。
- [0039] 主面絶縁膜 1 8 は、この形態では、酸化シリコン膜からなる単層構造を有している。主面絶縁膜 1 8 は、チップ 2 の酸化物からなる酸化シリコン膜を含むことが特に好ましい。主面絶縁膜 1 8 は、この形態では、第1～第4 側面 5 A～5 D に連なっている。むろん、主面絶縁膜 1 8 の壁部は、外周面 9 の周縁から内方に間隔を空けて形成され、外周面 9 の周縁部から第1 半導体領域 6 を露出させていてもよい。
- [0040] 図 5 は、抵抗領域 1 2 の近傍を示す拡大平面図である。図 6 は、抵抗領域 1 2 の近傍のレイアウトを示す拡大平面図である。図 7 は、図 6 に示す VII-V II 線に沿う断面図である。図 8 は、抵抗領域 1 2 および活性領域 1 3 のレイアウトを示す拡大平面図である。図 9 は、活性領域 1 3 および周縁領域 1 4 のレイアウトを示す拡大平面図である。
- [0041] 図 1 0 は、図 8 に示す X-X 線に沿う断面図である。図 1 1 は、図 8 に示す XI-XI 線に沿う断面図である。図 1 2 は、図 8 に示す XII-XII 線に沿う断面図である。図 1 3 は、図 8 に示す XIII-XIII 線に沿う断面図である。図 1 4 は、図

9に示すXIV-XIV線に沿う断面図である。図15は、図9に示すXV-XV線に沿う断面図である。図16は、図9に示すXVI-XVI線に沿う断面図である。図17は、図9に示すXVII-XVII線に沿う断面図である。

[0042] 図5～図17を参照して、半導体装置1は、第1主面3（活性面8）の表層部に形成されたp型（第2導電型）のボディ領域19を含む。ボディ領域19は、第1半導体領域6の底部から活性面8側に間隔を空けて形成されている。ボディ領域19は、活性面8に沿って延びる層状に形成されている。ボディ領域19は、活性面8の全域に形成され、第1～第4接続面10A～10Dから露出している。

[0043] 半導体装置1は、抵抗領域12において第1主面3（活性面8）に形成されたトレンチ抵抗構造20を含む。この形態では、単一のトレンチ抵抗構造20が第1主面3（活性面8）に形成されている。トレンチ抵抗構造20は、MISFETのゲートに電氣的に接続されるゲート抵抗Rとしてチップ2に組み込まれている。トレンチ抵抗構造20にはゲート電位VGが付与されるが、トレンチ抵抗構造20はチャネルの制御に寄与しない。

[0044] トレンチ抵抗構造20は、活性領域13に対して第1接続面10A側の領域に配置され、第2方向Yに活性領域13に対向している。トレンチ抵抗構造20は、第2方向Yに周縁領域14に対向しないように周縁領域14から第1方向Xに間隔を空けて配置されている。トレンチ抵抗構造20は、この形態では、第1接続面10Aの中央部および活性領域13の間に配置されている。

[0045] トレンチ抵抗構造20は、第1半導体領域6に至るようにボディ領域19を貫通し、第1半導体領域6の底部から活性面8側に間隔を空けて形成されている。トレンチ抵抗構造20は、この形態では、平面視において活性面8の周縁に平行な4辺を有する四角形状に形成されている。トレンチ抵抗構造20は、第1～第4側壁21A～21Dおよび底壁22を有している。

[0046] 第1側壁21Aは第1接続面10A側に位置し、第2側壁21Bは第2接続面10B側に位置し、第3側壁21Cは第3接続面10C側に位置し、第

4側壁21Dは第4接続面10D側に位置している。第1接続面10Aおよび第2接続面10Bは、第1方向Xに延び、第2方向Yに対向している。第3接続面10Cおよび第4接続面10Dは、第2方向Yに延び、第1方向Xに対向している。底壁22は、第1～第4側壁21A～21Dを接続し、活性面8に対してほぼ平行に延びている。

[0047] トレンチ抵抗構造20は、第1主面3の平面積の1%以上25%以下の平面積を有していることが好ましい。トレンチ抵抗構造20の平面積は、第1主面3の平面積の5%以上20%以下であることが好ましい。トレンチ抵抗構造20は、法線方向Zに抵抗深さDRを有している。抵抗深さDRは、前述の外周深さDO以下であることが好ましい。抵抗深さDRは、この形態では、外周深さDOとほぼ等しい。抵抗深さDRは、0.1 μ m以上5 μ m以下であってもよい。抵抗深さDRは、2.5 μ m以下であることが好ましい。

[0048] トレンチ抵抗構造20は、抵抗トレンチ23、抵抗絶縁膜24、埋設抵抗25および埋設絶縁体26を含む。抵抗トレンチ23は、活性面8に形成され、トレンチ抵抗構造20の壁面（第1～第4側壁21A～21Dおよび底壁22）を区画している。

[0049] 抵抗絶縁膜24は、抵抗トレンチ23の壁面を被覆し、活性面8において主面絶縁膜18に接続されている。抵抗絶縁膜24は、酸化シリコン膜、窒化シリコン膜および酸窒化シリコン膜のうちの少なくとも1つを含んでもよい。抵抗絶縁膜24は、この形態では、酸化シリコン膜からなる単層構造を有している。抵抗絶縁膜24は、チップ2の酸化物からなる酸化シリコン膜を含むことが特に好ましい。

[0050] 埋設抵抗25は、抵抗絶縁膜24を挟んで抵抗トレンチ23内に配置されている。埋設抵抗25は、導電性ポリシリコン膜および合金結晶膜のうちの少なくとも1つを含む。合金結晶膜は、金属元素および非金属元素によって構成された合金結晶を含む。合金結晶膜は、CrSi膜、CrSiN膜、CrSiO膜、Ta₂N膜およびTiN膜のうちの少なくとも1つを含んでもよい。

もよい。埋設抵抗25は、この形態では、導電性ポリシリコンを含む。

[0051] 埋設抵抗25は、抵抗トレンチ23の周縁（第1～第4側壁21A～21D）から間隔を空けて抵抗トレンチ23の内方部に配置されている。つまり、埋設抵抗25は、抵抗トレンチ23内において膜状に延びる抵抗膜として形成されている。埋設抵抗25は、抵抗トレンチ23の周縁との間で抵抗絶縁膜24の一部を露出させる絶縁領域27を区画している。埋設抵抗25は、この形態では、抵抗トレンチ23の周縁の全周から内方に間隔を空けて形成されている。つまり、絶縁領域27は、平面視において第1～第4側壁21A～21Dに沿って延びる環状に区画されている。

[0052] 埋設抵抗25は、抵抗トレンチ23の中心部に対してトレンチ抵抗構造20の周縁部側に偏在していてもよい。つまり、埋設抵抗25は、トレンチ抵抗構造20の中心部から第1～第4側壁21A～21Dのうちの少なくとも1つの側壁に向けてずれていてもよい。埋設抵抗25は、この形態では、第2側壁21Bに対して第1側壁21A側に偏在している。つまり、第1側壁21Aおよび埋設抵抗25の間の距離は、第2側壁21Bおよび埋設抵抗25の間の距離よりも小さい。

[0053] 埋設抵抗25は、抵抗トレンチ23の抵抗深さDRよりも小さい抵抗厚さTRを有している。抵抗トレンチ23は、活性面8の高さ位置から抵抗トレンチ23の底壁22側に間隔を空けて形成された抵抗端面25aを有している。抵抗端面25aは、底壁22に対してほぼ平行に延びている。埋設抵抗25は、この形態では、断面視において抵抗端面25aに向けて幅が狭まる先細り形状（テーパ形状）に形成されている。

[0054] 抵抗端面25aは、抵抗トレンチ23の深さ方向中間部に対して抵抗トレンチ23の底壁22側に位置していてもよい。むしろ、抵抗端面25aは、抵抗トレンチ23の深さ方向中間部に対して活性面8側に位置していてもよい。抵抗厚さTRは、抵抗深さDRの $3/4$ 以下であることが好ましい。抵抗厚さTRは、抵抗深さDRの $1/2$ 以下であってもよい。抵抗厚さTRは、抵抗深さDRの $1/4$ 以下であってもよい。むしろ、抵抗厚さTRは、抵

抗深さDRの1/2よりも大きくてもよい。抵抗厚さTRは、0.05 μ m以上2.5 μ m以下であってもよい。

[0055] 抵抗厚さTRは、0.05 μ m以上0.1 μ m以下、0.1 μ m以上0.5 μ m以下、0.5 μ m以上1 μ m以下、1 μ m以上1.5 μ m以下、1.5 μ m以上2 μ m以下、および、2 μ m以上2.5 μ m以下のいずれか1つの範囲に属する値に設定されてもよい。埋設抵抗25が合金結晶膜からなる場合、抵抗厚さTRは、0.1nm以上100nm以下であってもよい。

[0056] 埋設抵抗25の平面形状および面積は任意であり、達成すべき抵抗値に応じて適宜調整される。埋設抵抗25は、この形態では、平面視において第1～第4側壁21A～21Dに平行な4辺を有する四角形状に形成されている。つまり、絶縁領域27は、平面視において第1～第4側壁21A～21Dに沿って延びる四角環状に区画されている。むろん、埋設抵抗25は、平面視において多角形状や円形状に形成されていてもよい。

[0057] 埋設抵抗25は、抵抗トレンチ23の面積の0.05倍以上0.5倍以下の面積を有していることが好ましい。埋設抵抗25の面積は、抵抗トレンチ23の面積の0.1倍以上0.25倍以下であることが特に好ましい。絶縁領域27の面積は、埋設抵抗25の面積よりも大きいことが好ましい。むろん、絶縁領域27の面積は、埋設抵抗25の面積以下に設定されてもよい。

[0058] 埋設絶縁体26は、抵抗トレンチ23内において埋設抵抗25を被覆している。埋設絶縁体26は、酸化シリコン膜、窒化シリコン膜および酸窒化シリコン膜のうちの少なくとも1つを含んでいてもよい。埋設絶縁体26は、この形態では、酸化シリコン膜を含む。埋設絶縁体26は、抵抗トレンチ23内において埋設抵抗25の全域および絶縁領域27の全域を被覆し、抵抗トレンチ23の周縁（第1～第4側壁21A～21D）において抵抗絶縁膜24に接続されている。

[0059] 埋設絶縁体26は、この形態では、抵抗トレンチ23の抵抗深さDR以下の絶縁厚さTIを有している。絶縁厚さTIは、抵抗絶縁膜24を基準とし

た埋設絶縁体26の厚さである。絶縁厚さT1は、この形態では、抵抗深さDR未満である。埋設絶縁体26は、活性面8の高さ位置から抵抗トレンチ23の底壁22側に間隔を空けて形成された絶縁端面26aを有している。絶縁端面26aは、抵抗絶縁膜24および埋設抵抗25に対してほぼ平行に延びている。

[0060] 絶縁厚さT1は、抵抗深さDRの3/4以下であってもよい。絶縁厚さT1は、抵抗深さDRの1/2以下であってもよい。絶縁厚さT1は、抵抗深さDRの1/4以下であってもよい。絶縁厚さT1は、埋設抵抗25の抵抗厚さTR以上であることが好ましい。むしろ、絶縁厚さT1は、抵抗厚さTR以下であってもよい。絶縁厚さT1は、0.1μm以上2.5μm以下であってもよい。絶縁厚さT1は、0.5μm以上1.5μm以下であることが好ましい。

[0061] 半導体装置1は、抵抗領域12においてトレンチ抵抗構造20に沿う領域に形成されたp型の第1ウェル領域28を含む。第1ウェル領域28は、この形態では、ボディ領域19よりも高いp型不純物濃度を有している。むしろ、第1ウェル領域28のp型不純物濃度は、ボディ領域19よりも低くてもよい。

[0062] 第1ウェル領域28は、トレンチ抵抗構造20の壁面（第1～第4側壁21A～21Dおよび底壁22）を被覆し、活性面8の表層部においてボディ領域19に電氣的に接続されている。第1ウェル領域28は、抵抗絶縁膜24を挟んで埋設抵抗25および埋設絶縁体26（絶縁領域27）に対向している。第1ウェル領域28は、第1半導体領域6の底部から活性面8側に間隔を空けて形成され、第1半導体領域6の一部を挟んで第2半導体領域7に対向している。第1ウェル領域28は、第1半導体領域6とpn接合部を形成している。

[0063] 半導体装置1は、活性領域13において第1主面3（活性面8）の表層部に形成されたn型のソース領域29を含む。具体的には、ソース領域29は、ボディ領域19の底部から活性面8側に間隔を空けてボディ領域19の表

層部に形成されている。ソース領域 29 は、抵抗領域 12、周縁領域 14、ダミー領域 15 および終端領域 16 には形成されていない。つまり、ソース領域 29 は、トレンチ抵抗構造 20 に沿う領域には形成されていない。

[0064] むろん、ソース領域 29 は、チャンネルの制御に影響を与えない範囲において、抵抗領域 12、周縁領域 14、ダミー領域 15 および終端領域 16 に形成されていてもよい。ソース領域 29 は、第 1 半導体領域 6 よりも高い n 型不純物濃度を有している。ソース領域 29 は、第 1 半導体領域 6 と共にボディ領域 19 内に MISFET のチャンネルを形成する。

[0065] 半導体装置 1 は、活性領域 13（第 1～第 3 活性領域 13A～13C）において第 1 主面 3（活性面 8）に形成された複数のトレンチゲート構造 30 を含む。複数のトレンチゲート構造 30 には、ゲート電位 VG が付与される。複数のトレンチゲート構造 30 は、ボディ領域 19 内におけるチャンネルの反転および非反転を制御する。

[0066] 複数のトレンチゲート構造 30 は、この形態では、活性面 8 の周縁から間隔を空けて活性面 8 の内方部に配置されている。具体的には、複数のトレンチゲート構造 30 は、第 1～第 4 接続面 10A～10D から第 1 方向 X および第 2 方向 Y に間隔を空けて配置され、活性面 8 の内方部に活性領域 13 を区画し、活性面 8 の周縁部に周縁領域 14 を区画している。複数のトレンチゲート構造 30 は、第 1 半導体領域 6 に至るようにボディ領域 19 およびソース領域 29 を貫通し、第 1 半導体領域 6 の底部から活性面 8 側に間隔を空けて形成されている。

[0067] 第 1 活性領域 13A 側の複数のトレンチゲート構造 30 は、第 2 接続面 10B およびトレンチ抵抗構造 20 の間の領域において第 1 方向 X に延びる帯状にそれぞれ形成され、第 2 方向 Y に間隔を空けて配列されている。第 1 活性領域 13A 側の複数のトレンチゲート構造 30 は、トレンチ抵抗構造 20 から第 2 方向 Y に間隔を空けて形成され、第 2 方向 Y にトレンチ抵抗構造 20 に対向している。複数のトレンチゲート構造 30 は、第 1 活性領域 13A において第 1 方向 X にトレンチ抵抗構造 20 よりも幅広に形成されている。

- [0068] 第2活性領域13B側の複数のトレンチゲート構造30は、第3接続面10Cおよびトレンチ抵抗構造20の間の領域において第1方向Xに延びる帯状にそれぞれ形成され、第2方向Yに間隔を空けて配列されている。第2活性領域13B側の複数のトレンチゲート構造30は、トレンチ抵抗構造20から第1方向Xに間隔を空けて形成され、第1方向Xにトレンチ抵抗構造20に対向している。第2活性領域13B側の複数のトレンチゲート構造30は、第1方向Xにトレンチ抵抗構造20よりも幅広に形成されている。むしろ、第2活性領域13B側の複数のトレンチゲート構造30はトレンチ抵抗構造20よりも幅狭に形成されていてもよい。
- [0069] 第3活性領域13C側のトレンチ抵抗構造20は、第4接続面10Dおよびトレンチ抵抗構造20の間の領域において第1方向Xに延びる帯状にそれぞれ形成され、第2方向Yに間隔を空けて配列されている。第3活性領域13C側の複数のトレンチゲート構造30は、トレンチ抵抗構造20から第1方向Xに間隔を空けて形成され、第1方向Xにトレンチ抵抗構造20に対向している。
- [0070] 第3活性領域13C側の複数のトレンチゲート構造30は、トレンチ抵抗構造20を挟んで第2活性領域13B側の複数のトレンチゲート構造30に1対1の対応関係に対向していてもよい。第3活性領域13C側の複数のトレンチゲート構造30は、第1方向Xにトレンチ抵抗構造20よりも幅広に形成されている。むしろ、第3活性領域13C側の複数のトレンチゲート構造30はトレンチ抵抗構造20よりも幅狭に形成されていてもよい。
- [0071] 以下、1つのトレンチゲート構造30が説明される。トレンチゲート構造30は、第2方向Yに第1幅W1を有し、法線方向Zに第1深さD1を有している。第1幅W1は、トレンチ抵抗構造20の幅未満である。第1幅W1は、トレンチ抵抗構造20の幅の $1/1000$ 以上 $1/10$ 以下であってもよい。第1幅W1は、トレンチ抵抗構造20の幅の $1/100$ 以上であることが好ましい。
- [0072] 第1幅W1は、 $0.1\mu\text{m}$ 以上 $3\mu\text{m}$ 以下であってもよい。第1幅W1は

、 $0.5\ \mu\text{m}$ 以上 $2\ \mu\text{m}$ 以下であることが好ましい。第1深さ D_1 は、前述の抵抗深さ D_R （外周深さ D_O ）未満である。第1深さ D_1 は、抵抗深さ D_R の $1/3$ 以上 $2/3$ 以下であってもよい。第1深さ D_1 は、 $0.1\ \mu\text{m}$ 以上 $3\ \mu\text{m}$ 以下であってもよい。第1深さ D_1 は、 $0.5\ \mu\text{m}$ 以上 $1.5\ \mu\text{m}$ 以下であることが好ましい。

[0073] 第2～第3活性領域13B～13Cにおいて、トレンチゲート構造30は、トレンチ抵抗構造20から第1方向Xに第1間隔 I_1 を空けて形成されている。第1間隔 I_1 は、第2方向Yに隣り合う2つのトレンチゲート構造30の間の距離未満であることが好ましい。第1間隔 I_1 は、第1幅 W_1 以上であってもよいし、第1幅 W_1 未満であってもよい。第1間隔 I_1 は、第1幅 W_1 の 0.5 倍以上 2 倍以下であることが好ましい。第1間隔 I_1 は、 $0.1\ \mu\text{m}$ 以上 $2.5\ \mu\text{m}$ 以下であってもよい。第1間隔 I_1 は、 $0.5\ \mu\text{m}$ 以上 $1.5\ \mu\text{m}$ 以下であることが好ましい。

[0074] トレンチゲート構造30は、ゲートトレンチ31、ゲート絶縁膜32およびゲート埋設電極33を含む。ゲートトレンチ31は、活性面8に形成され、トレンチゲート構造30の壁面を区画している。ゲート絶縁膜32は、ゲートトレンチ31の壁面を被覆し、活性面8において主面絶縁膜18に接続されている。ゲート絶縁膜32は、酸化シリコン膜、窒化シリコン膜および酸窒化シリコン膜のうちの少なくとも1つを含んでいてもよい。ゲート絶縁膜32は、この形態では、酸化シリコン膜からなる単層構造を有している。ゲート絶縁膜32は、チップ2の酸化物からなる酸化シリコン膜を含むことが特に好ましい。

[0075] ゲート埋設電極33は、ゲート絶縁膜32を挟んでゲートトレンチ31内に配置され、ゲート絶縁膜32を挟んでチャネルに対向している。ゲート埋設電極33は、導電性ポリシリコンを含んでいてもよい。ゲート埋設電極33は、この形態では、埋設抵抗25の抵抗端面25aの高さ位置に対して活性面8側に位置する端面を有している。ゲート埋設電極33の端面は、埋設絶縁体26の絶縁端面26aの高さ位置に対して活性面8側に位置して

もよい。

- [0076] 半導体装置 1 は、活性領域 1 3（第 1～第 3 活性領域 1 3 A～1 3 C）において第 1 主面 3（活性面 8）に形成された複数の第 1 トレンチソース構造 3 5 を含む。複数の第 1 トレンチソース構造 3 5 には、ソース電位 V_S が付与される。ソース電位 V_S は、動作基準となる基準電位（たとえばグランド電位）であってもよい。複数の第 1 トレンチソース構造 3 5 は、第 1 半導体領域 6 に至るようにボディ領域 1 9 およびソース領域 2 9 を貫通し、第 1 半導体領域 6 の底部から活性面 8 側に間隔を空けて形成されている。
- [0077] 第 1 活性領域 1 3 A 側の複数の第 1 トレンチソース構造 3 5 は、第 2 接続面 1 0 B およびトレンチ抵抗構造 2 0 の間の領域において、第 2 方向 Y に隣り合う 2 つのトレンチゲート構造 3 0 の間の領域にそれぞれ配置されている。第 1 活性領域 1 3 A 側の複数の第 1 トレンチソース構造 3 5 は、平面視において第 2 方向 Y に複数のトレンチゲート構造 3 0 と交互に配列され、第 1 方向 X に延びる帯状にそれぞれ形成されている。第 1 活性領域 1 3 A 側の複数の第 1 トレンチソース構造 3 5 は、この形態では、トレンチ抵抗構造 2 0 およびトレンチゲート構造 3 0 の間の領域に配置された第 1 トレンチソース構造 3 5 を含む。
- [0078] 第 1 活性領域 1 3 A 側の複数の第 1 トレンチソース構造 3 5 は、第 3 接続面 1 0 C および第 4 接続面 1 0 D のうちの少なくとも一方から露出するように第 1 周縁領域 1 4 A および第 2 周縁領域 1 4 B のうちの少なくとも一方に引き出されている。第 1 活性領域 1 3 A 側の複数の第 1 トレンチソース構造 3 5 は、この形態では、第 3 接続面 1 0 C および第 4 接続面 1 0 D の双方から露出している。第 1 活性領域 1 3 A 側の複数の第 1 トレンチソース構造 3 5 は、第 2 方向 Y にトレンチゲート構造 3 0 に対向し、周縁領域 1 4 において第 2 方向 Y にトレンチゲート構造 3 0 に対向していない。
- [0079] 第 2 活性領域 1 3 B 側の複数の第 1 トレンチソース構造 3 5 は、第 3 接続面 1 0 C およびトレンチ抵抗構造 2 0 の間の領域において、第 2 方向 Y に隣り合う 2 つのトレンチゲート構造 3 0 の間の領域にそれぞれ配置されている

。第2活性領域13B側の複数の第1トレンチソース構造35は、平面視において第2方向Yに複数のトレンチゲート構造30と交互に配列され、第1方向Xに延びる帯状にそれぞれ形成されている。

[0080] 第2活性領域13B側の複数の第1トレンチソース構造35は、トレンチ抵抗構造20から第1方向Xに間隔を空けて形成され、第1方向Xにトレンチ抵抗構造20に対向している。第2活性領域13B側の複数の第1トレンチソース構造35は、第1方向Xにトレンチ抵抗構造20よりも幅広に形成されている。むろん、第2活性領域13B側の複数の第1トレンチソース構造35は、第1方向Xにトレンチ抵抗構造20よりも幅狭に形成されていてもよい。

[0081] 第2活性領域13B側の複数の第1トレンチソース構造35は、第1周縁領域14Aに引き出され、第3接続面10Cから露出している。第2活性領域13B側の複数の第1トレンチソース構造35は、第2方向Yにトレンチゲート構造30に対向し、第1周縁領域14Aにおいて第2方向Yにトレンチゲート構造30に対向していない。

[0082] 第3活性領域13C側の複数の第1トレンチソース構造35は、第4接続面10Dおよびトレンチ抵抗構造20の間の領域において、第2方向Yに隣り合う2つのトレンチゲート構造30の間の領域にそれぞれ配置されている。第3活性領域13C側の複数の第1トレンチソース構造35は、平面視において第2方向Yに複数のトレンチゲート構造30と交互に配列され、第1方向Xに延びる帯状にそれぞれ形成されている。

[0083] 第3活性領域13C側の複数の第1トレンチソース構造35は、トレンチ抵抗構造20から第1方向Xに間隔を空けて形成され、第1方向Xにトレンチ抵抗構造20に対向している。第3活性領域13C側の複数の第1トレンチソース構造35は、トレンチ抵抗構造20を挟んで第2活性領域13B側の複数の第1トレンチソース構造35に1対1の対応関係に対向していてもよい。

[0084] 第3活性領域13C側の複数の第1トレンチソース構造35は、第1方向

Xにトレンチ抵抗構造20よりも幅広に形成されている。むろん、第3活性領域13C側の複数の第1トレンチソース構造35は、第1方向Xにトレンチ抵抗構造20よりも幅狭に形成されていてもよい。

[0085] 第3活性領域13C側の複数の第1トレンチソース構造35は、第2周縁領域14Bに引き出され、第4接続面10Dから露出している。第3活性領域13C側の複数の第1トレンチソース構造35は、第2方向Yにトレンチゲート構造30に対向し、第2周縁領域14Bにおいて第2方向Yにトレンチゲート構造30に対向していない。

[0086] 以下、1つの第1トレンチソース構造35が説明される。第1トレンチソース構造35は、第2方向Yに第2幅W2を有し、法線方向Zに第2深さD2を有している。第2幅W2は、トレンチ抵抗構造20の幅未満である。第2幅W2は、トレンチ抵抗構造20の幅の $1/1000$ 以上 $1/10$ 以下であってもよい。第2幅W2は、トレンチ抵抗構造20の幅の $1/100$ 以上であることが好ましい。第2幅W2は、前述の第1幅W1とほぼ等しいことが好ましい。第2幅W2は、 $0.1\mu\text{m}$ 以上 $3\mu\text{m}$ 以下であってもよい。第2幅W2は、 $0.5\mu\text{m}$ 以上 $2\mu\text{m}$ 以下であることが好ましい。

[0087] 第2深さD2は、前述の第1深さD1以上である。第2深さD2は、この形態では、第1深さD1よりも大きい。第2深さD2は、第1深さD1の 1.5 倍以上 3 倍以下であることが好ましい。第2深さD2は、前述の抵抗深さDR（外周深さD0）とほぼ等しいことが特に好ましい。第2深さD2は、 $0.1\mu\text{m}$ 以上 $5\mu\text{m}$ 以下であってもよい。第2深さD2は、 $2.5\mu\text{m}$ 以下であることが特に好ましい。

[0088] 第1トレンチソース構造35は、第2方向Yにトレンチ抵抗構造20およびトレンチゲート構造30から第2間隔I2を空けて配置されている。第2間隔I2は、第2幅W2の 0.5 倍以上 2 倍以下であることが好ましい。第2間隔I2は、第2幅W2未満であることが特に好ましい。第2間隔I2は、 $0.1\mu\text{m}$ 以上 $2.5\mu\text{m}$ 以下であってもよい。第2間隔I2は、 $0.5\mu\text{m}$ 以上 $1.5\mu\text{m}$ 以下であることが好ましい。

- [0089] 第2～第3活性領域13B～13Cにおいて、第1トレンチソース構造35は、第1方向Xにトレンチ抵抗構造20から第3間隔13を空けて配置されている。第3間隔13は、第2方向Yに隣り合う2つの第1トレンチソース構造35（トレンチゲート構造30）の間の距離未満であることが好ましい。
- [0090] 第3間隔13は、第2幅W2以上であってもよいし、第2幅W2未満であってもよい。第3間隔13は、第2幅W2の0.5倍以上2倍以下であることが好ましい。第3間隔13は、前述の第1間隔11とほぼ等しいことが好ましい。第3間隔13は、0.1 μ m以上2.5 μ m以下であってもよい。第3間隔13は、0.5 μ m以上1.5 μ m以下であることが好ましい。
- [0091] 第1トレンチソース構造35は、第1ソーストレンチ36、第1ソース絶縁膜37および第1ソース埋設電極38を含む。第1ソーストレンチ36は、活性面8に形成され、第1トレンチソース構造35の壁面を区画している。第1ソーストレンチ36の側壁は、第3接続面10Cおよび第4接続面10Dのいずれか一方または双方から露出している。第1ソーストレンチ36の底壁は、外周面9に連通している。
- [0092] 第1ソース絶縁膜37は、第1ソーストレンチ36の壁面を被覆し、活性面8において主面絶縁膜18に接続されている。第1ソース絶縁膜37は、第3接続面10Cの連通部（第4接続面10Dの連通部）および外周面9の連通部において主面絶縁膜18に接続されている。第1ソース絶縁膜37は、酸化シリコン膜、窒化シリコン膜および酸窒化シリコン膜のうちの少なくとも1つを含んでいてもよい。第1ソース絶縁膜37は、この形態では、酸化シリコン膜からなる単層構造を有している。第1ソース絶縁膜37は、チップ2の酸化物からなる酸化シリコン膜を含むことが特に好ましい。
- [0093] 第1ソース埋設電極38は、第1ソース絶縁膜37を挟んで第1ソーストレンチ36内に配置されている。第1ソース埋設電極38は、導電性ポリシリコンを含んでいてもよい。第1ソース埋設電極38は、この形態では、埋設抵抗25の抵抗端面25aの高さ位置に対して活性面8側に位置する端面

を有している。第1ソース埋設電極38の端面は、埋設絶縁体26の絶縁端面26aの高さ位置に対して活性面8側に位置していてもよい。

[0094] 半導体装置1は、周縁領域14（第1～第2周縁領域14A～14B）において第1主面3（活性面8）に形成された複数の第2トレンチソース構造40を含む。複数の第2トレンチソース構造40には、ソース電位VSが付与される。複数の第2トレンチソース構造40は、第1半導体領域6に至るようにボディ領域19を貫通し、第1半導体領域6の底部から活性面8側に間隔を空けて形成されている。

[0095] 第1周縁領域14A側の複数の第2トレンチソース構造40は、第3接続面10Cおよび複数のトレンチゲート構造30の間の領域において第2方向Yに隣り合う2つの第1トレンチソース構造35の間の領域に配置され、第1方向Xに複数のトレンチゲート構造30に1対1の対応関係で対向している。第1周縁領域14A側の複数の第2トレンチソース構造40は、平面視において第1方向Xに延びる帯状にそれぞれ形成されている。第1周縁領域14A側の複数の第2トレンチソース構造40は、第3接続面10Cから露出している。

[0096] 第2周縁領域14B側の複数の第2トレンチソース構造40は、第4接続面10Dおよび複数のトレンチゲート構造30の間の領域において第2方向Yに隣り合う2つの第1トレンチソース構造35の間の領域に配置され、第1方向Xに複数のトレンチゲート構造30に1対1の対応関係で対向している。第2周縁領域14B側の複数の第2トレンチソース構造40は、平面視において第1方向Xに延びる帯状にそれぞれ形成されている。第2周縁領域14B側の複数の第2トレンチソース構造40は、第4接続面10Dから露出している。

[0097] 以下、1つの第2トレンチソース構造40が説明される。第2トレンチソース構造40は、第2方向Yに第3幅W3を有し、法線方向Zに第3深さD3を有している。第3幅W3は、前述の第2幅W2（第1幅W1）とほぼ等しいことが好ましい。第3幅W3は、0.1 μ m以上3 μ m以下であっても

よい。第3幅 W_3 は、 $0.5\ \mu\text{m}$ 以上 $2\ \mu\text{m}$ 以下であることが好ましい。

[0098] 第3深さ D_3 は、前述の第1深さ D_1 以上である。第3深さ D_3 は、この形態では、第1深さ D_1 よりも大きい。第3深さ D_3 は、第1深さ D_1 の 1.5 倍以上 3 倍以下であることが好ましい。第3深さ D_3 は、前述の第2深さ D_2 （抵抗深さ D_R ）とほぼ等しいことが特に好ましい。第3深さ D_3 は、 $0.1\ \mu\text{m}$ 以上 $5\ \mu\text{m}$ 以下であってもよい。第2深さ D_2 は、 $2.5\ \mu\text{m}$ 以下であることが特に好ましい。

[0099] 第2トレンチソース構造 4_0 は、第2方向 Y に第1トレンチソース構造 3_5 から第4間隔 I_4 を空けて配置されている。第4間隔 I_4 は、第3幅 W_3 （第2幅 W_2 ）の 0.5 倍以上 2 倍以下であることが好ましい。第4間隔 I_4 は、第3幅 W_3 （第2幅 W_2 ）未満であることが特に好ましい。第4間隔 I_4 は、前述の第2間隔 I_2 とほぼ等しいことが好ましい。第4間隔 I_4 は、 $0.1\ \mu\text{m}$ 以上 $2.5\ \mu\text{m}$ 以下であってもよい。第4間隔 I_4 は、 $0.5\ \mu\text{m}$ 以上 $1.5\ \mu\text{m}$ 以下であることが好ましい。

[0100] 第2トレンチソース構造 4_0 は、第1方向 X にトレンチゲート構造 3_0 から第5間隔 I_5 を空けて配置されている。第5間隔 I_5 は、第3幅 W_3 （第2幅 W_2 ）の 0.5 倍以上 2 倍以下であることが好ましい。第5間隔 I_5 は、第4間隔 I_4 の 0.5 倍以上 2 倍以下であることが好ましい。第5間隔 I_5 は、第4間隔 I_4 の 1.5 倍以下であることが特に好ましい。第5間隔 I_5 は、前述の第1間隔 I_1 （第3間隔 I_3 ）とほぼ等しいことが好ましい。第5間隔 I_5 は、第4間隔 I_4 とほぼ等しくてもよい。第5間隔 I_5 は、 $0.1\ \mu\text{m}$ 以上 $2.5\ \mu\text{m}$ 以下であってもよい。第5間隔 I_5 は、 $0.5\ \mu\text{m}$ 以上 $1.5\ \mu\text{m}$ 以下であることが好ましい。

[0101] 第2トレンチソース構造 4_0 は、第2ソーストレンチ 4_1 、第2ソース絶縁膜 4_2 および第2ソース埋設電極 4_3 を含む。第2ソーストレンチ 4_1 は、活性面 8 に形成され、第2トレンチソース構造 4_0 の壁面を区画している。第2ソーストレンチ 4_1 の側壁は、第3接続面 1_0C （第4接続面 1_0D ）に連通している。第2ソーストレンチ 4_1 の底壁は、外周面 9 に連通して

いる。

- [0102] 第2ソース絶縁膜42は、第2ソーストレンチ41の壁面を被覆し、活性面8において主面絶縁膜18に接続されている。第2ソース絶縁膜42は、第3接続面10Cの連通部（第4接続面10Dの連通部）および外周面9の連通部において主面絶縁膜18に接続されている。第2ソース絶縁膜42は、酸化シリコン膜、窒化シリコン膜および酸窒化シリコン膜のうちの少なくとも1つを含んでいてもよい。第2ソース絶縁膜42は、この形態では、酸化シリコン膜からなる単層構造を有している。第2ソース絶縁膜42は、チップ2の酸化物からなる酸化シリコン膜を含むことが特に好ましい。
- [0103] 第2ソース埋設電極43は、第2ソース絶縁膜42を挟んで第2ソーストレンチ41内に配置されている。第2ソース埋設電極43は、導電性ポリシリコンを含んでいてもよい。第2ソース埋設電極43は、この形態では、埋設抵抗25の抵抗端面25aの高さ位置に対して活性面8側に位置する端面を有している。第2ソース埋設電極43の端面は、埋設絶縁体26の絶縁端面26aの高さ位置に対して活性面8側に位置していてもよい。
- [0104] 半導体装置1は、活性領域13において複数のトレンチゲート構造30に沿う領域に形成されたp型の複数の第2ウェル領域45を含む。第2ウェル領域45は、この形態では、ボディ領域19よりも高いp型不純物濃度を有している。むろん、第2ウェル領域45のp型不純物濃度は、ボディ領域19よりも低くてもよい。第2ウェル領域45のp型不純物濃度は、第1ウェル領域28のp型不純物濃度とほぼ等しいことが好ましい。
- [0105] 複数の第2ウェル領域45は、隣り合う第1トレンチソース構造35から間隔を空けて対応するトレンチゲート構造30の壁面を被覆し、活性面8の表層部においてボディ領域19に電氣的に接続されている。複数の第2ウェル領域45は、第1半導体領域6の底部から活性面8側に間隔を空けて形成され、第1半導体領域6の一部を挟んで第2半導体領域7に対向している。複数の第2ウェル領域45の底部は、第1ウェル領域28の底部の深さ位置に対して活性面8側に位置している。複数の第2ウェル領域45は、第1半

導体領域 6 と p n 接合部を形成している。

- [0106] 半導体装置 1 は、活性領域 1 3 および周縁領域 1 4 において複数の第 1 トレンチソース構造 3 5 に沿う領域に形成された p 型の複数の第 3 ウェル領域 4 6 を含む。第 3 ウェル領域 4 6 は、この形態では、ボディ領域 1 9 よりも高い p 型不純物濃度を有している。むろん、第 3 ウェル領域 4 6 の p 型不純物濃度は、ボディ領域 1 9 よりも低くてもよい。第 3 ウェル領域 4 6 の p 型不純物濃度は、第 1 ウェル領域 2 8 (第 2 ウェル領域 4 5) の p 型不純物濃度とほぼ等しいことが好ましい。
- [0107] 複数の第 3 ウェル領域 4 6 は、隣り合うトレンチゲート構造 3 0 から間隔を空けて対応する第 1 トレンチソース構造 3 5 の壁面を被覆し、活性面 8 の表層部においてボディ領域 1 9 に電氣的に接続されている。複数の第 3 ウェル領域 4 6 は、活性領域 1 3 および周縁領域 1 4 において対応する第 1 トレンチソース構造 3 5 の壁面を被覆し、第 3 接続面 1 0 C および第 4 接続面 1 0 D から露出している。
- [0108] 複数の第 3 ウェル領域 4 6 は、第 1 半導体領域 6 の底部から活性面 8 側に間隔を空けて形成され、第 1 半導体領域 6 の一部を挟んで第 2 半導体領域 7 に対向している。複数の第 3 ウェル領域 4 6 の底部は、複数の第 2 ウェル領域 4 5 の底部の深さ位置に対して第 1 半導体領域 6 の底部側に位置している。複数の第 3 ウェル領域 4 6 の底部は、第 1 ウェル領域 2 8 の底部とほぼ等しい深さに形成されている。複数の第 3 ウェル領域 4 6 は、第 1 半導体領域 6 と p n 接合部を形成している。
- [0109] 半導体装置 1 は、周縁領域 1 4 において複数の第 2 トレンチソース構造 4 0 に沿う領域に形成された p 型の複数の第 4 ウェル領域 4 7 を含む。第 4 ウェル領域 4 7 は、この形態では、ボディ領域 1 9 よりも高い p 型不純物濃度を有している。むろん、第 4 ウェル領域 4 7 の p 型不純物濃度は、ボディ領域 1 9 よりも低くてもよい。第 4 ウェル領域 4 7 の p 型不純物濃度は、第 1 ウェル領域 2 8 (第 3 ウェル領域 4 6) の p 型不純物濃度とほぼ等しいことが好ましい。

- [0110] 複数の第4ウェル領域47は、隣り合うトレンチゲート構造30および第1トレンチソース構造35から間隔を空けて対応する第2トレンチソース構造40の壁面を被覆し、活性面8の表層部においてボディ領域19に電氣的に接続されている。むろん、第4ウェル領域47は、トレンチゲート構造30および第2トレンチソース構造40の間の領域において第2ウェル領域45と一体化していてもよい。複数の第4ウェル領域47は、第3接続面10Cまたは第4接続面10Dから露出している。
- [0111] 複数の第4ウェル領域47は、第1半導体領域6の底部から活性面8側に間隔を空けて形成され、第1半導体領域6の一部を挟んで第2半導体領域7に対向している。複数の第4ウェル領域47の底部は、複数の第2ウェル領域45の底部の深さ位置に対して第1半導体領域6の底部側に位置している。複数の第4ウェル領域47の底部は、第1ウェル領域28（第3ウェル領域46）の底部とほぼ等しい深さに形成されている。複数の第4ウェル領域47は、第1半導体領域6とpn接合部を形成している。
- [0112] 半導体装置1は、活性領域13において複数の第1トレンチソース構造35に沿う領域に形成されたp型の複数の第1コンタクト領域48を含む。第1コンタクト領域48は、ボディ領域19よりも高いp型不純物濃度を有している。第1コンタクト領域48のp型不純物濃度は、この形態では、第3ウェル領域46よりも高い。
- [0113] 複数の第1コンタクト領域48は、対応する第3ウェル領域46内において対応する第1トレンチソース構造35の壁面を被覆している。複数の第1コンタクト領域48は、各第1トレンチソース構造35に対して1対多の対応関係で形成されている。複数の第1コンタクト領域48は、対応する第1トレンチソース構造35に沿って間隔を空けて形成されている。
- [0114] 複数の第1コンタクト領域48は、対応する第3ウェル領域46内から対応する第1トレンチソース構造35の壁面に沿ってボディ領域19の表層部に引き出され、活性面8から露出している。複数の第1コンタクト領域48は、活性領域13に形成され、周縁領域14には形成されていない。つまり

、複数の第1コンタクト領域48は、第2方向Yにトレンチゲート構造30に対向し、第2方向Yに第2トレンチソース構造40に対向していない。第1コンタクト領域48は、第4ウェル領域47内に形成されていない。

[0115] 複数の第1コンタクト領域48は、この形態では、平面視において第1方向Xに延びる帯状にそれぞれ形成されている。複数の第1コンタクト領域48の第1方向Xの長さは、第1トレンチソース構造35の第2幅W2以上であることが好ましい。複数の第1コンタクト領域48の長さは、第1方向Xに隣り合う2つの第1コンタクト領域48の間の距離よりも大きいことが好ましい。

[0116] 1つの第1トレンチソース構造35に沿う複数の第1コンタクト領域48は、他の第1トレンチソース構造35に沿う複数の第1コンタクト領域48に第2方向Yに対向している。つまり、複数の第1コンタクト領域48は、この形態では、平面視において全体として第1方向Xおよび第2方向Yに間隔を空けて行列状に配列されている。

[0117] 1つの第1トレンチソース構造35に沿う複数の第1コンタクト領域48は、他の第1トレンチソース構造35に沿う複数の第1コンタクト領域48の間の領域に第2方向Yに対向するように第1方向Xにずれて配列されていてもよい。つまり、複数の第1コンタクト領域48は、平面視において全体として第1方向Xおよび第2方向Yに間隔を空けて千鳥状に配列されていてもよい。

[0118] 図7、図9および図14を参照して、半導体装置1は、活性領域13において第1主面3（活性面8）の上で複数のトレンチゲート構造30の端部および中間部をそれぞれ被覆する複数のゲート接続電極膜49を含む。複数のゲート接続電極膜49は、具体的には、主面絶縁膜18の上に配置されている。複数のゲート接続電極膜49は、複数の第1トレンチソース構造35および複数の第2トレンチソース構造40から間隔を空けて対応するトレンチゲート構造30の端部および中間部をそれぞれ被覆している。

[0119] 複数のゲート接続電極膜49は、平面視において第2方向Yに複数の第1

トレンチソース構造 35 と交互に配列されている。複数のゲート接続電極膜 49 は、この形態では、第 1 方向 X に延びる帯状にそれぞれ形成されている。複数のゲート接続電極膜 49 は、平面視において第 2 方向 Y に複数の第 2 トレンチソース構造 40 に対向していない。以下、1 つのゲート接続電極膜 49 が説明される。

[0120] ゲート接続電極膜 49 は、対応するトレンチゲート構造 30 を被覆する部分において対応するゲート埋設電極 33 に接続されている。ゲート接続電極膜 49 は、この形態では、対応するゲート埋設電極 33 と一体的に形成されている。つまり、ゲート接続電極膜 49 は、ゲート埋設電極 33 の一部が活性面 8（主面絶縁膜 18）の上に膜状に引き出された部分からなる。むしろ、ゲート接続電極膜 49 は、ゲート埋設電極 33 とは別体的に形成されていてもよい。

[0121] ゲート接続電極膜 49 は、活性面 8 に沿って延びる電極面 49 a を有している。電極面 49 a は、埋設抵抗 25 の抵抗端面 25 a よりも上方に位置している。電極面 49 a は、埋設絶縁体 26 の絶縁端面 26 a よりも上方に位置している。ゲート接続電極膜 49 は、この形態では、断面視において電極面 49 a に向けて幅が狭まる先細り形状（テーパ形状）に形成されている。

[0122] 電極面 49 a は、第 2 方向 Y に関してトレンチゲート構造 30 よりも幅広に形成されていることが好ましい。電極面 49 a は、法線方向 Z にトレンチゲート構造 30 に対向する部分、および、法線方向 Z にトレンチゲート構造 30 外の領域（つまり主面絶縁膜 18）に対向する部分を有していることが好ましい。

[0123] ゲート接続電極膜 49 は、この形態では、導電性ポリシリコンを含む。ゲート接続電極膜 49 は、電極厚さ TE を有している。電極厚さ TE は、前述の第 1 幅 W1 の 0.5 倍以上であることが好ましい。電極厚さ TE は、前述の抵抗深さ DR（第 2 深さ D2）以下であることが好ましい。電極厚さ TE は、抵抗深さ DR（第 2 深さ D2）未満であること特に好ましい。

[0124] 電極厚さ TE は、前述の第 1 深さ D1 以下であることが好ましい。電極厚

さTEは、第1深さD1未満であることが特に好ましい。電極厚さTEは、抵抗厚さTRとほぼ等しくてもよい。電極厚さTEは、抵抗厚さTR以上であってもよい。電極厚さTEは、抵抗厚さTR未満であってもよい。電極厚さTEは、 $0.05\mu\text{m}$ 以上 $2.5\mu\text{m}$ 以下であってもよい。電極厚さTEは、 $0.5\mu\text{m}$ 以上 $1.5\mu\text{m}$ 以下であることが好ましい。むしろ、電極厚さTEは、第1深さD1よりも大きくてもよい。また、電極厚さTEは、抵抗深さDR（第2深さD2）以上であってもよい。

[0125] 図18は、抵抗領域12、活性領域13およびダミー領域15のレイアウトを示す拡大平面図である。図19は、活性領域13、周縁領域14およびダミー領域15のレイアウトを示す拡大平面図である。図20は、図18に示すXX-XX線に沿う断面図である。図21は、図18に示すXXI-XXI線に沿う断面図である。図22は、図18に示すXXII-XXII線に沿う断面図である。

[0126] 図18～図22を参照して、半導体装置1は、ダミー領域15（第1～第3ダミー領域15A～15C）において第1主面3（活性面8）に形成された複数のダミートレンチ構造50を含む。複数のダミートレンチ構造50には、トレンチ抵抗構造20とは異なる電位が付与される。複数のダミートレンチ構造50には、ソース電位VSが付与される。複数のダミートレンチ構造50は、第1半導体領域6に至るようにボディ領域19を貫通し、第1半導体領域6の底部から活性面8側に間隔を空けて形成されている。

[0127] 複数のダミートレンチ構造50は、活性領域13の近傍およびトレンチ抵抗構造20の近傍における局所的な電界集中を緩和し、耐圧（たとえばブレークダウン電圧）を向上させることを1つの目的として活性面8に組み込まれている。複数のダミートレンチ構造50（ダミー領域15）の有無は任意であり、複数のダミートレンチ構造50（ダミー領域15）を備えない形態が採用されてもよい。

[0128] 第1ダミー領域15A側の複数のダミートレンチ構造50は、第3接続面10Cおよびトレンチ抵抗構造20の間の領域において第1方向Xに延びる帯状にそれぞれ形成され、第2方向Yに間隔を空けて配列されている。第1

ダミー領域 15 A 側の複数のダミートレンチ構造 50 は、トレンチ抵抗構造 20 から第 1 方向 X に間隔を空けて形成され、第 1 方向 X にトレンチ抵抗構造 20 に対向している。

[0129] 第 1 ダミー領域 15 A 側の複数のダミートレンチ構造 50 は、第 2 方向 Y に複数のトレンチゲート構造 30 および複数の第 1 トレンチソース構造 35 に対向している。第 1 ダミー領域 15 A 側の複数のダミートレンチ構造 50 は、第 3 接続面 10 C を貫通し、第 3 接続面 10 C から露出している。つまり、第 1 ダミー領域 15 A 側の複数のダミートレンチ構造 50 は、第 2 方向 Y に複数の第 2 トレンチソース構造 40 に対向している。

[0130] 第 2 ダミー領域 15 B 側の複数のダミートレンチ構造 50 は、第 4 接続面 10 D およびトレンチ抵抗構造 20 の間の領域において第 1 方向 X に延びる帯状にそれぞれ形成され、第 2 方向 Y に間隔を空けて配列されている。第 2 ダミー領域 15 B 側の複数のダミートレンチ構造 50 は、トレンチ抵抗構造 20 から第 1 方向 X に間隔を空けて形成され、第 1 方向 X にトレンチ抵抗構造 20 に対向している。第 2 ダミー領域 15 B 側の複数のダミートレンチ構造 50 は、トレンチ抵抗構造 20 を挟んで第 1 ダミー領域 15 A 側の複数のダミートレンチ構造 50 に 1 対 1 の対応関係に対向していてもよい。

[0131] 第 2 ダミー領域 15 B 側の複数のダミートレンチ構造 50 は、第 2 方向 Y に複数のトレンチゲート構造 30 および複数の第 1 トレンチソース構造 35 に対向している。第 2 ダミー領域 15 B 側の複数のダミートレンチ構造 50 は、第 4 接続面 10 D を貫通し、第 4 接続面 10 D から露出している。つまり、第 2 ダミー領域 15 B 側の複数のダミートレンチ構造 50 は、第 2 方向 Y に複数の第 2 トレンチソース構造 40 に対向している。

[0132] 第 3 ダミー領域 15 C 側の複数のダミートレンチ構造 50 は、第 2 接続面 10 B および第 1 活性領域 13 A の間の領域において第 1 方向 X に延びる帯状にそれぞれ形成され、第 2 方向 Y に間隔を空けて配列されている。第 3 ダミー領域 15 C 側の複数のダミートレンチ構造 50 は、第 3 接続面 10 C および第 4 接続面 10 D のうちの少なくとも一方を貫通し、第 3 接続面 10 C

および第4 接続面 10Dのうちの少なくとも一方から露出している。

[0133] 第3 ダミー領域 15C側の複数のダミートレンチ構造 50は、この形態では、第3 接続面 10Cおよび第4 接続面 10Dの双方から露出している。第3 ダミー領域 15C側の複数のダミートレンチ構造 50は、第2 方向Yに複数のトレンチゲート構造 30、複数の第1 トレンチソース構造 35および複数の第2 トレンチソース構造 40に対向している。

[0134] 複数のダミートレンチ構造 50は、この形態では、複数の第1 ダミートレンチ構造 51、および、複数の第1 ダミートレンチ構造 51よりも深い複数の第2 ダミートレンチ構造 52を含む。複数の第1 ダミートレンチ構造 51は、第1 方向Xに延びる帯状にそれぞれ形成され、第2 方向Yに間隔を空けて配列されている。複数の第1 ダミートレンチ構造 51は、第1～第3 ダミー領域 15A～15Cにおいて第3 接続面 10Cおよび第4 接続面 10Dのいずれか一方または双方から露出している。

[0135] 複数の第1 ダミートレンチ構造 51は、第1～第2 ダミー領域 15A～15Bにおいて第1 方向Xにトレンチ抵抗構造 20に対向し、第2 方向Yに複数のトレンチゲート構造 30、複数の第1 トレンチソース構造 35および複数の第2 トレンチソース構造 40に対向している。複数の第1 ダミートレンチ構造 51は、第1 半導体領域 6に至るようにボディ領域 19を貫通している。複数の第1 ダミートレンチ構造 51は、第1 半導体領域 6の底部から活性面 8側に間隔を空けて形成されている。

[0136] 以下、1つの第1 ダミートレンチ構造 51が説明される。第1 ダミートレンチ構造 51は、第2 方向Yに第4 幅W4を有し、法線方向Zに第4 深さD4を有している。第4 幅W4は、前述の第1 幅W1とほぼ等しいことが好ましい。第4 幅W4は、0.1 μm 以上3 μm 以下であってもよい。第4 幅W4は、0.5 μm 以上2 μm 以下であることが好ましい。

[0137] 第4 深さD4は、前述の抵抗深さDR（第2 深さD2）未満である。第4 深さD4は、抵抗深さDR（第2 深さD2）の1/3以上2/3以下であってもよい。第4 深さD4は、前述の第1 深さD1とほぼ等しいことが好まし

い。第4深さD4は、0.1 μm 以上3 μm 以下であってもよい。第4深さD4は、0.5 μm 以上1.5 μm 以下であることが好ましい。

[0138] 第1ダミートレンチ構造51は、第1方向Xにトレンチ抵抗構造20から第6間隔I6を空けて配置されている。第6間隔I6は、第4幅W4の0.5倍以上2倍以下であることが好ましい。第6間隔I6は、前述の第1間隔I1とほぼ等しくてもよい。第6間隔I6は、0.1 μm 以上2.5 μm 以下であってもよい。第6間隔I6は、0.5 μm 以上1.5 μm 以下であることが好ましい。活性領域13側の最外の第1ダミートレンチ構造51は、この形態では、第2方向Yに最外の第1トレンチソース構造35に隣り合うように最外の第1トレンチソース構造35から前述の第2間隔I2を空けて配置されている。

[0139] 第1ダミートレンチ構造51は、第1ダミートレンチ53、第1ダミー絶縁膜54および第1ダミー埋設電極55を含む。第1ダミートレンチ53は、活性面8に形成され、第1ダミートレンチ構造51の壁面を区画している。第1ダミートレンチ53の側壁および底壁は、第3接続面10C（第4接続面10D）に連通している。

[0140] 第1ダミー絶縁膜54は、第1ダミートレンチ53の壁面を被覆し、活性面8において主面絶縁膜18に接続されている。第1ダミー絶縁膜54は、第3接続面10Cの連通部（第4接続面10Dの連通部）において主面絶縁膜18に接続されている。第1ダミー絶縁膜54は、酸化シリコン膜、窒化シリコン膜および酸窒化シリコン膜のうちの少なくとも1つを含んでいてもよい。第1ダミー絶縁膜54は、この形態では、酸化シリコン膜からなる単層構造を有している。第1ダミー絶縁膜54は、チップ2の酸化物からなる酸化シリコン膜を含むことが特に好ましい。

[0141] 第1ダミー埋設電極55は、第1ダミー絶縁膜54を挟んで第1ダミートレンチ53内に配置されている。第1ダミー埋設電極55は、導電性ポリシリコンを含んでいてもよい。第1ダミー埋設電極55は、埋設抵抗25の抵抗端面25aの高さ位置に対して活性面8側に位置する端面を有している。

第1ダミー埋設電極55の端面は、埋設絶縁体26の絶縁端面26aの高さ位置に対して活性面8側に位置していてもよい。

[0142] 複数の第2ダミートレンチ構造52は、第2方向Yに隣り合う2つの第1ダミートレンチ構造51の間の領域に配置されている。複数の第2ダミートレンチ構造52は、第2方向Yに複数の第1ダミートレンチ構造51と交互に配列され、第1方向Xに延びる帯状にそれぞれ形成されている。複数の第2ダミートレンチ構造52は、第1～第3ダミー領域15A～15Cにおいて第3接続面10Cおよび第4接続面10Dのいずれか一方または双方から露出している。

[0143] 複数の第2ダミートレンチ構造52は、第1～第2ダミー領域15A～15Bにおいて第1方向Xにトレンチ抵抗構造20に対向し、第2方向Yに複数のトレンチゲート構造30、複数の第1トレンチソース構造35、複数の第2トレンチソース構造40および複数の第1ダミートレンチ構造51に対向している。複数の第2ダミートレンチ構造52は、第1半導体領域6に至るようにボディ領域19を貫通している。複数の第2ダミートレンチ構造52は、第1半導体領域6の底部から活性面8側に間隔を空けて形成されている。

[0144] 以下、1つの第2ダミートレンチ構造52が説明される。第2ダミートレンチ構造52は、第2方向Yに第5幅W5を有し、法線方向Zに第5深さD5を有している。第5幅W5は、前述の第2幅W2（第1幅W1）とほぼ等しいことが好ましい。第5幅W5は、0.1 μ m以上3 μ m以下であってもよい。第5幅W5は、0.5 μ m以上2 μ m以下であることが好ましい。

[0145] 第5深さD5は、前述の第4深さD4（第1深さD1）以上である。第5深さD5は、この形態では、第4深さD4（第1深さD1）よりも大きい。第5深さD5は、第4深さD4（第1深さD1）の1.5倍以上3倍以下であることが好ましい。第5深さD5は、前述の抵抗深さDR（外周深さD0）とほぼ等しいことが特に好ましい。第5深さD5は、0.1 μ m以上5 μ m以下であってもよい。第5深さD5は、2.5 μ m以下であることが特に

好ましい。

[0146] 第2ダミートレンチ構造52は、第2方向Yに第1ダミートレンチ構造51から第7間隔17を空けて配置されている。第7間隔17は、第5幅W5の0.5倍以上2倍以下であることが好ましい。第7間隔17は、第5幅W5未満であることが特に好ましい。第7間隔17は、前述の第2間隔12とほぼ等しいことが好ましい。第7間隔17は、0.1 μ m以上2.5 μ m以下であってもよい。第7間隔17は、0.5 μ m以上1.5 μ m以下であることが好ましい。

[0147] 第2ダミートレンチ構造52は、第1方向Xにトレンチ抵抗構造20から第8間隔18を空けて配置されている。第8間隔18は、第5幅W5の0.5倍以上2倍以下であることが好ましい。第8間隔18は、前述の第1間隔11とほぼ等しくてもよい。第8間隔18は、0.1 μ m以上2.5 μ m以下であってもよい。第8間隔18は、0.5 μ m以上1.5 μ m以下であることが好ましい。

[0148] 第2ダミートレンチ構造52は、第2ダミートレンチ56、第2ダミー絶縁膜57および第2ダミー埋設電極58を含む。第2ダミートレンチ56は、活性面8に形成され、第2ダミートレンチ構造52の壁面を区画している。第2ダミートレンチ56の側壁は、第3接続面10C（第4接続面10D）に連通している。また、第2ダミートレンチ56の底壁は、外周面9に連通している。

[0149] 第2ダミー絶縁膜57は、第2ダミートレンチ56の壁面を被覆し、活性面8において主面絶縁膜18に接続されている。第2ダミー絶縁膜57は、第3接続面10Cの連通部（第4接続面10Dの連通部）および外周面9の連通部において主面絶縁膜18に接続されている。第2ダミー絶縁膜57は、酸化シリコン膜、窒化シリコン膜および酸窒化シリコン膜のうちの少なくとも1つを含んでいてもよい。第2ダミー絶縁膜57は、この形態では、酸化シリコン膜からなる単層構造を有している。第2ダミー絶縁膜57は、チップ2の酸化物からなる酸化シリコン膜を含むことが特に好ましい。

- [0150] 第2ダミー埋設電極58は、第2ダミー絶縁膜57を挟んで第2ダミートレンチ56内に配置されている。第2ダミー埋設電極58は、導電性ポリシリコンを含んでいてもよい。第2ダミー埋設電極58は、埋設抵抗25の抵抗端面25aの高さ位置に対して活性面8側に位置する端面を有している。第2ダミー埋設電極58の端面は、埋設絶縁体26の絶縁端面26aの高さ位置に対して活性面8側に位置していてもよい。
- [0151] 半導体装置1は、ダミー領域15において複数の第1ダミートレンチ構造51に沿う領域に形成されたp型の複数の第5ウェル領域67を含む。第5ウェル領域67は、この形態では、ボディ領域19よりも高いp型不純物濃度を有している。むろん、第5ウェル領域67のp型不純物濃度は、ボディ領域19よりも低くてもよい。第5ウェル領域67のp型不純物濃度は、第1ウェル領域28のp型不純物濃度とほぼ等しいことが好ましい。
- [0152] 複数の第5ウェル領域67は、隣り合う第2ダミートレンチ構造52から間隔を空けて対応する第1ダミートレンチ構造51の壁面を被覆し、活性面8の表層部においてボディ領域19に電氣的に接続されている。複数の第5ウェル領域67は、第3接続面10Cまたは第4接続面10Dから露出している。
- [0153] 複数の第5ウェル領域67は、第1半導体領域6の底部から活性面8側に間隔を空けて形成され、第1半導体領域6の一部を挟んで第2半導体領域7に対向している。複数の第5ウェル領域67の底部は、第1ウェル領域28の底部の深さ位置に対して活性面8側に位置している。複数の第5ウェル領域67の底部は、第2ウェル領域45の底部とほぼ等しい深さに形成されている。複数の第5ウェル領域67は、第1半導体領域6とpn接合部を形成している。
- [0154] 半導体装置1は、ダミー領域15において複数の第2ダミートレンチ構造52に沿う領域に形成されたp型の複数の第6ウェル領域68を含む。第6ウェル領域68は、この形態では、ボディ領域19よりも高いp型不純物濃度を有している。むろん、第6ウェル領域68のp型不純物濃度は、ボディ

領域 19 よりも低くてもよい。第 6 ウェル領域 68 の p 型不純物濃度は、第 1 ウェル領域 28（第 5 ウェル領域 67）の p 型不純物濃度とほぼ等しいことが好ましい。

[0155] 複数の第 6 ウェル領域 68 は、隣り合う第 1 ダミートレンチ構造 51 から間隔を空けて対応する第 2 ダミートレンチ構造 52 の壁面を被覆し、活性面 8 の表層部においてボディ領域 19 に電氣的に接続されている。複数の第 6 ウェル領域 68 は、第 3 接続面 10C または第 4 接続面 10D から露出している。複数の第 6 ウェル領域 68 は、第 1 半導体領域 6 の底部から活性面 8 側に間隔を空けて形成され、第 1 半導体領域 6 の一部を挟んで第 2 半導体領域 7 に対向している。

[0156] 複数の第 6 ウェル領域 68 の底部は、複数の第 5 ウェル領域 67（第 2 ウェル領域 45）の底部の深さ位置に対して第 1 半導体領域 6 の底部側に位置している。複数の第 6 ウェル領域 68 の底部は、第 1 ウェル領域 28（第 3 ウェル領域 46）の底部とほぼ等しい深さに形成されている。複数の第 6 ウェル領域 68 は、第 1 半導体領域 6 と p n 接合部を形成している。

[0157] 半導体装置 1 は、ダミー領域 15 において複数の第 2 ダミートレンチ構造 52 に沿う領域に形成された p 型の複数の第 2 コンタクト領域 69 を含む。第 2 コンタクト領域 69 は、ボディ領域 19 よりも高い p 型不純物濃度を有している。第 2 コンタクト領域 69 の p 型不純物濃度は、第 6 ウェル領域 68 よりも高い。第 2 コンタクト領域 69 の p 型不純物濃度は、第 1 コンタクト領域 48 の p 型不純物濃度とほぼ等しいことが好ましい。

[0158] 複数の第 2 コンタクト領域 69 は、対応する第 6 ウェル領域 68 内において対応する第 2 ダミートレンチ構造 52 の壁面を被覆している。複数の第 2 コンタクト領域 69 は、各第 2 ダミートレンチ構造 52 に対して 1 対多の対応関係で形成されている。複数の第 2 コンタクト領域 69 は、対応する第 2 ダミートレンチ構造 52 に沿って間隔を空けて形成されている。複数の第 2 コンタクト領域 69 は、対応する第 6 ウェル領域 68 内から対応する第 2 ダミートレンチ構造 52 の壁面に沿ってボディ領域 19 の表層部に引き出され

、活性面 8 から露出している。

[0159] 複数の第 2 コンタクト領域 6 9 は、この形態では、平面視において第 1 方向 X に延びる帯状にそれぞれ形成されている。複数の第 2 コンタクト領域 6 9 の第 1 方向 X の長さは、第 2 ダミートレンチ構造 5 2 の第 5 幅 W 5 以上であることが好ましい。複数の第 2 コンタクト領域 6 9 の長さは、第 1 方向 X に隣り合う 2 つの第 2 コンタクト領域 6 9 の間の距離よりも大きいことが好ましい。複数の第 2 コンタクト領域 6 9 の長さは、複数の第 1 コンタクト領域 4 8 の長さとはほぼ等しいことが好ましい。

[0160] 1 つの第 2 ダミートレンチ構造 5 2 に沿う複数の第 2 コンタクト領域 6 9 は、他の第 2 ダミートレンチ構造 5 2 に沿う複数の第 2 コンタクト領域 6 9 に第 2 方向 Y に対向している。つまり、複数の第 2 コンタクト領域 6 9 は、この形態では、平面視において全体として第 1 方向 X および第 2 方向 Y に間隔を空けて行列状に配列されている。この場合、複数の第 2 コンタクト領域 6 9 は、複数の第 1 コンタクト領域 4 8 と共に行列状に配列されていてもよい。また、複数の第 2 コンタクト領域 6 9 は、複数の第 1 コンタクト領域 4 8 と共に行列状に配列されていてもよい。

[0161] 1 つの第 2 ダミートレンチ構造 5 2 に沿う複数の第 2 コンタクト領域 6 9 は、他の第 2 ダミートレンチ構造 5 2 に沿う複数の第 2 コンタクト領域 6 9 の間の領域に第 2 方向 Y に対向するように第 1 方向 X にずれて配列されていてもよい。つまり、複数の第 2 コンタクト領域 6 9 は、平面視において全体として第 1 方向 X および第 2 方向 Y に間隔を空けて千鳥状に配列されていてもよい。この場合、複数の第 2 コンタクト領域 6 9 は、複数の第 1 コンタクト領域 4 8 と共に千鳥状に配列されていてもよい。また、複数の第 2 コンタクト領域 6 9 は、複数の第 1 コンタクト領域 4 8 と共に千鳥状に配列されていてもよい。

[0162] 図 2 3 は、終端領域 1 6 のレイアウトを示す拡大平面図である。図 2 4 は、図 2 3 に示す XXIV-XXIV 線に沿う断面図である。図 2 3 および図 2 4 を参照して、半導体装置 1 は、終端領域 1 6 において第 1 主面 3（活性面 8）に形

成された複数のトレンチ終端構造70を含む。複数のトレンチ終端構造70には、トレンチ抵抗構造20とは異なる電位が付与される。複数のトレンチ終端構造70にはソース電位VSが付与される。複数のトレンチ終端構造70は、第1半導体領域6に至るようにボディ領域19を貫通し、第1半導体領域6の底部から活性面8側に間隔を空けて形成されている。

[0163] 複数のトレンチ終端構造70は、活性面8の周縁およびトレンチ抵抗構造20の近傍における局所的な電界集中を緩和し、耐圧（たとえばブレークダウン電圧）を向上させることを1つの目的として活性面8に組み込まれている。複数のトレンチ終端構造70（終端領域16）の有無は任意であり、複数のトレンチ終端構造70（終端領域16）を備えない形態が採用されてもよい。

[0164] 第1終端領域16A側の複数のトレンチ終端構造70は、第1接続面10Aおよびトレンチ抵抗構造20の間の領域において第1方向Xに延びる帯状にそれぞれ形成され、第2方向Yに間隔を空けて配列されている。第1終端領域16A側の複数のトレンチ終端構造70は、トレンチ抵抗構造20から第2方向Yに間隔を空けて形成され、第2方向Yにトレンチ抵抗構造20に対向している。第1終端領域16A側の複数のトレンチ終端構造70は、さらに、最外のダミートレンチ構造50（この形態では第1ダミートレンチ構造51）から第2方向Yに間隔を空けて形成され、第2方向Yに最外のダミートレンチ構造50に対向している。

[0165] 第1終端領域16A側の複数のトレンチ終端構造70は、第3接続面10Cおよび第4接続面10Dのうちの少なくとも一方を貫通し、第3接続面10Cおよび第4接続面10Dのうちの少なくとも一方から露出している。第1終端領域16A側の複数のトレンチ終端構造70は、この形態では、第3接続面10Cおよび第4接続面10Dの双方から露出している。

[0166] 第2終端領域16B側の複数のトレンチ終端構造70は、第2接続面10Bおよび第3ダミー領域15Cの間の領域において第1方向Xに延びる帯状にそれぞれ形成され、第2方向Yに間隔を空けて配列されている。第2終端

領域16B側の複数のトレンチ終端構造70は、最外のダミートレンチ構造50（この形態では第1ダミートレンチ構造51）から第2方向Yに間隔を空けて形成され、第2方向Yに最外のダミートレンチ構造50に対向している。

[0167] 第2終端領域16B側の複数のトレンチ終端構造70は、第3接続面10Cおよび第4接続面10Dのうちの少なくとも一方を貫通し、第3接続面10Cおよび第4接続面10Dのうちの少なくとも一方から露出している。第2終端領域16B側の複数のトレンチ終端構造70は、この形態では、第3接続面10Cおよび第4接続面10Dの双方から露出している。

[0168] 以下、1つのトレンチ終端構造70が説明される。トレンチ終端構造70は、第2方向Yに第6幅W6を有し、法線方向Zに第6深さD6を有している。第6幅W6は、前述の第1幅W1（第2幅W2）とほぼ等しいことが好ましい。第6幅W6は、0.1 μ m以上3 μ m以下であってもよい。第6幅W6は、0.5 μ m以上2 μ m以下であることが好ましい。

[0169] 第6深さD6は、前述の第1深さD1以上である。第6深さD6は、この形態では、第1深さD1よりも大きい。第6深さD6は、第1深さD1の1.5倍以上3倍以下であることが好ましい。第6深さD6は、前述の抵抗深さDR（外周深さD0）とほぼ等しいことが特に好ましい。第6深さD6は、0.1 μ m以上5 μ m以下であってもよい。第2深さD2は、2.5 μ m以下であることが特に好ましい。

[0170] 複数のトレンチ終端構造70は、第2方向Yに互いに第9間隔I9を空けて配列されている。また、トレンチ抵抗構造20側の最外のトレンチ終端構造70は、この形態では、第2方向Yにトレンチ抵抗構造20および最外のダミートレンチ構造50（この形態では第1ダミートレンチ構造51）から第9間隔I9を空けて配置されている。

[0171] 第9間隔I9は、第6幅W6の0.5倍以上2倍以下であることが好ましい。第9間隔I9は、第6幅W6未満であることが特に好ましい。第9間隔I9は、前述の第2間隔I2とほぼ等しいことが好ましい。第9間隔I9は

、 $0.1\ \mu\text{m}$ 以上 $2.5\ \mu\text{m}$ 以下であってもよい。第9間隔19は、 $0.5\ \mu\text{m}$ 以上 $1.5\ \mu\text{m}$ 以下であることが好ましい。

[0172] トレンチ終端構造70は、終端トレンチ71、終端絶縁膜72および終端埋設電極73を含む。終端トレンチ71は、活性面8に形成され、トレンチ終端構造70の壁面を区画している。終端トレンチ71の側壁は、第3接続面10Cおよび第4接続面10Dに連通している。終端トレンチ71の底壁は、外周面9に連通している。

[0173] 終端絶縁膜72は、終端トレンチ71の壁面を被覆し、活性面8において主面絶縁膜18に接続されている。終端絶縁膜72は、第3接続面10Cの連通部、第4接続面10Dの連通部および外周面9の連通部において主面絶縁膜18に接続されている。終端絶縁膜72は、酸化シリコン膜、窒化シリコン膜および酸窒化シリコン膜のうちの少なくとも1つを含んでいてもよい。終端絶縁膜72は、この形態では、酸化シリコン膜からなる単層構造を有している。終端絶縁膜72は、チップ2の酸化物からなる酸化シリコン膜を含むことが特に好ましい。

[0174] 終端埋設電極73は、終端絶縁膜72を挟んで終端トレンチ71内に配置されている。終端埋設電極73は、導電性ポリシリコンを含んでいてもよい。終端埋設電極73は、埋設抵抗25の抵抗端面25aの高さ位置に対して活性面8側に位置する端面を有している。終端埋設電極73の端面は、埋設絶縁体26の絶縁端面26aの高さ位置に対して活性面8側に位置していてもよい。

[0175] 半導体装置1は、終端領域16において複数のトレンチ終端構造70に沿う領域に形成されたp型の複数の第7ウェル領域74を含む。第7ウェル領域74は、この形態では、ボディ領域19よりも高いp型不純物濃度を有している。むろん、第7ウェル領域74のp型不純物濃度は、ボディ領域19よりも低くてもよい。第7ウェル領域74のp型不純物濃度は、第1ウェル領域28のp型不純物濃度とほぼ等しいことが好ましい。

[0176] 複数の第7ウェル領域74は、隣り合うトレンチ終端構造70から間隔を

空けて対応するトレンチ終端構造 70 の壁面を被覆し、活性面 8 の表層部においてボディ領域 19 に電氣的に接続されている。複数の第 7 ウェル領域 74 は、平面視において対応するトレンチ終端構造 70 に沿って帯状に延び、第 3 接続面 10C および第 4 接続面 10D から露出している。

[0177] 複数の第 7 ウェル領域 74 は、第 1 半導体領域 6 の底部から活性面 8 側に間隔を空けて形成され、第 1 半導体領域 6 の一部を挟んで第 2 半導体領域 7 に対向している。複数の第 7 ウェル領域 74 の底部は、複数の第 2 ウェル領域 45 の底部の深さ位置に対して第 1 半導体領域 6 の底部側に位置している。複数の第 7 ウェル領域 74 の底部は、第 1 ウェル領域 28（第 3 ウェル領域 46）の底部とほぼ等しい深さに形成されている。複数の第 7 ウェル領域 74 は、第 1 半導体領域 6 と p n 接合部を形成している。

[0178] 次に、図 25 の断面図を参照して、外周領域 17 の構造が説明される。図 25 を参照して、半導体装置 1 は、外周面 9 の表層部に形成された p 型のアウターウェル領域 75 を含む。アウターウェル領域 75 は、第 1 コンタクト領域 48 よりも低い p 型不純物濃度を有している。アウターウェル領域 75 の p 型不純物濃度は、この形態では、ボディ領域 19 よりも高い。むしろ、アウターウェル領域 75 の p 型不純物濃度は、ボディ領域 19 よりも低くてもよい。アウターウェル領域 75 は、第 1 ウェル領域 28 とほぼ等しい p 型不純物濃度を有していることが好ましい。

[0179] アウターウェル領域 75 は、平面視において外周面 9 の周縁（第 1～第 4 側面 5A～5D）から活性面 8 側に間隔を空けて形成され、活性面 8 に沿って帯状に延びている。アウターウェル領域 75 は、この形態では、平面視において活性面 8 を取り囲む環状（具体的には四角環状）に形成されている。アウターウェル領域 75 は、外周面 9 の表層部から第 1～第 4 接続面 10A～10D の表層部に向けて延びている。

[0180] アウターウェル領域 75 は、活性面 8 の表層部においてボディ領域 19 に電氣的に接続されている。アウターウェル領域 75 は、第 3 接続面 10C（第 4 接続面 10D）および第 1 トレンチソース構造 35 の連通部において第

3 ウェル領域 4 6 に接続されている。アウターウェル領域 7 5 は、第 3 接続面 1 0 C (第 4 接続面 1 0 D) および第 2 トレンチソース構造 4 0 の連通部において第 4 ウェル領域 4 7 に接続されている。

[0181] アウターウェル領域 7 5 は、第 3 接続面 1 0 C (第 4 接続面 1 0 D) および第 1 ダミートレンチ構造 5 1 の連通部において第 5 ウェル領域 6 7 に接続されている。アウターウェル領域 7 5 は、第 3 接続面 1 0 C (第 4 接続面 1 0 D) および第 2 ダミートレンチ構造 5 2 の連通部において第 6 ウェル領域 6 8 に接続されている。アウターウェル領域 7 5 は、第 3 接続面 1 0 C (第 4 接続面 1 0 D) およびトレンチ終端構造 7 0 の連通部において第 7 ウェル領域 7 4 に接続されている。

[0182] アウターウェル領域 7 5 は、第 1 半導体領域 6 の底部から外周面 9 側に間隔を空けて形成され、第 1 半導体領域 6 の一部を挟んで第 2 半導体領域 7 に対向している。アウターウェル領域 7 5 は、トレンチ抵抗構造 2 0 の底壁 2 2 よりも第 1 半導体領域 6 の底部側に位置している。アウターウェル領域 7 5 は、第 1 トレンチソース構造 3 5 の底壁よりも第 1 半導体領域 6 の底部側に位置している。

[0183] アウターウェル領域 7 5 の底部は、第 1 コンタクト領域 4 8 の底部よりも第 1 半導体領域 6 の底部側に位置している。アウターウェル領域 7 5 の底部は、第 1 ウェル領域 2 8 (第 3 ウェル領域 4 6) の底部とほぼ等しい深さ位置に形成されていることが好ましい。アウターウェル領域 7 5 は、第 1 半導体領域 6 と p n 接合部を形成している。

[0184] 半導体装置 1 は、アウターウェル領域 7 5 の表層部に形成された p 型のアウターコンタクト領域 7 6 を含む。アウターコンタクト領域 7 6 は、ボディ領域 1 9 よりも高い p 型不純物濃度を有している。アウターコンタクト領域 7 6 の p 型不純物濃度は、アウターウェル領域 7 5 よりも高い。アウターコンタクト領域 7 6 の p 型不純物濃度は、第 1 コンタクト領域 4 8 の p 型不純物濃度とほぼ等しいことが好ましい。

[0185] アウターコンタクト領域 7 6 は、平面視において活性面 8 の周縁 (第 1 ~

第4 接続面 10A～10D) および外周面 9 の周縁 (第 1～第 4 側面 5A～5D) から間隔を空けてアウターウェル領域 75 の表層部に形成され、活性面 8 に沿って延びる帯状に形成されている。アウターコンタクト領域 76 は、この形態では、平面視において活性面 8 を取り囲む環状 (具体的には四角環状) に形成されている。

[0186] アウターコンタクト領域 76 は、アウターウェル領域 75 の底部から外周面 9 側に間隔を空けて形成され、アウターウェル領域 75 の一部を挟んで第 1 半導体領域 6 に対向している。アウターコンタクト領域 76 は、トレンチ抵抗構造 20 の底壁 22 よりも第 1 半導体領域 6 の底部側に位置している。アウターコンタクト領域 76 は、第 1 トレンチソース構造 35 の底壁よりも第 1 半導体領域 6 の底部側に位置している。アウターコンタクト領域 76 の底部は、第 1 コンタクト領域 48 の底部とほぼ等しい深さ位置に形成されていることが好ましい。

[0187] 半導体装置 1 は、外周面 9 の表層部において外周面 9 の周縁およびアウターウェル領域 75 の間の領域に形成された少なくとも 1 つ (好ましくは 2 個以上 20 個以下) の p 型のフィールド領域 77 を含む。半導体装置 1 は、この形態では、4 個のフィールド領域 77 を含む。複数のフィールド領域 77 は、電氣的に浮遊状態に形成され、外周面 9 においてチップ 2 内の電界を緩和する。

[0188] フィールド領域 77 の個数、幅、深さ、p 型不純物濃度等は任意であり、緩和すべき電界に応じて種々の値を取り得る。フィールド領域 77 は、アウターコンタクト領域 76 よりも低い p 型不純物濃度を有していてもよい。フィールド領域 77 は、アウターウェル領域 75 よりも高い p 型不純物濃度を有していてもよい。フィールド領域 77 は、アウターウェル領域 75 よりも低い p 型不純物濃度を有していてもよい。

[0189] 複数のフィールド領域 77 は、アウターウェル領域 75 側から外周面 9 の周縁側に間隔を空けて配列されている。複数のフィールド領域 77 は、平面視において活性面 8 に沿って延びる帯状に形成されている。複数のフィール

ド領域 77 は、この形態では、平面視において活性面 8 を取り囲む環状（具体的には四角環状）に形成されている。

[0190] 複数のフィールド領域 77 は、第 1 半導体領域 6 の底部から外周面 9 側に間隔を空けて形成され、第 1 半導体領域 6 の一部を挟んで第 2 半導体領域 7 に対向している。複数のフィールド領域 77 は、トレンチ抵抗構造 20 の底壁 22 よりも第 1 半導体領域 6 の底部側に位置している。

[0191] 複数のフィールド領域 77 は、第 1 トレンチソース構造 35 の底壁よりも第 1 半導体領域 6 の底部側に位置している。複数のフィールド領域 77 の底部は、第 1 コンタクト領域 48 の底部よりも第 1 半導体領域 6 の底部側に位置している。複数のフィールド領域 77 の底部は、第 3 ウェル領域 46 の底部とほぼ等しい深さ位置に形成されていてもよい。

[0192] 半導体装置 1 は、第 1～第 4 接続面 10A～10D のうちの少なくとも 1 つを被覆するように外周面 9 の上に形成されたサイドウォール配線 78 を含む。サイドウォール配線 78 は、具体的には、主面絶縁膜 18 の上に配置されている。サイドウォール配線 78 は、活性面 8 および外周面 9 の間に形成された段差を緩和するサイドウォール構造としても機能する。

[0193] サイドウォール配線 78 は、少なくとも第 3 接続面 10C および第 4 接続面 10D のいずれか一方に沿って延びる帯状に形成されていることが好ましい。サイドウォール配線 78 は、この形態では、平面視において活性面 8 を取り囲むように第 1～第 4 接続面 10A～10D に沿って延びる環状（具体的には四角環状）に形成されている。サイドウォール配線 78 のうち活性面 8 の四隅を被覆する部分は、外周面 9 側に向かう湾曲状に形成されている。

[0194] サイドウォール配線 78 は、外周面 9 に沿って膜状に延びる部分、および、第 1～第 4 接続面 10A～10D に沿って膜状に延びる部分を含む。サイドウォール配線 78 のうち外周面 9 の上に位置する部分は、活性面 8 に対して外周面 9 側の領域において外周面 9 を膜状に被覆していてもよい。サイドウォール配線 78 のうち外周面 9 の上に位置する部分は、活性台地 11 の厚さ（外周深さ D0）未満の厚さを有していてもよい。

- [0195] サイドウォール配線 78 は、外周面 9 において主面絶縁膜 18 を挟んでアウターウェル領域 75 に対向している。サイドウォール配線 78 は、主面絶縁膜 18 を挟んでアウターコンタクト領域 76 に対向していてもよい。サイドウォール配線 78 は、この形態では、平面視においてフィールド領域 77 から活性面 8 側に間隔を空けて形成されている。
- [0196] サイドウォール配線 78 は、第 1～第 4 接続面 10A～10D において主面絶縁膜 18 を挟んで第 3 ウェル領域 46、第 4 ウェル領域 47、第 5 ウェル領域 67、第 6 ウェル領域 68、第 7 ウェル領域 74 およびアウターウェル領域 75 に対向している。サイドウォール配線 78 は、この形態では、主面絶縁膜 18 を挟んでボディ領域 19 にも対向している。
- [0197] サイドウォール配線 78 は、第 1～第 4 接続面 10A～10D において第 1 トレンチソース構造 35 の露出部、第 2 トレンチソース構造 40 の露出部、第 1 ダミートレンチ構造 51 の露出部、第 2 ダミートレンチ構造 52 の露出部およびトレンチ終端構造 70 の露出部を被覆している。
- [0198] これにより、サイドウォール配線 78 は、第 1 トレンチソース構造 35、第 2 トレンチソース構造 40、第 1 ダミートレンチ構造 51、第 2 ダミートレンチ構造 52 およびトレンチ終端構造 70 に電氣的に接続されている。つまり、サイドウォール配線 78 は、外周面 9 側から接続対象にソース電位 V_S を付与する。
- [0199] サイドウォール配線 78 は、第 1～第 4 接続面 10A～10D のうちの少なくとも 1 つから活性面 8 の縁部の上に乗上げたオーバーラップ部 79 を有している。オーバーラップ部 79 は、平面視において活性面 8 を膜状に被覆し、活性面 8 の縁部に沿って延びる帯状に形成されている。オーバーラップ部 79 は、この形態では、平面視において活性面 8 の内方部を取り囲む環状（具体的には四角環状）に形成されている。
- [0200] オーバーラップ部 79 は、活性面 8 の上においてトレンチ抵抗構造 20 から活性面 8 の周縁側に間隔を空けて形成されている。オーバーラップ部 79 は、第 1 トレンチソース構造 35、第 2 トレンチソース構造 40、第 1 ダミートレ

ンチ構造 5 1、第 2 ダミートレンチ構造 5 2 および トレンチ 終 端 構 造 7 0 に 電 氣 的 に 接 続 さ れ て い る。

[0201] サイドウォール配線 7 8 は、この形態では、導電性ポリシリコンを含み、第 1 ソース埋設電極 3 8、第 2 ソース埋設電極 4 3、第 1 ダミー埋設電極 5 5、第 2 ダミー埋設電極 5 8 および 終 端 埋 設 電 極 7 3 と 一 体 的 に 形 成 さ れ て い る。むろん、サイドウォール配線 7 8 は、第 1 ソース埋設電極 3 8、第 2 ソース埋設電極 4 3、第 1 ダミー埋設電極 5 5、第 2 ダミー埋設電極 5 8 および 終 端 埋 設 電 極 7 3 と は 別 体 的 に 形 成 さ れ て い て も よ い。

[0202] 半導体装置 1 は、主面絶縁膜 1 8 を被覆する層間絶縁膜 8 0 を含む。層間絶縁膜 8 0 は、主面絶縁膜 1 8 を挟んで活性面 8、外周面 9 および第 1 ~ 第 4 接 続 面 1 0 A ~ 1 0 D を 被 覆 し て い る。層 間 絶 縁 膜 8 0 は、活 性 面 8 に お い て ト レ ン チ 抵 抗 構 造 2 0、トレンチゲート構造 3 0、第 1 トレンチソース構造 3 5、第 2 トレンチソース構造 4 0、第 1 ダミートレンチ構造 5 1、第 2 ダミートレンチ構造 5 2 および トレンチ 終 端 構 造 7 0 を 被 覆 し て い る。

[0203] 層間絶縁膜 8 0 は、抵抗領域 1 2 において主面絶縁膜 1 8 の上から抵抗トレンチ 2 3 に入り込んでいる。層間絶縁膜 8 0 は、抵抗トレンチ 2 3 の全周（第 1 ~ 第 4 側壁 2 1 A ~ 2 1 D）から抵抗トレンチ 2 3 に入り込んでいる。層間絶縁膜 8 0 は、抵抗トレンチ 2 3 の周縁（第 1 ~ 第 4 側壁 2 1 A ~ 2 1 D）において抵抗絶縁膜 2 4 を被覆し、埋設絶縁体 2 6 に接続されている。

[0204] 層間絶縁膜 8 0 は、平面視において埋設抵抗 2 5 の周縁から間隔を空けて抵抗絶縁膜 2 4 に接続されていることが好ましい。層間絶縁膜 8 0 は、この形態では、埋設絶縁体 2 6 と共に 1 つの絶縁膜を形成している。つまり、埋設絶縁体 2 6 は、この形態では、層間絶縁膜 8 0 の一部を利用して形成されている。むろん、層間絶縁膜 8 0 は、埋設絶縁体 2 6 とは別体的に形成されていてもよい。

[0205] 層間絶縁膜 8 0 は、外周領域 1 7 において主面絶縁膜 1 8 を挟んでアウターウェル領域 7 5、アウターコンタクト領域 7 6 および複数のフィールド領

域77を被覆している。層間絶縁膜80は、第1～第4接続面10A～10Dにおいてサイドウォール配線78を被覆している。

[0206] 層間絶縁膜80は、この形態では、第1～第4側面5A～5Dに連なっている。むろん、層間絶縁膜80の壁部は、外周面9の周縁から内方に間隔を空けて形成され、外周面9の周縁部から第1半導体領域6を露出させていてもよい。層間絶縁膜80は、酸化シリコン膜、窒化シリコン膜および酸窒化シリコン膜のうちの少なくとも1つを含んでいてもよい。層間絶縁膜80は、この形態では、酸化シリコン膜を含む。

[0207] 図1～図17（特に図5および図6）を参照して、半導体装置1は、トレンチ抵抗構造20の上に配置されたゲート電極85を含む。ゲート電極85は、トレンチ抵抗構造20の抵抗値よりも低い抵抗値を有している。具体的には、ゲート電極85は、埋設抵抗25の抵抗値よりも低い抵抗値を有している。

[0208] ゲート電極85は、埋設抵抗25よりも厚いことが好ましい。ゲート電極85は、埋設絶縁体26よりも厚いことが特に好ましい。ゲート電極85は、層間絶縁膜80よりも厚いことが好ましい。ゲート電極85は、前述の第1深さD1よりも大きい厚さを有していることが好ましい。ゲート電極85は、前述の抵抗深さDR（外周深さD0、第2深さD2）よりも大きい厚さを有していることが好ましい。ゲート電極85は、0.5 μ m以上10 μ m以下の厚さを有していてもよい。ゲート電極85の厚さは、1 μ m以上5 μ m以下であることが好ましい。

[0209] ゲート電極85は、Ti膜、TiN膜、W膜、Al膜、Cu膜、Al合金膜、Cu合金膜および導電性ポリシリコン膜のうちの少なくとも1種を含んでいてもよい。ゲート電極85は、純Cu膜（純度が99%以上のCu膜）、純Al膜（純度が99%以上のAl膜）、AlCu合金膜、AlSi合金膜、および、AlSiCu合金膜のうちの少なくとも1つを含んでいてもよい。ゲート電極85は、この形態では、チップ2側からこの順に積層されたTi膜およびAl合金膜（この形態ではAlSiCu合金膜）を含む積層構

造を有している。ゲート電極 85 は、「ゲートメタル」と称されてもよい。

[0210] ゲート電極 85 は、この形態では、ゲートパッド 86、ゲート配線 87 およびゲートサブパッド 88 を含む。ゲートパッド 86 には、外部からゲート電位 V_G が付与される。ゲートパッド 86 は、抵抗領域 12 においてトレンチ抵抗構造 20 の直上に配置されている。ゲートパッド 86 は、この形態では、活性面 8 の周縁から間隔を空けて活性面 8 の内方部の上に配置され、外周面 9 の上に配置されていない。

[0211] ゲートパッド 86 は、この形態では、トレンチ抵抗構造 20（抵抗トレンチ 23）の平面積未満の平面積を有し、トレンチ抵抗構造 20 の周縁から内方に間隔を空けてトレンチ抵抗構造 20 の周縁によって取り囲まれた領域内のみ配置されている。つまり、ゲートパッド 86 は、活性領域 13（第 1～第 3 活性領域 13A～13C）、ダミー領域 15 および終端領域 16 から間隔を空けてトレンチ抵抗構造 20 の直上に配置され、法線方向 Z に活性領域 13、ダミー領域 15 および終端領域 16 に対向していない。

[0212] ゲートパッド 86 は、第 1 主面 3 の平面積の 1% 以上 25% 以下の平面積を有していることが好ましい。ゲートパッド 86 の平面積は、第 1 主面 3 の平面積の 5% 以上 20% 以下であることが好ましい。むろん、ゲートパッド 86 は、トレンチ抵抗構造 20 の平面積よりも大きい平面積を有していてもよい。この場合、ゲートパッド 86 は、法線方向 Z に活性領域 13、ダミー領域 15 および終端領域 16 のうちの少なくとも 1 つに対向していてもよい。

[0213] 具体的には、ゲートパッド 86 は、埋設抵抗 25 に対向するように埋設絶縁体 26 の上に配置されている。ゲートパッド 86 は、埋設抵抗 25 の平面積以上の平面積を有している。ゲートパッド 86 の平面積は、埋設抵抗 25 の平面積よりも大きいことが好ましい。むろん、ゲートパッド 86 の平面積は、埋設抵抗 25 の平面積未満に設定されてもよい。

[0214] ゲートパッド 86 は、抵抗トレンチ 23 の周縁（第 1～第 4 側壁 21A～21D）から間隔を空けて抵抗トレンチ 23 の内方部に配置されている。つ

まり、ゲートパッド86は、活性面8および抵抗トレンチ23の間に形成された段差部を回避するように配置されている。

[0215] ゲートパッド86は、この形態では、第1～第4側壁21A～21Dの全周から内方に間隔を空けて形成されている。つまり、ゲートパッド86は、埋設絶縁体26の上にのみ配置され、層間絶縁膜80の上には配置されていない。ゲートパッド86は、この形態では、平面視において抵抗トレンチ23の周縁に平行な4辺を有する四角形状に形成されている。むしろ、ゲートパッド86は、平面視において多角形状や円形状に形成されていてもよい。

[0216] ゲートパッド86は、埋設絶縁体26を挟んで埋設抵抗25を被覆する第1被覆部86a、および、埋設絶縁体26を挟んで絶縁領域27を被覆する第2被覆部86bを有している。絶縁領域27に対する第2被覆部86bの対向面積は、埋設抵抗25に対する第1被覆部86aの対向面積よりも大きいことが好ましい。このような構造は、絶縁領域27の平面積が埋設抵抗25の平面積よりも大きい場合に特に好ましい。むしろ、絶縁領域27に対する第2被覆部86bの対向面積は、埋設抵抗25に対する第1被覆部86aの対向面積よりも小さくてもよい。

[0217] ゲートパッド86は、この形態では、活性面8の高さ位置に対して抵抗トレンチ23の底壁22側に位置する部分、および、活性面8の高さ位置に対して上方に突出した部分を有している。ゲートパッド86は、抵抗トレンチ23の底壁22側に位置する部分において埋設絶縁体26を貫通して埋設抵抗25に電氣的に接続されている。具体的には、ゲートパッド86は、埋設抵抗25に形成された第1抵抗開口89を介して埋設抵抗25に接続されている。

[0218] 第1抵抗開口89は、平面視において第1方向Xに延びる帯状に形成されている。第1抵抗開口89の平面形状や個数は任意である。たとえば、平面視において四角形状の複数の第1抵抗開口89が第1方向Xおよび第2方向Yのいずれか一方または双方に間隔を空けて形成されていてもよい。

[0219] 埋設抵抗25に対するゲートパッド86の接続部の平面積は、埋設抵抗2

5に対するゲートパッド86の非接続部の平面積未満であることが好ましい。むろん、埋設抵抗25に対するゲートパッド86の接続部の平面積は、埋設抵抗25に対するゲートパッド86の非接続部の平面積よりも大きくてもよい。

[0220] ゲート配線87は、抵抗領域12においてトレンチ抵抗構造20を介してゲートパッド86に電氣的に接続され、活性領域13において複数のトレンチゲート構造30に電氣的に接続されている。ゲート配線87は、ゲートパッド86に付与されたゲート電位VGを複数のトレンチゲート構造30に伝達する。

[0221] ゲート配線87は、抵抗領域12においてゲートパッド86から間隔を空けてトレンチ抵抗構造20の直上に配置され、抵抗領域12から活性領域13に選択的に引き回されている。ゲート配線87は、この形態では、活性面8の周縁から間隔を空けて活性面8の内方部の上に配置され、外周面9の上に配置されていない。

[0222] ゲート配線87は、この形態では、抵抗配線87a、第1ゲート配線87b、第2ゲート配線87cおよび第3ゲート配線87dを含む。抵抗配線87aは、トレンチ抵抗構造20の直上に位置し、トレンチ抵抗構造20に接続された部分である。抵抗配線87aは、この形態では、平面視においてトレンチ抵抗構造20に交差（具体的には直交）するように第1方向Xに延びる帯状に形成され、トレンチ抵抗構造20の第1側壁21Aおよびゲートパッド86の間の領域に配置されている。

[0223] 具体的には、抵抗配線87aは、第2方向Yに関してトレンチ抵抗構造20よりも幅狭な帯状に形成され、第1側壁21Aおよびゲートパッド86から間隔を空けて第1側壁21Aおよびゲートパッド86の間の領域に配置されている。つまり、抵抗配線87aは、平面視においてトレンチ抵抗構造20の内方部を横切る2辺を有している。

[0224] 抵抗配線87aの2辺は、この形態では、トレンチ抵抗構造20の第3側壁21Cおよび第4側壁21Dに交差（具体的には直交）している。むろん

、抵抗配線87aは、トレンチ抵抗構造20内方部を横切る1辺およびトレンチ抵抗構造20外に位置する1辺を有していてもよい。

[0225] 具体的には、抵抗配線87aは、ゲートパッド86とは異なる位置で埋設抵抗25に対向するように埋設絶縁体26の上に配置されている。抵抗配線87aは、埋設抵抗25の平面積以上の平面積を有していてもよいし、埋設抵抗25の平面積未満の平面積を有していてもよい。抵抗配線87aは、平面視において第1側壁21Aおよびゲートパッド86から間隔を空けて第1側壁21Aおよびゲートパッド86の間の領域に配置されている。

[0226] 抵抗配線87aは、平面視において埋設抵抗25の内方部を横切る2辺を有している。むろん、抵抗配線87aは、埋設抵抗25の内方部を横切る1辺および埋設抵抗25外に位置する1辺を有していてもよい。埋設抵抗25は、埋設絶縁体26を挟んで埋設抵抗25に対向する部分、および、埋設絶縁体26を挟んで絶縁領域27に対向する部分を有している。埋設抵抗25の2辺は、抵抗トレンチ23の第3側壁21Cおよび第4側壁21Dに交差（具体的には直交）し、埋設絶縁体26の上から層間絶縁膜80の上に引き出されている。

[0227] 抵抗配線87aは、この形態では、活性面8の高さ位置に対して抵抗トレンチ23の底壁22側に位置する部分、および、活性面8の高さ位置に対して上方に突出した部分を有している。抵抗配線87aは、抵抗トレンチ23の底壁22側に位置する部分において埋設絶縁体26を貫通して埋設抵抗25に電氣的に接続されている。具体的には、抵抗配線87aは、第1抵抗開口89から第1側壁21A側に間隔を空けて埋設絶縁体26に形成された第2抵抗開口90を介して埋設抵抗25に接続されている。

[0228] 第2抵抗開口90は、この形態では、平面視において第1方向Xに延びる帯状に形成されている。つまり、第2抵抗開口90は、第1抵抗開口89に対してほぼ平行に延びている。第2抵抗開口90の平面形状や個数は任意である。たとえば、平面視において四角形状の複数の第2抵抗開口90が第1方向Xおよび第2方向Yのいずれか一方または双方に間隔を空けて形成され

ていてもよい。

[0229] 埋設抵抗25に対する抵抗配線87aの接続部の平面積は、埋設抵抗25に対する抵抗配線87aの非接続部の平面積未満であることが好ましい。むしろ、埋設抵抗25に対する抵抗配線87aの接続部の平面積は、埋設抵抗25に対する抵抗配線87aの非接続部の平面積よりも大きくてもよい。

[0230] 埋設抵抗25に対する抵抗配線87a（ゲート配線87）の対向面積は、埋設抵抗25に対するゲートパッド86の対向面積よりも大きくてもよい。むしろ、埋設抵抗25に対する抵抗配線87a（ゲート配線87）の対向面積は、埋設抵抗25に対するゲートパッド86の対向面積未満であってもよい。

[0231] 第1ゲート配線87bは、層間絶縁膜80の上に配置されている。第1ゲート配線87bは、抵抗配線87aから第3接続面10C側の領域に引き出され、第1接続面10Aおよび第3接続面10Cに沿ってライン状に延びている。第1ゲート配線87bは、抵抗領域12において抵抗配線87aを介してトレンチ抵抗構造20に電氣的に接続され、活性領域13において複数のトレンチゲート構造30に電氣的に接続されている。

[0232] 具体的には、第1ゲート配線87bは、抵抗配線87a（抵抗領域12）から第1ダミー領域15Aに向けて第1方向Xに延びるライン状に引き出され、第1ダミー領域15Aにおいて層間絶縁膜80を挟んで複数のダミートレンチ構造50を被覆している。第1ゲート配線87bは、この形態では、層間絶縁膜80を挟んで複数の第1ダミートレンチ構造51および複数の第2ダミートレンチ構造52を被覆している。

[0233] 第1ゲート配線87bは、第1ダミー領域15Aから活性領域13側に向けて第2方向Yに沿って延びるライン状に引き回され、第1活性領域13Aおよび第2活性領域13Bにおいて複数のトレンチゲート構造30に交差（具体的には直交）している。第1ゲート配線87bは、活性領域13において層間絶縁膜80に形成された複数のゲート開口91を介して複数のゲート接続電極膜49に電氣的に接続されている。これにより、第1ゲート配線8

7bは、複数のゲート接続電極膜49を介して複数のトレンチゲート構造30に電氣的に接続されている。

[0234] 第2ゲート配線87cは、層間絶縁膜80の上に配置されている。第2ゲート配線87cは、抵抗配線87aから第4接続面10D側の領域に引き出され、第1接続面10Aおよび第4接続面10Dに沿ってライン状に延びている。第2ゲート配線87cは、抵抗領域12において抵抗配線87aを介してトレンチ抵抗構造20に電氣的に接続され、活性領域13において複数のトレンチゲート構造30に電氣的に接続されている。

[0235] 第2ゲート配線87cは、抵抗配線87a（抵抗領域12）から第2ダミー領域15Bに向けて第1方向Xに延びるライン状に引き出され、第2ダミー領域15Bにおいて層間絶縁膜80を挟んで複数のダミートレンチ構造50を被覆している。第2ゲート配線87cは、この形態では、層間絶縁膜80を挟んで複数の第1ダミートレンチ構造51および複数の第2ダミートレンチ構造52を被覆している。

[0236] 第2ゲート配線87cは、第2ダミー領域15Bから活性領域13側に向けて第2方向Yに沿って延びるライン状に引き回され、第1活性領域13Aおよび第3活性領域13Cにおいて複数のトレンチゲート構造30に交差（具体的には直交）している。第2ゲート配線87cは、活性領域13において層間絶縁膜80に形成された複数のゲート開口91を介して複数のゲート接続電極膜49に電氣的に接続されている。

[0237] 第2ゲート配線87cは、複数のゲート接続電極膜49を介して複数のトレンチゲート構造30に電氣的に接続されている。第2ゲート配線87cは、この形態では、第1ゲート配線87bに電氣的に接続された複数のトレンチゲート構造30に電氣的に接続されている。

[0238] 第3ゲート配線87dは、埋設絶縁体26および層間絶縁膜80の上に配置されている。第3ゲート配線87dは、抵抗配線87aからゲートパッド86に対して第2接続面10B側の領域に引き出され、抵抗配線87aおよび第2接続面10Bの間の領域を第2方向Yに沿ってライン状に延びている

。第3ゲート配線87dは、抵抗領域12において抵抗配線87aを介してトレンチ抵抗構造20に電氣的に接続され、活性領域13（第1活性領域13A）において複数のトレンチゲート構造30に電氣的に接続されている。

[0239] 具体的には、第3ゲート配線87dは、ライン部92、第1分岐部93および第2分岐部94を含む。ライン部92は、層間絶縁膜80の上においてゲートパッド86および第2接続面10Bの間の領域を第2方向Yに沿ってライン状に延びている。ライン部92は、第2接続面10B側の第1端部およびゲートパッド86側の第2端部を有している。第1端部は、第2接続面10Bからゲートパッド86側に間隔を空けて層間絶縁膜80の上に配置されている。

[0240] 第2端部は、ゲートパッド86から第2接続面10B側に間隔を空けてトレンチ抵抗構造20の直上に配置している。具体的には、第2端部は、埋設絶縁体26の上に配置されている。さらに具体的には、第2端部は、平面視において埋設抵抗25から間隔を空けて埋設絶縁体26の上に配置されている。

[0241] つまり、ライン部92は、埋設絶縁体26を挟んで絶縁領域27に対向し、埋設絶縁体26を挟んで埋設抵抗25に対向していない。ライン部92（第2端部）は、この形態では、活性面8の高さ位置に対して抵抗トレンチ23の底壁22側に位置する部分、および、活性面8の高さ位置に対して上方に突出した部分を有している。

[0242] ライン部92は、活性領域13（第1活性領域13A）において層間絶縁膜80に形成された複数のゲート開口91を介して複数のゲート接続電極膜49に電氣的に接続されている。これにより、ライン部92は、複数のゲート接続電極膜49を介して複数のトレンチゲート構造30に電氣的に接続されている。ライン部92は、この形態では、第1ゲート配線87bおよび第2ゲート配線87cに接続された複数のトレンチゲート構造30に電氣的に接続されている。

[0243] 第1分岐部93は、抵抗配線87aおよびライン部92を接続している。

具体的には、第1分岐部93は、ライン部92の第2端部から一方側（第3接続面10C側）に引き出され、ゲートパッド86に沿って帯状に延びている。第1分岐部93は、この形態では、トレンチ抵抗構造20の直上に形成されている。

[0244] 具体的には、第1分岐部93は、抵抗トレンチ23の周縁（第1～第4側壁21A～21D）から内方に間隔を空けて抵抗トレンチ23の周縁によって取り囲まれた領域内のみ配置されている。つまり、第1分岐部93は、活性領域13、ダミー領域15および終端領域16から間隔を空けてトレンチ抵抗構造20の直上に配置され、法線方向Zに活性領域13、ダミー領域15および終端領域16に対向していない。

[0245] 第1分岐部93は、この形態では、抵抗トレンチ23の周縁から間隔を空けて埋設絶縁体26の上に配置され、抵抗トレンチ23の第2側壁21Bおよび第3側壁21Cに沿って帯状に延びている。第1分岐部93は、平面視において埋設抵抗25から間隔を空けて埋設絶縁体26の上に配置されている。第1分岐部93は、埋設絶縁体26を挟んで絶縁領域27に対向し、埋設絶縁体26を挟んで埋設抵抗25に対向していない。

[0246] 第1分岐部93は、抵抗トレンチ23の第1側壁21A側の領域において抵抗配線87aに接続されている。つまり、第1分岐部93は、絶縁領域27の直上で抵抗配線87aに接続されている。第1分岐部93は、この形態では、活性面8の高さ位置に対して抵抗トレンチ23の底壁22側に位置する部分、および、活性面8の高さ位置に対して上方に突出した部分を有している。

[0247] むろん、第1分岐部93は、埋設絶縁体26の上から層間絶縁膜80の上に引き出され、法線方向Zにトレンチ抵抗構造20外の領域に対向する部分を有していてもよい。この場合、第1分岐部93は、法線方向Zに活性領域13、ダミー領域15および終端領域16のうちの少なくとも1つに対向していてもよい。また、第1分岐部93は、第1ゲート配線87bに接続され、第1ゲート配線87bを介して抵抗配線87aに電氣的に接続されていて

もよい。

- [0248] 第2分岐部94は、抵抗配線87aおよびライン部92を接続している。第2分岐部94は、ライン部92の第1端部から他方側（第4接続面10D側）に引き出され、ゲートパッド86に沿って帯状に延びている。第2分岐部94は、この形態では、トレンチ抵抗構造20の直上に形成されている。
- [0249] 具体的には、第2分岐部94は、トレンチ抵抗構造20の周縁（第1～第4側壁21A～21D）から内方に間隔を空けてトレンチ抵抗構造20の周縁によって取り囲まれた領域内のみ配置されている。つまり、第2分岐部94は、活性領域13、ダミー領域15および終端領域16から間隔を空けてトレンチ抵抗構造20の直上に配置され、法線方向Zに活性領域13、ダミー領域15および終端領域16に対向していない。
- [0250] 第2分岐部94は、この形態では、抵抗トレンチ23の周縁から間隔を空けて埋設絶縁体26の上に配置され、抵抗トレンチ23の第2側壁21Bおよび第4側壁21Dに沿って帯状に延びている。第2分岐部94は、平面視において埋設抵抗25から間隔を空けて埋設絶縁体26の上に配置されている。つまり、第2分岐部94は、埋設絶縁体26を挟んで絶縁領域27に対向し、埋設絶縁体26を挟んで埋設抵抗25に対向していない。
- [0251] 第2分岐部94は、抵抗トレンチ23の第1側壁21A側の領域において抵抗配線87aに接続されている。第2分岐部94は、絶縁領域27の直上で抵抗配線87aに接続されている。第2分岐部94は、抵抗配線87aおよび第1分岐部93と共にゲートパッド86を取り囲んでいる。第2分岐部94は、この形態では、活性面8の高さ位置に対して抵抗トレンチ23の底壁22側に位置する部分、および、活性面8の高さ位置に対して上方に突出した部分を有している。
- [0252] むろん、第2分岐部94は、埋設絶縁体26の上から層間絶縁膜80の上に引き出され、法線方向Zにトレンチ抵抗構造20外の領域に対向する部分を有していてもよい。この場合、第2分岐部94は、法線方向Zに活性領域13、ダミー領域15および終端領域16のうちの少なくとも1つに対向し

ていてもよい。また、第2分岐部94は、第2ゲート配線87cに接続され、第2ゲート配線87cを介して抵抗配線87aに電氣的に接続されていてもよい。

[0253] ゲートサブパッド88には、外部からゲート電位VGが付与される。ゲートサブパッド88は、ゲートパッド86よりも幅狭に形成され、ゲート配線87よりも幅広に形成されている。ゲートサブパッド88の一部または全部は、平面視においてトレンチ抵抗構造20外の領域に配置される。

[0254] ゲートサブパッド88は、トレンチ抵抗構造20を介してゲートパッド86に電氣的に接続されるように層間絶縁膜80の上に配置されている。ゲートサブパッド88は、この形態では、ゲートパッド86から第3接続面10C側に間隔を空けて配置され、第1方向Xにゲートパッド86に対向している。

[0255] ゲートサブパッド88は、平面視においてダミー領域15（第1ダミー領域15A）から間隔を空けて層間絶縁膜80のうち活性領域13を被覆する部分の上に配置されている。ゲートサブパッド88は、層間絶縁膜80を挟んで複数のトレンチゲート構造30および複数の第1トレンチソース構造35に対向している。ゲートサブパッド88は、平面視において第2方向Yにダミー領域15（第1ダミー領域15A）に対向している。

[0256] ゲートサブパッド88は、この形態では、ゲート配線87に電氣的に接続されている。具体的には、ゲートサブパッド88は、第3ゲート配線87d（第1分岐部93）からトレンチ抵抗構造20外の領域に引き出され、埋設抵抗25を挟んでトレンチ抵抗構造20に対向する部分を有している。

[0257] ゲートサブパッド88は、第1～第3ゲート配線87b～87dの少なくとも1つに接続されていればよく、ゲートサブパッド88の配置箇所は任意である。むろん、ゲートサブパッド88は、抵抗配線87aに接続されていてもよい。また、ゲートサブパッド88は、第1ダミー領域15A、第2ダミー領域15Bおよび第1終端領域16Aの少なくとも1つに対向する領域に配置されていてもよい。

- [0258] 以下、図26を参照して、ゲート電極85およびトレンチ抵抗構造20の接続形態が説明される。図26は、ゲート電極85およびトレンチ抵抗構造20の接続形態を示す電気回路図である。図26では、トレンチゲート構造30がMISFETを示す回路記号によって示されている。
- [0259] 図26を参照して、ゲート配線87は、ゲート抵抗Rを介してゲートパッド86に電氣的に接続されている。ゲート抵抗Rは、トレンチ抵抗構造20のうちゲートパッド86の接続部および第1ゲート配線87bの接続部の間に位置する部分（つまり埋設抵抗25の一部）によって形成されている。ゲート抵抗Rの抵抗値は、ゲートパッド86の接続部および第1ゲート配線87bの接続部の間の距離を増減させることによって調節される。
- [0260] ゲート抵抗R（トレンチ抵抗構造20）は、スイッチング動作時におけるスイッチング速度を遅延させて、サージ電流を抑制する。つまり、ゲート抵抗Rは、サージ電流に起因するノイズを抑制する。ゲート抵抗Rは、第1主面3（活性面8）に形成されているため、半導体装置1に外付け接続されない。したがって、ゲート抵抗Rが第1主面3に組み込まれることによって、回路基板に実装される部品点数が削減される。
- [0261] ゲート抵抗Rはチップ2の厚さ方向に組み込まれたトレンチ抵抗構造20を含むため、第1主面3に対するゲート抵抗Rの専有面積は限定的になる。したがって、ゲート抵抗Rの導入に起因する活性領域13の面積の縮小は抑制される。また、半導体装置1のチップ2の厚さ方向に沿う厚化（大型化）が抑制される。ゲート配線87は、第1～第3ゲート配線87b～87dの全てを同時に含む必要はなく、第1～第3ゲート配線87b～87dのうちの少なくとも1つを含んでいればよい。
- [0262] 図1～図25を再度参照して、半導体装置1は、ゲート電極85から間隔を空けて層間絶縁膜80の上に配置されたソース電極95を含む。ソース電極95は、平面視においてトレンチ抵抗構造20から間隔を空けて層間絶縁膜80の上に配置されている。ソース電極95は、埋設絶縁体26を被覆していない。

- [0263] ソース電極95は、トレンチ抵抗構造20の抵抗値よりも低い抵抗値を有している。具体的には、ソース電極95は、埋設抵抗25の抵抗値よりも低い抵抗値を有している。ソース電極95は、埋設抵抗25よりも厚いことが好ましい。ソース電極95は、埋設絶縁体26よりも厚いことが特に好ましい。ソース電極95は、層間絶縁膜80よりも厚いことが好ましい。
- [0264] ソース電極95は、前述の第1深さD1よりも大きい厚さを有していることが好ましい。ソース電極95は、前述の抵抗深さDR（外周深さD0、第2深さD2）よりも大きい厚さを有していることが好ましい。ソース電極95は、0.5 μ m以上10 μ m以下の厚さを有していてもよい。ソース電極95の厚さは、1 μ m以上5 μ m以下であることが好ましい。ソース電極95の厚さは、ゲート電極85の厚さとほぼ等しいことが好ましい。
- [0265] ソース電極95は、Ti膜、TiN膜、W膜、Al膜、Cu膜、Al合金膜、Cu合金膜および導電性ポリシリコン膜のうち少なくとも1種を含んでいてもよい。ソース電極95は、純Cu膜（純度が99%以上のCu膜）、純Al膜（純度が99%以上のAl膜）、AlCu合金膜、AlSi合金膜、および、AlSiCu合金膜のうち少なくとも1つを含んでいてもよい。ソース電極95は、この形態では、チップ2側からこの順に積層されたTi膜およびAl合金膜（この形態ではAlSiCu合金膜）を含む積層構造を有している。ソース電極95は、「ソースメタル」と称されてもよい。
- [0266] ソース電極95は、この形態では、第1ソースパッド96、第2ソースパッド97、第1ソースサブパッド98、第2ソースサブパッド99およびソース配線100を含む。第1ソースパッド96には、外部からメインソース用のソース電位VSが付与される。第1ソースパッド96は、層間絶縁膜80のうち第1活性領域13Aを被覆する部分の上において、第1ゲート配線87bおよび第3ゲート配線87dの間の領域に配置されている。
- [0267] 第1ソースパッド96は、層間絶縁膜80を挟んで複数のトレンチゲート構造30に対向している。第1ソースパッド96は、層間絶縁膜80に形成された複数のソース開口101を介して複数の第1トレンチソース構造35

、ソース領域29および複数の第1コンタクト領域48に電氣的に接続されている。第1ソースパッド96は、ゲートパッド86の平面積よりも大きい平面積を有していることが好ましい。

[0268] 第2ソースパッド97には、外部からメインソース用のソース電位 V_S が付与される。第2ソースパッド97は、層間絶縁膜80のうち第1活性領域13Aを被覆する部分の上において、第2ゲート配線87cおよび第3ゲート配線87dの間の領域に配置されている。第2ソースパッド97は、層間絶縁膜80を挟んで複数のトレンチゲート構造30に対向している。

[0269] 第2ソースパッド97は、層間絶縁膜80に形成された複数のソース開口101を介して複数の第1トレンチソース構造35、ソース領域29および複数の第1コンタクト領域48に電氣的に接続されている。第2ソースパッド97は、ゲートパッド86の平面積よりも大きい平面積を有していることが好ましい。第3ゲート配線87dが形成されていない場合、第2ソースパッド97は、第1ソースパッド96と一体的に形成されていてもよい。

[0270] 第1ソースサブパッド98には、外部からソースセンス用のソース電位 V_S が付与される。第1ソースサブパッド98は、この形態では、層間絶縁膜80のうち第2活性領域13Bを被覆する部分の上において、ゲートパッド86および第1ゲート配線87b（第3接続面10C）の間の領域に配置されている。具体的には、第1ソースサブパッド98は、第1ゲート配線87bおよび第3ゲート配線87dの第1分岐部93の間の領域に配置されている。

[0271] 第1ソースサブパッド98は、第1ソースパッド96の平面積未満の平面積を有し、第1ソースパッド96と一体的に形成されている。第1ソースサブパッド98の平面積は、ゲートサブパッド88の平面積よりも大きいことが好ましい。第1ソースサブパッド98の平面積は、ゲートパッド86の平面積よりも大きいことが特に好ましい。

[0272] 第1ソースサブパッド98は、層間絶縁膜80を挟んで複数のトレンチゲート構造30に対向している。第1ソースサブパッド98は、層間絶縁膜8

0に形成された複数のソース開口101を介して複数の第1トレンチソース構造35、ソース領域29および複数の第1コンタクト領域48に電氣的に接続されている。

[0273] 第2ソースサブパッド99には、外部からソースセンス用のソース電位 V_S が付与される。第2ソースサブパッド99は、この形態では、層間絶縁膜80のうち第3活性領域13Cを被覆する部分の上において、ゲートパッド86および第2ゲート配線87c（第4接続面10D）の間の領域に配置されている。具体的には、第2ソースサブパッド99は、第2ゲート配線87cおよび第3ゲート配線87dの第2分岐部94の間の領域に配置されている。

[0274] 第2ソースサブパッド99は、この形態では、第2ソースパッド97の平面積未満の平面積を有し、第2ソースパッド97と一体的に形成されている。第2ソースサブパッド99の平面積は、ゲートサブパッド88の平面積よりも大きいことが好ましい。第2ソースサブパッド99の平面積は、ゲートパッド86の平面積よりも大きいことが特に好ましい。

[0275] 第2ソースサブパッド99は、層間絶縁膜80を挟んで複数のトレンチゲート構造30に対向している。第2ソースサブパッド99は、層間絶縁膜80に形成された複数のソース開口101を介して複数の第1トレンチソース構造35、ソース領域29および複数の第1コンタクト領域48に電氣的に接続されている。

[0276] 第1ソースパッド96、第2ソースパッド97、第1ソースサブパッド98、第2ソースサブパッド99の総平面積は、第1主面3の平面積の50%以上90%以下であることが好ましい。総平面積は、第1主面3の平面積の75%以上であることが特に好ましい。

[0277] ソース配線100は、第1ソースパッド96および第2ソースパッド97に付与されたソース電位 V_S を他の領域に伝達する。ソース配線100は、この形態では、ゲート配線87よりも外周領域17側に位置するように第1ソースパッド96および第2ソースパッド97から引き出されている。

- [0278] ソース配線100は、活性面8側から第1～第4接続面10A～10Dを通過して外周面9側に引き出されている。ソース配線100は、第1～第4接続面10A～10Dに沿って延びる帯状に形成されている。つまり、ソース配線100は、層間絶縁膜80を挟んでサイドウォール配線78に対向している。ソース配線100は、この形態では、第1～第4接続面10A～10Dに沿って延びる環状（具体的には四角環状）に形成され、ゲート配線87を取り囲んでいる。
- [0279] ソース配線100は、層間絶縁膜80に形成されたアウター開口102を介してサイドウォール配線78およびアウターコンタクト領域76に電氣的に接続されている。アウター開口102は、サイドウォール配線78およびアウターコンタクト領域76に沿って延びる帯状または環状に形成されている。ソース配線100に付与されたソース電位VSは、サイドウォール配線78を介して第1トレンチソース構造35、第2トレンチソース構造40、第1ダミートレンチ構造51、第2ダミートレンチ構造52およびトレンチ終端構造70に伝達される。
- [0280] 半導体装置1は、第1主面3の上でゲート電極85、ソース電極95および層間絶縁膜80を選択的に被覆するアップー絶縁膜110を含む。アップー絶縁膜110は、ゲートパッド86の内方部を露出させるゲートパッド開口111およびゲートサブパッド88の内方部を露出させるゲートサブパッド開口112を含む。
- [0281] アップー絶縁膜110は、ゲートパッド86の周縁部、ゲートサブパッド88の周縁部およびゲート配線87の全域を被覆している。つまり、アップー絶縁膜110は、抵抗トレンチ23内において埋設絶縁体26、ゲートパッド86の周縁部、抵抗配線87a、第1分岐部93および第2分岐部94を被覆している。
- [0282] ゲートパッド開口111は、平面視において四角形状に形成されている。ゲートサブパッド開口112は、平面視において四角形状に形成されている。ゲートサブパッド開口112は、ゲートパッド開口111の平面積よりも

小さい平面積を有している。

- [0283] アッパー絶縁膜 110 は、第1ソースパッド 96 の内方部を露出させる第1ソースパッド開口 113、第2ソースパッド 97 の内方部を露出させる第2ソースパッド開口 114、第1ソースサブパッド 98 の内方部を露出させる第1ソースサブパッド開口 115、および、第2ソースサブパッド 99 の内方部を露出させる第2ソースサブパッド開口 116 を含む。アッパー絶縁膜 110 は、第1ソースパッド 96 の周縁部、第2ソースパッド 97 の周縁部、第1ソースサブパッド 98 の周縁部、第2ソースサブパッド 99 の周縁部およびソース配線 100 の全域を被覆している。
- [0284] 第1ソースパッド開口 113 は、平面視において四角形状に形成されている。第1ソースパッド開口 113 は、ゲートサブパッド開口 112 の平面積よりも大きい平面積を有している。第1ソースパッド開口 113 の平面積は、ゲートパッド開口 111 の平面積よりも大きいことが好ましい。
- [0285] 第2ソースパッド開口 114 は、平面視において四角形状に形成されている。第2ソースパッド開口 114 は、ゲートサブパッド開口 112 の平面積よりも大きい平面積を有している。第2ソースパッド開口 114 の平面積は、ゲートパッド開口 111 の平面積よりも大きいことが好ましい。第2ソースパッド開口 114 の平面積は、第1ソースパッド開口 113 の平面積とほぼ等しいことが好ましい。
- [0286] 第1ソースサブパッド開口 115 は、平面視において四角形状に形成されている。第1ソースサブパッド開口 115 は、第1ソースパッド開口 113 の平面積よりも小さい平面積を有している。第1ソースサブパッド開口 115 の平面積は、ゲートサブパッド開口 112 の平面積よりも大きいことが好ましい。第1ソースサブパッド開口 115 の平面積は、この形態では、ゲートパッド開口 111 の平面積よりも大きい。むろん、第1ソースサブパッド開口 115 の平面積は、ゲートパッド開口 111 の平面積未満であってもよい。
- [0287] 第2ソースサブパッド開口 116 は、平面視において四角形状に形成され

ている。第2ソースサブパッド開口116は、第2ソースパッド開口114の平面積よりも小さい平面積を有している。第2ソースサブパッド開口116の平面積は、ゲートサブパッド開口112の平面積よりも大きいことが好ましい。第2ソースサブパッド開口116の平面積は、この形態では、ゲートパッド開口111の平面積よりも大きい。むろん、第2ソースサブパッド開口116の平面積は、ゲートパッド開口111の平面積未満であってもよい。第2ソースサブパッド開口116の平面積は、第1ソースサブパッド開口115の平面積とほぼ等しいことが好ましい。

[0288] 第1ソースサブパッド98を利用したソースセンスを必要としない場合、第1ソースパッド96および第1ソースサブパッド98の双方を露出させる第1ソースパッド開口113を形成すればよい。第2ソースサブパッド99を利用したソースセンスを必要としない場合、第2ソースパッド97および第2ソースサブパッド99の双方を露出させる第2ソースパッド開口114を形成すればよい。

[0289] アッパー絶縁膜110は、チップ2の周縁（第1～第4側面5A～5D）から内方に間隔を空けて形成され、チップ2の周縁との間でダイニングストリート117を区画している。ダイニングストリート117は、平面視においてチップ2の周縁に沿って延びる帯状に形成されている。ダイニングストリート117は、この形態では、平面視において活性面8を取り囲む環状（具体的には四角環状）に形成されている。ダイニングストリート117は、この形態では、層間絶縁膜80を露出させている。

[0290] むろん、主面絶縁膜18および層間絶縁膜80が外周面9を露出させている場合、ダイニングストリート117は、外周面9を露出させていてもよい。ダイニングストリート117は、1 μ m以上200 μ m以下の幅を有してもよい。ダイニングストリート117の幅は、ダイニングストリート117の延在方向に直交する方向の幅である。ダイニングストリート117の幅は、5 μ m以上50 μ m以下であることが好ましい。

[0291] アッパー絶縁膜110は、ゲート電極85の厚さおよびソース電極95の

厚さを超える厚さを有していることが好ましい。アップパー絶縁膜110の厚さは、チップ2の厚さ未満であることが好ましい。アップパー絶縁膜110の厚さは、 $3\mu\text{m}$ 以上 $35\mu\text{m}$ 以下であってもよい。アップパー絶縁膜110の厚さは、 $25\mu\text{m}$ 以下であることが好ましい。

[0292] アップパー絶縁膜110は、この形態では、チップ2側からこの順に積層された無機絶縁膜120および有機絶縁膜121を含む積層構造を有している。アップパー絶縁膜110は、無機絶縁膜120および有機絶縁膜121のうちの少なくとも1つを含んでいればよく、必ずしも無機絶縁膜120および有機絶縁膜121を同時に含む必要はない。

[0293] 無機絶縁膜120は、ゲート電極85、ソース電極95および層間絶縁膜80を選択的に被覆し、ゲートパッド開口111の一部、ゲートサブパッド開口112の一部、第1ソースパッド開口113の一部、第2ソースパッド開口114の一部、第1ソースサブパッド開口115の一部、第2ソースサブパッド開口116の一部およびダイシングストリート117の一部を区画している。

[0294] 無機絶縁膜120は、酸化シリコン膜、窒化シリコン膜および酸窒化シリコン膜のうちの少なくとも1つを含んでいてもよい。無機絶縁膜120は、層間絶縁膜80とは異なる絶縁材料を含むことが好ましい。無機絶縁膜120は、窒化シリコン膜を含むことが好ましい。無機絶縁膜120は、層間絶縁膜80の厚さ未満の厚さを有していることが好ましい。無機絶縁膜120の厚さは、 $0.1\mu\text{m}$ 以上 $5\mu\text{m}$ 以下であってもよい。

[0295] 有機絶縁膜121は、無機絶縁膜120を選択的に被覆し、ゲートパッド開口111の一部、ゲートサブパッド開口112の一部、第1ソースパッド開口113の一部、第2ソースパッド開口114の一部、第1ソースサブパッド開口115の一部、第2ソースサブパッド開口116の一部およびダイシングストリート117の一部を区画している。

[0296] 有機絶縁膜121は、ゲートパッド開口111の壁面において無機絶縁膜120を露出させていてもよい。有機絶縁膜121は、ゲートサブパッド開

□ 1 1 2 の壁面において無機絶縁膜 1 2 0 を露出させていてもよい。有機絶縁膜 1 2 1 は、第 1 ソースパッド開口 1 1 3 の壁面において無機絶縁膜 1 2 0 を露出させていてもよい。有機絶縁膜 1 2 1 は、第 2 ソースパッド開口 1 1 4 の壁面において無機絶縁膜 1 2 0 を露出させていてもよい。

[0297] 有機絶縁膜 1 2 1 は、第 1 ソースサブパッド開口 1 1 5 の壁面において無機絶縁膜 1 2 0 を露出させていてもよい。有機絶縁膜 1 2 1 は、第 2 ソースサブパッド開口 1 1 6 の壁面において無機絶縁膜 1 2 0 を露出させていてもよい。有機絶縁膜 1 2 1 は、ダイシングストリート 1 1 7 の壁面において無機絶縁膜 1 2 0 を露出させていてもよい。むろん、有機絶縁膜 1 2 1 は、無機絶縁膜 1 2 0 を露出させないように無機絶縁膜 1 2 0 の全域を被覆していてもよい。

[0298] 有機絶縁膜 1 2 1 は、熱硬化性樹脂以外の樹脂膜からなることが好ましい。有機絶縁膜 1 2 1 は、透光性樹脂または透明樹脂からなってもよい。有機絶縁膜 1 2 1 は、ネガティブタイプまたはポジティブタイプの感光性樹脂膜からなってもよい。有機絶縁膜 1 2 1 は、ポリイミド膜、ポリアミド膜またはポリベンゾオキサゾール膜からなることが好ましい。有機絶縁膜 1 2 1 は、この形態では、ポリベンゾオキサゾール膜を含む。

[0299] 有機絶縁膜 1 2 1 は、無機絶縁膜 1 2 0 の厚さを超える厚さを有していることが好ましい。有機絶縁膜 1 2 1 の厚さは、層間絶縁膜 8 0 の厚さを超えていることが好ましい。有機絶縁膜 1 2 1 の厚さは、ゲート電極 8 5 の厚さおよびソース電極 9 5 の厚さを超えていることが特に好ましい。有機絶縁膜 1 2 1 の厚さは、 $3\ \mu\text{m}$ 以上 $30\ \mu\text{m}$ 以下であってもよい。有機絶縁膜 1 2 1 の厚さは、 $20\ \mu\text{m}$ 以下であることが好ましい。

[0300] 半導体装置 1 は、第 2 主面 4 を被覆するドレイン電極 1 3 0 を含む。ドレイン電極 1 3 0 は、第 2 主面 4 から露出した第 2 半導体領域 7 とオーミック接触を形成している。ドレイン電極 1 3 0 は、チップ 2 の周縁（第 1 ～第 4 側面 5 A ～ 5 D）に連なるように第 2 主面 4 の全域を被覆していてもよい。ソース電極 9 5 およびドレイン電極 1 3 0 の間（第 1 主面 3 および第 2 主面

4の間)に印加可能なブレイクダウン電圧は、500V以上3000V以下であってもよい。

[0301] 以上、半導体装置1は、チップ2、トレンチ抵抗構造20、ゲートパッド86およびゲート配線87を含む。チップ2は、第1主面3を有している。トレンチ抵抗構造20は、第1主面3に形成されている。ゲートパッド86は、トレンチ抵抗構造20よりも低い抵抗値を有し、トレンチ抵抗構造20に電氣的に接続されるようにトレンチ抵抗構造20の上に配置されている。ゲート配線87は、トレンチ抵抗構造20よりも低い抵抗値を有し、トレンチ抵抗構造20を介してゲートパッド86に電氣的に接続されるようにトレンチ抵抗構造20の上に配置されている。

[0302] この構造によれば、ゲート抵抗Rとなるトレンチ抵抗構造20がチップ2内に組み込まれているため、第1主面3の法線方向Zに沿うデバイスの大型化(厚化)を抑制できる。また、ゲートパッド86およびゲート配線87がトレンチ抵抗構造20の上に配置されるため、平面視において第1主面3に対するトレンチ抵抗構造20、ゲートパッド86およびゲート配線87の専有面積を低減できる。よって、ゲート抵抗Rを備えた構成において、小型化に寄与する新規なレイアウトを有する半導体装置1を提供できる。

[0303] ゲートパッド86は、トレンチ抵抗構造20の平面積未満の平面積を有していることが好ましい。この構造によれば、平面視においてトレンチ抵抗構造20の壁面から間隔を空けてトレンチ抵抗構造20の壁面によって取り囲まれた領域内にゲートパッド86を配置できる。また、ゲートパッド86の大型化を抑制し、ゲートパッド86の配置箇所をトレンチ抵抗構造20の直上に制限できるため、ゲートパッド86のレイアウトに起因する設計ルールの制限(たとえばチップ2側に形成される構造物のレイアウトの制限)を緩和できる。

[0304] ゲート配線87は、平面視においてトレンチ抵抗構造20よりも幅狭な帯状に延びていることが好ましい。ゲート配線87は、平面視においてトレンチ抵抗構造20の内方部を横切る2辺を有していることが好ましい。これら

の構造によれば、ゲート配線 87 の大型化を抑制できるため、ゲート配線 87 のレイアウトに起因する設計ルール制限（たとえばチップ 2 側に形成される構造物のレイアウトの制限）を緩和できる。

[0305] トレンチ抵抗構造 20 は、第 1 主面 3 に形成された抵抗トレンチ 23、抵抗トレンチ 23 の壁面を被覆する抵抗絶縁膜 24、および、抵抗絶縁膜 24 を挟んで抵抗トレンチ 23 内に配置された埋設抵抗 25 を含むことが好ましい。この場合、ゲートパッド 86 は、埋設抵抗 25 よりも低い抵抗値を有し、埋設抵抗 25 に電氣的に接続されていることが好ましい。また、ゲート配線 87 は、埋設抵抗 25 よりも低い抵抗値を有し、埋設抵抗 25 に電氣的に接続されていることが好ましい。

[0306] 埋設抵抗 25 は、抵抗トレンチ 23 の周縁から間隔を空けて抵抗トレンチ 23 の内方部内に配置されていることが好ましい。この構造によれば、埋設抵抗 25 および抵抗トレンチ 23 の周縁との間に抵抗絶縁膜 24 が露出した絶縁領域 27 を区画できる。この構造によれば、埋設抵抗 25（トレンチ抵抗構造 20）を、チップ 2 や他の構造物から適切に電氣的に独立させることができる。

[0307] これにより、他の構造物に対するゲート抵抗 R の電氣的な影響を低減し、ゲート抵抗 R に対する他の構造物の電氣的な影響を低減できる。たとえば、埋設抵抗 25 に起因するチャンネルの誤作動を抑制できる。よって、ゲート抵抗 R をチップ 2 に適切に組み込むことができる。

[0308] 埋設抵抗 25 は、抵抗トレンチ 23 の全周から間隔を空けて抵抗トレンチ 23 の内方部内に配置されていることが特に好ましい。この構造によれば、平面視において埋設抵抗 25 を環状に取り囲む絶縁領域 27 を区画できる。絶縁領域 27 の平面積は、埋設抵抗 25 の平面積以上であることが好ましい。

[0309] 埋設抵抗 25 は、抵抗トレンチ 23 の中央部に対して抵抗トレンチ 23 の周縁側に偏在していてもよい。この構造によれば、埋設抵抗 25 に対するゲートパッド 86 の接続位置および埋設抵抗 25 に対するゲート配線 87 の接

続位置を適切に調節できる。つまり、埋設抵抗25、ゲートパッド86およびゲート配線87に課される設計ルールの制限を緩和できる。

[0310] ゲートパッド86は、埋設抵抗25の平面積以上の平面積を有していることが好ましい。この構造によれば、外部からゲートパッド86にゲート電位VGを適切に付与できる。ゲート配線87は、平面視において埋設抵抗25よりも幅狭な帯状に形成されていることが好ましい。ゲート配線87は、平面視において埋設抵抗25の内方部を横切る2辺を有していることが好ましい。これらの構造によれば、ゲート配線87の大型化を適切に抑制できる。

[0311] 埋設抵抗25は、抵抗トレンチ23の深さよりも小さい厚さを有し、第1主面3の高さ位置から抵抗トレンチ23の底壁22側に間隔を空けて抵抗トレンチ23内に配置されていることが好ましい。この構造によれば、抵抗トレンチ23内に埋設抵抗25を収容できるため、埋設抵抗25の厚さに起因する大型化を抑制できる。

[0312] このような構造において、ゲートパッド86は、第1主面3の高さ位置に対して抵抗トレンチ23の底壁22側の領域において埋設抵抗25に接続されることが好ましい。この場合、ゲートパッド86は、第1主面3よりも上方に突出した部分を有していることが好ましい。この構造によれば、外部からゲートパッド86にゲート電位VGを適切に付与できる。

[0313] また、ゲート配線87は、第1主面3の高さ位置に対して抵抗トレンチ23の底壁22側の領域において埋設抵抗25に接続されることが好ましい。この場合、ゲート配線87は、第1主面3よりも上方に突出した部分を有していてもよい。

[0314] トレンチ抵抗構造20は、抵抗トレンチ23内で埋設抵抗25を被覆する埋設絶縁体26を含むことが好ましい。この構造によれば、埋設絶縁体26によって埋設抵抗25を他の構造物から適切に絶縁し、保護できる。この場合、ゲートパッド86は、埋設絶縁体26を貫通して埋設抵抗25に電氣的に接続されるように埋設絶縁体26の上に配置されていることが好ましい。また、ゲート配線87は、埋設絶縁体26を貫通して埋設抵抗25に電氣的

に接続されるように埋設絶縁体 26 の上に配置されていることが好ましい。

- [0315] 半導体装置 1 は、埋設絶縁体 26 に接続されるように第 1 主面 3 を被覆する層間絶縁膜 80 を含むことが好ましい。この場合、層間絶縁膜 80 は、埋設絶縁体 26 に接続されていることが好ましい。この構造によれば、埋設絶縁体 26 および層間絶縁膜 80 によって抵抗トレンチ 23 および埋設抵抗 25 を保護できる。
- [0316] 半導体装置 1 は、トレンチ抵抗構造 20 に隣り合うようにトレンチ抵抗構造 20 から間隔を空けて第 1 主面 3 に形成されたダミートレンチ構造 50 を含むことが好ましい。この構造によれば、ダミートレンチ構造 50 を利用してトレンチ抵抗構造 20 の近傍における電界を緩和できる。ダミートレンチ構造 50 には、トレンチ抵抗構造 20 とは異なる電位が付与されることが好ましい。つまり、ダミートレンチ構造 50 は、チャンネルの制御に寄与しないことが好ましい。この場合、ダミートレンチ構造 50 には、ソース電位 V_S が付与されることが好ましい。
- [0317] この場合、ゲート配線 87 は、平面視においてダミートレンチ構造 50 に重なっていてもよい。この構造によれば、ゲート配線 87 の配置箇所をダミートレンチ構造 50 の直上に制限できるため、ゲート配線 87 のレイアウトに起因する設計ルール制限（たとえばチップ 2 側に形成される構造物のレイアウトの制限）を緩和できる。複数のダミートレンチ構造 50 が第 1 主面 3 に形成されていることが好ましい。この構造によれば、複数のダミートレンチ構造 50 を利用してトレンチ抵抗構造 20 の近傍における緩和できる。
- [0318] 半導体装置 1 は、トレンチ抵抗構造 20 に隣り合うようにトレンチ抵抗構造 20 から間隔を空けて第 1 主面 3 に形成されたトレンチゲート構造 30 を含むことが好ましい。この場合、ゲート配線 87 は、トレンチゲート構造 30 に電氣的に接続されていることが好ましい。この構造によれば、ゲートパッド 86 およびトレンチゲート構造 30 の間にトレンチ抵抗構造 20（ゲート抵抗 R ）を電氣的に介在させることができる。
- [0319] 半導体装置 1 は、トレンチ抵抗構造 20 およびトレンチゲート構造 30 に

隣り合うように第1主面3に形成された第1トレンチソース構造35を含むことが好ましい。トレンチ抵抗構造20は、トレンチ抵抗構造20よりも浅く形成されていてもよい。第1トレンチソース構造35は、トレンチゲート構造30よりも深く形成されていてもよい。第1トレンチソース構造35は、トレンチ抵抗構造20ほぼ等しい深さで形成されていてもよい。

[0320] このような構造は、トレンチ抵抗構造20に対する電界集中を抑制し、耐圧（ブレイクダウン電圧）を向上させる上で有効である。このような構造において、複数のダミートレンチ構造50は、トレンチゲート構造30に対応して比較的浅く形成された第1ダミートレンチ構造51、および、トレンチ抵抗構造20に対応して比較的深く形成された第2ダミートレンチ構造52を含むことが好ましい。

[0321] 半導体装置1は、第1主面3の表層部に形成されたn型の第1半導体領域6を含むことが好ましい。この場合、トレンチ抵抗構造20は、第1半導体領域6内に位置するように第1主面3に形成される。このような構造において、半導体装置1は、第1半導体領域6とpn接合部を形成するように第1半導体領域6内においてトレンチ抵抗構造20に沿う領域に形成されたp型の第1ウェル領域28を含むことが好ましい。この構造によれば、第1ウェル領域28を起点に拡がる空乏層によって耐圧（たとえばブレイクダウン電圧）を向上できる。

[0322] 半導体装置1は、第1主面3の内方部に形成された活性面8、活性面8からチップ2の厚さ方向に窪むように第1主面3の周縁部に形成された外周面9、ならびに、活性面8および外周面9を接続する第1～第4接続面10A～10Dによって第1主面3に区画された活性台地11を含んでいてもよい。この場合、トレンチ抵抗構造20は、活性面8に形成されていることが好ましい。

[0323] 半導体装置1は、第1～第4接続面10A～10Dの少なくとも1つを被覆するように外周面9の上に配置されたサイドウォール構造を含んでいてもよい。第1トレンチソース構造35は第1～第4接続面10A～10Dのう

ちの少なくとも1つから露出しているもよい。この場合、サイドウォール構造は、第1トレンチソース構造35に電氣的に接続されたサイドウォール配線78からなっているもよい。

[0324] この構造によれば、サイドウォール配線78によって、トレンチ抵抗構造20に対する電位とは異なる電位を外周面9側から第1トレンチソース構造35に付与できる。むろん、ダミートレンチ構造50が第1～第4接続面10A～10Dのうちの少なくとも1つから露出し、サイドウォール配線78がダミートレンチ構造50に電氣的に接続されているもよい。

[0325] 半導体装置1は、トレンチ抵抗構造20よりも低い抵抗値を有し、トレンチ抵抗構造20を介してゲートパッド86に電氣的に接続されるように第1主面3の上に配置されたゲートサブパッド88を含んでいてもよい。この構造によれば、ゲートパッド86およびゲートサブパッド88の間の抵抗値を測定することによって、ゲートパッド86およびゲート配線87の間の抵抗値を間接的に測定できる。

[0326] ゲートサブパッド88は、平面視においてトレンチ抵抗構造20外の領域に配置されていることが好ましい。ゲートサブパッド88は、ゲートパッド86よりも幅狭に形成され、ゲート配線87よりも幅広に形成されていることが好ましい。ゲートサブパッド88は、ゲート配線87に接続されているもよい。

[0327] 半導体装置1は、外周領域17において第1主面3の表層部に形成されたp型のアウターウェル領域75を含んでいてもよい。この構造によれば、アウターウェル領域75によって外周領域17の電界を緩和できる。半導体装置1は、外周領域17において第1主面3の表層部に形成された少なくとも1つのp型のフィールド領域77を含んでいてもよい。この構造によれば、フィールド領域77によって外周領域17の電界を緩和できる。

[0328] チップ2は、ワイドバンドギャップ半導体の単結晶を含むことが好ましい。ワイドバンドギャップ半導体の単結晶は、電氣的特性を向上させる上で有効である。また、ワイドバンドギャップ半導体の単結晶によれば、比較的高

い硬度によってチップ2の変形を抑制しながら、チップ2の薄化およびチップ2の平面積の増加を達成できる。

[0329] チップ2の薄化およびチップ2の平面積の拡張は、電気的特性を向上させる上でも有効である。たとえば、チップ2は、平面視において1mm角以上の面積を有する第1主面3を有していてもよい。たとえば、チップ2は、200 μm 以下の厚さを有していてもよい。チップ2は、断面視において100 μm 以下の厚さを有していることが好ましい。

[0330] 以下、図27～図32を参照して、実施形態に適用される種々の変形例が説明される。図27は、第1変形例に係るトレンチ抵抗構造20を示す断面図である。前述の実施形態に係るトレンチ抵抗構造20は、絶縁領域27を有していた。これに対して、第1変形例に係るトレンチ抵抗構造20は、絶縁領域27を有していない。つまり、埋設抵抗25は、抵抗トレンチ23の周縁において抵抗絶縁膜24に接続されるように抵抗トレンチ23の底壁22の全域を被覆している。

[0331] 図28は、第2変形例に係るトレンチ抵抗構造20を示す断面図である。第2変形例に係るトレンチ抵抗構造20は、第1変形例に係るトレンチ抵抗構造20において埋設抵抗25を厚化させた形態を有している。埋設抵抗25は、この形態では、抵抗トレンチ23の深さ方向中間部よりも活性面8側に位置する抵抗端面25aを有している。この場合、ゲート埋設電極33の端面は、埋設抵抗25の抵抗端面25aとほぼ等しい高さ位置に形成されていてもよい。また、第1ソース埋設電極38の端面は、埋設抵抗25の抵抗端面25aとほぼ等しい高さ位置に形成されていてもよい。

[0332] 図29は、第3変形例に係るトレンチ抵抗構造20を示す断面図である。前述の実施形態に係るトレンチ抵抗構造20は、外周面9の外周深さD0とほぼ等しい深さを有していた。これに対して、第3変形例に係るトレンチ抵抗構造20は、外周深さD0未満の抵抗深さDRを有している。この場合、抵抗深さDRは、0.1 μm 以上3 μm 以下であってもよい。抵抗深さDRは、0.5 μm 以上1.5 μm 以下であることが好ましい。

- [0333] この場合、トレンチゲート構造30は、抵抗深さDRとほぼ等しい第1深さD1を有していてもよい。また、第1トレンチソース構造35は、抵抗深さDRよりも大きい第2深さD2を有していてもよい。第2ウェル領域45の底部は、この形態では、第1ウェル領域28の底部とほぼ等しい深さに形成されている。第3ウェル領域46の底部は、この形態では、第1ウェル領域28の底部に対して第1半導体領域6の底部側に形成されている。
- [0334] 図30は、第4変形例に係るトレンチ抵抗構造を示す断面図である。第4変形例に係るトレンチ抵抗構造20は、第3変形例において絶縁領域27を排除した形態を有している。つまり、埋設抵抗25は、抵抗トレンチ23の周縁において抵抗絶縁膜24に接続されるように抵抗トレンチ23の底壁22の全域を被覆している。
- [0335] この場合、埋設抵抗25は、抵抗トレンチ23の深さ方向中間部よりも活性面8側に位置する抵抗端面25aを有していてもよい。ゲート埋設電極33の端面は、埋設抵抗25の抵抗端面25aとほぼ等しい高さ位置に形成されていてもよい。また、第1ソース埋設電極38の端面は、埋設抵抗25の抵抗端面25aとほぼ等しい高さ位置に形成されていてもよい。
- [0336] 図31は、第1変形例に係るチップ2を示す断面図である。図31を参照して、半導体装置1は、チップ2の内部において第1半導体領域6の厚さよりも小さい厚さを有する第2半導体領域7を含んでいてもよい。つまり、チップ2は、半導体基板よりも厚いエピタキシャル層を含んでいてもよい。
- [0337] 図32は、第2変形例に係るチップ2を示す断面図である。図32を参照して、半導体装置1は、チップ2の内部において第2半導体領域7を有さず、第1半導体領域6のみを含んでいてもよい。この場合、第1半導体領域6は、チップ2の第1主面3、第2主面4および第1～第4側面5A～5Dから露出している。つまり、チップ2は、この形態では、半導体基板を有さず、エピタキシャル層からなる単層構造を有している。
- [0338] 前述の実施形態はさらに他の形態で実施できる。前述の各実施形態では、「第1導電型」が「n型」であり、「第2導電型」が「p型」である形態が

示された。しかし、前述の各実施形態において、「第1導電型」が「p型」であり、「第2導電型」が「n型」である形態が採用されてもよい。この場合の具体的な構成は、前述の説明および添付図面において、「n型」を「p型」に置き換えると同時に、「p型」を「n型」に置き換えることによって得られる。

[0339] 前述の実施形態では、n型の第2半導体領域7が示された。しかし、p型の第2半導体領域7が採用されてもよい。この場合、MISFETに代えてIGBT (Insulated Gate Bipolar Transistor) が形成される。この場合、前述の説明において、MISFETの「ソース」がIGBTの「エミッタ」に置き換えられ、MISFETの「ドレイン」がIGBTの「コレクタ」に置き換えられる。p型の第2半導体領域7はイオン注入法によってチップ2の第2主面4の表層部に導入されたp型不純物を含む不純物領域であってもよい。

[0340] 以下、この明細書および図面から抽出される特徴例が示される。以下、括弧内の英数字等は前述の実施形態における対応構成要素等を表すが、各項目 (Clause) の範囲を実施形態に限定する趣旨ではない。以下の項目に係る「半導体装置」は、必要に応じて「ワイドバンドギャップ半導体装置」、「SiC半導体装置」、「半導体スイッチング装置」、「SiC-MISFET」等に置き換えられてもよい。

[0341] [A1] 主面(3)を有するチップ(2)と、前記主面(3)に形成されたトレンチ抵抗構造(20)と、前記トレンチ抵抗構造(20)よりも低い抵抗値を有し、前記トレンチ抵抗構造(20)に電氣的に接続されるように前記トレンチ抵抗構造(20)の上に配置されたゲートパッド(86)と、前記トレンチ抵抗構造(20)よりも低い抵抗値を有し、前記トレンチ抵抗構造(20)を介して前記ゲートパッド(86)に電氣的に接続されるように前記トレンチ抵抗構造(20)の上に配置されたゲート配線(87、87a~87d)と、を含む、半導体装置(1)。

[0342] [A2] 前記ゲートパッド(86)は、前記トレンチ抵抗構造(20)の

平面積未満の平面積を有している、A 1 に記載の半導体装置 (1)。

[0343] [A 3] 前記ゲートパッド (86) は、平面視において前記トレンチ抵抗構造 (20) の壁面から間隔を空けて前記トレンチ抵抗構造 (20) の壁面によって取り囲まれた領域内に配置されている、A 1 または A 2 に記載の半導体装置 (1)。

[0344] [A 4] 前記ゲート配線 (87、87a~87d) は、平面視において前記トレンチ抵抗構造 (20) よりも幅狭な帯状に形成されている、A 1~A 3 のいずれか一つに記載の半導体装置 (1)。

[0345] [A 5] 前記ゲート配線 (87、87a~87d) は、平面視において前記トレンチ抵抗構造 (20) の内方部を横切る 2 辺を有している、A 4 に記載の半導体装置 (1)。

[0346] [A 6] 前記トレンチ抵抗構造 (20) は、前記主面 (3) に形成されたトレンチ (23)、前記トレンチ (23) の壁面を被覆する絶縁膜 (24)、および、前記絶縁膜 (24) を挟んで前記トレンチ (23) 内に配置された埋設抵抗 (25) を含み、前記ゲートパッド (86) は、前記埋設抵抗 (25) よりも低い抵抗値を有し、前記埋設抵抗 (25) に電氣的に接続され、前記ゲート配線 (87、87a~87d) は、前記埋設抵抗 (25) よりも低い抵抗値を有し、前記埋設抵抗 (25) に電氣的に接続されている、A 1~A 5 のいずれか一つに記載の半導体装置 (1)。

[0347] [A 7] 前記埋設抵抗 (25) は、前記トレンチ (23) の周縁 (21A~21D) から間隔を空けて前記トレンチ (23) の内方部内に配置され、前記トレンチ (23) の周縁 (21A~21D) との間で前記絶縁膜 (24) を露出させる絶縁領域 (27) を区画している、A 6 に記載の半導体装置 (1)。

[0348] [A 8] 前記ゲートパッド (86) は、前記埋設抵抗 (25) の平面積以上の平面積を有している、A 7 に記載の半導体装置 (1)。

[0349] [A 9] 前記ゲート配線 (87、87a~87d) は、平面視において前記埋設抵抗 (25) よりも幅狭な帯状に形成されている、A 7 または A 8 に

記載の半導体装置（１）。

- [0350] [A 1 0] 前記ゲート配線（８７、８７ a～８７ d）は、平面視において前記トレンチ（２３）内において前記埋設抵抗（２５）を横切る２辺を有している、A 7～A 9のいずれか一つに記載の半導体装置（１）。
- [0351] [A 1 1] 前記埋設抵抗（２５）は、前記トレンチ（２３）の深さよりも小さい厚さを有し、前記主面（３）の高さ位置から前記トレンチ（２３）の底壁（２２）側に間隔を空けて前記トレンチ（２３）内に配置され、前記ゲートパッド（８６）は、前記主面（３）の高さ位置に対して前記トレンチ（２３）の底壁（２２）側の領域において前記埋設抵抗（２５）に接続され、前記ゲート配線（８７、８７ a～８７ d）は、前記主面（３）の高さ位置に対して前記トレンチ（２３）の底壁（２２）側の領域において前記埋設抵抗（２５）に接続されている、A 6～A 1 0のいずれか一つに記載の半導体装置（１）。
- [0352] [A 1 2] 前記ゲートパッド（８６）は、前記主面（３）よりも上方に突出した部分を有している、A 1 1に記載の半導体装置（１）。
- [0353] [A 1 3] 前記トレンチ抵抗構造（２０）は、前記トレンチ（２３）内で前記埋設抵抗（２５）を被覆する埋設絶縁体（２６）を含み、前記ゲートパッド（８６）は、前記埋設絶縁体（２６）を貫通して前記埋設抵抗（２５）に電氣的に接続されるように前記埋設絶縁体（２６）の上に配置され、前記ゲート配線（８７、８７ a～８７ d）は、前記埋設絶縁体（２６）を貫通して前記埋設抵抗（２５）に電氣的に接続されるように前記埋設絶縁体（２６）の上に配置されている、A 1 1またはA 1 2に記載の半導体装置（１）。
- [0354] [A 1 4] 前記埋設絶縁体（２６）に接続されるように前記主面（３）を被覆する層間絶縁膜（８０）をさらに含む、A 1 3に記載の半導体装置（１）。
- [0355] [A 1 5] 前記トレンチ抵抗構造（２０）に隣り合うように前記トレンチ抵抗構造（２０）から間隔を空けて前記主面（３）に形成され、前記トレンチ抵抗構造（２０）とは異なる電位が付与されるダミートレンチ構造（５０

～52) をさらに含む、A1～A14のいずれか一つに記載の半導体装置(1)。

[0356] [A16] 前記トレンチ抵抗構造(20)に隣り合うように前記トレンチ抵抗構造(20)から間隔を空けて前記主面(3)に形成されたトレンチゲート構造(30)をさらに含み、前記ゲート配線(87、87a～87d)は、前記トレンチゲート構造(30)に電氣的に接続されている、A1～A15のいずれか一つに記載の半導体装置(1)。

[0357] [A17] 前記トレンチ抵抗構造(20)および前記トレンチゲート構造(30)に隣り合うように前記主面(3)に形成されたトレンチソース構造(35)をさらに含む、A16に記載の半導体装置(1)。

[0358] [A18] 前記主面(3)の表層部に形成された第1導電型(n型)の半導体領域(6)と、前記半導体領域(6)内に位置するように前記主面(3)に形成された前記トレンチ抵抗構造(20)と、前記半導体領域(6)とpn接合部を形成するように前記半導体領域(6)内において前記トレンチ抵抗構造(20)に沿う領域に形成された第2導電型(p型)のウェル領域(28)と、をさらに含む、A1～A17のいずれか一つに記載の半導体装置(1)。

[0359] [A19] 前記主面(3)の内方部に形成された第1面部(8)、前記第1面部(8)から前記チップ(2)の厚さ方向に窪むように前記主面(3)の周縁部に形成された第2面部(9)、ならびに、前記第1面部(8)および前記第2面部(9)を接続する接続面部(10A～10D)によって前記主面(3)に区画された台地(11)をさらに含み、前記トレンチ抵抗構造(20)は、前記第1面部(8)に形成されている、A1～A18のいずれか一つに記載の半導体装置(1)。

[0360] [A20] 前記トレンチ抵抗構造(20)よりも低い抵抗値を有し、前記トレンチ抵抗構造(20)を介して前記ゲートパッド(86)に電氣的に接続されるように前記主面(3)の上に配置されたゲートサブパッド(88)をさらに含む、A1～A19のいずれか一つに記載の半導体装置(1)。

[0361] 以上、実施形態が詳細に説明されたが、これらは技術的内容を明示する具体例に過ぎない。この明細書から抽出される種々の技術的思想は、明細書内の説明順序や実施形態の順序等に制限されずにそれらの間で適宜組み合わせ可能である。

符号の説明

- [0362]
- 1 半導体装置
 - 2 チップ
 - 3 第1主面
 - 6 第1半導体領域
 - 8 活性面（第1面部）
 - 9 外周面（第2面部）
 - 10A 第1接続面（接続面部）
 - 10B 第2接続面（接続面部）
 - 10C 第3接続面（接続面部）
 - 10D 第4接続面（接続面部）
 - 11 活性台地
 - 20 トレンチ抵抗構造
 - 21A トレンチ抵抗構造の第1側壁（周縁）
 - 21B トレンチ抵抗構造の第2側壁（周縁）
 - 21C トレンチ抵抗構造の第3側壁（周縁）
 - 21D トレンチ抵抗構造の第4側壁（周縁）
 - 22 トレンチ抵抗構造の底壁
 - 23 抵抗トレンチ
 - 24 抵抗絶縁膜
 - 25 埋設抵抗
 - 26 埋設絶縁体
 - 27 絶縁領域
 - 28 第1ウェル領域

- 30 トレンチゲート構造
- 35 第1トレンチソース構造
- 50 ダミートレンチ構造
- 51 第1ダミートレンチ構造
- 52 第2ダミートレンチ構造
- 80 層間絶縁膜
- 86 ゲートパッド
- 87 ゲート配線
- 87 a 抵抗配線 (ゲート配線)
- 87 b 第1ゲート配線 (ゲート配線)
- 87 c 第2ゲート配線 (ゲート配線)
- 87 d 第3ゲート配線 (ゲート配線)
- 88 ゲートサブパッド

請求の範囲

- [請求項1] 主面を有するチップと、
前記主面に形成されたトレンチ抵抗構造と、
前記トレンチ抵抗構造よりも低い抵抗値を有し、前記トレンチ抵抗構造に電氣的に接続されるように前記トレンチ抵抗構造の上に配置されたゲートパッドと、
前記トレンチ抵抗構造よりも低い抵抗値を有し、前記トレンチ抵抗構造を介して前記ゲートパッドに電氣的に接続されるように前記トレンチ抵抗構造の上に配置されたゲート配線と、を含む、半導体装置。
- [請求項2] 前記ゲートパッドは、前記トレンチ抵抗構造の平面積未満の平面積を有している、請求項1に記載の半導体装置。
- [請求項3] 前記ゲートパッドは、平面視において前記トレンチ抵抗構造の壁面から間隔を空けて前記トレンチ抵抗構造の壁面によって取り囲まれた領域内に配置されている、請求項1または2に記載の半導体装置。
- [請求項4] 前記ゲート配線は、平面視において前記トレンチ抵抗構造よりも幅狭な帯状に形成されている、請求項1～3のいずれか一項に記載の半導体装置。
- [請求項5] 前記ゲート配線は、平面視において前記トレンチ抵抗構造の内方部を横切る2辺を有している、請求項4に記載の半導体装置。
- [請求項6] 前記トレンチ抵抗構造は、前記主面に形成されたトレンチ、前記トレンチの壁面を被覆する絶縁膜、および、前記絶縁膜を挟んで前記トレンチ内に配置された埋設抵抗を含み、
前記ゲートパッドは、前記埋設抵抗よりも低い抵抗値を有し、前記埋設抵抗に電氣的に接続され、
前記ゲート配線は、前記埋設抵抗よりも低い抵抗値を有し、前記埋設抵抗に電氣的に接続されている、請求項1～5のいずれか一項に記載の半導体装置。
- [請求項7] 前記埋設抵抗は、前記トレンチの周縁から間隔を空けて前記トレン

チの内方部内に配置され、前記トレンチの周縁との間で前記絶縁膜を露出させる絶縁領域を区画している、請求項6に記載の半導体装置。

[請求項8] 前記ゲートパッドは、前記埋設抵抗の平面積以上の平面積を有している、請求項7に記載の半導体装置。

[請求項9] 前記ゲート配線は、平面視において前記埋設抵抗よりも幅狭な帯状に形成されている、請求項7または8に記載の半導体装置。

[請求項10] 前記ゲート配線は、平面視において前記トレンチ内において前記埋設抵抗を横切る2辺を有している、請求項7～9のいずれか一項に記載の半導体装置。

[請求項11] 前記埋設抵抗は、前記トレンチの深さよりも小さい厚さを有し、前記主面の高さ位置から前記トレンチの底壁側に間隔を空けて前記トレンチ内に配置され、

前記ゲートパッドは、前記主面の高さ位置に対して前記トレンチの底壁側の領域において前記埋設抵抗に接続され、

前記ゲート配線は、前記主面の高さ位置に対して前記トレンチの底壁側の領域において前記埋設抵抗に接続されている、請求項6～10のいずれか一項に記載の半導体装置。

[請求項12] 前記ゲートパッドは、前記主面よりも上方に突出した部分を有している、請求項11に記載の半導体装置。

[請求項13] 前記トレンチ抵抗構造は、前記トレンチ内で前記埋設抵抗を被覆する埋設絶縁体を含み、

前記ゲートパッドは、前記埋設絶縁体を貫通して前記埋設抵抗に電氣的に接続されるように前記埋設絶縁体の上に配置され、

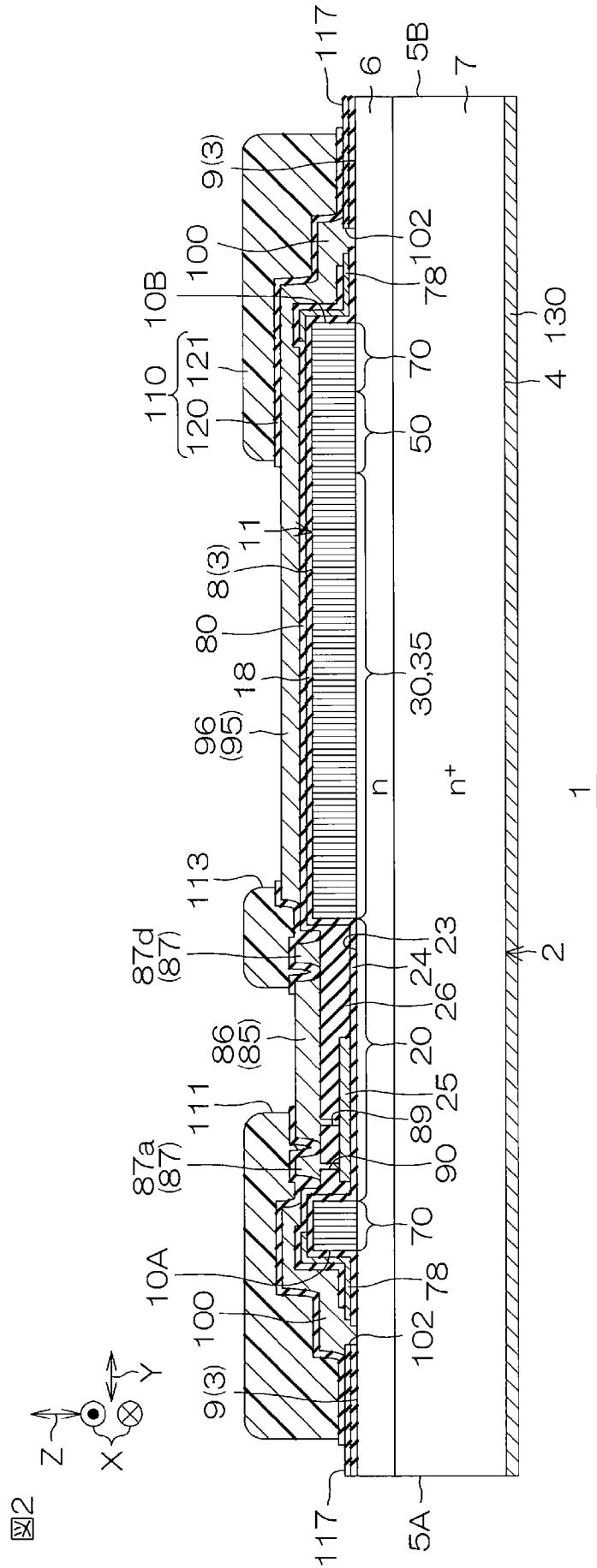
前記ゲート配線は、前記埋設絶縁体を貫通して前記埋設抵抗に電氣的に接続されるように前記埋設絶縁体の上に配置されている、請求項11または12に記載の半導体装置。

[請求項14] 前記埋設絶縁体に接続されるように前記主面を被覆する層間絶縁膜をさらに含む、請求項13に記載の半導体装置。

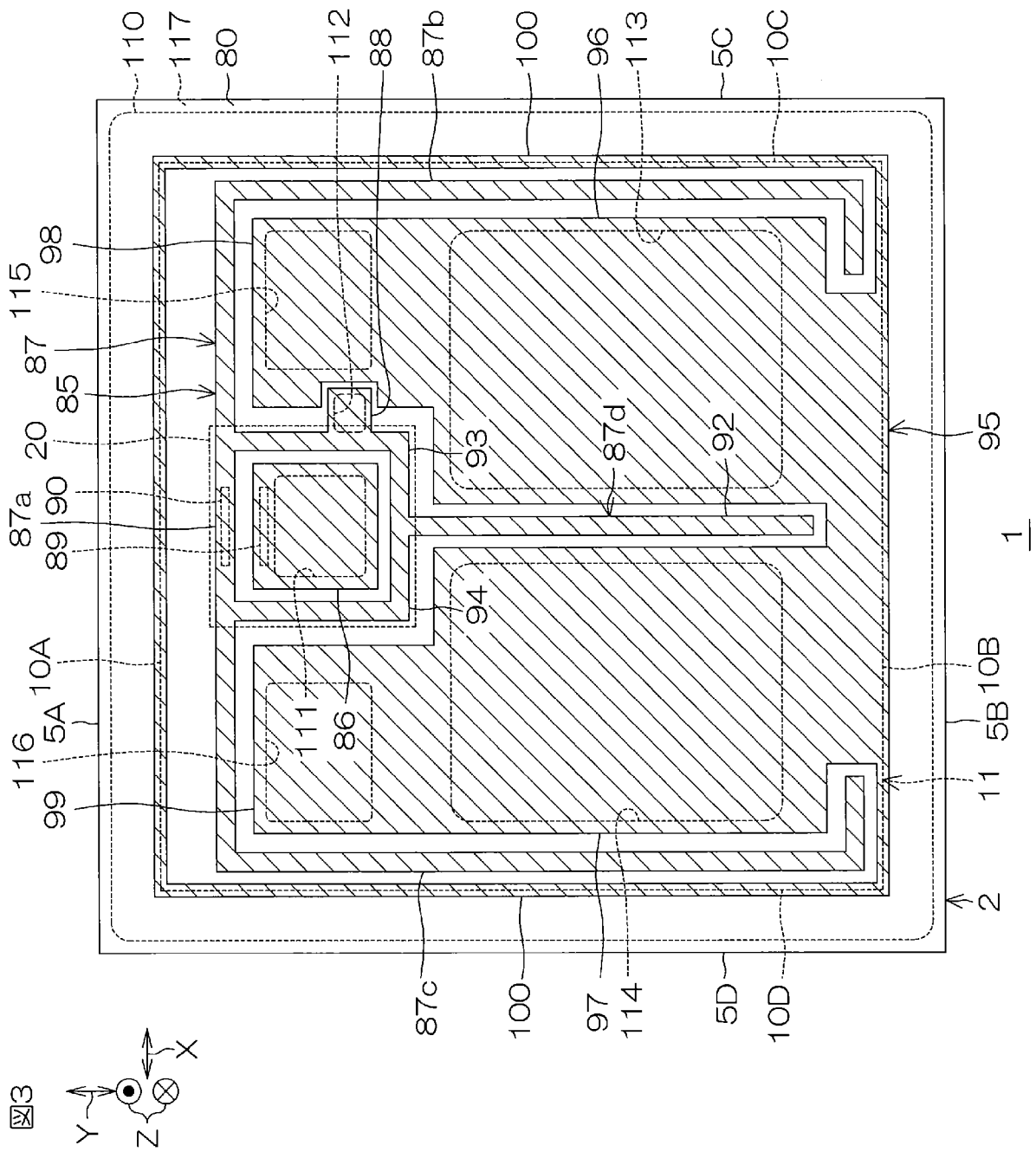
- [請求項15] 前記トレンチ抵抗構造に隣り合うように前記トレンチ抵抗構造から間隔を空けて前記主面に形成され、前記トレンチ抵抗構造とは異なる電位が付与されるダミートレンチ構造をさらに含む、請求項1～14のいずれか一項に記載の半導体装置。
- [請求項16] 前記トレンチ抵抗構造に隣り合うように前記トレンチ抵抗構造から間隔を空けて前記主面に形成されたトレンチゲート構造をさらに含む、
前記ゲート配線は、前記トレンチゲート構造に電氣的に接続されている、請求項1～15のいずれか一項に記載の半導体装置。
- [請求項17] 前記トレンチ抵抗構造および前記トレンチゲート構造に隣り合うように前記主面に形成されたトレンチソース構造をさらに含む、請求項16に記載の半導体装置。
- [請求項18] 前記主面の表層部に形成された第1導電型の半導体領域と、
前記半導体領域内に位置するように前記主面に形成された前記トレンチ抵抗構造と、
前記半導体領域とpn接合部を形成するように前記半導体領域内において前記トレンチ抵抗構造に沿う領域に形成された第2導電型のウェル領域と、をさらに含む、請求項1～17のいずれか一項に記載の半導体装置。
- [請求項19] 前記主面の内方部に形成された第1面部、前記第1面部から前記チップの厚さ方向に窪むように前記主面の周縁部に形成された第2面部、ならびに、前記第1面部および前記第2面部を接続する接続面部によって前記主面に区画された台地をさらに含む、
前記トレンチ抵抗構造は、前記第1面部に形成されている、請求項1～18のいずれか一項に記載の半導体装置。
- [請求項20] 前記トレンチ抵抗構造よりも低い抵抗値を有し、前記トレンチ抵抗構造を介して前記ゲートパッドに電氣的に接続されるように前記主面に配置されたゲートサブパッドをさらに含む、請求項1～19の

いずれか一項に記載の半導体装置。

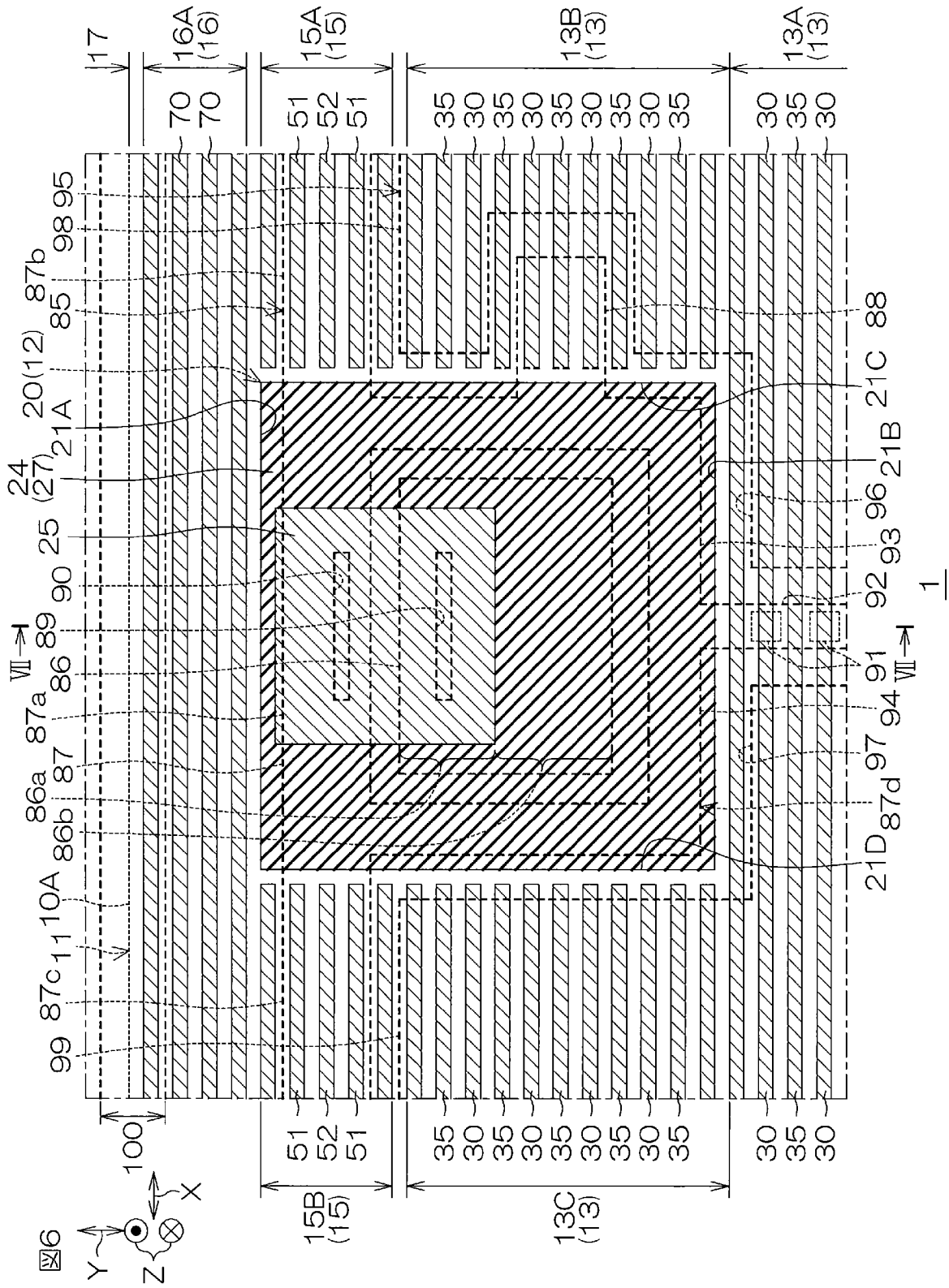
[図2]



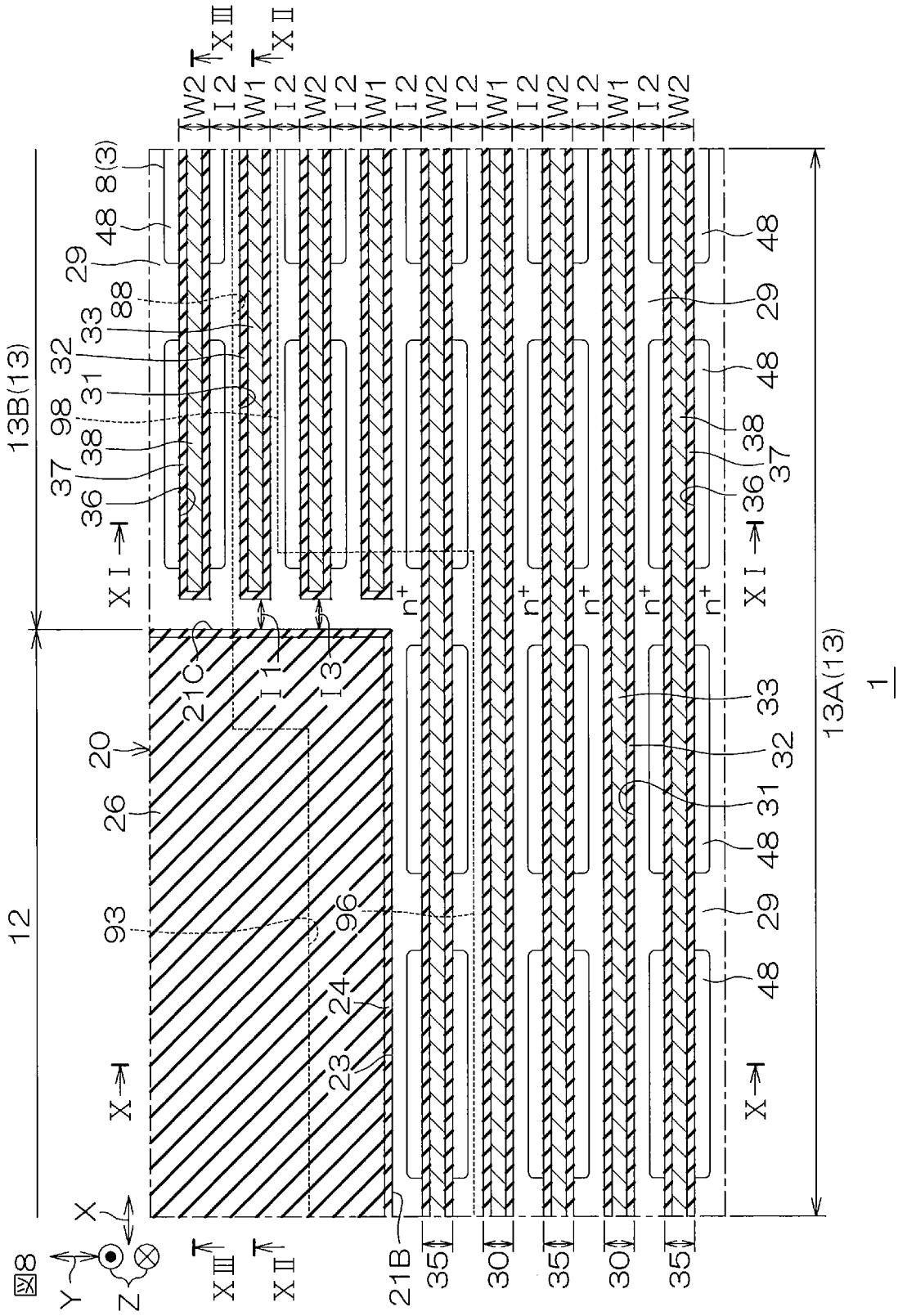
[図3]



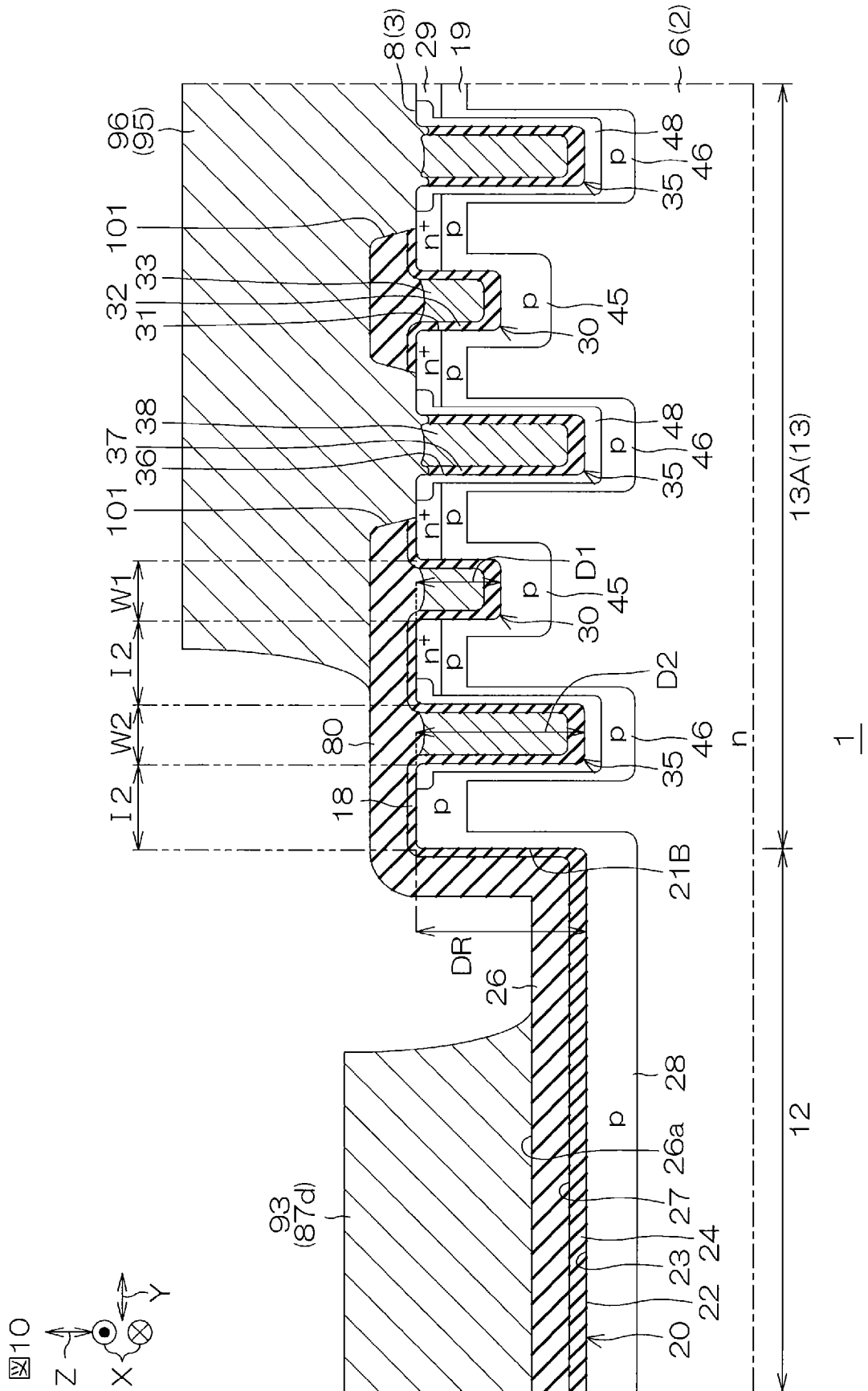
[図6]



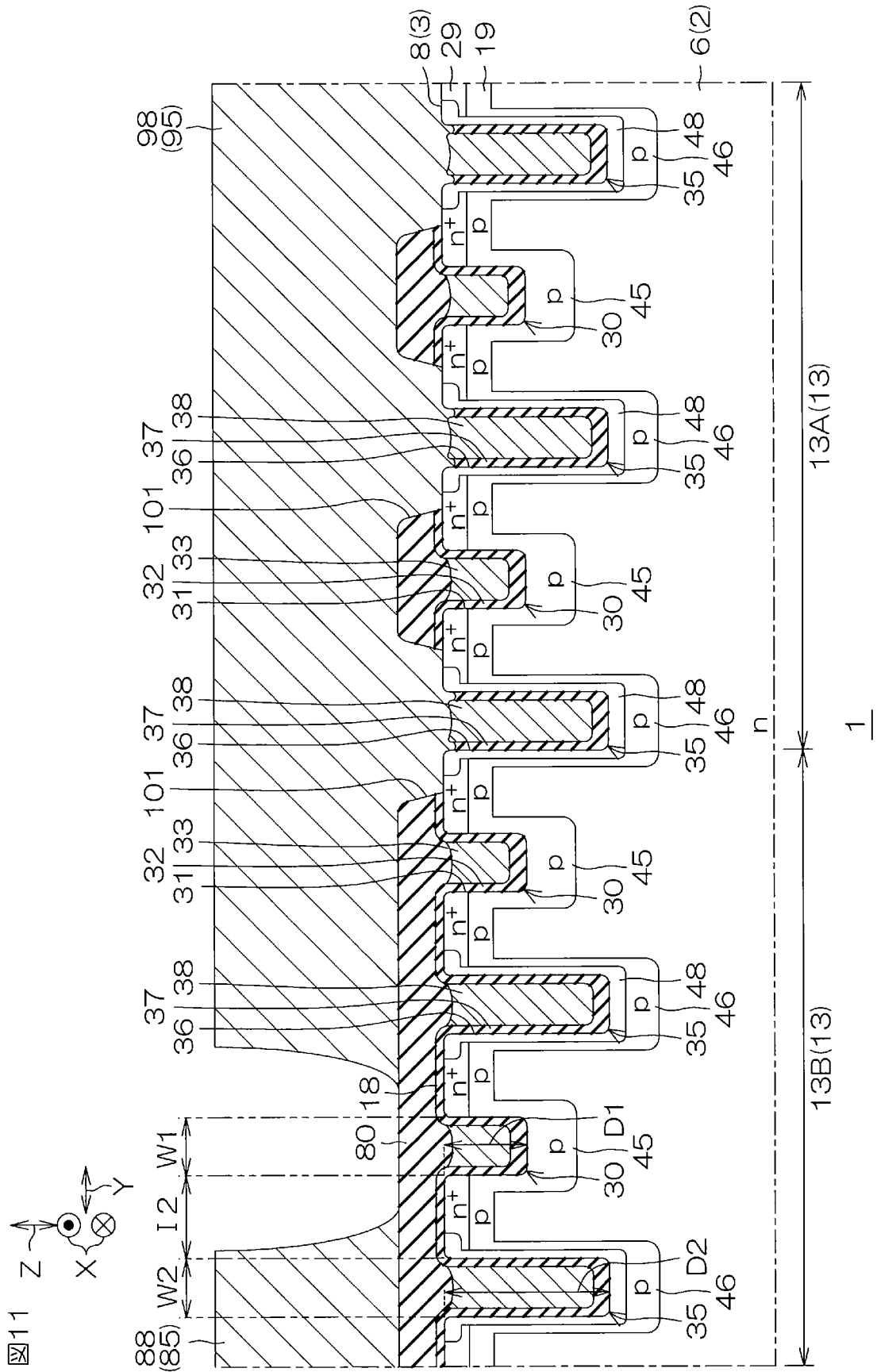
[図8]



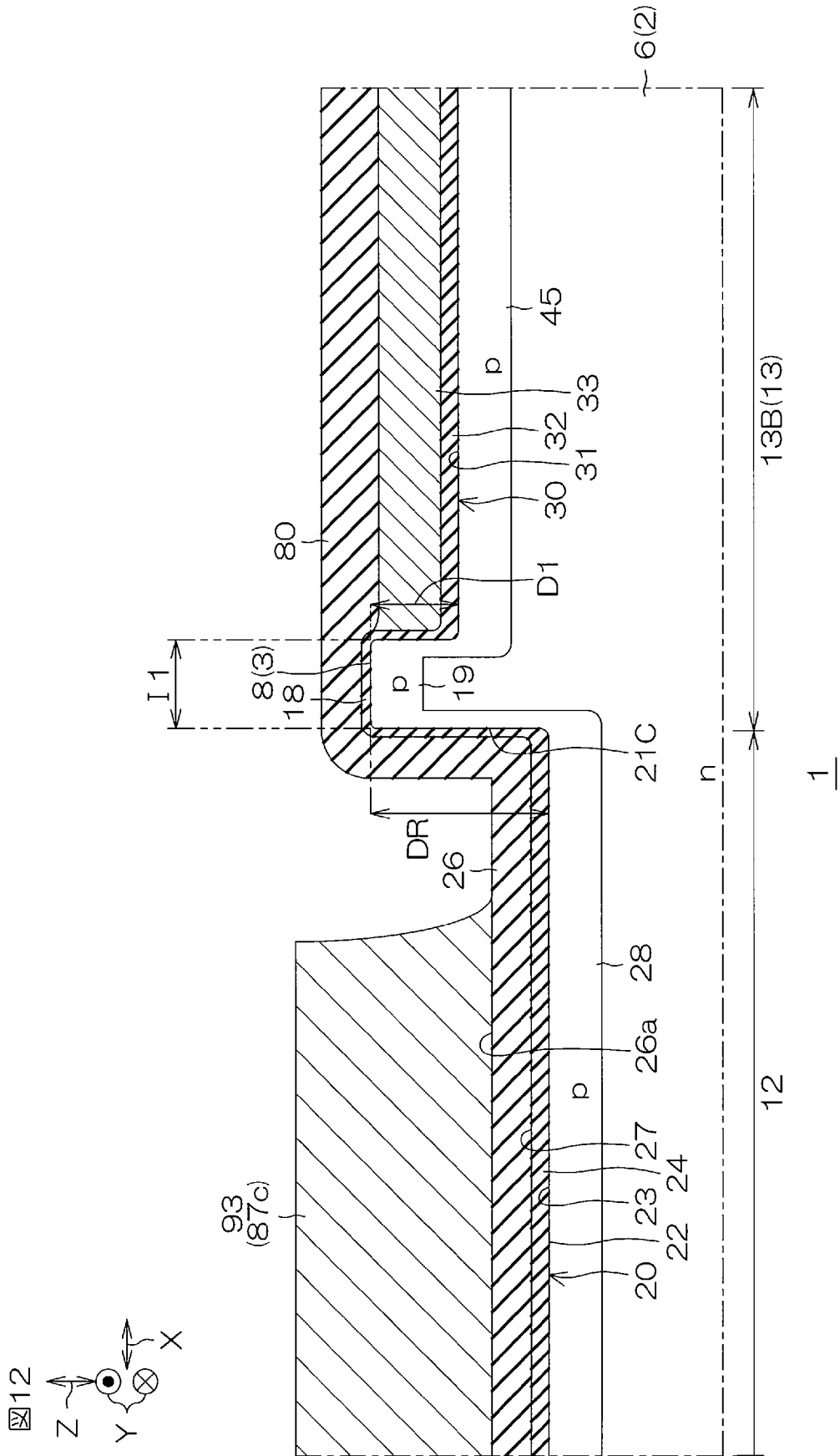
[図10]



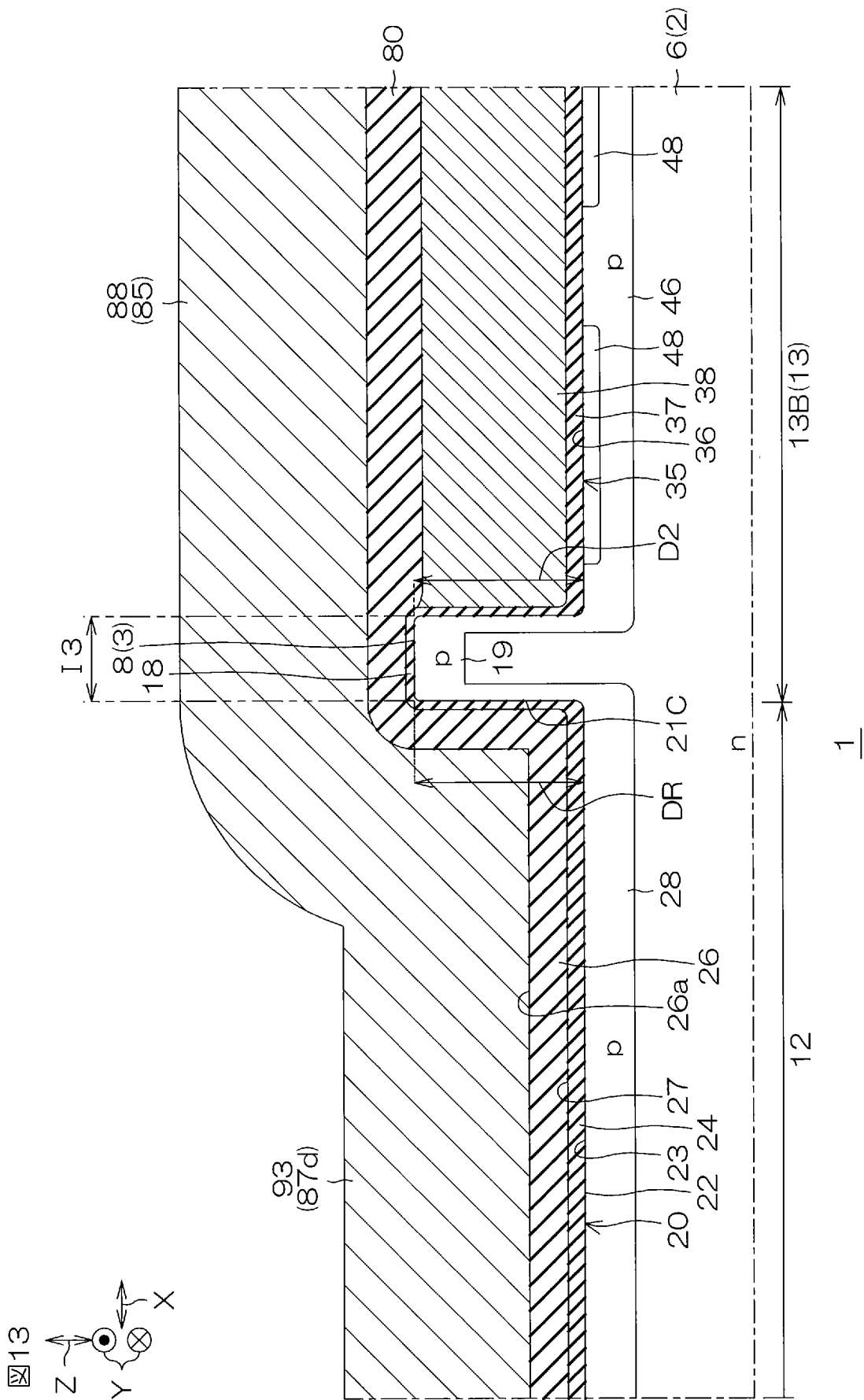
[図11]



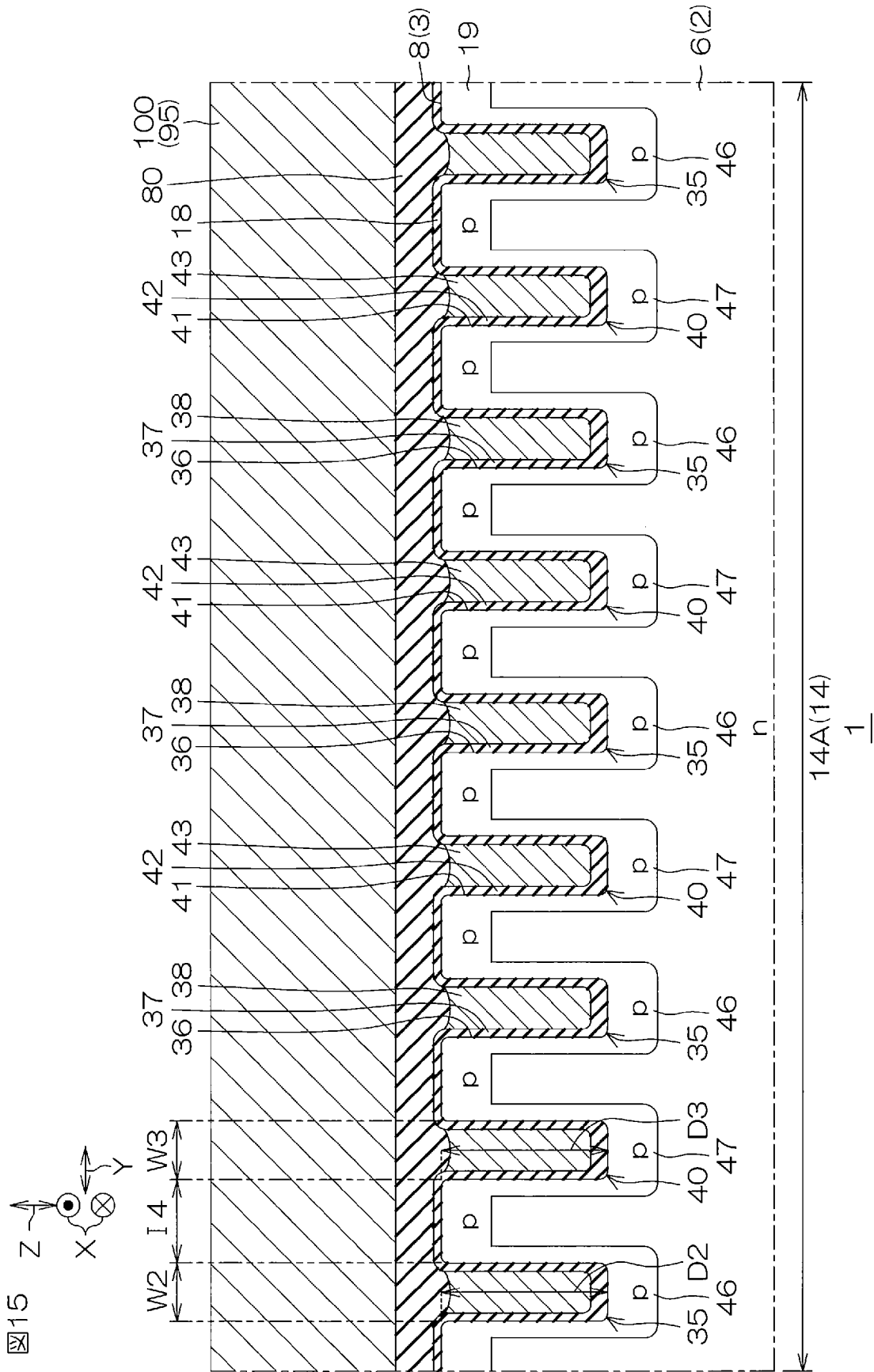
[図12]



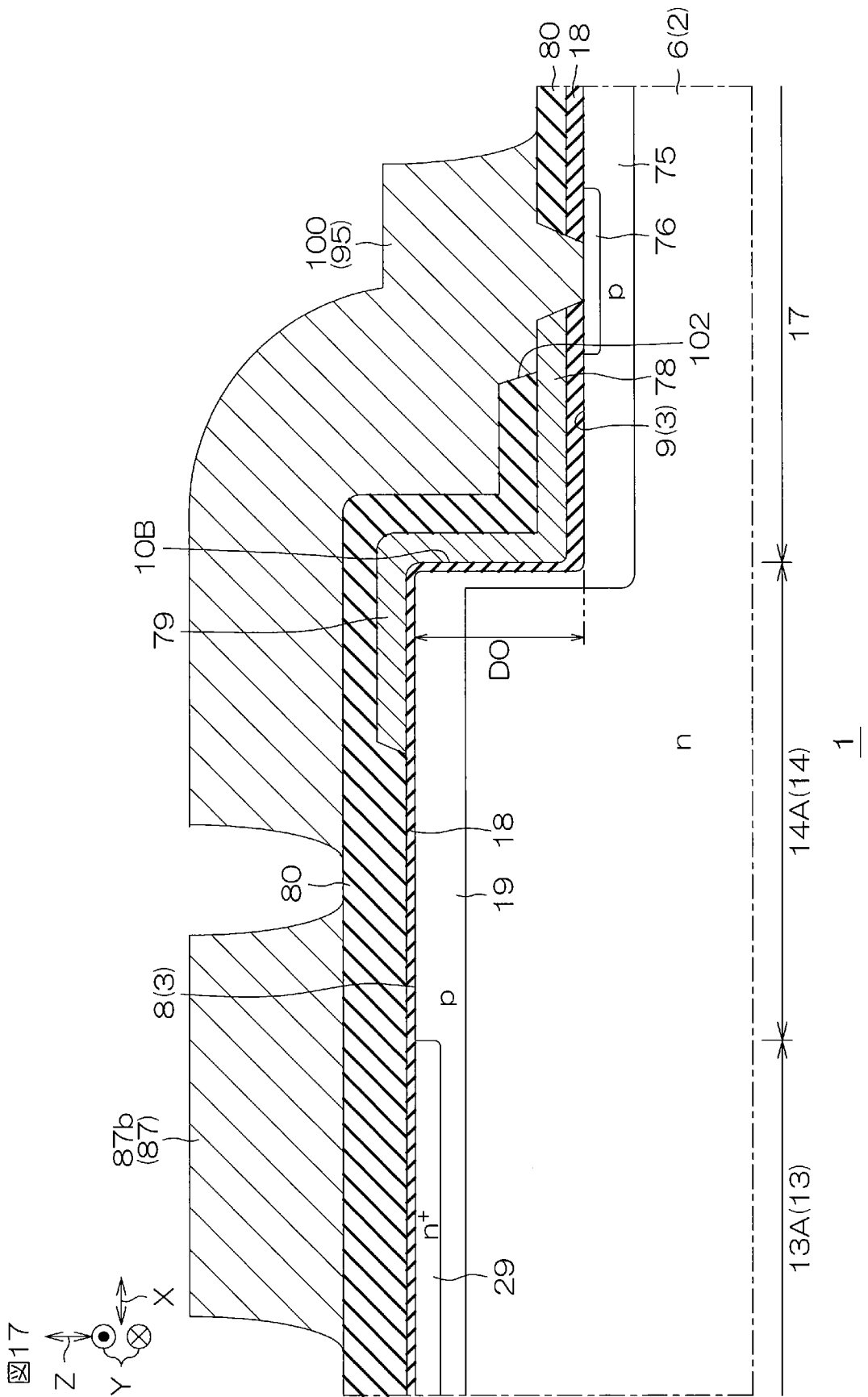
[図13]



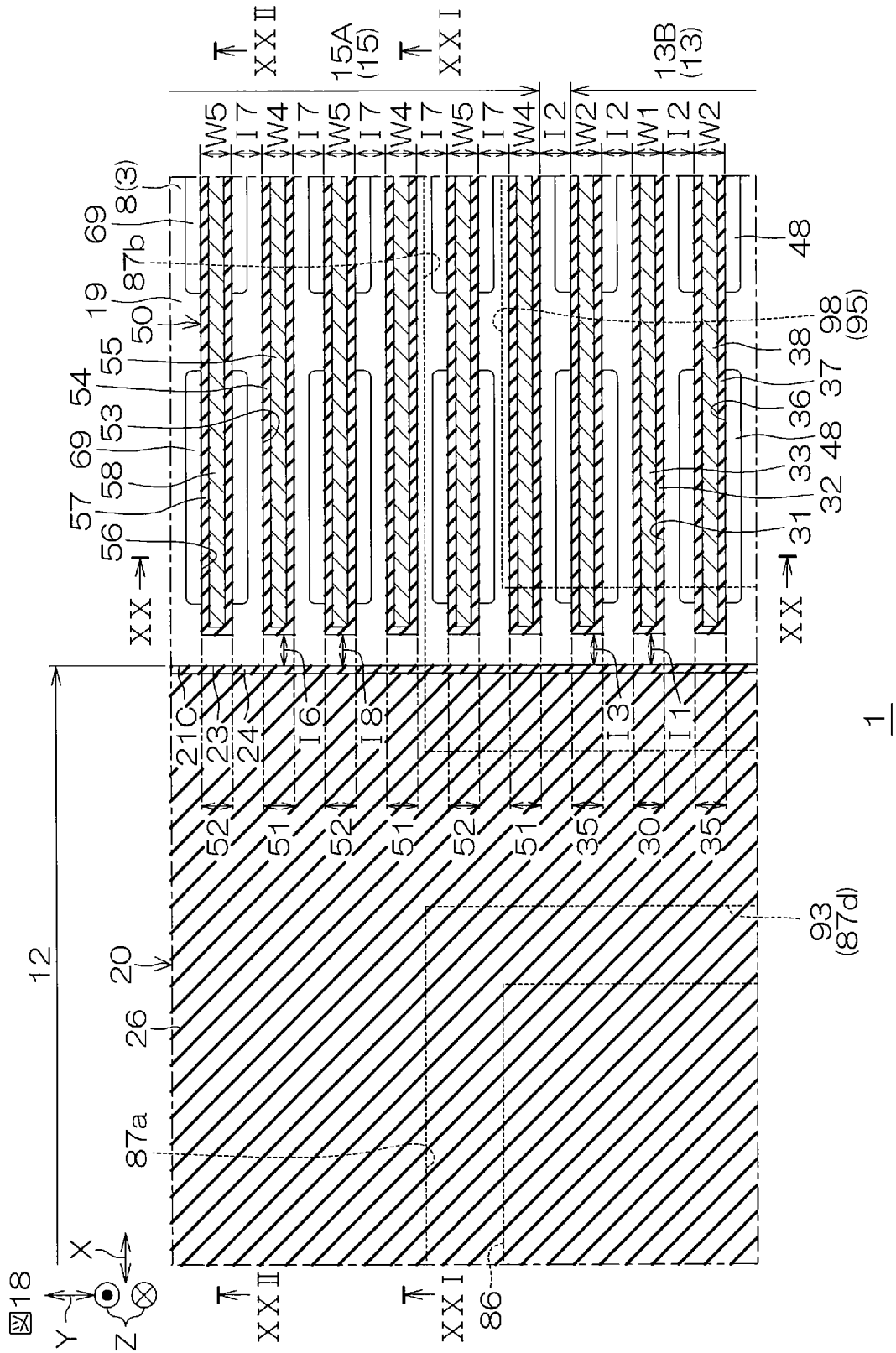
[圖15]



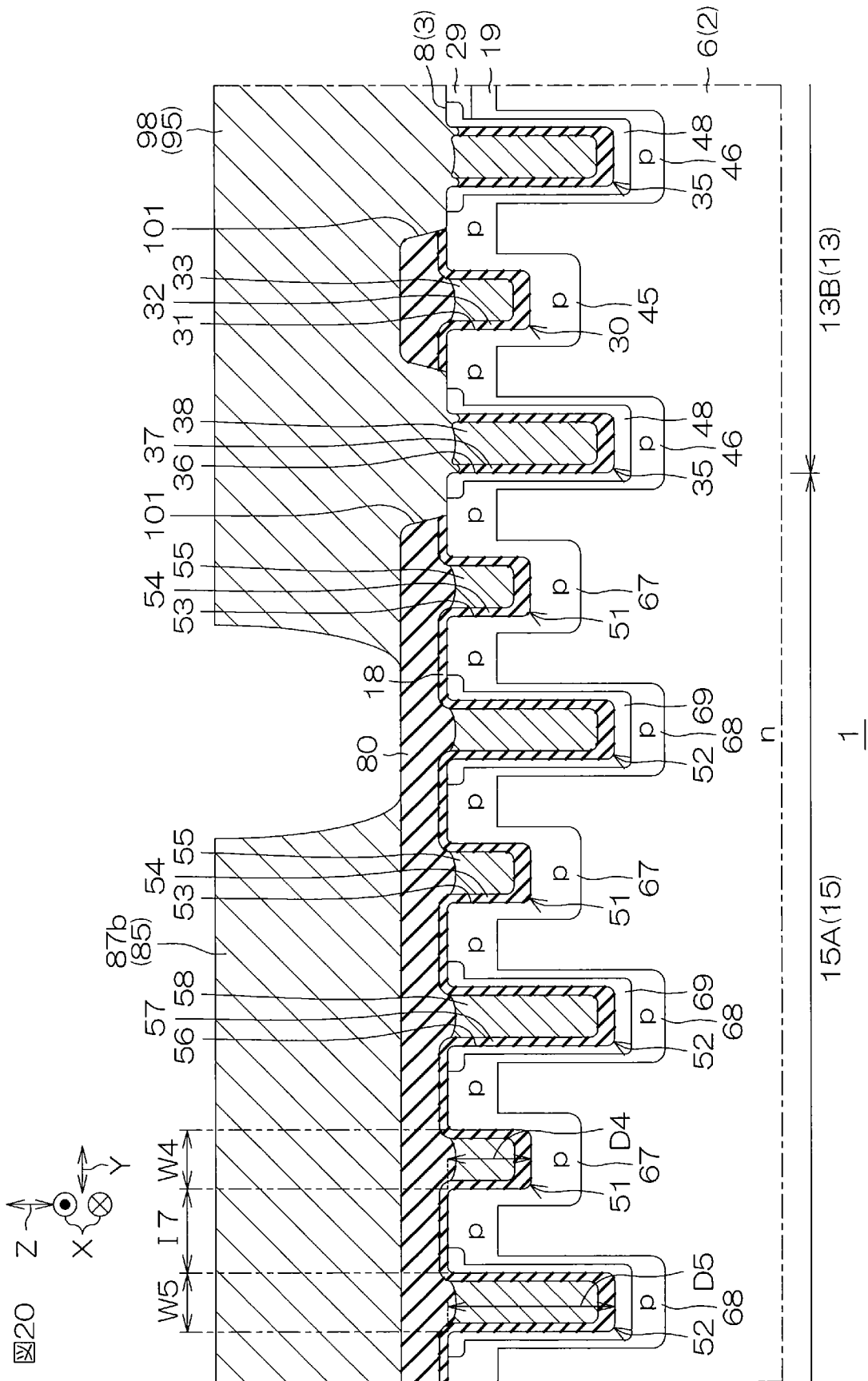
[図17]



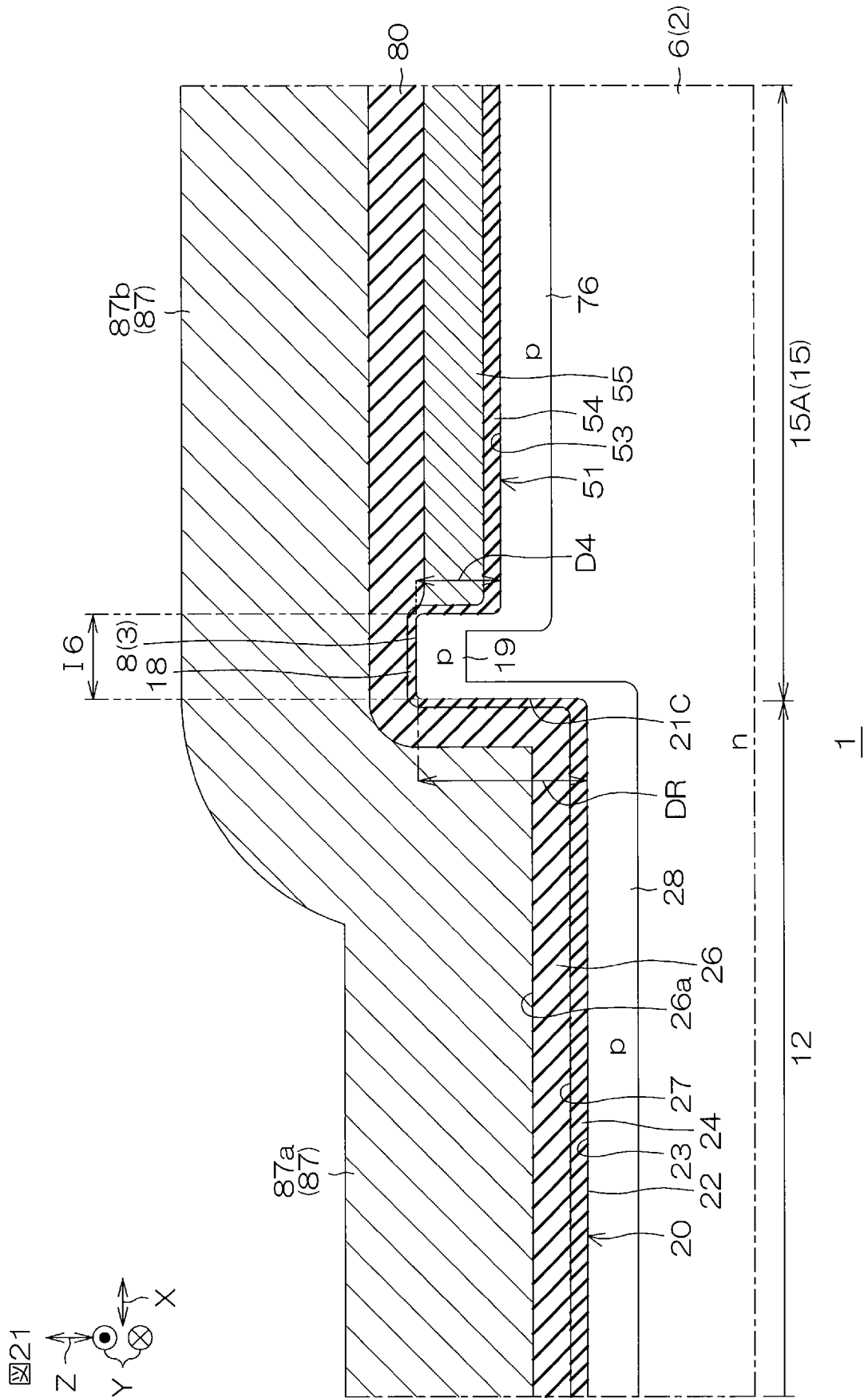
[圖18]



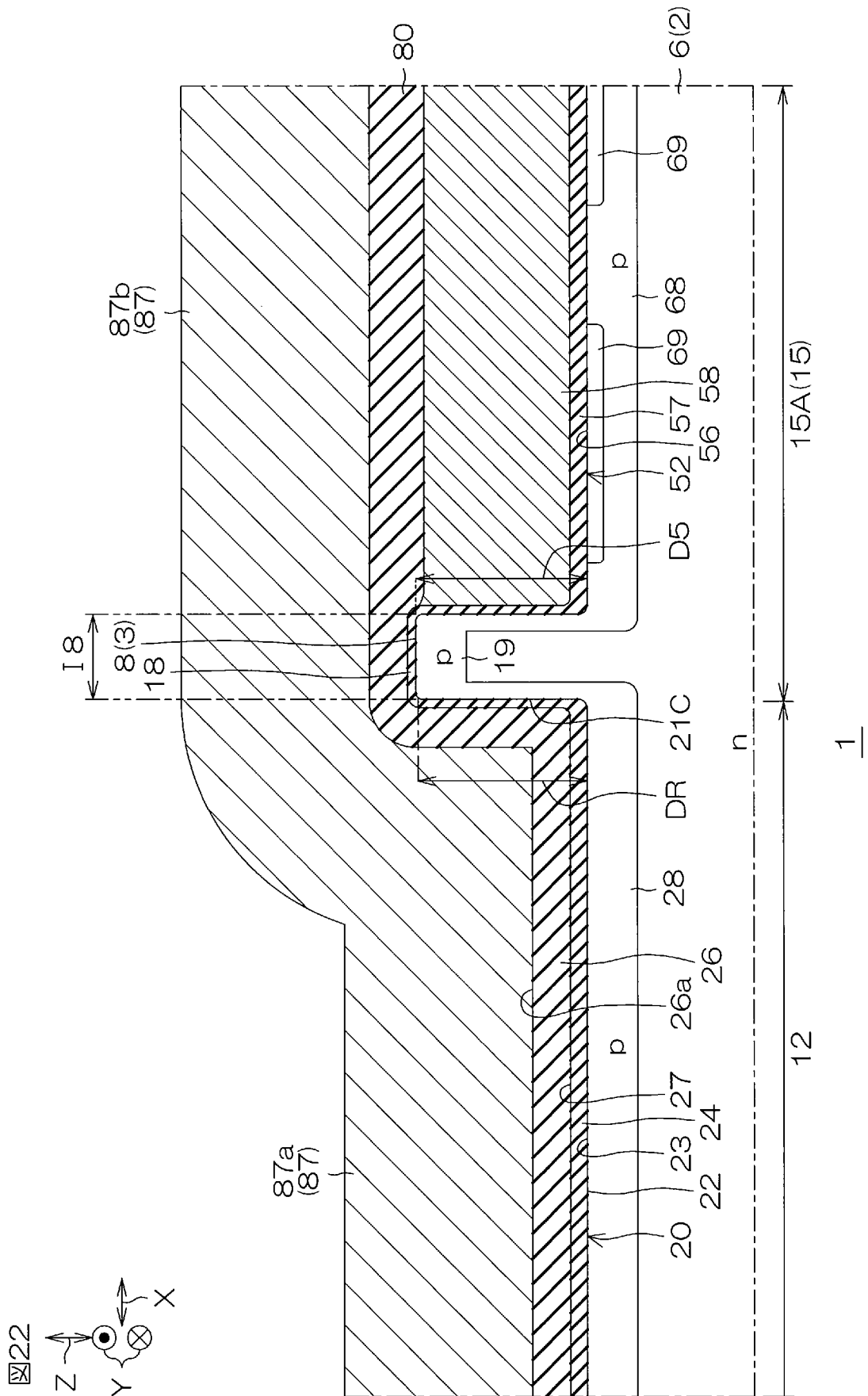
[20]



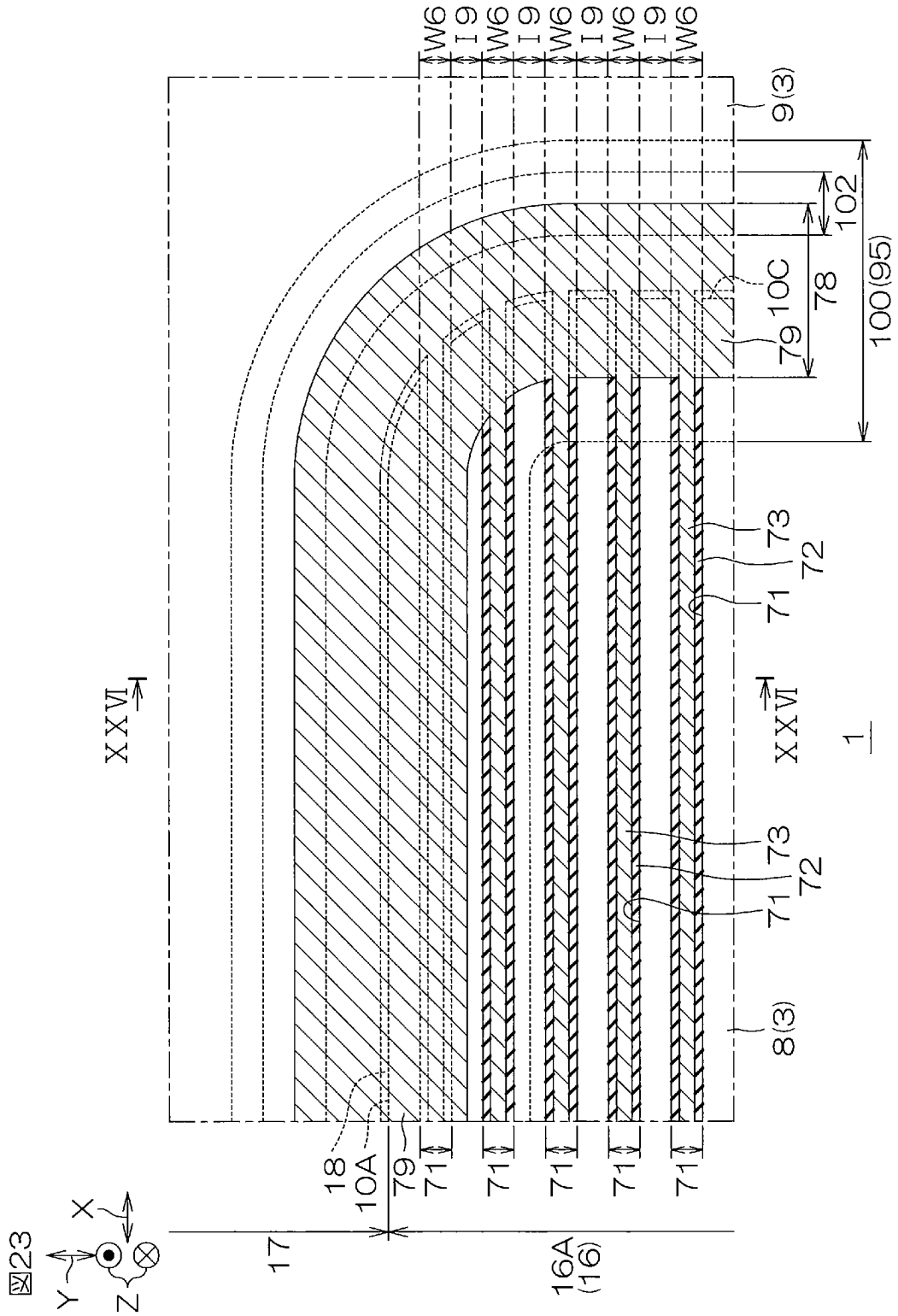
[図21]



[図22]

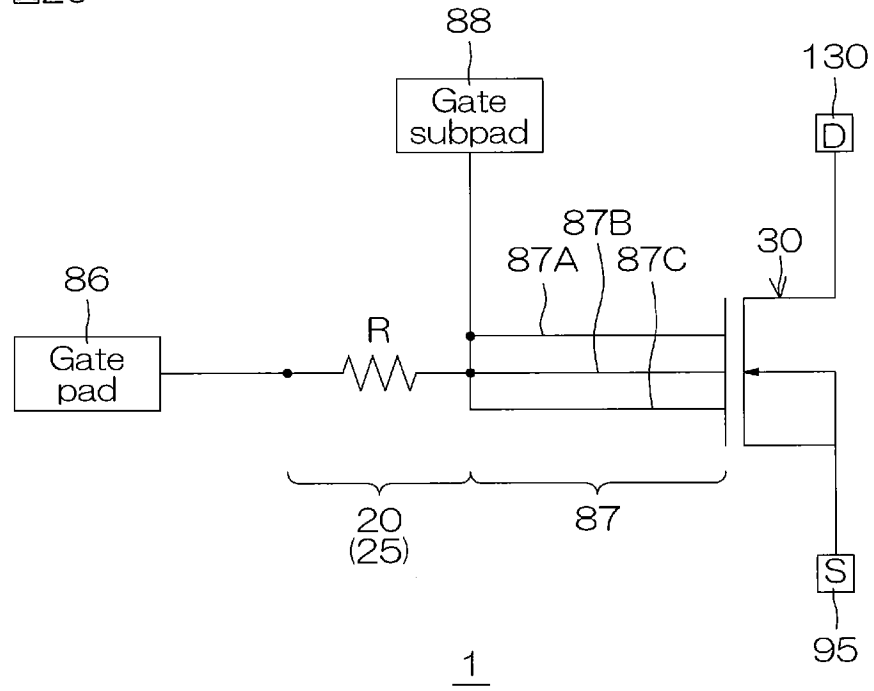


[図23]



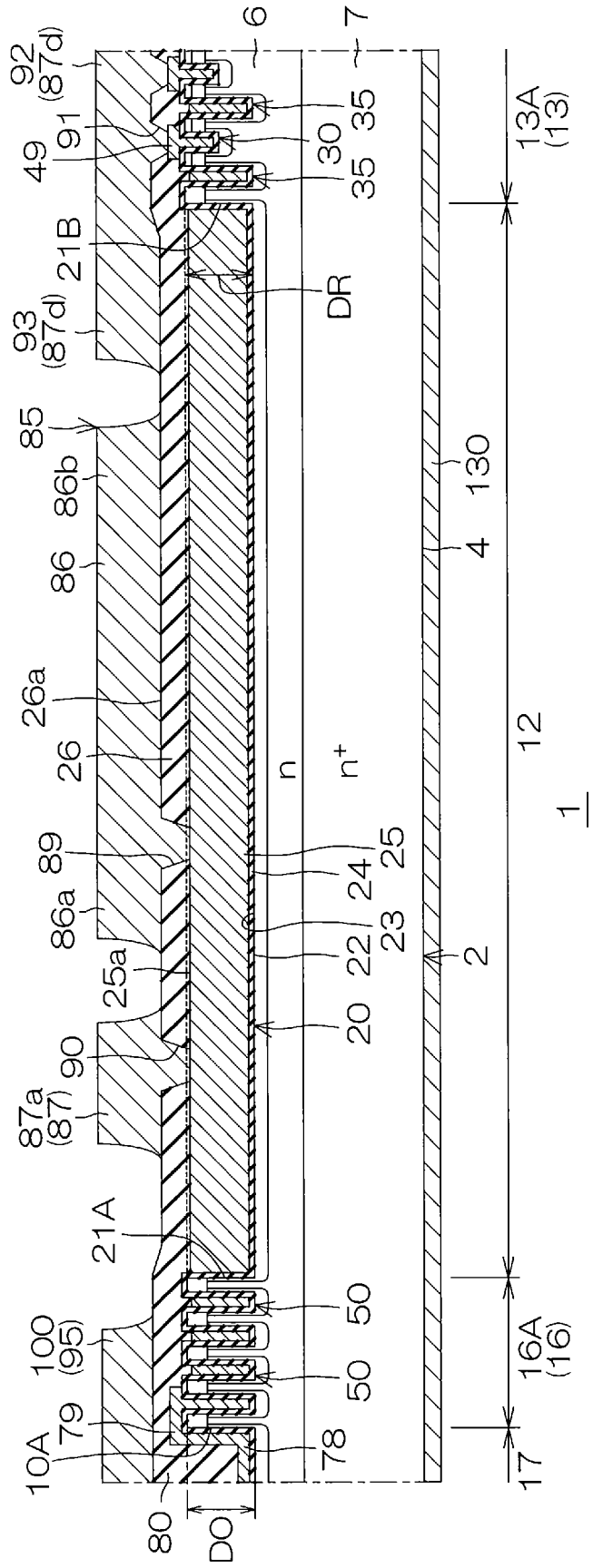
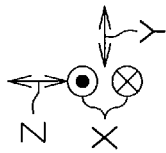
[図26]

図26

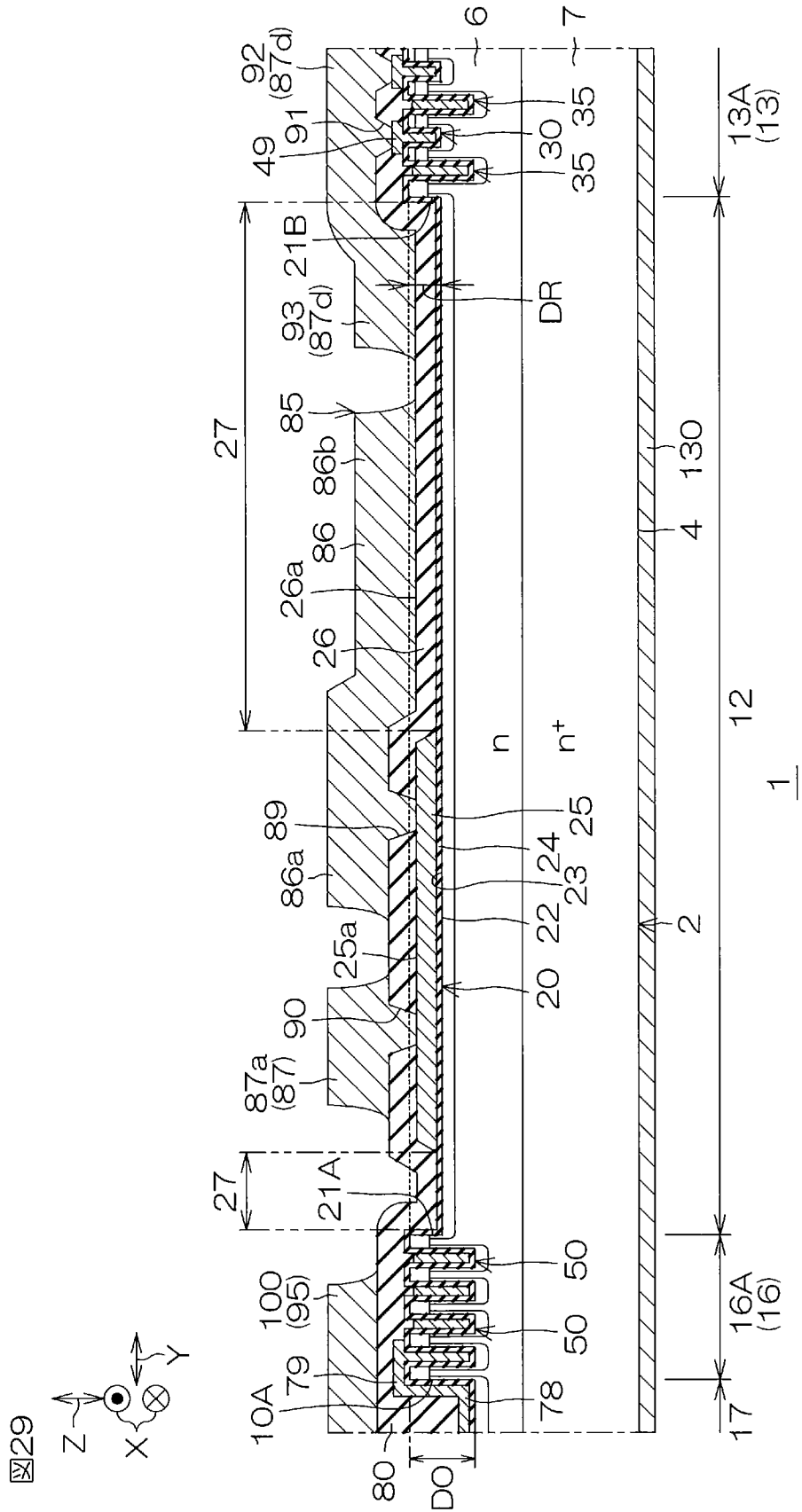


[図28]

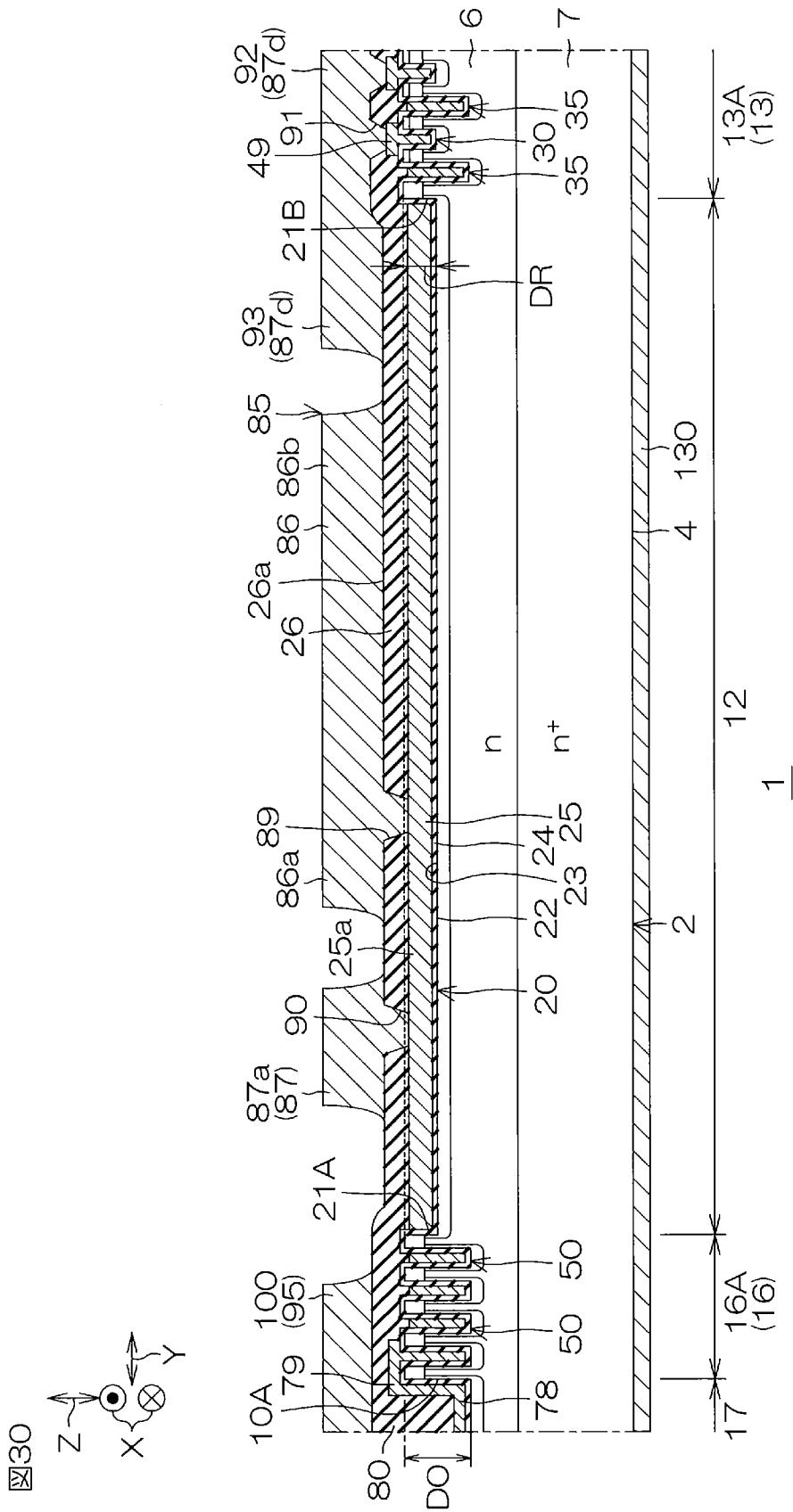
図28



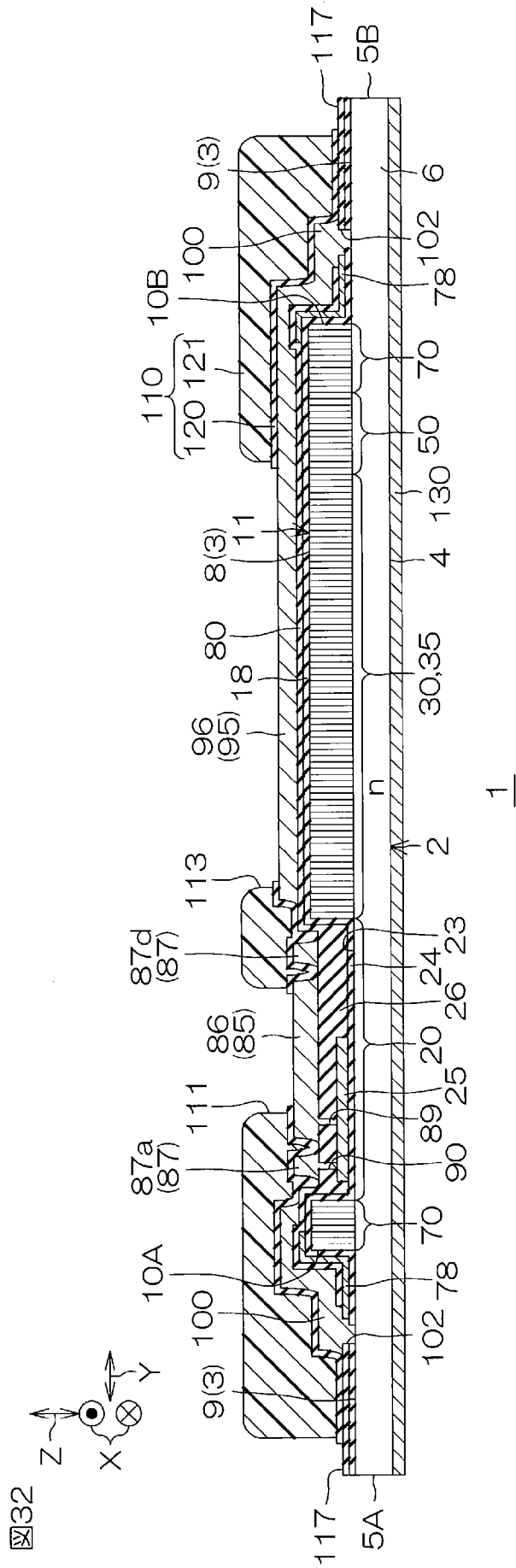
[図29]



[図30]



[図32]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2023/006632

A. CLASSIFICATION OF SUBJECT MATTER		
<i>H01L 29/78</i> (2006.01)i; <i>H01L 29/06</i> (2006.01)i; <i>H01L 29/12</i> (2006.01)i; <i>H01L 29/739</i> (2006.01)i FI: H01L29/78 652N; H01L29/78 652T; H01L29/78 653C; H01L29/78 652D; H01L29/78 652M; H01L29/78 652J; H01L29/78 652Q; H01L29/78 652F; H01L29/78 652S; H01L29/78 655A; H01L29/78 652P; H01L29/06 301M; H01L29/06 301G; H01L29/06 301V		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) H01L29/78; H01L29/06; H01L29/12; H01L29/739		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Published examined utility model applications of Japan 1922-1996 Published unexamined utility model applications of Japan 1971-2023 Registered utility model specifications of Japan 1996-2023 Published registered utility model applications of Japan 1994-2023		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	WO 2016/047438 A1 (MITSUBISHI ELECTRIC CORP.) 31 March 2016 (2016-03-31) paragraphs [0016]-[0032], fig. 1-4	1-4, 6, 15-19
A		5, 7-14, 20
Y	JP 2020-150179 A (FUJI ELECTRIC CO., LTD.) 17 September 2020 (2020-09-17) paragraphs [0035]-[0061], fig. 1-3	1-4, 6, 15-19
A		5, 7-14, 20
Y	JP 2016-187002 A (ROHM CO., LTD.) 27 October 2016 (2016-10-27) paragraphs [0026], [0062], fig. 14	15-19
A		1-14, 20
A	JP 2021-077914 A (ROHM CO., LTD.) 20 May 2021 (2021-05-20)	1-20
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 13 April 2023		Date of mailing of the international search report 25 April 2023
Name and mailing address of the ISA/JP Japan Patent Office (ISA/JP) 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915 Japan		Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2023/006632

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
WO	2016/047438	A1	31 March 2016	US 2017/0301788 A1 paragraphs [0031]-[0048], fig. 1-4 DE 112015004374 B4 CN 107078159 A	
JP	2020-150179	A	17 September 2020	US 2020/0294989 A1 paragraphs [0044]-[0070], fig. 1-3 DE 102020200862 A1	
JP	2016-187002	A	27 October 2016	US 2018/0114856 A1 paragraphs [0062], [0112]-[0113], fig. 14 EP 3276671 A1 CN 107431094 A	
JP	2021-077914	A	20 May 2021	US 2015/0060937 A1	

<p>A. 発明の属する分野の分類（国際特許分類（IPC））</p> <p>H01L 29/78(2006.01)i; H01L 29/06(2006.01)i; H01L 29/12(2006.01)i; H01L 29/739(2006.01)i</p> <p>FI: H01L29/78 652N; H01L29/78 652T; H01L29/78 653C; H01L29/78 652D; H01L29/78 652M; H01L29/78 652J; H01L29/78 652Q; H01L29/78 652F; H01L29/78 652S; H01L29/78 655A; H01L29/78 652P; H01L29/06 301M; H01L29/06 301G; H01L29/06 301V</p>																										
<p>B. 調査を行った分野</p> <p>調査を行った最小限資料（国際特許分類（IPC））</p> <p>H01L29/78; H01L29/06; H01L29/12; H01L29/739</p> <p>最小限資料以外の資料で調査を行った分野に含まれるもの</p> <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922 - 1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971 - 2023年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996 - 2023年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994 - 2023年</td> </tr> </table> <p>国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）</p>			日本国実用新案公報	1922 - 1996年	日本国公開実用新案公報	1971 - 2023年	日本国実用新案登録公報	1996 - 2023年	日本国登録実用新案公報	1994 - 2023年																
日本国実用新案公報	1922 - 1996年																									
日本国公開実用新案公報	1971 - 2023年																									
日本国実用新案登録公報	1996 - 2023年																									
日本国登録実用新案公報	1994 - 2023年																									
<p>C. 関連すると認められる文献</p> <table border="1"> <thead> <tr> <th>引用文献の カテゴリー*</th> <th>引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示</th> <th>関連する 請求項の番号</th> </tr> </thead> <tbody> <tr> <td>Y</td> <td>WO 2016/047438 A1（三菱電機株式会社）31.03.2016（2016 - 03 - 31） [0016]-[0032], 図1-4</td> <td>1-4, 6, 15-19</td> </tr> <tr> <td>A</td> <td></td> <td>5, 7-14, 20</td> </tr> <tr> <td>Y</td> <td>JP 2020-150179 A（富士電機株式会社）17.09.2020（2020 - 09 - 17） [0035]-[0061], 図1-3</td> <td>1-4, 6, 15-19</td> </tr> <tr> <td>A</td> <td></td> <td>5, 7-14, 20</td> </tr> <tr> <td>Y</td> <td>JP 2016-187002 A（ローム株式会社）27.10.2016（2016 - 10 - 27） [0026], [0062] 図14</td> <td>15-19</td> </tr> <tr> <td>A</td> <td></td> <td>1-14, 20</td> </tr> <tr> <td>A</td> <td>JP 2021-077914 A（ローム株式会社）20.05.2021（2021 - 05 - 20）</td> <td>1-20</td> </tr> </tbody> </table> <p><input type="checkbox"/> C欄の続きにも文献が列挙されている。 <input checked="" type="checkbox"/> パテントファミリーに関する別紙を参照。</p> <p>* 引用文献のカテゴリー</p> <p>“A” 特に関連のある文献ではなく、一般的な技術水準を示すもの</p> <p>“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの</p> <p>“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）</p> <p>“O” 口頭による開示、使用、展示等に言及する文献</p> <p>“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献</p> <p>“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの</p> <p>“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの</p> <p>“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの</p> <p>“&” 同一パテントファミリー文献</p>			引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号	Y	WO 2016/047438 A1（三菱電機株式会社）31.03.2016（2016 - 03 - 31） [0016]-[0032], 図1-4	1-4, 6, 15-19	A		5, 7-14, 20	Y	JP 2020-150179 A（富士電機株式会社）17.09.2020（2020 - 09 - 17） [0035]-[0061], 図1-3	1-4, 6, 15-19	A		5, 7-14, 20	Y	JP 2016-187002 A（ローム株式会社）27.10.2016（2016 - 10 - 27） [0026], [0062] 図14	15-19	A		1-14, 20	A	JP 2021-077914 A（ローム株式会社）20.05.2021（2021 - 05 - 20）	1-20
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号																								
Y	WO 2016/047438 A1（三菱電機株式会社）31.03.2016（2016 - 03 - 31） [0016]-[0032], 図1-4	1-4, 6, 15-19																								
A		5, 7-14, 20																								
Y	JP 2020-150179 A（富士電機株式会社）17.09.2020（2020 - 09 - 17） [0035]-[0061], 図1-3	1-4, 6, 15-19																								
A		5, 7-14, 20																								
Y	JP 2016-187002 A（ローム株式会社）27.10.2016（2016 - 10 - 27） [0026], [0062] 図14	15-19																								
A		1-14, 20																								
A	JP 2021-077914 A（ローム株式会社）20.05.2021（2021 - 05 - 20）	1-20																								
<p>国際調査を完了した日</p> <p>13. 04. 2023</p>	<p>国際調査報告の発送日</p> <p>25. 04. 2023</p>																									
<p>名称及びあて先</p> <p>日本国特許庁 (ISA/JP)</p> <p>〒100-8915</p> <p>日本国</p> <p>東京都千代田区霞が関三丁目4番3号</p>	<p>権限のある職員（特許庁審査官）</p> <p>鈴木 聡一郎 5F 2576</p> <p>電話番号 03-3581-1101 内線 3516</p>																									

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2023/006632

引用文献			公表日	パテントファミリー文献			公表日
WO	2016/047438	A1	31.03.2016	US	2017/0301788	A1	
					[0031]-[0048], 図1-4		
				DE	112015004374	B4	
				CN	107078159	A	
JP	2020-150179	A	17.09.2020	US	2020/0294989	A1	
					[0044]-[0070], 図1-3		
				DE	102020200862	A1	
JP	2016-187002	A	27.10.2016	US	2018/0114856	A1	
					[0062], [0112]-[0113], 図14		
				EP	3276671	A1	
				CN	107431094	A	
JP	2021-077914	A	20.05.2021	US	2015/0060937	A1	