

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2008-9823

(P2008-9823A)

(43) 公開日 平成20年1月17日(2008.1.17)

(51) Int. Cl.

G06F 17/50 (2006.01)

F I

G06F 17/50 654N

テーマコード (参考)

5B046

審査請求 未請求 請求項の数 5 O L (全 15 頁)

(21) 出願番号 特願2006-180996 (P2006-180996)

(22) 出願日 平成18年6月30日 (2006.6.30)

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番
1号

(74) 代理人 100092174

弁理士 平戸 哲夫

(72) 発明者 敦賀 信博

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

Fターム(参考) 5B046 AA08 BA03

(54) 【発明の名称】 テストクロック回路自動挿入方法及びプログラム

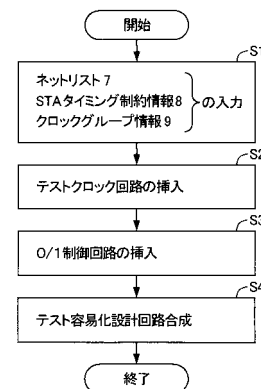
(57) 【要約】

【課題】論理合成後のLSIに遅延故障の検出が可能なテスト回路を自動挿入することができ、テスト容易化設計工数の低減化を図ることができるテストクロック回路自動挿入方法を提供する。

【解決手段】論理合成後テスト容易化設計前のLSIのネットリスト7と、STAタイミング制約情報8と、クロックグループ情報9を入力し(S1)、論理合成後のLSIのSTAでのクロック設定箇所にテストクロック供給可能なテストクロック回路を挿入し(S2)、システムモード時に論理0または論理1に設定される0/1ケース設定箇所の論理値を外部から制御することができる0/1制御回路を挿入し(S3)、テスト容易化設計回路合成を行う(S4)。

【選択図】図2

本発明のテストクロック回路自動挿入方法の一実施形態を示すフローチャート



【特許請求の範囲】**【請求項 1】**

コンピュータにより、論理合成後の半導体集積回路の静的タイミング解析でのクロック設定箇所を抽出し、該クロック設定箇所にテストクロック供給可能なテストクロック回路を挿入するテストクロック回路挿入工程を含むことを特徴とするテストクロック回路自動挿入方法。

【請求項 2】

論理合成後の半導体集積回路の静的タイミング解析でのクロック設定箇所を抽出し、該クロック設定箇所にテストクロック供給可能なテストクロック回路を挿入するテストクロック回路挿入工程をコンピュータに実行させることを特徴とするテストクロック回路自動挿入プログラム。 10

【請求項 3】

前記クロック設定箇所を抽出するクロック設定箇所抽出工程を前記コンピュータに実行させるクロック設定箇所抽出プログラムと、

前記クロック設定箇所にテストクロック供給可能なセクタを挿入するセクタ挿入工程を前記コンピュータに実行させるセクタ挿入プログラムと、

前記セクタの所定の入力端子にテストクロック端子を接続し、前記セクタのセレクト制御端子にテストモード制御信号を接続するネット結線工程を前記コンピュータに実行させるネット結線プログラムを含むことを特徴とする請求項 2 記載のテストクロック回路自動挿入プログラム。 20

【請求項 4】

前記クロック設定箇所がセル端子であるか否かの判定を行う端子判定工程を前記コンピュータに実行させる端子判定プログラムを含み、

前記セクタ挿入プログラムは、前記クロック設定箇所がセル端子の場合には、該セル端子に前記セクタを挿入し、前記クロック設定箇所がモジュールポートの場合には、該モジュールポートの直前のセルの出力端子にセクタを挿入するものであることを特徴とする請求項 3 記載のテストクロック回路自動挿入プログラム。

【請求項 5】

システムモード時に論理 0 または論理 1 に設定される 0 / 1 ケース設定箇所を抽出し、該 0 / 1 ケース設定箇所の論理値を外部から制御することができる 0 / 1 制御回路を挿入する 0 / 1 制御回路挿入工程を前記コンピュータに実行させる 0 / 1 制御回路挿入プログラムを含むことを特徴とする請求項 2、3 または 4 記載のテストクロック回路自動挿入プログラム。 30

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、論理合成後の半導体集積回路（以下、LSI という）についてテスト容易化設計の一種類であるテストクロック設計を行う場合に使用して好適なテストクロック回路自動挿入方法及びプログラムに関する。 40

【背景技術】**【0002】**

論理合成後の LSI についてテストクロック設計を行う場合において、縮退故障（短絡や断線などで、回路を構成している素子の入力端子または出力端子などが論理 0 または論理 1 に固定されてしまう故障）のみを検出することを目的とする場合には、LSI がシステムモード（実使用時の動作モード）時に周波数の異なる複数のクロックを使用するものである場合であっても、これら複数のクロックの周波数を考慮する必要がなく、低速のスキャンクロックを全フリップフロップに供給するようにテストクロック回路を挿入すれば足りる。

【0003】

しかしながら、近年のLSIの高速化に伴い、遅延故障（何らかの理由で、回路の遅延が仕様に収まらなくなる故障）の割合が高くなり、縮退故障の検出だけでなく、遅延故障の検出が必要となっている。遅延故障を検出しようとする場合には、システムモード時のクロックの周波数を考慮する必要があるため、LSIがシステムモード時に周波数の異なる複数のクロックを使用するものであり、かつ、LSIに許容されているテストクロック端子数がシステムモード時のクロック数よりも少ない場合には、システムモード時のクロックをテストクロック端子数にグループ化することが必要となる。

【特許文献1】特開2003-6253号公報

【特許文献2】特開2003-307551号公報

【発明の開示】

10

【発明が解決しようとする課題】

【0004】

ところで、LSI設計工程では、論理設計者とテスト容易化設計者とが同一人で無い場合が多く、テスト容易化設計者は、論理設計者による論理合成後のLSIについて遅延故障の検出を可能とするテストクロック設計を行う場合において、前述のようにLSIがシステムモード時に周波数の異なる複数のクロックを使用するものであり、かつ、LSIに許容されているテストクロック端子数がシステムモード時のクロック数よりも少ない場合には、システムモード時のクロックをテストクロック端子数にグループ化することが必要となるので、LSIのシステムモード時のクロック構造を完全に理解する必要がある。

【0005】

20

しかしながら、LSIの大規模化に伴い、LSIのシステムモード時のクロック構造が極めて複雑になってきていることから、テスト容易化設計者がLSIのシステムモード時のクロック構造を完全に理解することは困難となっており、このため、テスト容易化設計者がLSIのシステムモード時のクロック構造を調べることによるテスト容易化設計工数の増大が問題となっている。

【0006】

本発明は、かかる点に鑑み、論理合成後のLSIに遅延故障の検出が可能なテストクロック回路を自動挿入することができ、テスト容易化設計工数の低減化を図ることができるテストクロック回路自動挿入方法及びプログラムを提供することを目的とする。

【課題を解決するための手段】

30

【0007】

本発明のテストクロック回路自動挿入方法は、コンピュータにより、論理合成後のLSIの静的タイミング解析（以下、STA[Static Timing Analysis]という）でのクロック設定箇所を抽出し、該クロック設定箇所にテストクロック供給可能なテストクロック回路を挿入するテストクロック回路挿入工程を含むものである。

【0008】

前記テストクロック回路挿入工程は、クロック設定箇所抽出プログラムにより、前記LSIから前記クロック設定箇所を抽出するクロック設定箇所抽出工程と、セクタ挿入プログラムにより、前記クロック設定箇所にテストクロック供給可能なセクタを挿入するセクタ挿入工程と、ネット結線プログラムにより、前記セクタの所定の入力端子にテストクロック端子を接続し、前記セクタのセレクト制御端子にテストモード制御信号を接続するネット結線工程を含むものとすることができる。

40

【0009】

この場合、前記セクタ挿入工程は、前記クロック設定箇所がセル端子の場合には、該セル端子に前記セクタを挿入し、前記クロック設定箇所がモジュールポートの場合には、該モジュールポートの直前のセルの出力端子にセクタを挿入する工程とすることができる。

【0010】

また、本発明のテストクロック回路自動挿入方法には、コンピュータにより、システムモード時に論理0または論理1に設定される0/1ケース(case)設定箇所を抽出し、該

50

0 / 1 ケース設定箇所の論理値を外部から制御することができる 0 / 1 制御回路を挿入する 0 / 1 制御回路挿入工程を含めることができる。

【 0 0 1 1 】

この場合、前記 0 / 1 制御回路挿入工程は、0 / 1 ケース設定箇所抽出プログラムにより、前記 0 / 1 ケース設定箇所を抽出する 0 / 1 ケース設定箇所抽出工程と、前記セクタ挿入プログラムにより、前記 0 / 1 ケース設定箇所がセルの入力端子の場合には、該セルの入力側にセクタを挿入し、前記 0 / 1 ケース設定箇所がセルの出力端子の場合には、該セルの出力側にセクタを挿入し、前記 0 / 1 ケース設定箇所がセルの入力端子でもなく、セルの出力端子でもない場合には、セルの出力端子を探索し、該探索したセルの出力側にセクタを挿入する工程を含むものとすることができる。

10

【 0 0 1 2 】

本発明のテストクロック回路自動挿入プログラムは、論理合成後の L S I の S T A でのクロック設定箇所を抽出し、該クロック設定箇所にテストクロック供給可能なテストクロック回路を挿入するテストクロック回路挿入工程をコンピュータに実行させるものである。

【 0 0 1 3 】

本発明のテストクロック回路自動挿入プログラムは、前記クロック設定箇所を抽出するクロック設定箇所抽出工程を前記コンピュータに実行させるクロック設定箇所抽出プログラムと、前記クロック設定箇所にテストクロック供給可能なセクタを挿入するセクタ挿入工程を前記コンピュータに実行させるセクタ挿入プログラムと、前記セクタの所定の入力端子にテストクロック端子を接続し、前記セクタのセレクト制御端子にテストモード制御信号を接続するネット結線工程を前記コンピュータに実行させるネット結線プログラムを含むものとすることができる。

20

【 0 0 1 4 】

この場合、前記クロック設定箇所がセル端子であるか否かの判定を行う端子判定工程を前記コンピュータに実行させる端子判定プログラムを含むものとし、前記セクタ挿入プログラムは、前記クロック設定箇所がセル端子の場合には、該セル端子に前記セクタを挿入し、前記クロック設定箇所がモジュールポートの場合には、該モジュールポートの直前のセルの出力端子にセクタを挿入するものとすることができる。

【 0 0 1 5 】

また、本発明のテストクロック回路自動挿入プログラムには、システムモード時に論理 0 または論理 1 に設定される 0 / 1 ケース設定箇所を抽出し、該 0 / 1 ケース設定箇所の論理値を外部から制御することができる 0 / 1 制御回路を挿入する 0 / 1 制御回路挿入工程を前記コンピュータに実行させる 0 / 1 制御回路挿入プログラムを含めることができる。

30

【 0 0 1 6 】

この場合、前記 0 / 1 制御回路挿入プログラムには、0 / 1 ケース設定箇所を抽出する 0 / 1 ケース設定箇所抽出工程を前記コンピュータに実行させる 0 / 1 ケース設定箇所抽出プログラムと、前記 0 / 1 ケース設定箇所がセルの入力端子の場合には、該セルの入力側にセクタを挿入し、前記 0 / 1 ケース設定箇所がセルの出力端子の場合には、該セルの出力側にセクタを挿入し、前記 0 / 1 ケース設定箇所がセルの入力端子でもなく、セルの出力端子でもない場合には、セルの出力端子を探索し、該探索したセルの出力側にセクタを挿入する工程を前記コンピュータに実行させるセクタ挿入プログラムを含めることができる。

40

【 発明の効果 】

【 0 0 1 7 】

本発明のテストクロック回路自動挿入方法によれば、コンピュータにより、論理合成後の L S I の S T A でのクロック設定箇所を抽出し、該クロック設定箇所にテストクロック供給可能なテストクロック回路を挿入するテストクロック回路挿入工程が実行されるので、論理合成後の L S I に遅延故障の検出が可能なテストクロック回路を自動挿入すること

50

ができ、テスト容易化設計工数の低減化を図ることができる。

【 0 0 1 8 】

本発明のテストクロック回路自動挿入プログラムによれば、論理合成後の L S I の S T A でのクロック設定箇所を抽出し、該クロック設定箇所にテストクロック供給可能なテストクロック回路を挿入するテストクロック回路挿入工程をコンピュータに実行させることができるので、論理合成後の L S I に遅延故障の検出が可能なテストクロック回路を自動挿入することができ、テスト容易化設計工数の低減化を図ることができる。

【 発明を実施するための最良の形態 】

【 0 0 1 9 】

図 1 は本発明のテストクロック回路自動挿入方法の一実施形態を実施するための装置の概略的構成図である。この装置は、コンピュータからなり、C P U (central processing unit) 1、R A M (random access memory) 2、マウス 3、キーボード 4、ディスプレイ 5 及びハードディスク 6 等を備えている。 10

【 0 0 2 0 】

ハードディスク 6 には、本発明のテストクロック回路自動挿入方法の一実施形態の実施に必要なデータ及びプログラム（本発明のテストクロック回路自動挿入プログラムの一実施形態）が格納され、論理合成後の L S I へのテストクロック回路及び 0 / 1 制御回路の自動挿入時には、これらデータ及びプログラムは、ハードディスク 6 から R A M 2 に転送される。

【 0 0 2 1 】

本発明のテストクロック回路自動挿入方法の一実施形態の実施に必要なデータとしては、論理合成後テスト容易化設計前の L S I のネットリスト 7、S T A タイミング制約情報 8、及び、システムモード時の周波数の異なる複数のクロックをテストクロック端子数にグループ化するためのクロックグループ情報 9 がハードディスク 6 に格納される。 20

【 0 0 2 2 】

また、本発明のテストクロック回路自動挿入方法の一実施形態の実施に必要なプログラムとしては、クロック設定箇所抽出プログラム 1 0、端子判定プログラム 1 1、セル抽出プログラム 1 2、セクタ挿入プログラム 1 3、グループ化プログラム 1 4、ネット結線プログラム 1 5 及び 0 / 1 ケース設定箇所抽出プログラム 1 6 がハードディスク 6 に格納される。 30

【 0 0 2 3 】

クロック設定箇所抽出プログラム 1 0 は、論理合成後テスト容易化設計前の L S I のネットリスト 7 から S T A でのクロック設定箇所を抽出するプログラムであり、後述するステップ S 2 0 1 で使用するものである。

【 0 0 2 4 】

端子判定プログラム 1 1 は、クロック設定箇所抽出プログラム 1 0 により抽出した S T A でのクロック設定箇所がセル端子であるか否かの判定や、0 / 1 ケース設定箇所抽出プログラム 1 6 により抽出した 0 / 1 ケース設定箇所がセルの入力端子であるか否かの判定や、セルの出力端子であるか否かの判定を行うプログラムであり、後述するステップ S 2 0 2、S 3 0 2、S 3 0 4 で使用するものである。 40

【 0 0 2 5 】

セル抽出プログラム 1 2 は、クロック設定箇所抽出プログラム 1 0 により抽出した S T A でのクロック設定箇所がセルの上位階層のモジュールポートである場合におけるモジュールポートの直前のセルの出力端子の探索や、0 / 1 ケース設定箇所抽出プログラム 1 6 により抽出した 0 / 1 ケース設定箇所がセルの入力端子でもなく、セルの出力端子でもない場合におけるセルの出力端子の探索を行うプログラムであり、後述するステップ S 2 0 4、S 3 0 6 に使用するものである。

【 0 0 2 6 】

セクタ挿入プログラム 1 3 は、クロック設定箇所抽出プログラム 1 0 により抽出したクロック設定箇所であるセル端子へのセクタの挿入や、セル抽出プログラム 1 2 により 50

探索したセルの出力端子へのセレクトの挿入や、0 / 1 ケース設定箇所抽出プログラム 16 により抽出した 0 / 1 ケース設定箇所がセルの入力端子である場合におけるセルの入力側へのセレクトの挿入や、0 / 1 ケース設定箇所がセルの出力端子である場合におけるセルの出力側へのセレクトの挿入や、0 / 1 ケース設定箇所がセルの入力端子でもなく、セルの出力端子でもない場合において、セル抽出プログラム 12 により抽出したセルの出力側へのセレクトの挿入を行うプログラムであり、後述するステップ S 203、S 303、S 305 に使用するものである。

【0027】

グループ化プログラム 14 は、セレクト挿入プログラム 13 により挿入したセレクトを同一周波数のテストクロックを供給するセレクトごとにグループ化するプログラムであり、後述するステップ S 205 で使用するものである。 10

【0028】

ネット結線プログラム 15 は、セレクト挿入プログラム 13 により挿入したテストクロック回路を構成するセレクトへのテストクロック端子及びテストモード制御信号の接続や、0 / 1 制御回路を構成するセレクトの入力端子のうち、テストモード時に選択される入力端子の論理 0 または論理 1 へのクリップや、同セレクトへのテストモード制御信号の接続を行うプログラムであり、後述するステップ S 206、S 207、S 307、S 308 で使用するものである。

【0029】

0 / 1 ケース設定箇所抽出プログラム 16 は、論理合成後テスト容易化設計前の L S I のネットリスト 7 から 0 / 1 ケース設定箇所を抽出するプログラムであり、後述するステップ S 301 で使用するものである。なお、本発明のテストクロック回路自動挿入プログラムに含まれる 0 / 1 制御回路挿入プログラムは、端子判定プログラム 11、セル抽出プログラム 12、セレクト挿入プログラム 13、ネット結線プログラム 15 及び 0 / 1 ケース設定箇所抽出プログラムを含むものである。 20

【0030】

図 2 は本発明のテストクロック回路自動挿入方法の一実施形態を示すフローチャートである。すなわち、本発明のテストクロック回路自動挿入方法の一実施形態を実施する場合には、まず、論理合成後テスト容易化設計前の L S I のネットリスト 7、S T A タイミング制約情報 8 及びクロックグループ情報 9 をハードディスク 6 から R A M 2 に入力する（ステップ S 1）。 30

【0031】

次に、論理合成後の L S I の S T A でのクロック設定箇所にテストクロック供給可能なテストクロック回路を挿入し（ステップ S 2）、システムモード時に論理 0 または論理 1 に設定される 0 / 1 ケース設定箇所の論理値を外部から制御することができる 0 / 1 制御回路を挿入し（ステップ S 3）、テスト容易化設計回路合成を行う（ステップ S 4）。

【0032】

図 3 はステップ S 2 でのテストクロック回路挿入処理結果例を具体的に示す回路図であり、実線で示す回路部分は、論理合成後テスト容易化設計前のネットリスト 7 が示す L S I の回路状態の一部を示し、破線で示す回路部分は、本発明のテストクロック回路自動挿入方法の一実施形態で挿入したテストクロック回路を示している。図 3 中、20 は P L L、21、22 は入力セル、23 ~ 25 はテストクロック端子、26 ~ 28 はフリップフロップからなる 2 分周器、29 はゲーティングクロックセルからなる 2 分周器、30 ~ 39 はテスト時にシフトレジスタを構成するフリップフロップである。 40

【0033】

また、40 ~ 46 は S T A でのクロック設定箇所であり、40 は 100 M H z のクロック C L K 100 が設定されるクロック設定箇所、41 は 50 M H z のクロック C L K 50 が設定されるクロック設定箇所、42 は 25 M H z のクロック C L K 25 が設定されるクロック設定箇所、43 は 80 M H z のクロック C L K 80 が設定されるクロック設定箇所、44 は 40 M H z のクロック C L K 40 が設定されるクロック設定箇所、45 は 60 M 50

H zのクロック C L K 6 0 が設定されるクロック設定箇所、4 6 は 3 0 M H zのクロック C L K 3 0 が設定されるクロック設定箇所、4 7 ~ 5 3 はテストクロック回路を構成するセクタである。

【 0 0 3 4 】

図 4 はステップ S 2 でのテストクロック回路挿入処理手順を示すフローチャートである。すなわち、論理合成後テスト容易化設計前の L S I にテストクロック回路を挿入する場合には、まず、クロック設定箇所抽出プログラム 1 0 により、論理合成後テスト容易化設計前の L S I のネットリスト 7 から S T A でのクロック設定箇所を抽出する (ステップ S 2 0 1)。図 3 の例では、S T A でのクロック設定箇所 4 0 ~ 4 6 が抽出されることになる。

10

【 0 0 3 5 】

なお、S T A クロックは、例えば、図 5 に示すように定義され、S T A タイミング制約情報 8 中に含まれる。この例では、記述 6 0 は、「クロック C L K 1 0 0 は、1 周期を 1 0 0 0 0 ピコ秒とし、 $t = 0$ で立ち上がり、 $t = 5 0 0 0$ ピコ秒で立ち下がり、P L L 2 0 (P L L _ A) の出力端子 (X) に設定されるもの」であることを示している。

【 0 0 3 6 】

記述 6 1 は、「クロック C L K 5 0 は、P L L 2 0 (P L L _ A) の出力端子 (X) をソースとし、2 分周器 2 6 (R E G _ A) の出力端子 (Q) に設定されるもの」であることを示している。記述 6 2 は、「クロック C L K 2 5 は、P L L 2 0 (P L L _ A) の出力端子 (X) をソースとし、4 分周したものであり、2 分周器 2 7 (R E G _ B) の出力

20

【 0 0 3 7 】

記述 6 3 は、「クロック C L K 8 0 は、1 周期を 1 2 5 0 0 ピコ秒とし、 $t = 0$ で立ち上がり、 $t = 6 2 5 9$ ピコ秒で立ち下がり、入力セル 2 1 (I N P U T _ A) の出力端子 (X) に設定されるもの」であることを示している。記述 6 4 は、「クロック C L K 4 0 は、入力セル 2 1 (I N P U T _ A) の出力端子 (X) をソースとし、2 分周器 2 8 (R E G _ C) の出力端子 (Q) に設定されるもの」であることを示している。

【 0 0 3 8 】

記述 6 5 は、「クロック C L K 6 0 は、1 周期を 1 6 6 0 0 ピコ秒とし、 $t = 0$ で立ち上がり、 $t = 8 3 0 0$ ピコ秒で立ち下がり、入力セル 2 2 (I N P U T _ B) の出力端子 (X) に設定されるもの」であることを示している。記述 6 6 は、「クロック C L K 3 0 は、入力セル 2 2 (I N P U T _ B) の出力端子 (X) をソースとし、2 分周器 2 9 (G C B _ A) の出力端子 (G C L K) に設定されるもの」であることを示している。

30

【 0 0 3 9 】

前述のステップ S 2 0 1 の後、抽出した S T A でのクロック設定箇所がセル端子であるかモジュールポートであるかを端子判定プログラム 1 1 により判定する (ステップ S 2 0 2)。判定の結果、抽出した S T A でのクロック設定箇所がセル端子である場合には、抽出した S T A でのクロック設定箇所であるセル端子にセクタ挿入プログラム 1 3 によりセクタを挿入する (ステップ S 2 0 3)。

【 0 0 4 0 】

図 3 の例では、S T A でのクロック設定箇所 4 0 ~ 4 6 は、全てセル端子であるから、クロック設定箇所 4 0 ~ 4 6 にセクタ 4 7 ~ 5 3 が挿入される。なお、セクタ 4 7 ~ 5 3 は、テストモード制御信号 X T S T = “ 0 ” の場合には、システムモード時のクロックを選択し、テストモード制御信号 X T S T = “ 1 ” の場合には、テストクロックを選択するものとして挿入される。

40

【 0 0 4 1 】

また、前述のステップ S 2 0 2 での判定の結果、抽出した S T A でのクロック設定箇所がモジュールポートである場合には、S T A でのクロック設定箇所として抽出したモジュールポートの直前のセルの出力端子をセル抽出プログラム 1 2 により探索し (ステップ S 2 0 4)、探索したセルの出力端子にセクタ挿入プログラム 1 3 によりセクタを挿入

50

する（ステップ S 2 0 3）。

【 0 0 4 2 】

次に、クロックグループ情報 9 及びグループ化プログラム 1 4 により、ステップ S 2 0 3 で挿入したセクタを同一のテストクロックを与えるセクタ毎のグループにグループ化する（ステップ S 2 0 5）。

【 0 0 4 3 】

図 6 はクロックグループ情報 9 の例を示す表図である。この例の場合には、記述 7 0 は、「クロック C L K 1 0 0 は、テストクロック TestClock 1 0 0 のグループにグループ化される」ことを示し、記述 7 1 は、「クロック C L K 8 0、C L K 6 0、C L K 5 0 は、テストクロック TestClock 5 0 のグループにグループ化される」ことを示し、記述 7 2 は、「クロック C L K 4 0、C L K 3 0、C L K 2 5 は、テストクロック TestClock 2 5 のグループにグループ化される」ことを示している。

10

【 0 0 4 4 】

したがって、図 3 の例の場合には、セクタ 4 7 は、テストクロック TestClock 1 0 0 のグループにグループ化され、セクタ 4 8 ~ 5 0 は、テストクロック TestClock 5 0 のグループにグループ化され、セクタ 5 1 ~ 5 3 は、テストクロック TestClock 2 5 のグループにグループ化されることになる。

【 0 0 4 5 】

次に、挿入されたセクタの入力端子のうち、テストモード時に選択される入力端子にネット結線プログラム 1 5 によりテストクロック端子をグループごとに接続し（ステップ S 2 0 6）、更に、挿入されたセクタのセレクト制御端子にネット結線プログラム 1 5 によりテストモード制御信号 X T S T を接続する（ステップ S 2 0 7）。

20

【 0 0 4 6 】

図 3 の例では、セクタ 4 7 の入力端子のうち、テストモード制御信号 X T S T = “ 1 ” の場合に選択される入力端子にテストクロック端子 2 3 が接続され、セクタ 4 8 ~ 5 0 の入力端子のうち、テストモード制御信号 X T S T = “ 1 ” の場合に選択される入力端子にテストクロック端子 2 4 が接続され、セクタ 5 1 ~ 5 3 の入力端子のうち、テストモード制御信号 X T S T = “ 1 ” の場合に選択される入力端子にテストクロック端子 2 5 が接続され、更に、セクタ 4 7 ~ 5 3 のセレクト制御端子にはテストモード制御信号 X T S T が接続される。

30

【 0 0 4 7 】

この結果、テストモード時には、システムモード時に 1 0 0 M H z のクロック C L K 1 0 0 が与えられるフリップフロップ（フリップフロップ 3 0 等）には、テストクロック TestClock 1 0 0 として、1 0 0 M H z のスキャンクロックが供給される。

【 0 0 4 8 】

また、システムモード時に 8 0 M H z のクロック C L K 8 0 が与えられるフリップフロップ（フリップフロップ 3 4 等）、システムモード時に 6 0 M H z のクロック C L K 6 0 が与えられるフリップフロップ（フリップフロップ 3 7 等）、及び、システムモード時に 5 0 M H z のクロック C L K 5 0 が与えられるフリップフロップ（フリップフロップ 3 1 等）には、テストクロック TestClock 5 0 として、5 0 M H z のスキャンクロックが供給される。

40

【 0 0 4 9 】

また、システムモード時に 4 0 M H z のクロック C L K 4 0 が与えられるフリップフロップ（フリップフロップ 3 5、3 6 等）、システムモード時に 3 0 M H z のクロック C L K 3 0 が与えられるフリップフロップ（フリップフロップ 3 8、3 9 等）、及び、システムモード時に 2 5 M H z のクロック C L K 2 5 が与えられるフリップフロップ（フリップフロップ 3 2、3 3 等）には、テストクロック TestClock 2 5 として、2 5 M H z のスキャンクロックが供給される。

【 0 0 5 0 】

図 7 はステップ S 3 での 0 / 1 制御回路挿入処理結果例を具体的に示す回路図であり、

50

実線で示す回路部分は、論理合成後テスト容易化設計前の L S I のネットリスト 7 が示す回路状態の一部分を示し、破線で示す部分は、本発明のテストクロック回路自動挿入方法の一実施形態で挿入された 0 / 1 制御回路を示している。

【 0 0 5 1 】

図 7 中、75 は 50 MHz のクロック C L K A または 100 MHz のクロック C L K B を選択するセクタであり、セレクト制御端子 S 0 のレベル = “ 0 ” の場合にはクロック C L K A を選択し、セレクト制御端子 S 0 のレベル = “ 1 ” の場合にはクロック C L K B を選択するものである。76 はセクタ 75 のセレクト制御端子 S 0 にセレクト制御信号を与えるフリップフロップ、77 は 0 / 1 制御回路を構成するセクタである。

【 0 0 5 2 】

また、78 は 100 MHz のクロック C L K C または 50 MHz のクロック C L K D を選択するセクタであり、セレクト制御端子 S 0 のレベル = “ 0 ” の場合にはクロック C L K C を選択し、セレクト制御端子 S 0 のレベル = “ 1 ” の場合にはクロック C L K D を選択するものである。79 はセクタ 78 のセレクト制御端子 S 0 にセレクト制御信号を与えるフリップフロップ、80 は 0 / 1 制御回路を構成するセクタである。

【 0 0 5 3 】

図 8 はステップ S 3 での 0 / 1 制御回路挿入処理手順を示すフローチャートである。すなわち、0 / 1 制御回路を挿入する場合には、まず、0 / 1 ケース設定箇所抽出プログラム 16 により、論理合成後テスト容易化設計前の L S I のネットリスト 7 から 0 / 1 ケース設定箇所を抽出する（ステップ S 3 0 1）。図 7 の例では、0 / 1 ケース設定箇所としてセクタ 75、78 のセレクト制御端子 S 0 が抽出される。

【 0 0 5 4 】

次に、抽出した 0 / 1 ケース設定箇所がセルの入力端子か否かを端子判定プログラム 11 により判定する（ステップ S 3 0 2）。判定の結果、抽出した 0 / 1 ケース設定箇所がセルの入力端子の場合（ステップ S 3 0 2 で Y E S の場合）には、セクタ挿入プログラム 13 により、セルの入力側にセクタを挿入する（ステップ S 3 0 3）。

【 0 0 5 5 】

図 7 の例では、セクタ 75 のセレクト制御端子 S 0 側にセクタ 77 が挿入され、セクタ 78 のセレクト制御端子 S 0 側にセクタ 80 が挿入される。セクタ 77 は、テストモード制御信号 X T S T = “ 0 ” の場合にはフリップフロップ 76 の出力を選択し、セクタ 80 は、テストモード制御信号 X T S T = “ 0 ” の場合にはフリップフロップ 79 の出力を選択するように挿入される。

【 0 0 5 6 】

これに対して、抽出した 0 / 1 ケース設定箇所がセルの入力端子でない場合（ステップ S 3 0 2 で N O の場合）には、抽出した 0 / 1 ケース設定箇所がセルの出力端子であるか否かを端子判定プログラム 11 により判定する（ステップ S 3 0 4）。判定の結果、抽出した 0 / 1 ケース設定箇所がセルの出力端子の場合（ステップ S 3 0 4 で Y E S の場合）には、セルの出力側にセクタを挿入する（ステップ S 3 0 5）。

【 0 0 5 7 】

また、ステップ S 3 0 4 での判定の結果、抽出した 0 / 1 ケース設定箇所がセルの出力端子でない場合（ステップ S 3 0 4 で N O の場合）には、セル抽出プログラム 12 により、抽出した 0 / 1 ケース設定箇所からセルの出力端子を探索し（ステップ S 3 0 6）、探索したセルの出力側にセクタ挿入プログラム 13 によりセクタを挿入する（ステップ S 3 0 5）。

【 0 0 5 8 】

次に、挿入したセクタの入力端子のうち、テストモード時に選択される入力端子をケース設定の値にあわせて論理 0 または論理 1 にネット結線プログラム 15 によりクリップし（ステップ S 3 0 7）、更に、挿入したセクタのセレクト制御端子にテストモード制御信号をネット結線プログラム 15 により接続する（ステップ S 3 0 8）。

【 0 0 5 9 】

10

20

30

40

50

図 7 の例では、セクタ 77 は、テストモード制御信号 X T S T = “ 1 ” の場合に選択される入力端子が論理 1 にクリップされ、セレクト制御端子にテストモード制御信号 X T S T が接続される。セクタ 80 は、テストモード制御信号 X T S T = “ 1 ” の場合に選択される入力端子が論理 0 にクリップされ、セレクト制御端子にテストモード制御信号 X T S T が接続される。

【 0 0 6 0 】

図 9 は S T A タイミング制約情報 8 に含まれる 0 / 1 ケース設定情報例を示す表図であり、記述 85 は、「セクタ 75 (M U X _ A) のセレクト制御端子 (S 0) には論理 1 が設定される」ことを示している。記述 86 は、「セクタ 78 (M U X _ B) のセレクト制御端子 (S 0) には論理 0 が設定される」ことを示している。

10

【 0 0 6 1 】

以上のように、本発明のテストクロック回路自動挿入方法の一実施形態では、クロック設定箇所抽出プログラム 10 による S T A でのクロック設定箇所の抽出 (ステップ S 2 0 1) と、端子判定プログラム 11、セル抽出プログラム 12 及びセクタ挿入プログラム 13 によるクロック設定箇所にテストクロック供給可能なテストクロック回路を構成するセクタの挿入 (ステップ S 2 0 2 ~ S 2 0 4) と、グループ化プログラム 14 によるテストクロック回路を構成するセクタのグループ化 (ステップ S 2 0 5) と、ネット結線プログラム 15 によるテストクロック回路を構成するセクタへのテストクロック端子及びテストモード制御信号 X T S T の接続 (ステップ S 2 0 6、S 2 0 7) が実行される。

【 0 0 6 2 】

20

さらに、0 / 1 ケース設定箇所抽出プログラム 16 による 0 / 1 ケース設定箇所の抽出 (ステップ S 3 0 1) と、端子判定プログラム 11、セル抽出プログラム 12 及びセクタ挿入プログラム 13 によるセルの入力側または出力側への 0 / 1 制御回路を構成するセクタの挿入 (ステップ S 3 0 2 ~ S 3 0 6) と、ネット結線プログラム 15 による 0 / 1 制御回路を構成するセクタの所定の入力端子の論理 0 または論理 1 へのクリップと、0 / 1 制御回路を構成するセクタのセレクト制御端子へのテストモード制御信号 X T S T の接続 (ステップ S 3 0 7、S 3 0 8) が実行される。

【 0 0 6 3 】

すなわち、本発明のテストクロック回路自動挿入方法の一実施形態によれば、本発明のテストクロック回路自動挿入プログラムの一実施形態を使用し、コンピュータにより、論理合成後の L S I の S T A でのクロック設定箇所を抽出し、該クロック設定箇所にテストクロック供給可能なテストクロック回路を挿入するテストクロック回路挿入工程が実行されるので、論理合成後の L S I に遅延故障の検出が可能なテストクロック回路及び 0 / 1 制御回路を自動挿入することができる。したがって、テスト容易化設計工数の低減化を図ることができる。

30

【 0 0 6 4 】

ここで、本発明を整理すると、本発明には、少なくとも、以下のテストクロック回路自動挿入方法及びプログラムが含まれる。

【 0 0 6 5 】

(付記 1) コンピュータにより、論理合成後の L S I の S T A でのクロック設定箇所を抽出し、該クロック設定箇所にテストクロック供給可能なテストクロック回路を挿入するテストクロック回路挿入工程を含むことを特徴とするテストクロック回路自動挿入方法。

40

【 0 0 6 6 】

(付記 2) 前記テストクロック回路挿入工程は、クロック設定箇所抽出プログラムにより、前記 L S I から前記クロック設定箇所を抽出するクロック設定箇所抽出工程と、セクタ挿入プログラムにより、前記クロック設定箇所にテストクロック供給可能なセクタを挿入するセクタ挿入工程と、ネット結線プログラムにより、前記セクタの所定の入力端子にテストクロック端子を接続し、前記セクタのセレクト制御端子にテストモード制御信号を接続するネット結線工程を含むことを特徴とする付記 1 記載のテストクロック回路自動挿入方法。

50

【 0 0 6 7 】

(付記 3) 前記セクタ挿入工程は、前記クロック設定箇所がセル端子の場合には、該セル端子に前記セクタを挿入し、前記クロック設定箇所がモジュールポートの場合には、該モジュールポートの直前のセルの出力端子にセクタを挿入する工程であることを特徴とする付記 2 記載のテストクロック回路自動挿入方法。

【 0 0 6 8 】

(付記 4) 前記コンピュータにより、システムモード時に論理 0 または論理 1 に設定される 0 / 1 ケース設定箇所を抽出し、該 0 / 1 ケース設定箇所の論理値を外部から制御することができる 0 / 1 制御回路を挿入する 0 / 1 制御回路挿入工程を含むことを特徴とする付記 1、2 または 3 記載のテストクロック回路自動挿入方法。

10

【 0 0 6 9 】

(付記 5) 前記 0 / 1 制御回路挿入工程は、0 / 1 ケース設定箇所抽出プログラムにより、前記 0 / 1 ケース設定箇所を抽出する 0 / 1 ケース設定箇所抽出工程と、前記セクタ挿入プログラムにより、前記 0 / 1 ケース設定箇所がセルの入力端子の場合には、該セルの入力側にセクタを挿入し、前記 0 / 1 ケース設定箇所がセルの出力端子の場合には、該セルの出力側にセクタを挿入し、前記 0 / 1 ケース設定箇所がセルの入力端子でもなく、セルの出力端子でもない場合には、セルの出力端子を探索し、該探索したセルの出力側にセクタを挿入する工程を含むことを特徴とする付記 4 記載のテストクロック回路自動挿入方法。

【 0 0 7 0 】

(付記 6) 論理合成後の L S I の S T A でのクロック設定箇所を抽出し、該クロック設定箇所にテストクロック供給可能なテストクロック回路を挿入するテストクロック回路挿入工程をコンピュータに実行させることを特徴とするテストクロック回路自動挿入プログラム。

20

【 0 0 7 1 】

(付記 7) 前記クロック設定箇所を抽出するクロック設定箇所抽出工程を前記コンピュータに実行させるクロック設定箇所抽出プログラムと、前記クロック設定箇所にテストクロック供給可能なセクタを挿入するセクタ挿入工程を前記コンピュータに実行させるセクタ挿入プログラムと、前記セクタの所定の入力端子にテストクロック端子を接続し、前記セクタのセレクト制御端子にテストモード制御信号を接続するネット結線工程を前記コンピュータに実行させるネット結線プログラムを含むことを特徴とする付記 6 記載のテストクロック回路自動挿入プログラム。

30

【 0 0 7 2 】

(付記 8) 前記クロック設定箇所がセル端子であるか否かの判定を行う端子判定工程を前記コンピュータに実行させる端子判定プログラムを含み、前記セクタ挿入プログラムは、前記クロック設定箇所がセル端子の場合には、該セル端子に前記セクタを挿入し、前記クロック設定箇所がモジュールポートの場合には、該モジュールポートの直前のセルの出力端子にセクタを挿入するものであることを特徴とする付記 7 記載のテストクロック回路自動挿入プログラム。

【 0 0 7 3 】

(付記 9) システムモード時に論理 0 または論理 1 に設定される 0 / 1 ケース設定箇所を抽出し、該 0 / 1 ケース設定箇所の論理値を外部から制御することができる 0 / 1 制御回路を挿入する 0 / 1 制御回路挿入工程を前記コンピュータに実行させる 0 / 1 制御回路挿入プログラムを含むことを特徴とする付記 6、7 または 8 記載のテストクロック回路自動挿入プログラム。

40

【 0 0 7 4 】

(付記 10) 前記 0 / 1 制御回路挿入プログラムには、前記 0 / 1 ケース設定箇所を抽出する 0 / 1 ケース設定箇所抽出工程を前記コンピュータに実行させる 0 / 1 ケース設定箇所抽出プログラムと、前記 0 / 1 ケース設定箇所がセルの入力端子の場合には、該セルの入力側にセクタを挿入し、前記 0 / 1 ケース設定箇所がセルの出力端子の場合には、

50

該セルの出力側にセレクタを挿入し、前記 0 / 1 ケース設定箇所がセルの入力端子でもなく、セルの出力端子でもない場合には、セルの出力端子を探索し、該探索したセルの出力側にセレクタを挿入する工程を前記コンピュータに実行させるセレクタ挿入プログラムを含むことを特徴とする付記 9 記載のテストクロック回路自動挿入プログラム。

【図面の簡単な説明】

【 0 0 7 5 】

【図 1】本発明のテストクロック回路自動挿入方法の一実施形態を実施するための装置の概略的構成図である。

【図 2】本発明のテストクロック回路自動挿入方法の一実施形態を示すフローチャートである。

10

【図 3】本発明のテストクロック回路自動挿入方法の一実施形態で実行するテストクロック回路挿入処理結果例を具体的に示す回路図である。

【図 4】本発明のテストクロック回路自動挿入方法の一実施形態で実行するテストクロック回路挿入処理手順を示すフローチャートである。

【図 5】本発明のテストクロック回路自動挿入方法の一実施形態で使用する S T A タイミング制約情報に含まれる S T A クロックの定義例を示す表図である。

【図 6】本発明のテストクロック回路自動挿入方法の一実施形態で使用するクロックグループ情報の例を示す表図である。

【図 7】本発明のテストクロック回路自動挿入方法の一実施形態で実行する 0 / 1 制御回路挿入処理結果例を具体的に示す回路図である。

20

【図 8】本発明のテストクロック回路自動挿入方法の一実施形態で実行する 0 / 1 制御回路挿入処理手順を示すフローチャートである。

【図 9】本発明のテストクロック回路自動挿入方法の一実施形態で使用する S T A タイミング制約情報に含まれる 0 / 1 ケース設定情報例を示す表図である。

【符号の説明】

【 0 0 7 6 】

1 ... C P U

2 ... R A M

3 ... マウス

4 ... キーボード

30

5 ... ディスプレイ

6 ... ハードディスク

7 ... ネットリスト

8 ... S T A タイミング制約情報

9 ... クロックグループ情報

1 0 ... クロック設定箇所抽出プログラム

1 1 ... 端子判定プログラム

1 2 ... セル抽出プログラム

1 3 ... セレクタ挿入プログラム

1 4 ... グループ化プログラム

40

1 5 ... ネット結線プログラム

1 6 ... 0 / 1 ケース設定箇所抽出プログラム

2 0 ... P L L

2 1、2 2 ... 入力セル

2 3 ~ 2 5 ... テストクロック端子

2 6 ~ 2 9 ... 2 分周器

3 0 ~ 3 9 ... フリップフロップ

4 0 ~ 4 6 ... S T A でのクロック設定箇所

4 7 ~ 5 3 ... セレクタ

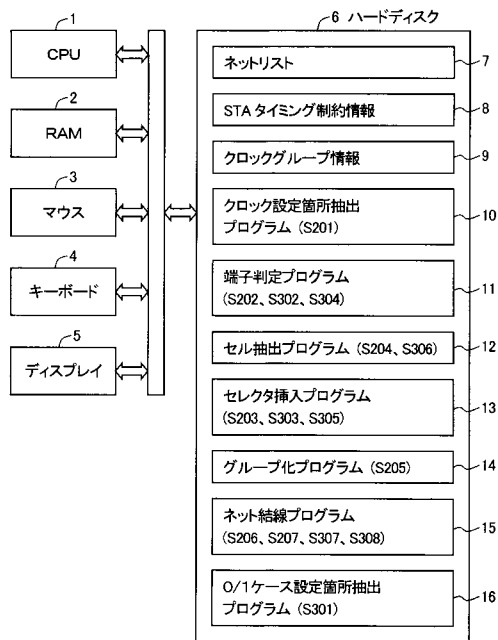
7 5 ... セレクタ

50

7 6 ... フリップフロップ
 7 7、7 8 ... セレクタ
 7 9 ... フリップフロップ
 8 0 ... セレクタ

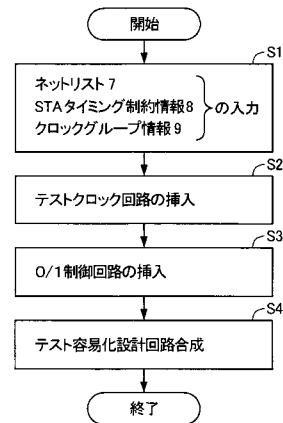
【図 1】

本発明のテストクロック回路自動挿入方法の一実施形態を実施するための装置の概略的構成図

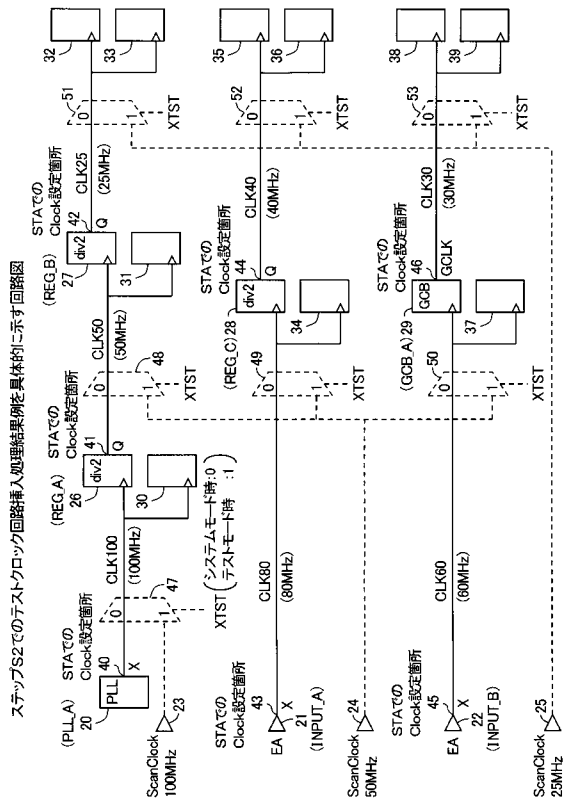


【図 2】

本発明のテストクロック回路自動挿入方法の一実施形態を示すフローチャート



【図 3】



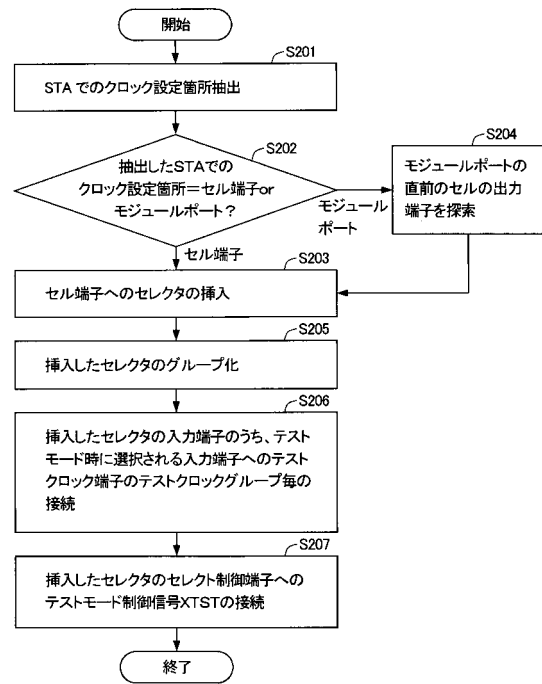
【図 5】

STAクロックの定義例を示す表図

60	create_clock -name CLK100 -period 10000 -waveform [0 5000] [get_pins [PLL_A/X]]
61	create_generated_clock -name CLK50 -source [get_pins [PLL_A/X]] * -divide_by 2 [get_pins [REG_B/Q]]
62	create_generated_clock -name CLK25 -source [get_pins [PLL_A/X]] * -edges [1 5 9] [get_pins [REG_B/Q]]
63	create_clock -name CLK80 -period 12500 -waveform [0 6250] [get_pins [INPUT_A/X]]
64	create_generated_clock -name CLK40 -source [get_pins [INPUT_A/X]] * -divide_by 2 [get_pins [REG_C/Q]]
65	create_clock -name CLK60 -period 16600 -waveform [0 8300] [get_pins [INPUT_B/X]]
66	create_generated_clock -name CLK30 -source [get_pins [INPUT_B/X]] * -divide_by 2 [get_pins [GCB_A/GCLK]]

【図 4】

ステップS2でのテストクロック回路挿入処理手順を示すフローチャート



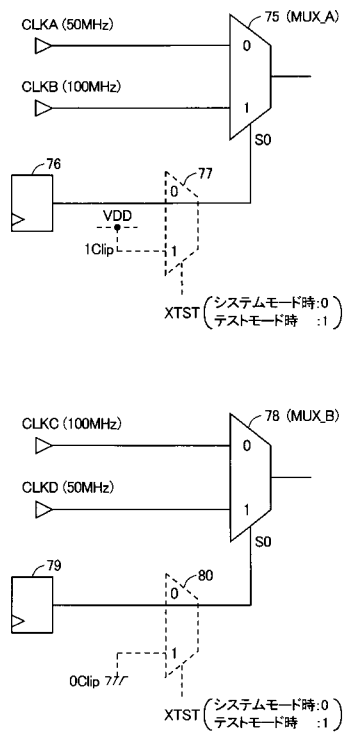
【図 6】

クロックグループ情報9の例を示す表図

70	TestClock100 "CLK100"
71	TestClock50 "CLK80 CLK60 CLK50"
72	TestClock25 "CLK40 CLK30 CLK25"

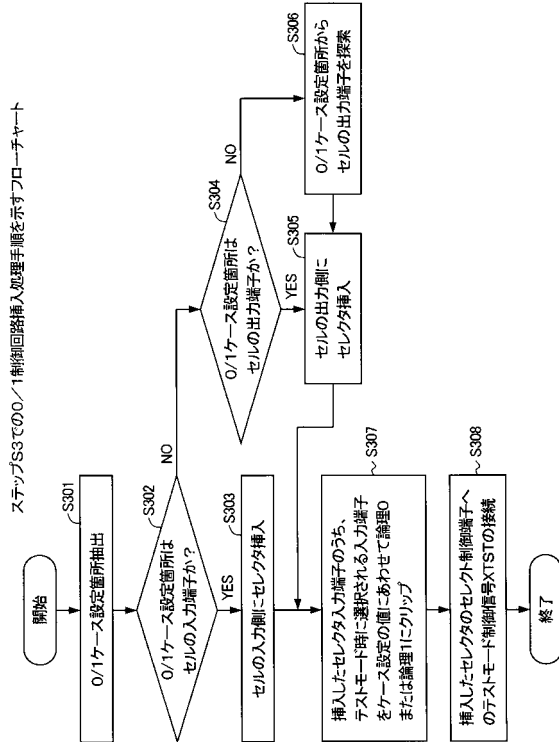
【 図 7 】

ステップS3での0/1制御回路挿入処理結果例を具体的に示す回路図



【 図 8 】

ステップS3での0/1制御回路挿入処理手順を示すフローチャート



【 図 9 】

STAタイミング制約情報8に含まれる0/1ケース設定情報例を示す表図

85	set_case_analysis 1 [get_pins MUX_A/S0]
86	set_case_analysis 0 [get_pins MUX_B/S0]