



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2008년01월03일  
(11) 등록번호 10-0791341  
(24) 등록일자 2007년12월27일

(51) Int. Cl.

G06F 12/00 (2006.01)

(21) 출원번호 10-2006-0084865

(22) 출원일자 2006년09월04일

심사청구일자 2006년09월04일

(56) 선행기술조사문헌

JP2004310477 A

KR1020050069925 A

US20020174310 A1

(73) 특허권자

삼성전자주식회사

경기도 수원시 영통구 매탄동 416

(72) 발명자

이광진

경기 화성시 병점동 남수원두산아파트 108동 1604호

곽충근

경기 수원시 영통구 영통동 청명마을 삼성래미안아파트 436-603

김두웅

경기 용인시 풍덕천동 1168 진산마을 삼성아파트 516-1004

(74) 대리인

경상빈, 특허법인가산

전체 청구항 수 : 총 20 항

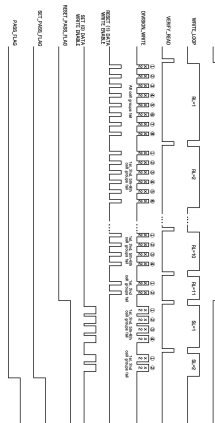
심사관 : 권오성

(54) 비휘발성 메모리 장치의 기입 방법 및 그 방법을 사용하는비휘발성 메모리 장치

(57) 요약

비휘발성 메모리 장치의 기입 방법이 제공된다. 상기 비휘발성 메모리 장치의 기입 방법은 다수의 비휘발성 메모리 셀을 포함하는 메모리 셀 어레이를 제공하고, 다수의 메모리 셀 중 제1 상태(status)의 데이터가 기입될 메모리 셀에 데이터를 먼저 기입하고, 제1 상태와 다른 제2 상태의 데이터가 기입될 메모리 셀에 데이터를 나중에 기입한다.

대표도 - 도3



**특허청구의 범위**

**청구항 1**

다수의 비휘발성 메모리 셀을 포함하는 메모리 셀 어레이를 제공하고,

상기 다수의 메모리 셀 중 제1 상태(status)의 데이터가 기입될 메모리 셀에 데이터를 먼저 기입하고,

상기 제1 상태와 다른 제2 상태의 데이터가 기입될 메모리 셀에 데이터를 나중에 기입하는 비휘발성 메모리 장치의 기입 방법.

**청구항 2**

제 1항에 있어서,

상기 (제1 상태의 데이터, 제2 상태의 데이터)는 (0데이터, 1데이터)이거나, (1데이터, 0데이터)인 비휘발성 메모리 장치의 기입 방법.

**청구항 3**

다수의 비휘발성 메모리 셀을 포함하는 메모리 셀 어레이를 제공하고,

상기 다수의 비휘발성 메모리 셀 중 제1 상태(status)의 기입 데이터가 기입되어야 하는 a(단, a는 자연수)개의 페일(fail) 비휘발성 메모리 셀을 찾아내어, m(단, m은 자연수)개의 분할 기입 세션(session) 동안 상기 a개의 페일 비휘발성 메모리 셀에 상기 제1 상태의 기입 데이터를 분할 기입하고,

상기 다수의 비휘발성 메모리 셀 중 상기 제1 상태와 다른 제2 상태의 기입 데이터가 기입되어야 하는 b(단, b는 자연수)개의 페일 비휘발성 메모리 셀을 찾아내어, n(단, n은 자연수)개의 분할 기입 세션 동안 상기 b개의 페일 비휘발성 메모리 셀에 상기 제2 상태의 기입 데이터를 분할 기입하는 것을 포함하는 비휘발성 메모리 장치의 기입 방법.

**청구항 4**

제 3항에 있어서,

상기 다수의 비휘발성 메모리 셀은 다수의 셀 그룹으로 구분되고,

상기 a개의 페일 비휘발성 메모리 셀에 상기 제1 상태의 기입 데이터를 분할 기입하는 것은,

상기 m개의 분할 기입 세션은 상기 다수의 셀 그룹 중 상기 제1 상태의 기입 데이터가 기입되어야 하는 적어도 하나의 페일 비휘발성 메모리 셀을 포함하는 m개의 페일 셀 그룹과 일대일로 대응되어, 상기 각 분할 기입 세션마다 상기 대응되는 페일 셀 그룹 내의 적어도 하나의 상기 제1 상태의 기입 데이터가 기입되어야 하는 페일 비휘발성 메모리 셀에 기입 데이터를 기입하는 것을 포함하고,

상기 b개의 페일 비휘발성 메모리 셀에 상기 제2 상태의 기입 데이터를 분할 기입하는 것은,

상기 n개의 분할 기입 세션은 상기 다수의 셀 그룹 중 상기 제2 상태의 기입 데이터가 기입되어야 하는 적어도 하나의 페일 비휘발성 메모리 셀을 포함하는 n개의 페일 셀 그룹과 일대일로 대응되어, 상기 각 분할 기입 세션마다 상기 대응되는 페일 셀 그룹 내의 적어도 하나의 상기 제2 상태의 기입 데이터가 기입되어야 하는 페일 비휘발성 메모리 셀에 기입 데이터를 기입하는 것을 포함하는 비휘발성 메모리 장치의 기입 방법.

**청구항 5**

제 4항에 있어서,

상기 m개의 분할 기입 세션은 1번째 분할 기입 세션부터 제m번째 분할 기입 세션이고, 상기 n개의 분할 기입 세션은 1번째 분할 기입 세션부터 제n번째 분할 기입 세션인 비휘발성 메모리 장치의 기입 방법.

**청구항 6**

제 3항에 있어서,

상기 (제1 상태의 기입 데이터, 제2 상태의 기입 데이터)는 (0데이터, 1데이터)이거나, (1데이터, 0데이터)인 비휘발성 메모리 장치의 기입 방법.

**청구항 7**

다수의 비휘발성 메모리 셀을 포함하는 메모리 셀 어레이; 및

상기 다수의 비휘발성 메모리 셀 중 제1 상태(status)의 데이터가 기입될 비휘발성 메모리 셀에 데이터를 먼저 기입하고, 상기 제1 상태와 다른 제2 상태의 데이터가 기입될 비휘발성 메모리 셀에 데이터를 나중에 기입하는 기입 회로를 포함하는 비휘발성 메모리 장치.

**청구항 8**

제 7항에 있어서,

상기 (제1 상태의 데이터, 제2 상태의 데이터)는 (0데이터, 1데이터)이거나, (1데이터, 0데이터)인 비휘발성 메모리 장치.

**청구항 9**

다수의 비휘발성 메모리 셀을 포함하는 메모리 셀 어레이; 및

상기 다수의 비휘발성 메모리 셀 중 제1 상태(status)의 기입 데이터가 기입되어야 하는 a(단, a는 자연수)개의 페일(fail) 비휘발성 메모리 셀을 찾아내어, m(단, m은 자연수)개의 분할 기입 세션(session) 동안 상기 a개의 페일 비휘발성 메모리 셀에 상기 제1 상태의 기입 데이터를 분할 기입하고,

상기 다수의 비휘발성 메모리 셀 중 상기 제1 상태와 다른 제2 상태의 기입 데이터가 기입되어야 하는 b(단, a는 자연수)개의 페일 비휘발성 메모리 셀을 찾아내어, n(단, n은 자연수)개의 분할 기입 세션 동안 상기 b개의 페일 비휘발성 메모리 셀에 상기 제2 상태의 기입 데이터를 분할 기입하는 기입 회로를 포함하는 비휘발성 메모리 장치.

**청구항 10**

제 9항에 있어서,

상기 다수의 비휘발성 메모리 셀은 다수의 셀 그룹으로 구분되고,

상기 a개의 페일 비휘발성 메모리 셀에 상기 제1 상태의 기입 데이터를 분할 기입하는 것은,

상기 m개의 분할 기입 세션은 상기 다수의 셀 그룹 중 상기 제1 상태의 기입 데이터가 기입되어야 하는 적어도 하나의 페일 비휘발성 메모리 셀을 포함하는 m개의 페일 셀 그룹과 일대일로 대응되어, 상기 각 분할 기입 세션마다 상기 대응되는 페일 셀 그룹 내의 적어도 하나의 상기 제1 상태의 기입 데이터가 기입되어야 하는 페일 비휘발성 메모리 셀에 기입 데이터를 기입하는 것을 포함하고,

상기 b개의 페일 비휘발성 메모리 셀에 상기 제2 상태의 기입 데이터를 분할 기입하는 것은,

상기 n개의 분할 기입 세션은 상기 다수의 셀 그룹 중 상기 제2 상태의 기입 데이터가 기입되어야 하는 적어도 하나의 페일 비휘발성 메모리 셀을 포함하는 n개의 페일 셀 그룹과 일대일로 대응되어, 상기 각 분할 기입 세션마다 상기 대응되는 페일 셀 그룹 내의 적어도 하나의 상기 제2 상태의 기입 데이터가 기입되어야 하는 페일 비휘발성 메모리 셀에 기입 데이터를 기입하는 것을 포함하는 비휘발성 메모리 장치.

**청구항 11**

제 10항에 있어서,

상기 m개의 분할 기입 세션은 1번째 분할 기입 세션부터 제m번째 분할 기입 세션이고, 상기 n개의 분할 기입 세션은 1번째 분할 기입 세션부터 제n번째 분할 기입 세션인 비휘발성 메모리 장치.

**청구항 12**

제 9항에 있어서,

상기 (제1 상태의 기입 데이터, 제2 상태의 기입 데이터)는 (0데이터, 1데이터)이거나, (1데이터, 0데이터)인 비휘발성 메모리 장치.

**청구항 13**

제 9항에 있어서,

상기 비휘발성 메모리 셀은 상변화 메모리 셀인 비휘발성 메모리 장치.

**청구항 14**

다수의 셀 그룹으로 구분되는 다수의 비휘발성 메모리 셀;

상기 다수의 비휘발성 메모리 셀로부터 독출된 다수의 검증 데이터와, 상기 다수의 상변화 메모리 셀에 기입하려는 다수의 기입 데이터를 비교하여, 상기 검증 데이터 및 기입 데이터가 서로 다른 다수의 페일(fail) 비휘발성 메모리 셀을 나타내는 비교 신호를 출력하는 비교부;

상기 다수의 기입 데이터 중 특정 상태의 기입 데이터가 기입되어야 하는 다수의 비휘발성 메모리 셀을 가리키는 상태 플래그 신호를 제공하는 상태 플래그 신호 발생부;

상기 비교 신호 및 상태 플래그 신호를 제공받아, 상기 다수의 페일 비휘발성 메모리 셀 중 특정 상태의 기입 데이터가 기입되어야 하는 페일 비휘발성 메모리 셀이 기입되기 위한 다수의 분할 기입 세션을 지정하는 지정 신호를 제공하는 기입 검증 지정부;

상기 지정 신호를 제공받아, 상기 지정된 분할 기입 세션의 타이밍에 맞추어 셋 펄스 제어 신호 및 리셋 펄스 제어 신호를 제공하는 기입 펄스 발생부; 및

상기 기입 데이터, 상기 셋 펄스 제어 신호 및 리셋 펄스 제어 신호를 제공받아, 셋 펄스 또는 리셋 펄스를 제공하는 기입 드라이버를 포함하는 비휘발성 메모리 장치.

**청구항 15**

제 14항에 있어서,

상기 특정 상태의 기입 데이터는 제1 상태의 기입 데이터 또는 제2 상태의 기입 데이터이고,

상기 상태 플래그 신호 발생부는 상기 제1 상태의 기입 데이터가 기입되어야 하는 다수의 비휘발성 메모리 셀을 가리키는 상태 플래그 신호를 먼저 제공하고, 상기 제2 상태의 기입 데이터가 기입되어야 하는 다수의 비휘발성 메모리 셀을 가리키는 상태 플래그 신호를 나중에 제공하는 비휘발성 메모리 장치.

**청구항 16**

제 15항에 있어서,

상기 (제1 상태의 기입 데이터, 제2 상태의 기입 데이터)는 (0데이터, 1데이터)이거나, (1데이터, 0데이터)인 비휘발성 메모리 장치.

**청구항 17**

제 15항에 있어서,

상기 상태 플래그 신호 발생부가 상기 제1 상태의 기입 데이터가 기입되어야 하는 다수의 비휘발성 메모리 셀을 가리키는 상태 플래그 신호를 제공할지, 상기 제2 상태의 기입 데이터가 기입되어야 하는 다수의 비휘발성 메모리 셀을 가리키는 상태 플래그 신호를 제공할지는 기입 제어 신호에 의해 제어되는 비휘발성 메모리 장치.

**청구항 18**

제 14항에 있어서,

상기 기입 검증 지정부는,

상기 비교 신호와 상태 플래그 신호를 제공받아, 상기 다수의 셀 그룹 중 특정 상태의 기입 데이터가 기입되어야 하는 페일 비휘발성 메모리 셀을 적어도 하나 포함하는 다수의 페일 셀 그룹만의 소정 기입 순서를 정하고,

상기 정해진 기입 순서 순으로 기입할 수 있도록 다수의 분할 기입 세션을 지정하는 지정 신호를 제공하는 지정 로직을 포함하는 비휘발성 메모리 장치.

**청구항 19**

제 14항에 있어서,

모드 제어 신호를 제공받아 분할 기입 모드를 선택하는 다수의 모드 선택 신호를 제공하는 모드 선택부를 더 포함하고,

상기 기입 검증 지정부는,

상기 다수의 모드 선택 신호에 각각 대응되는 다수의 패스 게이트부로, 상기 각 패스 게이트부는 각 모드 선택 신호를 제공받아 상기 비교 신호를 선택적으로 전달하는 다수의 패스 게이트부와,

상기 비교 신호를 전달받고 상기 상태 플래그 신호를 제공받아, 상기 다수의 셀 그룹 중 특정 상태의 기입 데이터가 기입되어야 하는 페일 비휘발성 메모리 셀을 적어도 하나 포함하는 다수의 페일 셀 그룹만의 소정 기입 순서를 정하고, 상기 정해진 기입 순서 순으로 기입할 수 있도록 다수의 분할 기입 세션을 지정하는 지정 신호를 제공하는 지정 로직을 포함하는 비휘발성 메모리 장치.

**청구항 20**

제 14항에 있어서,

상기 비휘발성 메모리 셀은 상변화 메모리 셀인 비휘발성 메모리 장치.

**명세서**

**발명의 상세한 설명**

**발명의 목적**

**발명이 속하는 기술 및 그 분야의 종래기술**

- <20> 본 발명은 비휘발성 메모리 장치의 기입 방법 및 이를 이용하는 비휘발성 메모리 장치에 관한 것으로, 보다 상세하게는 저항체를 이용한 비휘발성 메모리 장치의 기입 방법 및 이를 이용하는 비휘발성 메모리 장치에 관한 것이다.
- <21> 저항체(resistance material)를 이용한 비휘발성 메모리 장치에는 상변화 메모리 장치(PRAM: Phase change Random Access Memory), 저항성 메모리 장치(RRAM: Resistive RAM), 강유전체 메모리 장치(FRAM: Ferroelectric RAM), 자기 메모리 장치(MRAM: Magnetic RAM) 등 있다. 동적 메모리 장치(DRAM: Dynamic RAM)나 플래시 메모리 장치는 전하(charge)를 이용하여 데이터를 저장하는 반면, 저항체를 이용한 비휘발성 메모리 장치는 칼코제나이드 합금(chalcogenide alloy)과 같은 상변화 물질의 상태 변화(PRAM), 가변 저항체의 저항 변화(RRAM), 강유전체 물질의 분극 현상(FRAM), 강자성체의 자화상태에 따른 MTJ(Magnetic Tunnel Junction) 박막의 저항 변화(MRAM) 등을 이용하여 데이터를 저장한다.
- <22> 이러한 저항체를 이용한 비휘발성 메모리 장치의 일 예로서 상변화 메모리 장치를 자세히 설명하면, 상변화 물질은 결정 상태에서는 저항이 낮고 비정질 상태에서는 저항이 높기 때문에, 결정 상태는 셋(set) 또는 0데이터로 정의하고 비정질 상태는 리셋(reset) 또는 1데이터로 정의한다. 또한, 상변화 메모리 장치는 상변화 물질에 셋 펄스 또는 리셋 펄스를 제공하고 이로 인해 발생하는 주울(joule)열을 이용하여 기입하게 된다. 구체적으로, 1데이터를 기입할 때는 리셋 펄스를 이용하여 상변화 물질을 녹는점 이상으로 가열한 후 빠르게 냉각시켜 비정질 상태가 되도록 하고, 0데이터를 기입할 때에는 셋 펄스를 이용하여 상변화 물질을 결정화 온도 이상 녹는점 이하의 온도로 가열한 후 일정한 시간동안 그 온도를 유지한 후 냉각시켜 결정 상태가 되도록 한다. 여기서, 0 데이터를 기입하는 시간은 1데이터를 기입하는 시간에 비해 약 5배 정도가 되는데, 예를 들어, 0데이터를 기입하는 시간은 약 600ns이고, 1데이터를 기입하는 시간은 약 120ns일 수 있다.
- <23> 한편, 다수의 입출력핀(예를 들어, 16개 핀)을 통해서 동시에 입력된 기입 데이터를 다수(예를 들어, 16개)의 상변화 메모리 셀에 동시에 기입할 수 없다. 예를 들어, 하나의 상변화 메모리 셀에 제공되는 리셋 펄스의 전류 레벨이 1mA라면, 16개의 상변화 메모리 셀에 기입 데이터를 동시에 기입하려면 16mA가 필요하게 되고, 이러한

리셋 펄스를 제공하는 기입 드라이버에서의 효율이 약 10%라면, 실제로는 160mA가 필요하게 되기 때문이다. 상변화 메모리 장치의 전류 구동 능력(current drive ability)에는 한계가 있기 때문에, 적어도 하나의 상변화 메모리 셀을 포함하는 셀 그룹 단위로 분할 기입(division write)된다. 예를 들어, 16개의 상변화 메모리 셀은 8개의 셀 그룹으로 구분되고, 8번의 분할 기입 세션(division write session) 동안 기입되게 된다.

- <24> 또한, 불필요한 전류 낭비를 방지하게 위해서 상변화 메모리 장치는 기입 검증(write verify) 동작을 채용할 수 있다. 즉, 기입 데이터를 기입하기 전에, 기입하고자 하는 상변화 메모리 셀에 기저장된 데이터를 검증 독출(verify read)하고(이하, 이를 검증 데이터라 함), 상기 검증 데이터와 기입 데이터를 비교하여 두 데이터가 서로 다른 페일(fail) 상변화 메모리 셀에만 기입 데이터를 기입하게 된다.
- <25> 도 1은 분할 기입과 기입 검증을 채용한 종래의 상변화 메모리 장치의 기입 검증 방법을 설명하기 위한 개념적인 타이밍도이다.
- <26> 도 1을 참조하면, 종래의 상변화 메모리 장치는 다수의 기입 루프(L=1~11)를 통해서 기입 데이터를 기입하는데, 각 기입 루프(L=1~11)가 시작되기 전에 검증 독출을 하고, 기입 루프(L=1~11) 내에서 다수의 페일 상변화 메모리 셀에만 분할 기입하게 된다. 여기서, 8개의 분할 기입 세션(①~⑧)은 8개의 셀 그룹과 일대일 대응된다. 예를 들어 설명하면, 1번째 기입 루프(L=1)에서는 8개의 셀 그룹 모두가 페일되었으므로 8개의 분할 기입 세션(①~⑧)에서 분할 기입 동작이 실행되고 있고, 2번째 기입 루프(L=2)에서는 3번째 셀 그룹과 4번째 셀 그룹은 페일되지 않았으므로 3번째, 4번째 분할 기입 세션(③, ④)에는 분할 기입 동작이 실행되고 있지 않는다.
- <27> 종래의 상변화 메모리 장치는 0데이터를 기입하는 데 걸리는 시간과 1데이터를 기입하는데 걸리는 시간이 다름에도 불구하고 동일한 분할 기입 세션 내에서 기입되기 때문에, 분할 기입 세션은 0데이터를 기입하는데 걸리는 시간에 맞추어져 있다. 따라서, 기입 시간이 증가하게 된다.

**발명이 이루고자 하는 기술적 과제**

- <28> 본 발명이 이루고자 하는 기술적 과제는, 기입 시간을 줄일 수 있는 비휘발성 메모리 장치의 기입 방법을 제공하는 것이다.
- <29> 본 발명이 이루고자 하는 다른 기술적 과제는, 기입 시간을 줄일 수 있는 비휘발성 메모리 장치를 제공하는 것이다.
- <30> 본 발명의 기술적 과제들은 이상에서 언급한 기술적 과제들로 제한되지 않으며, 언급되지 않은 또 다른 기술적 과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

**발명의 구성 및 작용**

- <31> 상기 기술적 과제를 달성하기 위한 본 발명의 비휘발성 메모리 장치의 기입 방법의 일 태양은 다수의 비휘발성 메모리 셀을 포함하는 메모리 셀 어레이를 제공하고, 다수의 메모리 셀 중 제1 상태(status)의 데이터가 기입될 메모리 셀에 데이터를 먼저 기입하고, 제1 상태와 다른 제2 상태의 데이터가 기입될 메모리 셀에 데이터를 나중에 기입한다.
- <32> 상기 기술적 과제를 달성하기 위한 본 발명의 비휘발성 메모리 장치의 기입 방법의 다른 태양은 다수의 비휘발성 메모리 셀을 포함하는 메모리 셀 어레이를 제공하고, 다수의 비휘발성 메모리 셀 중 제1 상태(status)의 기입 데이터가 기입되어야 하는 a(단, a는 자연수)개의 페일(fail) 비휘발성 메모리 셀을 찾아내어, m(단, m은 자연수)개의 분할 기입 세션(session) 동안 a개의 페일 비휘발성 메모리 셀에 제1 상태의 기입 데이터를 분할 기입하고, 다수의 비휘발성 메모리 셀 중 제1 상태와 다른 제2 상태의 기입 데이터가 기입되어야 하는 b(단, b는 자연수)개의 페일 비휘발성 메모리 셀을 찾아내어, n(단, n은 자연수)개의 분할 기입 세션 동안 b개의 페일 비휘발성 메모리 셀에 제2 상태의 기입 데이터를 분할 기입하는 것을 포함한다.
- <33> 상기 기술적 과제를 달성하기 위한 본 발명의 비휘발성 메모리 장치의 일 태양은 다수의 비휘발성 메모리 셀을 포함하는 메모리 셀 어레이, 및 다수의 비휘발성 메모리 셀 중 제1 상태(status)의 데이터가 기입될 비휘발성 메모리 셀에 데이터를 먼저 기입하고, 제1 상태와 다른 제2 상태의 데이터가 기입될 비휘발성 메모리 셀에 데이터를 나중에 기입하는 기입 회로를 포함한다.
- <34> 상기 기술적 과제를 달성하기 위한 본 발명의 비휘발성 메모리 장치의 다른 태양은 다수의 비휘발성 메모리 셀을 포함하는 메모리 셀 어레이, 및 다수의 비휘발성 메모리 셀 중 제1 상태(status)의 기입 데이터가 기입되어야 하는 a(단, a는 자연수)개의 페일(fail) 비휘발성 메모리 셀을 찾아내어, m(단, m은 자연수)개의 분할 기입

세션(session) 동안 a개의 페일 비휘발성 메모리 셀에 제1 상태의 기입 데이터를 분할 기입하고, 다수의 비휘발성 메모리 셀 중 제1 상태와 다른 제2 상태의 기입 데이터가 기입되어야 하는 b(단, a는 자연수)개의 페일 비휘발성 메모리 셀을 찾아내어, n(단, n은 자연수)개의 분할 기입 세션 동안 b개의 페일 비휘발성 메모리 셀에 제2 상태의 기입 데이터를 분할 기입하는 기입 회로를 포함한다.

- <35> 상기 기술적 과제를 달성하기 위한 본 발명의 비휘발성 메모리 장치의 또 다른 태양은 다수의 셀 그룹으로 구분되는 다수의 비휘발성 메모리 셀, 다수의 비휘발성 메모리 셀로부터 독출된 다수의 검증 데이터와, 다수의 상변화 메모리 셀에 기입하려는 다수의 기입 데이터를 비교하여, 검증 데이터 및 기입 데이터가 서로 다른 다수의 페일(fail) 비휘발성 메모리 셀을 나타내는 비교 신호를 출력하는 비교부, 다수의 기입 데이터 중 특정 상태의 기입 데이터가 기입되어야 하는 다수의 비휘발성 메모리 셀을 가리키는 상태 플래그 신호를 제공하는 상태 플래그 신호 발생부, 비교 신호 및 상태 플래그 신호를 제공받아, 다수의 페일 비휘발성 메모리 셀 중 특정 상태의 기입 데이터가 기입되어야 하는 페일 비휘발성 메모리 셀이 기입되기 위한 다수의 분할 기입 세션을 지정하는 지정 신호를 제공하는 기입 검증 지정부, 지정 신호를 제공받아, 지정된 분할 기입 세션의 타이밍에 맞추어 셋 펄스 제어 신호 및 리셋 펄스 제어 신호를 제공하는 기입 펄스 발생부, 및 기입 데이터, 셋 펄스 제어 신호 및 리셋 펄스 제어 신호를 제공받아, 셋 펄스 또는 리셋 펄스를 제공하는 기입 드라이버를 포함한다.
- <36> 본 발명의 기타 구체적인 사항들은 상세한 설명 및 도면들에 포함되어 있다.
- <37> 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다.
- <38> 이하, 본 발명의 실시예들은 상변화 메모리 장치(PRAM: Phase change Random Access Memory)를 이용하여 설명할 것이다. 그러나, 본 발명은 저항성 메모리 장치(RRAM: Resistive RAM), 강유전체 메모리 장치(FRAM: Ferroelectric RAM), 자기 메모리 장치(MRAM: Magnetic RAM)와 같이 저항체를 이용한 비휘발성 메모리 장치에 모두 적용될 수 있음은 본 발명이 속하는 기술의 당업자에게 자명하다.
- <39> 도 2 및 도 3은 본 발명의 실시예들에 따른 상변화 메모리 장치의 기입 방법을 설명하기 위한 개념적인 타이밍도이다.
- <40> 도 2 및 도 3을 참조하면, 본 발명의 실시예들에 따른 상변화 메모리 장치의 기입 방법은 다수의 상변화 메모리 셀 중 제1 상태(status)의 데이터가 기입될 상변화 메모리 셀에 데이터를 먼저 기입하고, 제1 상태와 다른 제2 상태의 데이터가 기입될 상변화 메모리 셀에 데이터를 나중에 기입한다. 따라서, 상변화 메모리 셀에 1비트를 기입하는 경우에는 예를 들어, 0데이터를 먼저 기입하고 1데이터를 나중에 기입할 수 있다. 또한, 상변화 메모리 셀에 멀티 비트(예를 들어, 2비트)를 기입할 경우에는 0데이터, 1데이터, 2데이터, 3데이터 순으로 기입할 수 있다.
- <41> 또한, 본 발명의 실시예들에 따른 기입 방법은 분할 기입과 기입 검증을 채용한 경우만을 예를 들고 있으나, 이에 한정되는 것은 아니다. 즉, 분할 기입만을 채용한 경우, 기입 검증만을 채용한 경우, 또는 분할 기입과 기입 검증 어느 것도 채용하지 않은 경우에도 적용할 수 있다.
- <42> 우선 도 2를 참조하면, 본 발명의 일 실시예에 따른 상변화 메모리 장치는 1데이터 기입 구간(RW)에서 1데이터가 먼저 기입되고, 0데이터 기입 구간(SW)에서 0데이터가 나중에 기입된다.
- <43> 구체적으로 설명하면, 각 데이터 기입 구간(RW, SW) 내에서 다수의 기입 루프(RL=1~11, SL=1~2)를 통해서 기입 데이터를 기입되는데, 각 기입 루프(RL=1~11, SL=1~2)가 시작되기 전에 검증 독출(VERIFY\_READ)을 하고, 기입 루프(RL=1~11, SL=1~2) 내에서는 기입 데이터와 검증 데이터가 서로 다른 다수의 페일 상변화 메모리 셀에만 분할 기입하게 된다.
- <44> 이하에서는, 16개 핀의 입출력핀(IO pin)을 통해서 동시에 입력된 16개의 기입 데이터를 16개의 상변화 메모리 셀에 기입하려는 경우를 예를 들어 설명한다. 16개의 상변화 메모리 셀은 8개의 셀 그룹으로 구분될 수 있는데, 예를 들어, 표 1과 같이 구분될 수 있다. 즉, 0번, 8번 입출력핀(I00, I08)을 통해서 입력된 데이터가 기입될 상변화 메모리 셀들은 1번째 셀 그룹이 되고, 1번, 9번 입출력핀(I01, I09)을 통해서 입력된 데이터가 기입될 상변화 메모리 셀들은 2번째 셀 그룹이 될 수 있다. 또한, 이와 같이 구분된 셀 그룹은 분할 기입의 단위가 된



다. 즉, 1개의 셀 그룹 내에 포함되는 2개의 상변화 메모리 셀에는 동시에 기입 데이터를 기입할 수 있다.

<45> 또한, 16개의 기입 데이터는, 예를 들어, 표 1과 같을 수 있다. 즉, 0번, 8번 입출력핀(I00, I08)을 통해서 입력된 데이터는 각각 1데이터, 0데이터이고, 1번, 9번 입출력핀(I01, I09)를 통해서 입력된 데이터는 각각 1데이터, 0데이터이다. 이러한 경우, 표 2에서와 같이 1데이터 기입 구간에서 기입되는 셀 그룹은 1~8번째 셀 그룹이 되고, 0데이터 기입 구간에서 기입되는 셀 그룹은 1,2,5,6번째 셀 그룹이 된다.

표 1

입출력핀	{0,8}	{1,9}	{2,10}	{3,11}	{4,12}	{5,13}	{6,14}	{7,15}
기입데이터	1,0	1,0	1,1	1,1	1,0	1,0	1,1	1,1
셀 그룹	1	2	3	4	5	6	7	8

<46>

표 2

	1데이터 기입 구간	0데이터 기입 구간
셀 그룹	1,2,3,4,5,6,7,8	1,2,5,6

<47>

<48> 우선, 1데이터 기입 구간(RW) 내에서 1데이터가 먼저 기입된다.

<49> 1데이터 기입 구간(RW) 내에서의 1번째 기입 독출 결과 1데이터가 기입되어야 하는 페일 상변화 메모리 셀이 1번째~8번째 셀 그룹 모두에서 발견되었으므로, 1번째 기입 루프(RL=1)에서는 8개의 분할 기입 세션(①~⑧) 모두에서 1데이터가 기입되어야 하는 페일 상변화 메모리 셀에 1데이터를 기입한다. 여기서, 8개의 분할 기입 세션(①~⑧)은 8개의 셀 그룹과 일대일로 대응되어 있고, 각 분할 기입 세션(①~⑧)마다 대응되는 셀 그룹 내에서 적어도 하나의 1데이터가 기입되어야 하는 페일 상변화 메모리 셀에 1데이터를 기입한다. 여기서, 셀 그룹이 페일된다는 의미는, 셀 그룹 내에 적어도 하나의 페일 상변화 메모리 셀이 있는 경우를 말하고, 이러한 셀 그룹을 페일 셀 그룹이라 부르기로 한다.

<50> 2번째 기입 독출 결과 1데이터가 기입되어야 하는 페일 상변화 메모리 셀이 1번째, 2번째, 5번째~8번째 셀 그룹에서 발견되었으므로, 2번째 기입 루프(RL=2)에서는 6개의 분할 기입 세션(①, ②, ⑤~⑧)에서 1데이터가 기입되어야 하는 페일 상변화 메모리 셀에 1데이터를 기입한다.

<51> 10번째 기입 독출 결과 1데이터가 기입되어야 하는 페일 상변화 메모리 셀이 1번째, 2번째, 5번째, 6번째 셀 그룹에서 발견되었으므로, 10 번째 기입 루프(RL=10)에서는 4개의 분할 기입 세션(①, ②, ⑤, ⑥)에서 1데이터가 기입되어야 하는 페일 상변화 메모리 셀에 1데이터를 기입한다.

<52> 11번째 기입 독출 결과 1데이터가 기입되어야 하는 페일 상변화 메모리 셀이 1번째, 2번째 셀 그룹에서 발견되었으므로, 11번째 기입 루프(RL=11)에서는 2개의 분할 기입 세션(①, ②)에서 1데이터가 기입되어야 하는 페일 상변화 메모리 셀에 1데이터를 기입한다.

<53> 더 이상 1데이터가 기입되어야 하는 페일 상변화 메모리 셀이 더 이상 발견되지 않았으므로, 1데이터 기입이 종료됨을 가리키는 리셋 패스 플래그 신호(RESET\_PASS\_FLAG)가 액티브된다.

<54> 1데이터 기입 구간(RW) 내에서 1데이터가 기입되는 것이 종료되면, 이어서 0데이터 기입 구간(SW) 내에서 0데이터가 기입된다.

<55> 구체적으로, 0데이터 기입 구간(SW)에서의 1번째 기입 독출 결과, 0데이터가 기입되어야 하는 페일 상변화 메모리 셀이 1번째, 2번째, 5번째, 6번째 셀 그룹에서 발견되었으므로, 1번째 기입 루프(SL=1)에서는 4개의 분할 기입 세션(①, ②, ⑤, ⑥)에서 0데이터가 기입되어야 하는 페일 상변화 메모리 셀에 0데이터를 기입한다.

<56> 2번째 기입 독출 결과 0데이터가 기입되어야 하는 페일 상변화 메모리 셀이 1번째, 2번째 셀 그룹에서 발견되었으므로, 2번째 기입 루프(SL=2)에서는 2개의 분할 기입 세션(①, ②)에서 0데이터가 기입되어야 하는 페일 상변



화 메모리 셀에 0데이터를 기입한다.

- <57> 더 이상 0데이터가 기입되어야 하는 페일 상변화 메모리 셀이 더 이상 발견되지 않았으므로, 0데이터 기입이 종료됨을 가리키는 셋 패스 플래그(SET\_PASS\_FLAG) 신호가 액티브된다. 또한, 모든 데이터 기입이 종료됨을 가리키는 패스 플래그 신호(PASS\_FLAG)가 액티브된다.
- <58> 본 발명의 일 실시예의 기입 동작을 정리하면 다음과 같다. 다수의 상변화 메모리 셀 중 제1 상태(status)의 기입 데이터가 기입되어야 하는 a(단, a는 자연수)개의 페일(fail) 상변화 메모리 셀을 찾아내어, m(단, m은 자연수)(예를 들어, 8개)개의 분할 기입 세션(session) 동안 a개의 페일 상변화 메모리 셀에 상기 제1 상태의 기입 데이터를 분할 기입한다. 제1 상태의 기입 데이터의 기입이 종료되면, 다수의 상변화 메모리 셀 중 제1 상태와 다른 제2 상태의 기입 데이터가 기입되어야 하는 b(단, b는 자연수)개의 페일 상변화 메모리 셀을 찾아내어, n(단, n은 자연수)(예를 들어, 8개)개의 분할 기입 세션 동안 b개의 페일 상변화 메모리 셀에 제2 상태의 기입 데이터를 분할 기입하게 된다.
- <59> 도 3을 참조하면, 본 발명의 다른 실시예에 따른 상변화 메모리 장치는 1데이터 기입 구간(RW)에서 1데이터가 먼저 기입되고, 0데이터 기입 구간(SW)에서 0데이터가 나중에 기입되는데, 특히, 본 발명의 다른 실시예에 따른 상변화 메모리 장치는 적응 기입(adaptive write) 동작을 채용한다. 즉, 본 발명의 일 실시예에서는 페일 상변화 메모리 셀 또는 셀 그룹의 위치에 따라서 분할 기입 동작이 실행되지 않는 분할 기입 세션이 있을 수 있는데, 다른 실시예에서는 분할 기입 동작이 실행되지 않는 분할 기입 세션이 존재하지 않는다.
- <60> 우선, 1번째 기입 구간(RW) 내에서 1데이터가 먼저 기입된다.
- <61> 1번째 기입 독출 결과 1데이터가 기입되어야 하는 페일 상변화 메모리 셀이 1번째~8번째 셀 그룹 모두에서 발견되었으므로, 1번째 기입 루프(RL=1)에서는 연속되는(sequential) 8개의 분할 기입 세션(①~⑧) 모두에서 1데이터가 기입되어야 하는 페일 상변화 메모리 셀에 1데이터를 기입한다.
- <62> 2번째 기입 독출 결과 1데이터가 기입되어야 하는 페일 상변화 메모리 셀이 1번째, 2번째, 5번째~8번째 셀 그룹에서 발견되었으므로, 2번째 기입 루프(RL=2)에서는 연속되는 6개의 분할 기입 세션(①~⑥)에서 1데이터가 기입되어야 하는 페일 상변화 메모리 셀에 1데이터를 기입한다. 특히, 본 발명의 일 실시예에서는 페일 상변화 메모리 셀의 위치 또는 페일 셀 그룹의 위치에 상관없이 분할 기입 동작이 실행되지 않는 분할 기입 세션이 존재하지 않는다. 구체적으로, 5번째~8번째 셀 그룹은 일 실시예처럼 5번째~8번째 분할 기입 세션(⑤~⑧) 동안 기입되지 않고 3번째~6번째 분할 기입 세션(③~⑥)동안 기입되기 때문에, 연속적인 6개의 분할 기입 세션(①~⑥) 동안 기입되게 된다.
- <63> 10번째 기입 독출 결과 1데이터가 기입되어야 하는 페일 상변화 메모리 셀이 1번째, 2번째 셀 그룹에서 발견되었으므로, 10번째 기입 루프(RL=10)에서는 4개의 분할 기입 세션(①~④)에서 1데이터가 기입되어야 하는 페일 상변화 메모리 셀에 1데이터를 기입한다. 5번째, 6번째 셀 그룹이 5번째, 6번째 분할 기입 세션(⑤, ⑥) 동안 기입되지 않고 3번째, 4번째 분할 기입 세션(③, ④)동안 기입되기 때문에, 연속적인 4개의 분할 기입 세션(①~④) 동안 기입되게 된다.
- <64> 11번째 기입 독출 결과 1데이터가 기입되어야 하는 페일 상변화 메모리 셀이 1번째, 2번째 셀 그룹에서 발견되었으므로, 11번째 기입 루프(RL=11)에서는 2개의 분할 기입 세션(①~②)에서 1데이터가 기입되어야 하는 페일 상변화 메모리 셀에 1데이터를 기입한다.
- <65> 1데이터 기입 구간(RW) 내에서 1데이터가 기입되는 것이 종료되면, 이어서 0데이터 기입 구간(SW) 내에서 0데이터가 기입된다.
- <66> 구체적으로, 1번째 기입 독출 결과 0데이터가 기입되어야 하는 페일 상변화 메모리 셀이 1번째, 2번째, 5번째, 6번째 셀 그룹에서 발견되었으므로, 1번째 기입 루프(SL=1)에서는 4개의 분할 기입 세션(①~④)에서 0데이터가 기입되어야 하는 페일 상변화 메모리 셀에 0데이터를 기입한다.
- <67> 2번째 기입 독출 결과 0데이터가 기입되어야 하는 페일 상변화 메모리 셀이 1번째, 2번째 셀 그룹에서 발견되었으므로, 2번째 기입 루프(SL=2)에서는 2개의 분할 기입 세션(①, ②)에서 0데이터가 기입되어야 하는 페일 상변화 메모리 셀에 0데이터를 기입한다.
- <68> 이와 같은 본 발명의 다른 실시예의 적응 기입 동작을 정리하면 다음과 같다.
- <69> 다수의 상변화 메모리 셀 중 제1 상태(status)의 기입 데이터가 기입되어야 하는 a(단, a는 자연수)개의 페일

(fail) 상변화 메모리 셀을 찾아내어, m(단, m은 자연수)개의 분할 기입 세션(session) 동안 a개의 페일 상변화 메모리 셀에 상기 제1 상태의 기입 데이터를 분할 기입한다. 여기서, m개의 분할 기입 세션은 다수의 셀 그룹 중 제1 상태의 기입 데이터가 기입되어야 하는 적어도 하나의 페일 상변화 메모리 셀을 포함하는 m개의 페일 셀 그룹과 일대일로 대응되고, 각 분할 기입 세션마다 대응되는 페일 셀 그룹 내의 적어도 하나의 제1 상태의 기입 데이터가 기입되어야 하는 페일 상변화 메모리 셀에 기입 데이터를 기입하게 된다. 즉, 다수의 셀 그룹에서 m개의 제1 상태의 기입 데이터가 기입되어야 하는 적어도 하나의 페일 셀 그룹이 발생되면, 다른 셀 그룹은 제외하고 m개의 제1 상태의 기입 데이터가 기입되어야 하는 적어도 하나의 페일 셀 그룹만의 소정 기입 순서를 정하고, 이와 같이 정해진 기입 순서를 따라서 m개의 분할 기입 세션 동안 기입하게 된다. 이와 같이 m개의 제1 상태의 기입 데이터가 기입되어야 하는 적어도 하나의 페일 셀 그룹만의 소정 기입 순서를 정하는 방법의 예로는 도 4a 내지 도 6을 참조하여 자세히 후술하기로 한다. 또한, 기입 시간을 최소로 줄이기 위해서, 연속되는 m개의 분할 기입 세션은 1번째 분할 기입 세션부터 제m번째 분할 기입 세션이 될 수 있다.

<70> 이어서, 다수의 상변화 메모리 셀 중 제1 상태와 다른 제2 상태의 기입 데이터가 기입되어야 하는 b(단, b는 자연수)개의 페일 상변화 메모리 셀을 찾아내어, n(단, n은 자연수)개의 분할 기입 세션 동안 b개의 페일 상변화 메모리 셀에 제2 상태의 기입 데이터를 분할 기입하게 된다. 여기서, n개의 분할 기입 세션은 다수의 셀 그룹 중 제2 상태의 기입 데이터가 기입되어야 하는 적어도 하나의 페일 상변화 메모리 셀을 포함하는 n개의 페일 셀 그룹과 일대일로 대응되고, 각 분할 기입 세션마다 대응되는 페일 셀 그룹 내의 적어도 하나의 제2 상태의 기입 데이터가 기입되어야 하는 페일 상변화 메모리 셀에 기입 데이터를 기입하게 된다. 즉, 다수의 셀 그룹에서 n개의 제2 상태의 기입 데이터가 기입되어야 하는 적어도 하나의 페일 셀 그룹이 발생되면, 다른 셀 그룹은 제외하고 n개의 제2 상태의 기입 데이터가 기입되어야 하는 적어도 하나의 페일 셀 그룹만의 소정 기입 순서를 정하고, 이와 같이 정해진 기입 순서를 따라서 n개의 분할 기입 세션 동안 기입하게 된다. 또한, 기입 시간을 최소로 줄이기 위해서, 연속되는 n개의 분할 기입 세션은 1번째 분할 기입 세션부터 제n번째 분할 기입 세션이 될 수 있다.

<71> 본 발명의 실시예들에 따른 기입 방법은 종래 기술에 비해 기입 시간을 줄일 수 있다. 0데이터를 기입하는 시간은 1데이터를 기입하는 시간에 비해 약 5배 정도가 되므로 1데이터 기입시의 분할 기입 세션은 1T로 하고 0데이터 기입시의 분할 기입 세션은 5T로 가정하고, 기타 타이밍 마진 등은 고려하지 않고 0데이터/1데이터 기입시의 분할 기입 세션만을 고려할 때 각 기입 루프 내에서의 기입 시간을 계산하면 표 3과 같다.

<72> 도 1의 종래 기술에서는 0데이터를 기입하는 시간과 1데이터를 기입하는 시간이 다름에도 불구하고 동일한 분할 기입 세션 내에서 0데이터/1데이터가 기입되기 때문에, 분할 기입 세션은 0데이터를 기입하는 시간인 5T에 맞추어져 있다. 따라서, 도 1의 종래 기술에서, 각 기입 루프에서의 기입 시간은 8개의 분할 기입 세션이 진행되기 때문에 40T가 소요된다. 반면, 본 발명의 일 실시예에서는 기입 루프 각각에서의 기입 시간은 1데이터를 기입하는 데에는 8T가 소요되고, 0데이터를 기입하는 데에는 40T가 소요된다. 통상적으로 기입 데이터는 1데이터와 0데이터가 적절히 섞여 있으므로 종래 기술 대비 기입 시간이 줄어들게 된다. 또한, 본 발명의 다른 실시예에 따른 기입 방법은 일 실시예에 비해 기입 시간을 더 줄일 수 있다. 본 발명의 일 실시예에서는 페일 상변화 메모리 셀 또는 셀 그룹의 위치에 따라서 분할 기입 동작이 실행되지 않는 분할 기입 세션이 있을 수 있는데, 다른 실시예에서는 분할 기입 동작이 실행되지 않는 분할 기입 세션이 존재하지 않기 때문이다.

표 3

구분	종래 기술 (도 1 참조)	일 실시예 (도 2 참조)	다른 실시예 (도 3 참조)
기입 시간	(8×5T)=40T	(8×1T)=8T @ 1데이터 (8×5T)=40T @ 0데이터	(8×1T)=8T 미만 @ 1데이터 (8×5T)=40T 미만 @ 0데이터

<73>

<74> 도 2 및 도 3에서는 2개의 상변화 메모리 셀이 동시에 기입되는 x2 분할 기입 모드를 이용하여 설명하고 있으나, 이에 한정되는 것은 아니다. 즉, 예를 들어, x4, x8, x16 분할 기입 모드에도 적용될 수 있음은 본 발명이 속하는 기술의 당업자에게는 자명하다.

- <75> 도 4a는 x2 분할 기입 모드에서 다수의 셀 그룹 중에서 적어도 하나의 제1 상태의 기입 데이터가 기입되어야 하는 페일 셀 그룹만의 기입 순서를 정하는 방법을 설명하기 위한 개념도이다. 도 4b는 도 4a의 일부를 나타낸 개념도이다.
- <76> 우선 도 4a를 참조하면, 1데이터가 기입되어야 하는 페일 상변화 메모리 셀이 8개의 셀 그룹에서 발견된 경우, 1번째 기입 루프에서 1번째~8번째 셀 그룹의 기입 순서로 기입된다. 이어서, 1데이터가 기입되어야 하는 페일 상변화 메모리 셀이 6개의 셀 그룹에서 발견된 경우, 2번째 기입 루프에서는 패스(pass) 셀 그룹을 제외하고 6개의 페일 셀 그룹의 기입 순서를 재배열하게 된다. 예를 들어, 2번째 셀 그룹은 1번째 셀 그룹이 패스된 경우에는 1번째 분할 기입 세션 동안 기입될 수 있도록 1번째 기입 순서가 되고(a1 참조), 1번째 셀 그룹이 페일된 경우에는 2번째 분할 기입 세션 동안 기입될 수 있도록 2번째 기입 순서가 된다(a2 참조). 3번째 셀 그룹은 1번째, 2번째 셀 그룹이 패스된 경우에는 1번째 분할 기입 세션 동안 기입될 수 있도록 1번째 기입 순서가 되고(b1 참조), 1번째, 2번째 셀 그룹 중 어느 하나만 패스된 경우에는 2번째 분할 기입 세션동안 기입될 수 있도록 2번째 기입 순서가 되고(b2 참조), 1번째, 2번째 셀 그룹 모두가 페일인 경우에는 3번째 분할 기입 세션동안 기입될 수 있도록 3번째 기입 순서가 된다(b3 참조). 도 4a는 이와 같은 기입 순서 변화의 모든 경우를 동시에 도시한 것이다.
- <77> 도 4b를 참조하여, 도 3의 2번째 기입 루프(RL=2)에서와 같이 1데이터가 기입되어야 하는 페일 상변화 메모리 셀이 1번째, 2번째, 5번째~8번째 셀 그룹에서 발견된 경우를 설명한다. 1번째, 2번째 셀 그룹은 그대로 1번째, 2번째 기입 순서를 유지하고, 5번째~8번째 셀 그룹은 기입 순서가 당겨져서 3번째~6번째 기입 순서가 됨을 알 수 있다.
- <78> 도 4a 및 도 4b에서 설명된 것은, 0데이터가 기입되어야 하는 페일 상변화 메모리 셀이 다수의 셀 그룹에서 발견되어, 다수의 페일 셀 그룹간의 기입 순서를 재배열하는 경우에도 동일하게 적용된다.
- <79> 도 5a 및 도 5b는 x4 분할 기입 모드에서 다수의 페일 셀 그룹만의 기입 순서를 정하는 방법을 설명하기 위한 개념도이다. 도 6는 x8 분할 기입 모드에서 다수의 페일 셀 그룹만의 기입 순서를 정하는 방법을 설명하기 위한 개념도이다.
- <80> 도 5a를 참조하면, x4 분할 기입 모드에서 16개 핀의 입출력핀을 통해서 동시에 입력된 16개의 기입 데이터는 4개의 셀 그룹으로 구분된다. 도면에서와 같이, {0,4,8,12}, {1,5,9,13}, {2,6,10,14}, {3,7,11,15} 각각은 1번째~4번째 셀 그룹이 될 수 있다. 예를 들어, 1데이터가 기입되어야 하는 페일 상변화 메모리 셀이 3번째, 4번째 셀 그룹에서 발견된 경우, 2번째 기입 루프에서 3번째, 4번째 셀 그룹은 각각 1번째, 2번째 기입 순서가 된다(c1, c2 참조). 도 5b를 참조하면, 도 5a와 같은 방법으로 기입 순서를 결정할 경우, 1데이터가 기입되어야 하는 페일 상변화 메모리 셀을 포함하는 페일 셀 그룹의 위치에 상관없이 효과적으로 기입 데이터를 기입할 수 있음을 알 수 있다. 1번째~4번째 셀 그룹 모두를 기입하고 난 후, 1번째, 2번째 셀 그룹에서 페일이 발생하든(case1), 3번째, 4번째 셀 그룹에서 페일이 발생하든(case2), 2번째, 4번째 셀 그룹에서 페일이 발생하든(case3), 1번째, 3번째 셀 그룹에서 페일이 발생하든(case4), 1번째, 2번째 분할 기입 세션(①, ②)을 이용하여 기입 데이터를 기입하게 됨을 알 수 있다.
- <81> 도 6을 참조하면, x8 분할 기입 모드에서 16개 핀의 입출력핀을 통해서 동시에 입력된 16개의 기입 데이터는 2개의 셀 그룹으로 구분된다. 도면에서와 같이, {0,2,4,6,8,10,12,14}, {1,3,5,7,9,11,13,15} 각각은 1번째, 2번째 셀 그룹이 될 수 있다. 1데이터가 기입되어야 하는 페일 상변화 메모리 셀이 2번째 셀 그룹에서 발견된 경우, 2번째 셀 그룹은 1번째 기입 순서가 된다(d1 참조).
- <82> 도 7은 본 발명의 실시예들에 따른 상변화 메모리 장치의 기입 검증 방법을 설명하기 위한 순서도이다. 도 7은 도 2 및 도 3의 타이밍도를 구현하기 위한 순서도를 예시적으로 설명한 것이다.
- <83> 도 7을 참조하면, 우선 분할 기입 모드를 설정한다(S10). 예를 들어, x2, x4, x8, x16 분할 기입 모드 중에서 하나를 선택할 수 있다. 분할 기입 모드는 각 분할 기입 세션 내에서 동시에 기입되는 상변화 메모리 셀의 최대 개수, 즉 셀 그룹을 정하는 것을 의미한다. 예를 들어, x2 분할 기입 모드는 2개의 상변화 메모리 셀이 하나의 셀 그룹을 형성하게 된다.
- <84> 이어서, 다수의 상변화 메모리 셀로부터 다수의 검증 데이터를 검증 독출(verify read)하고(S20), 다수의 검증 데이터와 다수의 상변화 메모리 셀에 기입하려는 다수의 기입 데이터를 비교하여 1데이터가 기입되어야 하는 상변화 메모리 셀이 패스인지, 페일인지 여부를 판단한다(S30).

- <85> 비교 결과, 1데이터가 기입되어야 하는 상변화 메모리 셀이 모두 패스된 경우에는 0데이터 기입 단계로 넘어간다.
- <86> 비교 결과, 1데이터가 기입되어야 하는 상변화 메모리 셀 중 페일인 상변화 메모리 셀이 있는 경우에는, 1데이터를 분할 기입한다(S40). 여기서, 도 2에서 설명한 바와 같은 방식을 사용할 경우에는 분할 기입 동작이 실행되지 않는 분할 기입 세션이 존재할 수 있고, 도 3에서 설명한 바와 같은 방식을 사용할 경우에는 분할 기입 동작이 실행되지 않는 분할 기입 세션이 존재하지 않는다.
- <87> 이어서, 실행한 기입 루프가 기설정된 횟수의 최대 기입 루프인지 여부를 검토하여(S50), 최대 기입 루프에 해당하지 않으면 검증 독출(S20), 판단(S30), 1데이터 분할 기입(S50) 등을 반복하고, 최대 기입 루프에 해당하면 더 이상 반복하지 않고 0데이터 기입 단계로 넘어간다.
- <88> 다수의 상변화 메모리 셀로부터 다수의 검증 데이터를 검증 독출(verify read)하고(S60), 다수의 검증 데이터와 다수의 상변화 메모리 셀에 기입하려는 다수의 기입 데이터를 비교하여 0데이터가 기입되어야 하는 상변화 메모리 셀이 패스인지, 페일인지 여부를 판단한다(S70).
- <89> 비교 결과, 0데이터가 기입되어야 하는 상변화 메모리 셀이 모두 패스된 경우에는, 모든 상변화 메모리 셀이 패스된 것이므로 기입을 종료한다(S92).
- <90> 비교 결과, 0데이터가 기입되어야 하는 상변화 메모리 셀 중 페일인 상변화 메모리 셀이 있는 경우에는, 0데이터를 분할 기입한다(S80). 여기서, 도 2에서 설명한 바와 같은 방식을 사용할 경우에는 분할 기입 동작이 실행되지 않는 분할 기입 세션이 존재할 수 있고, 도 3에서 설명한 바와 같은 방식을 사용할 경우에는 분할 기입 동작이 실행되지 않는 분할 기입 세션이 존재하지 않는다.
- <91> 이어서, 실행한 기입 루프가 기설정된 횟수의 최대 기입 루프인지 여부를 검토하여(S90), 최대 기입 루프에 해당하지 않으면 검증 독출(S60), 판단(S70), 0데이터 분할 기입(S80) 등을 반복하고, 최대 기입 루프에 해당하면 더 이상 반복하지 않고 기입을 종료한다(S94).
- <92> 도 8은 본 발명의 실시예들에 따른 상변화 메모리 장치를 설명하기 위한 블록도이다. 도 8은 도 2 및 도 3의 타이밍도 및 도 7의 순서도를 구현하기 위한 예시적인 블록도에 해당한다.
- <93> 도 7을 참조하면, 본 발명의 실시예들에 따른 상변화 메모리 장치는 메모리 셀 어레이(110), 로우 디코더(124), 컬럼 디코더(126), 어드레스 버퍼(128) 및 기입 회로(130)를 포함한다.
- <94> 메모리 셀 어레이(110)는 다수의 셀 그룹으로 구분될 수 있는 다수의 상변화 메모리 셀을 포함한다. 도면에는 도시하지 않았으나, 상변화 메모리 셀은 결정 상태 또는 비정질 상태에 따라 서로 다른 2개의 저항값을 갖는 상변화 물질을 구비하는 가변 저항 소자와, 가변 저항 소자에 흐르는 전류를 제어하는 역세스 소자를 포함한다. 여기서, 역세스 소자는 가변 저항 소자와 직렬로 연결된 다이오드 또는 트랜지스터일 수 있다. 또한, 상변화 물질은 2개의 원소를 화합한 GaSb, InSb, InSe, Sb<sub>2</sub>Te<sub>3</sub>, GeTe, 3개의 원소를 화합한 GeSbTe, GaSeTe, InSbTe, SnSb<sub>2</sub>Te<sub>4</sub>, InSbGe, 4개의 원소를 화합한 AgInSbTe, (GeSn)SbTe, GeSb(SeTe), Te<sub>81</sub>Ge<sub>15</sub>Sb<sub>2</sub>S<sub>2</sub> 등 다양한 종류의 물질을 사용할 수 있다. 이 중에서 게르마늄(Ge), 안티모니(Sb), 텔루리움(Te)으로 이루어진 GeSbTe를 주로 이용할 수 있다.
- <95> 로우 디코더(124)는 어드레스 버퍼(128)로부터 로우 어드레스(XA)를 제공받아 디코딩하여 적용 기입 검증될 다수의 상변화 메모리 셀의 행(row)을 지정한다. 컬럼 디코더(126)는 어드레스 버퍼(128)로부터 컬럼 어드레스(YA)를 제공받아 디코딩하여 적용 기입 검증될 다수의 상변화 메모리 셀의 열(column)을 지정한다.
- <96> 기입 회로(130)는 상기 지정된 다수의 상변화 메모리 셀에 적용 기입 검증 동작을 하는 부분으로, 구체적으로 설명하면 다수(예를 들어, k개(k는 자연수))의 상변화 메모리 셀로부터 독출된 다수의 검증 데이터(VDATA)와 다수의 상변화 메모리 셀에 기입하려는 다수의 기입 데이터(WDATA)를 비교하여 검증 데이터(VDATA) 및 기입 데이터(WDATA)가 서로 다른 다수개의 페일(fail) 상변화 메모리 셀을 찾아내어, 제1 상태(예를 들어, 1데이터)가 기입되어야 하는 페일 상변화 메모리 셀을 먼저 기입하고 제2 상태(예를 들어, 0데이터)가 기입되어야 하는 페일 상변화 메모리 셀을 나중에 기입한다. 이러한 기입 회로(130)는 비교부(140), 검증 센스 앰프(142), 데이터 입력 버퍼(144), 상태 플래그 신호 발생부(146), 기입 검증 지정부(150), 기입 펄스 발생부(160), 기입 드라이버(170), 제어부(180), 커맨드 버퍼(182), 모드 선택부(190) 등을 포함한다.
- <97> 상태 플래그 신호 발생부(146)는 데이터 입력 버퍼(144)를 통해서 다수의 기입 데이터(WDATA)를 제공받아, 다수



의 기입 데이터(WDATA) 중 특정 상태의 기입 데이터가 기입되어야 하는 다수의 상변화 메모리 셀을 가리키는 상태 플래그 신호(STATUS\_FLAG)를 발생한다. 여기서, 특정 상태의 기입 데이터는 제1 상태의 기입 데이터(예를 들어, 1데이터) 또는 제2 상태의 기입 데이터(예를 들어, 0데이터)일 수 있다. 여기서, 상태 플래그 신호 발생부(146)는 제어부(180)로부터 기입 제어 신호(RESET/SET\_VERIFY)를 받아서, 제1 상태의 기입 데이터가 기입되어야 하는 다수의 상변화 메모리 셀을 가리키는 상태 플래그 신호를 제공할지, 제2 상태의 기입 데이터가 기입되어야 하는 다수의 상변화 메모리 셀을 가리키는 상태 플래그 신호를 제공할지를 결정한다. 본 발명의 실시예들에서, 상태 플래그 신호 발생부(146)는 제1 상태의 기입 데이터가 기입되어야 하는 다수의 상변화 메모리 셀을 가리키는 상태 플래그 신호를 먼저 제공하고, 제2 상태의 기입 데이터가 기입되어야 하는 다수의 상변화 메모리 셀을 가리키는 상태 플래그 신호는 나중에 제공하게 된다.

<98> 비교부(140)는 검증 센스 앰프(142)에 의해 다수의 상변화 메모리 셀로부터 검증 독출된 데이터(VDATA)와, 데이터 입력 버퍼(144)를 통해서 입력된 데이터(WDATA)를 비교하여, 비교 신호(PASS)를 출력한다. 비교 신호(PASS)는 k개의 상변화 메모리 셀 중 검증 데이터(VDATA)와 기입 데이터(WDATA)가 서로 다른 다수의 페일 상변화 메모리 셀을 나타낸다. 또한, 비교부(140)는 검증 데이터(VDATA), 기입 데이터(WDATA) 및 상태 플래그 신호(STATUS\_FLAG)를 제공받아 제어부(180)에 패스 플래그 신호(PASS\_FLAG), 리셋 패스 플래그(RESET\_PASS\_FLAG) 및 셋 패스 플래그(SET\_PASS\_FLAG)를 제공할 수 있다. 패스 플래그 신호(PASS\_FLAG)는 검증 데이터(VDATA)와 기입 데이터(WDATA)가 모두 동일할 때 제1 레벨(예를 들어, 하이 레벨)이 되고 그 밖에는 제2 레벨(예를 들어, 로우 레벨)이 되는 신호이고, 리셋 패스 플래그(RESET\_PASS\_FLAG)는 제1 상태의 기입 데이터(예를 들어, 1데이터)가 기입되어야 할 상변화 메모리 셀 모두가 패스일 때, 제1 레벨(예를 들어, 하이 레벨)이 되고 그 밖에는 제2 레벨(예를 들어, 로우 레벨)이 되는 신호이고, 셋 패스 플래그(SET\_PASS\_FLAG)는 제2 상태의 기입 데이터(예를 들어, 0데이터)가 기입되어야 할 상변화 메모리 셀 모두가 패스일 때 제1 레벨(예를 들어, 하이 레벨)이 되고 그 밖에는 제2 레벨(예를 들어, 로우 레벨)이 되는 신호이다.

<99> 기입 검증 지정부(150)는 비교 신호(PASS), 상태 플래그 신호(STATUS\_FLAG), 모드 선택 신호(WT\_xX)를 제공받아, 다수의 상변화 메모리 셀 중 특정 상태의 기입 데이터가 기입되어야 하는 페일 상변화 메모리 셀이 기입되기 위한 다수의 분할 기입 세션을 지정하는 지정 신호(DG)를 제공한다. 기입 검증 지정부(150)에 대해서는 도 9를 참조하여 자세히 후술한다.

<100> 기입 펄스 발생부(160)는 지정 신호(DG), 기입 제어 신호(RESET/SET\_VERIFY) 및 기입 루프 신호(WT\_LOOP)를 제공받아, 소정 기입 루프 내에서 지정된 분할 기입 세션의 타이밍에 맞추어 셋 펄스 제어 신호(PWD\_SET) 및 리셋 펄스 제어 신호(PWD\_RESET)를 제공한다.

<101> 기입 드라이버(170)는 기입 데이터(WDATA), 셋 펄스 제어 신호(PWD\_SET) 및 리셋 펄스 제어 신호(PWD\_RESET)를 제공받아, 기입 데이터에 대응되는 셋 펄스 또는 리셋 펄스를 페일 상변화 메모리 셀에 제공한다.

<102> 제어부(180)는 커맨드 버퍼(182)로부터 기입 커맨드를 입력받아 검증 센스 앰프(142), 상태 플래그 신호 발생부(146), 기입 드라이버(170), 기입 펄스 제공부(160) 등을 제어하여 적응 기입 검증 동작을 진행하고, 지정 신호(DG)를 입력받아 검증 센스 앰프(142) 등의 세부적인 동작을 조절하고, 제1 레벨의 플래그 신호(PASS\_FLAG)를 입력받아 적응 기입 동작을 중지한다. 또한, 제1 레벨의 리셋 패스 플래그 신호(RESET\_PASS\_FLAG)를 입력받아 제1 상태의 데이터의 분할 기입을 중지하고, 제1 레벨의 셋 패스 플래그 신호(SET\_PASS\_FLAG)를 입력받아 제2 상태의 데이터의 분할 기입을 중지한다. 한편, 제어부(180)는 모드 선택부(190)로부터 분할 기입 모드를 선택하는 모드 선택 신호(WT\_xX)를 제공받아, 선택된 분할 기입 모드에 따라 검증 센스 앰프(142) 등의 동작을 제어한다.

<103> 도 9는 도 8의 기입 검증 지정부를 설명하기 위한 세부적인 블록도이다. 도 9는 기입 펄스 발생부에서 출력되는 셋 펄스 제어 신호의 예를 나타낸 타이밍도이다. 도 9에서는 설명의 편의를 위해서, 기입 검증 지정부, 모드 선택부, 기입 펄스 발생부를 동시에 도시하였다.

<104> 도 9를 참조하면, 모드 선택부(190)는 모드 제어 신호(MODE)를 제공받아 분할 기입 모드를 선택하는 다수의 모드 선택 신호(WT\_x2, WT\_x4, WT\_x8, WT\_x16)를 제공하는데, 선택된 분할 기입 모드에 대응되는 모드 선택 신호(예를 들어, WT\_x2)는 제1 레벨(예를 들어, 하이 레벨)이 되고, 다른 모드 선택 신호(WT\_x4, WT\_x8, WT\_x16)는 제2 레벨이 된다.

<105> 기입 검증 지정부(150)는 다수의 패스 게이트(151, 152, 153, 154)와 지정 로직(156)을 포함한다.

<106> 다수의 패스 게이트(151, 152, 153, 154)는 다수의 모드 선택 신호에 각각 대응되고, 각 패스 게이트(151, 152,

153, 154)는 각 모드 선택 신호(WT\_x2, WT\_x4, WT\_x8, WT\_x16)를 제공받아 비교 신호(PASS)를 선택적으로 전달하게 된다. 구체적으로, 제1 레벨의 모드 선택 신호(WT\_x2)를 제공받은 패스 게이트(151)는 인에이블되어 비교 신호(PASS)를 전달하고, 제2 레벨의 모드 선택 신호(WT\_x4, WT\_x8, WT\_x16)를 제공받은 패스 게이트(152, 153, 154)는 디스에이블된다.

<107> 지정 로직(156)은 비교 신호(PASS), 모드 선택 신호(WT\_x2, WT\_x4, WT\_x8, WT\_x16), 상태 플래그 신호(STATUS\_FLAG)를 제공받아, 다수의 셀 그룹 중 특정 상태의 기입 데이터가 기입되어야 하는 페일 상변화 메모리 셀을 적어도 하나 포함하는 다수의 페일 셀 그룹만의 소정 기입 순서를 정하고, 정해진 기입 순서 순으로 기입할 수 있도록 다수의 분할 기입 세션을 지정하는 지정 신호(DG)를 제공한다. 기입 순서를 정하는 방법의 예로는 도 4a 내지 도 6을 참조하여 설명한 바와 같다.

<108> 기입 펄스 발생부(160)는 이러한 지정 신호(DG)와 기입 루프 신호(WT\_LOOP)를 제공받아, 셋 펄스 제어 신호 및 리셋 펄스 제어 신호를 출력할 수 있다. 설명의 편의를 위해서, 도 10은 도 3의 타이밍도에서 1번째 기입 루프(SL=1)에서 1번째, 2번째, 5번째, 6번째 셀 그룹에서 0데이터를 기입해야 하는 페일된 경우 발생하는 셋 펄스 제어 신호(PWD\_SET)를 도시한 것이다. 도 10을 참조하면, 1번째~8번째 셋 펄스 제어 신호(PWD\_SET0~PWD\_SET7)은 각각 1번째~8번째 셀 그룹과 대응된다. 3번째, 4번째, 7번째, 8번째 셀 그룹이 패스되었기 때문에, 3번째, 4번째, 7번째, 8번째 셋 펄스 제어 신호(PWD\_SET2, PWD\_SET3, PWD\_SET6, PWD\_SET7)은 로우 레벨을 그대로 유지되고, 나머지 1번째, 2번째, 5번째, 6번째 셋 펄스 제어 신호(PWD\_SET0, PWD\_SET1, PWD\_SET4, PWD\_SET5)는 서로 오버랩되지 않고 연속적으로(sequential) 발생되게 된다.

<109> 도 11은 본 발명의 또 다른 실시예에 따른 상변화 메모리 장치의 기입 방법을 설명하기 위한 순서도이다. 도 7과 실질적으로 동일한 단계에 대해서는 동일한 도면 부호를 사용하며, 해당 단계에 대한 상세한 설명은 생략하기로 한다.

<110> 도 11을 참조하면, 먼저 분할 기입 모드를 설정하여(S10) 각 셀 그룹에 포함되는 적어도 하나의 상변화 메모리 셀의 개수를 결정한다. 이어서, 기입 모드를 설정하여(S12), 1데이터를 먼저 기입하고 0데이터를 나중에 기입하거나(S20~S94), 0데이터를 먼저 기입하고 1데이터를 나중에 기입할 수 있다(S220~S294).

<111> 구체적으로, 1데이터를 먼저 기입하고 0데이터를 나중에 기입하는 것은, 검증 독출(S20), 1데이터를 기입해야 하는 상변화 메모리 셀이 패스되었는지 여부의 판단(S30), 1데이터 분할 기입(S40), 최대 기입 루프인지 판단(S50), 검증 독출(S60), 0데이터를 기입해야 하는 상변화 메모리 셀이 패스되었는지 여부의 판단(S70), 0데이터 분할 기입(S80), 최대 기입 루프인지 판단(S90)의 순서로 진행된다.

<112> 또한, 0데이터를 먼저 기입하고 1데이터를 나중에 기입하는 것은, 검증 독출(S220), 1데이터를 기입해야 하는 상변화 메모리 셀이 패스되었는지 여부의 판단(S230), 1데이터 분할 기입(S240), 최대 기입 루프인지 판단(S250), 검증 독출(S260), 0데이터를 기입해야 하는 상변화 메모리 셀이 패스되었는지 여부의 판단(S270), 0데이터 분할 기입(S280), 최대 기입 루프인지 판단(S290)의 순서로 진행된다.

<113> 본 발명의 또 다른 실시예에 따른 상변화 메모리 장치는 도 8의 일 실시예와 유사한 블록도로 구현될 수 있음은 본 발명이 속하는 기술분야의 당업자에게는 자명하다. 예를 들어, 기입 모드를 선택하기 위한 별도의 모드 선택 부를 더 설치하면 된다.

<114> 이상 첨부된 도면을 참조하여 본 발명의 실시예를 설명하였지만, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자는 본 발명이 그 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다.

### 발명의 효과

<115> 상기한 바와 같은 비휘발성 메모리 장치의 기입 방법 및 그 방법을 사용하는 비휘발성 메모리 장치는 제1 상태의 데이터를 먼저 기입하고 제2 상태의 데이터를 나중에 기입함으로써 기입 시간을 줄일 수 있다. 뿐만 아니라, 분할 기입 동작이 일어나지 않는 분할 기입 세션을 없앴으로써 기입 시간을 더 줄일 수 있다.

### 도면의 간단한 설명

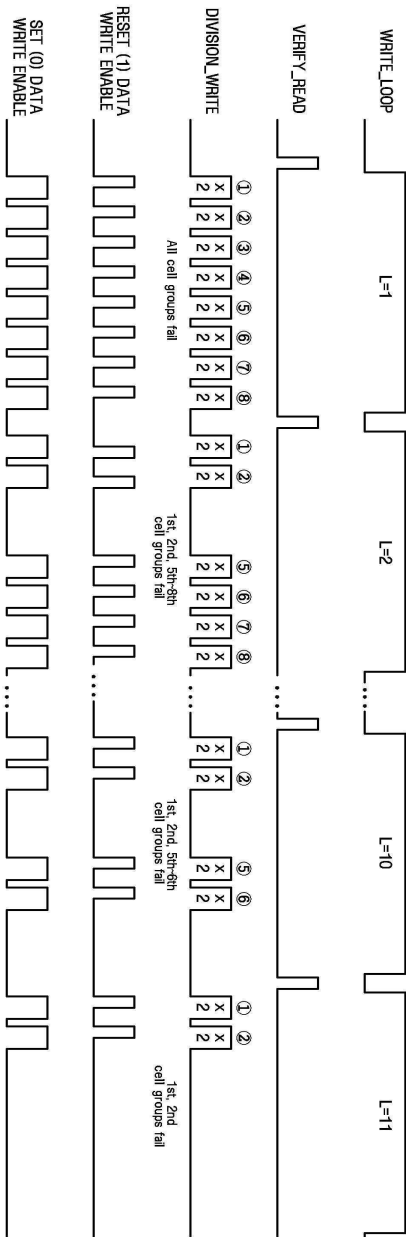
<1> 도 1은 분할 기입과 기입 검증을 채용한 종래의 상변화 메모리 장치의 기입 검증 방법을 설명하기 위한 개념적인 타이밍도이다.



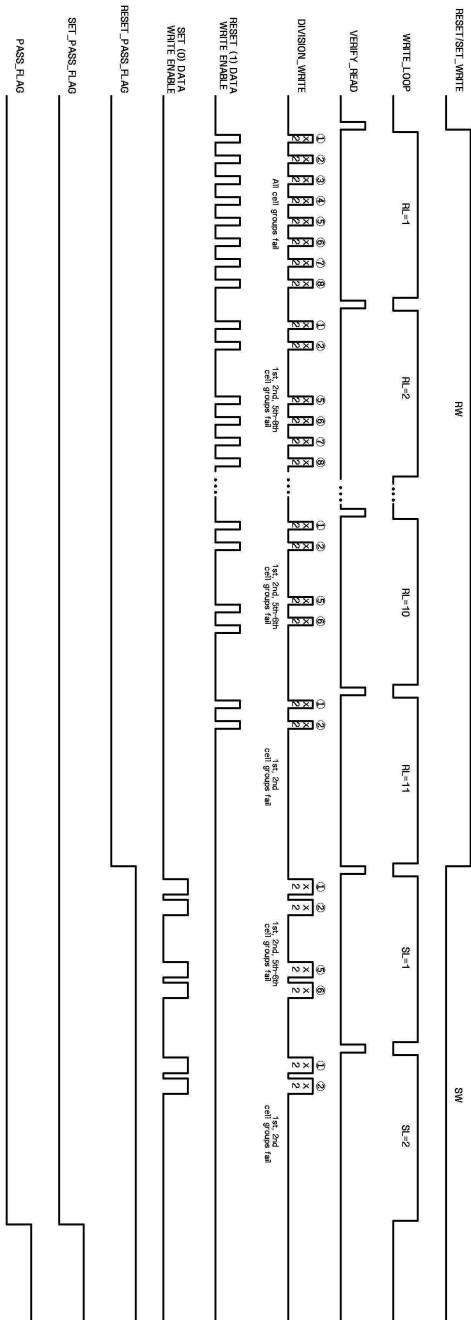


도면

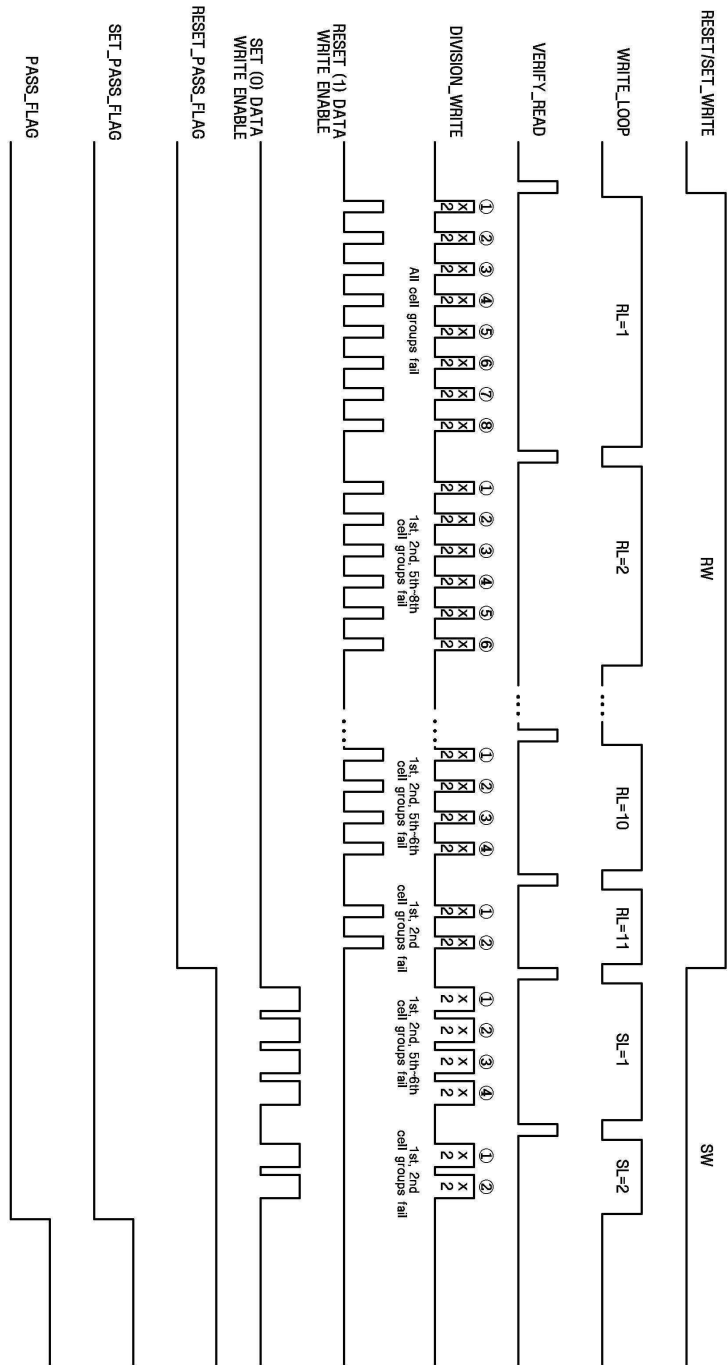
도면1



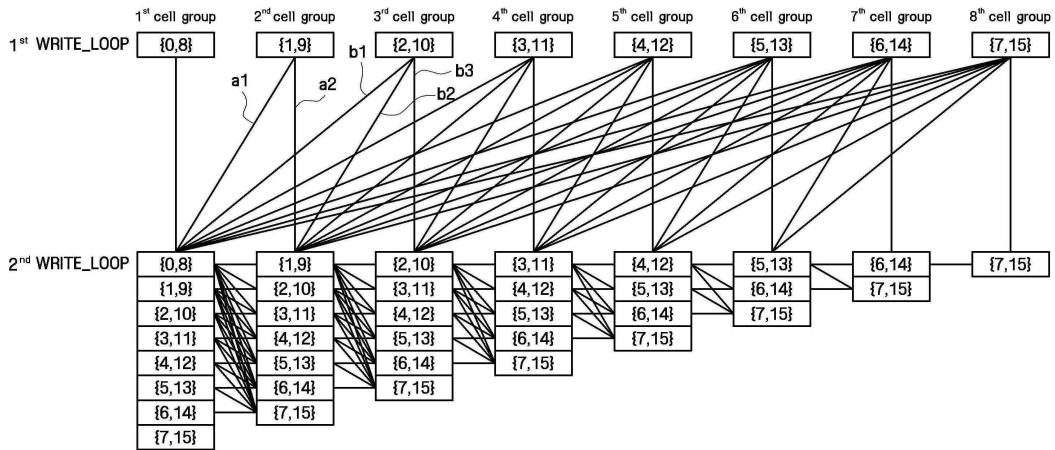
도면2



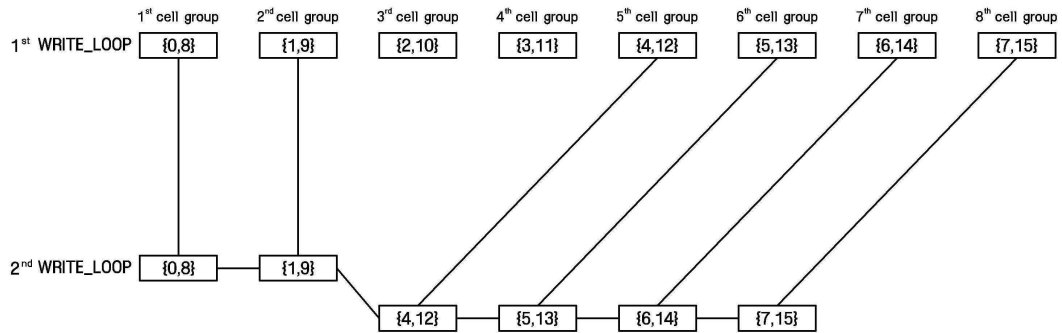
도면3



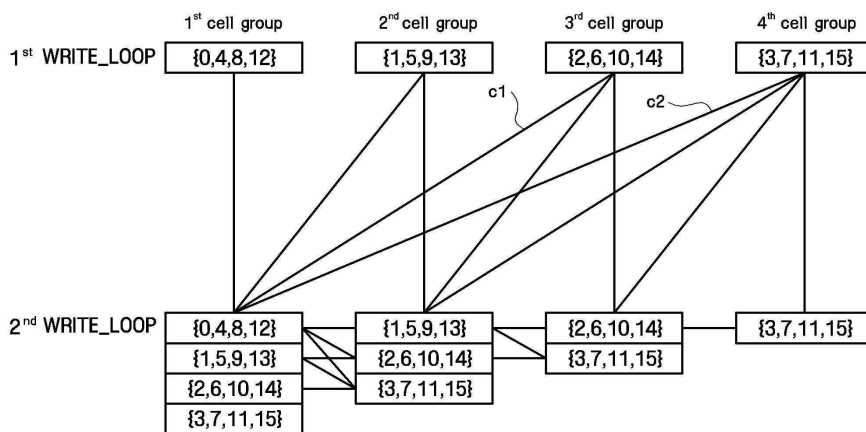
도면4a



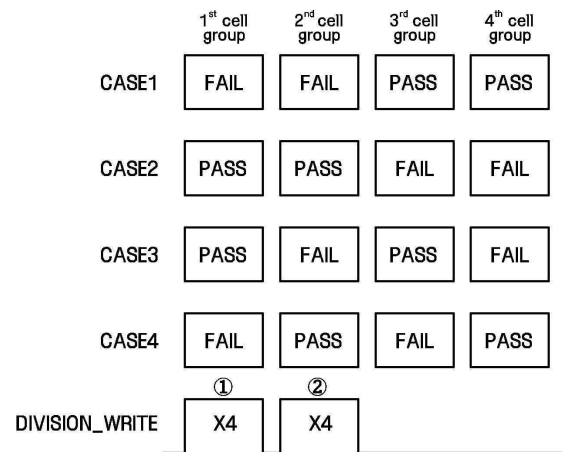
도면4b



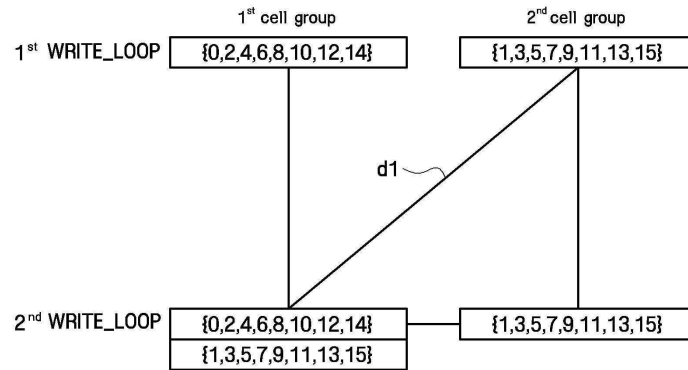
도면5a



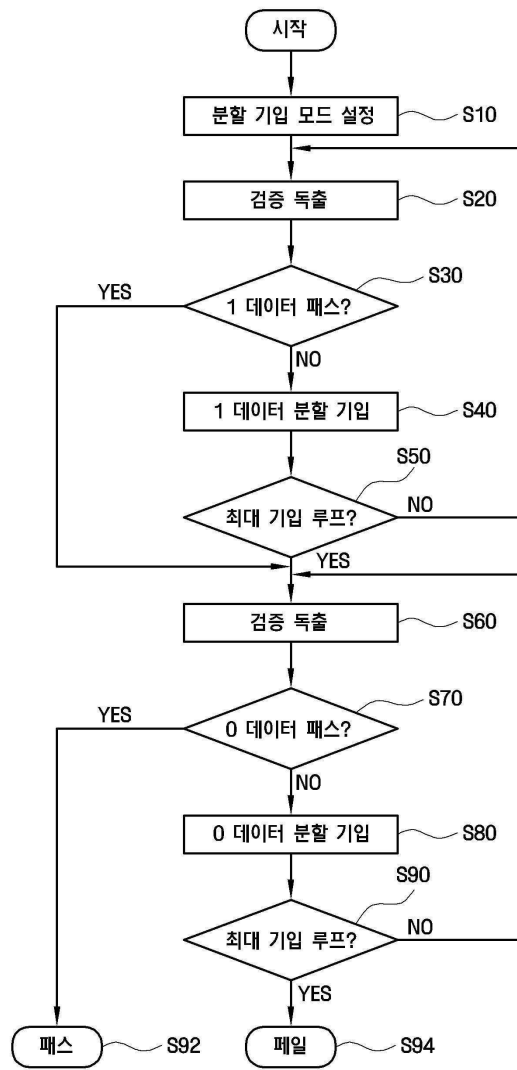
도면5b



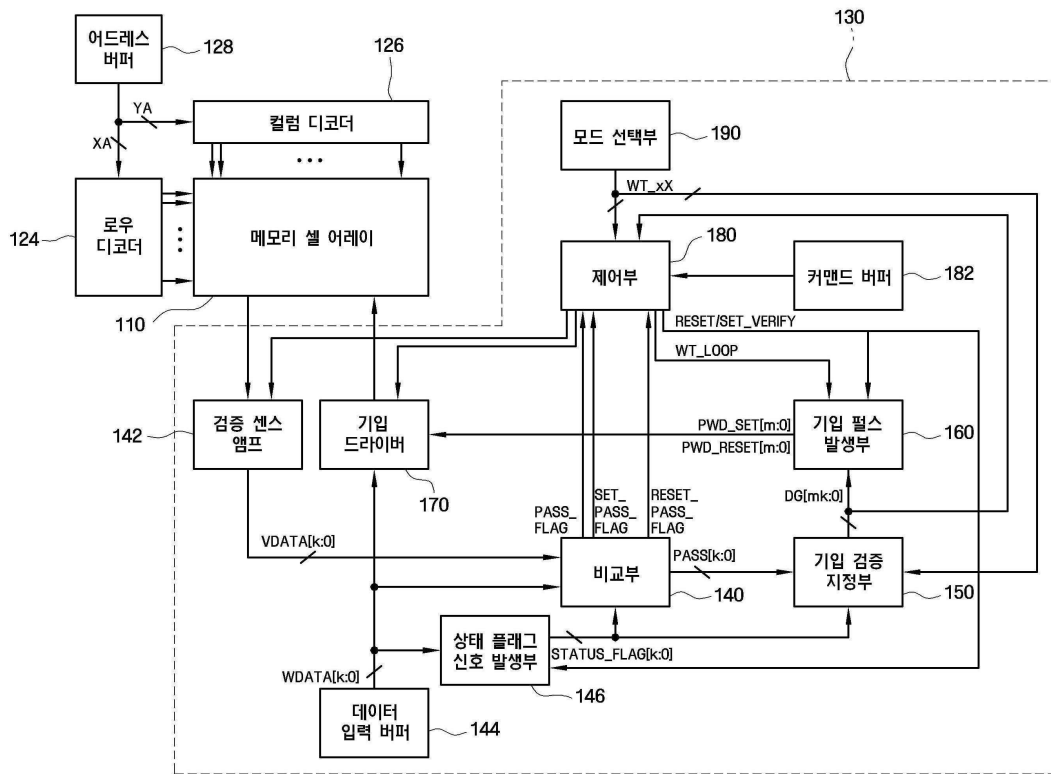
도면6



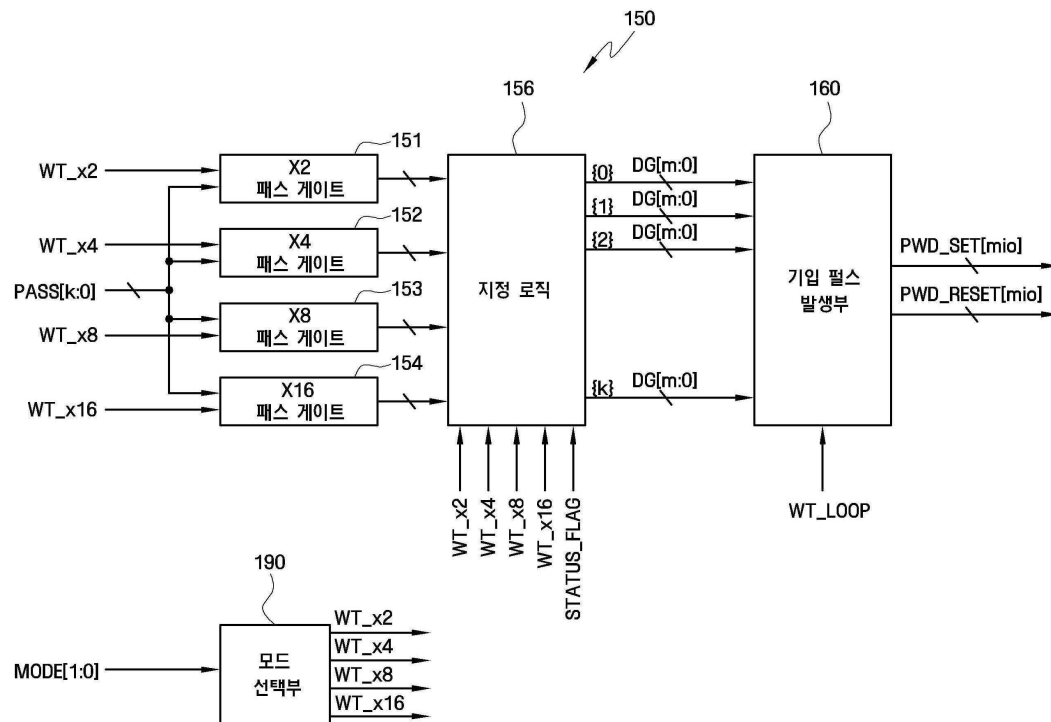
도면7



도면8

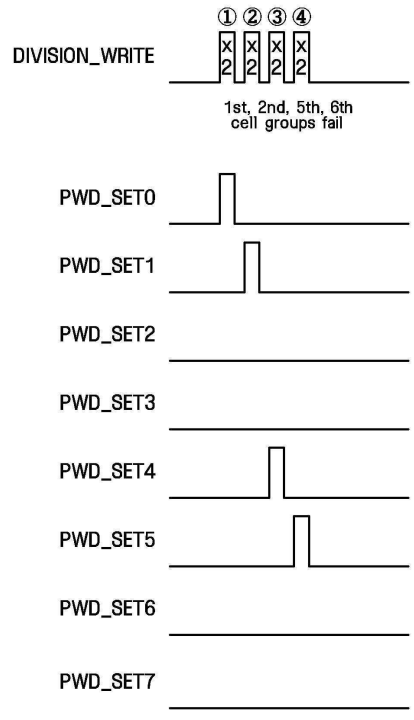


도면9





도면10



도면11

