



[12] 发明专利申请公开说明书

[21] 申请号 200510066346.2

[43] 公开日 2005年11月9日

[11] 公开号 CN 1694248A

[22] 申请日 2005.4.22

[21] 申请号 200510066346.2

[30] 优先权

[32] 2004.4.30 [33] JP [31] 136255/2004

[71] 申请人 株式会社东芝

地址 日本东京都

[72] 发明人 井本孝志 田窪知章

[74] 专利代理机构 北京市中咨律师事务所

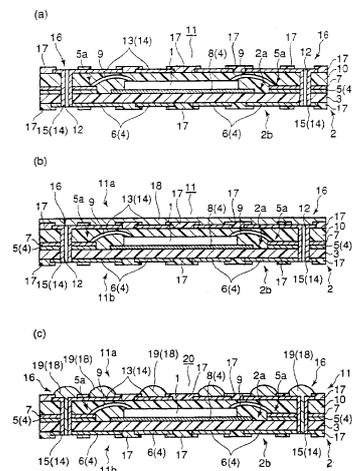
代理人 陈海红 段承恩

权利要求书3页 说明书61页 附图25页

[54] 发明名称 半导体器件及其制造方法

[57] 摘要

本发明的目的是提供结构上的通用性提高了的、不管是在单个地使用或层叠了多个地使用的情況下都可使用、能高效地且低成本地、容易地制造的半导体器件。在芯片安装基体材料2的一个主面2a上设置了至少1条第1布线5。在基体材料2的另一个主面2b上设置了至少1条第2布线6。至少1个半导体元件1电连接到至少1条第1布线5上地安装在基体材料2的一个主面2a上。在基体材料2的一个主面2a上以覆盖半导体元件1和第1布线5的方式设置了密封树脂10。在密封树脂10的表面上设置了至少1条第3布线13。在密封树脂10和基体材料2的内部设置了至少1条第4布线15，该第4布线15电连接到第1布线5、第2布线6和第3布线13上。



1. 一种半导体器件，其特征在于，具备：

至少 1 个半导体元件；

芯片安装基体材料，在一方主面上设置有至少 1 条第 1 布线，并在另一方主面上设置有至少 1 条第 2 布线，而且，上述半导体元件电连接到至少 1 条上述第 1 布线上地安装在上述一方主面上；

密封材料，以覆盖上述半导体元件和上述第 1 布线的方式设置在上述芯片安装基体材料的上述一方主面上；

至少 1 条第 3 布线，设置在该密封材料的表面上；以及

至少 1 条第 4 布线，设置在上述密封材料和上述芯片安装基体材料的内部，电连接到上述第 1 布线、上述第 2 布线和上述第 3 布线上。

2. 一种半导体器件，其特征在于，具备：

至少 1 个半导体元件；

芯片安装基体材料，在一方主面上设置有至少 1 条第 1 布线，并设置有至少 1 条电连接到至少 1 条上述第 1 布线上的，贯通基体材料主体地在另一方主面一侧露出的第 2 布线，而且，上述半导体元件电连接到至少 1 条上述第 1 布线上地安装在上述一方主面上；

密封材料，以覆盖上述半导体元件和上述第 1 布线的方式设置在上述芯片安装基体材料的上述一方主面上；

至少 1 条第 3 布线，设置在该密封材料的表面上；以及

至少 1 条第 4 布线，设置在上述密封材料的内部，将上述第 1 布线和上述第 3 布线电连接。

3. 一种半导体器件，其特征在于，具备：

至少 1 个半导体元件；

电连接到该半导体元件上的至少 1 条第 1 布线；

密封材料，露出该第 1 布线的至少一个端部，覆盖上述半导体元件和上述半导体元件与上述第 1 布线的连接部地设置；

至少 1 条第 2 布线和至少 1 条第 3 布线，将上述半导体元件和上述第 1 布线夹在其间，互相对向地设置在上述密封材料的表面上；以及

至少 1 条第 4 布线，设置在上述密封材料的内部，电连接到上述第 1 布线、上述第 2 布线和上述第 3 布线上。

4. 一种半导体器件，其特征在于：

层叠了多个权利要求 1~3 中的至少 1 项中记载的半导体器件，并电连接了在层叠方向上相邻的上述各半导体器件的上述第 2 布线相互间、上述第 3 布线相互间或上述第 2 布线与上述第 3 布线。

5. 一种半导体器件的制造方法，其特征在于：

在一方主面上设置有至少 1 条第 1 布线，并在另一方主面上设置有至少 1 条第 2 布线的芯片安装基体材料的上述一方主面上，将至少 1 个半导体元件电连接到至少 1 条上述第 1 布线上进行安装，

以覆盖上述半导体元件和上述第 1 布线的方式在上述芯片安装基体材料的上述一方主面上设置密封材料，并在该密封材料的表面上设置至少 1 条第 3 布线，而且，在上述密封材料和上述芯片安装基体材料的内部设置电连接到上述第 1 布线、上述第 2 布线和上述第 3 布线上的至少 1 条第 4 布线。

6. 一种半导体器件的制造方法，其特征在于：

在一方主面上设置有至少 1 条第 1 布线，并设置有至少 1 条电连接到至少 1 条上述第 1 布线上的，贯通基体材料主体地在另一方主面一侧露出的第 2 布线的芯片安装基体材料的上述一方主面上，将至少 1 个半导体元件电连接到至少 1 条上述第 1 布线上进行安装，

以覆盖上述半导体元件和上述第 1 布线的方式在上述芯片安装基体材料的上述一方主面上设置密封材料，并在该密封材料的表面上设置至少 1 条第 3 布线，而且，在上述密封材料的内部设置电连接到上述第 1 布线和上述第 3 布线上的至少 1 条第 4 布线。

7. 一种半导体器件的制造方法，其特征在于：

将至少 1 个半导体元件电连接到至少 1 条第 1 布线上，

露出该第 1 布线的至少一个端部，覆盖上述半导体元件和上述半导体元件与上述第 1 布线的连接部地设置密封材料，并将上述半导体元件和上述第 1 布线夹在其间地在上述密封材料的表面上互相对向地设置至少 1 条第 2 布线和至少 1 条第 3 布线，而且在上述密封材料的内部设置电连接到上述第 1 布线、上述第 2 布线和上述第 3 布线上的至少 1 条第 4 布线。

8. 一种半导体器件的制造方法，其特征在于：

层叠多个利用权利要求 5~7 中的至少 1 项中记载的半导体器件的制造方法所制造的半导体器件，并电连接在层叠方向上相邻的上述各半导体器件的上述第 2 布线相互间、上述第 3 布线相互间或上述第 2 布线与上述第 3 布线。

半导体器件及其制造方法

技术领域

本发明涉及半导体器件的封装技术，特别是涉及具有既能电连接多个半导体元件又能进行层叠的结构半导体器件及其制造方法。

背景技术

在半导体器件中有一般被称为多芯片封装体或多芯片模块等的具备多个半导体芯片（半导体元件）的半导体器件。此外，在具有这样的多芯片结构的半导体器件中有层叠并安装了多个半导体芯片的芯片层叠型的半导体器件。而且，为了得到这样的芯片层叠型的半导体器件，已提出了层叠多个安装了1个至多个半导体芯片的各自的半导体器件（封装体、模块）的多种技术（例如参照专利文献1~5）。

【专利文献1】特开2002-134653号公报

【专利文献2】特开2002-170906号公报

【专利文献3】特开2002-184796号公报

【专利文献4】特开2002-170921号公报

【专利文献5】特开2002-305364号公报

在层叠多个半导体封装体（半导体模块）来制作芯片层叠型的多芯片封装体（多芯片模块）的情况下，例如有如下叙述的制作方法。首先，对于各层的每一个将各封装体作为分别的封装体来制作。其次，在层叠各封装体制作了一个多芯片封装体后，在最下层的封装体上设置将该封装体安装在安装基板上用的下部连接布线（下部连接端子）。此外，在该封装体上再安装其它的电部件等的情况下，在最上层的封装体上设置上部连接用布线（上部连接端子）。或者，将最下层的封装体作为预先具有基板安装

专用的结构的基板安装用封装体来制作，将最上层的封装体作为预先具有部件安装专用的结构的基板安装用封装体来制作。

按照这样的技术，由于对于各层的每一层将各封装体作为个别的封装体来制作，故难以提高封装体整体的生产效率。此外，有必须对于各封装体的每一个设置专用的组装设备的问题等的设备费的负担变大的问题。如果设备费的负担变大，则各封装体的生产成本提高。于是，层叠了各封装体的多芯片封装体整体和具备该多芯片封装体的半导体器件的生产成本提高。

发明内容

本发明是为了解决以上已说明的问题而进行的，其目的在于提供下述的半导体器件及其制造方法，即，通过提高结构上的通用性，不管是在单个的使用还是连接其它的部件的使用的情况，此外不管层叠多个封装体使用的情况的层叠数或位置如何都可使用，同时可高效地且低成本地容易地制造。此外，提供在层叠多个这样的半导体器件而构成的同时、可高效地且低成本地容易地制造的半导体器件及其制造方法。

为了解决上述问题，与本发明的一个形态有关的半导体器件的特征在于，具备：至少1个半导体元件；芯片安装基体材料，在一个主面上设置至少1条第1布线，同时在另一个主面上设置至少1条第2布线，而且，上述半导体元件电连接到至少1条上述第1布线上并安装在上述一个主面上；密封材料，以覆盖上述半导体元件和上述第1布线的方式设置在上述芯片安装基体材料的上述一个主面上；至少1条第3布线，设置在该密封材料的表面上；以及至少1条第4布线，设置在上述密封材料和上述芯片安装基体材料的内部，电连接到上述第1布线、上述第2布线和上述第3布线上。

为了解决上述问题，与本发明的另一个形态有关的半导体器件的特征在于，具备：至少1个半导体元件；芯片安装基体材料，在一个主面上设置至少1条第1布线，同时设置了至少1条电连接到至少1条上述第1布

线上的贯通基体材料主体在另一个主面一侧露出的第2布线，而且，上述半导体元件电连接到至少1条上述第1布线上并安装在上述一个主面上；密封材料，以覆盖上述半导体元件和上述第1布线的方式设置在上述芯片安装基体材料的上述一个主面上；至少1条第3布线，设置在该密封材料的表面上；以及至少1条第4布线，设置在上述密封材料和上述芯片安装基体材料的内部，电连接到上述第1布线和上述第3布线上。

为了解决上述问题，与本发明的又一个形态有关的半导体器件的特征在于，具备：至少1个半导体元件；电连接到该半导体元件上的至少1条第1布线；密封材料，露出该第1布线的至少一个端部，以覆盖上述半导体元件和上述半导体元件与上述第1布线的连接部的方式被设置；至少1条第2布线和至少1条第3布线，将上述半导体元件和上述第1布线夹在其间，互相对向地设置在上述密封材料的表面上；以及至少1条第4布线，设置在上述密封材料的内部，电连接到上述第1布线、上述第2布线和上述第3布线上。

为了解决上述问题，与本发明的又一个形态有关的半导体器件的特征在于：层叠多个与本发明有关的半导体器件，同时电连接在层叠方向上相邻的上述各半导体器件的上述第2布线相互间或上述第3布线相互间或上述第2布线与上述第3布线。

为了解决上述问题，与本发明的又一个形态有关的半导体器件的制造方法的特征在于：在一个主面上设置至少1条第1布线、同时在另一个主面上设置至少1条第2布线的芯片安装基体材料的上述一个主面上将至少1个半导体元件电连接到至少1条上述第1布线上进行安装，以覆盖上述半导体元件和上述第1布线的方式在上述芯片安装基体材料的上述一个主面上设置密封材料，同时在该密封材料的表面上设置至少1条第3布线，而且，在上述密封材料和上述芯片安装基体材料的内部设置电连接到上述第1布线、上述第2布线和上述第3布线上的至少1条第4布线。

为了解决上述问题，与本发明的又一个形态有关的半导体器件的制造方法的特征在于：在一个主面上设置至少1条第1布线、同时设置至少1

条电连接到至少1条上述第1布线上的贯通基体材料主体在另一个主面一侧露出第2布线的芯片安装基体材料的上述一个主面上将至少1个半导体元件电连接到至少1条上述第1布线上进行安装,以覆盖上述半导体元件和上述第1布线的方式在上述芯片安装基体材料的上述一个主面上设置密封材料,同时在该密封材料的表面上设置至少1条第3布线,而且,在上述密封材料的内部设置电连接到上述第1布线和上述第3布线上的至少1条第4布线。

为了解决上述问题,与本发明的又一个形态有关的半导体器件的制造方法的特征在于:将至少1个半导体元件电连接到至少1条第1布线上,露出该第1布线的至少一个端部地,以覆盖上述半导体元件和上述半导体元件与上述第1布线的连接部的方式设置密封材料,同时将上述半导体元件和上述第1布线夹在其间、在上述密封材料的表面上互相对向地设置至少1条第2布线和至少1条第3布线,而且在上述密封材料的内部设置电连接到上述第1布线、上述第2布线和上述第3布线上的至少1条第4布线。

为了解决上述问题,与本发明的再一个形态有关的半导体器件的制造方法的特征在于:层叠多个利用与本发明有关的半导体器件的制造方法制造的半导体器件,同时电连接在层叠方向上相邻的上述各半导体器件的上述第2布线相互间及上述第3布线相互间或上述第2布线与上述第3布线。

由于与本发明有关的半导体器件提高了结构上的通用性,故不管是在单个的使用还是在连接其它的部件的使用的情况,此外不管层叠多个使用的情况的层叠数或位置如何都可使用,同时可高效地且低成本地、容易地制造。此外,由于这种半导体器件多个地层叠,故可以高效地且低成本地容易地制造。

此外,按照与本发明有关的半导体器件的制造方法,通过提高半导体器件的结构上的通用性,可高效地且低成本地、容易地制造不管是在单个的使用还是在连接其它的部件的使用、不管层叠多个使用的情况的层叠数或位置如何都可使用的半导体器件。此外,可高效地且低成本地、容易地

制造层叠多个这样的半导体器件而构成的半导体器件。

附图说明

图1是示出与第1实施例有关的半导体器件的制造方法的工序剖面图。
图2是示出与第1实施例有关的半导体器件的制造方法的工序剖面图。
图3是示出与第1实施例有关的半导体器件的制造方法的工序剖面图。
图4是示出与第2实施例有关的半导体器件的制造方法的工序剖面图。
图5是示出与第2实施例有关的半导体器件的制造方法的工序剖面图。
图6是示出与第3实施例有关的半导体器件的制造方法的工序剖面图。
图7是示出与第3实施例有关的半导体器件的制造方法的工序剖面图。
图8是示出与第4实施例有关的半导体器件的制造方法的工序剖面图。
图9是示出与第4实施例有关的半导体器件的制造方法的工序剖面图。
图10是示出与第4实施例有关的半导体器件的制造方法的工序剖面图。

图11是示出与第4实施例有关的半导体器件的制造方法的工序剖面图。

图12是示出与第5实施例有关的半导体器件的制造方法的工序剖面图。

图13是示出与第5实施例有关的半导体器件的制造方法的工序剖面图。

图14是示出与第5实施例有关的半导体器件的制造方法的工序剖面图。

图15是示出与第6实施例有关的半导体器件的制造方法的工序剖面图。

图16是示出与第6实施例有关的半导体器件的制造方法的工序剖面图。

图17是示出与第7实施例有关的半导体器件的剖面图。

图18是示出成为与第8实施例有关的半导体器件具备的第3布线的导

电体的立体图和平面图。

图 19 是示出与第 8 实施例有关的半导体器件的制造方法的工序剖面图。

图 20 是示出与第 8 实施例有关的半导体器件的制造方法的工序剖面图。

图 21 是示出与第 9 实施例有关的半导体器件的制造方法的工序剖面图。

图 22 是示出与第 10 实施例有关的半导体器件的制造方法的工序剖面图。

图 23 是示出与作为对于与第 1~7 的各实施例有关的半导体器件的比较例的背景技术有关的半导体器件的剖面图。

图 24 是示出与作为对于与第 1~7 的各实施例有关的半导体器件的比较例的背景技术有关的另一半导体器件的剖面图。

图 25 是对与作为对于与第 8 和第 9 各实施例有关的半导体器件的比较例的背景技术有关的半导体器件进行了局部截断后示出的立体图。

图 26 是示出与作为对于与第 8 和第 9 各实施例有关的半导体器件的比较例的背景技术有关的另一半导体器件的剖面图。

图 27 是对与作为对于与第 8 和第 9 各实施例有关的半导体器件的比较例的背景技术有关的又一半导体器件进行了局部截断后示出的立体图。

具体实施方式

以下一边参照附图一边说明与本发明有关的各实施例。

(第 1 实施例)

首先,一边参照图 1~图 3 一边说明与本发明有关的第 1 实施例。图 1~图 3 分别是示出与本实施例有关的半导体器件的制造方法的工序剖面图。

在本实施例中,例如在对芯片安装基体材料上的半导体芯片进行了树脂密封的半导体封装体(半导体器件)中不仅在芯片安装基体材料的芯片非安装面一侧(下表面一侧)设置布线层,而且在密封树脂的表层部(上

表面一侧)也设置布线层。即,在半导体封装体的上下(表面背面)两侧设置布线层。由此,既可在其它的安装基体材料上安装本实施例的半导体封装体本身,又可容易地在其上部安装一般在市场上流通的现有的其它的半导体封装体或无源部件等。以下,一边参照附图一边详细地说明与本实施例有关的半导体器件及其制造方法。

首先,如图1(a)中所示,准备在一个主面上至少安装1个半导体元件(半导体芯片)1的1个芯片安装基体材料(芯片安装基板、芯片安装基体材料)2。在本实施例中,作为芯片安装基体材料,使用由具有柔性(挠性)的材料形成该基体材料立体3的柔性基体材料2。柔性基体材料2的基体材料主体3例如由聚酰亚胺(polyimide)、玻璃环氧树脂或BT树脂等以带状来形成。此外,在基体材料主体3上以覆盖其表面背面(上下)两主面的方式分别设置由至少1层导电层(金属层)构成的导电体4。具体地说,该两导电体4都由1层铜箔(Cu箔、Cu层)形成。由这样的结构构成的柔性基体材料2都被称为两面敷铜带。各Cu箔4分别成为后述的第1布线5和第2布线6。

其次,如图1(b)中所示,在作为柔性基体材料2的安装半导体芯片1的一侧的主面的芯片安装面2a上形成至少1条第1布线5。与此同时,在柔性基体材料2的芯片安装面2a上形成安装半导体芯片1的芯片安装岛(mount island)8。在本实施例中,在芯片安装面2a上形成多条第1布线5。该各条第1布线5与后述的第4布线15一并构成本实施例的半导体器件20的内部布线。

各第1布线5中的至少1条成为电连接到半导体芯片1上的芯片连接布线。即,不一定全部的第1布线5作为芯片连接布线来形成。各第1布线5中的几条可与半导体芯片1非电连接地来形成。例如,虽然省略图示,但与半导体芯片1断开了的第1布线5可作为所谓的虚设布线来形成。或者,与半导体芯片1断开了的第1布线5可作为经后述的第2和第3各布线6、13而不经半导体芯片1电连接与半导体器件20连接的外部的装置相互间或其它的部件相互间用的所谓的中继布线的一部分来形成。但是,在

以下的说明中，只要不特别指出，假定将各第1布线5作为芯片连接布线来简略地说明。此外在图1(b)~(e)、图2(a)~(c)和图3(a)~(c)中，只图示多条第1布线5中电连接到半导体芯片1上的芯片连接布线5。

通过对芯片安装面2a上的Cu箔4进行刻蚀加工来形成各芯片连接布线5和芯片安装岛8。具体地说，首先，在芯片安装面2a上的Cu箔4的表面上按预定的图形涂敷未图示的感光性抗蚀剂并进行曝光。由此，在芯片安装面2a上的Cu箔4的表面上形成未图示的抗蚀剂掩模。根据在柔性基体材料2上安装的半导体芯片(硅元件)1具有的未图示的1个至多个连接用焊盘(pad)部(电极、端子)的配置来决定感光性抗蚀剂的图形。其后，对芯片安装面2a上的Cu箔4进行刻蚀处理及显影处理，以预定的图形留下Cu箔4。由此，在柔性基体材料2的芯片安装面2a上形成由预定的图形构成的多条芯片连接布线5。这样，通过将在柔性基体材料2的芯片安装面2a上设置的Cu箔4构图为预先确定的预定的图形来形成芯片连接布线(第1布线)5。即，芯片连接布线(第1布线)5实质上是在柔性基体材料2的芯片安装面2a上预先设置的Cu箔4的一部分。

各芯片连接布线5与至少1条第4布线15一并，以预定的图形电连接半导体芯片1与后述的至少1条第2布线6和至少1条第3布线13之间。如后述那样，第2和第3各条布线6、13都构成半导体器件20的外部布线(外部端子)。此外，在各芯片连接布线5的一部分上设置电连接半导体芯片1的各焊盘部的焊盘连接部(接合部)5a。

再有，在进行形成各芯片连接布线5用的刻蚀处理时，用未图示的掩模整个面地预先覆盖柔性基体材料2的与芯片安装面2a为相反一侧的主面上的Cu箔4的表面。即，用掩模在整个面上预先覆盖作为柔性基体材料2的未安装半导体芯片1的一侧的主面的芯片非安装面2b上的Cu箔4的表面。该芯片非安装面2b上的Cu箔4成为后述的第2布线6。

其次，如图1(c)中所示，至少对各芯片连接布线5的焊盘连接部5a的表面上进行预定的处理。作为该表面处理，采用了与引线键合法或倒装

芯片芯片连接法等将半导体芯片 1 向柔性基体材料 2 的安装方法对应的适当的处理。在本实施例中，利用引线键合法将半导体芯片 1 电连接到各芯片连接布线 5 上，安装在柔性基体材料 2 上。在该情况下，使用镍 (Ni) 和金 (Au) 对各芯片连接布线 5 的焊盘连接部 5a 的表面进行镀敷处理。即，在各焊盘连接部 5a 的表面上设置 Ni/Au 镀敷部 7。

其次，如图 1 (d) 中所示，在柔性基体材料 2 上安装至少 1 个半导体芯片 1。在本实施例中，在芯片安装面 2a 上所设置的 Cu 箔 4 中的成为安装半导体芯片 1 的芯片安装岛 8 的部分 (区域) 上安装 1 个半导体芯片 1。例如使用未图示的环氧树脂等的粘接剂将半导体芯片 1 粘接 (接合) 到芯片安装岛 8 上，安装在柔性基体材料 2 上。

其次，如图 1 (e) 中所示，利用引线键合法将半导体芯片 1 电连接到各芯片连接布线 5 上。具体地说，将多条金制的键合引线 (Au 键合引线) 9 连接到半导体芯片 1 的各连接焊盘上。与此同时，将各 Au 键合引线 9 连接到在各芯片连接布线 5 的焊盘连接部 5a 上设置了的 Ni/Au 镀敷部 7 上。由此，半导体芯片 1 经各 Ni/Au 镀敷部 7 电连接到各芯片连接布线 5 上。例如利用超声波接合将各 Au 键合引线 9 接合到半导体芯片 1 的各连接焊盘和各 Ni/Au 镀敷部 7 上。

再有，在将 1 个半导体芯片 1 安装在芯片安装岛 8 上后，也可在该半导体芯片 1 上再层叠至少 1 个半导体芯片 1，以引线键合方式连接到芯片连接布线 5 上。由此，也可将半导体器件 20 作为多芯片封装体 (多芯片模块) 来构成。在后述的第 7 实施例中详细地说明由这样的结构构成的半导体器件及其制造方法。

其次，如图 2 (a) 中所示，在柔性基体材料 2 的芯片安装面 2a 上设置密封树脂 10。具体地说，以覆盖半导体芯片 1、各芯片连接布线 5 (各焊盘连接部 5a)、各 Ni/Au 镀敷部 7、芯片安装岛 8 和各 Au 键合引线 9 等的方式在柔性基体材料 2 的芯片安装面 2a 上设置密封树脂 10。由此，至少密封半导体芯片 1 和作为半导体芯片 1 与各芯片连接布线 5 的连接部分的焊盘连接部 5a 等。在该密封中，可使用例如注射成型法或传递模塑法

等的非气密密封法 (non-hermetic)。在本实施例中, 利用传递模塑法在柔性基体材料 2 的芯片安装面 2a 上设置密封树脂 10。此外, 作为密封树脂 10, 可使用例如环氧树脂与氧化硅充填剂的混合树脂。利用以上的工序, 制作由半导体芯片 1、柔性基体材料 2 和密封树脂 10 等构成的树脂密封封装体 (模塑密封封装体) 11。该树脂密封封装体 11 成为本实施例的半导体器件 20 的主要的构成部分。

接着, 如图 2(a) 中所示, 在树脂密封封装体 11 中设置至少 1 个设置第 4 布线 15 用的第 4 布线用凹部 (穴、孔) 12。在本实施例中, 由于在树脂密封封装体 11 中设置多条第 4 布线 15, 故在树脂密封封装体 11 中设置多个第 4 布线用凹部 12。各第 4 布线 15 与各芯片连接布线 5 一并构成半导体器件 20 的内部布线。此外, 各第 4 布线 15 的至少 1 条是为了互相电连接至少 1 条各芯片连接布线 (第 1 布线) 5、至少 1 条第 2 布线 6 与至少 1 条第 3 布线 13 而设置的。即, 至少 1 条第 4 布线 15 与至少 1 条各芯片连接布线 5 一并, 是为了将半导体芯片 1 电连接到构成半导体器件 20 的外部布线 (外部端子) 的至少 1 条第 2 布线 6 和至少 1 条第 3 布线 13 上而设置的。

在本实施例中, 将各第 4 布线 15 的中至少电连接到半导体芯片 1 上的第 4 布线 15 沿树脂密封封装体 11 的厚度方向一并地电连接到第 2 布线 6 和第 3 布线 13 上来设置。因此, 在沿树脂密封封装体 11 的厚度方向可一并地贯通芯片连接布线 5、第 2 布线 6 和第 3 布线 13 的位置上形成设置电连接到半导体芯片 1 上的第 4 布线 15 的各凹部 12。因而, 各凹部 12 中的至少设置电连接到半导体芯片 1 上的第 4 布线 15 的各凹部 12 作为沿树脂密封封装体 11 的厚度方向一并地贯通该树脂密封封装体 11 的贯通孔 (通孔、通路孔) 来形成。

再有, 虽然省略图示, 但当然也可将设置与半导体芯片 1 断开的第 4 布线 15 的各凹部作为沿树脂密封封装体 11 的厚度方向一并地贯通该树脂密封封装体 11 的通孔 (通路孔) 来形成。通过将全部的第 4 布线用凹部 12 作为通孔来形成, 不管半导体芯片 1 与各第 4 布线 15 的连接状态如何,

可简化(单一化)形成第4布线用凹部12的工序。于是,可提高半导体器件20的制造效率。在以下的说明中,假定将电连接到半导体芯片1上的第4布线15一并地电连接到芯片连接布线5、第2布线6和第3布线13上而设置的部位称为布线连接部16。

具体地说,沿下述部分的厚度方向一并地贯通下述部分来形成在布线连接部16中形成的通孔12,这些下述部分是:密封树脂10、各Ni/Au镀敷部7、各焊盘连接部5a(芯片连接布线5)、柔性基体材料2的基体材料主体3和柔性基体材料2的芯片非安装面2b上的Cu箔4。例如使用未图示的钻头等进行该贯通作业。此外,将各通孔12的直径分别设定为约 $50\mu\text{m} \sim 400\mu\text{m}$ 左右的大小。

其次,如图2(b)中所示,在密封树脂10的表面上和各通孔12的内壁上设置成为第3布线13的导电体(导电层)14和成为第4布线15的导电体14。在本实施例中,一体地且一并地设置这些成为第3布线13的导电体14和成为第4布线15的导电体14。具体地说,首先除去各通孔12内的残渣(desmear,除渣)。其后,利用无电解镀敷法,在密封树脂10的表面和各通孔12的内壁面的整个面上设置由厚度约 $0.01\mu\text{m} \sim 1\mu\text{m}$ 左右的Cu构成的导电层(无电解Cu层)。接着,利用电解镀敷法,在无电解Cu层的表面的整个面上设置由厚度约 $1\mu\text{m} \sim 30\mu\text{m}$ 左右的Cu构成的导电层(电解Cu层)。将无电解Cu层作为种子(seed)层(基底层),一边与无电解Cu层实现一体化,一边设置该电解Cu层。由此,在密封树脂10的表面上和各通孔12的内壁面上一体地且一并地设置成为第3布线13的1层的Cu层14和成为第4布线15的1层的Cu层14。在各通孔12的内壁上设置的Cu层14直接作为第4布线15来使用。

再有,在本实施例中,根据各通孔12的直径的大小将电解Cu层的厚度设定为适宜的、适当的大小,以免堵塞各通孔12。此外,在该一系列的镀敷工序中,假定柔性基体材料2的芯片非安装面2b上的Cu箔4的表面仍然为用在形成上述的各芯片连接布线5时设置了的掩模整个面地覆盖了的状态。

此外，如上所述，在本实施例中，通过连续地进行无电解镀敷法和电解镀敷法，在密封树脂 10 的表面上设置了成为第 3 布线 13 的 Cu 层（导电体）14。但是，设置 Cu 层 14 的方法不限于镀敷法。在必须提高第 3 布线 13 与密封树脂 10 的紧密接合强度的情况下，在设置上述的密封树脂 10 的工序中，与密封树脂 10 一体地且一并地设置导电体 14 即可。例如，虽然省略图示，但在与半导体封装体的上表面对向的模塑上金属模的腔体部中配置进行了褪光（mat）处理的铜箔（Cu 箔）后，进行传递模塑即可。或者，在进行模塑时，对在 Cu 箔上涂敷了环氧树脂或 BT 树脂等的带有树脂的 Cu 箔进行热层压也是有效的。利用这些密封工序，既可提高成为第 3 布线 13 的铜箔与密封树脂的紧密接合强度，又可与密封树脂一体地且一并地设置铜箔。在后述的第 8 和第 9 的各实施例中详细地说明由这样的结构构成的半导体器件及其制造方法。

如上所述，在布线连接部 16 中沿树脂密封封装体 11 的厚度方向贯通该树脂密封封装体 11 的各通孔 12 内形成的各第 4 布线 15（Cu 层 14）与在密封树脂 10 的表面上设置的成为第 3 布线 13 的 Cu 层 14 实现一体化。与此同时，在布线连接部 16 中在各通孔 12 内形成的各第 4 布线 15 既贯通在柔性基体材料 2 的芯片安装面 2a 上形成的各芯片连接布线（第 1 布线）5，又电连接到其上。再者，在布线连接部 16 中形成了的各第 4 布线 15 电连接到在柔性基体材料 2 的芯片非安装面 2b 上形成的成为第 2 布线 6 的 Cu 箔 4 上。即，在树脂密封封装体 11 的内部设置各第 4 布线 15 作为所谓的贯通插塞（通路插塞）。如图 2（b）中所示，树脂密封封装体 11 内的半导体芯片 1 经作为内部布线的各贯通插塞 15 和各芯片连接布线 5 等电连接到作为外部布线的第 2 和第 3 各布线 6、13 上。

此外，如上所述，在布线连接部 16 中形成了的各贯通插塞 15 电连接到半导体芯片 1 上。但是，没有必要使全部的贯通插塞 15 电连接到半导体芯片 1 上来形成。与上述的第 1 布线 5 同样，各贯通插塞 15 的几个可与半导体芯片 1 非电连接地来形成。

例如，虽然省略图示，但假定在层叠多个半导体器件 20 的同时，经各

自的第2布线6和第3布线13电连接相邻的半导体器件20相互间。在该情况下,也可以在使预定的层的半导体器件20中设置的各贯通插塞15中的几个与该预定的层的半导体芯片1(各芯片连接布线5)断开的同时,将其在电连接到与该预定的层相邻的其它的层的半导体芯片1上的通电路径(布线)上形成。或者,可在隔开1层电连接各层的半导体芯片1的通电路径上形成在各层的半导体器件20中设置的各贯通插塞15。此外,经第2布线6或第3布线13将多个外部装置或外部部件电连接到半导体器件20上,或将半导体器件20安装在基板上。在这些情况下,在使半导体器件20中设置的各贯通插塞15中的几个与半导体芯片1断开的同时,可将其在电连接到外部装置或外部部件或基板上的通电路径上形成。

这样,没有必要使全部的贯通插塞15电连接到半导体芯片1上来形成。与上述的第1布线5同样,与半导体芯片1断开的各贯通插塞15可作为构成虚设布线的一部分的虚设插塞来形成。或者,与半导体芯片1断开的贯通插塞15可作为将经第2和第3各布线6、13等与半导体器件20连接的外部的装置相互间或其它的部件相互间不经过半导体芯片1而电连接用的中继插塞来形成。但是,在以下的说明中,只要不特别指出,将各贯通插塞15作为电连接到半导体芯片1上的贯通插塞来简略地说明。此外在图2(b)、(c)和图3(a)~(c)中,只图示多个贯通插塞15中的在布线连接部16中设置的电连接到半导体芯片1上的贯通插塞15。

其次,如图2(c)中所示,在柔性基体材料2的芯片非安装面2b上形成至少1条第2布线6。与此同时,在密封树脂10的表面上形成至少1条第3布线13。在本实施例中,分别各形成多条这些第2布线6和第3布线13。此外,利用与形成上述的第1布线(芯片连接布线)5同样的方法形成各第2布线6和各第3布线13。

首先,说明形成第2布线6的情况。如上所述,在树脂密封封装体11内结束形成贯通插塞15的阶段中,用在形成上述的各芯片连接布线5时设置了的掩模在整个面上覆盖芯片非安装面2b上的Cu箔4的表面。因而,首先使覆盖了该芯片非安装面2b上的Cu箔4的表面的掩模剥离。接着,

在芯片非安装面 2b 上的 Cu 箔 4 的表面上用预先确定的预定的图形涂敷未图示的感光性抗蚀剂并进行曝光。由此，在芯片非安装面 2b 上的 Cu 箔 4 的表面上形成未图示的抗蚀剂掩模。根据各贯通插塞 15 的位置及与电连接到第 2 布线 6 上的外部装置和外部部件等的连接位置预先决定感光性抗蚀剂的图形。其后，对芯片非安装面 2b 上的 Cu 箔 4 进行刻蚀处理或显影处理等，以预定的图形留下 Cu 箔 4。由此，在柔性基体材料 2 的芯片非安装面 2b 上形成由预定的图形构成的多条第 2 布线 6。

这样，通过将在柔性基体材料 2 的芯片非安装面 2b 上设置了的 Cu 箔 4 构图为预先确定的预定的图形来形成第 2 布线 6。即，第 2 布线 6 实质上是在柔性基体材料 2 的芯片非安装面 2b 上预先设置了的 Cu 箔 4 的一部分。

其次，说明形成第 3 布线 13 的情况。起初，与形成第 2 布线 6 的情况同样，在密封树脂 10 上的 Cu 层 14 的表面上用预先确定的预定的图形涂敷未图示的感光性抗蚀剂并进行曝光。由此，在密封树脂 10 上的 Cu 层 14 的表面上形成未图示的抗蚀剂掩模。根据各贯通插塞 15 的位置、与电连接到第 3 布线 13 上的外部装置和外部部件等的连接位置等预先决定感光性抗蚀剂的图形。其后，对密封树脂 10 上的 Cu 层 14 进行刻蚀处理或显影处理，以预定的图形留下 Cu 层 14。由此，在密封树脂 10 上形成多条作为由预定的图形构成的表层布线（表层端子）的第 3 布线 13。这样，通过将在密封树脂 10 的表面上设置的 Cu 层 14 构图为预先确定的预定的图形来形成第 3 布线 13。即，第 3 布线 13 实质上是在密封树脂 10 上设置的 Cu 层 14 的一部分。再有，该形成第 3 布线 13 的工序可与形成第 2 布线 6 的工序一并地进行。

如图 2 (c) 中所示，各第 2 布线 6 和各第 3 布线 13 构成半导体器件 20 的外部布线（外部端子）。如上所述，在电连接并层叠多个半导体器件 20 时，经各半导体器件 20 的各第 2 布线 6 和各第 3 布线 13 的至少一方来进行各半导体器件 20 间的电连接。同样，在将半导体器件 20 安装到外部基板上或将其它的半导体封装体、外部装置或外部部件等电连接到半导体器件 20 上时，各第 2 布线 6 和各第 3 布线 13 发挥外部连接布线（外部连

接端子)的功能。此时,在半导体器件20中,在各第2布线6和各第3布线13的任一条上可连接其它的半导体器件20、安装基板或外部装置。即,可将各第2布线6和各第3布线13的任一条作为封装体安装用布线(端子)、外部装置连接用布线(端子)、部件安装用布线(端子)或基板安装用布线(端子)等来使用。

同样,对于半导体器件20来说,可使其柔性基体材料2一侧和密封树脂10一侧的任一侧朝上或朝下。即,各第2布线6和各第3布线13的任一可作为上部布线(上部端子)或下部布线(下部端子)来使用。此外,同样,对于半导体器件20来说,可将其柔性基体材料2一侧和密封树脂10一侧的任一侧的主面作为表面或背面来使用。即,可将各第2布线6和各第3布线13的任一条作为表面侧布线(表面侧端子)或背面侧布线(背面侧端子)来使用。

此外,如图2(c)中所示,各第2布线6和各第3布线13中的几条经各贯通插塞(第4布线)15和各芯片连接布线(第1布线)5电连接到半导体芯片1上。但是,与上述的芯片连接布线5和贯通插塞15同样,没有必要把全部的第2布线6和第3布线13电连接到半导体芯片1上来形成。各第2布线6和各第3布线13中的几条可与半导体芯片1断开来形成。例如,与上述的芯片连接布线5和贯通插塞15同样,与半导体芯片1断开了的第2布线6和第3布线13可作为虚设布线来形成。或者,与半导体芯片1断开的第2布线6和第3布线13同样地可与半导体芯片1断开了的贯通插塞15一并,作为不经半导体芯片1电连接与半导体器件20连接的外部装置相互间或其它的部件相互间用的中继布线的一部分来形成。

其次,如图3(a)中所示,在形成了多条第2布线6的柔性基体材料2的芯片非安装面2b上用预先确定了了的预定的图形涂敷焊料抗蚀剂17。同样,在形成了多条第3布线13的密封树脂10的表面上用预先确定了了的预定的图形涂敷焊料抗蚀剂17。接着,虽然省略图示,但根据需要对各第2布线6和各第3布线13中的成为封装体安装用端子的布线进行Ni/Au镀敷处理或防锈处理等的预定的表面处理。

其次，如图3(b)中所示，在树脂密封封装体11的密封树脂10一侧的主面上设置将外部部件等电连接到各第3布线13上用的连接用导电构件18。在本实施例中，使用膏状焊锡18作为连接用导电构件。此外，在本实施例中，将树脂密封封装体11的密封树脂10一侧的主面定为封装体安装面（外部装置连接面、部件安装面）11a。即，在本实施例中，在树脂密封封装体11的封装体安装面11a上设置作为连接用导电构件的膏状焊锡18。例如以覆盖各第3布线13和焊料抗蚀剂17的方式进行网板印刷，在树脂密封封装体11的封装体安装面11a的整个面上设置膏状焊锡18。但是，设置该连接用导电构件18的方法不限于上述的网板印刷。例如虽然省略图示，但可在从焊料抗蚀剂17露出的各第3布线13的表面上安装由PbSn或SnAg等构成的焊锡球作为连接用导电构件18。

再有，如果将树脂密封封装体11的密封树脂10一侧的主面定为封装体安装面11a，则可使用树脂密封封装体11的柔性基体材料2一侧的主面作为基板安装面11b。在该情况下，虽然省略图示，但根据需要在树脂密封封装体11的基板安装面11b的表面上安装由PbSn或SnAg等构成的多个焊锡球作为连接用导电构件。将各焊锡球的至少一部分与各第2布线6接触（接合）来设置即可。

其次，如图3(c)中所示，在树脂密封封装体11的封装体安装面11a上形成焊锡层19。具体地说，通过对在树脂密封封装体11的封装体安装面11a上所设置的膏状焊锡18进行回流焊，以覆盖从焊料抗蚀剂17露出的各第3布线13的表面的方式形成焊锡层19。在本实施例中，在各第3布线13的表面上形成厚度约为 $50\mu\text{m} \sim 0.3\text{mm}$ 的焊锡层19。此时，形成了各贯通插塞15的各通孔12的内部也利用焊锡层19来填充。此外，虽然省略图示，但根据需要对作为树脂密封封装体11的封装体非安装侧的基板安装面11b上的各第2布线6进行预定的表面处理。例如，根据需要对作为基板安装用端子的各第2布线6的表面进行防锈处理、Ni/Au镀敷处理等焊锡容易浸润、而且在高温测试时在各第2布线6的表面上难以形成非熔融氧化膜的处理。

再有，在以上的说明中，为了容易理解本实施例的内容，对将树脂密封封装体 11 作为单独的封装体来制作的情况进行了说明。但是，虽然省略图示，但在实际的制造工序中，将多个树脂密封封装体 11 一并地进行制作。因而，利用切割等，将利用以上的工序一并地制作了的树脂密封封装体 11 的集合体从带状态切断为各个封装体的每一个而成为各片。其后，虽然同样地省略图示，但在低温或高温等各种各样的环境下对各个树脂密封封装体 11 的每一个实施用于检查各树脂密封封装体 11 能否实际上作为制品使用的各种测试。然后，将在这些测试中合格的树脂密封封装体 11 定为合格品。由此，得到以图 3 (c) 中示出的结构为主要的构成部分的与本实施例有关的预期的半导体器件 20。

即，得到由树脂密封封装体 11 构成的半导体器件 20，在上述的树脂密封封装体 11 中，在树脂密封封装体 11 的封装体安装面 11a 上具备多条作为封装体安装用端子（封装体安装用布线）的 Cu 布线（第 3 布线）13，并在树脂密封封装体 11 的基板安装面 11b 上具备多条作为基板安装用端子（基板安装用布线）的 Cu 布线（第 2 布线）6，而且，以引线键合方式连接到在芯片安装基体材料 2 的芯片安装面 2a 上设置了的多条 Cu 芯片连接布线（第 1 布线）5 上而安装在芯片安装基体材料 2 上的 1 个半导体芯片 1 经各 Cu 芯片连接布线 5 和沿树脂密封封装体 11 的厚度方向贯通树脂密封封装体 11 而设置的多条 Cu 贯通插塞（第 4 布线）15，连接到各 Cu 布线 6 和各 Cu 布线 13 上。

其后，在半导体器件 20 的封装体安装面 11a 上根据需要安装未图示的无源部件等的预定的外部装置。与此同时，在半导体器件 20 的基板安装面 11b 上根据需要安装未图示的安装基板。

再有，在本实施例中，虽然省略图示，但以 1 个半导体器件 20 为基本构成单位，通过层叠多个半导体器件 20，可制作作为层叠体的半导体器件（多芯片封装体、多芯片模块）。在该情况下，对于作为层叠体的多芯片封装体来说，可将各半导体器件 20 称为单芯片封装体（单芯片模块）。在后述的第 2 实施例中，一边参照附图，一边详细地说明层叠多个这样的单

芯片封装体 20 而构成的多芯片封装体。

如以上已说明的那样，按照该第 1 实施例，可得到在上下（表面背面）两主面上设置了作为与半导体芯片 1 电连接了的外部布线的第 2 和第 3 各布线 6、13 的半导体器件 20。通过将这些第 2 和第 3 各布线 6、13 以及作为内部布线的第 1 和第 4 各布线 5、15 的各自的布线图形形成成为适宜的、适当的形状，可在半导体器件 20 的柔性基体材料 2 一侧和密封树脂 10 一侧的任一侧连接安装基板或无源部件等的外部装置。此外，根据基板或外部装置等的规格，可将第 2 和第 3 各布线 6、13 及第 1 和第 4 各布线 5、15 的各布线图形形成成为适宜的、适当的形状。由此，可将半导体器件 20 安装在一般在市场上流通的各种各样的通用的基板上、可将一般在市场上流通的各种各样的通用的外部装置连接到半导体器件 20 上。再者，虽然在后述的第 2 实施例中详细地说明，但在层叠多个半导体器件 20 以制作多芯片封装体的情况下，根据与相邻的其它的半导体器件 20 的连接状态等，将第 1~第 4 的各布线 5、6、13、15 的布线图形形成成为适宜的、适当的形状。由此，不管半导体器件 20 的层叠数如何，都可将半导体器件 20 配置在预期的位置上。

这样，提高了半导体器件 20 的通用性和安装密度。此外，对于半导体器件 20 来说，在将其作为构成部件的一部分使用的电气装置中，也可有助于其安装密度的提高、小型化。即，由于提高了半导体器件 20 的结构通用性，故不管是在单个的使用还是连接其它的部件的使用、不管层叠多个使用的情况的层叠数或位置如何，可在各种各样的设定中使用。与此同时，可高效地且低成本地、容易地制造由这样的结构构成的半导体器件 20。此外，按照与本实施例有关的半导体器件的制造方法，可高效地且低成本地、容易地制造这样的半导体器件 20。

（第 2 实施例）

其次，一边参照图 4 和图 5，一边说明与本发明有关的第 2 实施例。图 4 和图 5 分别是示出与本实施例有关的半导体器件的制造方法的工序剖面图。再有，对与第 1 实施例为同一的部分附以同一符号，省略其详细的

说明。

在本实施例中，说明层叠多个与上述的第1实施例有关的半导体器件20构成的半导体器件及其制造方法。以下，详细地说明。

首先，如图4中所示，层叠4个第1实施例的半导体器件20来配置。此时，使下侧的半导体器件20的封装体安装面11a上的各焊锡层19与上侧的半导体器件20的基板安装面11b上的各第2布线（下部连接端子、下部连接布线）6接触，配置各半导体器件20。

然后，如图5中所示，对已被层叠的4个半导体器件20实施回流焊。由此，各半导体器件20的封装体安装面11a上的各焊锡层19熔融，相邻的半导体器件20相互间电连接而接合。

其后，虽然省略图示，但在低温或高温等各种各样的环境下对由已被接合的4个半导体器件20构成的层叠体实施用于检查各层叠体能否实际上作为制品使用的各种测试。然后，将在这些测试中合格的层叠体定为合格品。由此，如图5中所示，得到与本实施例有关的预期的半导体器件21。即，得到作为层叠4个作为单芯片封装体（单芯片模块）的第1实施例的半导体器件20而构成的芯片层叠型的多芯片封装体（多芯片模块）的半导体器件21。

其后，在最上层的单芯片封装体20的封装体安装面11a上根据需要安装未图示的无源部件等的预定的外部装置。与此同时，在最下层的单芯片封装体20的基板安装面11b上根据需要安装未图示的安装基板。

如以上已说明的那样，按照该第2实施例，由于层叠与上述的第1实施例有关的半导体器件20，故可高效地且低成本地、容易地制造芯片层叠型的半导体器件21。

以往在层叠多个半导体封装体（半导体模块）来制作芯片层叠型的多芯片封装体（多芯片模块）的情况下，一般对于各层制作各封装体作为个别的封装体。而且，在层叠各封装体制作了1个多芯片封装体后，在最下层的封装体上设置将该封装体安装在安装基板上用的下部连接布线（下部连接端子）。此外，在该封装体上还安装其它的电气部件等的情况下，在

最上层的封装体上设置上部连接用的布线（上部连接端子）。或者，将最下层的封装体作为预先具有基板安装专用的结构的基板安装用封装体来制作，将最上层的封装体作为预先具有部件安装专用的结构的部件安装用封装体来制作。这样，以往在制作芯片层叠型的多芯片封装体的情况下，必须根据被配置的位置分开制作各封装体。因此，制造效率低，制造成本也容易变高。

与此相对，对于本实施例的芯片层叠型的半导体器件 21 来说，结构的通用性提高了，通过层叠不管层叠多个封装体使用的情况的层叠数及位置如何都可在各种各样的设定中使用的第 1 实施例的半导体器件 20 来制作。因而，可高效地且低成本地、容易地制造半导体器件 21。

此外，在以往的芯片层叠型的多芯片封装体中有在 1 个封装体内层叠多个半导体芯片而设置的类型的芯片层叠型的多芯片封装体。以下，一边参照图 23 (a)、(b) 和图 24，一边具体地且简洁地说明。

首先，说明在图 23 (a) 中示出的芯片层叠型的多芯片封装体（多芯片模块）201。例如利用以下叙述的工序来制造该多芯片封装体 201。首先，如图 23 (a) 中所示，在 1 片安装基板 202 上层叠多个半导体芯片 203。然后，通过重复进行引线键合，将各半导体芯片 203 电连接到安装基板 202 上。接着，对安装基板 202 和各半导体芯片 203 实施模塑密封，用密封树脂 204 来覆盖。其后，对进行了模塑密封的安装基板 202 和各半导体芯片 203 实施所谓的 Burn-In（老化）测试。由此来制作芯片层叠型的多芯片封装体 201。

其次，说明图 23 (b) 中示出的芯片层叠型的多芯片封装体 211。例如利用以下叙述的工序来制造该多芯片封装体 211。首先，如图 23 (b) 中所示，将多个半导体芯片 203 分别倒装芯片芯片连接到 1 片芯片连接基板 212 上。然后，将多个各半导体芯片 203 与各芯片连接基板 212 一起层叠在 1 片安装基板 202 上，电连接到（die-attach，小片连接）安装基板 202 上。接着，用保护外壳 213 覆盖安装基板 202 和各半导体芯片 203，进行封装。其后，与上述的多芯片封装体 201 的情况同样，实施 Burn-In 测试。

由此来制作与上述的多芯片封装体 201 不同的类型的芯片层叠型的多芯片封装体 211。

在这些各封装体 201、211 那样的结构中，如果各封装体 201、211 内的多个半导体芯片 203 中的即使 1 个在测试中呈不良，则封装体 201、211 整体成为不合格品。而且，各封装体 201、211 整体的测试不良率受到累积了各半导体芯片 203 各自的不良率的影响。例如，像各封装体 201、211 那样在封装体内层叠了 4 个半导体芯片 203 的多芯片封装体中，从第 1 层到第 4 层的各半导体芯片的成品率假定分别为 95%、95%、90%、85%。在该情况下，作为制品的封装体整体的最终成品率为 $0.95 \times 0.95 \times 0.90 \times 0.85 \times 100 \approx 69$ （%），低于 70%。这样，封装体整体的成品率被拉到多个半导体芯片的各自的不良率中最高的不良率。与此同时，对于作为其它的层的合格品的半导体芯片来说，产生很大的损失。

此外，由于在密封树脂 204 或保护外壳 213 上未设置在其上部安装外部装置用的布线，故难以在各封装体 201、211 的上部电连接并安装外部装置。即，各封装体 201、211 的安装密度低。再者，对于封装体 211 来说，因必须设置与安装基板 202 结构不同的芯片连接基板 212 等，故难以提高其生产效率，而且，封装体整体的成本容易升高。

此外，在图 24 中示出以往的封装体层叠型模块 221。在该模块 221 中，首先，在各自的层中组装由多个半导体芯片 203、连接各芯片 203 的芯片连接基板 212 和在相邻的各芯片 203 间配置的多片中间基板 222 构成的中间封装体 223。然后，在制作了各中间封装体 223 的阶段中一度实施 Burn-In 测试等，将各中间封装体 223 选择区别为合格品和不合格品。接着，只将被认定为合格品的中间封装体 223 层叠预期的层数，制作由多个中间封装体 223 构成的层叠体 224。其后，将层叠体 224 的最下层的中间封装体 223 安装在设置了多个作为外部端子的焊锡球（Ball Grid Array: BGA 球栅格阵列）225 的安装基板 226 上。与此同时，在层叠体 224 的最上层的中间封装体 223 上连接设置了多条外部装置安装用布线 227 的外部装置安装用基板 228。各半导体芯片 203、各焊锡球 225 和各外部装置安装用布线 227

经贯通各中间基板 222 设置的多条贯通插塞 229 等互相电连接。

在该模块 221 这样的结构中，由于只使用预先被认定为合格品的中间封装体 223，故避免了上述的各封装体 201、211 那样的因半导体芯片 203 的不良率的累积导致的封装体整体的成品率损失。但是，与各封装体 201、211 同样，必须对于各层的每一层设置中间基板 222，设置与芯片连接基板 212、中间基板 222 结构不同的安装基板 226、外部装置安装用基板 228。因此，也难以提高模块 221 的生产效率，而且，模块（封装体）整体的成本容易升高。

这样，按照以往的技术，难以提高芯片层叠型封装体（模块）整体的生产效率。特别是，在由模块 221 那样的结构构成的芯片层叠型封装体中，因必须对各中间封装体 223 的每一个设置专用的组装设备等，故存在设备费的负担变大的问题。如果设备费的负担变大，则存在各中间封装体的生产成本变高的问题。于是，存在层叠了各中间封装体 223 的多芯片封装体 221 整体和具备该多芯片封装体 221 的半导体器件的生产成本变高的问题。

与此不同，按照本实施例，如上所述，通过如图 5 中所示那样层叠各层中每一层的封装体 20 的测试合格品，可在多层时不全部的层的量地累积全部的层的芯片成品率地构筑多层封装体。此外，也可在最上层的树脂密封封装体 20 上安装无源部件，也可有助于安装密度的提高。再者，可通过在已有的半导体封装体上仅附加铜箔作为基体材料来制作层叠用的封装体，同时还可实现组装设备的沿用，能以低成本提供芯片层叠型的多芯片封装体 21。在后述的第 8 和第 9 各实施例中详细地说明这一点。

（第 3 实施例）

其次，一边参照图 6 和图 7，一边说明与本发明有关的第 3 实施例。图 6 和图 7 分别是示出与本实施例有关的半导体器件的制造方法的工序剖面图。再有，对与第 1 实施例为同一的部分附以同一符号，省略其详细的说明。

在本实施例中，说明不使用前述的第 1 实施例的引线键合法而利用倒装芯片连接法将半导体芯片 1 连接到柔性基体材料 2 上而构成的半导体器

件及其制造方法。以下，详细地说明。

首先，如图6(a)中所示，准备在上述的第1实施例中使用了的1片柔性基体材料（两面敷铜带）2而作为芯片浆载基体材料。在该柔性基体材料2的芯片安装面2a上利用与第1实施例同样的工序，形成包含至少1条芯片连接布线的多条第1布线5。如后述那样，在本实施例中，利用倒装芯片连接法将半导体芯片1电连接到芯片连接布线5上而安装在柔性基体材料2上。因而，芯片连接布线5中的至少1条兼作安装半导体芯片1的芯片安装岛8来形成。

根据半导体芯片1的各连接用焊盘部的配置，将芯片安装岛8的预定的区域作为焊盘连接部5a来设定。芯片安装岛8的各焊盘连接部5a经未图示的其它的芯片连接布线电连接到与后述的第2布线6、第3布线13和贯通插塞（第4布线）15电连接的芯片连接布线5上。

此外，在各焊盘连接部5a的表面上进行将半导体芯片1的各连接用焊盘部电连接到其上用的表面处理。例如，在各焊盘连接部5a的表面上根据半导体芯片1的各连接用焊盘部的配置，进行Ni/Au镀敷处理。由此，在各焊盘连接部5a的表面上根据半导体芯片1的各连接用焊盘部的配置，设置由Ni和Au构成的镀敷凸点（焊盘连接用凸点）31。但是，在使用倒装芯片连接法的本实施例中，对各焊盘连接部5a的表面处理不限于上述的Ni/Au镀敷。例如，也可在各焊盘连接部5a的表面上设置未图示的焊锡来代替Ni/Au镀敷。

其次，如图6(b)中所示，在柔性基体材料2的芯片安装面2a上安装至少1个半导体芯片1。具体地说，利用倒装芯片连接法将1个半导体芯片1安装到芯片安装岛8上。此时，利用热压粘接或超声波接合等将半导体芯片1的各连接用焊盘部接合到与其对应地在各焊盘连接部5a的表面上设置了的各Ni/Au镀敷凸点31上。与此同时，使用环氧树脂等的粘接剂32将半导体芯片1粘接（接合）到芯片安装岛8上。

其次，如图6(c)中所示，利用传递模塑法，在与第1实施例同样的工序中以覆盖半导体芯片1、各芯片连接布线5、芯片安装岛8（各焊盘连

接部 5a)、各 Ni/Au 镀敷凸点 31 和粘接剂 32 等方式,在柔性基体材料 2 的芯片安装面 2a 上设置密封树脂 10。与此同时,在柔性基体材料 2 的芯片非安装面 2b 上形成由 1 片 Cu 箔 4 构成的多条第 2 布线 6。利用以上的工序,制作由半导体芯片 1、柔性基体材料 2、各第 2 布线 6 和密封树脂 10 等构成的树脂密封封装体 33。该树脂密封封装体 33 成为本实施例的半导体器件 34 的主要的构成部分。

其次,如图 7(a) 中所示,利用与第 1 实施例同样的工序,在树脂密封封装体 33 的各布线连接部 16 中沿树脂密封封装体 33 的厚度方向贯通地设置多个通孔 12。

其次,如图 7(b) 中所示,利用与第 1 实施例同样的工序,在密封树脂 10 的表面上和各通孔 12 的内壁面上一体地且一并地设置成为第 3 布线 13 的导体 14 和成为第 4 布线 15 的导体 14。即,在密封树脂 10 的表面上设置成为第 3 布线 13 的 1 层 Cu 层 14 的同时,在各通孔 12 内设置由 1 层 Cu 层 14 构成的贯通插塞 15。

其次,如图 7(c) 中所示,利用与第 1 实施例同样的工序,在密封树脂 10 的表面上形成由 1 层 Cu 层 14 构成的多条第 3 布线 13。与上述的第 1 实施例同样,在本实施例中,也将树脂密封封装体 33 的形成了各第 3 布线 13 的一侧(密封树脂 10 一侧)的主面定为封装体安装面 33a,并将树脂密封封装体 33 的形成了各第 2 布线 6 的一侧(柔性基体材料 2 一侧)的主面定为基板安装面 33b。

其次,如图 7(d) 中所示,利用与第 1 实施例同样的工序,在形成了多条第 2 布线 6 的柔性基体材料 2 的芯片非安装面 2b 上以预先确定的预定的图形涂敷焊料抗蚀剂 17。同样,在形成了多条第 3 布线 13 的密封树脂 10 的表面上以预先确定的预定的图形涂敷焊料抗蚀剂 17。

其后,虽然省略图示,但利用与第 1 实施例同样的工序,根据需要对成为封装体安装用端子的各第 3 布线 13 的表面进行防锈处理、Ni/Au 镀敷处理等的预定的表面处理。接着,在树脂密封封装体 33 的封装体安装面 33a 上设置膏状焊锡。与此同时,在树脂密封封装体 33 的基板安装面 33b

上根据需要使多个焊锡球与各第2布线6接触(接合)来安装。接着,在设置了膏状焊锡的树脂密封封装体33上实施回流焊,以覆盖从焊料抗蚀剂17露出的各第3布线13的表面的方式形成厚度约为 $50\mu\text{m} \sim 0.3\text{mm}$ 的焊锡层。与此同时,利用焊锡层填入形成了各贯通插塞15的各通孔12内。此外,对成为基板安装用端子的各第2布线6根据需要进行例如防锈处理、Ni/Au镀敷处理等焊锡容易浸润、而且在高温测试时在各第2布线6的表面上难以形成非熔融氧化膜的表面处理。

接着,利用切割等,将利用以上的工序一并地制作的树脂密封封装体33的集合体从带状态切断为各个封装体而成为小片。其后,对各个树脂密封封装体33中的每一个实施各种测试。然后,将在这些测试中合格的树脂密封封装体33定为合格品。由此,得到以图7(d)中示出的树脂密封封装体33为主要的构成部分的与本实施例有关的预期的半导体器件34。

即,得到由树脂密封封装体33构成的半导体器件34,在上述的树脂密封封装体33中,在树脂密封封装体33的封装体安装面33a上具备多条作为封装体安装用端子(封装体安装用布线)的Cu布线(第3布线)13,并在树脂密封封装体33的基板安装面33b上具备多条作为基板安装用端子(基板安装用布线)的Cu布线(第2布线)6,而且,以倒装芯片连接方式连接到在芯片安装基体材料2的芯片安装面2a上设置的多条Cu芯片连接布线(第1布线)5上而安装在芯片安装基体材料2上的1个半导体芯片1经各Cu芯片连接布线5和沿树脂密封封装体33的厚度方向贯通树脂密封封装体33而设置的多条Cu贯通插塞(第4布线)15,连接到各Cu布线6和各Cu布线13上。

其后,在半导体器件34的封装体安装面33a上根据需要安装未图示的无源部件等的预定的外部装置。与此同时,在半导体器件34的基板安装面33b上根据需要安装未图示的安装基板。或者,根据需要层叠多个半导体器件34,作为多芯片封装体来使用。

如以上已说明的那样,按照该第3实施例,可得到与上述的第1实施例同样的效果。此外,由于将半导体芯片1倒装芯片连接到芯片连接布线

5 上，故与引线键合法不同，可清除键合引线的连接不良等，同时可简化半导体芯片 1 的安装工序。由此，可提高半导体器件 34 的品质、可靠性、性能、生产效率和成品率等，同时可抑制生产成本。此外，通过使用倒装芯片连接法，可谋求芯片连接布线 5、乃至进而是第 2~第 4 各布线 6、13、15 的微细化。由此，可谋求半导体器件 34 的小型化和高集成化。这样，按照本实施例，可高效地且低成本地、容易地制造通用性高的高功能的半导体器件 34。

(第 4 实施例)

其次，一边参照图 8~图 11，一边说明与本发明有关的第 4 实施例。图 8~图 11 分别是示出与本实施例有关的半导体器件的制造方法的工序剖面图。再有，对与第 1 实施例为同一的部分附以同一符号，省略其详细的说明。

在本实施例中，说明使用单面敷铜带来代替在上述的第 1 实施例中使用的两面敷铜带来作为芯片安装基体材料的半导体器件及其制造方法。以下，详细地说明。

首先，如图 8(a) 中所示，准备在一个主面上安装至少 1 个半导体芯片 1 的 1 片芯片安装基体材料 41。该芯片安装基体材料 41 的基体材料主体 42 与第 1 实施例的芯片安装基体材料 2 的基体材料主体 3 同样，例如由聚酰亚胺、玻璃环氧树脂或 BT 树脂等具有柔软性的材料以带状来形成。即，本实施例的芯片安装基体材料 41 是与第 1 实施例的芯片安装基体材料 2 同样的柔性基体材料。但是，与第 1 实施例的芯片安装基体材料 2 不同，在本实施例的芯片安装基体材料 41 中，以覆盖该基体材料主体 42 的表面背面（上下）的某一个主面的方式设置了由至少 1 层导电层构成的导电体 4。具体地说，在本实施例的柔性基体材料 41 中，以覆盖作为安装该半导体芯片 1 的一侧的主面的芯片安装面 41a 的方式设置 1 层 Cu 箔 4。相对于被称为两面敷铜带的第 1 实施例的柔性基体材料 2 来说，将由这样的结构构成的柔性基体材料 41 称为单面敷铜带。Cu 箔 4 成为第 1 布线（芯片连接布线）5 和芯片安装岛 8。

其次，如图 8 (b) 中所示，在柔性基体材料 41 的基体材料主体 42 中形成至少 1 个设置第 2 布线 43 用的第 2 布线用凹部 (穴、孔) 44。在本实施例中，由于在柔性基体材料 41 中设置多条第 2 布线 43，故在柔性基体材料 41 中形成多个第 2 布线用凹部 44。沿其预定的图形形成各凹部 44，以便按预先确定了的预定的图形设置第 2 布线 43。此外，全部的第 2 布线 43 在基体材料主体 42 的未设置 Cu 箔 4 的一侧的主面的表面上被露出而设置。即，全部的第 2 布线 43 在作为柔性基体材料 41 的未安装半导体芯片 1 的一侧的主面的芯片非安装面 41b 的表面上被露出而设置。此外，各第 2 布线 43 中的至少一条电连接到 Cu 箔 4 中成为芯片连接布线 5 的部分上而被设置。即，各第 2 布线 43 中至少电连接到成为芯片连接布线 5 的 Cu 箔 4 上的第 2 布线 43 沿基体材料主体 42 的厚度方向贯通该基体材料主体 42 而被设置。因而，各凹部 44 中设置了至少电连接到成为芯片连接布线 5 的 Cu 箔 4 上的第 2 布线 43 的凹部 44 作为沿基体材料主体 42 的厚度方向贯通该基体材料主体 42 的贯通孔 (通孔、通路孔) 来形成。

再有，当然可将设置有与芯片连接布线 5 (半导体芯片 1) 断开的第 2 布线 43 的各凹部 44 也作为沿基体材料主体 42 的厚度方向一并地贯通该基体材料主体 42 的通孔 (通路孔) 来形成。在本实施例中，如图 8 (b) 中所示，通过将设置有与 Cu 箔 4 接触而被设置的第 2 布线 43 的第 2 布线用凹部 44 全部作为通孔来形成。这样，通过将全部的第 2 布线用凹部 44 作为通孔来形成，不管半导体芯片 1 与各第 2 布线 43 的连接状态如何，可简化 (单一化) 形成第 2 布线用凹部 44 的工序。于是，可提高本实施例的半导体器件 32 的制造效率。在以下的说明中，将与 Cu 箔 4 接触而设置第 2 布线 43 的部位称为第 1 布线连接部 (第 1 外部端子部) 45。

通过从芯片非安装面 41b 一侧沿基体材料主体 42 的厚度方向在该基体材料主体 42 中开孔直到 Cu 箔 4 露出为止来形成在第 1 布线连接部 45 中形成的各通路孔 44。使用例如未图示的二氧化碳气体激光光线或 UV 激光光线等来进行该钻削作业。其后，使用过锰酸钾溶液等除去例如碳化物等的各通路孔 44 内的残渣。

其次，如图 8 (c) 中所示，对各第 1 布线连接部 45 分别各设置 1 条第 2 布线 43。具体地说，首先在各第 1 布线连接部 45 中形成的各通路孔 44 的内侧进行预定的镀敷处理。接着，在进行了镀敷处理的各通路孔 44 的内部充填成为第 2 布线的导电体（金属）43 以填埋各通路孔 44。其后，通过对基体材料主体 42 的芯片非安装面 41b 进行 CMP 处理等，在各第 1 布线连接部 45 中分别各填埋 1 条第 2 布线 43 来形成。再有，作为成为第 2 布线的导电体 43，可使用例如 Sn、Cu、Sn-Ag 合金或 PbSn 等。由此，半导体芯片 1 经各第 2 布线 43 和 Cu 箔 4（各芯片连接布线 5）等电连接到未图示的外部的装置等上。但是，与第 1 实施例同样，没有必要将全部的第 2 布线 43 电连接到半导体芯片 1 上来形成。各第 2 布线 43 中的几条可与半导体芯片 1 非电连接地来形成。与半导体芯片 1 断开了的各第 2 布线 43 可作为虚设布线或中继布线来形成。

其次，如图 8 (d) 中所示，与上述的第 1 实施例同样，对 Cu 箔 4 进行刻蚀处理等，在柔性基体材料 41 的芯片安装面 41a 上形成包含至少 1 条芯片连接布线的多条第 1 布线 5 和芯片安装岛 8。再有，在进行该刻蚀处理时，用未图示的掩模预先在整个面上覆盖在柔性基体材料 41 的芯片非安装面 41b 一侧露出的各第 2 布线 43 的表面。

其次，如图 9 (a) 中所示，利用与第 1 实施例同样的工序，在各芯片连接布线 5 的焊盘连接部 5a 的表面上设置 Ni/Au 镀敷部 7。

其次，如图 9 (b) 中所示，利用与第 1 实施例同样的工序，在芯片安装岛 8 上安装 1 个半导体芯片 1。

其次，如图 9 (c) 中所示，与第 1 实施例同样，利用引线键合法将半导体芯片 1 经在各焊盘连接部 5a 上设置的 Ni/Au 镀敷部 7 电连接到各芯片连接布线 5 上。

其次，如图 10 (a) 中所示，与第 1 实施例同样，利用传递模塑法，以覆盖半导体元件 1、各芯片连接布线 5（各焊盘连接部 5a）、各 Ni/Au 镀敷部 7、芯片安装岛 8 和各 Au 键合引线 9 等的方式在柔性基体材料 41 的芯片安装面 41a 上设置密封树脂 10。利用以上的工序，制制由半导体元

件 1、柔性基体材料 41 和密封树脂 10 等构成的树脂密封封装体（模塑密封封装体）46。该树脂密封封装体 46 成为本实施例的半导体器件 32 的主要的构成部分。在密封树脂 10 的表面上设置至少 1 条第 3 布线 47。

其次，如图 10 (b) 中所示，在树脂密封封装体 46 中设置至少 1 个设置第 4 布线 48 用的第 4 布线用凹部（穴、孔）49。在本实施例中，由于在树脂密封封装体 46 中设置多条第 4 布线 48，故在树脂密封封装体 46 中形成多个第 4 布线用凹部 49。此外，在本实施例中，沿树脂密封封装体 46 的厚度方向将各第 4 布线 48 中至少电连接到半导体芯片 1（芯片连接布线 5）上的第 4 布线 48 一并地电连接到第 1 布线 5 和第 3 布线 47 上来设置。因此，设置电连接到半导体芯片 1 上的第 4 布线 48 的各凹部 49 至少沿密封树脂 10 的厚度方向贯通该密封树脂 10，在能露出各芯片连接布线 5 的焊盘连接部 5a 上所设置了的 Ni/Au 镀敷部 7 的表面的位置上被形成。但是，与上述的第 1 实施例不同，在本实施例中，将设置电连接到半导体芯片 1 上的第 4 布线 48 的各凹部 49 作为不贯通树脂密封封装体 46 的非贯通孔（非贯通通路孔）来形成。即，设置电连接到半导体芯片 1 上的第 4 布线 48 的各凹部 49 不贯通柔性基体材料 41 和各第 2 布线 43，而是沿密封树脂 10 的厚度方向贯通该密封树脂 10 来形成。

再有，设置电连接到半导体芯片 1 上的第 4 布线 48 的各凹部 49 既可贯通各芯片连接布线 5 的焊盘连接部 5a 和在其表面上设置了的各 Ni/Au 镀敷部 7，也可不贯通。对设置电连接到半导体芯片 1 上的第 4 布线 48 的各凹部 49 来说，以至少能与各 Ni/Au 镀敷部 7 电接触的深度形成在其内部设置的第 4 布线 48 即可。在本实施例中，只沿密封树脂 10 的厚度方向贯通该密封树脂 10，以露出各芯片连接布线 5 的焊盘连接部 5a 上所设置了的 Ni/Au 镀敷部 7 的表面的深度来形成设置电连接到半导体芯片 1 上的第 4 布线 48 的各凹部 49。

此外，虽然省略图示，但在本实施例中，设置与各芯片连接布线 5（半导体芯片 1）断开的第 4 布线 48 的各凹部也作为非贯通通路孔来形成。通过将全部的第 4 布线用凹部 49 作为非贯通通路孔来形成，不管半导体芯片

1与各第4布线48的连接状态如何,可简化(单一化)形成第4布线用凹部49的工序。于是,可提高本实施例的半导体器件32的制造效率。在以下的说明中,将电连接到半导体芯片1上的第4布线48一并地电连接到各芯片连接布线5和各第3布线47上而设置的部位称为第2布线连接部(第2外部端子部、表层连接端子部)50。

例如使用激光光线,通过从密封树脂10表面一侧沿厚度方向在该密封树脂10中开孔直到Ni/Au镀敷部7的表面露出为止来形成在第2布线连接部50中形成的各非贯通通路孔49。此时,使被刻蚀而形成的表层连接端子部50的各芯片连接布线5起到盲Cu掩模的功能,以便将在第2布线连接部50中形成的第4布线用凹部49作为不贯通柔性基体材料41、各第2布线43的非贯通通路孔来形成。

其次,如图10(c)中所示,利用与第1实施例同样的工序,在密封树脂10的表面上和各非贯通通路孔49的内侧一体地且一并地设置成为第3布线47和第4布线48的1层Cu层51。即,通过连续地进行无电解镀敷法和电解镀敷法,在密封树脂10的表面上和各非贯通通路孔49的内侧一体地且一并地设置由厚度约 $0.01\mu\text{m}$ ~ $1\mu\text{m}$ 左右的无电解Cu层和厚度约 $1\mu\text{m}$ ~ $30\mu\text{m}$ 左右的电解Cu层一体化而构成的1层Cu层51。在各非贯通通路孔49的内侧设置了的Cu层51直接作为定为第4布线的非贯通通路插塞48来使用。

再有,在本实施例中,根据各非贯通通路孔49的直径的大小将电解Cu层的厚度设定为适宜的、适当的大小,以免堵塞各非贯通通路孔49。此外,在该一系列的镀敷工序中,假定柔性基体材料41的芯片非安装面41b一侧露出并在基体材料主体42内设置了的各第2布线43的表面仍为用在形成上述的各芯片连接布线5时设置了的掩模在整个面上覆盖的状态。在该一系列的镀敷工序结束了后,在预定的阶段中从各第2布线43的表面剥离该掩模即可。

如上所述,在表层连接端子部50上形成了的各非贯通通路插塞48(Cu层51)与成为在密封树脂10的表面上设置了的第3布线47的Cu层51

实现了一体化。与此同时，在表层连接端子部 50 上形成了的各非贯通通路插塞 48 经各 Ni/Au 镀敷部 7 电连接到在柔性基体材料 2 的芯片安装面 2a 上形成了的各芯片连接布线（第 1 布线）5 上。由此，树脂密封封装体 11 内的半导体芯片 1 如图 2（b）中所示，经作为内部布线的各非贯通通路插塞 48 和各芯片连接布线 5 等电连接到作为外部布线的第 2 和第 3 各布线 43、47 上。但是，与第 1 实施例同样，没有必要将全部的非贯通通路插塞 48 电连接到半导体芯片 1 上来形成。各非贯通通路插塞 48 中的几个可与半导体芯片 1 非电连接地来形成。与半导体芯片 1 断开了的各非贯通通路插塞 48 可作为虚设插塞或中继插塞来形成。

其次，如图 11（a）中所示，利用与第 1 实施例同样的工序，在密封树脂 10 的表面上形成由 1 层 Cu 层 51 构成的多条第 3 布线 47。各第 3 布线 47 中的几条经各非贯通通路插塞（第 4 布线）48 和各芯片连接布线（第 1 布线）5 电连接到半导体芯片 1 上。但是，与第 1 实施例同样，没有必要将全部的第 3 布线 47 电连接到半导体芯片 1 上来形成。各第 3 布线 47 中的几条可与半导体芯片 1 非电连接地来形成。与半导体芯片 1 断开了的各第 3 布线 47 可作为虚设布线或中继布线来形成。此外，与上述的第 1 实施例同样，在本实施例中，也将树脂密封封装体 46 的形成第 3 布线 47 的一侧（密封树脂 10 一侧）的主面定为封装体安装面 46a，并将树脂密封封装体 46 的形成第 2 布线 43 的一侧（柔性基体材料 41 一侧）的主面定为基板安装面 46b。

其次，如图 11（b）中所示，利用与第 1 实施例同样的工序，在形成了多条第 3 布线 47 的密封树脂 10 的表面上用预先确定的预定的图形涂敷焊料抗蚀剂 17。

其后，虽然省略图示，但利用与第 1 实施例同样的工序，根据需要成为封装体安装用端子的各第 3 布线 47 的表面进行防锈处理或 Ni/Au 镀敷处理等的预定的表面处理。接着，在树脂密封封装体 46 的封装体安装面 46a 上设置膏状焊锡。与此同时，在树脂密封封装体 46 的基板安装面 46b 上根据需要使多个焊锡球与各第 2 布线 43 接触（接合）来安装。接着，在

设置了膏状焊锡的树脂密封封装体 46 上实施回流焊,以覆盖从焊料抗蚀剂 17 露出的各第 3 布线 47 的表面的方式形成厚度约为 $50\mu\text{m} \sim 0.3\text{mm}$ 的焊锡层。与此同时,利用焊锡层填埋形成了各非贯通通路插塞 48 的各非贯通通路孔 49 内。此外,根据需要对成为基板安装用端子的各第 2 布线 43 进行例如防锈处理或 Ni/Au 镀敷处理等使焊锡容易浸润、而且在高温测试时在各第 2 布线 6 的表面上难以形成非熔融氧化膜的表面处理。

接着,利用切割等,将利用以上的工序一并地制作的树脂密封封装体 46 的集合体从带状态切断为各个封装体而成为小片。其后,对各个树脂密封封装体 46 中的每一个实施各种测试。然后,将在这些测试中合格的树脂密封封装体 46 定为合格品。由此,得到以图 11 (b) 中示出的树脂密封封装体 46 为主要的构成部分的与本实施例有关的预期的半导体器件 52。

即,得到由树脂密封封装体 46 构成的半导体器件 52,在上述的树脂密封封装体 46 中,在树脂密封封装体 46 的封装体安装面 46a 上具备多条作为封装体安装用端子(封装体安装用布线)的 Cu 布线(第 3 布线) 47,同时在树脂密封封装体 46 的基板安装面 46b 一侧具备多条 Cu 布线(第 2 布线) 43,该 Cu 布线 43 的一端贯通芯片安装基体材料 41 的基体材料主体 42 电连接到在芯片安装基体材料 41 的芯片安装面 41a 上设置的多条 Cu 芯片连接布线(第 1 布线) 5 上,同时其另一端作为在芯片安装基体材料 41 的芯片非安装面 41b 一侧露出的基板安装用端子,而且,以引线键合方式连接到各 Cu 芯片连接布线 5 上地安装在芯片安装基体材料 41 上的 1 个半导体芯片 1 经沿密封树脂 10 的厚度方向贯通该密封树脂 10 设置的多条非贯通通路插塞(第 4 布线) 48 和各 Cu 芯片连接布线 5,电连接到各 Cu 布线 43 和各 Cu 布线 47 上。

其后,在半导体器件 52 的封装体安装面 46a 上根据需要安装未图示的无源部件等的预定的外部装置。与此同时,在半导体器件 52 的基板安装面 46b 上根据需要安装未图示的安装基板。或者,根据需要层叠多个半导体器件 52,作为多芯片封装体来使用。

如以上已说明的那样,按照该第 4 实施例,即使采用单面敷铜带 41

来代替上述第 1 及第 3 各实施例中采用的两面敷铜带 2 也可得到与上述的第 1 和第 3 实施例同样的效果。此外, 由于将由 Cu 构成的各第 2 布线 43 填埋在柔性基体材料 41 的基体材料主体 42 的内部而形成, 故难以被氧化。即, 以其品质难以恶化的方式来形成各第 2 布线 43, 提高了各第 2 布线 43 的耐久性和可靠性等。于是, 提高了具备这样的各第 2 布线 43 的本实施例的半导体器件 52 的品质、可靠性、耐久性和成品率等。这样, 按照本实施例, 可高效地且低成本地、容易地制造通用性、品质、可靠性、耐久性和成品率等高的半导体器件 52。

(第 5 实施例)

其次, 一边参照图 12~图 14, 一边说明与本发明有关的第 5 实施例。图 12~图 14 分别是示出与本实施例有关的半导体器件的制造方法的工序剖面图。再有, 对与第 1 实施例为同一的部分附以同一符号, 省略其详细的说明。

在本实施例中, 说明具体地组合上述的第 3 实施例与第 4 实施例而构成的半导体器件及其制造方法。以下, 详细地说明。

首先, 如图 12(a) 中所示, 准备在上述的第 4 实施例中使用了的 1 片柔性基体材料(单面敷铜带) 41 作为芯片安装基体材料。在该柔性基体材料 41 的芯片安装面 41a 上利用与第 3 实施例同样的工序, 设置包含至少 1 条芯片连接布线的多条第 1 布线 5。这些各第 1 布线 5 中也包含利用倒装芯片连接法将至少 1 个半导体芯片 1 电连接而安装的芯片安装岛 8。此外, 在芯片安装岛 8 的焊盘连接部 5a 的表面上, 利用与第 3 实施例同样的工序, 根据半导体芯片 1 的各连接用焊盘部的配置, 设置多个 Ni/Au 镀敷凸点 31。与此同时, 在柔性基体材料 41 的各第 1 布线连接部 45 上利用与第 4 实施例同样的工序设置多条第 2 布线 43, 该多条第 2 布线 43 的一端贯通芯片安装基体材料 41 的基体材料主体 42 电连接到在芯片安装面 41a 上的各芯片连接布线(第 1 布线) 5 上, 同时其另一端在柔性基体材料 41 的芯片非安装面 41b 一侧露出。

其次, 如图 12(b) 中所示, 利用与第 3 实施例同样的工序, 将 1 个

半导体芯片 1 经各 Ni/Au 镀敷凸点 31 倒装芯片连接到芯片安装岛 8 上。与此同时，利用粘接剂 32 将半导体芯片 1 粘接到芯片安装岛 8 上。由此，将半导体芯片 1 电连接到至少 1 条芯片连接布线 5 上，安装在柔性基体材料 41 的芯片安装面 41a 上。

其次，如图 12 (c) 中所示，与第 3 实施例同样，利用传递模塑法，以覆盖半导体芯片 1、各芯片连接布线 5、芯片安装岛 8(各焊盘连接部 5a)、各 Ni/Au 镀敷凸点 31 和粘接剂 32 等的方式在柔性基体材料 41 的芯片安装面 41a 上设置密封树脂 10。利用以上的工序，制作由半导体芯片 1、柔性基体材料 41 和密封树脂 10 等构成的树脂密封封装体 61。该树脂密封封装体 61 成为本实施例的半导体器件 64 的主要的构成部分。

其次，如图 13 (a) 中所示，利用与第 4 实施例同样的工序，在树脂密封封装体 61 的各第 2 布线连接部 50 上沿密封树脂 10 的厚度方向只贯通密封树脂 10 设置多个非贯通通路孔 49。

其次，如图 13 (b) 中所示，与第 4 实施例同样，通过连续地进行无电解镀敷法和电解镀敷法，在密封树脂 10 的表面上和各非贯通通路孔 49 的内侧一体地且一并地设置由厚度约 $0.01\mu\text{m} \sim 1\mu\text{m}$ 左右的无电解 Cu 层和厚度约 $1\mu\text{m} \sim 30\mu\text{m}$ 左右的电解 Cu 层一体化而构成的 1 层 Cu 层 51。在以后的工序中将在密封树脂 10 的表面上设置了的 Cu 层 51 加工形成成为多条第 3 布线 47。此外，在各非贯通通路孔 49 的内侧设置了的 Cu 层 51 直接作为定为多条第 4 布线的多条非贯通通路插塞 48。

其次，如图 13 (c) 中所示，利用与第 4 实施例同样的工序，在密封树脂 10 的表面上形成由 1 层 Cu 层 51 构成的多条第 3 布线 47。各第 3 布线 47 中的几条经各非贯通通路插塞 48 和各芯片连接布线 5 电连接到半导体芯片 1 上。

与上述的第 1、第 3 和第 4 各实施例同样，在本实施例中，也将树脂密封封装体 61 的形成第 3 布线 47 的一侧(密封树脂 10 一侧)的主面定为封装体安装面 61a，同时将树脂密封封装体 61 的形成了第 2 布线 43 的一侧(柔性基体材料 41 一侧)的主面定为基板安装面 61b。

其次，如图 13 (d) 中所示，利用与第 1、第 3 和第 4 实施例同样的工序，在形成了多条第 3 布线 47 的密封树脂 10 的表面上以预先确定了预定的图形涂敷焊料抗蚀剂 17。接着，虽然省略图示，但利用与第 1 实施例同样的工序，根据需要对成为封装体安装用端子的各第 3 布线 47 进行防锈处理或 Ni/Au 镀敷处理等的预定的表面处理。

其次，如图 14 (a) 中所示，在树脂密封封装体 61 的各封装体安装面 61a 上各设置 1 个地设置将外部部件等电连接到各第 3 布线 47 和各非贯通通路插塞 48 上用的连接用导电构件 62。在本实施例中，具体地说，在从焊料抗蚀剂 17 露出的各第 3 布线 47 的表面上各设置 1 个焊锡球 62。与此同时，在各设置了 1 个非贯通通路插塞 48 的各非贯通通路孔 49 的开口部中各设置 1 个焊锡球 62。

其次，如图 14 (b) 中所示，在树脂密封封装体 61 的芯片安装面 61a 上形成焊锡层 63。具体地说，与第 1 实施例同样，通过对在树脂密封封装体 61 的封装体安装面 61a 上所设置的各焊锡球 62 实施回流焊，以覆盖从焊料抗蚀剂 17 露出的各第 3 布线 47 的表面的方式形成焊锡层 63。与此同时，利用焊锡层 63 填埋各设置了 1 个非贯通通路插塞 48 的各非贯通通路孔 49 内。其后，虽然省略图示，但利用与第 1 实施例同样的工序，根据需要对成为基板安装用端子的各第 2 布线 43 进行例如防锈处理或 Ni/Au 镀敷处理等使焊锡容易浸润、而且在高温测试时在各第 2 布线 43 的表面上难以形成非熔融氧化膜的表面处理。

接着，利用切割等，将利用以上的工序一并地制作了树脂密封封装体 61 的集合体从带状态切断为各个封装体而成为小片。其后，对各个树脂密封封装体 61 中的每一个实施各种测试。然后，将在这些测试中合格的树脂密封封装体 61 定为合格品。由此，得到以图 14 (b) 中示出的树脂密封封装体 61 为主要的构成部分的与本实施例有关的预期的半导体器件 64。

即，得到由树脂密封封装体 61 构成的半导体器件 64，在上述的树脂密封封装体 61 中，在树脂密封封装体 61 的封装体安装面 61a 上具备多条作为封装体安装用端子（封装体安装用布线）的 Cu 布线（第 3 布线）47，

同时在树脂密封封装体 61 的基板安装面 61b 一侧具备多条 Cu 布线（第 2 布线）43，该 Cu 布线 43 的一端贯通芯片安装基体材料 41 的基体材料主体 42 电连接到在芯片安装基体材料 41 的芯片安装面 41a 上所设置的多条 Cu 芯片连接布线（第 1 布线）5 上，同时其另一端作为在芯片安装基体材料 41 的芯片非安装面 41b 一侧露出的基板安装用端子，而且，以倒装芯片连接方式连接到各 Cu 芯片连接布线 5 上地安装在芯片安装基体材料 41 上的 1 个半导体芯片 1 经沿密封树脂 10 的厚度方向贯通该密封树脂 10 地设置的多条非贯通通路插塞（第 4 布线）48 和各 Cu 芯片连接布线 5，电连接到各 Cu 布线 43 和各 Cu 布线 47 上。

其后，在半导体器件 64 的封装体安装面 61a 上根据需要安装未图示的无源部件等的预定的外部装置。与此同时，在半导体器件 64 的基板安装面 61b 上根据需要安装未图示的安装基板。或者，根据需要层叠多个半导体器件 64，作为多芯片封装体来使用。再有，在后述的第 6 实施例中详细地说明层叠多个半导体器件 64 作为多芯片封装体使用的技术。

如以上已说明的那样，按照该第 5 实施例，可得到与上述的第 1、第 3 和第 4 各实施例同样的效果。此外，在本实施例中，利用倒装芯片连接法将半导体芯片 1 安装到在基体材料主体 42 的内部填理由 Cu 构成的各第 2 布线 43 形成的柔性基体材料（单面敷铜带）41 上。由此，既提高了半导体器件 64 的品质、可靠性、耐久性、性能、生产效率和成品率等，又可谋求半导体器件 64 的小型化和高集成化，同时可抑制其生产成本。即，按照本实施例，可高效地且低成本地、容易地制造通用性、品质、可靠性、耐久性、性能（功能）和成品率等高且小型的半导体器件 64。

（第 6 实施例）

其次，一边参照图 15 和图 16，一边说明与本发明有关的第 6 实施例。图 15 和图 16 分别是示出与本实施例有关的半导体器件的制造方法的工序剖面图。再有，对与第 1 实施例为同一的部分附以同一符号，省略其详细的说明。

在本实施例中，说明层叠多个与上述的第 5 实施例有关的半导体器件

64 而构成的半导体器件及其制造方法。以下，详细地说明。

首先，如图 15 中所示，层叠 4 个第 5 实施例的半导体器件 64 来配置。此时，使下侧的半导体器件 64 的封装体安装面 61a 上的各焊锡层 63 与上侧的半导体器件 64 的基板安装面 61b 上的各下部连接端子(各下部连接布线、各第 2 布线) 43 接触，配置各半导体器件 64。

其次，如图 16 中所示，对已被层叠的 4 个半导体器件 64 实施回流焊。由此，在相邻的半导体器件 64 相互间被电连接的同时，互相被接合。

其后，虽然省略图示，但在低温或高温等各种各样的环境下对由已被接合的 4 个半导体器件 64 构成的层叠体实施用于检查各层叠体能否实际上作为制品使用的各种测试。然后，将在这些测试中合格的层叠体定为合格品。由此，如图 16 中所示，得到与本实施例有关的预期的半导体器件 71。即，得到作为层叠 4 个作为单芯片封装体(单芯片模块)的第 5 实施例的半导体器件 64 而构成的芯片层叠型的多芯片封装体(多芯片模块)的半导体器件 71。

其后，在最上层的单芯片封装体 64 的封装体安装面 61a 上根据需要安装未图示的无源部件等的预定的外部装置。与此同时，在最下层的单芯片封装体 64 的基板安装面 61b 上根据需要安装未图示的安装基板。

如以上已说明的那样，按照该第 6 实施例，可得到与上述的第 2 实施例同样的效果。此外，在本实施例的芯片层叠型的多芯片封装体 71 中，将第 5 实施例的半导体器件 64 作为单芯片封装体使用而层叠。由此，既进一步提高了多芯片封装体 71 的品质、可靠性、耐久性、性能、生产效率和成品率等，又可实现多芯片封装体 71 的进一步小型化和更高的集成化，同时可进一步抑制其生产成本。即，按照本实施例，可更高效地且更低成本地、更容易地制造通用性、品质、可靠性、耐久性、性能(功能)和成品率等更高且更小型的芯片层叠型的多芯片封装体 71。

(第 7 实施例)

其次，一边参照图 17，一边说明与本发明有关的第 7 实施例。图 17 是示出与本实施例有关的半导体器件的剖面图。再有，对与第 1 实施例为

同一的部分附以同一符号，省略其详细的说明。

在本实施例中，说明在1个半导体器件中层叠多个半导体元件而构成的半导体器件及其制造方法。以下，详细地说明。

首先，在图17(a)中示出与上述的第1实施例的树脂密封封装体11(半导体器件20)同样地在由两面敷铜带构成的柔性基体材料2的芯片安装面2a上以引线键合方式连接了半导体芯片1而安装的树脂密封封装体81。在柔性基体材料2上形成多条第1布线(芯片连接布线)5。但是，与第1实施例不同，在柔性基体材料2的芯片安装面2a上层叠并安装了3个半导体芯片1。各半导体芯片1分别利用Au键合引线9电连接到各芯片连接布线5上。此外，在密封树脂10的表面上设置成为第3布线的Cu箔82。

虽然省略图示，但在由这样的结构构成的树脂密封封装体81中分别各形成多条第2~第4各布线。利用与第1实施例同样的工序来形成第2~第4各布线中的第2和第3各布线即可。即，将在柔性基体材料2的芯片非安装面2b上设置的Cu箔4刻蚀成预定的图形来形成各第2布线即可。同样，将在密封树脂10的表面上设置的Cu箔82刻蚀成预定的图形来形成各第3布线即可。但是，各第4布线(贯通插塞)与第1实施例不同，与各第3布线分开地且用另外的工序来形成。

具体地说，首先，使用钻头等沿树脂密封封装体81的厚度方向一并地贯通Cu箔82(各第3布线)、密封树脂10、各Ni/Au镀敷部7、各芯片连接布线(第1布线)、柔性基体材料2和Cu箔4(各第2布线)以形成多个通孔。其后，例如利用镀敷法，以覆盖各通孔的内壁面的方式设置Cu层。由此，在树脂密封封装体81中形成沿树脂密封封装体81的厚度方向一并地电连接各芯片连接布线(第1布线)、各第2布线和各第3布线的多个通路插塞。

再有，按照这样的布线形成工序，可将形成各第2布线、各第3布线和各通路插塞的顺序设定为适宜的、适当的顺序。例如可按各第2布线、各第3布线、然后各通路插塞的顺序来形成。此外，可按各第3布线、各

第 2 布线、然后各通路插塞的顺序来形成。此外，可按各通路插塞、各第 2 布线、然后各第 3 布线的顺序来形成。此外，可按各通路插塞、各第 3 布线、然后各第 2 布线的顺序来形成。或者，可在一并地形成各第 2 布线和各第 3 布线后形成各通路插塞。进而，可在形成了各通路插塞后一并地形成各第 2 布线和各第 3 布线。

在树脂密封封装体 81 中形成了第 2~第 4 各布线后，在形成了各第 2 布线的柔性基体材料 2 的芯片非安装面 2b 上和形成了各第 3 布线的密封树脂 10 的表面上分别以预先确定了预定的图形涂敷焊料抗蚀剂。接着，根据需要对各第 2 布线和各第 3 布线中成为封装体安装用端子的各布线进行 Ni/Au 镀敷处理或防锈处理等的预定的表面处理。接着，在树脂密封封装体 81 的封装体安装面 81a 上设置膏状焊锡。与此同时，在树脂密封封装体 81 的基板安装面 81b 上根据需要使多个焊锡球与各第 2 布线接触（接合）来安装。

接着，对设置了膏状焊锡的树脂密封封装体 81 实施回流焊，以覆盖从焊料抗蚀剂露出的各第 3 布线的表面的方式形成焊锡层。与此同时，利用焊锡层填入形成了各通路插塞（第 4 布线）的各通孔内。此外，根据需要对成为基板安装用端子的各第 2 布线进行例如防锈处理或 Ni/Au 镀敷处理等焊锡容易浸润、而且在高温测试时在各第 2 布线的表面上难以形成非熔融氧化膜的表面处理。

接着，利用切割等，将利用以上的工序一并地制作了的树脂密封封装体 81 的集合体从带状态切断为各个封装体而成为小片。其后，对各个树脂密封封装体 81 中的每一个实施各种测试。然后，将在这些测试中合格的树脂密封封装体 81 定为合格品。由此，得到以图 17 (a) 中示出的树脂密封封装体 81 为主要的构成部分的与本实施例有关的预期的半导体器件 83。即，得到在由与第 1 实施例的树脂密封封装体 11 大致同样的结构构成的树脂密封封装体 81 内利用引线键合法层叠 3 个半导体芯片 1 而安装的半导体器件 83。

其后，在半导体器件 83 的封装体安装面 81a 上根据需要安装未图示的

无源部件等的预定的外部装置。与此同时，在半导体器件 83 的基板安装面 81b 上根据需要安装未图示的安装基板。或者，根据需要层叠多个半导体器件 83，作为多芯片封装体来使用。

其次，在图 17 (b) 中示出与上述的第 4 实施例的树脂密封封装体 46 (半导体器件 52) 同样地在由单面敷铜带构成的柔性基体材料 41 的芯片安装面 41a 上以倒装芯片连接方式连接了半导体芯片 1 而安装的树脂密封封装体 84。在柔性基体材料 41 上各形成了多条第 1 布线 (芯片连接布线) 5 和第 2 布线 43。但是，与第 4 实施例不同，在柔性基体材料 41 的芯片安装面 41a 上层叠并安装了 3 个半导体芯片 1。各半导体芯片 1 分别利用 Au 键合引线 9 电连接到各芯片连接布线 5 上。此外，在密封树脂 10 的表面上设置成为第 3 布线的 Cu 箔 82。

虽然省略图示，但在由这样的结构构成的树脂密封封装体 84 中分别各形成多条第 3 和第 4 各布线。与第 4 实施例同样，将在密封树脂 10 的表面上设置的 Cu 箔 82 刻蚀成预定的图形来形成各第 3 布线即可。但是，各第 4 布线 (非贯通通路插塞) 与第 4 实施例不同，与各第 3 布线分开地且用另外的工序来形成。

具体地说，首先，使用预定的激光光线，沿树脂密封封装体 84 的厚度方向一并地只贯通 Cu 箔 82 (各第 3 布线) 和密封树脂 10 来形成多个非贯通通路孔。其后，例如利用镀敷法，在各非贯通通路孔的内侧设置 Cu 层。由此，在树脂密封封装体 84 中形成沿树脂密封封装体 84 的厚度方向一并地电连接各电连接到各第 3 布线和各第 2 布线上的芯片连接布线 (第 1 布线) 的多个非贯通通路插塞。

再有，按照这样的布线形成工序，可将形成各第 3 布线和各非贯通通路插塞的顺序设定为适宜的、适当的顺序。例如可按各第 3 布线、然后各非贯通通路插塞的顺序来形成。此外，可按各非贯通通路插塞、然后各第 3 布线的顺序来形成。

在树脂密封封装体 84 中形成了第 3 和第 4 各布线后，在形成了各第 2 布线 43 的柔性基体材料 41 的芯片非安装面 41b 上和形成了各第 3 布线的

密封树脂 10 的表面上分别以预先确定了的预定的图形涂敷焊料抗蚀剂。接着, 根据需要对各第 2 布线和各第 3 布线中成为封装体安装用端子的各布线进行 Ni/Au 镀敷处理或防锈处理等的预定的表面处理。接着, 在树脂密封封装体 84 的封装体安装面 84a 上设置膏状焊锡。与此同时, 在树脂密封封装体 84 的基板安装面 84b 上根据需要使多个焊锡球与各第 2 布线 43 接触(接合)来安装。

接着, 对设置了膏状焊锡的树脂密封封装体 84 实施回流焊, 以覆盖从焊料抗蚀剂露出的各第 3 布线的表面的方式形成焊锡层。与此同时, 利用焊锡层填入形成了各非贯通通路插塞(第 4 布线)的各非贯通通路孔内。此外, 根据需要对成为基板安装用端子的各第 2 布线 43 进行例如防锈处理或 Ni/Au 镀敷处理等焊锡容易浸润、而且在高温测试时在各第 2 布线 43 的表面上难以形成非熔融氧化膜的表面处理。

接着, 利用切割等, 将利用以上的工序一并地制作了的树脂密封封装体 84 的集合体从带状态切断为各个封装体而成为各片。其后, 对各个树脂密封封装体 84 的每一个实施各种测试。然后, 将在这些测试中合格的树脂密封封装体 84 中定为合格品。由此, 得到以图 17(b) 中示出的树脂密封封装体 84 为主要的构成部分的与本实施例有关的另外的预期的半导体器件 85。即, 得到在由与第 4 实施例的树脂密封封装体 46 大致同样的结构构成的树脂密封封装体 84 内利用引线键合法层叠 3 个半导体芯片 1 而安装的半导体器件 85。

其后, 在半导体器件 85 的封装体安装面 84a 上根据需要安装未图示的无源部件等的预定的外部装置。与此同时, 在半导体器件 85 的基板安装面 84b 上根据需要安装未图示的安装基板。或者, 根据需要层叠多个半导体器件 85, 作为多芯片封装体来使用。

如以上已说明的那样, 按照该第 7 实施例, 可得到与上述的第 1 和第 3~第 5 各实施例同样的效果。此外, 本实施例的各半导体器件 83、85 在其中层叠并具备多个半导体芯片 1。即, 本实施例的各半导体器件 83、85 分别作为 1 个芯片层叠型的多芯片封装体来构成。因而, 各半导体器件 83、

85 与第 1 和第 3~第 5 各实施例的各半导体器件 20、34、52、64 相比,可以谋求更高的高集成化和高功能化(多功能化)。此外,如果半导体芯片 1 的层叠数相同,则与层叠多个第 1 和第 5 各实施例的半导体器件 20、64 而构成的第 2 和第 6 各实施例的半导体器件(多芯片封装体)21、71 相比,可极为紧凑地制作。

(第 8 实施例)

其次,一边参照图 18~图 20,一边说明与本发明有关的第 8 实施例。图 18 是示出成为与本实施例有关的半导体器件具备的第 3 布线的导电体的立体图和平面图。图 19 和图 20 是示出与本实施例有关的半导体器件的制造方法的工序剖面图。再有,对与第 1 实施例为同一的部分附以同一符号,省略其详细的说明。

在本实施例中,说明一并地设置密封树脂和第 3 布线(上部布线、封装体安装用布线)而构成的半导体器件及其制造方法。以下,详细地说明。

首先,在说明本发明之前,一边参照图 25~图 27,一边说明作为对于本实施例的比较例的背景技术。

图 25 中示出的半导体器件(半导体封装体)301 例如用接下来叙述的方法来制造。首先,将半导体芯片 302 以小片连接方式安装在小片底座 303 上。接着,经多条键合引线 304 将半导体芯片 302 具有的未图示的多个连接焊盘(电极)电连接到多条引线框 305 上。接着,将半导体芯片 302、小片底座 303、各键合引线 304 和各引线框 305 收纳在未图示的模塑金属模的腔体内。其后,使由环氧树脂与二氧化硅充填剂的混合树脂构成的密封树脂(模塑树脂)306 流入腔体内,进行传递成形(传递模塑)。此时,设定为不利用模塑树脂 306 覆盖各引线框 305 的未连接到半导体芯片 302 上的一侧的端部。由此,如图 25 中所示,得到各引线框 305 的未连接到半导体芯片 302 上的一侧的端部从模塑树脂 306 露出了的半导体封装体(树脂密封封装体)。

此外,图 26 中示出的半导体器件(半导体封装体)311 例如用接下来叙述的方法来制造。首先,将多个半导体芯片 302 层叠并安装在 1 片芯片

安装基板 312 上。使用粘接材料 313 将各半导体芯片 302 粘接在芯片安装基板 312 或下侧的半导体芯片 302 上。与此同时，将各半导体芯片 302 的各连接焊盘经多条键合引线 304 电连接到芯片安装基板 312 的芯片安装面 312a 上所设置的多条芯片连接布线 314 上。接着，将各半导体芯片 302、芯片安装基板 312 和各键合引线 304 收纳在模塑金属模的腔体内。其后，使由环氧树脂与二氧化硅充填剂的混合树脂构成的模塑树脂 306 流入腔体内，进行传递成形。此时，设定为模塑树脂 306 以覆盖各半导体芯片 302、各键合引线 304 和各芯片连接布线 314 的方式只设置在芯片安装基板 312 的芯片安装面 312a 上。其后，在芯片安装基板 312 的芯片非安装面 312b 上设置多个作为外部端子的焊锡球（Ball Grid Array: BGA 球栅格阵列）315。由此，如图 26 中所示，得到利用模塑树脂 306 覆盖了各半导体芯片 302、各键合引线 304 和各芯片连接布线 314 的芯片层叠型的半导体封装体（多芯片 BGA 封装体）311。

此外，图 27 中示出的半导体器件（半导体封装体）321 实质上是在上述的图 26 中示出的芯片层叠型的半导体封装体 311 中在芯片安装基板 312 上只安装了 1 个半导体芯片 302 的封装体。即，图 27 中示出的半导体封装体 321 是所谓的单芯片 BGA 封装体。

按照以上已说明的半导体封装体的制造方法，除了各焊锡球 315 或各引线框 305 的端部等在芯片安装基板 312 或引线框 305 上预先制成了的 I/O 端子以外，用模塑树脂 306 进行了覆盖。即，按照上述的半导体封装体的制造方法，在成为各半导体封装体 301、311、321 的上表面的模塑树脂 306 的表面上不能制作电连接其它的装置或部件用的布线或端子。因此，虽然省略图示，但如果将各半导体封装体 301、311、321 安装在安装基板上，则在安装了各半导体封装体 301、311、321 的区域中不能安装（配置）其它的半导体封装体或无源部件等。因而，如果将各半导体封装体 301、311、321 与其它的半导体封装体或无源部件等一并混合装载在 1 片安装基板上，则只能沿安装基板的表面的方向配置这些封装体或部件，半导体封装体 301、311、321 成为对于提高安装密度的障碍。

再有，例如在特开平 11-87560 号公报、特开平 10-284873 号公报、特开 2001-189515 号公报、特开 2001-223295 号公报、特开 2001-127186 号公报、特开 2000-31207 号公报等中公开了关于由图 25~图 27 中示出的结构构成的半导体器件及其制造方法的技术。

本实施例是为了改善使用由上述的结构构成的树脂密封封装体（模塑封装体）的情况的安装密度的下降而进行的，其目的在于提供在密封材料的表面上具备能连接外部装置等的布线或端子并能容易地且高效地制造的半导体器件。此外，其目的在于提供能容易地且高效地制造这样的半导体器件的半导体器件的制造方法。

在本实施例中，与上述的第 1、第 3~第 5 和第 7 各实施例同样，利用传递模塑法来密封在基板上安装了半导体芯片。但是，在进行密封时，在模塑金属模与半导体芯片（基板）之间设置覆盖半导体芯片的被形成为箱形状的导电体。然后，朝向该导电体与安装了半导体芯片的基板之间供给密封材料。由此，一并地进行半导体芯片等的密封和对密封树脂的表面（模塑密封面）上的导电体的设置。在模塑密封面上设置了的导电体成为上部布线（上部端子）或封装体安装用布线（封装体安装用端子）。以下，一边参照图 18~图 20，一边详细地说明与本实施例有关的半导体器件及其制造方法。

首先，一边参照图 18(a)、(b)，一边说明在密封树脂 10 的表面上设置并成为第 3 布线（上部布线、封装体安装用布线）的导电体 91。对于导电体 91 来说，最好使用由其厚度约 1~20 μm 的电解铜构成的铜箔（Cu 箔）。在本实施例中使用的 Cu 箔 91，如图 18(a) 中所示，由分别被形成为四角形状的 1 个主面（盖部、底部）91a 和 4 个侧面（侧壁部）91b 构成。Cu 箔 91，具体地说，被形成为与在后述的模塑工序中使用的模塑金属模 84 的腔部 85 的形状一致的箱形状。此外，Cu 箔 91 在与密封树脂 10（半导体芯片 1）对向的一侧开口，被形成为覆盖在芯片安装基体材料 2（41）上安装了的半导体芯片 1 的箱形状。

关于 Cu 箔 91 的成为箱形状的成形，具体地说，最好使用未图示的冲

切金属模一并地进行成为图 18 (b) 中示出的十字形状的冲切和成为图 18 (a) 中示出的箱形状的折弯。此时, 将各侧壁部(折弯部)91b 的高度(宽度)设定为这些部分在密封工序中和密封工序后没有与在芯片安装基体材料 2 (41) 中安装了的半导体芯片 1 接触的危险的大小。具体地说, 优选将各侧壁部 91b 的高度设定为在从芯片安装基体材料 2 (41) 的芯片安装面 2a (41a) 到半导体芯片的表面(上表面)的高度上加上了约 10 ~ 200 μm 的大小。

此外, 在 Cu 箔 91 中在至少 1 个部位上设置从其外侧将密封树脂 10 导入到内侧用的密封材料导入口 92。在与模塑金属模 94 的密封树脂射出部 96 对应的位置上设置该密封材料导入口 92。在本实施例中, 如图 18 (a)、(b) 中所示, 在 Cu 箔 91 的四个角部中的 1 个部位上设置密封材料导入口 92。此外, 为了使密封树脂 10 经密封材料导入口 92 从 Cu 箔 91 的外侧顺利地流入内侧, 通过使各侧壁部 91b 的相互间的间隔分离为大于等于模塑金属模 94 的密封树脂射出部 96 的大小来形成该密封材料导入口 92。

同样, 在 Cu 箔 91 中, 在与密封材料导入口 92 不同的部位上设置使气体在其内侧和外侧自由地出入用的至少 1 个通气口 93。在模塑金属模 94 中设置了在密封树脂 10 流入其内部时从金属模 94 内排出与该密封树脂 10 大致同体积的空气用的排气部(排气口)97。在与模塑金属模 94 的排气部 97 对应的位置上设置通气口 93。在本实施例中, 如图 18 (a)、(b) 中所示, 在 Cu 箔 91 的四个角部中的未设置密封材料导入口 92 的 3 个部位上设置通气口 93。此外, 通过使各侧壁部 91b 的相互间的间隔分离为小于等于模塑金属模 94 的排气部 97 的大小来形成通气口 93, 以便经该通气口 93 能将金属模 94 内的空气从 Cu 箔 91 的内侧排出到外侧。将各通气口 93 形成得比密封材料导入口 92 窄。

其次, 一边参照图 19 (a) ~ (c), 一边说明一并地进行半导体芯片 1 等的密封和向密封树脂 10 的表面上 Cu 箔 91 的设置的本实施例的传递模塑法。

首先，如图 19 (a) 中所示，在由模塑上金属模 94a 和模塑下金属模 94b 构成的模塑金属模 94 的腔部 95 内配置安装了半导体芯片 1 的芯片安装基体材料 2 (41)。同时，在腔部 95 内配置上述的箱形状的 Cu 箔 91，使该箱形状的 Cu 箔 91 的开口侧与半导体芯片 1 对向，以便从半导体芯片 1 及 Au 键合引线 9 等的上方覆盖该半导体芯片 1 及 Au 键合引线 9 等。即，使 Cu 箔 91 的盖部 91a 和侧壁部 91b 沿腔部 95 的模塑上金属模 94a 侧的内表面，将 Cu 箔 91 配置在腔部 95 内。此时，如图 19 (a) 中所示，使 Cu 箔 91 的密封材料导入口 92 与模塑金属模 94 的密封树脂射出部 96 对向。同样，使 Cu 箔 91 的各通气口 93 与模塑金属模 94 的排气部 97 对向。这样，在将安装了半导体芯片 1 的芯片安装基体材料 2 (41) 和 Cu 箔 91 收纳在模塑金属模 94 的腔部 95 内后，朝向腔部 95 内射出密封树脂 10。

其次，如图 19 (b) 中所示，从模塑金属模 94 的密封树脂射出部 96 起经 Cu 箔 91 的密封材料导入口 92 向 Cu 箔 91 与安装了半导体芯片 1 的芯片安装基体材料 2 (41) 之间导入密封树脂 10。

其次，如图 19 (c) 中所示，使密封树脂 10 流入 (充填) Cu 箔 91 与芯片安装基体材料 2 (41) 之间直到基本全部覆盖 Cu 箔 91 的内表面、芯片安装基体材料 2 (41) 上的半导体芯片 1 和各 Au 键合引线 9 等为止。由此，既使 Cu 箔 91 的表面露出，又一并地进行半导体芯片 1 及各 Au 键合引线 9 等的密封和至密封树脂 10 的表面 (模塑密封面) 上的 Cu 箔 91 的安装。在模塑密封面上设置了的 Cu 箔 91 成为第 3 布线，即上部布线 (上部端子) 或封装体安装用布线 (封装体安装用端子) 99。利用以上的工序制作由半导体芯片 1、柔性基体材料 2 (41)、密封树脂 10 和 Cu 箔 91 等构成的树脂密封封装体 (模塑密封封装体) 98。该树脂密封封装体 98 成为本实施例的半导体器件 92 的主要的构成部分。

按照这样的本实施例的传递模塑工序，箱形状的 Cu 箔 91 因向其内侧流入的密封树脂 10 的压力 (射出压) 的缘故而被压向模塑上金属模 94a 一侧。其结果，Cu 箔 91 进而被成形为沿腔部 95 的模塑上金属模 94a 一侧

的内表面的形状（金属模形状）。如上所述，将 Cu 箔 91 的各侧壁部 91b 的高度设定为这些部分在密封工序中和密封工序后没有与在芯片安装基体材料 2（41）中安装了的半导体芯片 1 等接触的危险的大小。因而，Cu 箔 91 在不会与半导体芯片 1、各 Au 键合引线 9 等接触的情况下被安装在模塑密封面上。

此外，按照上述的传递模塑工序，如图 19（c）中所示，将因密封树脂 10 的压力而沿腔部 95 的模塑上金属模 94a 一侧的内表面而成形了的 Cu 箔 91 设置在密封树脂（模塑树脂）10 与模塑上金属模 94a 之间。由于在这样的位置上被配置了的 Cu 箔 91 起到脱模材料的作用，故有助于提高模塑金属模 94 与树脂密封封装体 98 的脱模性。由此，可使在模塑树脂 10 的组成材料整体中所占的脱模材料的比例减少，可提高模塑树脂 10 与 Cu 箔 91 的紧密接合强度。同时，可提高模塑树脂 10 与半导体芯片 1 及芯片安装基体材料 2（41）的紧密接合强度。其结果，可提高树脂密封封装体 98 整体的密封性。

再有，在进行上述的传递模塑工序之前，在芯片安装基体材料 2（41）的芯片安装面 2a（41a）上预先形成经各 Au 键合引线 9 电连接半导体芯片 1 的多条芯片连接布线（第 1 布线）5。而且，在使用芯片安装基体材料 2 的情况下，在传递模塑工序后，在芯片安装基体材料 2 的芯片非安装面 2b 上形成多条第 2 布线 6。这些各第 2 布线 6 成为将半导体芯片 1 电连接到树脂密封封装体 98 的外部的部件等上用的外部连接布线（外部连接端子）或将半导体芯片 1 安装在安装基板上用的外部安装布线（外部安装端子）等。与此同时，在芯片安装基体材料 2 中在传递模塑工序后在上述的各第 1 布线连接部（纵连接部）16 中贯通芯片安装基体材料 2 形成多条第 4 布线。这些各第 4 布线成为沿芯片安装基体材料 2 的厚度方向（纵方向）电连接各芯片连接布线 5 与各第 2 布线 6 用的纵连接布线。

与此相对，在使用芯片安装基体材料 41 的情况下，在进行上述的传递模塑工序之前，在上述的各第 1 布线连接部（第 1 外部端子部、纵连接部）45 中预先贯通芯片安装基体材料 41 形成多条第 2 布线 43。而且，这些各

第2布线43自身起到作为纵连接布线的一部分的作用。

但是，在图19(a)~(c)中，为了容易看附图，只图示芯片安装基体材料2(41)的基体材料主体3、42，省略了芯片连接布线(第1布线)5和第2布线43等的各布线的图示。

其次，一边参照图20(a)、(b)，一边简洁地说明在利用上述的传递模塑工序制作的树脂密封封装体98中形成作为上部布线(封装体安装用布线)的第3布线99及作为纵连接布线的第4布线100等的工序。以下，说明使用为两面敷铜带的芯片安装基体材料2作为芯片安装基体材料的情况。在该情况下，利用与上述的第1和第3各实施例大致同样的方法形成第3布线99和第4布线100。再有，在第9实施例中说明使用引线框来代替芯片安装基体材料的情况。

首先，如图20(a)中所示，使用钻头或激光等在密封树脂10的表面上Cu箔91被一体化地设置了树脂密封封装体98的各第1布线连接部(纵连接部)16中各形成1个通孔12。在本实施例中，在树脂密封封装体98的各纵连接部16中不贯通芯片安装基体材料2的芯片非安装面2b上设置的Cu箔4(第2布线6)、而是只贯通Cu箔91、密封树脂10、各芯片连接布线5和基体材料主体3来形成各通孔12。此时，最好将各通孔12的直径的大小设定为与树脂密封封装体98的厚度之比约为小于等于1:6的大小。此外，最好将在芯片安装基体材料2的形成各通孔12的部分(纵连接部16)的直径的大小设定为在各通孔12的直径的大小上加上了约5~100 μm 左右的大小。即，最好将成为各芯片连接布线(第1布线)5或各第2布线6的Cu箔4中电连接到作为第4布线的贯通插塞100上的部分的直径的大小设定为在通孔12的直径的大小上加上了约5~100 μm 左右的大小。

其次，如图20(b)中所示，通过进行无电解镀铜，在各通孔12的内壁面上全面地设置厚度约为0.01~3 μm 的无电解镀Cu膜。由此，利用各通孔12内的无电解镀Cu膜来确保在树脂密封封装体98的封装体安装面(上表面、表面)98a上设置的Cu箔91和在树脂密封封装体98的基板安

装面（下表面、背面）98b上设置的Cu箔4的导电性。再有，在进行该无电解镀敷工序时，如果在树脂密封封装体98的露出面上有已刻蚀完毕（图形形成完毕）的布线或端子，则利用未图示的掩模来预先覆盖这些布线或端子。其后，通过将各通孔12内的无电解镀Cu膜作为籽层进行电解镀铜，将各通孔12内的Cu膜的膜厚加厚到与一般的布线的厚度为相同程度的厚度。由此，在各通孔12内设置由一体化了的无电解镀Cu膜和电解镀Cu膜构成的Cu膜100。这些各Cu膜100直接成为作为纵连接布线的通路堵塞（第4布线）。

其后，虽然省略图示，但在Cu箔91的表面上粘贴感光性干膜等的抗蚀剂膜。接着，使用描画Cu箔91一侧的多个纵连接端子（布线）、与在封装体安装面98a上安装的部件的连接端子对应的安装端子和多条第3布线99等的各自的图形的曝光掩模进行曝光作业。由此，在Cu箔91的表面上复制上述的各端子及各第3布线99等的图形。其后，对Cu箔91进行刻蚀处理或显影处理等。由此，在树脂密封封装体98的封装体安装面98a上形成多条第3布线99等。接着，根据需要在各第3布线99的表面上涂敷焊料抗蚀剂，在各纵连接端子及各安装端子等的表面上进行Ni/Au镀敷。

同样，虽然省略图示，但在芯片安装基体材料2的芯片非安装面2b上设置的Cu箔4上粘贴感光性干膜等的抗蚀剂膜。接着，使用描画Cu箔4一侧的多个纵连接端子（布线）、与在基板安装面98b上安装的基板的连接端子对应的安装端子和多条第2布线6等的各自的图形的曝光掩模进行曝光作业。由此，在Cu箔4的表面上复制上述的各端子及各第2布线6等的图形。其后，对Cu箔4进行刻蚀处理或显影处理等。由此，在树脂密封封装体98的基板安装面98b上形成多条第2布线6等。接着，根据需要在各第2布线6的表面上涂敷焊料抗蚀剂，在各纵连接端子及各安装端子等的表面上进行Ni/Au镀敷。

利用以上的工序，如图20（b）中所示，在树脂密封封装体98的封装体安装面98a上形成由预期的布线图形构成的多条第3布线99等。各第3

布线99成为在封装体安装面98a上安装封装体等的部件用的部件安装用布线(部件安装用端子)。此外,根据需要对各第2布线6进行例如防锈处理或Ni/Au镀敷处理等焊锡容易浸润,而且在高温测试时在各第2布线6的表面上难以形成非熔融氧化膜的表面处理。与此同时,在树脂密封封装体98的基板安装面98b上使多个焊锡球101与各第2布线6接触(接合)来安装。

接着,利用切割等,将利用以上的工序一并地制作了树脂密封封装体98的集合体从带状态切断为各个封装体而成为各片。其后,对各个树脂密封封装体98中每一个实施各种测试。然后,将在这些测试中合格的树脂密封封装体98定为合格品。由此,得到以图20(b)中示出的树脂密封封装体98为主要的构成部分的与本实施例有关的预期的半导体器件102。即,得到由利用传递模塑工序一体地且一并地设置了多条第3布线99和密封树脂10的树脂密封封装体98构成的半导体器件102。

其后,在半导体器件102的封装体安装面98a上根据需要安装未图示的无源部件等的预定的外部装置。与此同时,在半导体器件102的基板安装面98b上根据需要安装未图示的安装基板。或者,根据需要层叠多个半导体器件102,作为多芯片封装体来使用。

如以上已说明的那样,按照该第8实施例,可得到与上述的第1和第3~第5各实施例同样的效果。此外,在本实施例中,利用传递模塑工序一体地且一并地设置成为第3布线99的Cu箔91和密封树脂10。由此,可提高各第3布线99与密封树脂10的紧密接合强度。提高了与密封树脂10的紧密接合强度的各第3布线99的强度、耐久性和可靠性也被提高。与此同时,通过提高各第3布线99与密封树脂10的紧密接合强度,可减小密封树脂10中的脱模材料的含有量,提高密封树脂10与半导体芯片1或芯片安装基体材料2的紧密粘接强度。其结果可以提高树脂密封封装体98整体的密封性,可提高半导体器件102整体的强度、耐久性和可靠性。

此外,通过一并地设置Cu箔91和密封树脂10,可简化半导体器件102(树脂密封封装体98)的制造工序。再者,在进行传递模塑工序时,

由于只是将 Cu 箔 91 与安装了半导体芯片 1 的芯片安装基体材料 2 一起配置在模塑金属模 94 的腔部 95 内,故一般的组装设备的沿用是极为容易的。因而,几乎没有增加设备费等的负担的问题。这样,按照本实施例,可高效地、低成本地且容易地制造进一步提高了通用性、强度、可靠性和耐久性的半导体器件 102。

(第 9 实施例)

其次,一边参照图 21,一边说明与本发明有关的第 9 实施例。图 21 是示出与本实施例有关的半导体器件的制造方法的工序剖面图。再有,对与第 1 实施例为同一的部分附以同一符号,省略其详细的说明。

本实施例是关于与上述的第 8 实施例有关的半导体器件及其制造方法的变型之一。具体地说,在本实施例中,将半导体芯片 1 连接到引线框上而不是连接到芯片安装基体材料上。以下,详细地说明。

首先,如图 21(a)中所示,使用粘接材料 32 将 1 个半导体芯片 1 粘接到芯片安装岛 111 上来安装。接着,分别使用 Au 键合引线 9 电连接半导体芯片 1 的各连接焊盘(电极)与作为第 1 布线的多条引线框 112。将各 Au 键合引线 9 连接到作为芯片连接布线的各引线框 112 的焊盘连接部 112a 上。

接着,虽然省略图示,但将安装在芯片安装岛 111 上的半导体芯片 1、各引线框 112 和各 Au 键合引线 9 等配置在模塑金属模的腔部内。同时,将上述的箱形状的 Cu 箔 91 配置在腔部内,使其开口侧与半导体芯片 1 对向,以便从半导体芯片 1 及各 Au 键合引线 9 等的上方覆盖该半导体芯片 1 及各 Au 键合引线 9 等。再者,在本实施例中,将另一箱形状的 Cu 箔 91 配置在腔部内,使其开口侧与芯片安装岛 111 对向,以便从半导体芯片 1 及各 Au 键合引线 9 等的下方也覆盖该半导体芯片 1 及各 Au 键合引线 9 等。即,在本实施例中,使 2 片箱形状的 Cu 箔 91 对向将半导体芯片 1 及各引线框 112 等夹在其间地配置在腔部内,以便从半导体芯片 1 的上下(表面背面)两主面侧覆盖半导体芯片 1、各 Au 键合引线 9 和芯片安装岛 111 等。此时,使各 Cu 箔 91 的密封材料导入口 92 与模塑金属模的密封树脂

射出门部对向来配置各 Cu 箔 91。同样，使各 Cu 箔 91 的各通气口 93 与模塑金属模的排气部对向来配置各 Cu 箔 91。

接着，朝向容纳了半导体芯片 1、各引线框 112 和 2 片 Cu 箔 91 等的腔部内射出密封树脂 10。密封树脂 10 从模塑金属模的密封树脂射出门部起经各 Cu 箔 91 的密封材料导入口 92 导入到各 Cu 箔 91 之间。使密封树脂 10 流入（充填）各 Cu 箔 91 之间直到大致全部覆盖各 Cu 箔 91 的内表面、芯片安装岛 111 上的半导体芯片 1、各 Au 键合引线 9 和各引线框 112 的焊盘连接部 112a 等为止。由此，既露出各 Cu 箔 91 的表面和各引线框 112 的与焊盘连接部 112a 一侧相反一侧的端部，又一并地进行半导体芯片 1 及各 Au 键合引线 9 等的密封和各 Cu 箔 91 至密封树脂 10 的上下两主面（上下两模塑密封面）上的安装。

各 Cu 箔 91 中的与半导体芯片 1 对向地在模塑密封面上设置了的 Cu 箔 91 成为第 3 布线、即上部布线（上部端子）或封装体安装用布线（封装体安装用端子）117。此外，各 Cu 箔 91 中的与芯片安装岛 111 对向地在模塑密封面上设置了的 Cu 箔 91 成为第 2 布线、即下部布线（下部端子）或基板安装用布线（基板安装用端子）116。将各 Cu 箔 91 中至少与半导体芯片 1 对向地在模塑密封面上设置了的 Cu 箔 91 的各侧壁部 91b 的高度设定为各侧壁部 91b 在密封工序中和密封工序后没有与连接到各引线框 112 上的各 Au 键合引线 9 等接触的危​​险的大小。例如，最好将各侧壁部 91b 的高度设定为在从各引线框 112 的表面到各 Au 键合引线 9 的最高部分的高度上加上了约 10~200 μm 的大小。由此，可将 Cu 箔 91 安装在模塑密封面上而不会与各 Au 键合引线 9 等接触。

如图 21 (a) 中所示，利用以上的工序制作由半导体芯片 1、各引线框 112、密封树脂 10 和上下 2 片 Cu 箔 91 等构成的树脂密封封装体（模塑密封封装体）113。该树脂密封封装体 113 成为本实施例的半导体器件 119 的主要的构成部分。在像该封装体 113 那样使用多条引线框 112 作为芯片连接布线的情况下，在进行传递模塑工序时，将半导体芯片 1 及各引线框 112 等夹在其间、分别在腔部的模塑上金属模一侧和模塑下金属模一侧对

向地配置各 1 片 Cu 箔 91 即可。通过用这样的设定进行传递模塑，可与半导体芯片 1 及各 Au 键合引线 9 等的密封一并在密封树脂 10 (封装体 113) 的上下两主面上一并地安装作为外部布线 (外部端子) 利用的导电体 (Cu 箔) 91。

其次，如图 21 (b) 中所示，使用钻头或激光等在密封树脂 10 的上下两主面上各 1 片 Cu 箔 91 被一体化地设置了的树脂密封封装体 113 的各第 1 布线连接部 (纵连接部) 114 中各形成 1 个通孔 115。在本实施例中，在树脂密封封装体 113 的各纵连接部 114 中贯通上下 2 片 Cu 箔 91 (第 2 布线 116、第 3 布线 117)、密封树脂 10 和各引线框 (芯片连接布线) 112 来形成各通孔 115。此时，与上述的第 8 实施例同样，最好将各通孔 115 的直径的大小设定为与树脂密封封装体 113 的厚度之比约小于等于 1:6 的大小。此外，最好将各引线框 112 的形成各通孔 115 的部分 (纵连接部 114) 的直径的大小也与第 8 实施例同样，设定为在各通孔 115 的直径的大小上加上了约 5~100 μm 左右的大小。即，最好将各引线框 (芯片连接布线、第 1 布线) 112 及成为各第 2 布线 116 的 Cu 箔 91 中电连接到作为第 4 布线的贯通插塞 118 上的部分的直径的大小设定为在通孔 115 的直径的大小上加上了约 5~100 μm 左右的大小。

其次，如图 21 (b) 中所示，通过进行无电解镀铜，在各通孔 115 的内壁面上整面地设置厚度约为 0.01~3 μm 左右的无电解镀 Cu 膜。由此，利用各通孔 115 内的无电解镀 Cu 膜来确保在树脂密封封装体 113 的封装体安装面 (上表面、表面) 113a 上设置的 Cu 箔 91 和在树脂密封封装体 113 的基板安装面 (下表面、背面) 113b 上设置的 Cu 箔 91 的导电性。再有，在进行该无电解镀工序时，如果在树脂密封封装体 113 的露出面上有已刻蚀完毕 (图形形成完毕) 的布线或端子，则利用未图示的掩模来预先覆盖这些布线或端子。其后，通过将各通孔 115 内的无电解镀 Cu 膜作为籽层进行电解镀铜，将各通孔 115 内的 Cu 膜的膜厚加厚到与一般的布线的厚度为相同程度的厚度。由此，在各通孔 115 内设置由一体化了的无电解镀 Cu 膜和电解镀 Cu 膜构成的 Cu 膜 118。这些各 Cu 膜 118 直接成

为作为纵连接布线的通路插塞（第4布线）。

其后，虽然省略图示，但在上下两Cu箔91的表面上粘贴感光性干膜等的抗蚀剂膜。接着，对树脂密封封装体113的基板安装面113b上设置的Cu箔91进行曝光作业。此时，使用描画Cu箔91一侧的多个纵连接端子（布线）、与在基板安装面113b上安装的基板的连接端子对应的安装端子和多条第2布线116等的各自的图形的曝光掩模。由此，在基板安装面113b上的Cu箔91的表面上复制上述的各端子及各第2布线116等的图形。其后，对Cu箔91进行刻蚀处理或显影处理等。由此，在树脂密封封装体113的基板安装面113b上形成多条第2布线116等。接着，根据需要在各第2布线116的表面上涂敷焊料抗蚀剂，在各纵连接端子或各安装端子等的表面上进行Ni/Au镀敷。

同样，虽然省略图示，但对树脂密封封装体113的封装体安装面113a上设置了的Cu箔91进行曝光作业。此时，使用描画Cu箔91一侧的多个纵连接端子（布线）、与在封装体安装面113a上安装的部件的连接端子对应的安装端子和多条第3布线117等的各自的图形的曝光掩模。由此，在封装体安装面113a上的Cu箔91的表面上复制上述的各端子及各第3布线117等的图形。其后，对Cu箔91进行刻蚀处理或显影处理等。由此，在树脂密封封装体113的封装体安装面113a上形成多条第3布线117等。接着，根据需要在各第3布线117的表面上涂敷焊料抗蚀剂，在各纵连接端子或各安装端子等的表面上进行Ni/Au镀敷。

利用以上的工序，如图21(b)中所示，可以在树脂密封封装体113的基板安装面113b上形成由预期的布线图形构成的多条第2布线116等。各第2布线116成为在基板安装面113b上安装安装基板用的基板安装用布线（基板安装用端子）。同样，可以在树脂密封封装体113的封装体安装面113a上形成由预期的布线图形构成的多条第3布线117等。各第3布线117成为在封装体安装面113a上安装封装体等的部件用的部件安装用布线（部件安装用端子）。再有，虽然省略图示，但根据需要对各第2布线116进行例如防锈处理或Ni/Au镀敷处理等焊锡容易浸润、而且在高温测试时

在各第2布线116的表面上难以形成非熔融氧化膜的表面处理。与此同时，在各第2布线116的露出面上根据需要安装多个焊锡球。

接着，利用切割等，将利用以上的工序一并地制作了树脂密封封装体113的集合体从带状态切断为各个封装体而成为各片。其后，对各个树脂密封封装体113中的每一个实施各种测试。然后，将在这些测试中合格的树脂密封封装体113定为合格品。由此，得到以图21(b)中示出的树脂密封封装体113为主要的构成部分的与本实施例有关的预期的半导体器件119。即，得到由利用传递模塑工序一体地且一并地设置了将密封树脂10夹在其间在其上下两主面上对向地配置的多条第2布线116和多条第3布线117以及密封树脂10的树脂密封封装体113构成的半导体器件119。

其后，在半导体器件119的封装体安装面113a上根据需要安装未图示的无源部件等的预定的外部装置。与此同时，在半导体器件119的基板安装面113b上根据需要安装未图示的安装基板。或者，根据需要层叠多个半导体器件119，作为多芯片封装体来使用。

如以上已说明的那样，按照该第9实施例，可得到与上述的第1、第3~第5和第8的各实施例同样的效果。此外，通过一并地设置成为第2布线116的Cu箔91、成为第3布线117的Cu箔91和密封树脂10，可进一步简化半导体器件119(树脂密封封装体113)的制造工序。此外，在进行传递模塑工序时，由于只是将电连接了半导体芯片1的各引线框112夹在2片Cu箔91之间地配置在模塑金属模的腔体内，故一般的组装设备的沿用是极为容易的。因而，几乎没有设备费等的负担增加的问题。这样，按照本实施例，可更高效地、更低成本地且更容易地制造进一步提高了通用性、强度、可靠性和耐久性的半导体器件119。

(第10实施例)

其次，一边参照图22，一边说明与本发明有关的第10实施例。图22是示出与本实施例有关的半导体器件的制造方法的工序剖面图。再有，对与第1实施例为同一的部分附以同一符号，省略其详细的说明。

在本实施例中，与上述的第8和第9各实施例同样，在密封树脂的表

面上设置了成为第3布线的导电体后，在密封树脂的内部设置第4布线。但是，与第8和第9各实施例不同，利用不同的工序分开地设置密封树脂和导电体。以下，简洁地说明。

首先，如图22(a)中所示，在用引线键合法安装了半导体芯片1的芯片安装基体材料2的芯片安装面2a上以覆盖半导体芯片1、各芯片连接布线5和Au键合引线9等的方式设置密封树脂10。与第8和第9各实施例同样，利用传递模塑法在芯片安装基体材料2的芯片安装面2a上设置密封树脂10。但是，在本实施例的传递模塑工序中，与第8和第9各实施例不同，在芯片安装基体材料2的芯片安装面2a上只设置密封树脂10。

其次，如图22(b)中所示，在密封树脂10的表面上设置成为第3布线的导电体121。具体地说，在密封树脂10的表面上设置厚度约5~12 μm 左右的Cu箔121作为导电体。在本实施例中，与第8和第9各实施例不同，在传递模塑工序的后工序中与密封树脂10分开地在密封树脂10的表面上设置Cu箔121。因此，与在第8和第9各实施例中使用的Cu箔91不同，Cu箔121不一定必须形成为箱形状。与此同时，Cu箔121没有必要具备密封材料导入口82或通气口83。但是，在本实施例中，假定使用由与在第8和第9各实施例中使用了的Cu箔91相同的形状构成的Cu箔121。这样，通过使半导体器件的构成部件通用化，不管半导体器件的制造工序的差别如何，可谋求半导体器件的制造设备的通用化及制造工序的简化。于是，可削减半导体器件的制造成本。

此外，虽然省略图示，但在Cu箔121的粘接到密封树脂10上的一侧的面上涂敷厚度约8~50 μm 左右的粘接材料。可使用例如环氧树脂类或亚胺类的粘接材料用于该粘接材料。例如使用热层压法或真空冲压法在密封树脂10的表面(模塑密封面)上粘贴带有这样的粘接材料的Cu箔121。利用以上的工序制作由半导体芯片1、柔性基体材料2、密封树脂10和Cu箔121等构成的树脂密封封装体(模塑密封封装体)122。该树脂密封封装体122成为本实施例的半导体器件125的主要的构成部分。

其次，如图22(c)中所示，利用与第8实施例同样的工序，在树脂

密封封装体 122 的各第 1 布线连接部（纵连接部）16 中形成多个通孔 12。接着，在各通孔 12 内各设置 1 个作为纵连接布线的通路插塞（第 4 布线）100。与此同时，在设置了各通路插塞的树脂密封封装体 122 中分别各形成多条作为下部布线（基板安装用布线）的第 2 布线 6 及作为上部布线（封装体安装用布线、部件安装用端子）的第 3 布线 123 等。通过利用刻蚀工序等将 Cu 箔 121 加工成预定的图形来形成各第 3 布线 123。其后，与第 8 实施例同样，根据需要对各第 2 布线 6 和各第 3 布线 123 等进行预定的表面处理。与此同时，在树脂密封封装体 122 的基板安装面 122b 上使多个焊锡球 101 与各第 2 布线 6 接触（接合）来安装。

接着，利用切割等，将利用以上的工序一并地制作了树脂密封封装体 122 的集合体从带状态切断为各个封装体而成为各片。其后，对各个树脂密封封装体 122 中的每一个实施各种测试。然后，将在这些测试中合格的树脂密封封装体 122 定为合格品。由此，得到以图 22 (c) 中示出的树脂密封封装体 122 为主要的构成部分的与本实施例有关的预期的半导体器件 125。即，得到由分开地且在不同的工序中设置了成为多条第 3 布线 123 的 Cu 箔 121 和密封树脂 10 的树脂密封封装体 122 构成的半导体器件 125。

其后，在半导体器件 125 的封装体安装面 122a 上根据需要安装未图示的无源部件等的预定的外部装置。与此同时，在半导体器件 125 的基板安装面 122b 上根据需要安装未图示的安装基板。或者，根据需要层叠多个半导体器件 125，作为多芯片封装体来使用。

如以上已说明的那样，按照该第 10 实施例，可得到与上述的第 1、第 3~第 5 和第 8 各实施例同样的效果。此外，由于没有必要在模塑工序中一体地且一并地设置 Cu 箔 121 和密封树脂 10，故没有必要将 Cu 箔 121 形成为向其内部密封树脂 10 容易流入的特殊形状。因而，可简化与 Cu 箔 121 的制作有关的工序，可抑制 Cu 箔 121 的制作成本。于是，可简化半导体器件 125 的制造工序，可抑制半导体器件 125 的制造成本。此外，通过将 Cu 箔 121 的形状形成为与树脂密封封装体的模塑密封面对应的适当的形状，可将本实施例的半导体器件及其制造方法应用于所谓的 SOP、

OMPAC 或 Stacked MCP 等各种各样的树脂密封封装体的制造。即，不管模塑金属模的腔部的形状如何，都可将本实施例的半导体器件及其制造方法应用于各种各样的半导体器件的制造。因而，本实施例的半导体器件及其制造方法的应用范围极为广泛，通用性极高。

再有，与本发明有关的半导体器件及其制造方法不受上述的第 1~第 10 各实施例的制约。在不脱离本发明的要旨的范围内，能以各种各样的设定变更其结构或制造工序等的一部分来实施，或适宜地、适当地组合并使用各种设定来实施。

例如，在第 1 和第 4 各实施例中，分别将各芯片安装基体材料 2、41 定为带状，但不限于于此。也可将各芯片安装基体材料 2、41 形成为膜状或板状。

此外，半导体芯片 1 不限于 1 种功能。可使用 CPU、存储器、DSP、图像处理引擎等各种各样功能的半导体芯片作为半导体芯片 1。

此外，在第 2 实施例中，层叠 4 个第 1 实施例的半导体器件 20 制作了 1 个多芯片封装体 21。同样，在第 6 实施例中，层叠 4 个第 5 实施例的半导体器件 64 制作了 1 个多芯片封装体 71。但是，不一定层叠多个同样的半导体器件 20、64 等来制作多芯片封装体。例如，也可通过混合地层叠第 1 实施例的半导体器件 20、第 3 实施例的半导体器件 33、第 4 实施例的半导体器件 52、第 5 实施例的半导体器件 64 和第 7 实施例的半导体器件 83、85 来制作 1 个多芯片封装体。制作芯片层叠型的多芯片封装体的情况下，根据预期的结构按每适宜的、适当的个数在适当的位置上配置各半导体器件 20、34、52、64、83、85 即可。此外，根据预期的结构将各半导体装置 20、34、52、64、83、85（各半导体芯片 1）之间的电连接，即第 1~第 4 各布线 5、6、13、15、43、47、48 也设定为适宜的、适当的图形和条数即可。

此外，在第 4 实施例中，在柔性基体材料 41 的芯片安装面 41a 上设置了密封树脂 10 后，一体地且一并地设置了第 3 布线 47 和第 4 布线 48，但不限于于此。例如，也可利用与第 8 实施例同样的工序来制作半导体器件

52。即，首先在柔性基体材料 41 的芯片安装面 41a 上一体地且一并地设置了密封树脂 10 和成为第 3 布线 47 的铜箔。其后，沿 Cu 箔和设置了该 Cu 箔的密封树脂 10 的厚度方向一并地至少贯通该 Cu 箔和设置了该 Cu 箔的密封树脂 10，设置作为第 4 布线的非贯通通路插塞 48。这样，在柔性基体材料 41 的芯片安装面 41a 上一体地且一并地设置了密封树脂 10 和成为第 3 布线 47 的铜箔后，可与第 3 布线 47 分开地且在与其不同的工序中设置非贯通通路插塞 48。

或者，也可利用与第 10 实施例同样的工序来制作半导体器件 52。即，首先在柔性基体材料 41 的芯片安装面 41a 上设置密封树脂 10。其后，在密封树脂 10 的表面上与密封树脂 10 分开地且在与其不同的工序中设置第 3 布线 47。接着，沿第 3 布线 47 和设置了该第 3 布线 47 的密封树脂 10 的厚度方向一并地至少贯通第 3 布线 47 和设置了该第 3 布线 47 的密封树脂 10，设置作为第 4 布线的非贯通通路插塞 48。这样，在柔性基体材料 41 的芯片安装面 41a 上设置了密封树脂 10 后，可分开地且在不同的工序中设置第 3 布线 47 和非贯通通路插塞 48。

此外，在第 7 实施例的半导体器件 83、85 中，利用引线键合法将全部的多个半导体芯片 1 安装在芯片安装基体材料 2、41 上，但不限于于此。例如，也可利用倒装芯片连接法将各半导体芯片 1 中的与芯片安装基体材料 2、41 直接接触的最下层的半导体芯片 1 安装在芯片安装基体材料 2、41 上。再者，在半导体器件 83、85 中，当然可层叠 CPU、存储器、DSP、图像处理引擎等各种各样功能的半导体芯片 1 而混合装载在芯片安装基体材料 2、41 上。

此外，在第 8 实施例中，形成了设置第 4 布线 90 用的凹部作为通孔 12，但不限于于此。例如，可使用作为单面敷铜带的芯片安装基体材料 41 作为芯片安装基体材料，同时像第 4 实施例那样，将设置第 4 布线 90 用的凹部作为非贯通通路孔来形成。在该情况下，最好将各非贯通通路孔的直径的大小设定为与树脂密封封装体 88 的厚度之比约大于等于 1:1 的大小。这一点在使用引线框 112 来代替芯片安装基体材料 2、41 的第 9 实施例的

半导体器件 119 中也是同样的。至少能确保第 2 布线 116 与引线框 112 的电连接和第 3 布线 117 与引线框 112 的电连接即可。

此外,在第 8 和第 9 各实施例中,将 Cu 箔 91 的形状定为图 18(a)、(b) 中示出的四角箱形状,但不限于于此。可根据模塑金属模的腔部的形状或预期的树脂密封封装体(半导体器件)的模塑密封面的形状等将 Cu 箔 91 的形状形成成为适宜的、适当的形状。这一点对于密封材料导入口 92 和通气口 93 的大小、形状、形成部位和个数等来说也是同样的。在传递模塑工序中一体地且一并地设置 Cu 箔 91 和密封树脂 10 的情况下,将密封材料导入口 92 和通气口 93 的大小、形状、形成部位和个数等设定为适宜的、适当的状态以便能得到与第 8 和第 9 各实施例同样的效果即可。即,将密封材料导入口 92 和通气口 93 的大小、形状、形成部位和个数等设定为在传递模塑工序中 Cu 箔 91 的表面(上表面)不被密封树脂 10 覆盖,而且半导体芯片 1 及 Au 键合引线 9 等不从密封树脂 10 露出、在 Cu 箔 91 与芯片安装基体材料 2 之间适当地充填密封树脂 10 的状态即可。

此外,在第 9 实施例中,在芯片安装岛 111(引线框 112)的一个主面上只安装了 1 个半导体芯片 1,但不限于于此。与第 7 实施例同样,可在芯片安装岛 111 的一个主面上层叠多个半导体芯片 1 来安装。或者,也可在芯片安装岛 111 的上下两个主面上对向地各安装 1 个半导体芯片 1。再者,也可在芯片安装岛 111 的上下两个主面上各层叠且对向多个半导体芯片 1 来安装。

此外,在第 9 实施例中,在一体地且一并地设置了成为第 2 布线 116 和第 3 布线 117 的 2 片 Cu 箔 91 和密封树脂 10 后设置了作为第 4 布线的贯通插塞 108,但不限于于此。例如,也可利用与第 1 实施例同样的工序来制作半导体器件 119。即,首先,以覆盖半导体芯片 1 和半导体芯片 1 与作为第 1 布线的引线框 112 的连接部的方式设置密封树脂 10。其后,例如,一边利用镀敷法沿半导体芯片 1 的厚度方向一并地贯通密封树脂 10 和被密封树脂 10 覆盖了的引线框 112 而设置贯通插塞 118,一边与贯通插塞 118 一体地且一并地在密封树脂 10 的表面上设置成为第 2 布线 116 的

Cu 箔 91 和成为第 3 布线 117 的 Cu 箔 91 的至少一方。接着, 与该一方 Cu 箔 91 对向地在密封树脂 10 的相反一侧的表面上设置另一方的 Cu 箔 91。这样, 在以覆盖半导体芯片 1 和半导体芯片 1 与引线框 112 的连接部的方式设置密封树脂 10 后, 可与贯通插塞 118 一体地且一并地设置成为第 2 布线 116 的 Cu 箔 91 和成为第 3 布线 117 的 Cu 箔 91 的至少一方。

或者, 也可利用与第 10 实施例同样的工序来制作半导体器件 119。即, 首先, 以覆盖半导体芯片 1 和半导体芯片 1 与作为第 1 布线的引线框 112 的连接部的方式设置密封树脂 10。其后, 与密封树脂 10 分开地且利用不同的工序在密封树脂 10 的表面上设置成为第 2 布线 116 的 Cu 箔 91 和成为第 3 布线 117 的 Cu 箔 91 的至少一方。接着, 沿半导体芯片 1 的厚度方向一并地贯通密封树脂 10、被密封树脂 10 覆盖了的引线框 112 以及成为第 2 布线 116 的 Cu 箔 91 和成为第 3 布线 117 的 Cu 箔 91 的至少一方而设置贯通插塞 118。接着, 与该一方的 Cu 箔 91 对向地在密封树脂 10 的相反一侧的表面上设置另一方的 Cu 箔 91。这样, 可在以覆盖半导体芯片 1 和半导体芯片 1 与引线框 112 的连接部的方式设置了密封树脂 10 后, 与贯通插塞 118 分开地且利用不同的工序设置成为第 2 布线 116 的 Cu 箔 91 和成为第 3 布线 117 的 Cu 箔 91 的至少一方。

再者, 在第 1 和第 3~第 5 各实施例中, 与第 3 布线 13、47 并行地设置了第 4 布线 15、48。此外, 在第 8~第 10 各实施例中, 在设置第 4 布线 100、118 之前设置了第 3 布线 99、117、123。但是, 设置第 4 布线 15、48、100、118 的顺序不一定限于上述的顺序。例如, 在第 1、第 3~第 5、第 8 和第 10 各实施例中, 可在密封树脂 10 内设置了第 4 布线 15、48、100 后在密封树脂 10 的表面上设置第 3 布线 13、47、99、123。或者, 在第 9 实施例中, 可在密封树脂 10 内设置了第 4 布线 118 后在密封树脂 10 的表面上设置第 2 布线 116 和第 3 布线 117 的至少一方。

图 1

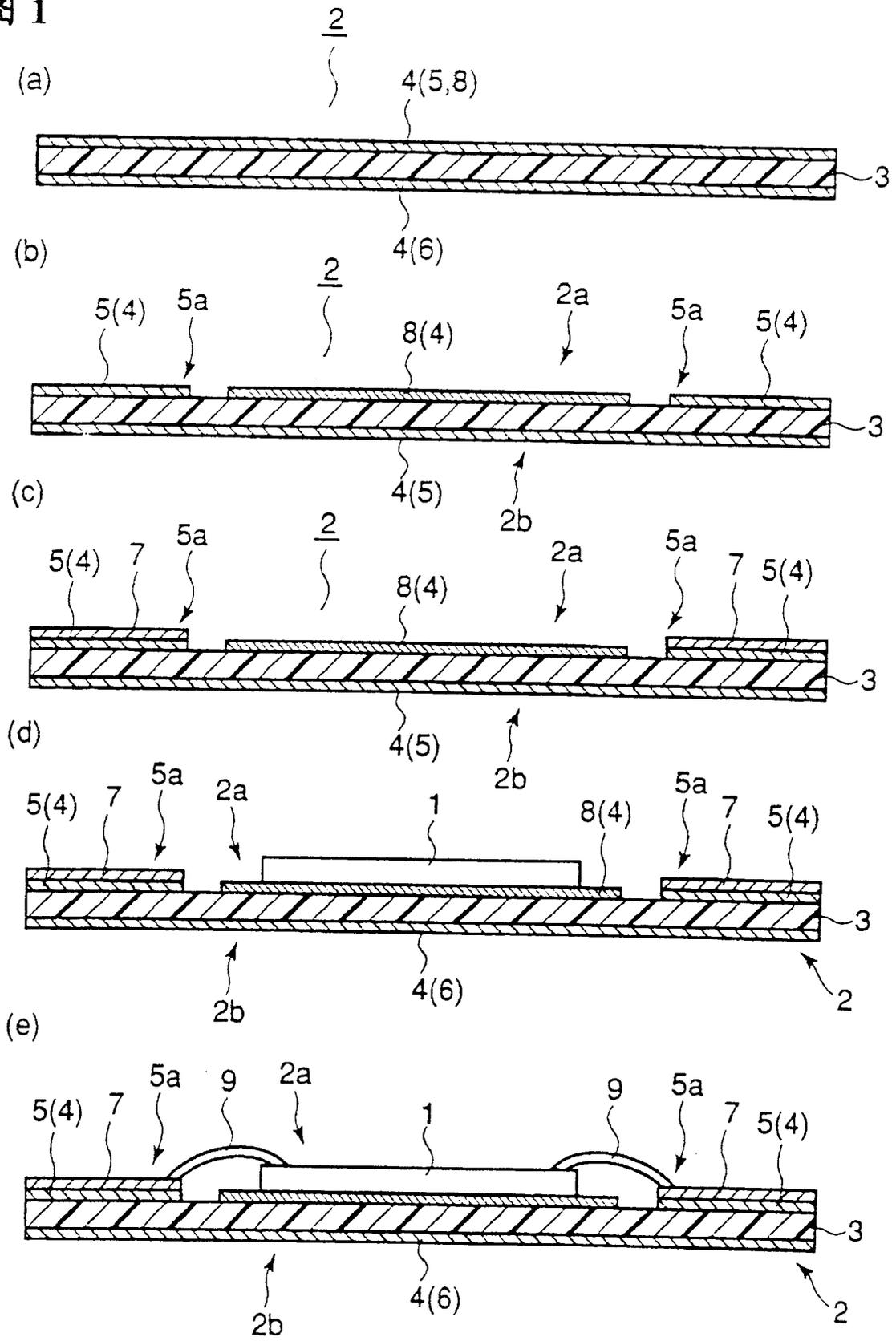


图 2

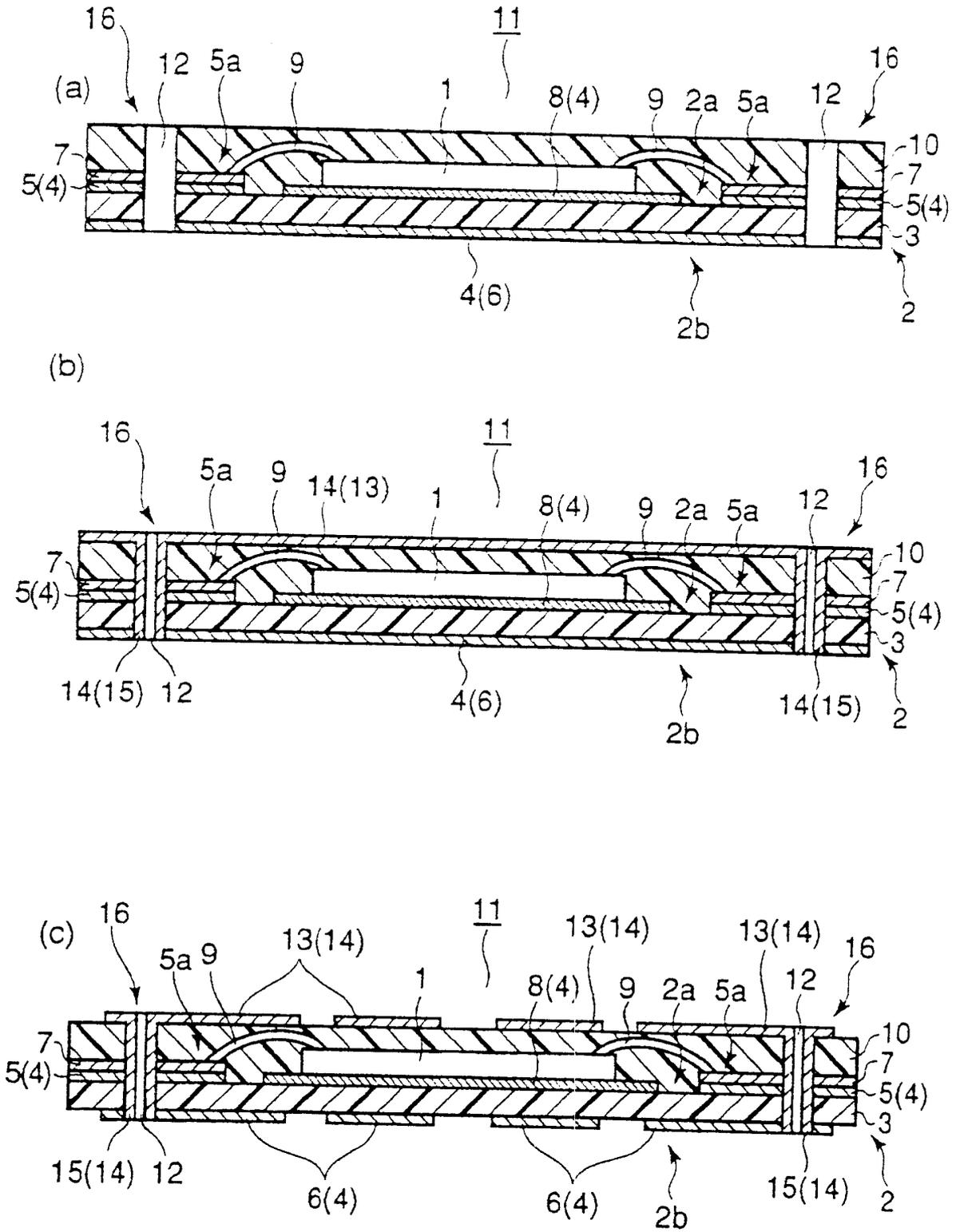
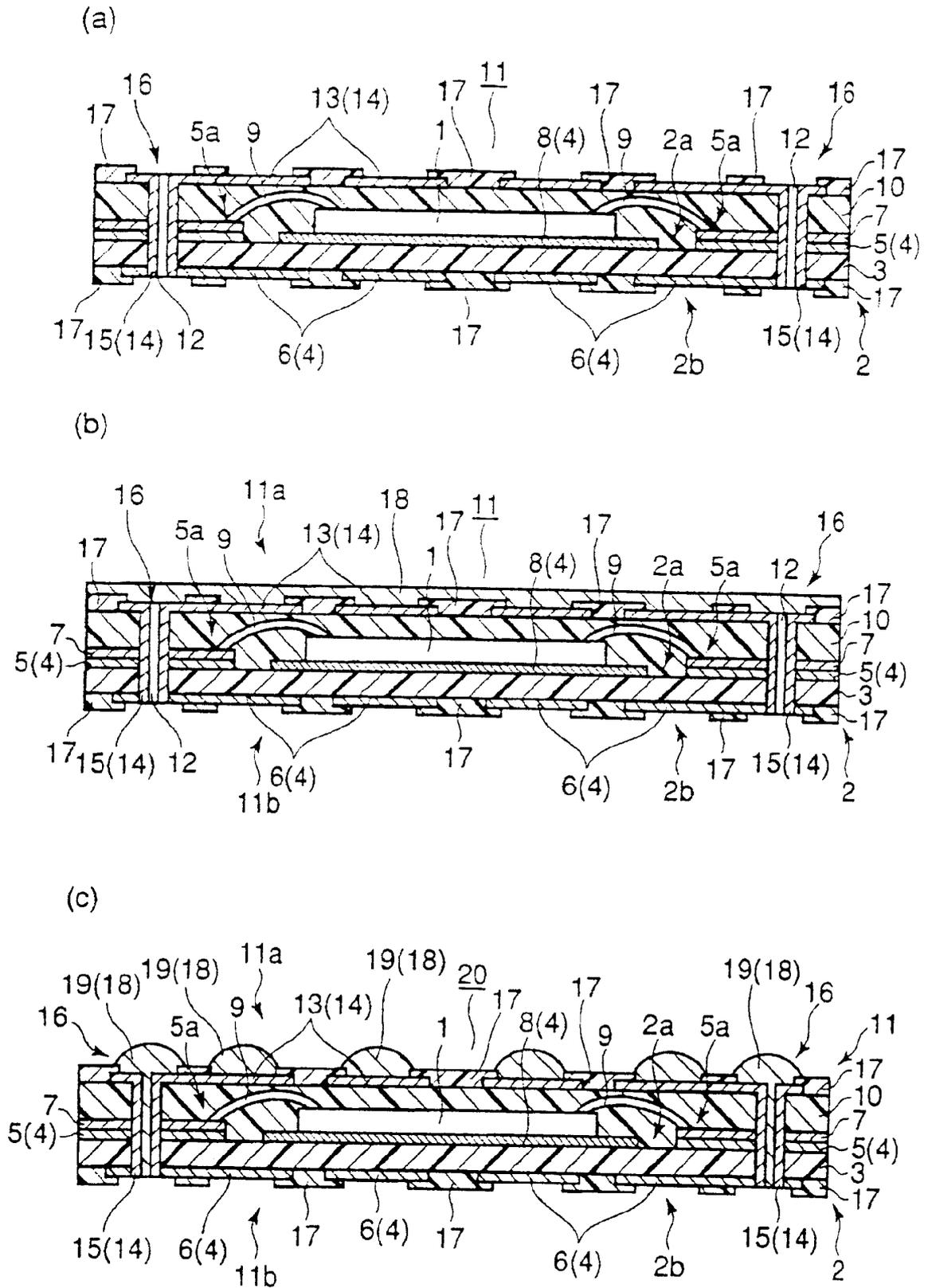
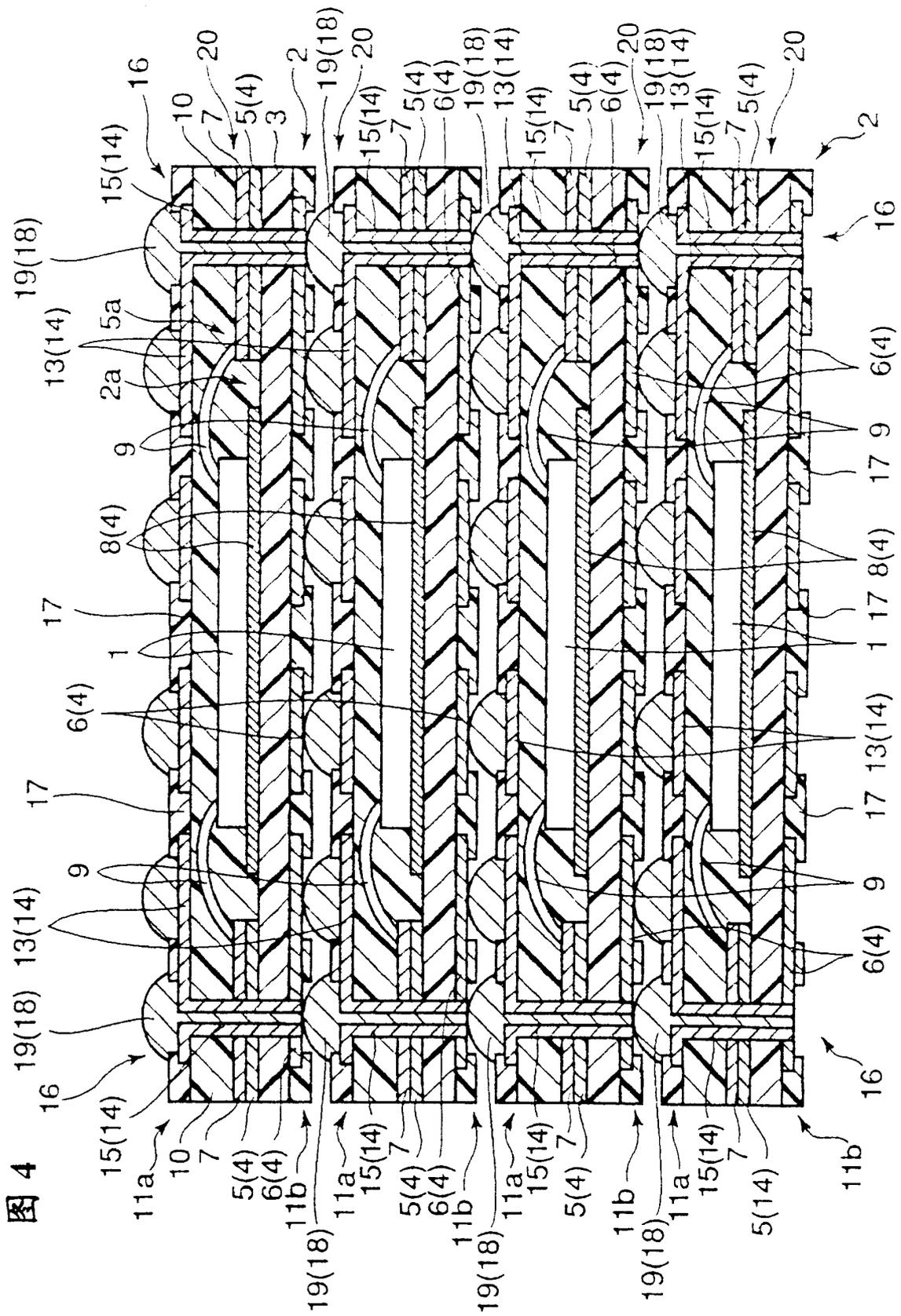


图 3





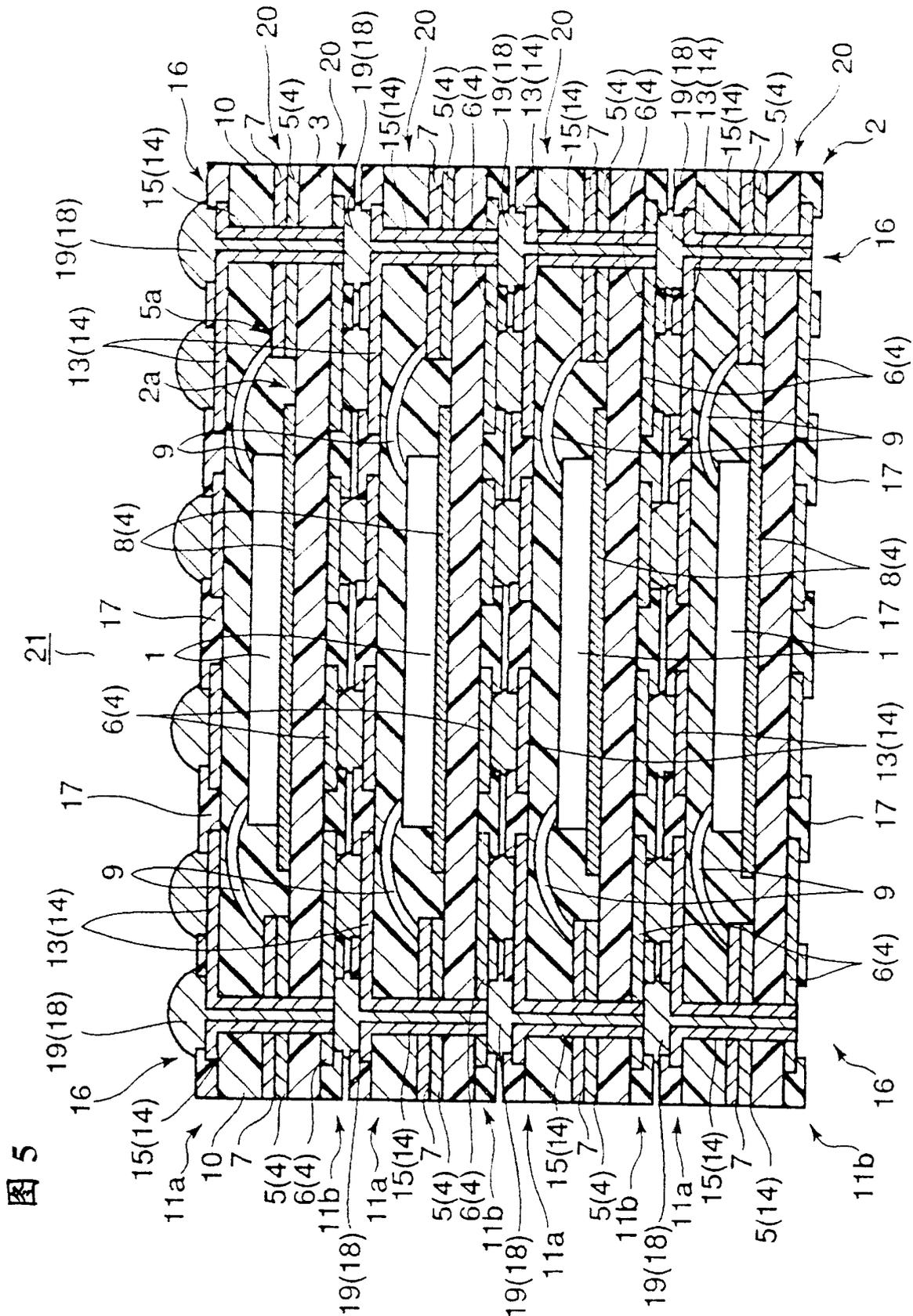


图 5

图 6

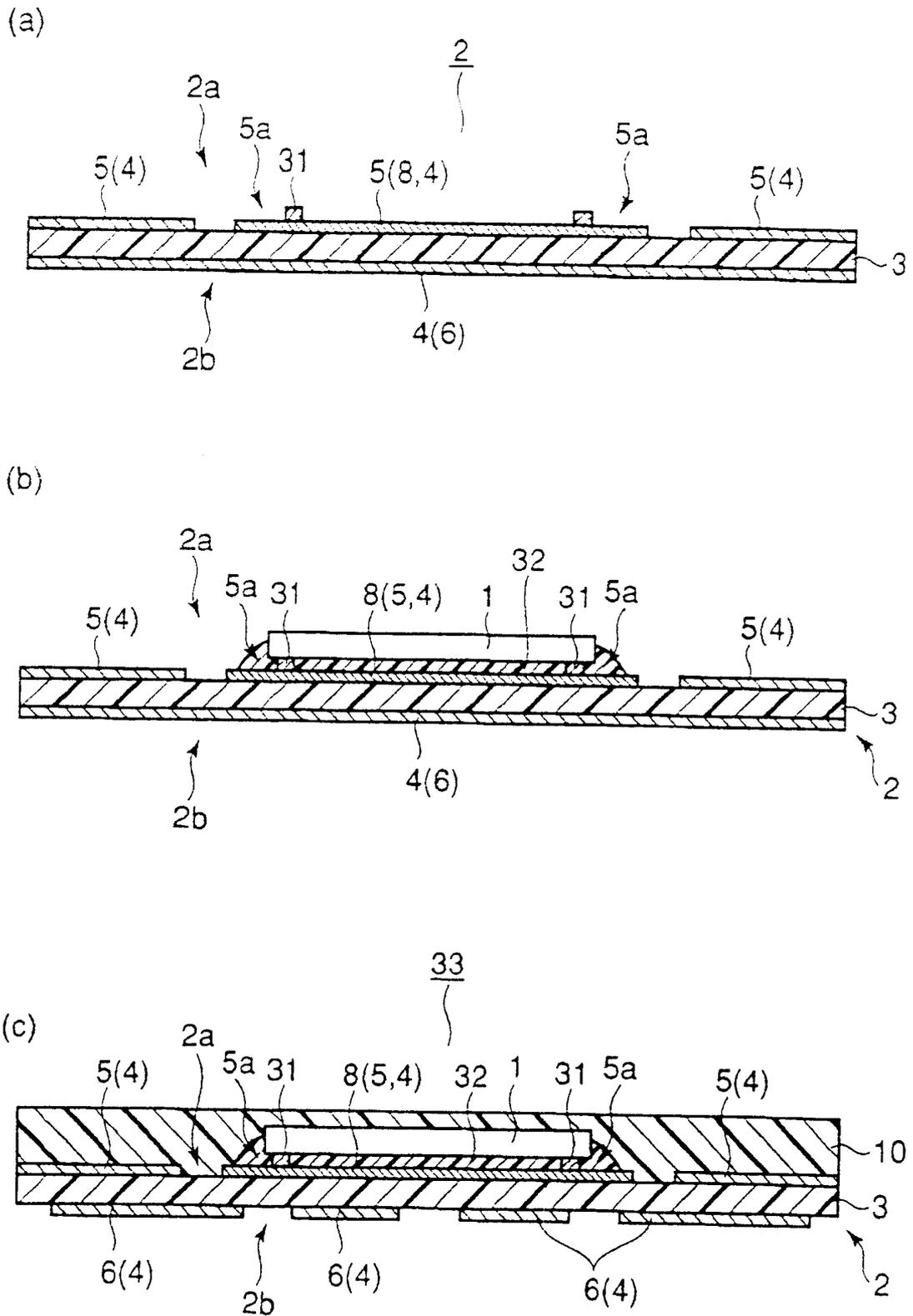


图 7

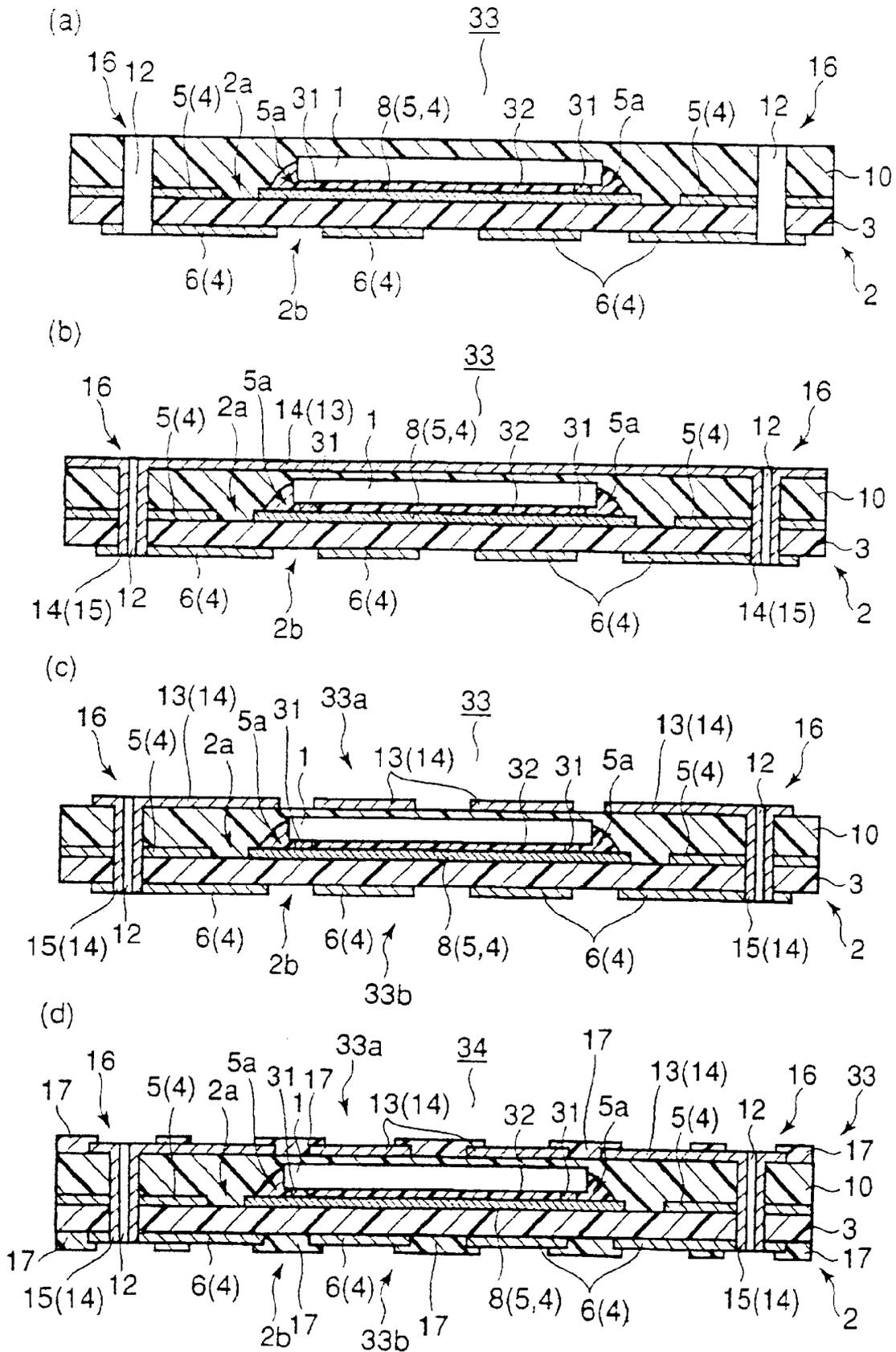


图 8

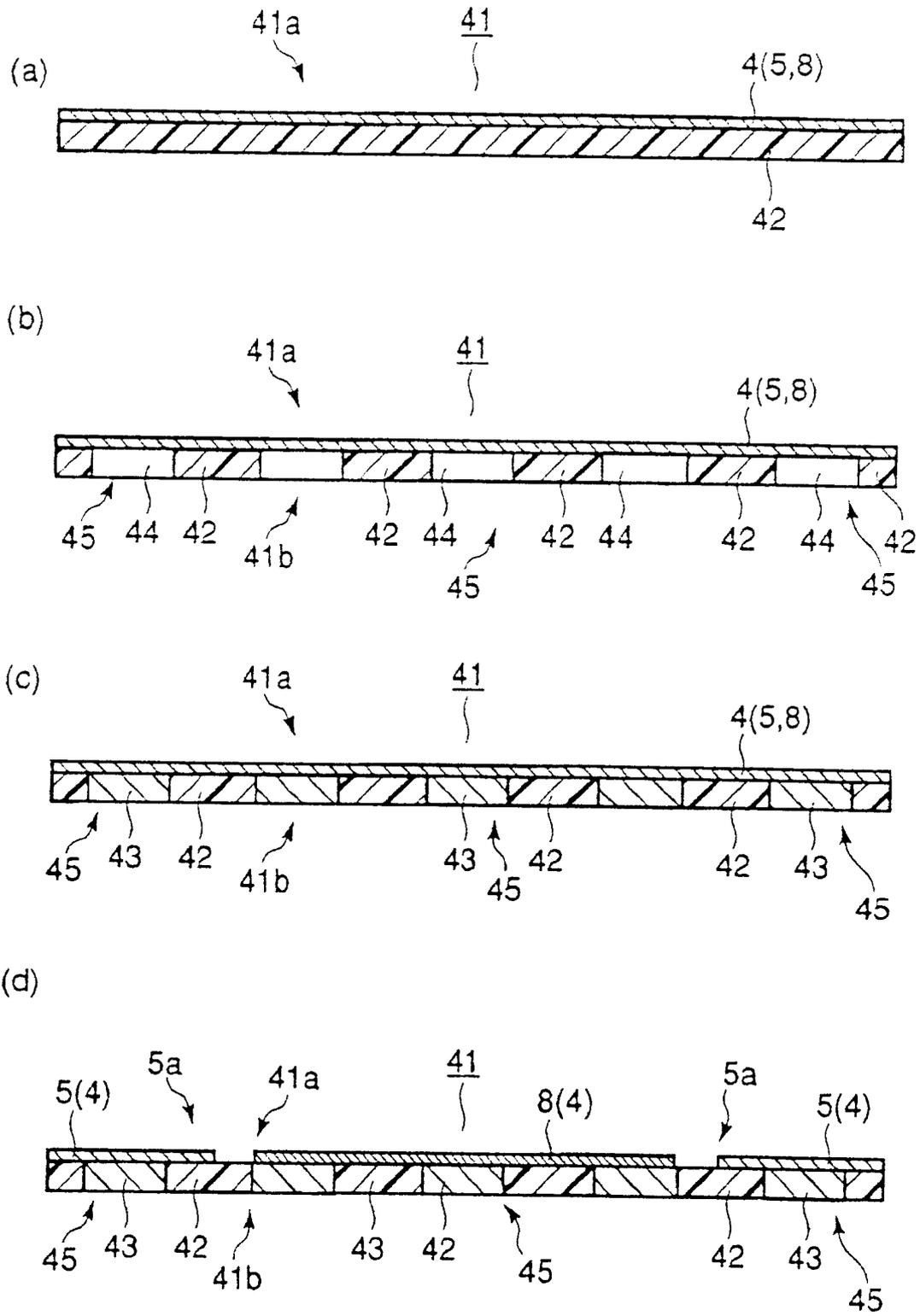


图 9

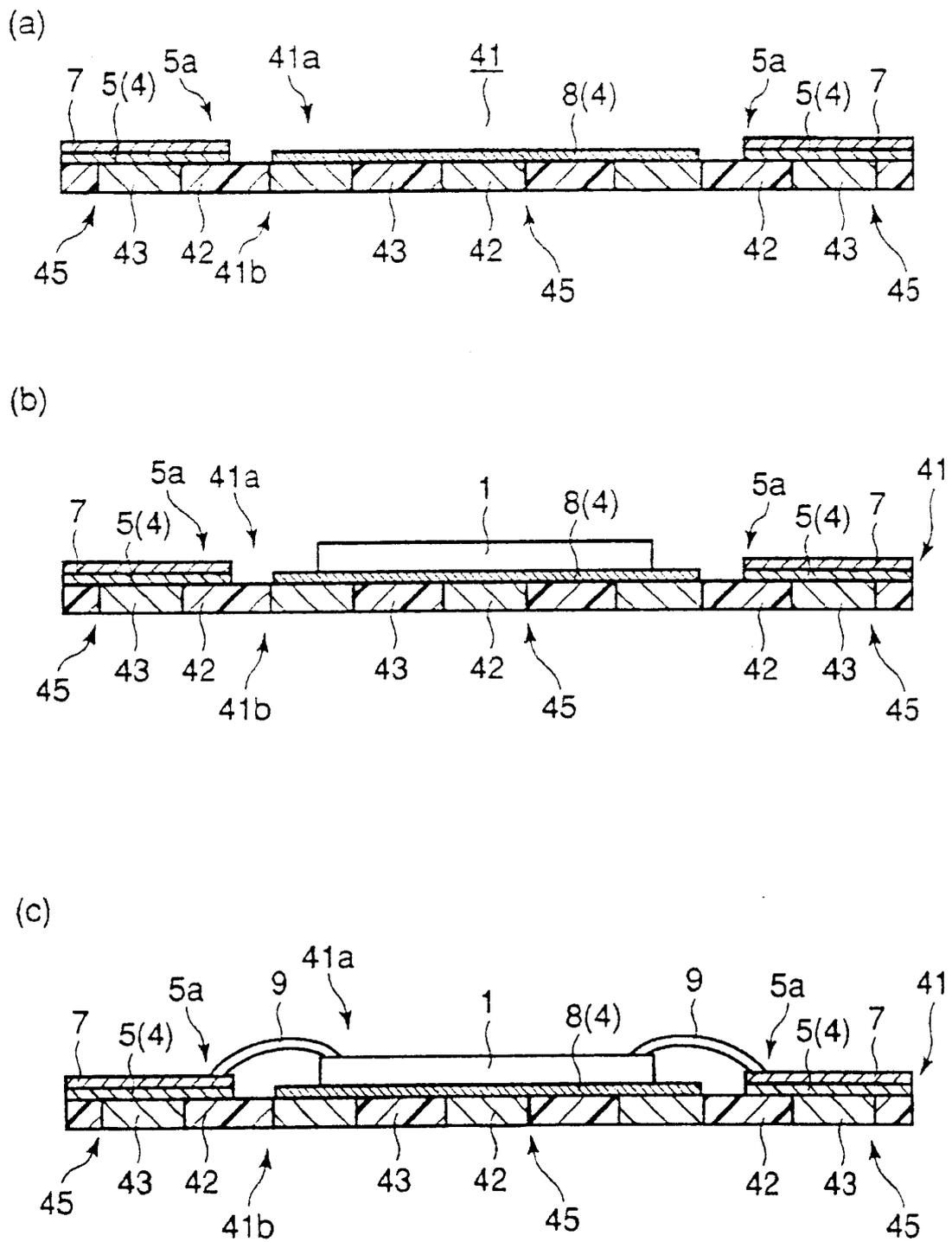


图 10

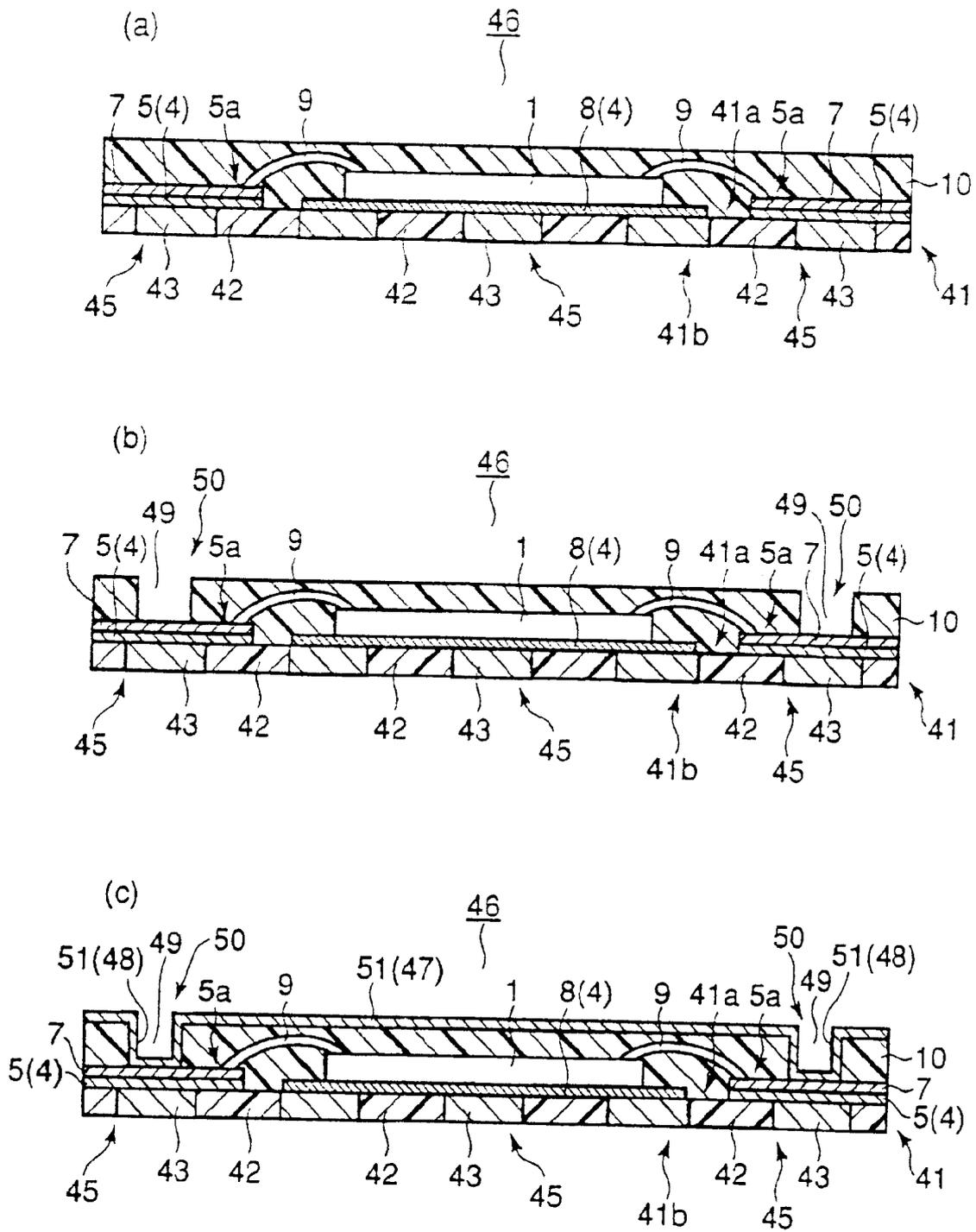


图 11

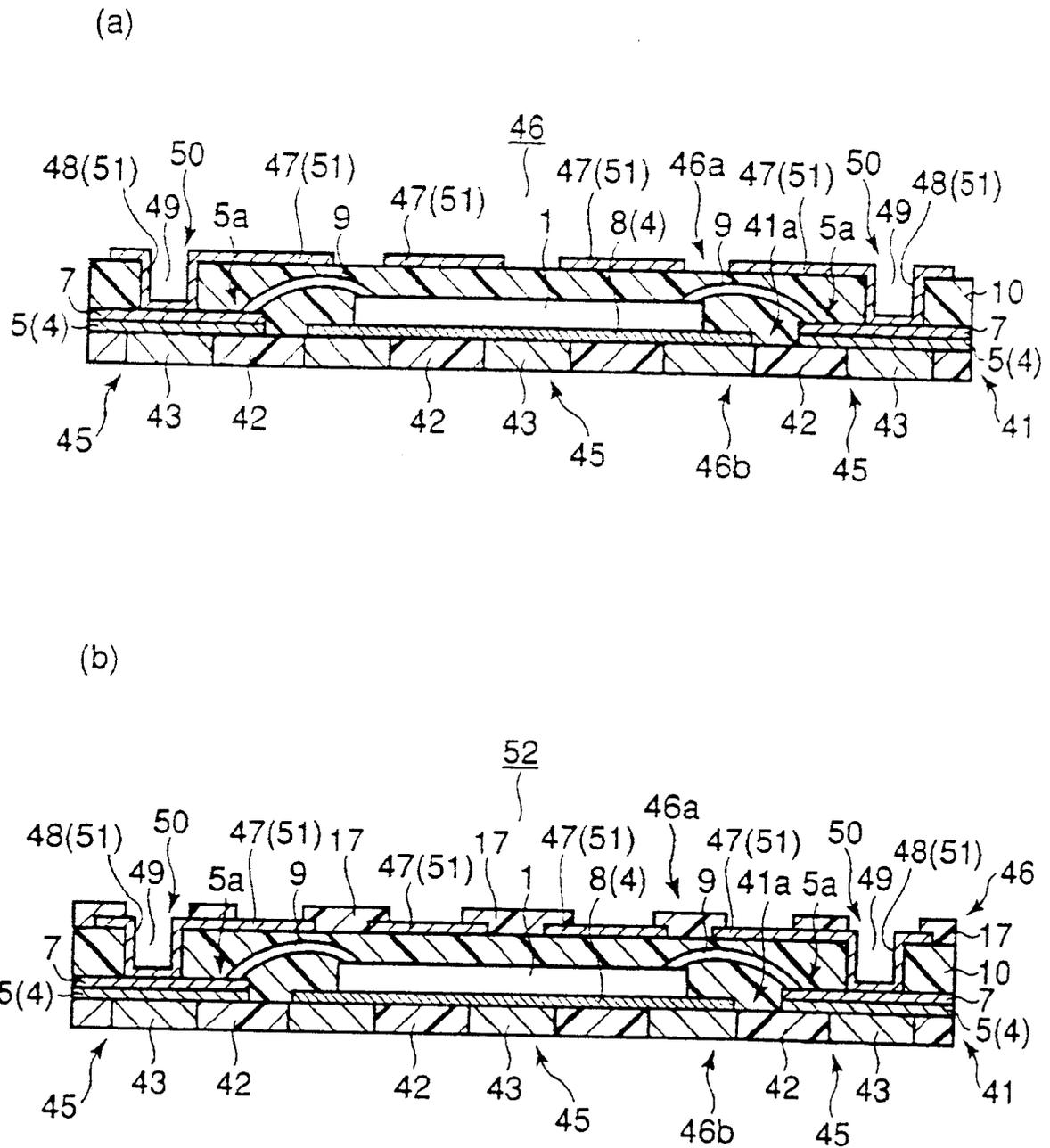


图 12

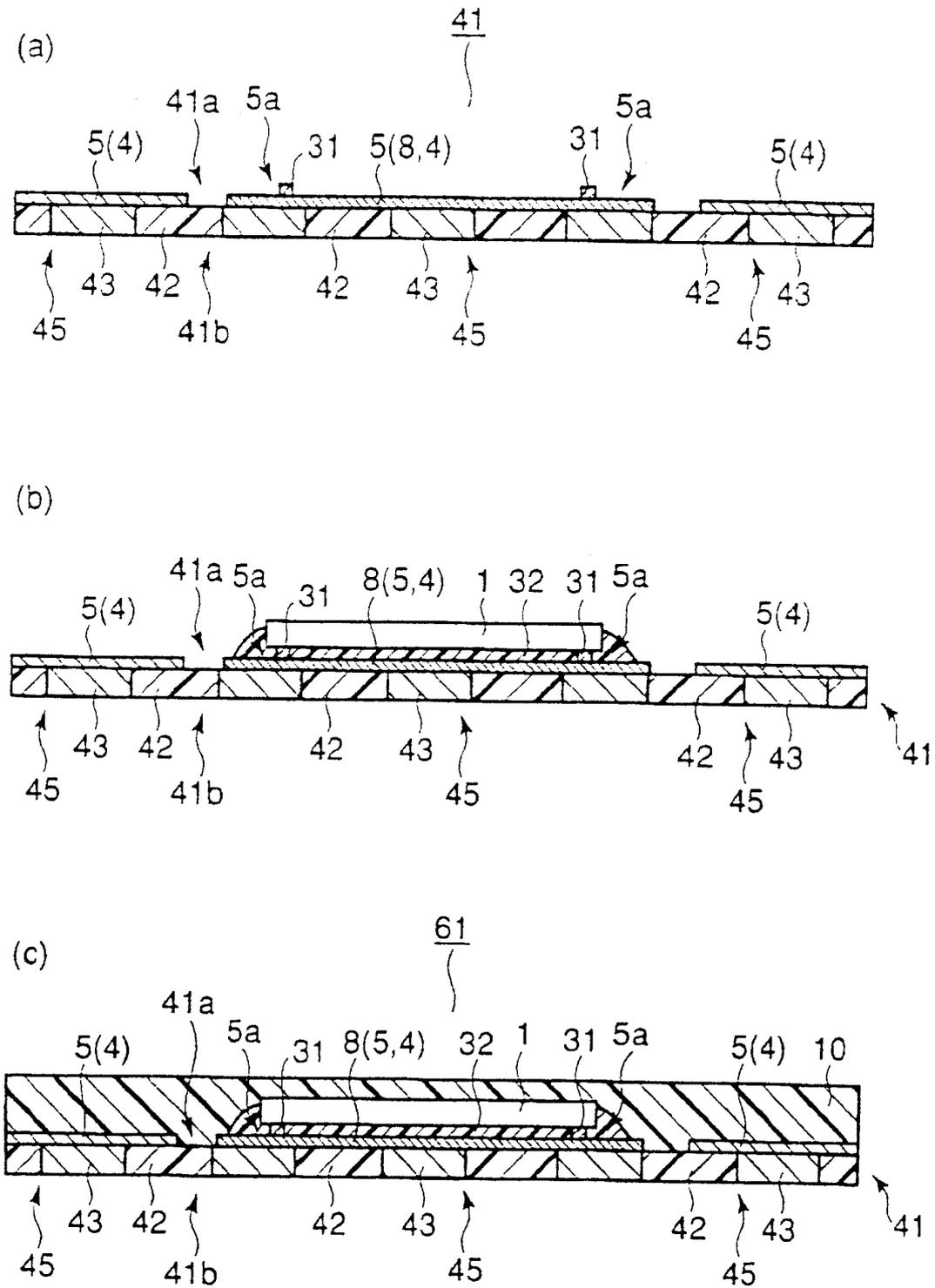


图 13

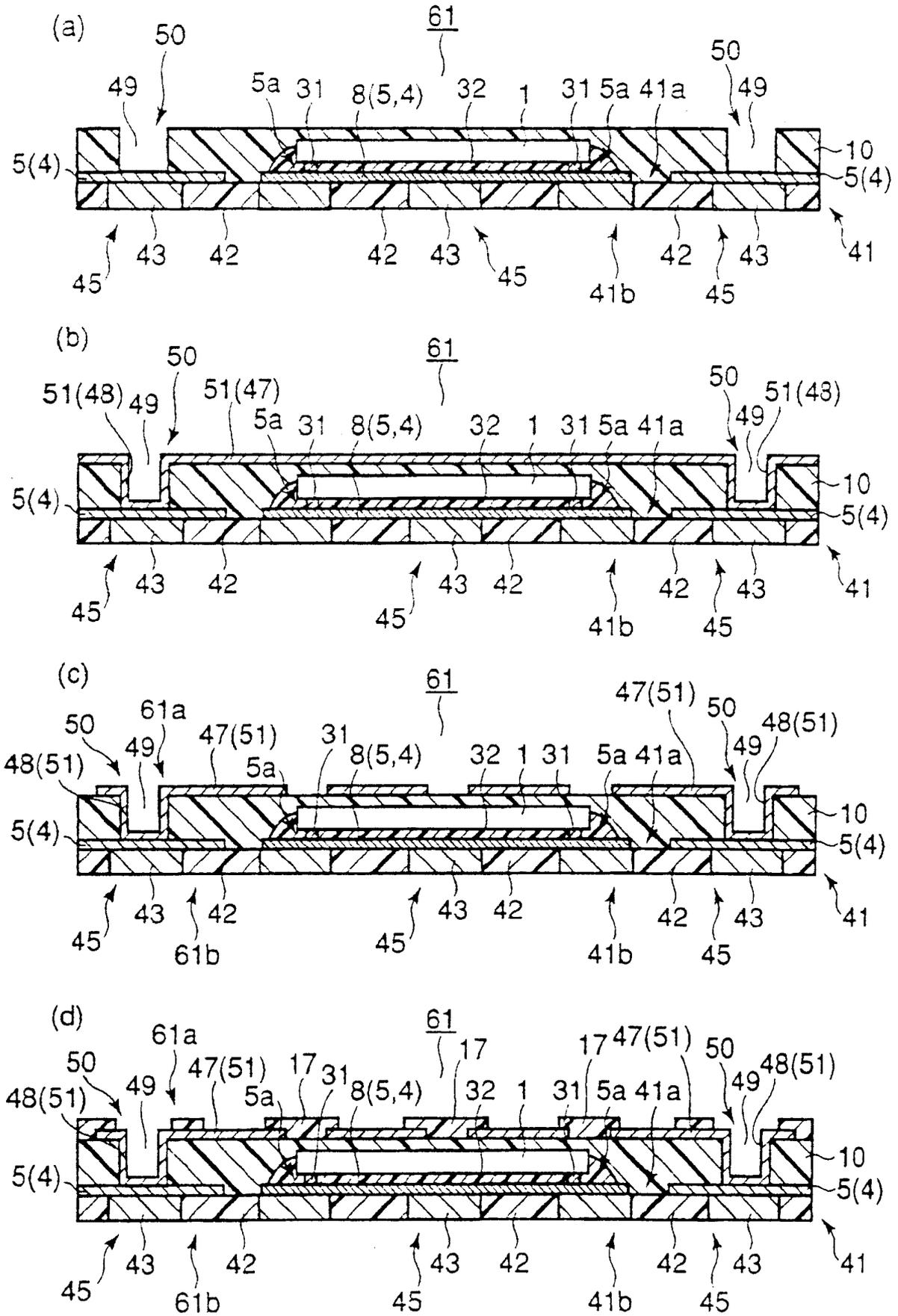
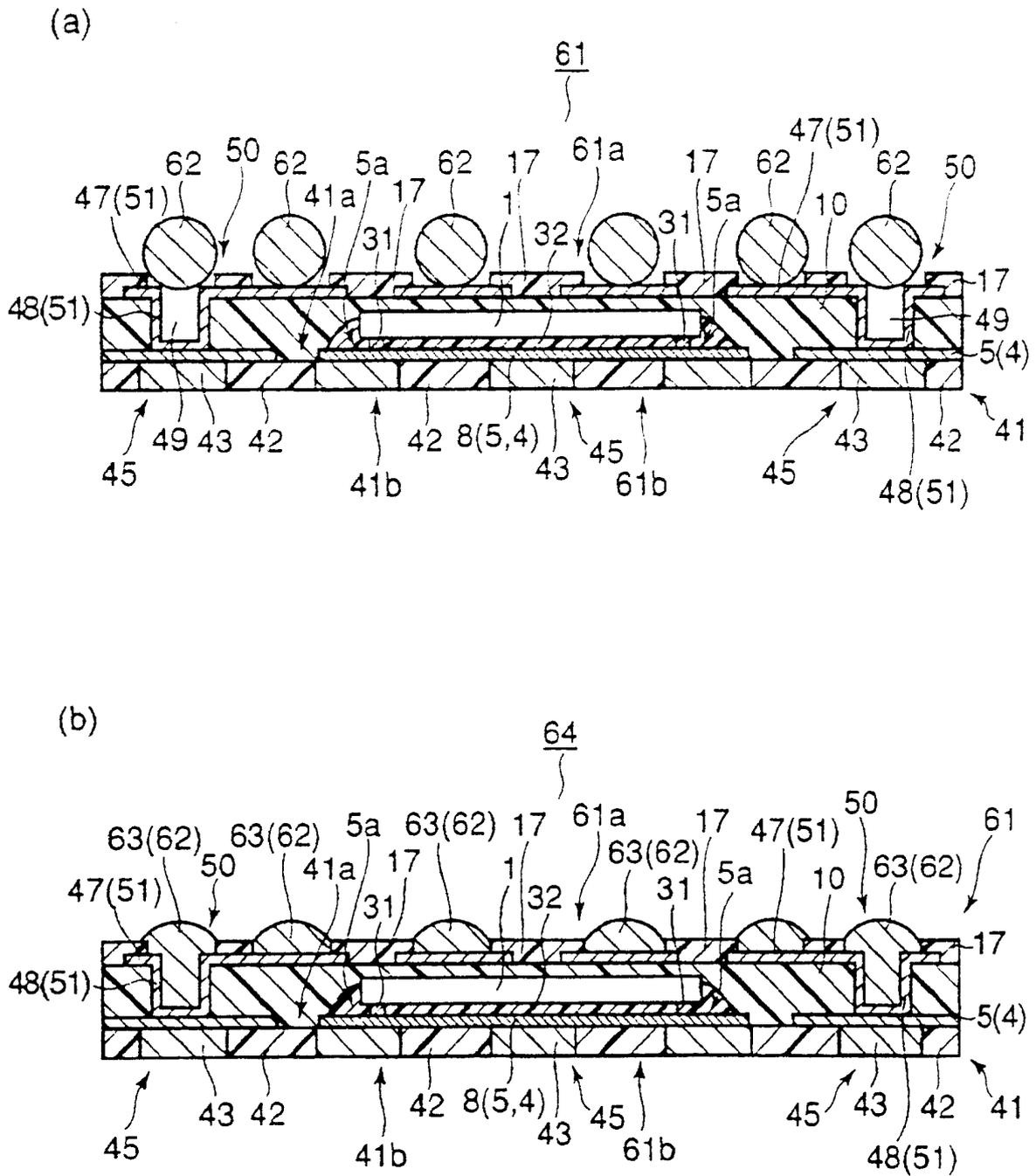
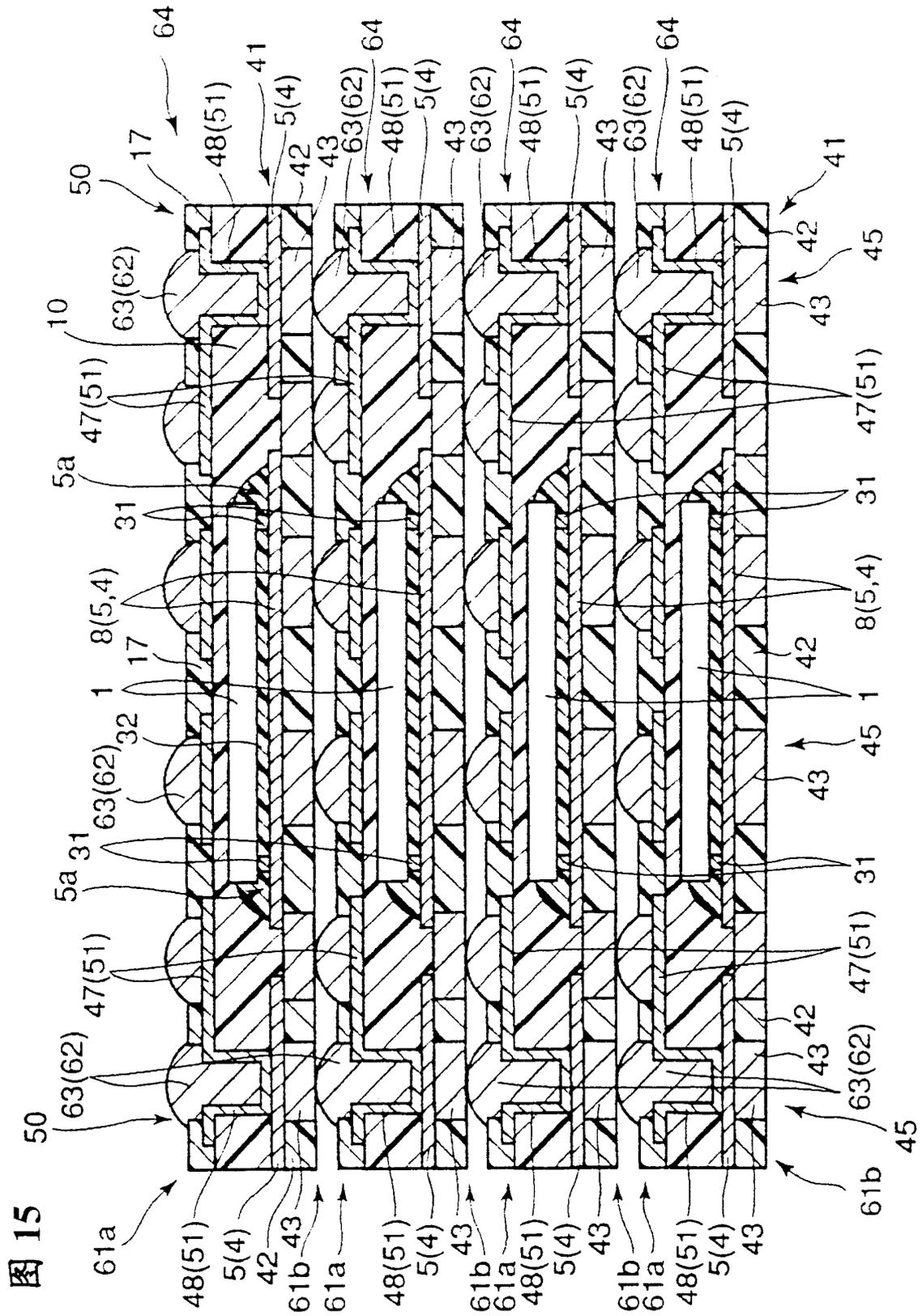


图 14





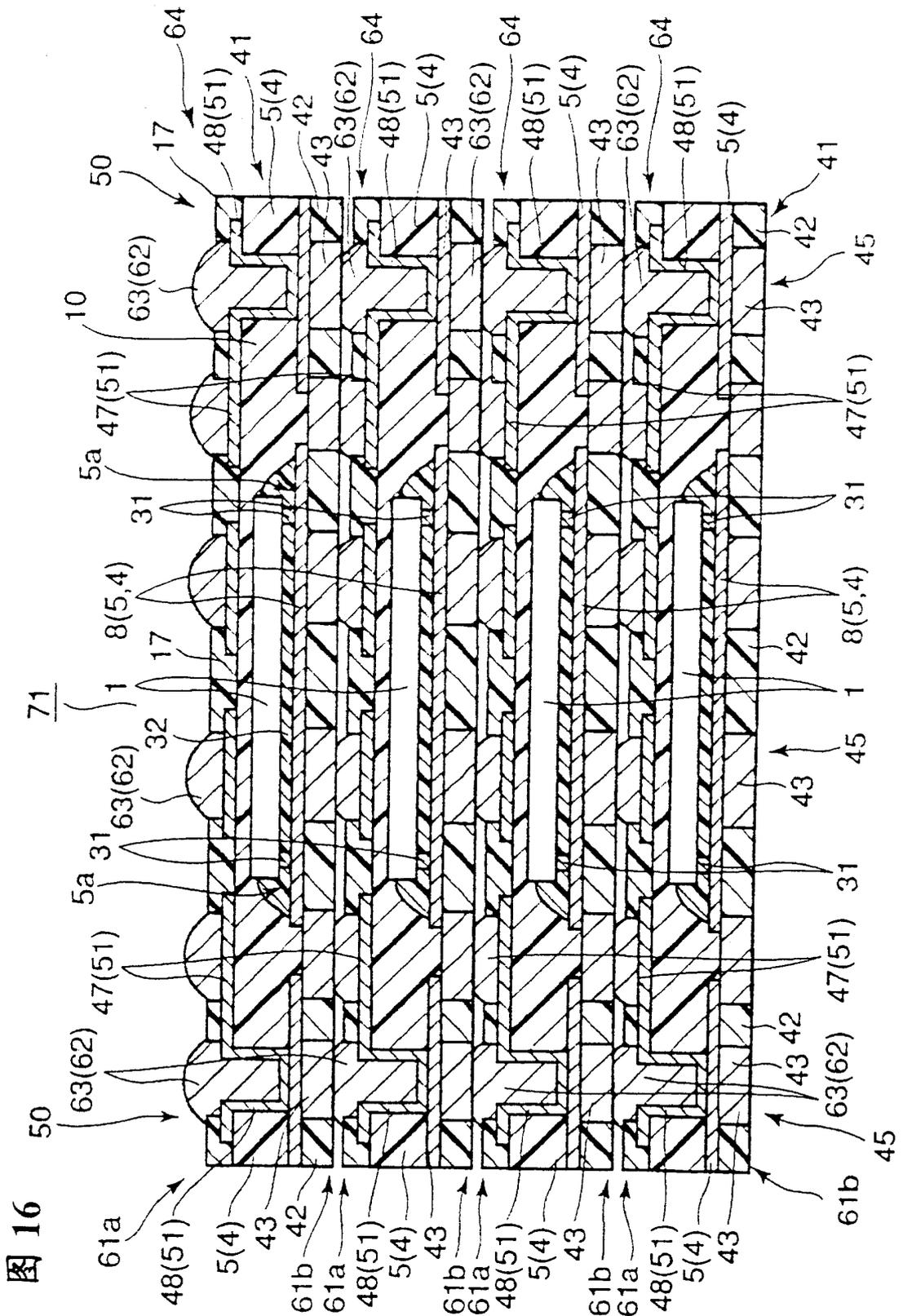
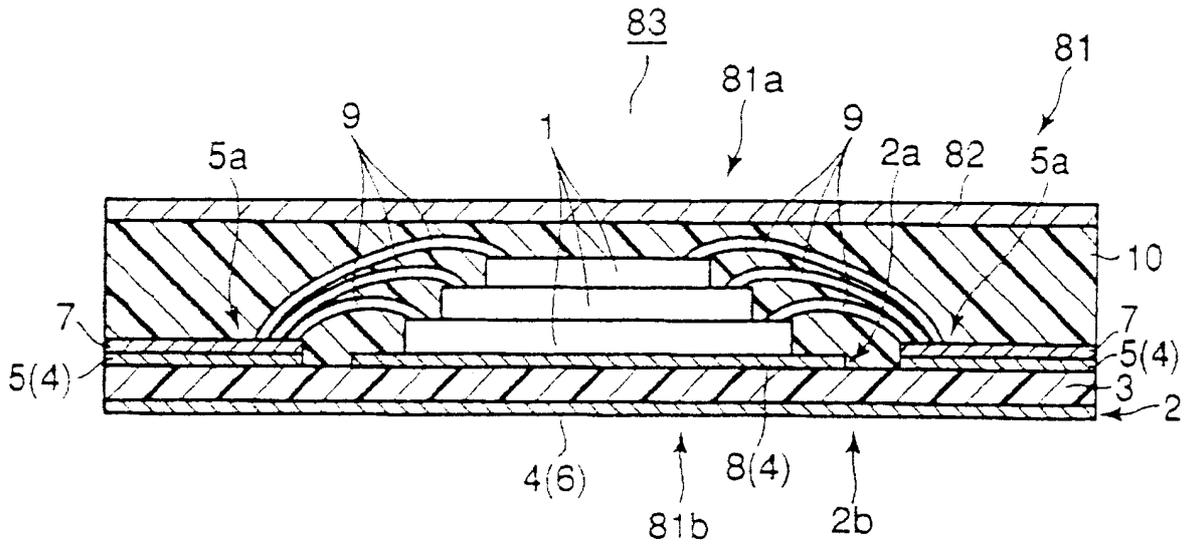


图 17

(a)



(b)

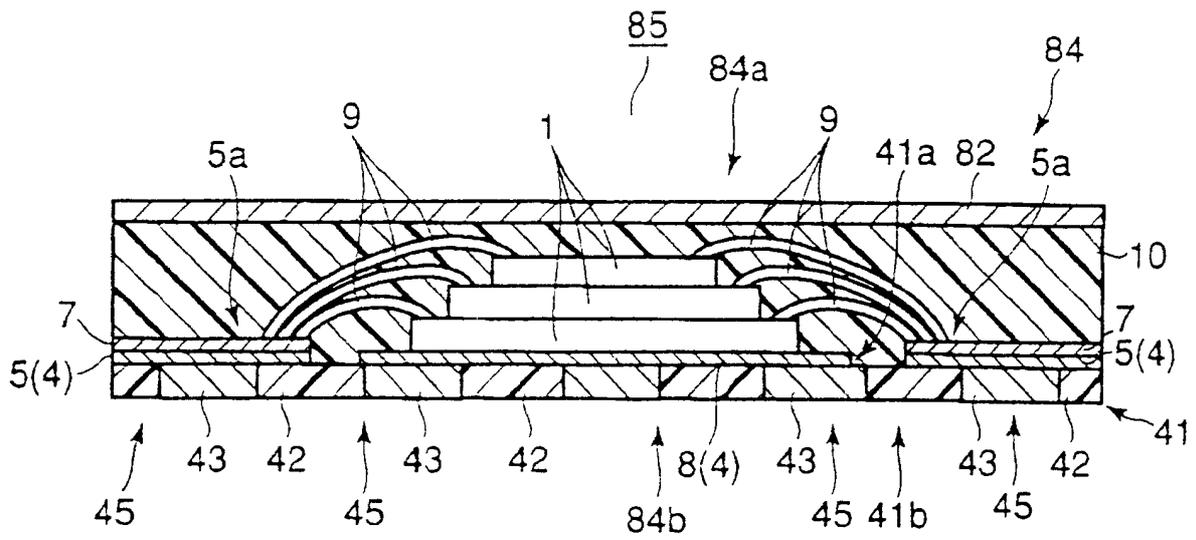


图 18

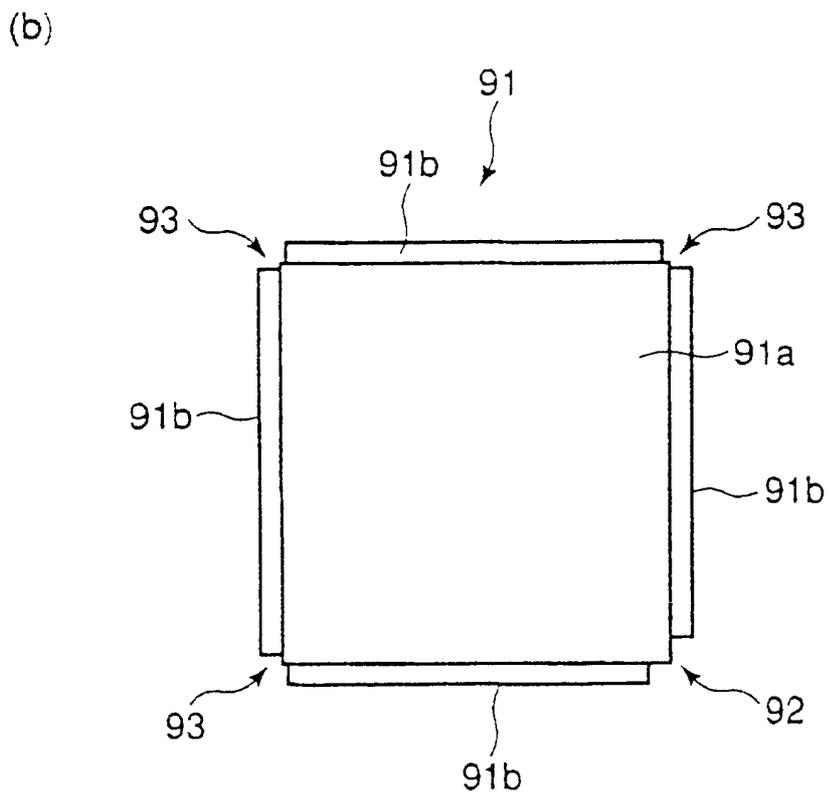
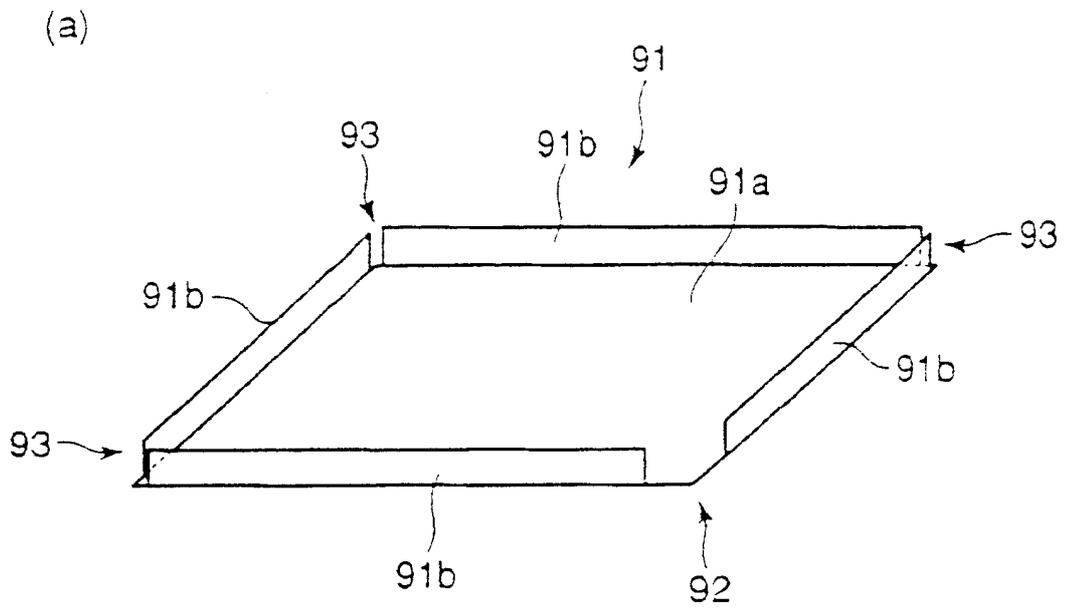


图 19

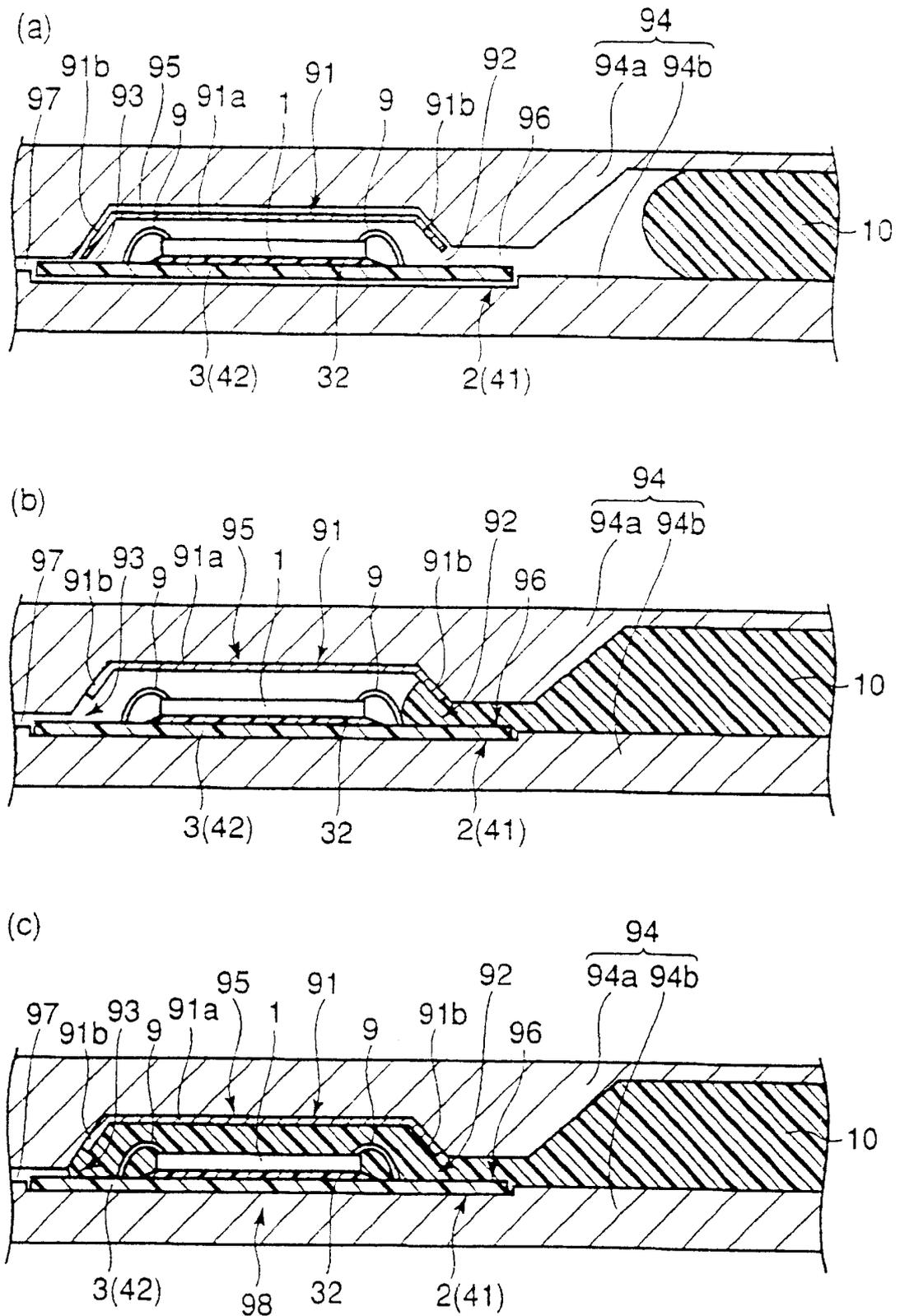
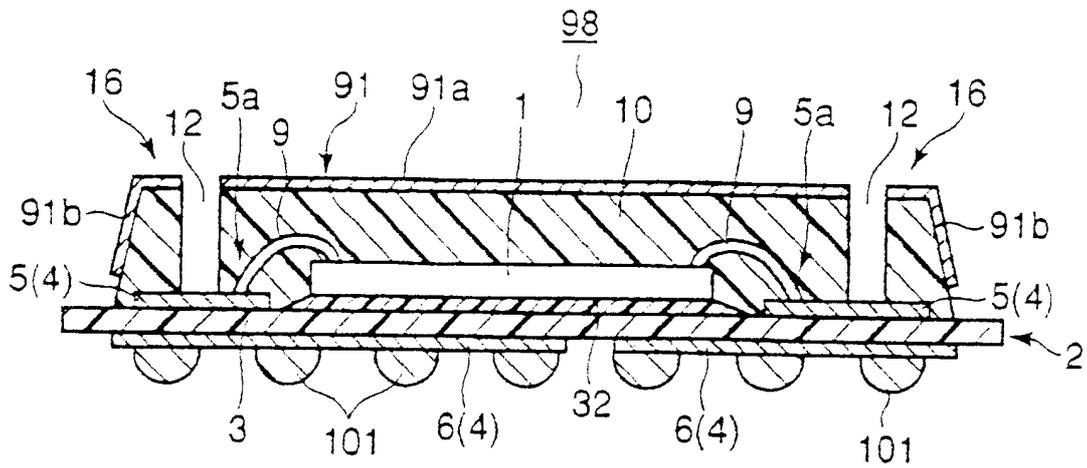
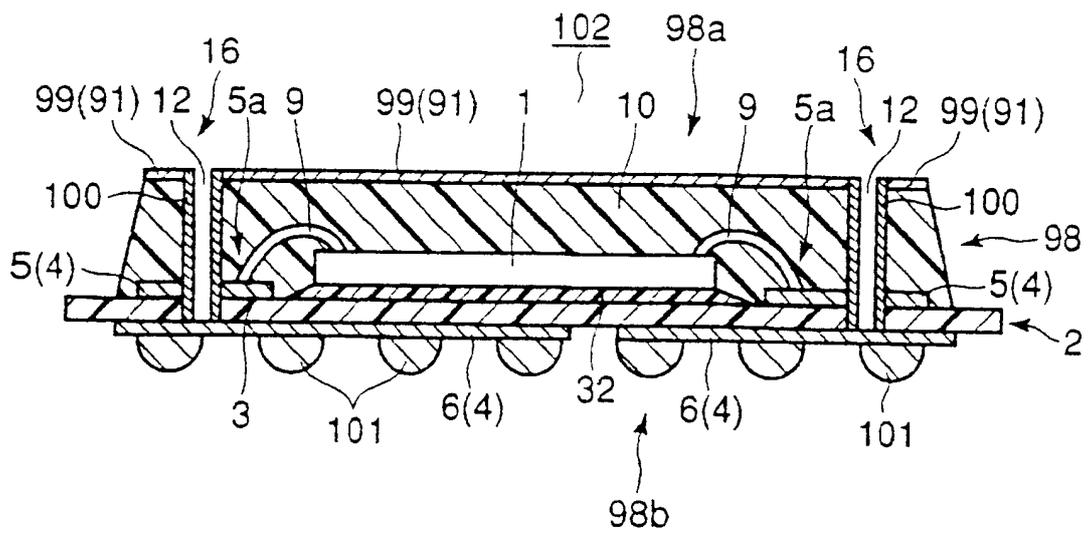


图 20



(a)



(b)

图 22

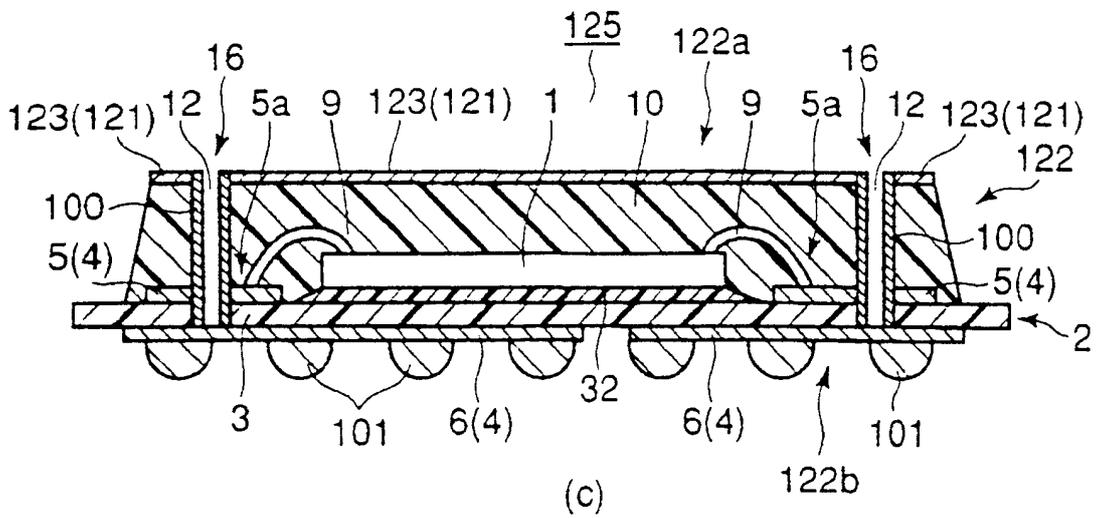
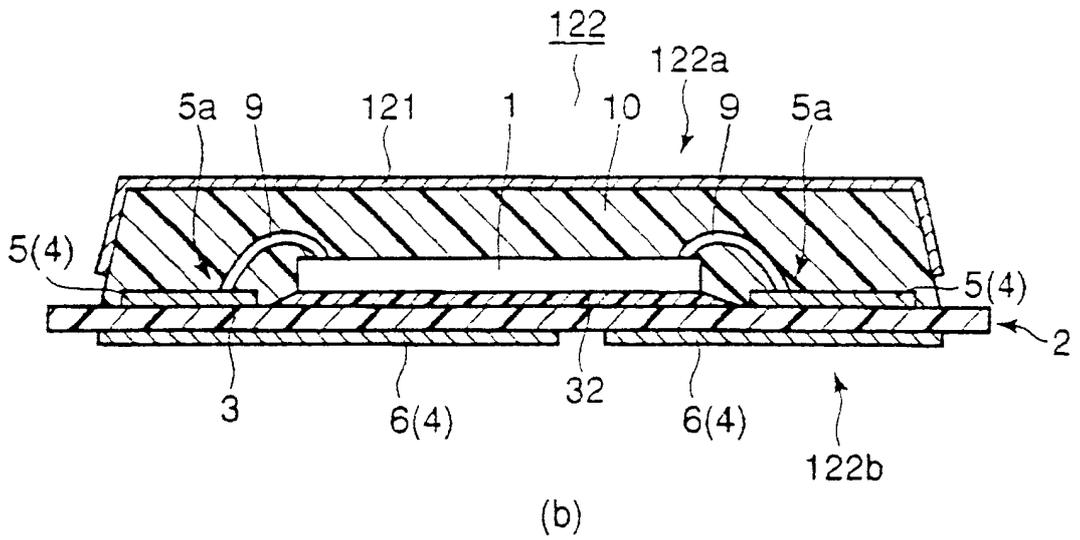
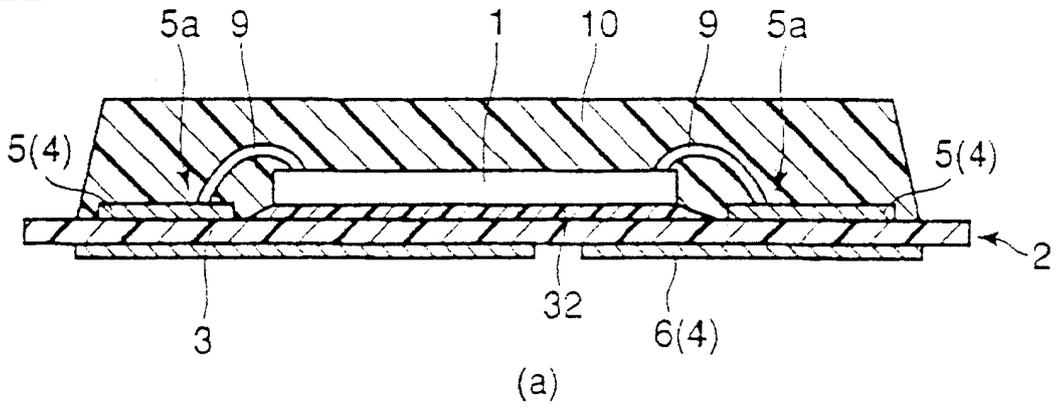


图 23

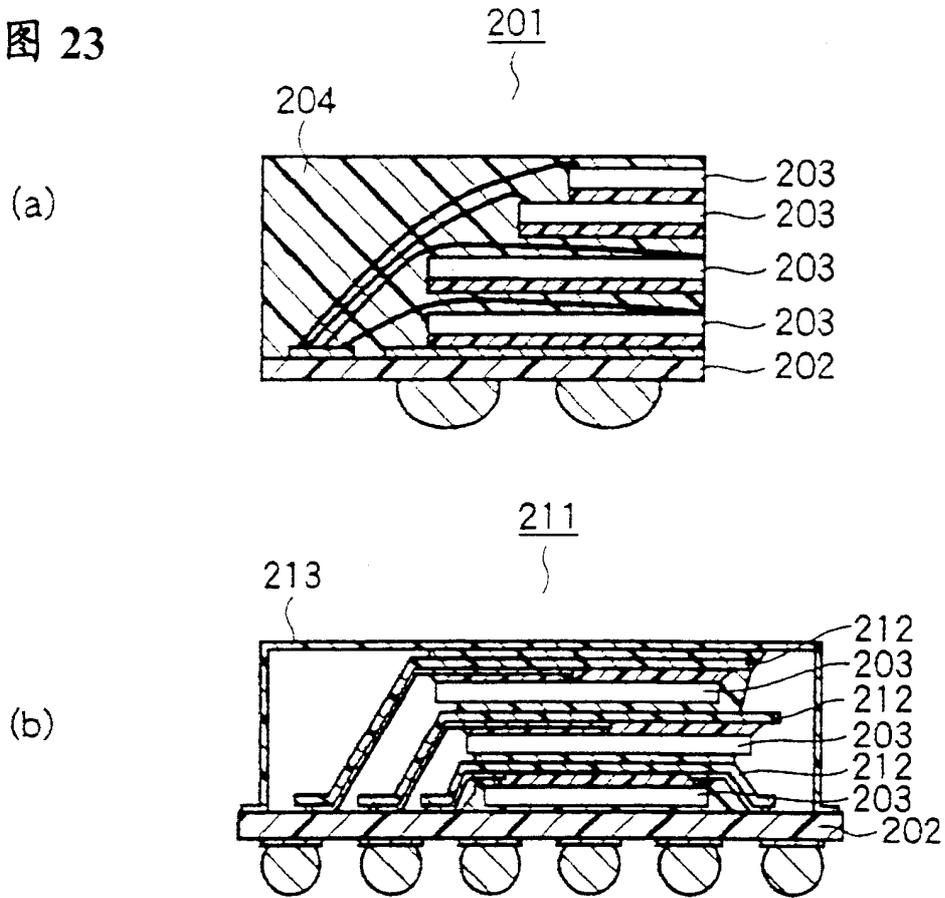


图 24

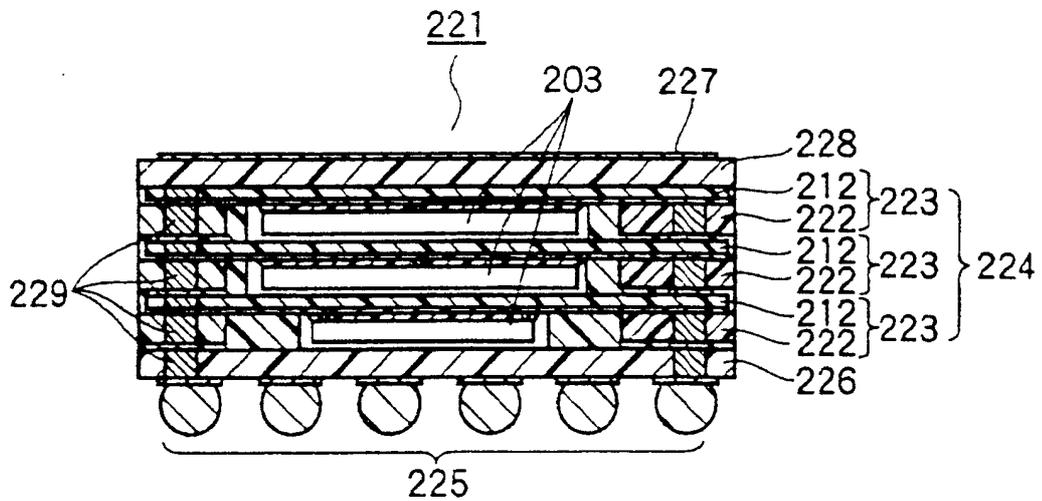


图 25

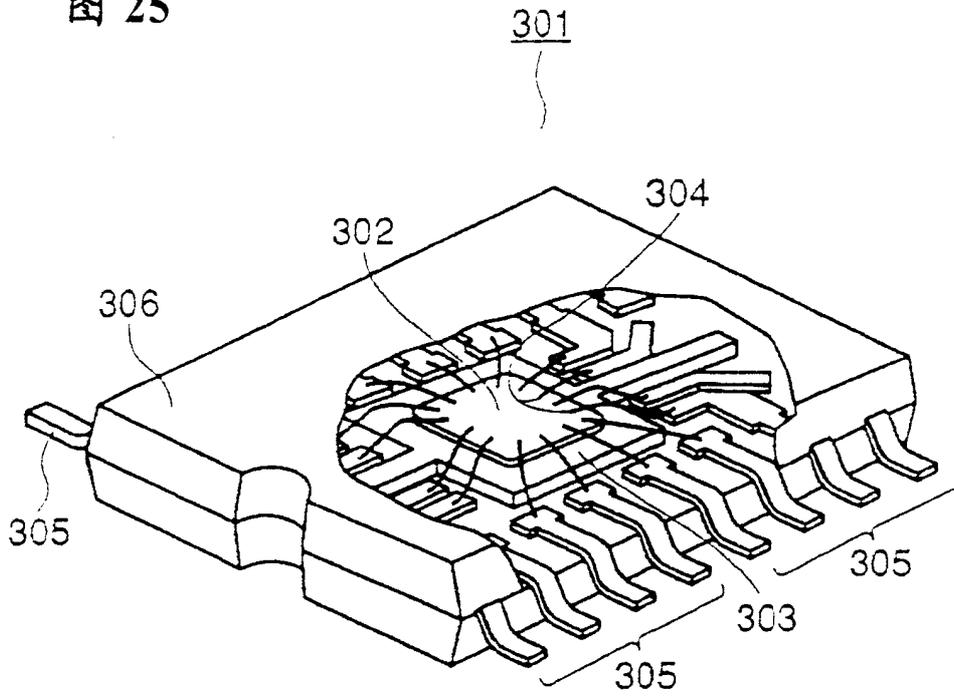


图 26

