

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第3787449号
(P3787449)

(45) 発行日 平成18年6月21日(2006.6.21)

(24) 登録日 平成18年3月31日(2006.3.31)

(51) Int.C1.

F 1

GO 1 R 19/04 (2006.01)
GO 1 J 1/44 (2006.01)GO 1 R 19/04
GO 1 R 19/04
GO 1 J 1/44C
B
A

請求項の数 6 (全 21 頁)

(21) 出願番号 特願平11-4574
 (22) 出願日 平成11年1月11日(1999.1.11)
 (65) 公開番号 特開平11-264844
 (43) 公開日 平成11年9月28日(1999.9.28)
 審査請求日 平成15年12月24日(2003.12.24)
 (31) 優先権主張番号 特願平10-5449
 (32) 優先日 平成10年1月14日(1998.1.14)
 (33) 優先権主張国 日本国(JP)

(73) 特許権者 000001007
 キヤノン株式会社
 東京都大田区下丸子3丁目30番2号
 (74) 代理人 100065385
 弁理士 山下 権平
 (72) 発明者 宮崎 敬三
 東京都大田区下丸子3丁目30番2号 キ
 ャノン株式会社内

審査官 武田 知晋

最終頁に続く

(54) 【発明の名称】アナログ信号処理回路

(57) 【特許請求の範囲】

【請求項 1】

ゲートを共通接続とし、ソースを所定の第1の基準電位に接続した第1および第2の電界効果型トランジスタと、

前記第1および第2の電界効果型トランジスタのゲートに第1の主電極を接続し、前記第1の電界効果型トランジスタのドレインに第2の主電極を接続し、第2の基準電位に制御電極を接続したトランジスタと、を有するアナログ信号処理回路。

【請求項 2】

前記第1および第2の電界効果型トランジスタの共通接続されたゲートに電荷ホールド用の蓄積手段を接続した請求項1に記載のアナログ信号処理回路。 10

【請求項 3】

前記第1および第2の電界効果型トランジスタの共通接続されたゲートと所定の基準電位との間にスイッチング手段を付加した請求項1または請求項2に記載のアナログ信号処理回路。

【請求項 4】

前記第1および第2の電界効果型トランジスタの共通接続されたゲートと、前記第1の電界効果型トランジスタのドレインと前記トランジスタの第2の主電極との接続部との間にスイッチング手段を付加した請求項1～3のいずれかの請求項に記載のアナログ信号処理回路。

【請求項 5】

前記第1および第2の電界効果型トランジスタはP型、前記トランジスタはNPNトランジスタであり、前記第2の基準電位は前記第1の基準電位よりも低く設定されている請求項1～4のいずれかの請求項に記載のアナログ信号処理回路。

【請求項6】

前記第1および第2の電界効果型トランジスタはP型、前記トランジスタはN型電界効果型トランジスタであり、前記第2の基準電位は前記第1の基準電位よりも低く設定されている請求項1～4のいずれかの請求項に記載のアナログ信号処理回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明はアナログ信号処理回路、信号処理回路、光検出装置及び像形成装置に関し、特に入力電流のピーク値に応じた出力電流を得るアナログ信号処理回路、信号処理回路、光検出装置及び像形成装置に関する。 10

【0002】

【従来の技術】

アナログ信号処理回路において、従来、入力のピーク値に応じた出力を得ようとする場合、電圧での取り扱いが主であった。図21に、電圧モードのピーク・ホールド回路を示す。同図において、201、202は演算増幅器、203、204はダイオード、205は抵抗、206はリセット用スイッチング素子、207は電荷ホールド用コンデンサ、208は電圧入力端子、209は電圧出力端子である。このように、電圧モードのピークホールド回路は、複数の演算増幅器、ダイオードおよびコンデンサ等によって構成されており、回路規模が大きくなりがちであった。さらに電流入力を取り扱う場合、入力電流を電流-電圧変換回路において電圧値に変換した後で、図21のピーク・ホールド回路に入力する方法が主であり、さらに回路規模を大きくしていた。 20

【0003】

【発明が解決しようとする課題】

上述した様に、従来は入力のピーク値に応じた出力を得ようとする場合回路規模が大きくなってしまう。このため、回路の占有面積、および消費電力が大きくなってしまう。

【0004】

本発明の目的は、より少ない回路規模で入力電流のピーク値に応じた出力電流を得るための、電流モードのピーク・ホールド回路を提供することにある。 30

【0005】

又、本発明の目的は入射光量が変化しても安定して信号を出力することが可能な光検出装置及び像形成装置を提供することを目的とする。

【0006】

【課題を解決するための手段】

上記課題を達成するため、本発明のアナログ信号処理回路は、ゲートを共通接続とし、ソースを所定の第1の基準電位に接続した第1および第2の電界効果型トランジスタと、前記第1および第2の電界効果型トランジスタのゲートに第1の主電極を接続し、前記第1の電界効果型トランジスタのドレインに第2の主電極を接続し、第2の基準電位に制御電極を接続したトランジスタと、を有するものである。 40

【0011】

【実施例】

以下、本発明の実施例について図面を用いて詳細に説明する。以下の説明では電界効果型トランジスタとして代表的なMOSトランジスタを取り上げて説明する。

(第1の実施例)

図1は、本発明のアナログ信号処理回路による第1の実施例を示す回路図である。同図において、1および2は、ゲート端子を共通接続とし、ソース端子をそれぞれ所定の同一基準電位である電源電位(V_{DD})に接続した第1および第2のP型MOSトランジスタである。3は、第1および第2のP型MOSトランジスタ1, 2の共通接続されたゲート端子 50

にコレクタを接続し、MOSトランジスタ1のドレイン端子にエミッタを接続し、ベースをV_{DD}よりも低い基準電位(V_{BIAS1})に接続したNPNトランジスタである。また、4はMOSトランジスタ1のドレインとNPNトランジスタ3のエミッタを接続した端子、5はMOSトランジスタ1とMOSトランジスタ2のゲートを共通接続した端子、6はMOSトランジスタ2のドレイン端子である。

【0012】

なお、電流は端子4から入力され、端子6より出力される。同図中のi_{D1}(t)は、時刻tにおけるMOSトランジスタ1のドレイン電流、i_{in}(t)は時刻tにおける入力電流、i_{out}(t)は時刻tにおける出力電流であり、それぞれ矢印の向きを正とする。なお、i_{out}(t)はMOSトランジスタ2のドレイン電流に一致する。 10

【0013】

図2(a), (b)は、上記アナログ信号処理回路の動作を説明するための入力電流i_{in}(t)、出力電流i_{out}(t)の模式的波形図である。はじめに、MOSトランジスタ1が飽和領域で動作しており、i_{D1}(t)とi_{in}(t)は一致し、NPNトランジスタ3がカットオフしている(遮断状態)とする。ここで、時刻t₀からt₁の期間のようにi_{in}(t)が増加しはじめると、i_{D1}(t) < i_{in}(t)となるため、端子4の電圧は下降し、V_{BIAS1}から約0.5~0.7V程度下がるとNPNトランジスタ3は順方向活性領域に入り、オノン状態となり、i_{in}(t) - i_{D1}(t)の電流がNPNトランジスタ3を通じて端子5から流れ出し i_{in}(t) と i_{D1}(t) が一致するよう、すなわちMOSトランジスタ1のゲート-ソース間電圧V_{GS}(t)が、 20

【0014】

【数1】

$$V_{GS}(t) = V_{thp} - \sqrt{\frac{2}{\mu_p \cdot C_{OX}} \cdot \frac{L_1}{W_1} \cdot i_{in}(t)} \quad \text{--- (1)式}$$

となるように端子5の電圧を下降させる。ここで、V_{thp}はP型のMOSトランジスタの閾値電圧、μ_pは正孔の移動度、C_{OX}は単位面積当たりのMOSトランジスタのゲート酸化膜容量、L₁はMOSトランジスタ1のゲート長、W₁はMOSトランジスタ1のゲート幅である。なお端子5の電圧は、この端子に接続されているMOSトランジスタ1および2のゲート-ソース間寄生容量から、NPNトランジスタ3を通じて電荷が引き抜かれることにより下降する。この時、図1の回路はカレントミラー回路として動作し、入力電流に比例した出力電流が得られる。すなわち、出力電流i_{out}(t)は、MOSトランジスタ2のゲート-ソース間電圧が、MOSトランジスタ1のゲート-ソース間電圧V_{GS}(t)に一致することから、 30

【0015】

【数2】

$$i_{out}(t) = \frac{1}{2} \cdot \mu_p \cdot C_{OX} \cdot \frac{W_2}{L_2} \left[V_{GS}(t) - V_{thp} \right]^2 \quad \text{--- (2)式}$$

で与えられ、(2)式に(1)式を代入して整理すると、

【0016】

【数3】

$$i_{out}(t) = \frac{W_2/W_1}{L_2/L_1} \cdot i_{in}(t) \quad \dots \quad (3)式$$

となる。ここで、 L_2 、 W_2 はそれぞれMOSトランジスタ2のゲート長、ゲート幅である。

【0017】

次に、時刻 t_1 から t_2 の期間のように $i_{in}(t)$ の増加が止まると $i_{D1}(t) = i_{in}(t)$ 10 となるためNPNトランジスタ3がカットオフするよう端子4の電圧は上昇しあおむね V_{BIAS1} 程度の値に落ち着く。ここで、端子5はハイインピーダンスであるから、時刻 t_1 における電荷が変化することはない、MOSトランジスタ1、2のゲート - ソース間電圧は、 $V_{GS}(t_1)$ に保たれる。この時、出力電流 $i_{out}(t)$ は、(1)および(2)式より、

【0018】

【数4】

$$i_{out}(t) = \frac{W_2/W_1}{L_2/L_1} \cdot i_{in}(t_1) \quad \dots \quad (4)式$$

20

となり、時刻 t_1 における入力電流 $i_{in}(t_1)$ に比例した電流が保存される。

【0019】

そして、時刻 t_2 から t_3 の期間のように $i_{in}(t)$ が $i_{in}(t_1)$ を下回っても $V_{GS}(t_1)$ は保存されるので、出力電流 $i_{out}(t)$ は(4)式で表される値となる。なお、この時、端子4の電圧は $i_{D1}(t) = i_{in}(t)$ を保つために最大で V_{DD} 近辺まで上昇しMOSトランジスタ1は非飽和領域で動作する。

【0020】

次に、時刻 t_3 から t_4 の期間のように $i_{in}(t_1)$ を超える電流が入力され、増加し続けると、端子4の電圧は下降し V_{BIAS1} から約 0.5 ~ 0.7 V 程度下がった時点でNPNトランジスタ3が、再度順方向活性領域に入りてオン状態となり、 $i_{in}(t) - i_{D1}(t)$ の電流がNPNトランジスタ3を通じて端子5から流れ出し $i_{in}(t)$ と $i_{D1}(t)$ 一致するよう、すなわちMOSトランジスタ1のゲート - ソース間電圧 $V_{GS}(t)$ が、(1)式で表される値となるように端子5の電圧を下降させる。そして、(3)式で表される入力電流に応じた出力電流 $i_{out}(t)$ が得られることになる。

30

【0021】

以上の説明から、入力電流の増減に応じて上記動作を繰り返すことによって、入力電流のピーク値に応じた出力電流が得られることが分かる。

(第2の実施例)

40

図3に本発明のアナログ信号処理回路による第2の実施例を示す。同図において、8は端子5の電荷を保存するための電荷ホールド用コンデンサである。図1と同一構成部材については同一符号を付し、詳細な説明を省略する。また、本実施例の動作は第1の実施例の動作と同様であるが、端子5の電圧が下降する際、この端子に接続されているMOSトランジスタ1およびMOSトランジスタ2のゲート - ソース間寄生容量に加えて電荷ホールド用コンデンサ8の容量から、NPNトランジスタ3を通じて電荷が引き抜かれる点で異なる。すなわち、端子5における電荷保存のための容量値が大きくなるため、保存される電荷量を増やすことができる。このため、端子5にリーク電流がある場合、一定時間経過後の端子5の電圧変動誤差を第1の実施例の場合よりも小さくすることができ、より安定して入力電流のピーク値に応じた出力電流が得られる。

50

(第3の実施例)

図4に本発明のアナログ信号処理回路による第3の実施例を示す。9は端子5と所定の基準電位である電源電位(V_{DD})をショートするためのスイッチング素子で、9Aはこのスイッチング素子の開閉を制御するパルス信号入力端子である。図1と同一構成部材については同一符号を付し、詳細な説明を省略する。また、本実施例の動作は、スイッチング素子9をオフさせたときは、第1の実施例の動作と同様であるが、スイッチング素子9をオンさせた状態では端子5と V_{DD} はショートされるため、端子5の電位を所定の基準電位にリセットすることができる点で異なる。すなわち、ピークホールド動作をした後、スイッチング素子9をオンし、端子5の電圧を所定の基準電位に上昇させた後にスイッチング素子9をオフすれば第1の実施例と同様の動作をし、新たにピーク・ホールド動作を行うことができる。
10

【0022】

また、言うまでもないが、本実施例においても端子5に電荷ホールド用のコンデンサ8を付加することは可能であり、第2の実施例と同様の効果が得られる。

(第4の実施例)

図5に本発明のアナログ信号処理回路による第4の実施例を示す。10は端子4と端子5をショートするためのスイッチング素子で、10Aはこのスイッチング素子の開閉を制御するパルス信号入力端子である。図1と同一構成部材については同一符号を付し、詳細な説明を省略する。また、本実施例の動作は、スイッチング素子10をオフさせたときは、第1の実施例の動作と同様であるが、スイッチング素子10をオンさせた状態では端子4と端子5はショートされるため、本実施例は通常のカレントミラー回路として動作する点で異なる。したがって、第1の実施例で示されるピーク・ホールド機能を任意に設定することが可能となる。また、ピーク・ホールド動作をした後、ピーク電流よりも少ない、基準となる電流が入力されているときにスイッチング素子10をオンさせると、端子5の電位が基準となる電位にまで引き上げられることから、入力に応じた基準出力電流が得られ、リセット機能を持たせることができる。この後、スイッチング素子10をオフされれば第1の実施例と同様の動作をし、新たにピーク・ホールド動作を行うことができる。
20

【0023】

また、言うまでもないが、本実施例においても端子5に電荷ホールド用のコンデンサ8を付加することは可能であり、第2の実施例と同様の効果が得られる。
30

【0024】

さらに、本実施例においても、端子5と所定の基準電位である電源電位(V_{DD})をショートするためのスイッチング素子9を付加することは可能であり、第3の実施例と同様の効果が得られる。

(第5の実施例)

図6に本発明のアナログ信号処理回路による第5の実施例を示す。同図において、101は、MOSトランジスタ1にあらかじめバイアス電流を供給するための定電流源で端子4と接地電位に接続されており、 I_{B1} なる定電流を供給する。102は、MOSトランジスタ2にあらかじめバイアス電流を供給するための定電流源で端子6と接地電位に接続されており、 I_{B2} なる定電流を供給する。ここで、 I_{B1} と I_{B2} の関係はMOSトランジスタ1とMOSトランジスタ2のサイズ比に合わせて、
40

【0025】

【数5】

$$I_{B2} = \frac{W_2/W_1}{L_2/L_1} \cdot I_{B1} \quad \dots \quad (5) \text{式}$$

なる関係であることが望ましい。なお、図1と同一構成部材については同一符号を付し、詳細な説明を省略する。また、本実施例の動作は第1の実施例の動作と同様であるが、M
50

MOSトランジスタ1に入力される電流 $i_{in}(t)$ が、バイアス電流 I_{B1} と入力信号電流 $i_{sin}(t)$ の和によって表される点、およびMOSトランジスタ2から出力される電流 $i_{out}(t)$ が、バイアス電流 I_{B2} と出力信号電流 $i_{sout}(t)$ の和によって表される点において異なる。本実施例によれば信号成分のみを独立して取り扱うことが可能となる。なお、本実施例においては、第1の実施例に定電流源101および定電流源102を附加した形で説明を行っているが、もちろん第2、第3および第4の実施例においても本実施例と同様の構成を取ることが可能であり同様の効果が得られる。

(第6の実施例)

図7に本発明のアナログ信号処理回路による第6の実施例を示す。本実施例は、第1の実施例の逆導電型による構成を示すものである。同図において、11および12は、ゲート端子を共通接続とし、ソース端子を所定の同一基準電位である接地電位に接続した第1、および第2のN型MOSトランジスタである。13は、MOSトランジスタ11, 12の共通接続されたゲート端子にコレクタを接続し、MOSトランジスタ11のドレイン端子にエミッタを接続し、ベースを V_{DD} よりも高い基準電位 (V_{BIAS1}) に接続したPNPトランジスタである。また、14はMOSトランジスタ11のドレインとPNPトランジスタ13のエミッタを接続した端子、15はMOSトランジスタ11とMOSトランジスタ12のゲートを共通接続した端子、16はMOSトランジスタ12のドレイン端子である。なお、電流は端子14から入力され、端子16より出力される。同図中の $i_{D11}(t)$ は、時刻 t におけるMOSトランジスタ11のドレイン電流、 $i_{in}(t)$ は時刻 t における入力電流、 $i_{out}(t)$ は時刻 t における出力電流であり、それぞれ矢印の向きを正とする。なお、 $i_{out}(t)$ はMOSトランジスタ12のドレイン電流に一致する。

【0026】

上記アナログ信号処理回路の動作を図2(a), (b)を用いて説明する。はじめに、MOSトランジスタ11が飽和領域で動作しており、 $i_{D11}(t)$ と $i_{in}(t)$ は一致し、PNPトランジスタ13がカットオフしているとする。ここで、時刻 t_0 から t_1 の期間のように $i_{in}(t)$ が増加しはじめると、 $i_{D11}(t) < i_{in}(t)$ となるため、端子14の電圧は上昇し、 V_{BIAS1} から約0.5~0.7V程度上がるとPNPトランジスタ13は順方向活性領域に入り、 $i_{in}(t) - i_{D11}(t)$ の電流がPNPトランジスタ13を通じて端子15に流れ込み $i_{in}(t)$ と $i_{D11}(t)$ が一致するよう、すなわちMOSトランジスタ11のゲート-ソース間電圧 $V_{GS}(t)$ が、

【0027】

【数6】

$$V_{GS}(t) = V_{thn} + \sqrt{\frac{2}{\mu_n \cdot C_{ox}} \cdot \frac{L_{11}}{W_{11}} \cdot i_{in}(t)} \quad \dots \quad (6) \text{式}$$

となるように端子15の電圧を上昇させる。ここで、 V_{thn} はN型のMOSトランジスタの閾値電圧、 μ_n は電子の移動度、 C_{ox} は単位面積当たりのMOSトランジスタのゲート酸化膜容量、 L_{11} はMOSトランジスタ11のゲート長、 W_{11} はMOSトランジスタ11のゲート幅である。なお端子15の電圧は、この端子に接続されているMOSトランジスタ11および12のゲート-ソース間寄生容量に、PNPトランジスタ13を通じて電荷が供給されることにより上昇する。この時、図7の回路はカレントミラー回路として動作し、入力電流に比例した出力電流が得られる。すなわち、出力電流 $i_{out}(t)$ は、MOSトランジスタ12のゲート-ソース間電圧が、MOSトランジスタ11のゲート-ソース間電圧 $V_{GS}(t)$ に一致することから、

【0028】

【数7】

$$i_{out}(t) = \frac{1}{2} \cdot \mu_n \cdot C_{OX} \cdot \frac{W_{12}}{L_{12}} [V_{GS}(t) - V_{thn}]^2 \quad \text{--- (7)式}$$

で与えられ、(7)式に(6)式を代入して整理すると、

【0029】

【数8】

$$i_{out}(t) = \frac{W_{12}/W_{11}}{L_{12}/L_{11}} \cdot i_{in}(t) \quad \text{--- (8)式}$$

10

となる。ここで、 L_{12} 、 W_{12} はそれぞれMOSトランジスタ12のゲート長、ゲート幅である。

【0030】

次に、時刻 t_1 から t_2 の期間のように $i_{in}(t)$ の増加が止まると $i_{D11}(t) = i_{in}(t)$ となるため PNPトランジスタ13がカットオフするよう端子14の電圧は下降しあおむね V_{BIAS1} 程度の値に落ち着く。ここで、端子15はハイインピーダンスであるから、時刻 t_1 における電荷が変化することなく、MOSトランジスタ11、12のゲート-ソース間電圧は、 $V_{GS}(t_1)$ に保たれる。この時、出力電流 $i_{out}(t)$ は、(6)および(7)式より、

【0031】

【数9】

$$i_{out}(t) = \frac{W_{12}/W_{11}}{L_{12}/L_{11}} \cdot i_{in}(t_1) \quad \text{--- (9)式}$$

20

となり、時刻 t_1 における入力電流 $i_{in}(t_1)$ に比例した電流が保存される。

30

【0032】

そして、時刻 t_2 から t_3 の期間のように $i_{in}(t)$ が $i_{in}(t_1)$ を下回っても $V_{GS}(t_1)$ は保存されるので、出力電流 $i_{out}(t)$ は(9)式で表される値となる。なお、この時、端子14の電圧は $i_{D11}(t) = i_{in}(t)$ を保つために最小で接地電位近辺まで下降しMOSトランジスタ11は非飽和領域で動作する。

【0033】

次に、時刻 t_3 から t_4 の期間のように $i_{in}(t_1)$ を超える電流が入力され、増加し続けると、端子14の電圧は上昇し V_{BIAS1} から約 0.5 ~ 0.7 V 程度上がった時点で PNPトランジスタ13が、再度順方向活性領域に入りてオン状態となり、 $i_{in}(t) - i_{D11}(t)$ の電流が PNPトランジスタ13を通じて端子15から流れ出し $i_{in}(t)$ と $i_{D11}(t)$ が一致するよう、すなわち MOSトランジスタ11のゲート-ソース間電圧 $V_{GS}(t)$ が、(6)式で表される値となるように端子15の電圧を下降させる。そして、(8)式で表される入力電流に応じた出力電流 $i_{out}(t)$ が得られることになる。

40

【0034】

以上の説明から、入力電流の増減に応じて上記動作を繰り返すことによって、入力電流のピーク値に応じた出力電流が得られることが分かる。

(第7の実施例)

図8に本発明のアナログ信号処理回路による第7の実施例を示す。同図において、18は端子15の電荷を保存するための電荷ホールド用コンデンサである。図7と同一構成部材については同一符号を付し、詳細な説明を省略する。また、本実施例の動作は第6の実施

50

例の動作と同様であるが、端子 15 の電圧が上昇する際、この端子に接続されているMOSトランジスタ11および12のゲート-ソース間寄生容量に加えて電荷ホールド用コンデンサ18の容量に、PNPトランジスタ13を通じて電荷が供給される点で異なる。すなわち、端子15における電荷保存のための容量値が大きくなるため、保存される電荷量を増やすことができる。このため、端子15にリーク電流がある場合、一定時間経過後の端子15の電圧変動誤差を第6の実施例の場合よりも小さくすることができ、より安定して入力電流のピーク値に応じた出力電流が得られる。

(第8の実施例)

図9に本発明のアナログ信号処理回路による第8の実施例を示す。19は端子15と所定の基準電位である接地電位をショートするためのスイッチング素子で、19Aはこのスイッチング素子の開閉を制御するパルス信号入力端子である。図7と同一構成部材については同一符号を付し、詳細な説明を省略する。また、本実施例の動作は、スイッチング素子19をオフさせたときは、第6の実施例の動作と同様であるが、スイッチング素子19をオンさせた状態では端子15と接地電位はショートされるため、端子15の電位を所定の基準電位にリセットすることができる点で異なる。すなわち、ピークホールド動作をした後、スイッチング素子19をオンし、端子15の電圧を所定の基準電位に下降させた後にスイッチング素子19をオフすれば第6の実施例と同様の動作をし、新たにピーク・ホールド動作を行うことができる。

【0035】

また、言うまでもないが、本実施例においても端子15に電荷ホールド用のコンデンサ18を付加することは可能であり、第7の実施例と同様の効果が得られる。

(第9の実施例)

図10に本発明のアナログ信号処理回路による第9の実施例を示す。20は端子14と端子15をショートするためのスイッチング素子で、20Aはこのスイッチング素子の開閉を制御するパルス信号入力端子である。図7と同一構成部材については同一符号を付し、詳細な説明を省略する。また、本実施例の動作は、スイッチング素子20をオフさせたときは、第6の実施例の動作と同様であるが、スイッチング素子20をオンさせた状態では端子14と端子15はショートされるため、本実施例は通常のカレントミラー回路として動作する点で異なる。したがって、第6の実施例で示されるピーク・ホールド機能を任意に設定することが可能となることがわかる。また、ピーク・ホールド動作をした後、ピーク電流よりも少ない、基準となる電流が入力されているときにスイッチング素子20をオンさせると、端子15の電位が基準となる電位にまで引き下げられることから、入力に応じた基準出力電流が得られ、リセット機能を持たせることができる。この後、スイッチング素子20をオフさせれば第6の実施例と同様の動作をし、新たにピーク・ホールド動作を行うことができる。

【0036】

また、言うまでもないが、本実施例においても端子15に電荷ホールド用のコンデンサ18を付加することは可能であり、第7の実施例と同様の効果が得られる。

【0037】

さらに、本実施例においても、端子15と所定の基準電位である接地電位とショートするためのスイッチング素子19を付加することは可能であり、第8の実施例と同様の効果が得られる。

(第10の実施例)

図11に本発明のアナログ信号処理回路による第10の実施例を示す。同図において、111は、MOSトランジスタ11にあらかじめバイアス電流を供給するための定電流源で端子14と電源電位(V_{DD})に接続されており、 I_{B11} なる定電流を供給する。112は、MOSトランジスタ12にあらかじめバイアス電流を供給するための定電流源で端子16と電源電位(V_{DD})に接続されており、 I_{B12} なる定電流を供給する。ここで、 I_{B11} と I_{B12} の関係はMOSトランジスタ11とMOSトランジスタ12のサイズ比に合わせて

【0038】

【数10】

$$I_{B12} = \frac{W_{12}/W_{11}}{L_{12}/L_{11}} \cdot I_{B11} \quad \dots \quad (10) \text{式}$$

なる関係であることが望ましい。なお、図7と同一構成部材については同一符号を付し、詳細な説明を省略する。また、本実施例の動作は第6の実施例の動作と同様であるが、MOSトランジスタ11に入力される電流*i_{in}*(t)が、バイアス電流*I_{B11}*と入力信号電流*i_{sin}*(t)の和によって表される点、およびMOSトランジスタ12から出力される電流*i_{out}*(t)が、バイアス電流*I_{B12}*と出力信号電流*i_{sout}*(t)の和によって表される点において異なる。本実施例によれば信号成分のみを独立して取り扱うことが可能となる。なお、本実施例においては、第6の実施例に定電流源111および112を附加した形で説明を行っているが、もちろん第7、第8および第9の実施例においても本実施例と同様の構成を取ることが可能であり同様の効果が得られる。

（第11の実施例）

図12に本発明のアナログ信号処理回路による第11の実施例を示す。本実施例は、第1の実施例の改良型で、高速動作を可能にするものである。同図において、7は、エミッタをMOSトランジスタ1のドレインとNPNトランジスタ3のエミッタとを共通接続した端子に接続し、ベースをV_{DD}よりも低い基準電位(V_{BIAS2})に接続し、コレクタをV_{DD}よりも低い基準電位である接地電位に接続したPNPトランジスタである。図1と同一構成部材については同一符号を付し、詳細な説明を省略する。なお、V_{BIAS1}とV_{BIAS2}の関係は、NPNトランジスタ3とPNPトランジスタ7を同時にオンするがないような値に設定されていれば良く、特に大小関係は問わないが、V_{BIAS1} - V_{BIAS2}が、上記の条件を満たしつつ、できる限り大きくすることが望ましい。

【0039】

次に、上記アナログ信号処理回路の動作を図2(a), (b)を用いて説明するが、ここでは一例としてV_{BIAS1} - V_{BIAS2}が0.6Vに設定されているとする。はじめに、MOSトランジスタ1が飽和領域で動作しており、i_{D1}(t)とi_{in}(t)は一致しているとすると、端子4の電位はおおむねV_{BIAS1}とV_{BIAS2}の中間電位にあり、NPNトランジスタ3とPNPトランジスタ7のベース-エミッタ間電圧は共に0.3V程度となって、両トランジスタ共カットオフしている。ここで、時刻t₀からt₁の期間のようにi_{in}(t)が増加しはじめると、i_{D1}(t) < i_{in}(t)となるため、端子4の電圧は下降する。この時、PNPトランジスタ7はカットオフを保つ一方で、端子4の電圧がV_{BIAS1}から約0.5~0.7V程度下がるとNPNトランジスタ3は順方向活性領域に入ってオン状態となり、i_{in}(t) - i_{D1}(t)の電流がNPNトランジスタ3を通じて端子5から流れ出し i_{in}(t) と i_{D1}(t) が一致するよう、すなわちMOSトランジスタ1のゲート-ソース間電圧V_{GS}(t)が、(1)式で表される値となるように端子5の電圧を下降させる。なお端子5の電圧は、この端子に接続されているMOSトランジスタ1およびMOSトランジスタ2のゲート-ソース間寄生容量から、NPNトランジスタ3を通じて電荷が引き抜かれることにより下降する。この時、図12の回路はカレントミラー回路として動作し、(3)式で表されるように入力電流に比例した出力電流が得られる。

【0040】

次に、時刻t₁からt₂の期間のようにi_{in}(t)の増加が止まるとi_{D1}(t) = i_{in}(t)となるため、NPNトランジスタ3とPNPトランジスタ7が共にカットオフするよう端子4の電圧は上昇しあおむねV_{BIAS1}とV_{BIAS2}の中間電位に落ち着く。ここで、端子5はハイインピーダンスであるから、時刻t₁における電荷が変化することなく、MOSトランジスタ1、2のゲート-ソース間電圧は、V_{GS}(t₁)に保たれる。この時、出力電流i_{out}(t)は、(4)式で表されるように、時刻t₁における入力電流i_{in}(t₁)

10

20

20

30

40

50

に比例した電流が保存される。そして、時刻 t_2 から t_3 の期間のように $i_{in}(t)$ が $i_{in}(t_1)$ を下まわると、端子 4 の電圧はさらに上昇するが、NPNトランジスタ 7 はカットオフを保ったままであるから、 $V_{GS}(t_1)$ は保存されるので、出力電流 $i_{out}(t)$ は(4)式で表される値となる。ところで、端子 4 の電圧が V_{BIAS2} から約 0.5 ~ 0.7 V 程度上がると、PNPトランジスタ 7 は順方向活性領域に入つてオン状態となり、 $i_{D1}(t) - i_{in}(t)$ すなわち $i_{in}(t_1) - i_{in}(t)$ の電流を流すため、端子 4 の電圧の上昇は抑えられることになる。このため、端子 4 の電圧振幅を第 1 の実施例の場合よりも小さくすることができるから、より高速な動作が可能となる。

【0041】

次に、時刻 t_3 から t_4 の期間のように $i_{in}(t_1)$ を超える電流が入力され、増加し続けると、端子 4 の電圧は下降し V_{BIAS1} から約 0.5 ~ 0.7 V 程度下がった時点で NPNトランジスタ 3 が、再度順方向活性領域に入つてオン状態となり、 $i_{in}(t) - i_{D1}(t)$ の電流が NPNトランジスタ 3 を通じて端子 5 から流れ出し $i_{in}(t)$ と $i_{D1}(t)$ が一致するよう、すなわち MOSトランジスタ 1 のゲート - ソース間電圧 $V_{GS}(t)$ が、(1)式で表される値となるように端子 5 の電圧を下降させる。そして、(3)式で表される入力電流に応じた出力電流 $i_{out}(t)$ が得られることになる。

【0042】

以上の説明から、入力電流の増減に応じて上記動作を繰り返すことによって、入力電流のピーク値に応じた出力電流が得られると共に、第 1 の実施例よりも高速な動作が可能となることがわかる。

【0043】

なお、本実施例においても、端子 5 に電荷ホールド用コンデンサ 8 を付加すること、および端子 5 と所定の基準電位との間にリセット用のスイッチング素子 9 を付加すること、および端子 4 と端子 6 に定電流源 101 と 102 を付加することは可能であり、第 2 および第 3 および第 5 の実施例と同様の効果が得られる。

(第 12 の実施例)

図 13 に本発明のアナログ信号処理回路による第 12 の実施例を示す。本実施例は、第 1 の実施例の逆導電型による構成を示すものであり、第 6 の実施例の改良型で、高速動作を可能にするものである。同図において、17 は、エミッタを MOSトランジスタ 11 のドレインと PNPトランジスタ 13 のエミッタとを共通接続した端子に接続し、ベースを接地電位よりも高い基準電位 (V_{BIAS2}) に接続し、コレクタを接地電位よりも高い基準電位である V_{DD} に接続した NPNトランジスタである。図 7 と同一構成部材については同一符号を付し、詳細な説明を省略する。なお、 V_{BIAS1} と V_{BIAS2} の関係は、PNPトランジスタ 13 と NPNトランジスタ 17 を同時にオンする事がないような値に設定されれば良く、特に大小関係は問わないが、 $V_{BIAS2} - V_{BIAS1}$ が、上記の条件を満たしつつ、できる限り大きくすることが望ましい。

【0044】

次に、上記アナログ信号処理回路の動作を図 2(a), (b) を用いて説明するが、ここでは一例として $V_{BIAS2} - V_{BIAS1}$ が 0.6 V に設定されているとする。はじめに、MOSトランジスタ 11 が飽和領域で動作しており、 $i_{D11}(t)$ と $i_{in}(t)$ は一致しているとすると、端子 14 の電位はおおむね V_{BIAS1} と V_{BIAS2} の中間電位にあり、PNPトランジスタ 13 と NPNトランジスタ 17 のベース - エミッタ間電圧は共に 0.3 V 程度となって、両トランジスタ共カットオフしている。ここで、時刻 t_0 から t_1 の期間のように $i_{in}(t)$ が増加しはじめると、 $i_{D11}(t) < i_{in}(t)$ となるため、端子 14 の電圧は上昇する。この時、NPNトランジスタ 17 はカットオフを保つ一方で、端子 14 の電圧が V_{BIAS1} から約 0.5 ~ 0.7 V 程度上がると PNPトランジスタ 13 は順方向活性領域に入つてオン状態となり、 $i_{in}(t) - i_{D11}(t)$ の電流が PNPトランジスタ 13 を通じて端子 15 に流れ込み $i_{in}(t)$ と $i_{D11}(t)$ が一致するよう、すなわち MOSトランジスタ 11 のゲート - ソース間電圧 $V_{GS}(t)$ が、(6)式で表される値となるように端子 15 の電圧を上昇させる。なお端子 15 の電圧は、この端子に接続されている M

10

20

30

40

50

MOSトランジスタ11および12のゲート-ソース間寄生容量に、PNPトランジスタ13を通じて電荷が供給されることにより上昇する。この時、図13の回路はカレントミラー回路として動作し、(8)式で表されるように入力電流に比例した出力電流が得られる。

【0045】

次に、時刻 t_1 から t_2 の期間のように $i_{in}(t)$ の増加が止まると $i_{D11}(t) = i_{in}(t)$ となるため、PNPトランジスタ13とNPNトランジスタ17が共にカットオフするよう端子14の電圧は下降しおおむね V_{BIAS1} と V_{BIAS2} の中間電位に落ち着く。ここで、端子15はハイインピーダンスであるから、時刻 t_1 における電荷が変化することはなく、MOSトランジスタ11、12のゲート-ソース間電圧は、 $V_{GS}(t_1)$ に保たれる。この時、出力電流 $i_{out}(t)$ は、(9)式で表されるように、時刻 t_1 における入力電流 $i_{in}(t_1)$ に比例した電流が保存される。10

【0046】

そして、時刻 t_2 から t_3 の期間のように $i_{in}(t)$ が $i_{in}(t_1)$ を下まわると、端子14の電圧はさらに下降するが、PNPトランジスタ17はカットオフを保ったままであるから、 $V_{GS}(t_1)$ は保存されるので、出力電流 $i_{out}(t)$ は(9)式で表される値となる。ところで、端子14の電圧が V_{BIAS2} から約0.5~0.7V程度下がると、NPNトランジスタ17は順方向活性領域に入つてオン状態となり、 $i_{D1}(t) - i_{in}(t)$ すなわち $i_{in}(t_1) - i_{in}(t)$ の電流を流すため、端子14の電圧の下降は抑えられることになる。このため、端子14の電圧振幅を第6の実施例の場合よりも小さくすることができるから、より高速な動作が可能となる。20

【0047】

次に、時刻 t_3 から t_4 の期間のように $i_{in}(t_1)$ を超える電流が入力され、増加し続けると、端子14の電圧は上昇し V_{BIAS1} から約0.5~0.7V程度上がった時点でPNPトランジスタ13が、再度順方向活性領域に入つてオン状態となり、 $i_{in}(t) - i_{D11}(t)$ の電流がPNPトランジスタ13を通じて端子15から流れ出し $i_{in}(t)$ と $i_{D11}(t)$ 一致するよう、すなわちMOSトランジスタ11のゲート-ソース間電圧 $V_{GS}(t)$ が、(6)式で表される値となるように端子15の電圧を上昇させる。そして、(8)式で表される入力電流に応じた出力電流 $i_{out}(t)$ が得られることになる。

【0048】

以上の説明から、入力電流の増減に応じて上記動作を繰り返すことによって、入力電流のピーク値に応じた出力電流が得られると共に、第6の実施例よりも高速な動作が可能となることがわかる。30

【0049】

なお、本実施例においても、端子15に電荷ホールド用コンデンサ18を付加すること、および端子15と所定の基準電位との間にリセット用のスイッチング素子19を付加すること、および端子14と端子16に定電流源111と112を付加することは可能であり、第7および第8および第10の実施例と同様の効果が得られる。

(第13の実施例)

図14に本発明のアナログ信号処理回路による第13の実施例を示す。本実施例は、第1の実施例のNPNトランジスタの代わりにN型MOSトランジスタを用いたものである。同図において、23は端子5にドレインを接続し、端子4にソースを接続し、ゲートを V_{DD} よりも低い基準電位(V_{BIAS1})に接続したN型MOSトランジスタである。図1と同一構成部材については同一符号を付し、詳細な説明を省略する。また、本実施例の動作は第1の実施例の動作と同様であるが、端子4の電圧が V_{BIAS1} からMOSトランジスタ23の閾値電圧以上下がるとMOSトランジスタ23はオンし端子5の電圧を下降させる。本実施例においても、第1の実施例と同様、入力電流のピーク値に応じた出力電流が得られる。40

【0050】

なお、本実施例においても端子5に電荷ホールド用コンデンサ8を付加すること、および50

端子 5 と所定の基準電位との間にリセット用のスイッチング素子 9 を付加すること、および端子 4 と端子 5 の間にスイッチング素子 10 を付加すること、および端子 4 と端子 6 に定電流源 101 と 102 を付加することは可能であり、第 2、第 3、第 4 および第 5 の実施例と同様の効果が得られる。

(第 14 の実施例)

図 15 に本発明のアナログ信号処理回路による第 14 の実施例を示す。本実施例は、第 13 の実施例の逆導電型で、第 6 の実施例の PNP トランジスタの代わりに P 型 MOS トランジスタを用いたものである。同図において、33 は端子 15 にドレインを接続し、端子 14 にソースを接続し、ゲートを接地電位よりも高い基準電位 (V_{BIAS_1}) に接続した P 型 MOS トランジスタである。図 7 と同一構成部材については同一符号を付し、詳細な説明を省略する。また、本実施例の動作は第 6 の実施例の動作と同様であるが、端子 14 の電圧が V_{BIAS_1} から MOS トランジスタ 33 の閾値電圧以上上ると MOS トランジスタ 33 はオンし端子 15 の電圧を上昇させる。本実施例においても、第 6 の実施例と同様、入力電流のピーク値に応じた出力電流が得られる。
10

【0051】

なお、本実施例においても端子 15 に電荷ホールド用コンデンサ 18 を付加すること、および端子 15 と所定の基準電位との間にリセット用のスイッチング素子 19 を付加すること、および端子 14 と端子 15 の間にスイッチング素子 20 を付加すること、および端子 14 と端子 16 に定電流源 111 と 112 を付加することは可能であり、第 7、第 8、第 9 および第 10 の実施例と同様の効果が得られる。
20

(第 15 の実施例)

図 16 に本発明のアナログ信号処理回路による第 15 の実施例を示す。本実施例は、第 13 の実施例の改良型で、高速動作を可能にするものであり、第 11 の実施例の NPN トランジスタを N 型 MOS トランジスタに、PNP トランジスタを P 型 MOS トランジスタにそれぞれ置き換えたものである。同図において、27 は、ソースを MOS トランジスタ 1 のドレインと MOS トランジスタ 23 のソースとを共通接続した端子に接続し、ゲートを V_{DD} よりも低い基準電位 (V_{BIAS_2}) に接続し、ドレインを V_{DD} よりも低い基準電位である接地電位に接続した P 型 MOS トランジスタである。図 14 と同一構成部材については同一符号を付し、詳細な説明を省略する。なお、 V_{BIAS_1} と V_{BIAS_2} の関係は、MOS トランジスタ 23 と MOS トランジスタ 27 を同時にオンすることができないような値に設定されていれば良く、特に大小関係は問わないが、 $V_{BIAS_1} - V_{BIAS_2}$ が、上記の条件を満たしつつ、できる限り大きくすることが望ましい。また、本実施例の動作は第 11 および第 13 の実施例の動作と同様であるが、端子 4 の電圧が V_{BIAS_1} から MOS トランジスタ 23 の閾値電圧以上上ると MOS トランジスタ 23 はオンして端子 5 の電圧を下降させ、端子 4 の電圧が V_{BIAS_2} から MOS トランジスタ 27 の閾値電圧以上上ると MOS トランジスタ 27 がオンすることによって、 $i_{D1}(t) - i_{in}(t)$ すなわち $i_{in}(t_1) - i_{in}(t)$ の電流を流し、端子 4 の電圧の上昇を抑える。このため、本実施例においては、端子 4 の電圧振幅を第 13 の実施例の場合よりも小さくすることができるから、より高速な動作が可能になると共に、第 11 および第 13 の実施例と同様、入力電流のピーク値に応じた出力電流が得られる。
30

【0052】

なお、本実施例においても端子 5 に電荷ホールド用コンデンサ 8 を付加すること、および端子 5 と所定の基準電位との間にリセット用のスイッチング素子 9 を付加すること、および端子 4 と端子 6 に定電流源 101 と 102 を付加することは可能であり、第 2 および第 3 および第 5 の実施例と同様の効果が得られる。

(第 16 の実施例)

図 17 に本発明のアナログ信号処理回路による第 16 の実施例を示す。本実施例は、第 14 の実施例の改良型で、高速動作を可能にするものであり、第 12 の実施例の PNP トランジスタを P 型 MOS トランジスタに、NPN トランジスタを N 型 MOS トランジスタにそれぞれ置き換えたものである。同図において、37 は、ソースを MOS トランジスタ 1
40

10

20

30

40

50

1のドレインとMOSトランジスタ33のソースとを共通接続した端子に接続し、ゲートを接地電位よりも高い基準電位(V_{BIAS2})に接続し、ドレインを接地電位よりも高い基準電位である V_{DD} に接続したN型MOSトランジスタである。図15と同一構成部材については同一符号を付し、詳細な説明を省略する。なお、 V_{BIAS1} と V_{BIAS2} の関係は、MOSトランジスタ33とMOSトランジスタ37を同時にオンする事がないよう値に設定されれば良く、特に大小関係は問わないが、 $V_{BIAS2} - V_{BIAS1}$ が、上記の条件を満たしつつ、できる限り大きくすることが望ましい。また、本実施例の動作は第12および第14の実施例の動作と同様であるが、端子14の電圧が V_{BIAS1} からMOSトランジスタ33の閾値電圧以上上るとMOSトランジスタ33はオンして端子15の電圧を上昇させ、端子4の電圧が V_{BIAS2} からMOSトランジスタ37の閾値電圧以上下がるとMOSトランジスタ37がオンすることによって、 $i_{D11}(t) - i_{in}(t)$ すなわち $i_{in}(t) - i_{in}(t)$ の電流を流し、端子4の電圧の下降を抑える。このため、本実施例においては、端子14の電圧振幅を第14の実施例の場合よりも小さくすることができるから、より高速な動作が可能になると共に、第12および第14の実施例と同様、入力電流のピーク値に応じた出力電流が得られる。

【0053】

なお、本実施例においても端子15に電荷ホールド用コンデンサ18を付加すること、および端子15と所定の基準電位との間にリセット用のスイッチング素子19を付加すること、および端子14と端子16に定電流源111と112を付加することは可能であり、第7および第8および第10の実施例と同様の効果が得られる。

【0054】

なお、本発明において、第1及び第2の電界効果型トランジスタでないトランジスタ(または第1および第2のトランジスタ)をバイポーラトランジスタとしたときには、第1および第2の主電極はコレクタ、エミッタ、制御電極はベースが対応し、前記トランジスタを電界効果型トランジスタとしたときには、第1および第2の主電極はドレイン、ソース、制御電極はゲートが対応すると考えればよい。

(第17の実施例)

次に、ピーク検出回路を利用した装置の一例を説明する。

【0055】

一般にレーザービームプリンタのようなレーザー光を用いて感光ドラム面上に画像を形成する装置は図18に示すように、レーザーダイオード1906、このレーザーをスキャンせしめるポリゴンミラー1907、レンズ系1908、反射ミラー1909、および感光ドラム1910等により構成され、光検出装置1911は前記レーザー光がある所定の位置を通過したことを検出し、2値の電気信号として水平同期信号を発生する。

【0056】

この光検出装置は、図19に示すようにフォトダイオード1921と、該フォトダイオード1921の光起電流を電圧変換するところの抵抗体R1と、この光電変換出力 V_p を一方の入力とし、かつ2値化のためのスレッシュホールドレベルを決める基準電圧 V_{ref} を他の一方の入力とするところの電圧比較器1922とから構成されている。

【0057】

しかしながら、上記図19に示される回路では電圧比較器1922の入力となる前記光電変換出力 V_p と前記基準電圧 V_{ref} とが各々独立であるがために、該光検出装置に入力される光量が変化すると前記光電変換出力 V_p の振幅が変動する一方で前記基準電圧 V_{ref} の値は一定であるので、相対的にスレッシュホールドレベルが変化することになる。このため、水平同期信号 V_{out} の発生タイミングが大きく変動したり、前記光電変換出力 V_p の立ち上がりあるいは立ち下がり波形がスレッシュホールドレベルを横切るときの傾きが異なってしまうためジッタが大幅に悪化する可能性があった。このため、経時変化や温度変化等によるレーザパワーの変動、あるいは、ポリゴンミラー1907、レンズ系1908、反射ミラー1909の汚れによる光の透過率および反射率の悪化の影響による光量変動が、安定した画像出力を得るために障害となっていた。さらに、異なるレーザパワーで使用する

10

20

30

40

50

機種間での汎用性はなく、各機種毎にレーザパワーに応じて抵抗体 R₁を調整するか、または、前記基準電圧 V_{ref}を可変電圧源で構成し、これを調整しなければならない。

【0058】

本実施例では、入射される光量が変化しても、安定して高精度の水平同期信号を発生することが出来る。

【0059】

図20は本発明の一実施例である光検出装置を示す図であり、図18に示される画像形成装置の光検出装置1911として好適に用いることができる。同図において2101は光電変換手段であるところのフォトダイオード、2102はフォトダイオード2101の出力するピーク電流値に比例する電流値を保持する手段であるところの電流モードのピーク・ホールド回路、2103はフォトダイオード2101の出力する電流値に比例する電流値と、電流モードのピーク・ホールド回路2102に保持された電流値とを比較する手段であるところの電流入力のコンパレータ、2104はフォトダイオード2101の出力電流に比例する電流を電流モードのピーク・ホールド回路2102および電流入力のコンパレータ2103に伝達するためのカレントミラー回路、2105はカレントミラー回路2104をあらかじめ能動状態にしておくためのバイアス電流 I_{bias}を供給する定電流源、2106はバイアス電流成分をキャンセルするための電流(X-Y)・I_{bias}を供給するための定電流源である。電流モードのピーク・ホールド回路2102は、ベースを定電圧 V_{bias}に接続したNPNトランジスタ2107、1:Yのサイズ比を持つPMOSトランジスタ2108および2109、ホールド容量2110によって構成されており、電流入力のコンパレータ2103は、定電流源2111および2112、NPNトランジスタ2113および2114、インバータ2115により構成されている。
10
20

【0060】

フォトダイオード2101は入射光量に応じた電流 I_pを出力し、カレントミラー回路2104を通じて電流モードのピーク・ホールド回路2102に導かれる。この時、電流 I_pの最大値を I_{p max}とすると、PMOSトランジスタ2109のドレイン電流は Y · (I_{p max} + I_{bias})なる電流値にホールドされる。ホールドされた電流 Y · (I_{p max} + I_{bias})には、定電流源2106より供給されるバイアス電流成分をキャンセルするための電流(X-Y)・I_{bias}が加えられることにより、電流入力のコンパレータ2103の一方の入力端子には、Y · I_{p max} + X · I_{bias}なる電流が注入される。また、電流入力のコンパレータ2103のもう一方の入力端子からは、カレントミラー回路2104を通じて X · (I_p + I_{bias})なる電流が引き抜かれる。2つの電流入力はノードAにおいて会合し、バイアス電流成分はキャンセルされる。そして、図の矢印の向きに示されるようにノードAからノードBに向かって Y · I_{p max} - X · I_p、すなわち X · ((Y/X) · I_{p max} - I_p)なる電流が流れる。ここで、ノードAからノードBに向かって電流が流れるとノードCの電位は接地電位 GNDに向かって降下するためインバータ15の出力 V_{out}はハイレベルとなり、逆にノードBからノードAに向かって電流が流れるとノードCの電位は電源電位 V_{DD}に向かって上昇するのでインバータ15の出力 V_{out}はローレベルとなることが分かる。したがって、X · ((Y/X) · I_{p max} - I_p) > 0 すなわち I_{p max}の Y / X よりも I_p が小さいときには本実施例の光検出装置はハイレベルを出力し、X · ((Y/X) · I_{p max} - I_p) < 0 すなわち I_{p max}の Y / X よりも I_p が大きいときには本実施例の光検出装置はローレベルを出力することとなる。以上の説明から分かるように、本実施例の光検出装置ではXとYを所望の値に設定しておけば、入力光のピーク値に応じて自動的にスレッショルドレベルを決定し、入射光量の変動に関わらず常に安定して高精度の水平同期信号を得ることができる。
30
40

【0061】

また、本実施例によれば、レーザー光を用いて感光ドラム面上に画像を形成する画像形成装置用の光検出装置において、光電変換手段と、該光電変換手段のピーク値を保持する手段と、前記保持されたピーク値に応じて参照レベルを発生する手段と、水平同期信号を電気的に発生せしめるための前記光電変換手段の出力と前記発生された参照レベルとを比較

する手段とを備えることにより、安定した画像出力を得ることのできる画像形成装置を提供することが可能となり、さらに、異なるレーザーパワーを使用する機種においても、光検出装置に照射される入射光量の最大値をメモリし、自動的にスレッショルドレベルを決定するので、機種による調整が不要で、きわめて汎用性の高い光検出装置および画像形成装置を提供することが可能となる。

【0062】

なお、本実施例で用いた電流モードのピーク・ホールド手段2102の回路形式および電流入力のコンパレータ2103の回路形式を、他の回路形式に置き換えることはもちろん可能であるし、フォトダイオード2101の出力電流を電流モードのピーク・ホールド手段2102および電流入力のコンパレータ2103に伝達する手段としてカレントミラーレンジ2104を用いているが他の電流伝達手段を用いても、もちろん構わない。また、言うまでもないが本実施例の逆導電型の素子を用いた構成も可能であり同様の効果を得ることができる。10

【0063】

【発明の効果】

以上説明したように、本発明によるアナログ信号処理回路によれば、少ない回路構成で電流モードピーク・ホールド回路を得ることができ、占有面積の削減、および消費電力の削減が可能となる。

【0064】

また、本発明によれば、入射される光量が変化しても、安定して高精度の水平同期信号を発生することができるとともに、レーザーパワーの異なる種類の画像形成装置に、複雑な調整を行うことなく適用でき汎用性を格段に向上できる光検出装置を提供することができる。20

【0065】

また、水平同期信号を発生するために、走査レーザ光を検出する画像形成装置において、レーザパワーが変動したり、光学系の汚れ等により光量が変わっても安定した画像出力を得ることができる。

【図面の簡単な説明】

【図1】本発明に係るアナログ信号処理回路の一例を説明するための概略的回路図である。30

【図2】本発明に係るピークホールド回路の動作の一例を説明するための電流波形図である。

【図3】本発明に係るアナログ信号処理回路の一例を説明するための概略的回路図である。

【図4】本発明に係るアナログ信号処理回路の一例を説明するための概略的回路図である。

【図5】本発明に係るアナログ信号処理回路の一例を説明するための概略的回路図である。

【図6】本発明に係るアナログ信号処理回路の一例を説明するための概略的回路図である。

【図7】本発明に係るアナログ信号処理回路の一例を説明するための概略的回路図である。

【図8】本発明に係るアナログ信号処理回路の一例を説明するための概略的回路図である。

【図9】本発明に係るアナログ信号処理回路の一例を説明するための概略的回路図である。

【図10】本発明に係るアナログ信号処理回路の一例を説明するための概略的回路図である。

【図11】本発明に係るアナログ信号処理回路の一例を説明するための概略的回路図である。40

10

30

40

50

【図 1 2】本発明に係るアナログ信号処理回路の一例を説明するための概略的回路図である。

【図 1 3】本発明に係るアナログ信号処理回路の一例を説明するための概略的回路図である。

【図 1 4】本発明に係るアナログ信号処理回路の一例を説明するための概略的回路図である。

【図 1 5】本発明に係るアナログ信号処理回路の一例を説明するための概略的回路図である。

【図 1 6】本発明に係るアナログ信号処理回路の一例を説明するための概略的回路図である。 10

【図 1 7】本発明に係るアナログ信号処理回路の一例を説明するための概略的回路図である。

【図 1 8】像形成装置の構成の主要部の一例を説明するための模式的斜視図である。

【図 1 9】同期信号を得るための回路の一例を説明するための概略的回路図である。

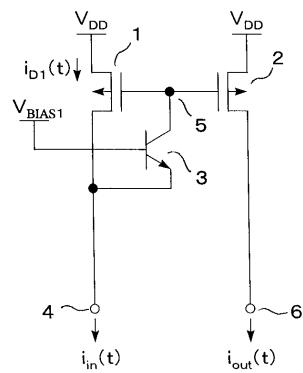
【図 2 0】本発明に係るアナログ信号処理回路を有する同期信号を得るための回路の一例を説明するための概略的回路図である。

【図 2 1】電圧モードのピークホールド回路の一例を示す概略的回路図である。

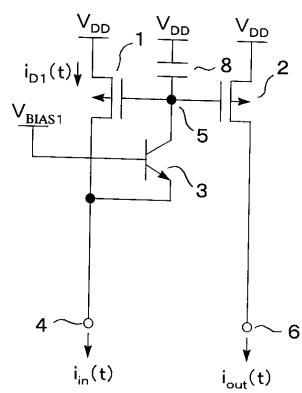
【符号の説明】

- | | | |
|----------------------------|----------------|----|
| 1、 2、 2 7、 3 3 | P M O S トランジスタ | |
| 3、 1 7 | N P N トランジスタ | 20 |
| 4、 1 4 | 電流入力端子 | |
| 5、 1 5 | 電荷ホールド端子 | |
| 6、 1 6 | 電流出力端子 | |
| 8、 1 8、 2 0 7 | 電荷ホールド用コンデンサ | |
| 9、 1 0、 1 9、 2 0、 2 0 6 | スイッチング素子 | |
| 9 A、 1 0 A、 1 9 A、 2 0 A | パルス信号入力端子 | |
| 1 0 1、 1 0 2、 1 1 1、 1 1 2 | 定電流源 | |
| 1 1、 1 2、 2 3、 3 7 | N M O S トランジスタ | |
| 7、 1 3 | P N P トランジスタ | |
| 2 0 3、 2 0 4 | ダイオード | 30 |
| 2 0 1、 2 0 2 | 演算増幅器 | |
| 2 0 5 | 抵抗 | |
| 2 0 8 | 電圧入力端子 | |
| 2 0 9 | 電圧出力端子 | |

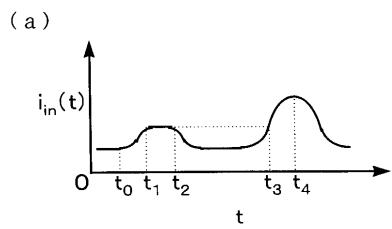
【図1】



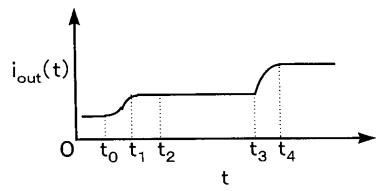
【図3】



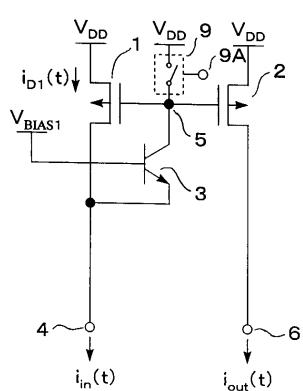
【図2】



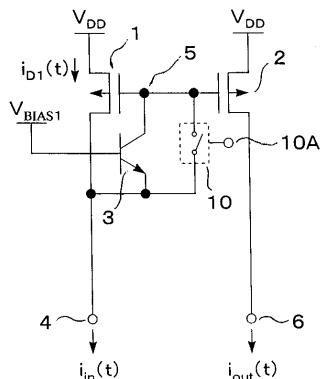
(b)



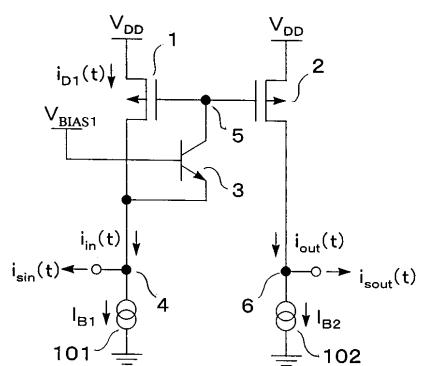
【図4】



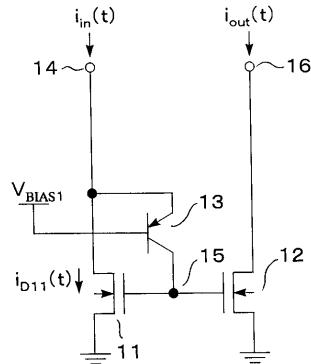
【図5】



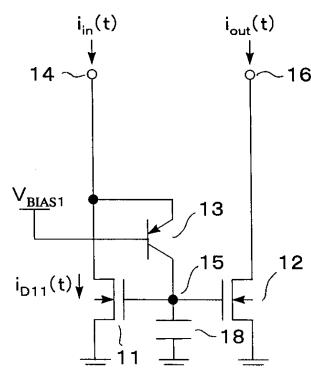
【図6】



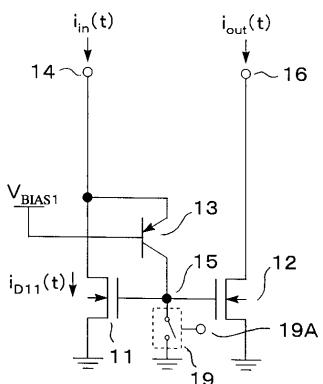
【図7】



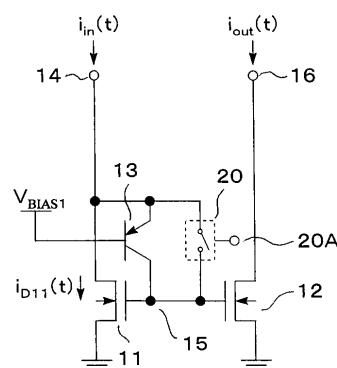
【図8】



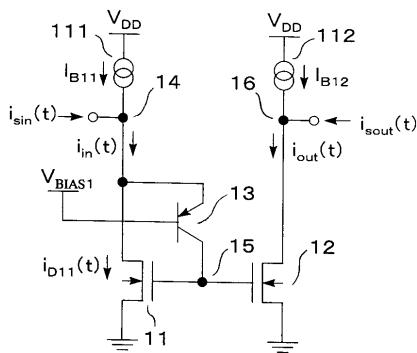
【図9】



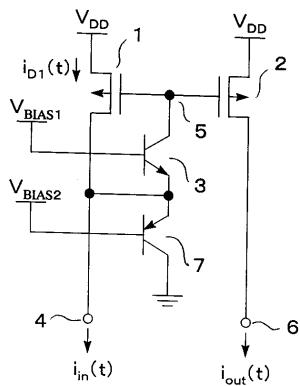
【図10】



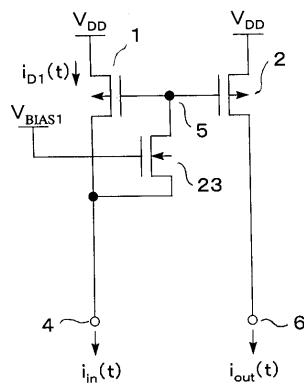
【図11】



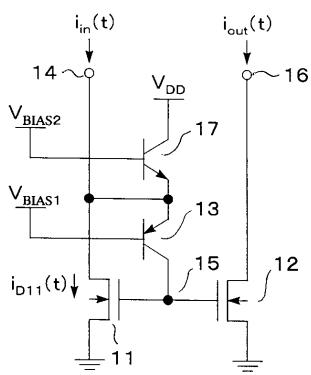
【図12】



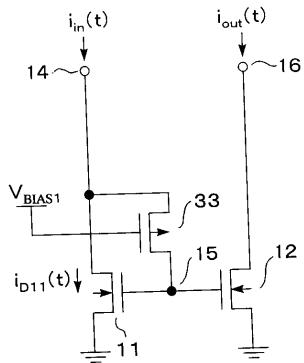
【図14】



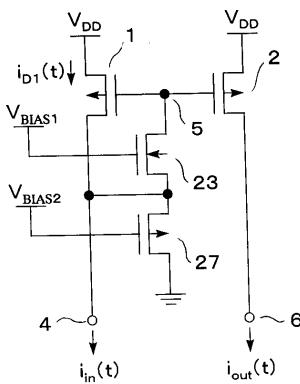
【図13】



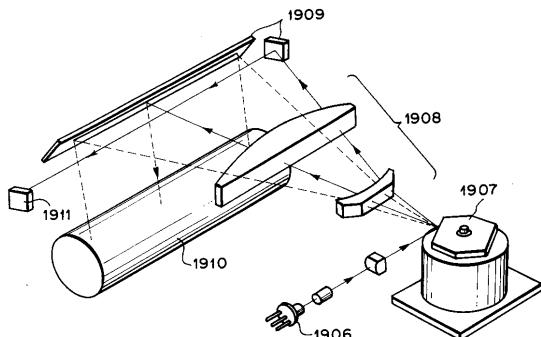
【図15】



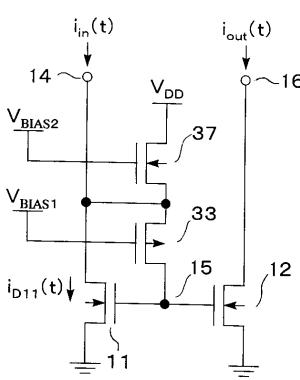
【図16】



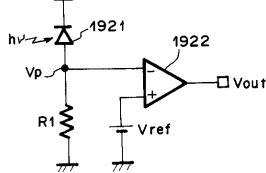
【図18】



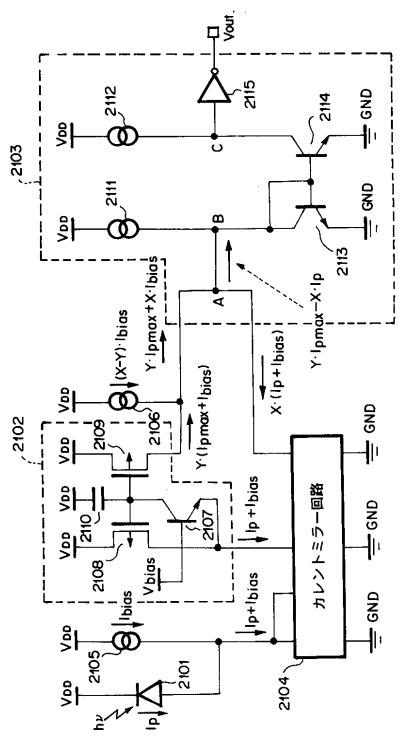
【図17】



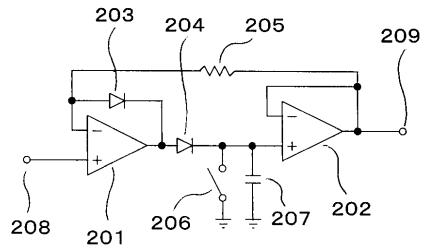
【図19】



【図20】



【図21】



フロントページの続き

(56)参考文献 特開平09-269341(JP,A)
特開昭64-032177(JP,A)
特開平02-290567(JP,A)
特開平09-199953(JP,A)
特開平02-216903(JP,A)

(58)調査した分野(Int.Cl., DB名)

G01R 19/00-19/32

G01J 1/44