



Patent dodatkowy
do patentu _____

Zgłoszono: 15.XII.1967 . (P 124 096)

Pierwszeństwo: _____

Opublikowano: 15.V.1969

Kl. 21 c, 46/50

MKP G 05 **6 11/00**

UKD

Współtwórcy wynalazku: mgr inż. Czesław Godzisz, mgr inż. Zdzisław
Lebiedź

Właściciel patentu: Instytut Elektrotechniki, Warszawa (Polska)

Półprzewodnikowy układ zamykania obwodu automatycznej regulacji w układach współbieżnych

1

Przedmiotem wynalazku jest półprzewodnikowy układ zamykania obwodu automatycznej regulacji w układach współbieżnych, który dostarcza sygnału zmieniającego się skokowo w chwili, gdy parametry określające współbieżność obiektów różnią się o wartości mniejsze od zadanych.

W znanych rozwiązaniach układów automatycznej regulacji współbieżności położeniowej, układów pomiarowych i zabezpieczających, w których użyto czujników prądu zmiennego dla określenia położenia lub prędkości, jak na przykład łączące selsynowe transformatorowe w układach automatycznej regulacji współbieżności sekcji maszyny papierniczej, nie stosowano układu zamykania obwodu regulacyjnego.

Wadą tych rozwiązań jest występowanie znacznych przetężeń, długie trwanie stanów przejściowych, oraz brak pewności wejścia w synchronizm układów współbieżnych.

Celem wynalazku jest usunięcie wyżej wymienionych wad. Cel ten został osiągnięty przez układ, który zmniejsza przetężenia, skraca stany przejściowe oraz zapewnia każdorazowe wejście w synchronizm dzięki istnieniu kanałów do wykrywania różnicy prędkości i położenia kąowego układów współbieżnych oraz istnieniu elementu pamięciowego i elementu realizacji iloczynu sygnałów odbieranych z kanałów.

Istota wynalazku polega na tym, że dwa kanały z elementów półprzewodnikowych dwustano-

2

wych dołączono poprzez elementy sprzęgające do jednopółwkowego prostownika fazoczułego, jeden do wykrywania różnicy prędkości, drugi do wykrywania rozchylenia wektorów prędkości kątowej. Wyjście kanału wykrywania różnicy prędkości poprzez element pamięciowy i wyjście kanału wykrywania rozchylenia wektorów prędkości kątowej dołączono do elementu logicznego iloczynu, którego wyjście dołączono do wzmacniacza dwustanowego z elementem wykonawczym.

Do układu pamięciowego dołączono układ kasowania pamięci. W kanale wykrywania różnicy prędkości między dwa elementy standaryzatorów sygnału napięcia włączono układ inercyjny o zmiennej stałej całkowania.

Emiter tranzystora pierwszego stopnia wzmacniacza dwustanowego kanału wykrywania rozchylenia wektorów prędkości kątowej dołączono do regulowanego dzielnika oporowego.

Układ według wynalazku przedstawiony na rysunku składa się ze znanego jednopółwkowego prostownika fazoczułego, wykonanego z następujących elementów: transformatorów T_{r1} i T_{r2} , diod D_1 i D_2 , oporników R_1 i R_2 , kondensatorów C_1 i C_2 , kanału wykrywania różnicy prędkości składającego się z oporników R_3 , R_4 , R_5 , tranzystora T_1 , kondensatora C_3 , elementu logicznego 1EL, oporników R_{10} , R_{11} , diody D_4 , kondensatora C_5 , elementów logicznych 2EL, 3EL, 4EL, 5EL, kondensatora C_6 i opornika R_{12} , kanału wykrywania rozchylenia wekto-

rów prędkości składającego się z diody D_3 , oporników R_7 , R_8 , tranzystora T_2 , opornika R_9 , potencjometru P_1 , opornika R_{10} , kondensatora C_4 , elementu logicznego $6EL$ oraz elementów logicznego iloczynu $7EL$ i wzmacniacza mocy $8EL$. Elementy od $1EL$ do $8EL$ są elementami logicznymi, w których elementy $1EL$, $2EL$ i $6EL$ są standaryzatorami sygnału napięcia, $8EL$ jest wzmacniaczem mocy oraz elementy logiczne $3EL$, $4EL$, $5EL$, $7EL$ są negatorami.

Dwustanowy stopień wzmacniający na tranzystorze T_1 wraz ze standaryzatorem napięcia $1EL$ stanowią wzmacniacz formowania, który przetwarza ujemny półokres przebiegu sinusoidalnego prostownika fazoczułego na przebieg prostokątny o stałej amplitudzie.

Opornik R_1 zapewnia pracę tranzystora w stanie zatkania, zaś opornik R_3 decyduje o obciążeniu prostownika fazoczułego. Dla zlikwidowania serii impulsów wynikłych z tętnień napięcia wyjściowego prostownika fazoczułego wprowadzono sprzężenie całkujące pojemnościowe kondensatorem C_3 . Sygnał prostokątny z elementu logicznego $1EL$ jest całkowany w układzie inercyjnym złożonym z oporności wyjściowej elementu logicznego $1EL$, oporników R_{10} , R_{11} i pojemności C_5 o stałej całkowania wprost proporcjonalnej do iloczynu wyżej wymienionych wielkości fizycznych.

Jeśli czas trwania przebiegu prostokątnego o polaryzacji ujemnej jest dłuższy od czasu potrzebnego do osiągnięcia na kondensatorze C_5 napięcia zadziałania standaryzatora sygnału $2EL$, wówczas na wyjściu tego standaryzatora uzyskuje się impuls o polaryzacji dodatniej oznaczający osiągnięcie zadanej różnicy prędkości obiektów współdziałających. Stan ten zanegowany na elemencie $3EL$ wpisany jest do pamięci złożonej z dwóch elementów $4EL$ i $5EL$ połączonych w układ bistabilnego przerzutnika. Z chwilą załączenia napięcia zasilania U_z poprzez układ złożony z kondensatora C_6 i opornika R_{12} następuje zerowanie pamięci.

Dla zapewnienia powtarzalnych warunków początkowych całkowania zastosowano diodę D_4 zapewniającą szybkie rozładowanie pojemności C_5 poprzez diodę D_4 , opornik R_{10} i oporność stopnia wyjściowego standaryzatora sygnału napięcia $1EL$ (oporność tranzystora w stanie przewodzącym). Wartość opornika R_{10} wybrano odpowiednio do maksymalnego prądu wyjściowego tranzystora standaryzatora sygnału napięcia $1EL$. Warunek wykrywania różnicy prędkości ustala się wielkością stałej czasu układu inercyjnego odwrotnie proporcjonalnej do wykrywanej różnicy prędkości.

Dwustanowy stopień wzmacniający z regulowanym potencjałem emitera tranzystora T_2 oraz standaryzator napięcia $6EL$ tworzą wzmacniacz wykrywania rozchylenia wektorów prędkości kątowej.

Kąt rozchylenia ustawiany jest poprzez potencjał emitera tranzystora T_2 według zależności

$$\alpha = \arcsin \frac{U_E}{U_1} \quad \text{gdzie } U_E \text{ potencjał emitera } T_2, U_1$$

— amplituda napięcia wyjściowego prostownika fazoczułego. Wykrycie kąta rozchylenia odbywa

się w pierwszej ćwiartce dodatniego półokresu przebiegu napięcia wyjściowego prostownika fazoczułego. Opornik R_6 zapewnia pełne wystereowanie tranzystora T_2 do stanu nasycenia zaś opornik R_7 ogranicza obciążenie prostownika. Dioda D_3 zapewnia wystereowanie tranzystora T_2 sygnałem odbieranym z prostownika fazoczułego o polaryzacji dodatniej.

Pojemność C_4 służy do wyeliminowania serii impulsów pochodzących od pulsacji napięcia wyjściowego prostownika fazoczułego. Standaryzator sygnału napięcia $6EL$ zapewnia standaryzację sygnałów wyjściowych dla przyjętego systemu elementów logicznych.

Element logiczny $7EL$ realizuje iloczyn sygnałów obu kanałów. Sygnał wyjściowy wzmacniany we wzmacniaczu mocy $8EL$ steruje elementem wykonawczym.

Zastrzeżenia patentowe

1. Półprzewodnikowy układ zamykania obwodu automatycznej regulacji w układach współbieżnych, **znamienny tym**, że ma dwa kanały z elementów półprzewodnikowych dwustanowych, przy czym kanał wykrywania różnicy prędkości i kanał wykrywania rozchylenia wektorów prędkości dołączone są do jednopółokrowego prostownika fazoczułego poprzez elementy sprzęgające, z których jeden stanowi opornik (R_3), a drugi diodę (D_3) z opornikiem (R_7) zaś wyjścia kanałów dołączone są do elementu iloczynu logicznego ($7EL$) połączonych ze wzmacniaczem mocy ($8EL$).
2. Układ według zastrz. 1, **znamienny tym**, że baza tranzystora (T_1), w kanale wykrywania różnicy prędkości dołączona jest poprzez kondensator (C_3) do kolektora tego tranzystora oraz elementu logicznego ($1EL$) i opornika (R_3).
3. Układ według zastrz. 1 i 2, **znamienny tym**, że emiter tranzystora (T_2), w kanale wykrywania rozchylenia wektorów prędkości, dołączony jest do suwaka potencjometru (P_1), który wraz z opornikiem (R_9) stanowi regulowany dzielnik napięcia, zaś kolektor tego tranzystora dołączony jest do opornika (R_8) kondensatora (C_4) i elementu logicznego ($6EL$).
4. Układ według zastrz. 1 — 3, **znamienny tym**, że element logiczny ($1EL$) będący standaryzatorem sygnału napięcia połączony jest poprzez układ inercyjny (R_{10} , R_{11} , D_4 , C_5) o zmiennej stałej czasowej ładowania i rozładowania ze standaryzatorem sygnału napięcia ($2EL$).
5. Układ według zastrz. 1 — 4, **znamienny tym**, że wyjście standaryzatora sygnału napięcia ($2EL$) poprzez negator ($3EL$) połączonych jest z układem pamięciowym ($4EL$) i ($5EL$) z automatycznym kasowaniem pamięci — kondensator (C_6) i opornik (R_{12}).
6. Układ według zastrz. 1 — 5, **znamienny tym**, że wejście elementu iloczynu logicznego ($7EL$) dołączone jest do wyjścia elementów logicznych ($4EL$) i ($6EL$) a wyjście elementu logicznego ($7EL$) dołączone jest do wzmacniacza mocy ($8EL$).

