



(12) 发明专利

(10) 授权公告号 CN 102428603 B

(45) 授权公告日 2014. 01. 22

(21) 申请号 201080021236. 3

H01P 3/18(2006. 01)

(22) 申请日 2010. 04. 28

(56) 对比文件

(30) 优先权数据

12/478, 385 2009. 06. 04 US

US 2004212461 A1, 2004. 10. 28, 说明书第 0027-0040 段, 附图 7A-7G, 8.

(85) PCT国际申请进入国家阶段日

2011. 11. 15

审查员 龙平

(86) PCT国际申请的申请数据

PCT/US2010/032645 2010. 04. 28

(87) PCT国际申请的公布数据

W02010/141167 EN 2010. 12. 09

(73) 专利权人 国际商业机器公司

地址 美国纽约阿芒克

(72) 发明人 E. 米娜 王国安

(74) 专利代理机构 北京市柳沈律师事务所

11105

代理人 邸万奎

(51) Int. Cl.

H01P 3/00(2006. 01)

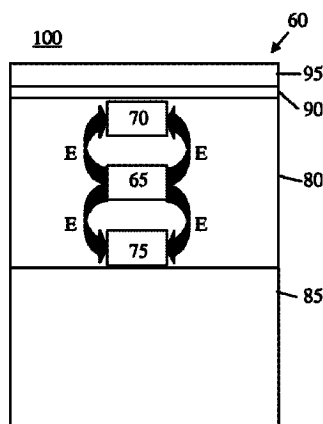
权利要求书2页 说明书8页 附图12页

(54) 发明名称

具有可调谐特征阻抗的垂直共面波导、设计结构及其制造方法

(57) 摘要

本发明公开了一种具有可调谐特征阻抗的片上垂直共面波导、设计结构及其制造方法。片上传输线 (60) 包括信号线 (65)、与信号线隔开且在信号线上方的上接地线 (70)、以及与信号线隔开且在信号线下方的下接地线 (75)。信号线、上接地线、和下接地线在介电材料 (80) 中基本上垂直对齐。



1. 一种片上传输线,包括:
信号线;
上接地线,与所述信号线隔开且在所述信号线上方;
下接地线,与所述信号线隔开且在所述信号线下方;
至少一个金属带,与所述信号线、所述上接地线、和所述下接地线的第一侧相邻且隔开;以及
至少另一个金属带,与所述信号线、所述上接地线、和所述下接地线的第二侧相邻且隔开,其中,所述第一侧与所述第二侧相对,
其中,所述信号线、所述上接地线、以及所述下接地线在介电材料中基本上垂直对齐。
2. 如权利要求 1 所述的片上传输线,其中,所述信号线、所述上接地线、和所述下接地线布置在各自不同的布线层中。
3. 如权利要求 1 所述的片上传输线,其中,所述信号线、所述上接地线、和所述下接地线在水平方向上具有相同厚度。
4. 如权利要求 1 所述的片上传输线,其中,所述至少一个金属带和所述至少另一个金属带相对于所述上接地线和所述下接地线为浮接。
5. 如权利要求 1 所述的片上传输线,其中,所述至少一个金属带和所述至少另一个金属带直接连接到所述上接地线和所述下接地线。
6. 如权利要求 1 所述的片上传输线,其中:
所述至少一个金属带包括多个第一金属带,所述多个第一金属带沿着所述信号线、所述上接地线、和所述下接地线的长度方向隔开;以及
所述至少另一个金属带包括多个第二金属带,所述多个第二金属带沿着所述信号线、所述上接地线、和所述下接地线的长度方向隔开。
7. 如权利要求 6 所述的片上传输线,其中,配置以下项中的至少一个以使得所述传输线的特征阻抗在约 35 欧姆至约 75 欧姆的范围中:
所述信号线、所述上接地线、和所述下接地线的厚度;
在 (i) 所述信号线、所述上接地线、和所述下接地线与 (ii) 所述至少一个金属带之间的距离;
在 (i) 所述信号线、所述上接地线、和所述下接地线与 (ii) 所述至少另一个金属带之间的距离;
所述多个第一金属带和所述多个第二金属带中的每一个的宽度;以及
所述多个第一金属带和所述多个第二金属带中的各个金属带之间的间隔。
8. 如权利要求 1 所述的片上传输线,其中,所述下接地线跨越多个布线层。
9. 如权利要求 8 所述的片上传输线,其中,所述信号线和所述上接地线各自被包含在相应的单个或多个布线层内。
10. 如权利要求 9 所述的片上传输线,其中:
所述下接地线具有约 3.56 微米的高度,
所述信号线具有约 1.25 微米的高度,以及
所述上接地线具有约 4 微米的高度。
11. 一种制造半导体结构的方法,包括:

在有源器件上方的至少一个布线层中形成片上传输线的下接地线；
在所述至少一个布线层上方的第二布线层中形成所述片上传输线的信号线；
在所述第二布线层上方的第三布线层中形成所述片上传输线的上接地线；
形成与所述信号线、所述上接地线、和所述下接地线的第一侧相邻且隔开的多个第一金属带；以及

形成与所述信号线、所述上接地线、和所述下接地线的第二侧相邻且隔开的多个第二金属带，其中，所述第一侧与所述第二侧相对。

12. 如权利要求 11 所述的方法，其中，以基本垂直对齐的方式形成所述下接地线、所述信号线、和所述上接地线。

13. 如权利要求 11 所述的方法，其中：

所述至少一个布线层被形成为多个布线层和多个介层，以及

形成所述下接地线的步骤包括在所述多个布线层和所述多个介层中的每一个中布置导体材料。

14. 如权利要求 11 所述的方法，还包括通过调整以下各项中的至少一个来将所述传输线的特征阻抗调谐在约 35 欧姆至约 75 欧姆的范围内：

所述信号线、所述上接地线、和所述下接地线的厚度；

在 (i) 所述信号线、所述上接地线、和所述下接地线的第一侧与 (ii) 所述多个第一金属带之间的距离；

在 (i) 所述信号线、所述上接地线、和所述下接地线的第二侧与 (ii) 所述多个第二金属带之间的距离；

所述多个第一金属带和所述多个第二金属带中的每一个的宽度；以及

所述多个第一金属带和所述多个第二金属带中的各个金属带之间的间隔。

15. 一种在机器可读介质中有形地实施的设计结构，用于设计、制造、或测试集成电路，所述设计结构包括：

信号线；

上接地线，与所述信号线隔开且在所述信号线上方；

下接地线，与所述信号线隔开且在所述信号线下方；

至少一个金属带，与所述信号线、所述上接地线、和所述下接地线的第一侧相邻且隔开；以及

至少另一个金属带，与所述信号线、所述上接地线、和所述下接地线的第二侧相邻且隔开，其中，所述第一侧与所述第二侧相对，

其中，所述信号线、所述上接地线、和所述下接地线在介电材料中基本上垂直对齐。

16. 如权利要求 15 所述的设计结构，其中，所述设计结构包括网表。

17. 如权利要求 15 所述的设计结构，其中，所述设计结构以用于集成电路布局数据的交换的数据格式驻存在存储介质上。

18. 如权利要求 15 所述的设计结构，其中，所述设计结构驻存在可编程门阵列中。

具有可调谐特征阻抗的垂直共面波导、设计结构及其制造方法

技术领域

[0001] 本发明一般涉及片上传输线 (on-chip transmission line), 更具体地涉及具有可调谐特征阻抗 (tunable characteristic impedance) 的片上垂直共面波导 (coplanar waveguide)、设计结构及其制造方法。

背景技术

[0002] 片上互连 (on-chip interconnect) (例如, 片上传输线) 的性能是影响整体芯片性能的重要因素。通常在生产开始前对片上传输线进行建模, 以尽力减少设计时间。由于片上传输线对整体芯片性能的重要性, 在评估高性能设计时需要片上传输线的准确模型。传输线模型中存在的任何错误都可能导致与片上传输线关联的特征阻抗和 / 或衰减的不准确估计。基于错误建模而生产的芯片可能无法以设计规范所需的方式执行, 并因此无法有效率地使用时间、精力、和资金。

[0003] 片上传输线的通常类型是共面波导。传统的共面波导包括两侧有接地线的信号线。所有这三条线 (例如, 信号线和两条接地线) 都形成在半导体结构的公共布线层 (common wiring level) 中, 因此在基本上水平的面上共面。

[0004] 传统的片上共面波导难以建模, 因为在共面波导附近的半导体结构的不对称性产生了难以建模的不对称电场。当电场与空气相交 (例如, 在共面波导的上方) 或与硅基板相交 (例如, 在共面波导的下方) 时, 加重了传统共面波导的建模的难度。这是因为, 对于空气和 / 或基板耦合的效应, 不存在高度准确的模型。因此, 多数设计者不进行建模, 而是依赖所制造的原型的硬件测量来验证芯片设计, 这拉长了设计周期和产品上市的时间。

[0005] 因此, 在该技术领域中存在克服上述缺点和限制的需要。

发明内容

[0006] 在本发明的第一方面中, 提供了一种片上传输线, 包括信号线、与信号线隔开且在信号线上方的上接地线 (upper ground line)、以及与信号线隔开且在信号线下方的下接地线 (lower ground line)。信号线、上接地线、以及下接地线在介电材料中基本上垂直对齐 (align)。

[0007] 在本发明的另一方面中, 提供了一种制造半导体结构的方法。该方法包括: 在有源器件上方的至少一个布线层中形成片上传输线的下接地线, 在该至少一个布线层上方的第二布线层中形成片上传输线的信号线, 以及在该第二布线层上方的第三布线层中形成片上传输线的上接地线。

[0008] 在本发明的再一方面中, 提供了一种有形地实施在机器可读介质中的设计结构, 用于设计、制造、或测试集成电路。该设计结构包括信号线、与信号线隔开且在信号线上方的上接地线、以及与信号线隔开且在信号线下方的下接地线。信号线、上接地线、以及下接地线在介电材料中基本上垂直对齐。

附图说明

[0009] 下面参照所示的多个附图,通过本发明的示例性实施例的非限定示例对本发明进行详细说明。

[0010] 图 1 示出了水平共面波导;

[0011] 图 2 至 4 示出了根据本发明的方面的垂直共面波导;

[0012] 图 5 至 7 示出了根据本发明的方面的结构侧视图及各个工艺步骤;

[0013] 图 8 至 13 示出了根据本发明的方面的电路参数的数据图;以及

[0014] 图 14 是半导体设计、制造、和 / 或测试中使用的设计处理的流程图。

具体实施方式

[0015] 本发明一般涉及片上传输线,更具体地涉及具有可调谐特征阻抗的片上垂直共面波导、设计结构及其制造方法。在实施例中,片上传输线包括形成在有源器件上的布线层中的信号线。第一接地线形成在信号线下方的布线层中,且通过介电材料与信号线隔开。第二接地线形成在信号线上方的布线层中,且也通过介电材料与信号线隔开。信号线和这两条接地线在介电材料中垂直对齐,这为垂直共面波导产生了基本对称的电场。以此方式,本发明的实施方式提供了更易于准确建模的设计结构。

[0016] 根据本发明的方面,可以通过改变信号线和 / 或接地线的厚度(例如,水平尺寸)来调谐(例如,调整)垂直共面波导的特征阻抗。根据本发明的附加方面,可以通过在垂直共面波导的任一侧上沿着垂直共面波导的长度方向形成金属带(metal strip)而调谐垂直共面波导的特征阻抗。例如,垂直共面波导的特征阻抗可能受到以下因素影响:垂直共面波导与金属带之间的水平间隔;沿垂直共面波导长度方向的金属带之间的间隔;沿垂直共面波导长度方向的金属带的尺寸;以及 / 或者金属带是浮接(floating)还是连接到垂直共面波导的接地线。

[0017] 图 1 示出了水平共面波导 5,其包括形成在氧化层 25 中的导电信号线 10 和导电接地线 15、20。氧化层 25 形成在硅基板 30 上。氮化层 35 和钝化层 40(例如,聚酰亚胺(polyimide))形成在氧化层 25 上。典型地,钝化层 40 的上表面与空气 45 接触。箭头“E”表示电场,其从信号线 10 发出并结束于接地线 15、20。

[0018] 如图 1 所描绘,存在于水平共面波导 5 之上的电场“E”与存在于水平共面波导之下的电场“E”穿过不同材料的不同层。更具体地,在水平共面波导 5 的顶部,电场“E”穿过氧化层 25 的薄的一部分、氮化层 35、钝化层 40、和空气 45。另一方面,在水平共面波导 5 的底部,电场“E”穿过氧化层 25 的厚的一部分以及硅基板 30。环绕水平共面波导 5 的材料的不对称性产生了难以建模的不对称电场“E”。由于缺少针对空气 45 和硅基板 30 对电场“E”的效应的准确模型,更加重了对水平共面波导 5 建模的难度。

[0019] 图 1 所描绘的水平共面波导 5 也因为电场“E”与硅基板 30 相交而遭受性能缺陷。在 CMOS 技术中,低电阻硅基板 30 与信号线 10 和接地线 15、20 电耦合的效应增加了片上传输线的插入损耗(insertion loss)。与这种基板耦合相关联的损耗诱发特性(loss-inducing characteristic)对水平共面波导 5 的 RF 性能有不利的影响。

[0020] 图 2 示出了根据本发明的方面的垂直共面波导 60。在实施例中,垂直共面波导 60

包括彼此基本垂直对齐地形成在介电材料 80 中的导电信号线 65、导电上接地线 70 以及导电下接地线 75。介电材料 80 可形成在有源器件的硅基板 85 上方。氮化层 90 和钝化层 95 可形成在氧化层 80 上方,其中钝化层 95 的上表面暴露在空气 100 中。介电材料 80 可包括但不限于:高 k 电介质、低 k 电介质、超低 k 电介质、氧化物等。例如,介电材料 80 可包括硼磷硅玻璃 (borophosphosilicate glass, BPSG) 或高密度等离子体 (HDP) 氧化物。

[0021] 如图 2 所描绘,垂直共面波导 60 的电场“E”完全或几乎完全存在于单一类型的材料(例如,介电材料 80)内。与图 1 的水平共面波导 5 相比,垂直共面波导 60 具有更加对称的电场“E”。因此,与图 1 的水平共面波导 5 相比,垂直共面波导 60 更易于建模。

[0022] 仍参考图 2,由于信号线 65、上接地线 70、下接地线 75 在介电材料 80 中的垂直布置,从而空气 100 和硅基板 85 对垂直共面波导 60 的电场“E”具有极小的影响。因此,与图 1 的水平共面波导 5 相比,可以更准确地对垂直共面波导 60 建模。此外,根据本发明的方面,因为电场主要包括在介电材料 80 内,所以可以最小化垂直共面波导 60 的基板耦合效应 (substrate coupling effect)。因此,与图 1 的水平共面波导 5 相比,垂直共面波导 60 具有更好的损耗特性。

[0023] 图 3 示出了根据本发明的方面的分别位于垂直共面波导 60 的任一侧的可选金属带 110 和 115。在实施例中,金属带 110 和 115 形成在介电材料 80 中且在信号线 65、上接地线 70、及下接地线 75 的左侧和右侧。如这里更详细地讨论的,可以通过分别在信号线 65、上接地线 70、和下接地线 75 的两侧提供金属带 110 和 115 而将垂直共面波导 60 的特征阻抗调谐至特定的期望值。这些金属带可以直接连接到接地平面(例如,上接地线 70 和下接地线 75),或者可以浮接(例如,不直接连接到接地平面)。也可以通过改变信号线 65、上接地线 70、和下接地线 75 的厚度“t”来调谐垂直共面波导 60 的特征阻抗。

[0024] 图 4 示出了根据本发明的方面的垂直共面波导 60 的透视图,垂直共面波导 60 包括垂直对齐的信号线 65、上接地线 70、和下接地线 75。多个金属带 110、115 沿着垂直共面波导 60 的长度方向以垂直阵列的形式布置在垂直共面波导 60 的左右两侧。尺寸“t”表示信号线 65、上接地线 70、和下接地线 75 在水平方向上的厚度。尺寸“d”表示垂直共面波导 60 与金属带 110、115 之间在水平方向上的距离。尺寸“w”表示金属带 110、115 的宽度,而尺寸“s”表示金属带 110、115 之间在与水平方向和垂直方向正交的方向上(例如,沿垂直共面波导 60 的长度方向)的间隔。尺寸“t”、“d”、“w”、和“s”可以根据特定的应用和设计而改变,下面说明一些非限制性的示例性尺寸。

[0025] 可以通过改变“t”、“d”、“w”、和“s”尺寸中的任一个或多个来改变接地平面(例如,上和下接地线 70、75)与信号平面(例如,信号线 65)之间的电容。特征阻抗定义为 $Z_0 = \text{SQRT}(L/C)$,其中,“L”为每单位长度的电感,“C”为每单位长度的电容。因此,可以通过适当地选择“t”、“d”、“w”、和“s”尺寸而调谐垂直共面波导 60 的特征阻抗。以此方式,本发明的实施可用于获得约 35 欧姆至约 75 欧姆范围中的特征阻抗,优选为约 50 欧姆。然而,本发明并不限于这些数值,并且可以通过调整“t”、“d”、“w”、及“s”尺寸获得任何期望的特征阻抗。

[0026] 根据本发明的方面,可以使用传统的工艺技术将图 2 至 4 中所描绘的结构制造为层化半导体结构。例如,图 5 至 7 示出了根据本发明的方面的用于形成传输线结构的结构和各个工艺步骤。具体地,图 5 示出了示例性半导体结构的剖面图,其包括基板 85 及形成在

其上的介电层 125。基板 85 可以使用传统工艺技术形成,其可以包括例如半导体器件(例如,栅极、源极/漏极区域等)形成在其中的硅基板。介电层 125 可以使用传统工艺技术形成,并且可以由任意合适的材料组成,所述材料包括但不限于高 k 电介质、低 k 电介质、超低 k 电介质等。例如,介电层 125 可以包括与上面有关图 2 和 3 描述的介电材料 80 对应的任意合适的氧化物材料。

[0027] 仍然参考图 5,布线层 M1 形成在介电层 125 上。在实施例中,布线层 M1 由与介电层 125 相同的材料(例如,氧化物材料)组成。使用传统的光刻蚀刻和沉积工艺将导体部分 130 形成在布线层 M1 中。导体部分 130 可由任意合适的导电材料组成,所述材料包括但不限于铜、铝、合金等,并且,导体部分 130 可以使用传统工艺形成。

[0028] 图 6 示出了图 5 的结构,在其上已经形成了附加的布线层 M2、M3、M4 和 MQ、以及介层(via level)V1、V2、V3 和 VQ。在实施例中,所有布线层 M2-MQ 以及介层 V1-VQ 都由与第一布线层 M1 相同的材料(例如,氧化物)组成。此外,每一布线层 M2-MQ 和介层 V1-VQ 包括类似于导体部分 130 的各自导体部分。多个各自导体部分被构造和布置为形成上面关于图 2 至 4 描述的下接地线 75。以此方式,下接地线 75 跨越多个布线层和介层。

[0029] 图 7 示出了图 6 的结构,在其上,附加的布线层 135、LY、145、AM 和 155 形成在 M1-MQ 层上方。在实施例中,所有布线层 135、LY、145、AM 和 155 都由与布线层 M1-MQ 相同的材料(例如,氧化物)组成。根据本发明的方面,信号线 65 形成在布线层 LY 中,而上接地线 70 形成在布线层 AM 中。信号线 65 和上接地线 70 可由任意合适的导电材料形成,所述导电材料包括但不限于铜、铝、合金等,并且,信号线 65 和上接地线 70 可使用传统工艺形成。

[0030] 可以使用传统技术(例如,标准的生产线后端(BEOL)工艺)形成图 5 至 7 的特征。例如,可用于形成这些特征的制造工艺包括但不限于:光刻掩模和曝光、蚀刻(例如,反应离子蚀刻(RIE)等)、金属化(例如,化学气相沉积(CVD)等)、以及平面化与抛光工艺(例如,化学机械抛光(CMP)等)。此外,本发明的实施也可使用图 5 至 7 中未示出的附加特征。例如,可使用势垒材料(barrier material)作为衬层(liner)或盖层(cap)等。

[0031] 此外,图 5 至 7 中所描绘的各层可具有任意合适的高度,并且彼此的高度可不相同。例如,布线层 M1-MQ 可具有约 $3.56\ \mu\text{m}$ 的组合高度,层 135 可具有约 $4\ \mu\text{m}$ 的高度,层 LY 可具有约 $1.25\ \mu\text{m}$ 的高度,层 145 可具有约 $4\ \mu\text{m}$ 的高度,而层 AM 可具有约 $4\ \mu\text{m}$ 的高度。然而,本发明并不限于这些值,而是可以采用任意合适的高度。此外,本发明并不限于所示的布线层的数量。而是,本发明的方面可使用具有任意数量的布线层的半导体器件(例如,模拟器件、数字器件等)。

[0032] 此外,上接地线 70、下接地线 75 和信号线 65 可具有任意合适的厚度“t”。如图 3 和 7 所描绘,上接地线 70、下接地线 75 和信号线 65 都具有相同的厚度“t”。然而,本发明并不限于该配置;而是,上接地线 70、下接地线 75 和信号线 65 可各自具有不同的相应厚度“t”。此外,上接地线 70 和信号线 65 并不局限于单个相应的布线层,而可跨越多个布线层(以及介层,如果存在的话)。类似地,虽然下接地线 75 显示为跨越多个层 M1-MQ,但其并不限于这种实施方式,而是可以同样地形成在单个层中。

[0033] 虽然没有显示在图 5 至 7 中,金属带 110 和 115 可以与上接地线 70、下接地线 75 和信号线 65 基本同时形成在图 5 至 7 所示的层化半导体结构的这些层中。换言之,可以使用传统工艺将对应于金属带 110 和 115 的导电材料形成在所选布线层和介层中的选择性位

置处。通过在布线层内所选位置中形成金属带 110 和 115, 可以以任何期望的方式修改“d”、“w”、和“s”尺寸(上面关于图 4 所描述的)。如上面关于图 4 所说明的, 可以通过改变“t”、“d”、“w”、及“s”尺寸中的一个或多个来改变接地平面(例如, 上和下接地线 70、75)与信号平面(例如, 信号线 65)之间的电容。因此, 可以通过在相关于图 5 至 7 的工艺步骤过程中适当地选择“t”、“d”、“w”、和“s”尺寸来调谐垂直共面波导 60 的特征阻抗。根据本发明的方面, 尺寸“t”、“d”、“w”、和“s”可被选择为任何期望的值。

[0034] 图 8 示出了根据本发明的方面的在水平共面波导与垂直共面波导之间的插入损耗值的比较。曲线 200 表示在 LY 层中形成的、宽度为 $1.52\ \mu\text{m}$ 的水平共面波导的插入损耗。曲线 205 表示根据图 5 至 7 所形成的、“t”尺寸为 $1.25\ \mu\text{m}$ 的垂直共面波导的插入损耗。如图 8 所示, 与水平共面波导相比, 垂直共面波导具有较小的插入损耗。

[0035] 图 9 示出了根据本发明的方面所形成的垂直共面波导的特征阻抗值的比较。四条曲线 220、225、230、235 分别对应于根据图 5 至 7 所形成的、不具有任何金属带(例如, 元件 110、115)、且“t”尺寸为 $1.25\ \mu\text{m}$ 、 $4\ \mu\text{m}$ 、 $5\ \mu\text{m}$ 、和 $10\ \mu\text{m}$ 的各个垂直共面波导。如图 9 所示, 特征阻抗随着“t”尺寸的增加而降低。

[0036] 图 10 示出了根据本发明的方面所形成的垂直共面波导的特征阻抗值的比较。三条曲线 250、255、和 260 对应于根据图 5 至 7 所形成的、“t”尺寸均为 $5\ \mu\text{m}$ 的各个垂直共面波导。曲线 250 对应于不具有金属带(例如, 110、115)的垂直共面波导。曲线 255 对应于具有“d”为 $1\ \mu\text{m}$ 且“s”为 0 的浮接金属带的垂直共面波导。曲线 260 对应于具有“d”为 $0.5\ \mu\text{m}$ 、“w”为 $2\ \mu\text{m}$ 、且“s”为 $2\ \mu\text{m}$ 的金属带的垂直共面波导。图 10 所描绘的数据证明了金属带的使用对阻抗具有影响。

[0037] 图 11 示出了根据本发明的方面所形成的垂直共面波导的每单位长度电容的比较。四条曲线 270、275、280 和 285 对应于根据图 5 至 7 所形成的、“t”尺寸均为 $10\ \mu\text{m}$ 的各个垂直共面波导。曲线 270 对应于不具有金属带(例如, 110、115)的垂直共面波导。曲线 275 对应于具有“d”为 $1.0\ \mu\text{m}$ 且“s”为 0 的浮接金属带(例如, 金属带为沿垂直共面波导的长度方向延伸的固态板)的垂直共面波导。曲线 280 和 28 各自对应于具有“d”为 $0.5\ \mu\text{m}$ 、“w”为 $2\ \mu\text{m}$ 、且“s”为 $2\ \mu\text{m}$ 的金属带的垂直共面波导。曲线 280 对应于金属带不直接连接到垂直共面波导(例如, 金属带为浮接)的配置, 而曲线 285 对应于金属带直接连接到接地平面(例如, 金属带 110 和 115 直接连接到上和下接地线 70、75)的配置。

[0038] 图 12 示出了对应于图 11 所描绘的电容值的特征阻抗值的比较。更具体地, 曲线 270'、275'、280' 和 285' 分别描绘了对应于曲线 270、275、280 和 285 的阻抗。图 11 和 12 中所描绘的数据证明了金属带对电容有影响, 因此对阻抗有影响。

[0039] 图 13 示出了根据本发明的方面所形成的垂直共面波导的特征阻抗值的比较。四条曲线 300、305、310 和 315 对应于根据图 5 至 7 所形成的、“t”尺寸均为 $15\ \mu\text{m}$ 的各个垂直共面波导。曲线 300 对应于不具有金属带(例如, 110、115)的垂直共面波导。曲线 305、310、和 315 对应于具有“d”为 $0.5\ \mu\text{m}$ 、“w”为 $2\ \mu\text{m}$ 、以及“s”尺寸不同的浮接金属带的垂直共面波导。具体地, 曲线 305 的“s”为 $1\ \mu\text{m}$, 曲线 310 的“s”为 $2\ \mu\text{m}$, 且曲线 315 的“s”为 $5\ \mu\text{m}$ 。图 13 所描绘的数据证明金属带之间的间隔对阻抗具有影响。

[0040] 如这里所述, 由于基板耗损的减少, 根据本发明的方面所形成的垂直共面波导相比于传统的水平共面波导具有更好的插入损耗。此外, 由于与垂直共面波导关联的电场的

对称性,垂直共面波导比水平共面波导更容易建模。此外,可以通过改变信号线和接地线的厚度(例如,“t”尺寸),而对垂直共面波导的特征阻抗进行大范围的调谐。也可以通过沿信号线和接地线的侧边加入金属带以及通过适当地选择与金属带关联的“d”、“s”、和“w”尺寸来调谐特征阻抗。

[0041] 图 14 示出了例如在半导体 IC(集成电路)逻辑设计、仿真、测试、布局、及制造中使用的示例性设计流程 900 的框图。设计流程 900 包括用于处理设计结构或器件的工艺、机器和 / 或机制,以产生上述和图 2 至 7 中所示的设计结构和 / 或器件在逻辑上或在功能上的等效表示。设计流程 900 所处理和 / 或产生的设计结构可被编码在机器可读传输或存储介质上,以包括数据和 / 或指令,当所述数据和 / 或指令在数据处理系统上执行或处理时,产生硬件组件、电路、器件或系统在逻辑上、结构上、机械上或功能上的等效表示。机器包括但不限于在 IC 设计过程(例如,设计、制造、或仿真电路、组件、器件或系统)中使用的任何机器。例如,机器可包括:光刻机器、用以产生掩模的机器和 / 或设备(例如,电子束写入器(e-beam writer))、用于仿真设计结构的计算机或设备、在制造或测试工艺中使用的任何设备、或者用于将设计结构在功能上的等效表示编程到任何介质中的任何机器(例如,用以编程可编程门阵列的机器)。

[0042] 设计流程 900 可根据所设计的表示类型而改变。例如,用于建立专用 IC(ASIC)的设计流程 900 可能不同于用于设计标准组件的设计流程 900 或者不同于用于将设计实例化为可编程阵列(例如,由 Altera® 公司或 Xilinx® 公司所提供的可编程门阵列(PGA)或现场可编程门阵列(FPGA))的设计流程 900。

[0043] 图 14 图示了多个这种设计结构,其包括优选地由设计处理(design process)910 处理的输入设计结构 920。设计结构 920 可以是由设计处理 910 所产生和处理的逻辑仿真设计结构,用以产生硬件器件在逻辑上的等效功能表示。设计结构 920 也可以或者替代地包括数据和 / 或程序指令,当被设计处理 910 进行处理时,所述数据和 / 或程序指令产生硬件器件的物理结构的功能表示。不论是表示功能和 / 或结构设计特征,都可以使用电子计算机辅助设计(ECAD)(诸如,由核开发者 / 设计者所实施的)产生设计结构 920。当设计结构 920 被编程在机器可读数据传输、门阵列、或存储介质上时,设计结构 920 可由设计处理 910 内的一个或多个硬件和 / 或软件模块存取和处理,以仿真或在功能上表示电子组件、电路、电子或逻辑模块、装置、器件、或系统,如图 2 至 7 所示的那些。因此,设计结构 920 可以包括包含人类和 / 或机器可读源代码、经编译的结构、以及计算机可执行代码结构的文件或其他数据结构,当由设计或仿真数据处理系统处理时,所述文件或其他数据结构在功能上仿真或表示硬件逻辑设计的电路或其他级。这种数据结构可以包括硬件描述语言(HDL)设计实体或符合和 / 或兼容低级 HDL 设计语言(例如,Verilog 和 VHDL)和 / 或高级设计语言(例如,C 或 C++)的其他数据结构。

[0044] 设计处理 910 优选使用和并入硬件和 / 或软件模块,用于合成(synthesizing)、翻译(translating)、或处理图 2 至 7 所示的组件、电路、器件、或逻辑结构的设计 / 仿真功能等效体,以产生可包括设计结构(诸如,设计结构 920)的网表(netlist)980。网表 980 可包括例如经编译的或经处理的数据结构,其表示布线、分离组件、逻辑门、控制电路、I/O 器件、模型等的列表,用于描述在集成电路设计中与其他元件和电路的连接。可以使用迭代处理来合成网表 980,其中根据器件的设计规范和参数一次或多次地再合成网表 980。如这里

描述的其他设计结构类型,网表 980 可以被记录在机器可读数据存储介质上或被编程为可编程门阵列。介质可以是非易失性存储介质(诸如,磁或光盘驱动器)、可编程门阵列、小型闪存(compact flash)、或其他闪存。此外,或替代地,介质可以是系统或高速缓存(cache memory)、缓冲空间(buffer space)、或者电或光传导器件和材料,在其上可经由因特网或其他网络适用方法传输和居中存储数据分组。

[0045] 设计处理 910 可以包括用于处理包括网表 980 的多种输入数据结构类型的硬件和软件模块。这些数据结构类型可以例如驻存在库单元(library element)930 内,并包括一组常用元件、电路及器件,包括用于给定制造技术(例如,不同技术节点,32nm、45nm、90nm 等)的模型、布局 and 符号表示。数据结构类型还可以包括设计规范(design specification)940、特性化数据(characterization data)950、验证数据(verification data)960、设计规则(design rule)970、和可包括输入测试图案、输出测试结果和其他测试信息的测试数据文件 985。设计处理 910 还可以包括例如标准机械设计处理,诸如,应力分析、热分析、机械事件仿真、用于诸如铸造、模制及模压成形的操作的处理仿真等。机械设计领域的普通技术人员可以获知不偏离本发明的范围和精神的用于设计处理 910 的可能的机械设计工具和应用的范围。设计处理 910 也可以包括用于执行标准电路设计处理(诸如,时序分析、验证、设计规则检查、放置和路由操作等)的模块。

[0046] 设计处理 910 使用和并入逻辑和物理设计工具(诸如, HDL 编译器和仿真模型建立工具),来将设计结构 920 连同所描述的某些或全部支持数据结构以及任何附加的机械设计或数据(若适用)一起处理,以产生第二设计结构 990。设计结构 990 以用于机械器件和结构的数据的交换的数据格式驻存在存储介质或可编程门阵列上(例如,以 IGES、DXF、Parasolid XT、JT、DRG、或用于存储或再现这些机械设计结构的任何其他合适的格式存储的信息)。类似于设计结构 920,设计结构 990 优选包括一个或多个文件、数据结构、或其他计算机编码的数据或指令,其驻存在传输或数据存储介质上,并且在被 ECAD 系统处理时产生图 2 至 7 中所示的本发明的一个或多个实施例在逻辑上或在功能上的等效体。在一个实施例中,设计结构 990 可以包括经编译的可执行 HDL 仿真模型,其可在功能上仿真图 2 至 7 中所示的器件。

[0047] 设计结构 990 也可以使用用于集成电路的布局数据的交换的数据格式和/或符号数据格式(例如,以 GDSII(GDS2)、GL1、OASIS、映射文件(map file)、或用于存储这些设计数据结构的任何其他合适格式存储的信息)。设计结构 990 可以包括诸如以下的信息:符号数据、映射文件、测试数据文件、设计内容文件、制造数据、布局参数、布线、金属层、介层(via)、形状、路由通过生产线的的数据、以及制造商或其他设计者/开发者用于生产前述图 2 至 7 所示的器件或结构所需的任何其他数据。设计结构 990 可以接着进行到阶段 995,例如,其中设计结构 990:进行投片(tape-out)、发送至制造、发送至掩模室、发送至另一设计室、送回客户等。

[0048] 上述方法用于制造集成电路芯片。所得到的集成电路芯片可由制造商以原始晶片形式(即,作为具有多个未封装芯片的单个晶片)作为裸芯发布,或者以封装的形式发布。在后一情况下,芯片被装配在单芯片封装(例如,塑料载体,具有固定到主板或其他更高层载体的引脚)中或多芯片封装(例如,具有表面互连和/或内埋式互连的陶瓷载体)中。在任意情况下,芯片接着与其他芯片、分离电路元件和/或其他信号处理器件集成,作为(a)

中间产品（例如，主板）或 (b) 最终产品的一部分。最终产品可以是包括集成电路芯片的任何产品，其范围从玩具及其他低端应用到具有显示器、键盘或其他输入器件以及中央处理器的先进计算机产品。

[0049] 这里所使用的术语仅用于描述特定实施例的目的，而并不意在限制本发明。如本文中所使用的，除非上下文另外清楚地指示，否则单数形式“一”及“所述”也意在包括复数形式。还将理解，术语“包括”在本说明书中使用时表示所陈述的特征、实体、步骤、操作、元件和 / 或组件的存在，但并不排除一个或多个其他特征、实体、步骤、操作、元件、组件和 / 或其组合的存在或添加。

[0050] 所附权利要求中的所有部件或步骤以及功能单元的对应结构、材料、动作及其等同体（可适用的）意在包括用于组合其他所具体要求权利的元件来执行功能的任何结构、材料或动作。已经为了说明及描述的目的呈现了本发明的描述，但其并不意在穷举或者将本发明限制到所公开的形式。对于本领域的普通技术人员而言，在不偏离本发明的范围和精神的情况下，许多修改和变化是显而易见的。为了最佳地解释本发明的原理和实际应用，以及为了使得本领域的其他普通技术人员能够理解本发明的具有适合于所预期的特定用途的各种修改的各种实施例，来选择和描述实施例。因此，虽然本发明以实施例的方式进行了描述，但本领域的技术人员可以理解，可以在所附的权利要求的精神及范围内以修改的方式实践本发明。

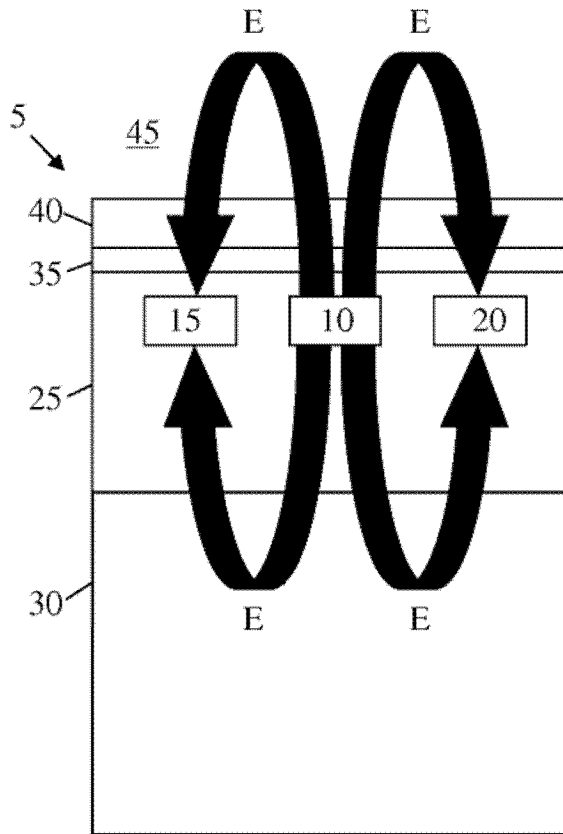


图 1

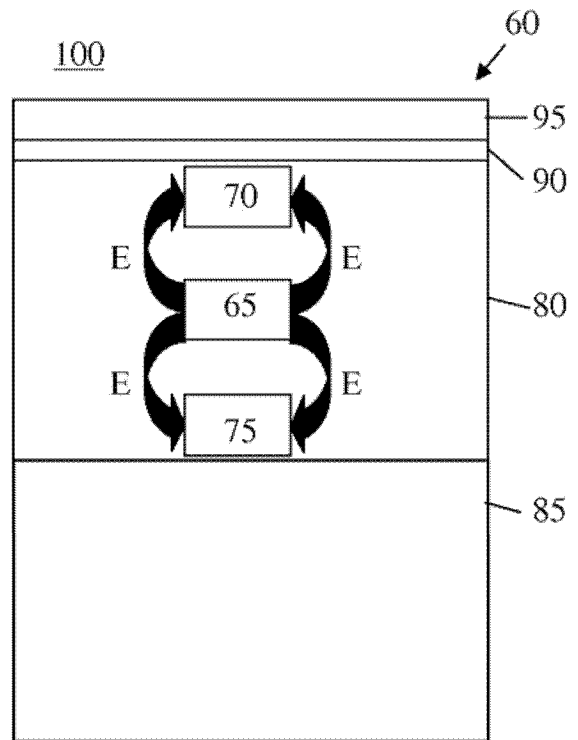


图 2

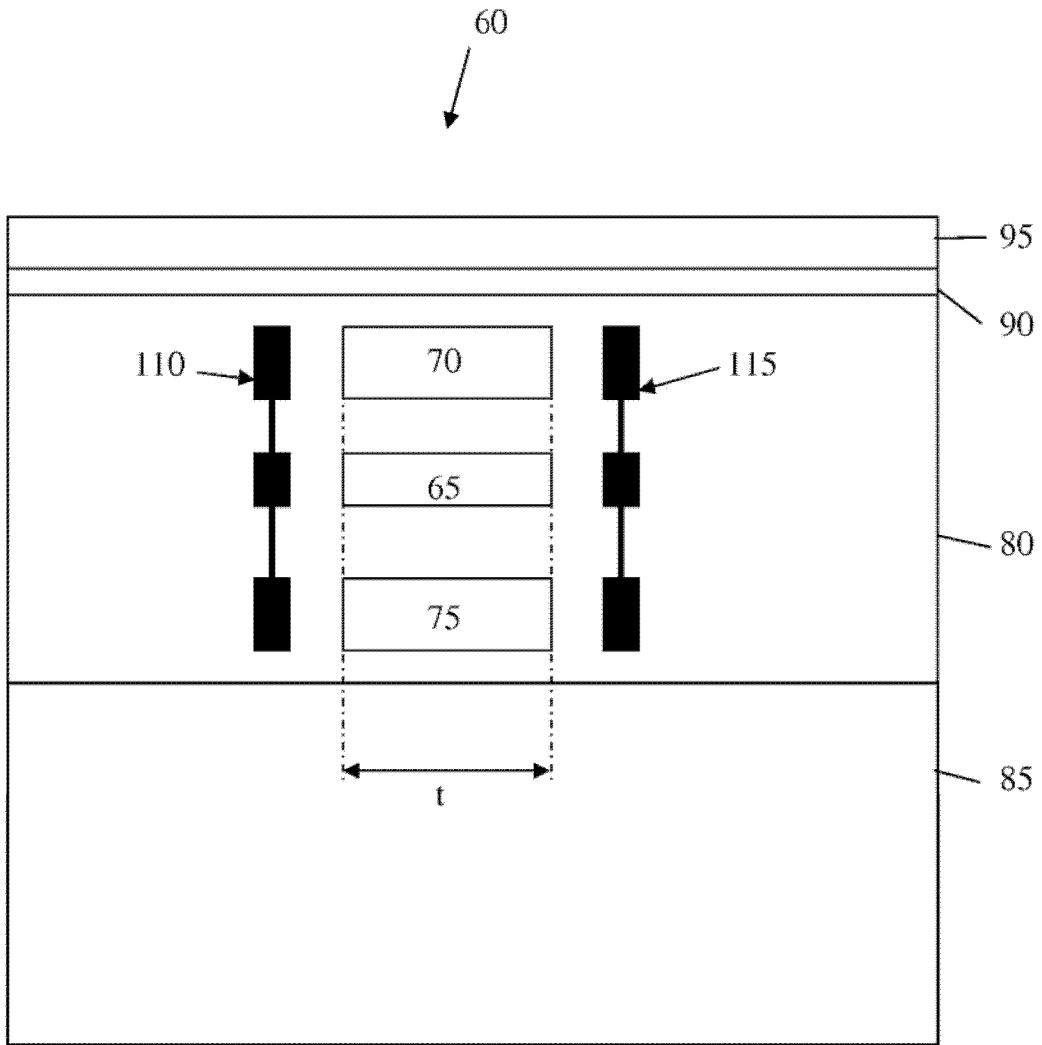


图 3

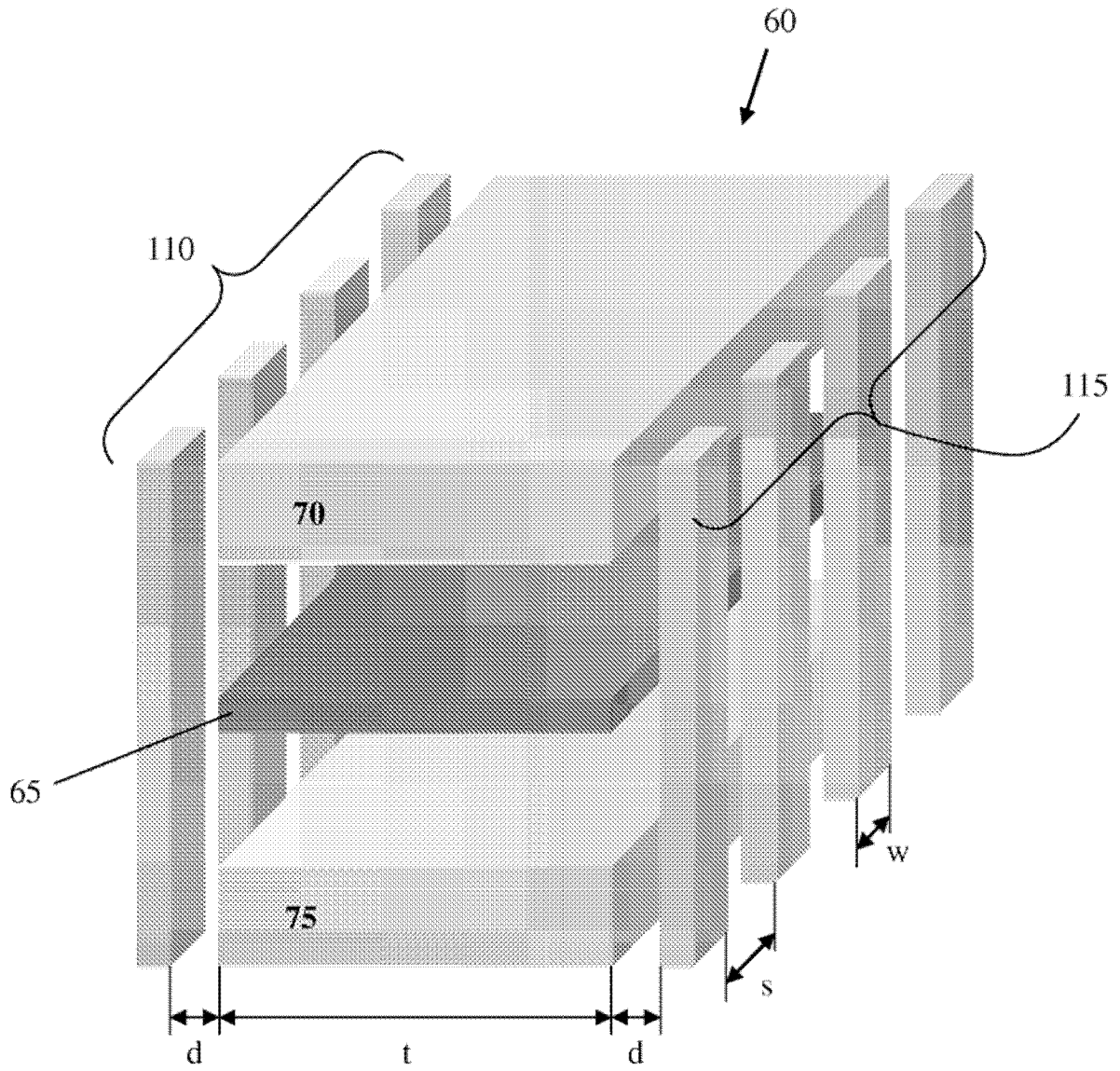


图 4

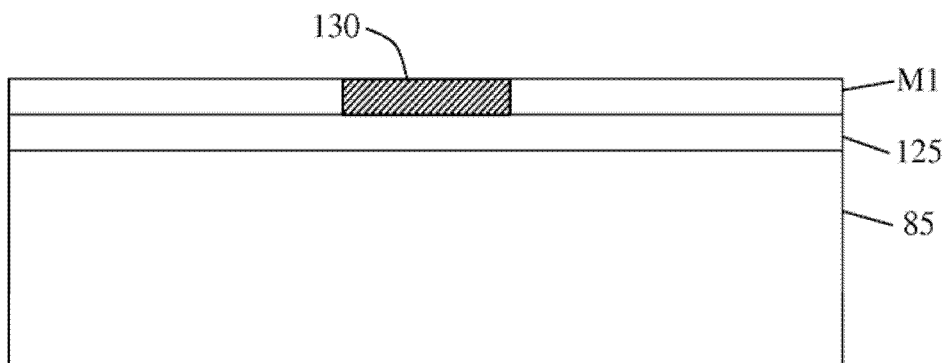


图 5

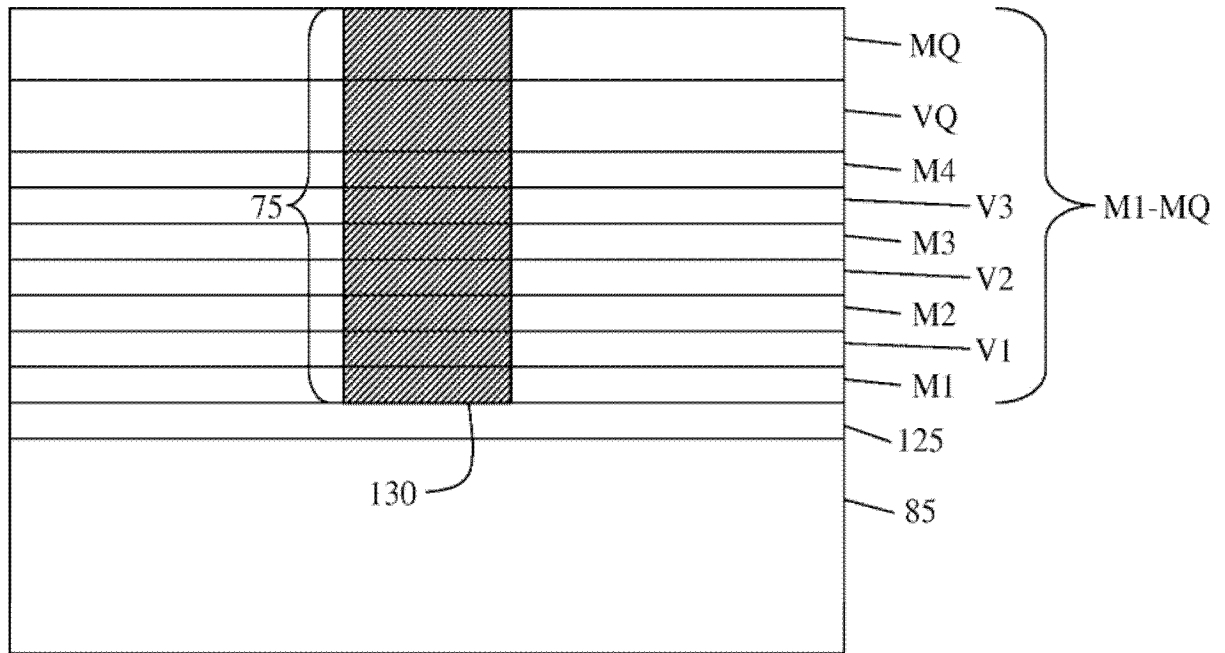


图 6

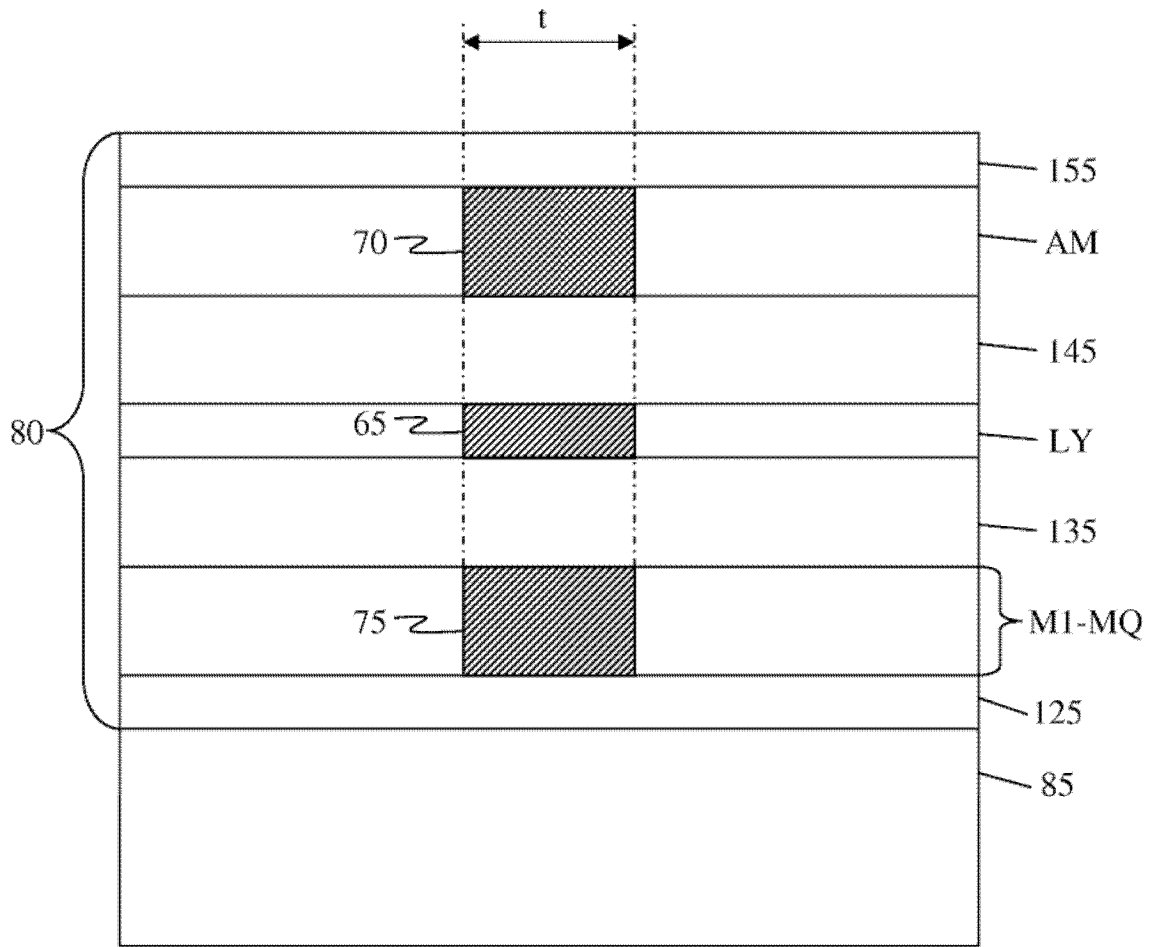


图 7

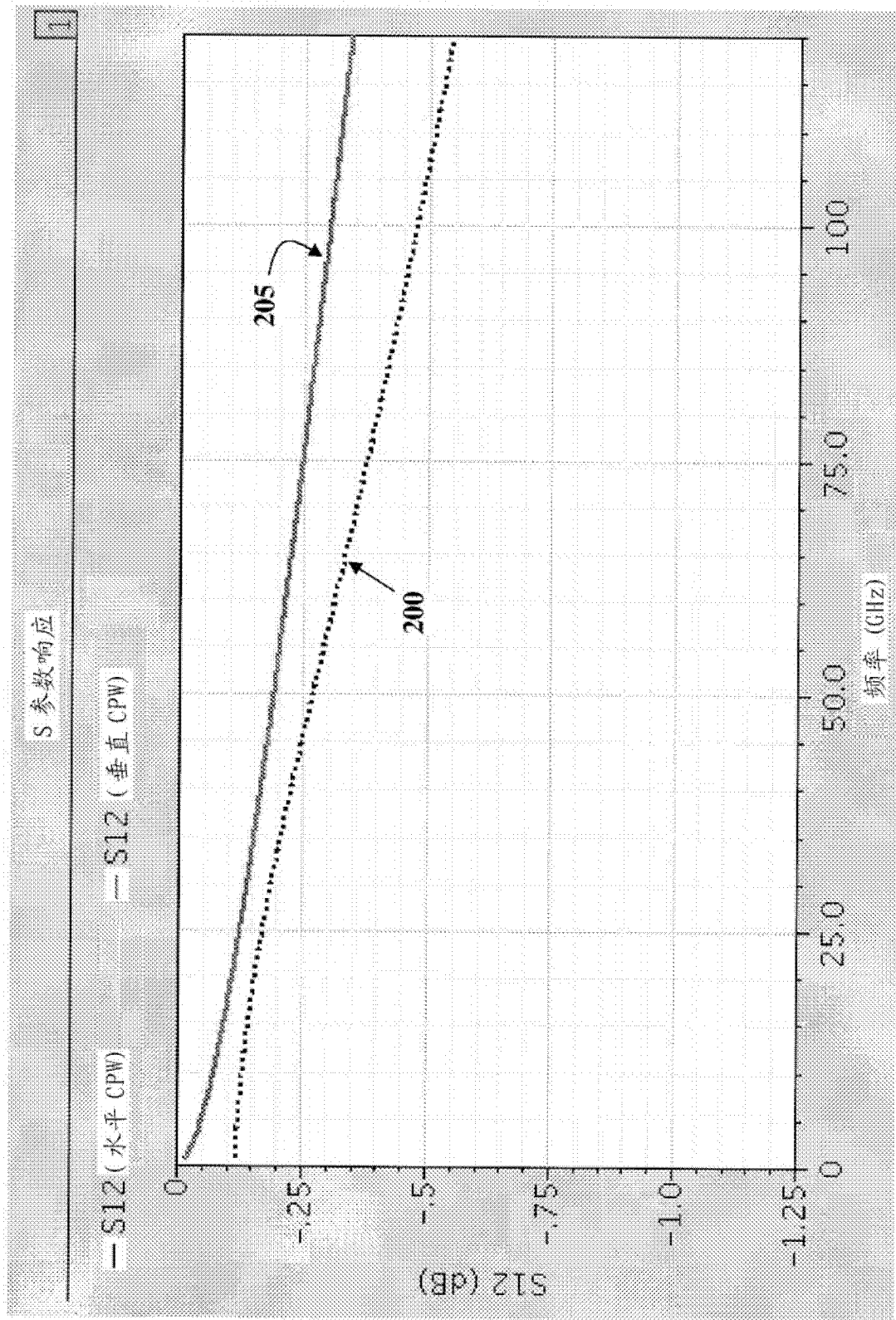


图 8

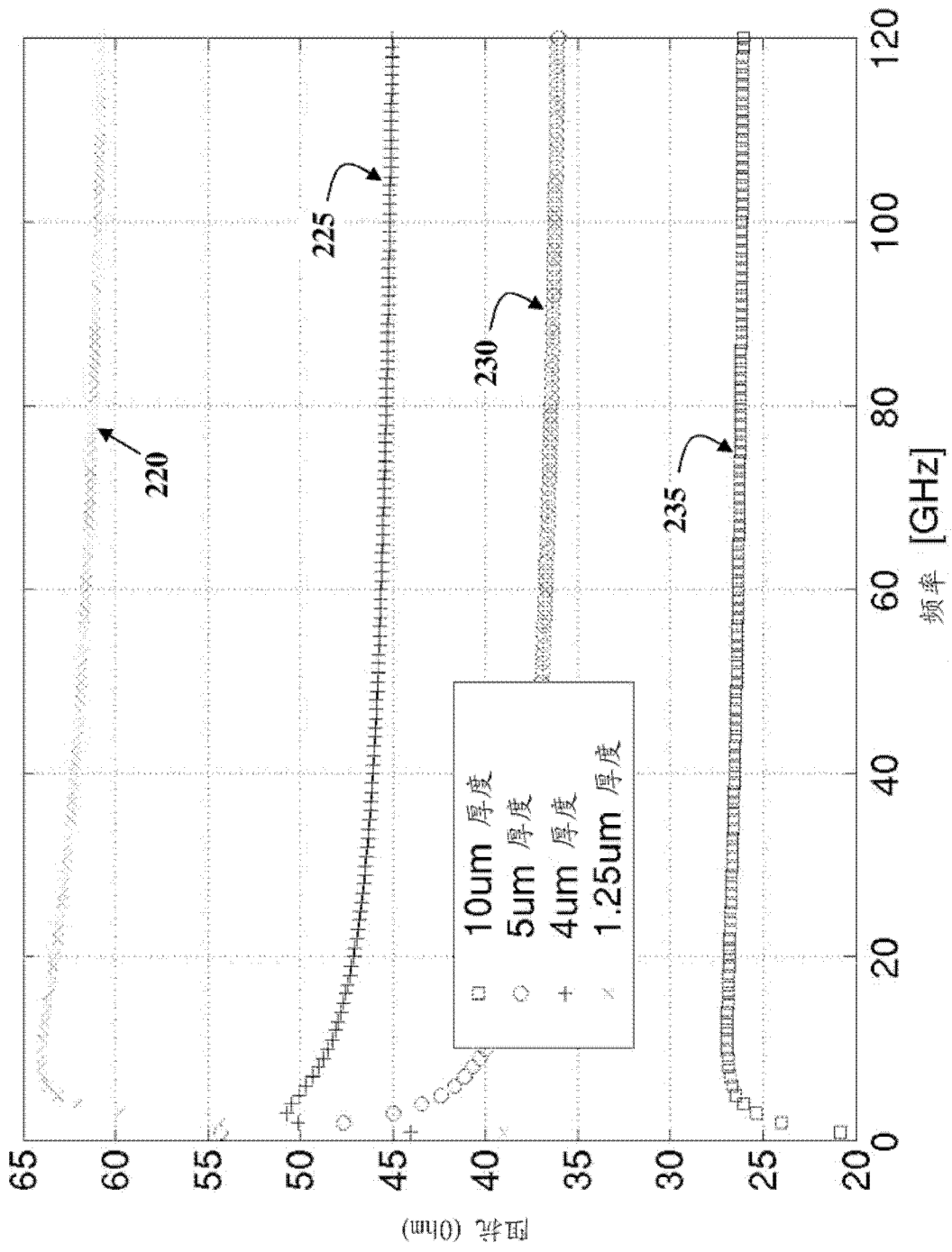


图 9

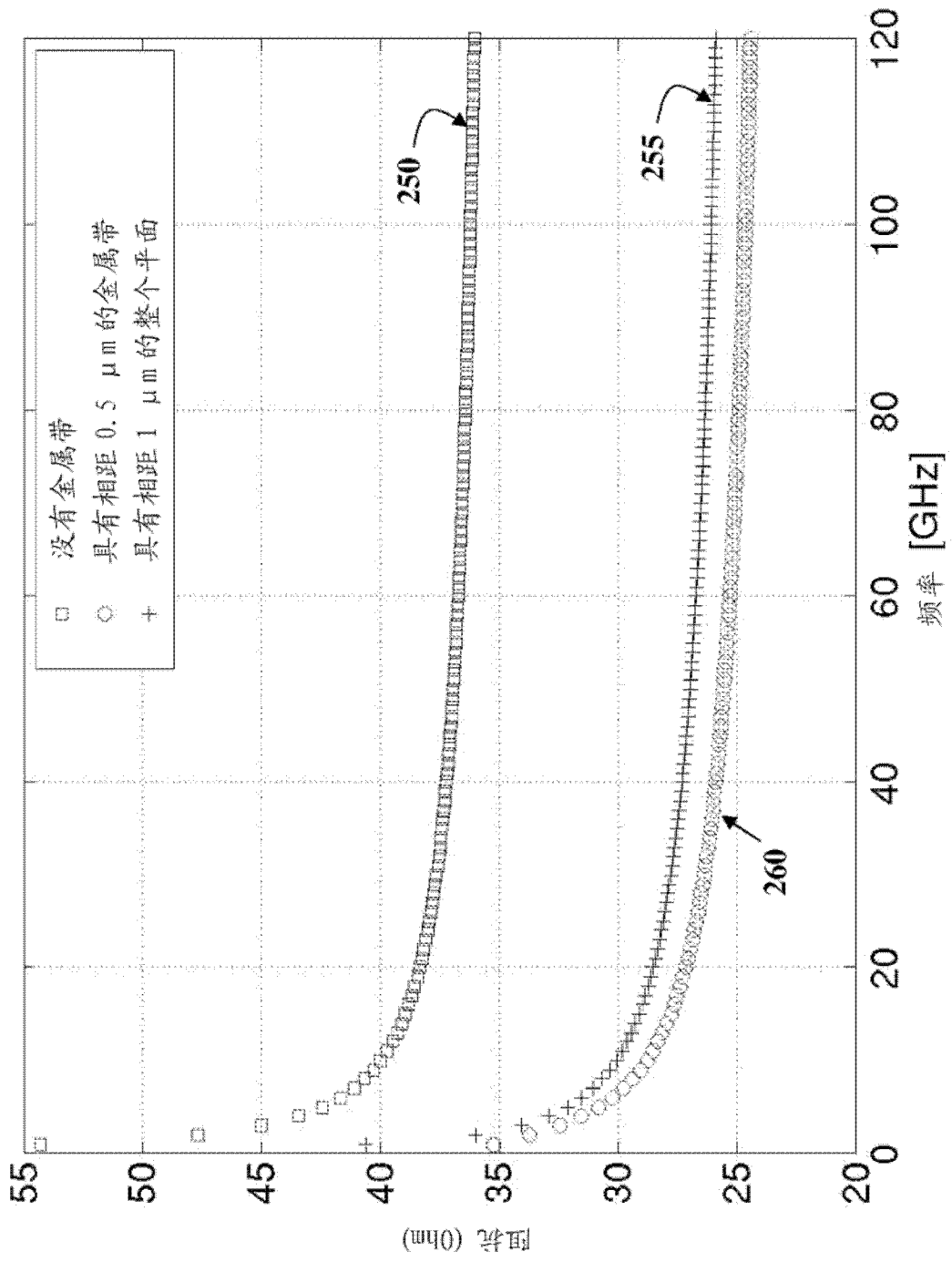


图 10

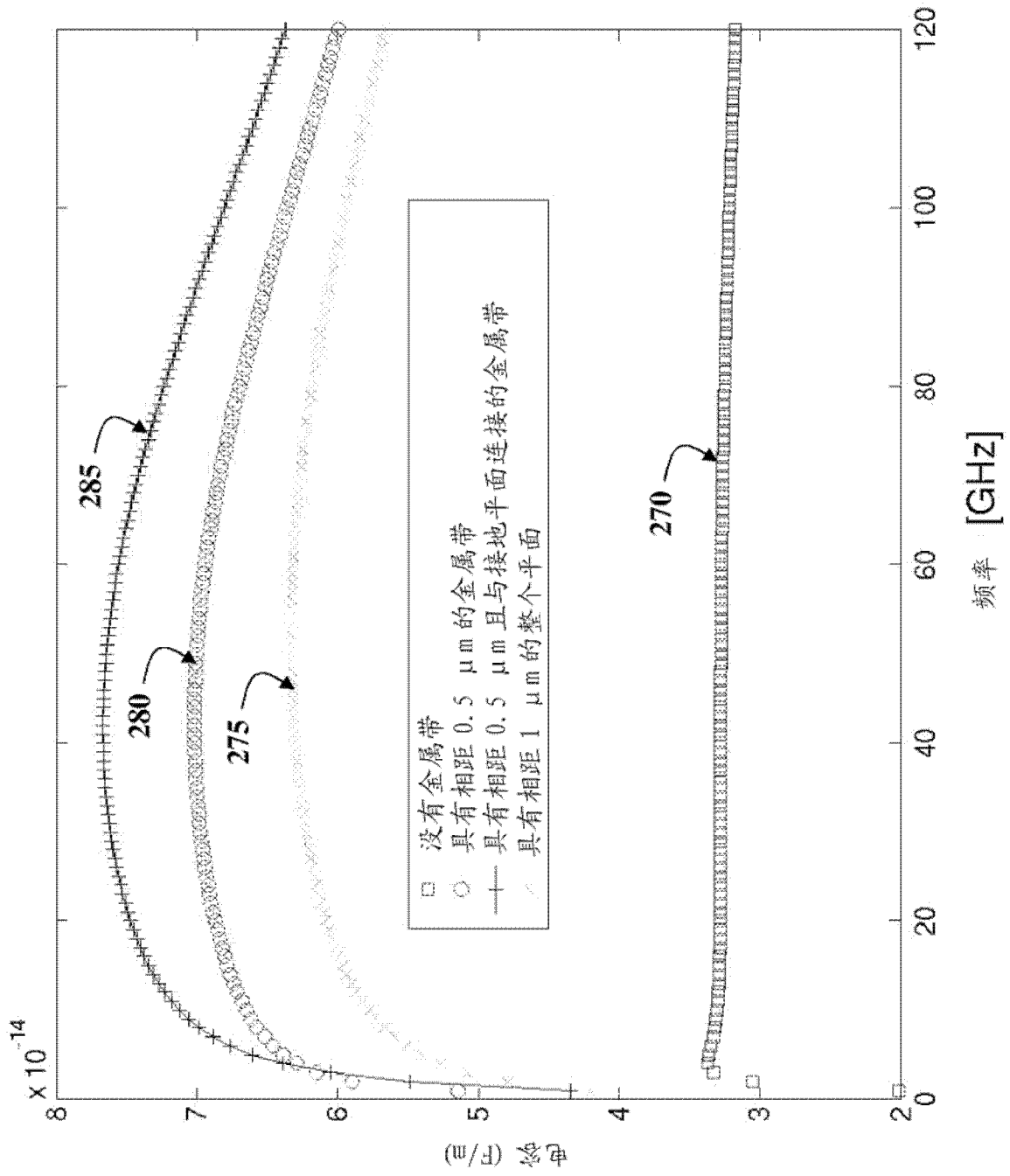


图 11

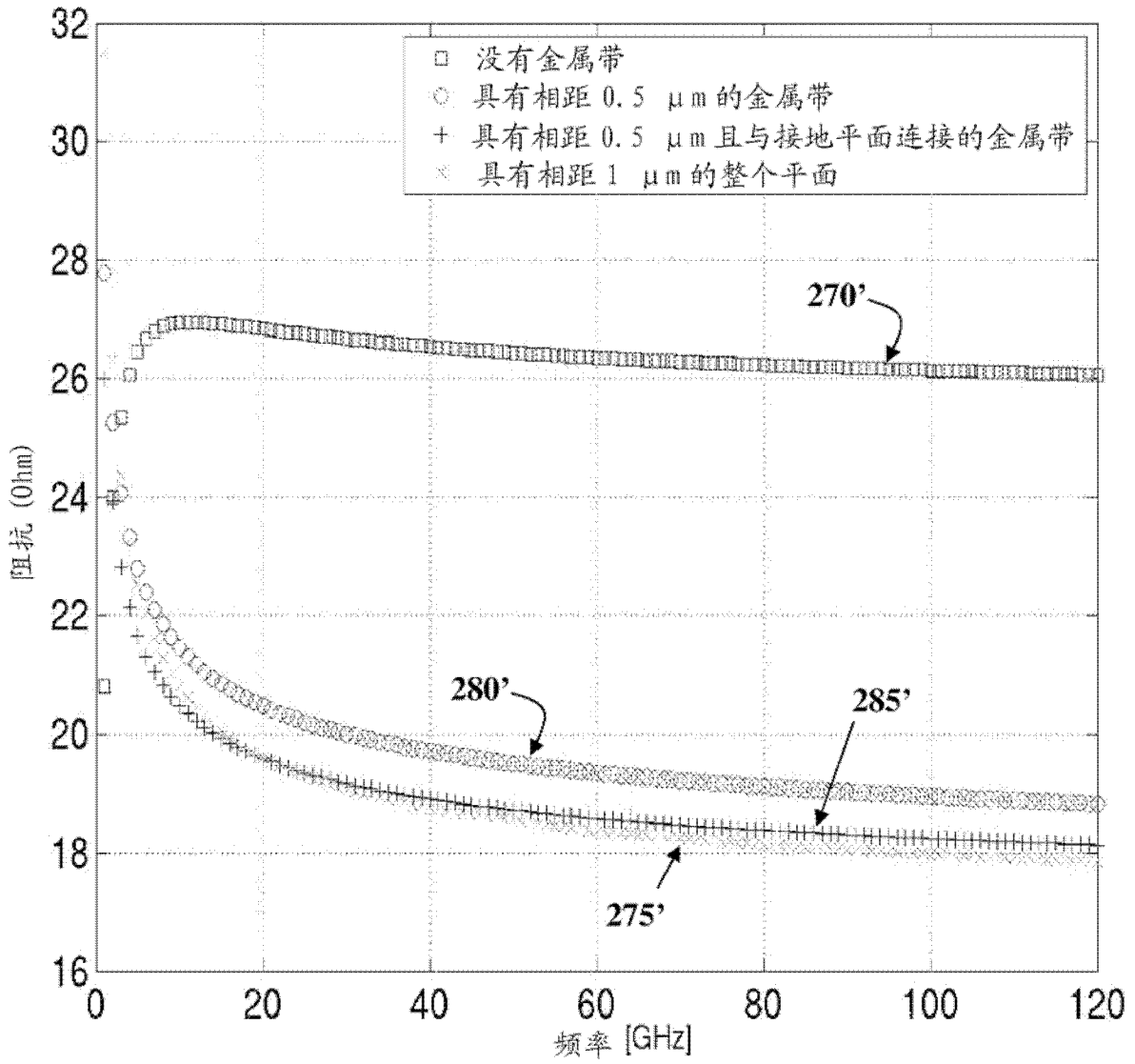


图 12

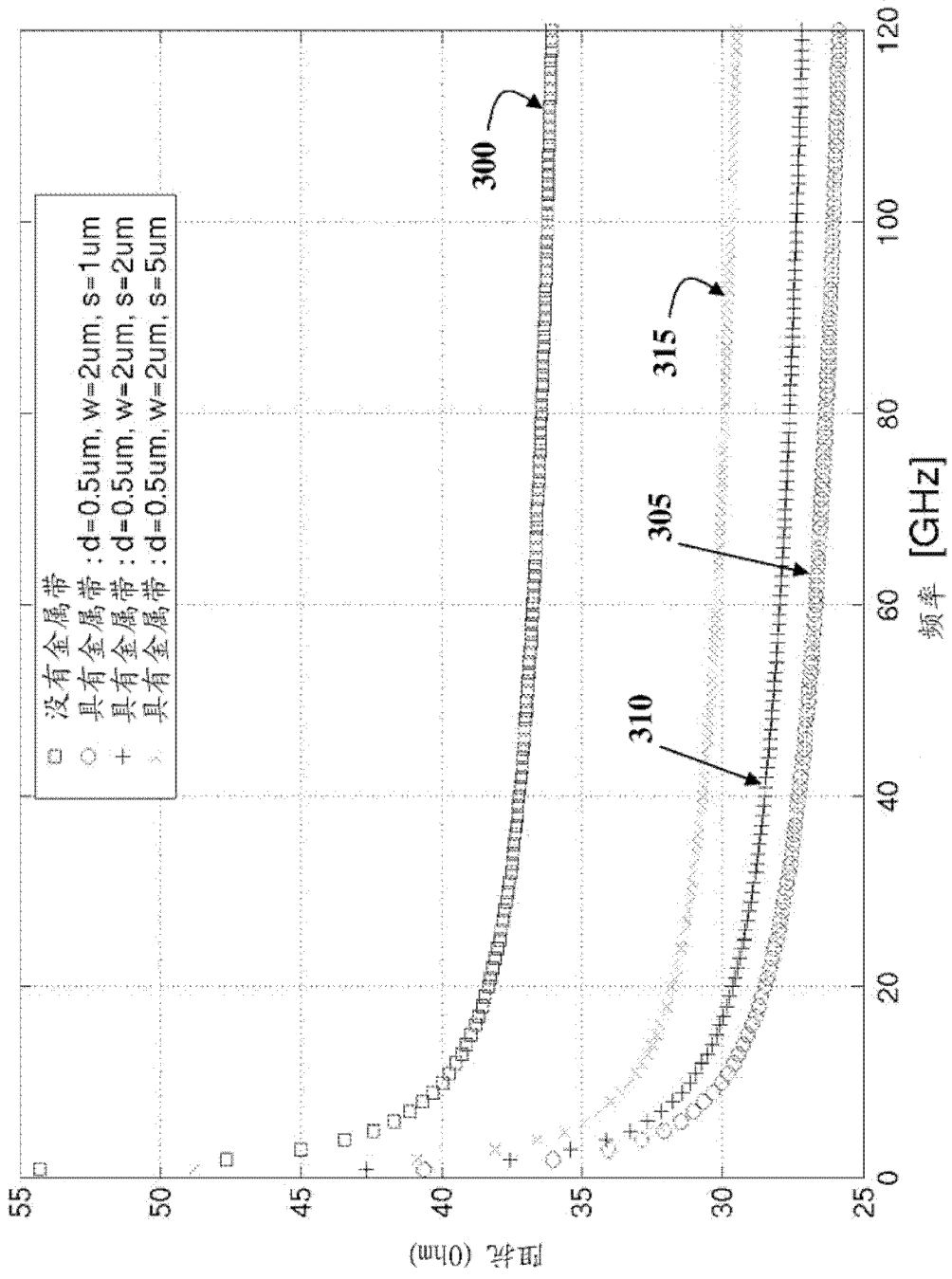


图 13

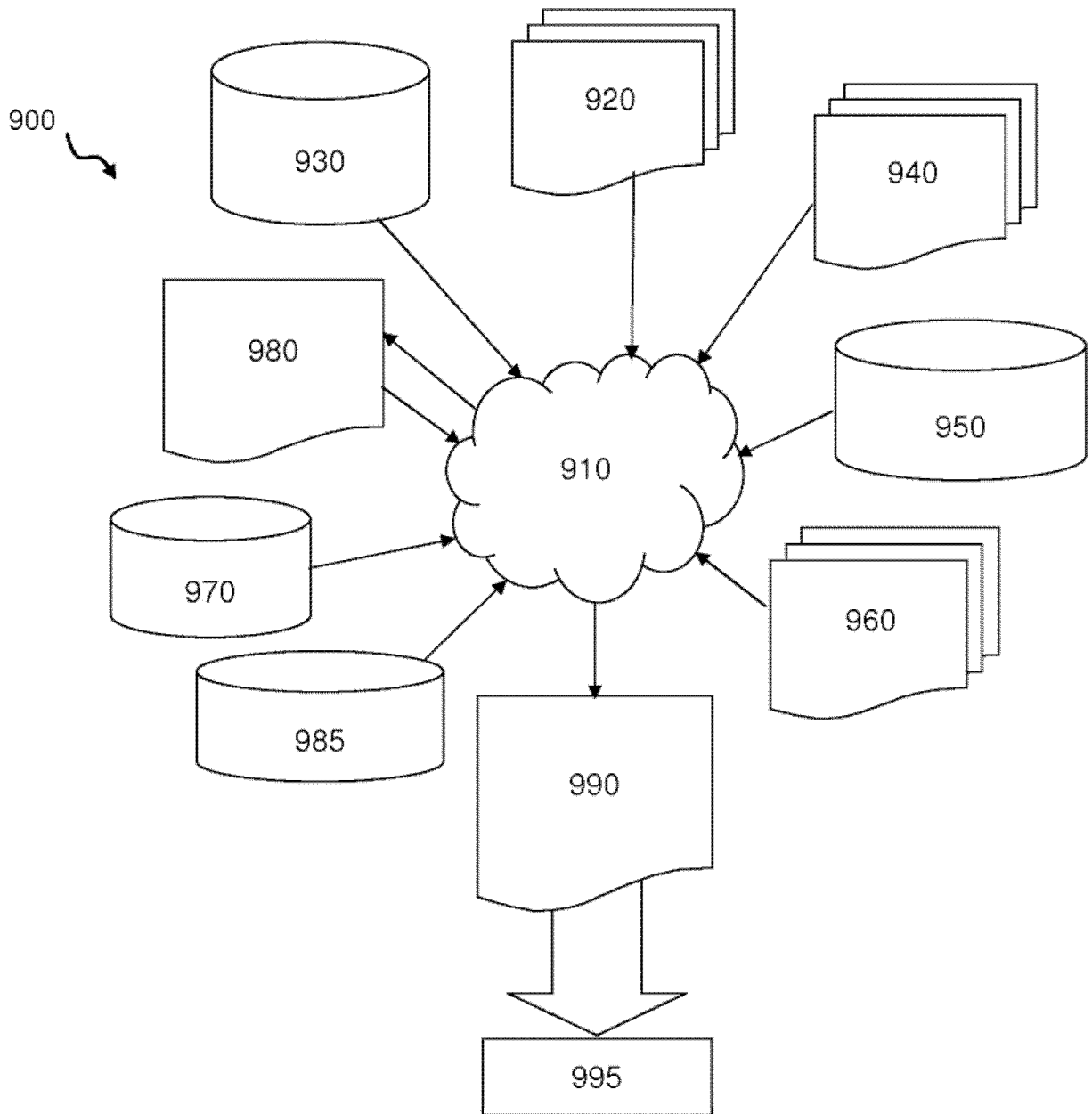


图 14