(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3644982号
(P3644982)
(45)発行日　平成17年5月11日(2005.5.11)　(24)登録日　平成17年2月10日(2005.2.10)

(51)Int.Cl.[7]　F I
G06F 3/00　G06F 3/00　G
H03K 17/00　H03K 17/00　E

請求項の数 11　(全 10 頁)

(21)出願番号　特願平6-29722
(22)出願日　平成6年2月28日(1994.2.28)
(65)公開番号　特開平6-324775
(43)公開日　平成6年11月25日(1994.11.25)
審査請求日　平成13年2月7日(2001.2.7)
(31)優先権主張番号　024521
(32)優先日　平成5年3月1日(1993.3.1)
(33)優先権主張国　米国(US)

(73)特許権者　597062454
ラティス　セミコンダクタ　コーポレイション
ＬＡＴＴＩＣＥ　ＳＥＭＩＣＯＮＤＵＣＴＯＲ　ＣＯＲＰＯＲＡＴＩＯＮ
アメリカ合衆国，　オレゴン　９７１２４，　ヒルスボロ，　ノース　イースト　ムーア　コート　５５５５
(74)代理人　100064746
弁理士　深見　久郎
(74)代理人　100085132
弁理士　森田　俊雄
(74)代理人　100083703
弁理士　仲村　義平

最終頁に続く

(54)【発明の名称】マルチプレクサシステム

(57)【特許請求の範囲】
【請求項１】
各々に優先順位が割り当てられた複数のワイドバスラインと、
前記複数のバスラインのいずれにも接続され得るシングルバスラインと、
前記複数のワイドバスラインの対応する１つを前記シングルバスラインに接続する経路上に各々が設けられる複数の第１のパスゲートと、
複数ビットの設定と前記優先順位とを考慮して、前記複数のワイドバスラインのうちのいずれが前記シングルバスラインに接続されるべきであるかを判断する手段とを備え、
前記判断する手段は、
前記複数のワイドバスラインのうちの前記優先順位が第１番目である第１のワイドバスラインに対応する、前記複数の第１のパスゲートの１つを選択する手段と、
前記第１のワイドバスラインが前記設定によって指定されているときには、前記第１のワイドバスラインに前記優先順位において後続するワイドバスラインの各々に対応する前記第１のパスゲートの選択を禁止する手段とを含み、
前記複数の第１のパスゲートの各々は、対応する内部ノードの状態に応じて導通し、
前記選択する手段は、
前記第１のワイドバスラインに優先順位において後続するワイドバスラインに対応する前記内部ノードに接地電位を供給するための接地経路上に設けられ、前記第１のワイドバスラインが前記設定によって指定されるときには接地電位の供給を遮断する第２のパスゲートを有する、マルチプレクサシステム。

【請求項２】
前記選択する手段は、前記複数のワイドバスラインのうちの前記第１のワイドバスラインに対応する前記内部ノードをロウレベルに設定する手段を含む、請求項１に記載のマルチプレクサシステム。
【請求項３】
前記複数の第１のパスゲートの各々は、導通状態を制御する制御端子を有し、
前記選択する手段は、
対応する前記内部ノードが入力に接続され前記制御端子が出力に接続されるインバータをさらに含み、
前記内部ノードがロウレベルになると、前記インバータによって前記第１のパスゲートの制御端子がハイレベルになり、前記第１のワイドバスラインが前記シングルバスラインに接続される、請求項２に記載のマルチプレクサシステム。
【請求項４】
前記第１のワイドバスラインに対応する前記内部ノードの状態に応じて前記第２のパスゲートの導通状態が制御され、
前記第１のワイドバスラインが選択されるときには、前記第２のパスゲートが非導通となり前記接地経路が遮断される、請求項３に記載のマルチプレクサシステム。
【請求項５】
各々に優先順位が割り当てられた複数のワイドバスラインと、
前記複数のバスラインのいずれにも接続され得るシングルバスラインと、
前記複数のワイドバスラインの対応する１つを前記シングルバスラインに接続する経路上に各々が設けられる複数の第１のパスゲートと、
複数ビットの設定と前記優先順位とを考慮して、前記複数のワイドバスラインのうちのいずれが前記シングルバスラインに接続されるべきであるかを判断する手段とを備え、
前記判断する手段は、
前記複数のワイドバスラインのうちの前記優先順位が第１番目である第１のワイドバスラインに対応する、前記複数の第１のパスゲートの１つを選択する手段と、
前記第１のワイドバスラインが前記設定によって指定されているときには、前記第１のワイドバスラインに前記優先順位において後続するワイドバスラインの各々に対応する前記第１のパスゲートの選択を禁止する手段とを含み、
前記判断する手段は、段にされたメモリセルを含み、その段にされたメモリセルの各々は前記複数のワイドバスラインの１つと関連させられており、その各々はさらにパスゲートを介して接地経路に接続される、マルチプレクサシステム。
【請求項６】
前記判断する手段は、接地信号を増幅するための少なくとも１つの手段をさらに含み、その手段は回路の中で前記接地経路内に接続される、請求項５に記載のマルチプレクサシステム。
【請求項７】
前記禁止する手段は、前記接地経路を後続するメモリセル段に対し終端させるための手段を含む、請求項５に記載のマルチプレクサシステム。
【請求項８】
前記接地経路を後続するメモリセル段に対し終端させるための前記手段は、前記第１のワイドバスラインと関連するパスゲートをローに引下げるための手段を含む、請求項７に記載のマルチプレクサシステム。
【請求項９】
各々に優先順位が割り当てられた複数のワイドバスラインと、
前記複数のバスラインのいずれにも接続され得るシングルバスラインと、
前記複数のワイドバスラインの対応する１つを前記シングルバスラインに接続する経路上に各々が設けられる複数の第１のパスゲートと、
複数ビットの設定と前記優先順位とを考慮して、前記複数のワイドバスラインのうちの

いずれが前記シングルバスラインに接続されるべきであるかを判断する手段とを備え、
前記判断する手段は、
前記複数のワイドバスラインのうちの前記優先順位が第１番目である第１のワイドバスラインに対応する、前記複数の第１のパスゲートの１つを選択する手段と、
前記第１のワイドバスラインが前記設定によって指定されているときには、前記第１のワイドバスラインに前記優先順位において後続するワイドバスラインの各々に対応する前記第１のパスゲートの選択を禁止する手段とを含み、
前記複数のワイドバスラインは、第１グループと前記第１グループよりも前記優先順位が低い第２グループに分割され、
前記判断する手段は、前記複数ビットの設定のうち前記第１グループに対応するビットを保持する複数の第１の保持回路と、前記複数ビットの設定のうち前記第２グループに対応するビットを保持する複数の第２の保持回路とを含み、前記第１、第２の保持回路の各々は接地経路に接続することができ、
前記接地経路は、前記第１の保持回路に接続される第１の接地経路と、前記第２の保持回路に接続される第２の接地経路とを含み、
前記判断する手段はさらに前記第１の接地経路の電位に応じて前記第２の接地経路の電位を駆動するバッファリング回路を含む、マルチプレクサシステム。
【請求項１０】
前記バッファリング回路は、
前記第１の接地経路にバイアス電位を与えるバイアスメカニズムと、
前記第１の接地経路に入力が接続されるインバータと、
前記インバータの出力に応じて前記第２の接地経路を接地電位に接続する第３のパスゲートとを含み、
前記バッファリング回路は前記シングルバスラインに配設されるトライステートバッファをさらに含み、前記トライステートバッファは前記第１の接地経路に接続される制御入力ノードを有する、請求項９に記載のマルチプレクサシステム。
【請求項１１】
前記バッファリング回路は、
前記シングルバスラインに配設されるバッファと、前記第１の接地経路の電位に応じて前記第２の接地経路を接地電位に結合するパスゲートとを含む、請求項９に記載のマルチプレクサシステム。
【発明の詳細な説明】
【０００１】
【発明の分野】
この発明は、マルチプレクサに関する。より特定的には、この発明はワイドマルチプレクサ構造の性能を向上させるための装置および方法に関する。
【０００２】
【関連技術の説明】
電子技術分野では、シングルラインバスにワイドバス（すなわち１本よりも多くのラインを有するもの）を接続することができれば有利であることがよくある。そのような接続を行なうための構造が、図１で示されている。特定的には、図１ではラインが１本だけのバスに「ｎ本の」ラインを有するバスを接続するための構造（参照番号１０によって包括的に表わされる）が示される。図１に示されるｎラインバスにおける個々のラインはＸ０、Ｘ１、Ｘ２…Ｘｎ－１と表わされる。図１で示されるラインバスは、単にＹと表わされる。
【０００３】
図１の参照を続けると、構造１０はｎ個のトランジスタ（その各々を参照番号１２で示す）を含み、それらはｎラインバスの各ラインにつき１つずつあるということが見て取れるだろう。構造１０では、データの１つのビットがｎ個のトランジスタ１２の各々を効果的に制御する。これらのビットは図１ではメモリビットのボックス（その各々は参照番号１

４によって表わされる）という形で示されており、その各々は関連のトランジスタ１２のゲートに接続される。「メモリセル」１４の中のビットの各々は能動化されてよく、それによって関連のＸラインとＹラインとが接続できるようになり（すなわちメモリビット０を能動化するとラインＸ０とＹラインとが接続できるようになり）、かつ適切なＸライン上のデータをＹラインへ送る（すなわち提示した例ではＸ０からＹへ送る）ことができるようになる。

【０００４】

図１で表わされる構造にはしかしながら、いくつかの短所がある。たとえば、メモリセルのうちいずれか２つがオンであって、それらが異なっていれば、ラインＹが未知の状態になり得る可能性がある。より特定的には、たとえばＸ０とＸ１とが異なっていることがあり得る。そのような場合にメモリビット０およびメモリビット１が双方とも能動化されると、ラインＹの値は未知になるだろう。さらにそのような場合に、トランジスタＴ０およびＴ１が双方とも能動化されており、それらのトランジスタの速度に関する値が比較的大きいと仮定すれば、ラインＸ０とラインＸ１との間に高電流経路が生じるであろう。

【０００５】

上述のことに基づいて、当業者は図１で表わされたもののような先行技術の構造における短所および欠点を認識かつ理解するはずである。

【０００６】

【発明の概要】

この発明はワイドバスをシングルバスに接続するための改良された構造を提供することによって、上述の短所および欠点を克服するものである。この発明は、メモリセル間で起こり得るコンテンションを排除する装置および方法を含む。

【０００７】

したがって、この発明の目的はワイドバスがシングルバスに接続されるマルチプレクサ構造の性能を向上させるための装置および方法を提供することである。

【０００８】

この発明の他の目的は、ワイドマルチプレクサ構造において、コンテンションの原因とそれに続くバスの状態における不確実性を排除する装置および方法を提供することである。

【０００９】

この発明の他の目的、利点、および新規な特徴は、以下に述べる発明の詳しい説明を添付の図面と関連させながら見れば明らかになるであろう。

【００１０】

【発明の詳しい説明】

これより図面を参照するが、同様または類似の要素はいくつかの図で一貫して同一の参照番号で表わされる。より特定的に、図２を参照すると、この発明の教示に従う回路（参照番号１６によって包括的に示される）の概略図が示される。

【００１１】

図２では、回路１６が複数個のメモリセルビット１８を含み、そのうち２つが図示されているということが見て取れるだろう。この発明の好ましい実施例では、メモリセルビット１８はＥＥメモリセルビットである。メモリセルビット１８はたとえば、ＥＰＲＯＭビットまたはフラッシュセル構造でもあり得るし、またさらに単純に、スタティックＲＡＭセルでもあり得る。

【００１２】

当業者は、メモリセルビット１８が「オン」にでも「オフ」にでもプログラムされてよいということを理解するだろう。たとえば、図２の左側にあるメモリセルビット１８が「オン」にプログラムされていれば、ノードＡ（参照番号２０で表わされる）がローに引下げられる。ローに引下げられたノードＡ２０はインバータ２２をハイにし、またパスゲート１（「Ｐ１」）（参照番号２４で表わされる）をもハイに引上げる。ハイになったパスゲート１　２４はラインＸ０　２６をラインＹＯＵＴ２８に接続する。

【００１３】

この例、および図２に対する参照を続けると、ノードＡ２０がローであるとき、接地線パスゲート３０もローになり、図２に示される回路の右側部分（第２の「セル」）への接地経路３２を排除するであろう。接地経路３２を排除することによって、ノードＢ３４はそれに関連のメモリセルビット（すなわち図２に表わされた右側のメモリセルビット１８）のプログラムされた状態にかかわりなくハイにされる。ノードＢ３４がハイであれば、インバータ２　３６がパスゲート２（「Ｐ２」）３８をローに引下げる。パスゲート２　３８がローであれば、ラインＸ１　４０とラインＹＯＵＴ２８との接続は不可能である。したがって、図２に示された回路が動作する際には、複数のセルがＹＯＵＴで選択される可能性は全くない。

【００１４】

図２で示されているのはワイドバスラインＸ０およびＸ１の２つのみであるが、当業者は関連の段要素（すなわちメモリセルビット、インバータなど）を備えたそのようなラインを、この発明の実施例を形成するためにいくつでも接続することができるということを容易に認識するであろう。そのように「積重ねる」ことができる「セル」または「段」の数に対して本当に制約となるのは、接地経路３２が提供する抵抗が、後続の各セルがローに引下げられ関連のパスゲートを能動化するよう、十分に低い必要があるということのみである。

【００１５】

ここで図３を参照すると、この発明の実施例において接地信号を増幅するのに用いることができる回路（参照番号４２によって包括的に表わされる）が示される。回路４２は、バイアスメカニズム（参照番号４４によって包括的に表わされる）、インバータ４６、およびパスゲート４８を含み、これらは相互に作用して接地信号を効果的に増幅し、それによってより多数のセルまたは段を積重ねられるようにする。

【００１６】

上述のことに基づき、当業者はこの発明が、複数のワイドバスラインの各々をシングルバスラインに接続するべきかどうかを考慮するための順序付けられた方法を提供するものであるということを、ここまでに理解かつ認識しているはずである。この発明の方法は、一旦接続が行なわれるとそれに続いて起こり得るすべての接続を不能化するステップを含む。この、後に述べた方のステップにより、多重選択が起こらないということが確実な非常に幅の広いマルチプレクサを作り出すことができるようになる。

【００１７】

さらに上述のことに基づき、当業者はこの発明が複数のワイドバスラインがシングルバスラインに接続されてよく、複数のワイドバスラインの各々がシングルバスラインに接続される前に個々のパスゲートを介して経路を定められる、改良されたマルチプレクサシステムを提供するものであるということを、ここまでに理解かつ認識しているはずである。この発明の教示に従えば、そのような改良されたシステムは、複数のワイドバスラインの各々に対し順序付けられた考慮を強制的に行ない、それがシングルバスラインに接続されるべきかどうかを判断するための構造、複数のワイドバスラインの第１のものをシングルバスラインに接続することを可能にするための構造、ならびに複数のワイドバスラインの第１のものに続く複数のワイドバスラインの各々に対して行なわれ得る接続を不能化するための構造を含む。この発明の装置は非常に単純であり、したがって同じ機能を行なうべく構成され得るより精巧なシステムより、作り上げるのにかかる費用が少なく、かつよりコンパクトである。接地信号の拡張を用いるこの発明の方法はまた、２進ではないため、およびどんな幅でも、どんな数の入力信号でも可能なので、有効に用いることができる。

【００１８】

この発明の発明者は、ここにおける教示に従うマルチプレクサ構造の幅を非常に広くすると、付加的なバッファリングによってスピードが向上し、初期の入力（すなわちＸ０、Ｘ１、など）までキャパシタンスが低くなるということを認識している。このようなバッファリングは図４に示されるような回路方式によって提供することができる。このバッファリング回路方式は、バイアスメカニズム４８、トライステートバッファ５０、インバータ

５２、および接地信号パスゲート５４で終端する多段を含む。この方式では、バイアスメカニズム４８、インバータ５２、および接地信号パスゲート５４はすべて接地線上で直列に配設され、トライステートバッファ５０は回路内で出力ラインに接続され、その第３の接続点は接地線上でバイアスメカニズム４８とインバータ５２との間で接続される。図４はそのような段の２つを示すものであって、これらは双方とも同じように参照される。しかしながら、この発明の実施例に含むことのできるそのような段の数はいくつでもよく、そのような段の数が多いほど回路全体の動作は低速になるということを認識されたい。

【００１９】

この発明の実施例に、図４で表わされるもののようなバッファリング構造を含むという決定がなされると、本当に最後の段はトライステートバッファまたは最後の接地増幅器を必要としないだろう。しかし、最終段の非選択（deselect）（すなわちハイに引上げるかローに引下げるか）を行なうことがなお必要である。これは図５に示される回路方式によって行なうことができ、この回路方式はバッファ５６とパスゲート５８とを用いるものであって、これらは示されているように、それぞれ出力ラインおよび接地線に配設される。

【００２０】

以上で、この発明は当業者がそれを実施することができるようにするのに十分なだけ説明されていると考えられるが、ここに図６ないし１２を含み、これまでに構成かつテストされて非常に良好に動作するということがわかっている、この発明の特定の実施例を説明する。図６ないし１２に示される回路はここでは例としてのみ示されるものであって、どのようにも、この発明を実施する際の詳細を限定するものとしては解釈されないし、またされるべきではない。

【００２１】

上述のことを理解した上で、当業者は図６ないし８が詳細な回路図の形でこの発明の教示に従う装置を表わすということを認識するであろう。図６ないし８の装置は、実に全く単純なものであって、非常に僅かな部分、すなわち２つのＭＵＸＯＵＴ素子６０、事実上同一なＭＵＸＲＯＷ素子６２およびＭＵＸＲＯＷＲ素子６４、２つのＩＮＴＭＡＴＥＮＤＣＡＰ素子６６、２つのＲＯＷＰＵＭＰ素子６８、ならびにＩＮＴＭＡＴＢＵＦ素子７０から構成される。図９はＭＵＸＲＯＷ素子６２のさらにより詳細な図であって、ここではこのＭＵＸＲＯＷ素子６２が本質的にＢＩＴＸＬ素子７２およびＢＩＴＸＲ素子７４を含むということが示される。この場合も、図９で詳細に示されるＭＵＸＲＯＷ素子６２は、図６に示されるＭＵＸＲＯＷＲ素子６４と事実上同一である。

【００２２】

ここで図１０を参照すると、ＢＩＴＸＲ素子７４の詳細な回路図が示されており、これは図９で示したものよりもレベルの高い図である。図１０において点線７６で規定されたブロック内には、ＢＩＴＸＲ素子７４とＢＩＴＸＬ素子７２との間の本質的に唯１つの違いとなる、トランジスタ７８がある。

【００２３】

図１１では、接地信号増幅器４２の詳細な回路図が示されており、これは図３で表わされたものよりもレベルの高い図である。最後に図１２は、図４および５ならびにこれらの図に伴なう説明において示されかつ論じられた、バッファリングおよびバッファリング終了方式を表わすものである。

【００２４】

以上すべてに基づき、当業者はここまででこの発明を完全に理解かつ認識しているはずである。この発明は大まかに言えば、ワイドラインバスをシングルラインバスに接続するための方法および装置を提供するものであって、ワイドバスラインの１本を接続することは、他のすべてのワイドバスラインに対して行なわれ得る接続を不能化する手段をトリガする。このようにすることで、この発明によって非常に幅の広いマルチプレクサを作り出すことができるようになり、このマルチプレクサにおいてはワイドバスラインの多重選択は決して起こらない。

【００２５】

上述の教示に照らして、数多くの修正および変形が可能であることは明らかである。したがって、前掲の特許請求の範囲内で、この発明は上で特定的に記述したものとは異なるように実施されてもよい。

【図面の簡単な説明】

【図１】ワイドマルチプレクサ構造においてワイドバスをシングルバスに接続することができるようにする先行技術の回路の概略図である。

【図２】この発明の教示に従う回路の概略図である。

【図３】接地信号を増幅するための、この発明の実施例で用いられてよい回路の概略図である。

【図４】この発明の実施例で用いられてよいバッファリング回路の概略図である。

【図５】この発明の実施例で用いることができる最終段非選択回路の概略図である。

【図６】この発明の実施例の詳細な概略図である。

【図７】この発明の実施例の詳細な概略図である。

【図８】この発明の実施例の詳細な概略図である。

【図９】図６ないし８で示された素子のうち１つをより詳細に示した概略図である。

【図１０】図９で示した素子の１つをさらにより詳細に示した概略図である。

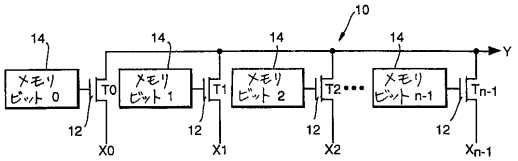
【図１１】この発明の実施例に含まれてよい接地信号増幅器回路の詳細な概略図である。

【図１２】この発明の実施例に用いられてよいバッファリング方式の詳細な概略図である。

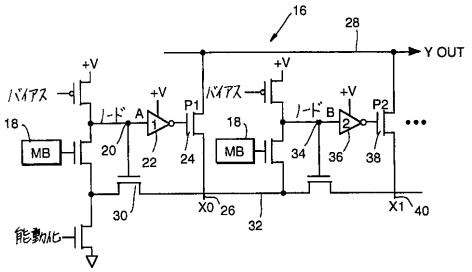
【符号の説明】

１６　回路
１８　メモリセルビット
２６　ライン
２８　ライン
４０　ライン

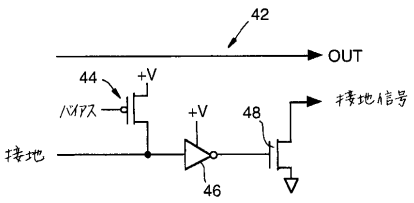
【図１】



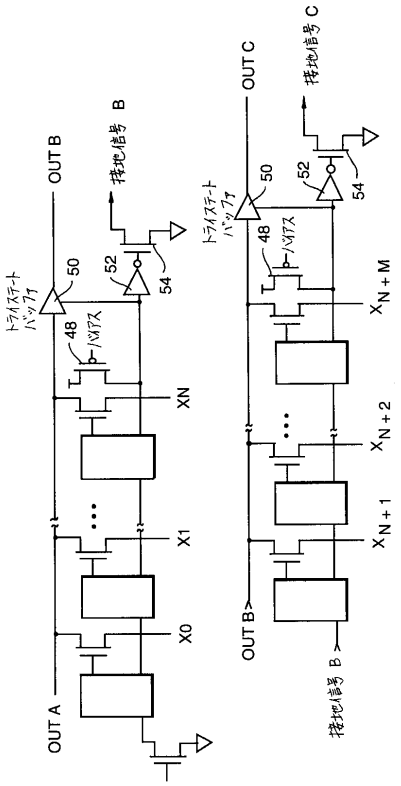
【図２】



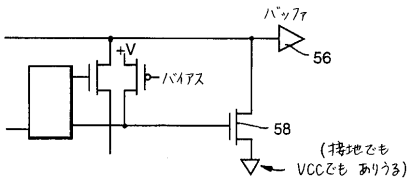
【図３】



【図４】



【図５】


バッファ
+V
バイアス
56
58
(接地でも
VCCでも ありうる)

【図６】

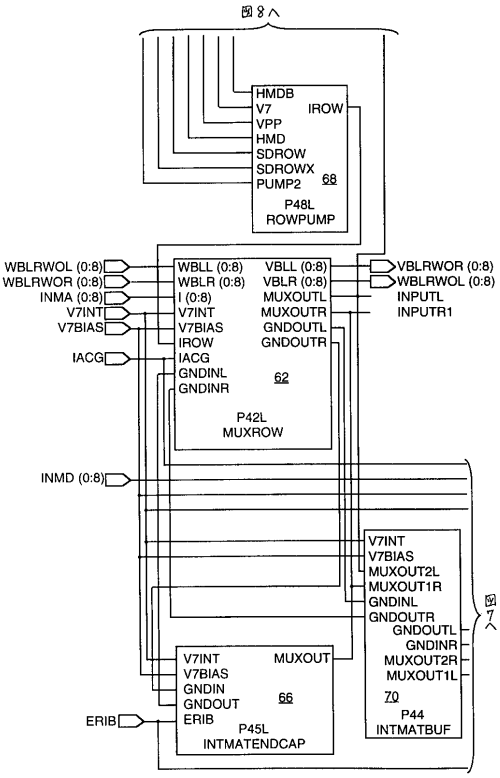


図８へ
HMDB
V7
VPP
HMD
SDROW
SDROWX
PUMP2
68
IROW
P48L
ROWPUMP
WBLRWOL (0:8)
WBLRWOR (0:8)
INMA (0:8)
V7INT
V7BIAS
IACG
WBLL (0:8)
WBLR (0:8)
I (0:8)
V7INT
V7BIAS
IROW
IACG
GNDINL
GNDINR
62
VBLL (0:8)
VBLR (0:8)
MUXOUTL
MUXOUTR
GNDOUTL
GNDOUTR
VBLRWOR (0:8)
WBLRWOL (0:8)
INPUTL
INPUTR1
P42L
MUXROW
INMD (0:8)
V7INT
V7BIAS
GNDIN
GNDOUT
ERIB
66
MUXOUT
P45L
INTMATENDCAP
V7INT
V7BIAS
MUXOUT2L
MUXOUT1R
GNDINL
GNDOUTR
GNDOUTL
GNDINR
MUXOUT2R
MUXOUT1L
70
P44
INTMATBUF
図７へ

【図７】

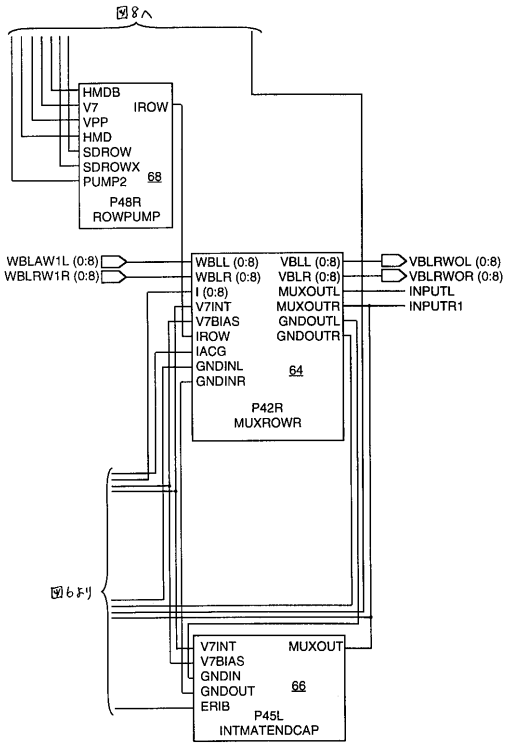
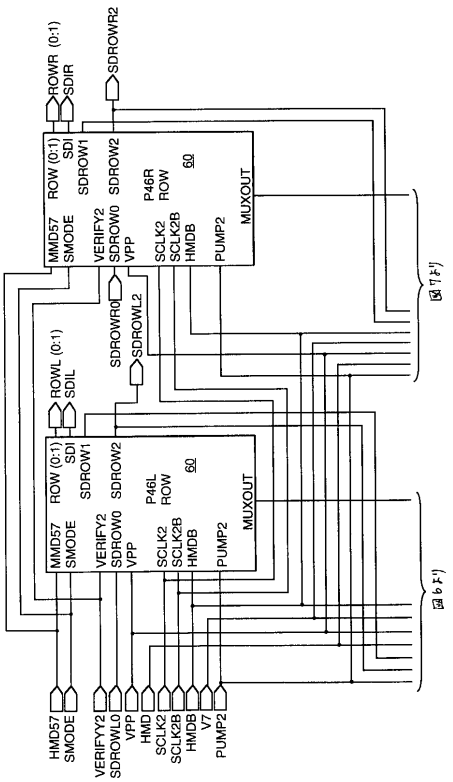
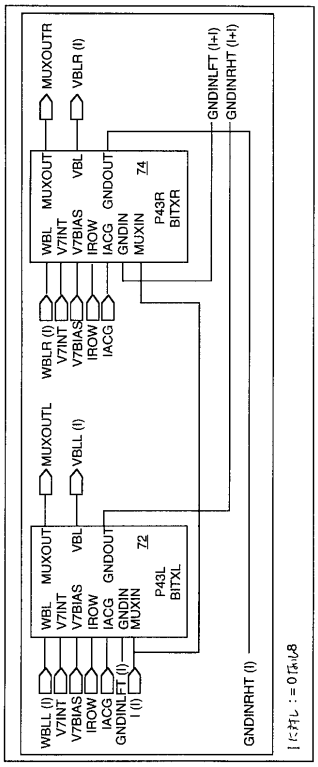


図８へ
HMDB
V7
VPP
HMD
SDROW
SDROWX
PUMP2
68
IROW
P48R
ROWPUMP
WBLAW1L (0:8)
WBLRW1R (0:8)
WBLL (0:8)
WBLR (0:8)
I (0:8)
V7INT
V7BIAS
IROW
IACG
GNDINL
GNDINR
64
VBLL (0:8)
VBLR (0:8)
MUXOUTL
MUXOUTR
GNDOUTL
GNDOUTR
VBLRWOL (0:8)
VBLRWOR (0:8)
INPUTL
INPUTR1
P42R
MUXROWR
図６より
V7INT
V7BIAS
GNDIN
GNDOUT
ERIB
66
MUXOUT
P45L
INTMATENDCAP

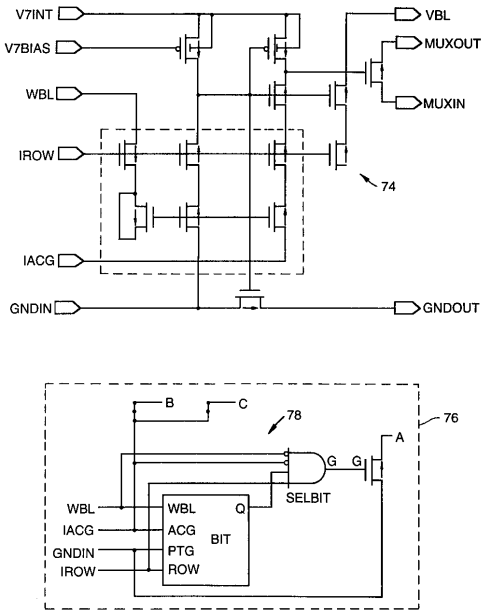
【図８】


ROWR (0:1)
SDIR
SDROWR2
ROW (0:1)
SDI
SDROW1
SDROW2
P46R
ROW
60
MMD57
SMODE
VERIFY2
SDROW0
VPP
SCLK2
SCLK2B
HMDB
PUMP2
MUXOUT
図７より
SDROWR0
SDROWL2
ROWL (0:1)
SDIL
P46L
ROW
60
図６より
HMD57
SMODE
VERIFYY2
SDROWL0
VPP
HMD
SCLK2
SCLK2B
HMDB
V7
PUMP2

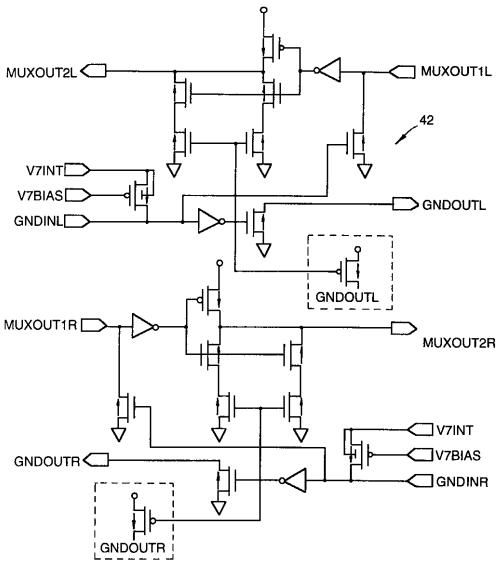
【図９】



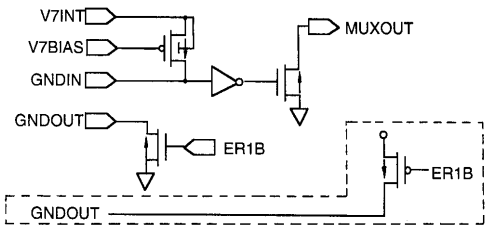
【図１０】



【図１１】



【図１２】



フロントページの続き

(74)代理人 100096781
弁理士 堀井 豊
(74)代理人 100098316
弁理士 野田 久登
(74)代理人 100109162
弁理士 酒井 將行
(72)発明者 ジェリー・ディ・モエンチ
アメリカ合衆国、テキサス州、オースティン、スパイスウッド・パークウェイ、１１３０５

審査官 山崎 慎一

(56)参考文献 特開平０４－３１９８１５（ＪＰ，Ａ）
特開昭５７－１６８３２４（ＪＰ，Ａ）
実開昭６２－１９５８６５（ＪＰ，Ｕ）
実開昭６１－０１６６５８（ＪＰ，Ｕ）
実開昭６２－１７３８２６（ＪＰ，Ｕ）
特開平０４－３１９８１５（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.[7]，ＤＢ名)
G06F 3/00
H03K 17/00