

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4512158号
(P4512158)

(45) 発行日 平成22年7月28日(2010.7.28)

(24) 登録日 平成22年5月14日(2010.5.14)

(51) Int.Cl.

F I

H03K 5/14 (2006.01)
G06F 1/06 (2006.01)H03K 5/14
G06F 1/04 312A

請求項の数 21 (全 10 頁)

(21) 出願番号 特願2008-501964 (P2008-501964)
 (86) (22) 出願日 平成18年3月13日(2006.3.13)
 (65) 公表番号 特表2008-533916 (P2008-533916A)
 (43) 公表日 平成20年8月21日(2008.8.21)
 (86) 国際出願番号 PCT/US2006/009132
 (87) 国際公開番号 W02006/101840
 (87) 国際公開日 平成18年9月28日(2006.9.28)
 審査請求日 平成21年3月11日(2009.3.11)
 (31) 優先権主張番号 11/083,482
 (32) 優先日 平成17年3月18日(2005.3.18)
 (33) 優先権主張国 米国(US)

早期審査対象出願

(73) 特許権者 597154922
 アルテラ コーポレーション
 Altera Corporation
 アメリカ合衆国 95134 カリフォル
 ニア州 サン ホセ イノベーション ド
 ライヴ 101
 (74) 代理人 100078282
 弁理士 山本 秀策
 (74) 代理人 100062409
 弁理士 安村 高明
 (74) 代理人 100113413
 弁理士 森下 夏樹

最終頁に続く

(54) 【発明の名称】 可変遅延回路網

(57) 【特許請求の範囲】

【請求項 1】

選択可能な遅延量だけ信号を遅延させるための回路網であって、
 ゼロを含む選択可能な個数の比較的大きな遅延インクリメントだけ該信号を遅延させるための第一の回路網と、

ゼロを含む選択可能な個数の比較的小さな遅延インクリメントだけ該信号を追加的に遅延させるための第二の回路網と、

該第一および第二の回路網によって処理された後の信号を登録するための登録回路網と、

該第一の回路網によって処理された後の信号、または、該登録回路網によって登録された後の信号のいずれかを出力として選択するためのマルチプレクサ回路網と

を備え、

該回路網は、該出力として該信号の遅延および登録の複数の形式のうちの一つを選択するように、プログラマブルである、回路網。

【請求項 2】

前記大きなインクリメントは、全て実質的に等しい遅延量である、請求項 1 に記載の回路網。

【請求項 3】

前記小さなインクリメントは、全て実質的に等しい遅延量である、請求項 2 に記載の回路網。

【請求項 4】

前記大きなインクリメントのそれぞれは、複数の整数個の前記小さなインクリメントにほぼ等しい、請求項 3 に記載の回路網。

【請求項 5】

前記大きなインクリメントのそれぞれは、前記小さなインクリメントの 2 倍～N 倍のインクリメントに等しく、N は 0 でない正の整数である、請求項 3 に記載の回路網。

【請求項 6】

前記第一の回路網は、前記選択可能な個数の比較的大きな遅延インクリメントを選択するように、プログラマブルである、請求項 1 に記載の回路網。

【請求項 7】

前記第二の回路網は、前記選択可能な個数の比較的小さな遅延インクリメントを選択するように、プログラマブルである、請求項 1 に記載の回路網。

【請求項 8】

前記第一の回路網は、前記選択可能な個数の比較的大きな遅延インクリメントだけ遅延される中間信号を生成し、前記第二の回路網は、該中間信号に作用して、前記選択可能な個数の比較的小さな遅延インクリメントだけ前記信号を追加的に遅延させる、請求項 7 に記載の回路網。

【請求項 9】

前記第一の回路網は、

複数のタップを有する遅延チェーン回路網と、

該複数のタップのうちの一つを選択して、前記選択可能な個数の比較的大きな遅延インクリメントだけ前記信号を遅延させるためのマルチプレクサ回路網と

を備える、請求項 1 に記載の回路網。

【請求項 10】

前記第二の回路網は、選択可能な信号伝播速度を有する遅延チェーン回路網を備える、請求項 1 に記載の回路網。

【請求項 11】

前記第一の回路網および前記第二の回路網によって処理された後の信号を登録するための第二の登録回路網をさらに備え、該第二の登録回路網は、前記登録回路網をクロックするために使用されるクロック信号に対して反転されているクロック信号によって、クロックされる、請求項 1 に記載の回路網。

【請求項 12】

出力信号として、(1) 前記第一の回路網によって処理された後の信号、(2) 前記登録回路網によって登録された後の信号、および(3) 前記第二の登録回路網によって登録された後の信号のうちの一つを選択するためのマルチプレクサ回路網をさらに備える、請求項 11 に記載の回路網。

【請求項 13】

第二の選択可能な個数の前記比較的大きなインクリメントだけ前記信号を遅延させるための第三の回路網をさらに備える、請求項 12 に記載の回路網。

【請求項 14】

第二の出力信号として、(1) 前記第三の回路網によって処理された後の信号、(2) 前記登録回路網によって登録された後の信号、および(3) 前記第二の登録回路網によって登録された後の信号のうちの一つを選択するための第二のマルチプレクサ回路網をさらに備える、請求項 13 に記載の回路網。

【請求項 15】

PLD 用の入力回路網であって、

ゼロを含む選択可能な個数の比較的大きな遅延インクリメントおよびゼロを含む選択可能な個数の比較的小さな遅延インクリメントだけ入力信号を選択的に遅延させるための遅延回路網と、

該遅延回路網のゼロを含む選択可能な個数の比較的大きな遅延インクリメントによって

10

20

30

40

50

処理された後の信号を登録するための登録回路網と、

出力信号として、(1) 該遅延回路網によって処理された後の信号、および(2) 該登録回路網によって登録された後の信号のうちの一つを選択するための選択回路網とを備え、

該入力回路網は、該出力として該信号の遅延および登録の複数の形式のうちの一つを選択するように、プログラマブルである、入力回路網。

【請求項 1 6】

前記遅延回路網によって処理された後の信号を登録するための第二の登録回路網をさらに備え、該第二の登録回路網は、前記登録回路網をクロックするために使用されるクロック信号に対して反転されているクロック信号によって、クロックされる、請求項 1 5 に記載の入力回路網。

10

【請求項 1 7】

前記選択回路網は、前記出力信号を、(3) 前記第二の登録回路網によって登録された後の信号として、追加的に選択することが可能である、請求項 1 6 に記載の入力回路網。

【請求項 1 8】

第二の選択可能な個数の前記比較的大きな遅延インクリメントだけ前記信号を遅延させるための第二の遅延回路網と、

第二の出力信号として、(1) 該第二の遅延回路網によって処理された後の信号、(2) 前記登録回路網によって登録された後の信号、および(3) 前記第二の登録回路網によって登録された後の信号のうちの一つを選択するための第二の選択回路網と

20

をさらに備える、請求項 1 6 に記載の入力回路網。

【請求項 1 9】

選択可能な遅延量だけ信号を遅延させるための回路網であって、

複数の形式で、該信号を出力するための第一の遅延チェーン回路網であって、該複数の形式のそれぞれは、該信号に対して、ゼロを含む異なる個数の比較的大きな遅延インクリメントを有する、第一の遅延チェーン回路網と、

中間信号として、該複数の形式のうちの一つを選択するための選択回路網と、

ゼロを含む選択可能な個数の比較的小さな遅延インクリメントだけ該中間信号を遅延させ、最終的な遅延信号を生成するための第二の遅延チェーン回路網と、

該最終的な遅延信号を登録するための登録回路網と、

30

該最終的な遅延信号または該登録回路網によって登録された後の該最終的な遅延信号のいずれかを出力として選択するための第二の選択回路網と

を備え、該回路網は、該出力として該信号の遅延および登録の複数の形式のうちの一つを選択するように、プログラマブルである、回路網。

【請求項 2 0】

前記選択回路網は、前記複数の形式のうちのどれが選択されるかに対して、プログラマブルである、請求項 1 9 に記載の回路網。

【請求項 2 1】

前記第二の遅延チェーン回路網は、前記比較的小さな遅延インクリメントの個数に対して、プログラマブルである、請求項 1 9 に記載の回路網。

40

【発明の詳細な説明】

【技術分野】

【0 0 0 1】

(発明の背景)

本発明は、可変遅延回路網に関し、より具体的には、提供される信号の遅延量に対してプログラマブルである遅延回路網に関する。

【背景技術】

【0 0 0 2】

プログラマブルロジックデバイス(「PLD」)は、可変遅延回路網を含むことが有益である回路網の例である。PLD内のこのような回路網は、デバイスへの入力データ信号

50

の到着と、そのデータ信号のそのデバイスのコア（例えば、プログラマブルロジック）回路網への配信との間の遅延を調整するために、使用され得る。その入力データ信号は、そのデバイスの入力／出力（「I/O」）セルの中に登録されることも、登録されないこともあり得、また、この入力データ信号が、このデバイスのコアに到達するとき、そのI/Oセルによって、そのデータ信号が、登録されることも、登録されないこともあり得る。そのデータ信号は、このハンドリングの過程の中で、遅延されて、デバイス上の他の信号（例えば、クロック信号）に対して、そのタイミングを改善する必要がある。この信号がどのように使用されるか（例えば、この信号が登録されるかどうか、どこに登録されるか）は、どの程度の量、どの程度正確にデータ信号が、遅延される必要があるかに影響し得る。データ信号の一部の使用においては、比較的大きな遅延量であるが、比較的広い範囲の許容可能値を必要とし得る。データ信号の他の使用においては、比較的小さい遅延量だけを必要とし得るが、より高い精度をとまって必要とし得る。データ信号のさらに別の使用においては、大きな遅延量と、その遅延に対する精度とを必要とし得る。

10

【発明の開示】

【課題を解決するための手段】

【0003】

（発明の概要）

本発明に従うと、選択可能な遅延量によって、信号を遅延させるための回路網は、選択可能な個数の比較的大きな遅延インクリメントによって、該信号を遅延させるための第一の回路網と、選択可能な個数の比較的小さな遅延インクリメントによって、該信号を追加的に遅延させるための第二の回路網とを含み得る。様々な実施形態において、該第一の回路網および該第二の回路網は、個別に使用され得るか、あるいは該第一の回路網および該第二の回路網は、カスケードにされ（直列に使用され）得る。カスケードにされた場合において、この回路網は、信号遅延全体の精密制御を、考えられる信号遅延全体の大きな範囲、または幅広い範囲にわたって、可能にする。この幅広い範囲は、（その大部分に対して）第一の回路網によって提供される一方で、精度は、第二の回路網によって提供される。

20

【0004】

本発明のさらなる特徴、その性質および様々な実施形態は、添付図面および以下の詳細な説明から、より明らかになる。

30

【発明を実施するための最良の形態】

【0005】

（詳細な説明）

図1に示される例示的な遅延回路網は、プログラマブルロジックデバイス（「PLD」）内の入力／出力（「I/O」）セルまたはモジュール10内に含まれるが、回路網の他での使用もまた、可能である。遅延回路網は、入力信号のハンドリングと関係して、使用されるのみであるので、図1には、I/Oセル10の入力信号ハンドリングの部分のみが示される。このI/Oセル回路網は、セル10のI/Oピンまたはパッド20とPLDのコア回路網30との間に、接続される。図示される回路網は、入力信号をパッド20からコア30に、幾つかの異なる方法のうちの任意の方法で、搬送するために使用され得る。さらに、入力信号が、コア30にCDATA0INとして搬送される方法は、この入力信号が、コア30にCDATA1INとして搬送される方法と同じであることも、異なることもあり得る。

40

【0006】

図1は、以下の素子、すなわち、（1）I/Oバッファ40、（2）粗遅延チェーン50、（3）微遅延チェーン60、（4）マルチプレクサ70、80a、80b、90、120a、および120b、（5）レジスタ100aおよび100b、（6）ラッチ110、NORゲート130aおよび130b、（7）インバータ140aおよび140b、（8）NANDゲート150、ならびに（9）インバータ160を含む。

【0007】

50

遅延チェーン50は、その（以下に、より詳細に記載される）出力タップ間の遅延インクリメントが、微遅延チェーン60が制御されて、生成し得る遅延インクリメントよりも大きいので、粗遅延と称される。例えば、微遅延チェーン60は、8つの異なる遅延量を有し得、これらの遅延は、RAMビットR44～R46のプログラマブルな制御によって、選択され得る。これらの異なる遅延量は、時間的に等間隔離れていることが好ましく、この間隔は、微インクリメントと称される。粗遅延チェーン50もまた、自身が、（例えば、以下に、より詳細に議論されるようなマルチプレクサ80aと関連して）生成し得る8つの異なる遅延量を有し得る。これらの異なる遅延量もまた、時間的に等間隔離れていることが好ましく、この場合における間隔は、粗インクリメントと称される。特に好ましい実施形態において、8つの微インクリメントの合計は、1つの粗インクリメントに、ほぼ等しい。これによって、本発明の回路網によって可能であるように、粗遅延チェーン50および微遅延チェーン60が、カスケードにされる（すなわち、粗遅延チェーン50が、微遅延チェーン60と直列接続される）とき、細かな間隔を空けた利用可能な遅延量は、64個にもなる。この点を幾分か一般化すると、各粗インクリメントは、微インクリメントの2倍～N倍に等しいことが、特に好ましい（ここで、Nは、0でない任意の正の整数である）。粗インクリメントと微インクリメントとのこのタイプの関係は、遅延選択制御信号のコード化を効率的にするために、望ましい。

【0008】

ここで、図1の回路網をより詳細に考慮すると、パッド20に付与されるデータ入力信号は、バッファ40によって、バッファされる。バッファ40の出力信号は、粗遅延チェーン50の第一の（ゼロ遅延）出力を考慮し得る。この信号は、遅延チェーン50の残部と、またマルチプレクサ80aおよび80bのそれぞれの第一の入力端末と称され得るものと付与され得る。これらの第一の入力端末は、図1において、000とラベル付けされる。遅延チェーン50は、7つの連続する粗遅延インクリメントによって、自身に付与される信号を遅延させる。この信号は、これらの粗遅延インクリメントのそれぞれの後に、遅延チェーン50の複数のタップのうちの一つのタップ上に、出力される。例えば、第一のインクリメントの後、信号は、マルチプレクサ80aおよび80bのそれぞれの（001とラベル付けされた）第二の入力端末に付与される。2つのインクリメントの後に、この信号は、マルチプレクサ80aおよび80bのそれぞれの（010とラベル付けされた）第三の入力端末に付与される。この進行は、第七のインクリメントの後に、この信号が、マルチプレクサ80aおよび80bのそれぞれの（111とラベル付けされた）第八の入力端末に付与されるまで、続く。

【0009】

マルチプレクサ80aは、RAMビットR27、R43、およびR34のプログラミングによって、制御可能であり、自身の入力信号の任意の一つを選択して、自身の出力信号とする。マルチプレクサ80bは、プログラマブルなRAMビットR29、R28、およびR35にตอบสนองして、同様に動作する。マルチプレクサ80aによってなされる入力信号の選択は、マルチプレクサ80bによってなされる入力信号の選択と同じことも、異なることもあり得る。

【0010】

マルチプレクサ80aの出力信号は、微遅延チェーン60と、またマルチプレクサ120aの（00とラベル付けされた）第一の入力端末とに付与される。マルチプレクサ80bの出力信号は、マルチプレクサ120bの第一（00）の入力端末に付与される。

【0011】

微遅延チェーン60は、本明細書で前述したように、8つの細かくインクリメントされた遅延量のうちの任意のものによって、自身に付与される信号を遅延させ得る。微遅延チェーン60によって導入される遅延量は、上述のように、どのようにRAMビットR44～R46がプログラミングされるかによって、制御される。例えば、RAMビットR44～R46の中にプログラミングされる値は、信号が遅延チェーン60を介して伝播する速度を制御し得る。

【 0 0 1 2 】

微遅延チェーン 6 0 の出力信号は、マルチプレクサ 7 0 の一つの入力端末（ 1 とラベル付けされた端末）に、付与される。マルチプレクサ 7 0 は、N A N D ゲート 1 5 0 の出力信号によって制御され、遅延チェーン 6 0 から信号を選択し、マルチプレクサの出力信号とする。

【 0 0 1 3 】

マルチプレクサ 7 0 の出力信号は、マルチプレクサ 9 0 の一つの入力端末（ 0 とラベル付けされた端末）と、レジスタまたはフリップフロップ 1 0 0 b の D 入力端末とに、付与される。マルチプレクサ 9 0 は、R e g S c a n 入力信号によって制御可能であり、マルチプレクサ 7 0 から信号を選択し、レジスタまたはフリップフロップ 1 0 0 a の D 入力端末へ付与する。

10

【 0 0 1 4 】

レジスタ 1 0 0 a の Q 出力信号は、マルチプレクサ 1 2 0 a および 1 2 0 b のそれぞれの（ 0 1 とラベル付けされた）第二の入力端末に付与される。レジスタ 1 0 0 b の Q 出力信号は、ラッチ回路 1 1 0 の D 入力端末に付与される。ラッチ 1 1 0 の Q 出力信号は、マルチプレクサ 1 2 0 a および 1 2 0 b のそれぞれの（ 1 0 とラベル付けされた）第三の入力端末に付与される。レジスタ 1 0 0 a は、図示されるクロック信号における立ち上がりエッジによって、クロックされる。レジスタ 1 0 0 b は、クロック信号における立ち下がりエッジによって、クロックされる（クロック信号は、レジスタ 1 0 0 b に付与するために、インバータ 1 6 0 によって反転されている）。クロック信号における立ち上がりエッジはまた、ラッチ回路 1 1 0 をエネーブルにして、ラッチ回路に付与される信号を（ D から Q に）パスする。ラッチ 1 1 0 の目的は、レジスタ 1 0 0 a および 1 0 0 b の出力を同期させ、マルチプレクサ 1 2 0 a および 1 2 0 b への出力が、そのクロック信号の立ち上がりエッジで、変化するようにすることである。レジスタ 1 0 0 a および 1 0 0 b は、ダブルデータレート（「 D D R 」）レジスタとして、一緒に使用され、C D A T A 0 I N および C D A T A 1 I N を介して、同時に、コア 3 0 を駆動し得る。レジスタ 1 2 0 a および 1 2 0 b は、クロック信号の立ち上がりエッジおよび立ち下がりエッジによって、それぞれクロックされて、1 つのクロックサイクルの中の 2 つのデータ入力を獲得するので、これら 2 つのデータ入力は、P L D コア回路網 3 0 に送信される前に、クロック信号の立ち上がりエッジ上で、ラインアップされなくてはならない。これが、ラッチ 1 1 0 の目的である。

20

30

【 0 0 1 5 】

マルチプレクサ 1 2 0 a への第四の入力は、V C C のよう固定信号であり得る。同様のことは、マルチプレクサ 1 2 0 b への第四の入力にも当てはまる。

【 0 0 1 6 】

マルチプレクサ 1 2 0 a は、プログラマブルな R A M ビット R 3 2 および R 3 3 によって制御され、その入力信号のうちの一つを選択して、その出力信号とする。マルチプレクサ 1 2 0 b は、R A M ビット R 3 7 および R 3 8 によって、同様にプログラマブルに制御される。マルチプレクサ 1 2 0 a および 1 2 0 b は、同じ信号を選択して、出力し得るか、あるいは異なる信号を選択し得る。

40

【 0 0 1 7 】

N O R ゲート 1 3 0 a および 1 3 0 b が、F R Z L O G I C 信号によって、エネーブルにされるとき、これらのゲートは、それらのそれぞれのマルチプレクサの出力信号を、それらのそれぞれのインバータ 1 4 0 a および 1 4 0 b を介して、P L D コア回路網 3 0 に、パスする。

【 0 0 1 8 】

以上の記述から、パッド 2 0 からの入力信号は、幾つかの異なる方法で、コア 3 0 に付与され得ることが明らかである。それらの方法には、（ 1 ）登録あり、または登録なし、および / または（ 2 ）遅延あり、または遅延なしを含む。遅延が、用いられる場合、遅延は、粗遅延のみ、微遅延のみ、あるいは粗遅延とともにカスケードされた微遅延であり得

50

る。これらの様々なオプションの例は、次の段落で、考慮される。

【 0 0 1 9 】

マルチプレクサ 1 2 0 a から利用可能な可能性をまず考慮すると、未登録信号が所望される場合、マルチプレクサ 1 2 0 a は、プログラマブルに制御され、その第一の (0 0) 入力端末からの信号を選択して、その出力信号とする。マルチプレクサ 8 0 a のプログラマブルな制御によって選択されるので、この信号は、(粗遅延なしを含む) 任意の粗遅延量を有し得る。登録信号が、マルチプレクサ 1 2 0 a から所望される場合、マルチプレクサ 1 2 0 a への第二の (0 1) 入力、選択され得る。第二の入力が選択される場合、登録信号は、レジスタ 1 0 0 a から来て、その信号は、カスケードされた粗遅延および微遅延の任意の量 (ゼロ粗遅延を含む) を有し得る。これは、その信号が、レジスタ 1 0 0 a に到達する前に、素子 5 0、8 0 a、および 6 0 の一部または全てを通過した結果である。任意の所望の粗遅延量 (ゼロ遅延を含む) が、素子 5 0 および 8 0 a によって、提供され、選択される。この粗遅延量に、任意の所望の微遅延量 (ゼロ微遅延を含む) が、追加される。この微遅延量は、RAM ビット R 4 4 ~ R 4 6 によって制御されるような素子 6 0 によって提供される。マルチプレクサ 1 2 0 a への第三の入力は、DDR 動作が望まれる場合に、選択され得る。ここでも、信号は、任意の粗遅延量および / または微遅延量を有し得る。遅延は、上述されたレジスタ 1 0 0 a へと向かう信号の遅延と同じであり、同じ方法によって生成される。

10

【 0 0 2 0 】

マルチプレクサ 1 2 0 a からの最後の可能性は、その 1 1 入力信号の選択からの結果である。

20

【 0 0 2 1 】

ここで、マルチプレクサ 1 2 0 b からの出力信号に対する可能性に移ると、第一の可能性 (マルチプレクサ 1 2 0 b をプログラミングして、その 0 0 入力端末に付与される信号を出力することによって、選択可能である) は、マルチプレクサ 8 0 b からの未登録出力である。これは、粗遅延チェーン 5 0 から利用可能な任意の数の粗遅延インクリメント (ゼロ遅延を含む) によって、遅延され得る信号である。使用されるインクリメントの個数は、マルチプレクサ 8 0 b のプログラマブルな制御によって、選択される。これは、したがって、マルチプレクサ 1 2 0 a への第一の (0 0) 入力の選択から利用可能であるものと同一種類の信号であるが、マルチプレクサ 8 0 a および 8 0 b によって選択される遅延量は、同じであることも、互いに異なることもあり得る。

30

【 0 0 2 2 】

マルチプレクサ 1 2 0 b からの第二および第三の可能性は、マルチプレクサ 1 2 0 a からの第二および第三の可能性と同じである。なぜなら、これらのマルチプレクサの双方への 0 1 入力および 1 0 入力は、同じだからである。

【 0 0 2 3 】

マルチプレクサ 1 2 0 b からの第四の可能性は、その 1 1 入力信号の選択の結果から生じる。

【 0 0 2 4 】

今までに記載されなかった図 1 の少数の信号および素子は、本発明に従う回路網の動作に対して、重要ではない。例えば、FRZ LOG IC 信号およびその関連回路網は、制御された方法で、回路網の動作を起動するなどの目的のために提供される。Reg Scan 信号および関連回路網は、レジスタが、ある種のテストングの間に、スキャンチェーンで動作し得るようにするために、提供される。素子 7 0 および 1 5 0 は、レジスタ 1 0 0 a および 1 0 0 b の同期したクリアを実行するために、使用される。NAND ゲート 1 5 0 へのラベルの付いていない入力は、SCLR 信号である。この機能は、RAM ビット R 3 0 によって、選択的に、エネーブルにされる。この機能が、エネーブルにされると仮定すれば、SCLR 信号が、アサートされるとき、その信号は、レジスタを、次のクロックサイクルでの RAM ビット R 3 1 (1 または 0) によって特定された値に、設定する。

40

【 0 0 2 5 】

50

遅延チェーン５０および６０は、多数の異なる方法で、構築され得るが、粗遅延チェーン５０の例示的な構造は、図２に示され、微遅延チェーン６０の例示的な構造は、図３に示される。図２において、（図１のＩ／Ｏバッファ４０からの）遅延チェーン入力信号は、インバータ２１０によって、反転される。インバータ２１０の出力信号は、インバータ２３０ａおよび直列の遅延回路素子２２０ｂ～２２０ｈに付与される。各遅延素子２２０は、自身を介して伝播する信号に、１つの粗遅延インクリメントを追加する。各遅延素子２２０の出力信号は、インバータ２３０ｂ～２３０ｈのそれぞれの一つに付与される。インバータ２３０ａ～２３０ｈの出力は、それぞれマルチプレクサ８０ａおよび８０ｂへの０００～１１１入力（図１）である。

【００２６】

10

図３において、（図１のマルチプレクサ８０ａからの）遅延チェーン入力は、マルチプレクサ３３０の一つの入力および直列の遅延回路素子３２０ｂ～３２０ｈに付与される。各遅延素子３２０は、自身を介して伝播する信号に、１つの微遅延インクリメントを追加する。各遅延素子３２０の出力信号は、それぞれマルチプレクサ３３０へのさらなる入力である。ＲＡＭビットＲ４４～Ｒ４６（図１）は、その入力マルチプレクサ３３０のうちのどの一つを出力するかを選択する。マルチプレクサ３３０の出力は、図１のマルチプレクサ７０へと向かう。

【００２７】

遅延チェーン回路網５０／６０にとって、（避けられない）できるだけ小さな遅延を内在させておくことが、望ましい。遅延チェーン回路網のゼロ遅延を有する０００制御設定が、可能であるべきである。これが可能でない場合、全ての他の設定は、等しい量のインクリメントを維持するために、この同じゼロでない遅延を自身の上に追加することになる。

20

【００２８】

以上の記述は、本発明の原理の単なる例示に過ぎないことと、本発明の範囲および精神から逸脱することなく、当業者によって、様々な改変がなされ得ることは、理解されるべきである。例えば、粗遅延インクリメントおよび微遅延インクリメントの（絶対的および相対的な）サイズおよび利用可能な個数は、上述された例示的な実施形態と異なり得る。同様に、マルチプレクサ１２０ａおよび１２０ｂを介して出力され得る信号の特定の選択は、以上に図示され、記載された選択と異なり得る。粗遅延チェーンおよび微遅延チェーンをカスケードにするための回路網におけるこれらのチェーンの順序は、図１に示されるものと異なり得る。例えば、これらのチェーンをカスケードにするための回路網において、微遅延チェーンは、粗遅延チェーンに先行し得る。

30

【図面の簡単な説明】

【００２９】

【図１】図１は、本発明に従って構築された回路網の例示的な実施形態の簡略模式ブロック図である。

【図２】図２は、図１の回路網の特定の部分の例示的な構造のより詳細であるが、依然として簡略な模式ブロック図である。

【図３】図３は、図１の回路網の特定の別の部分の例示的な構造のより詳細であるが、依然として簡略な模式ブロック図である。

40

【 図 1 】

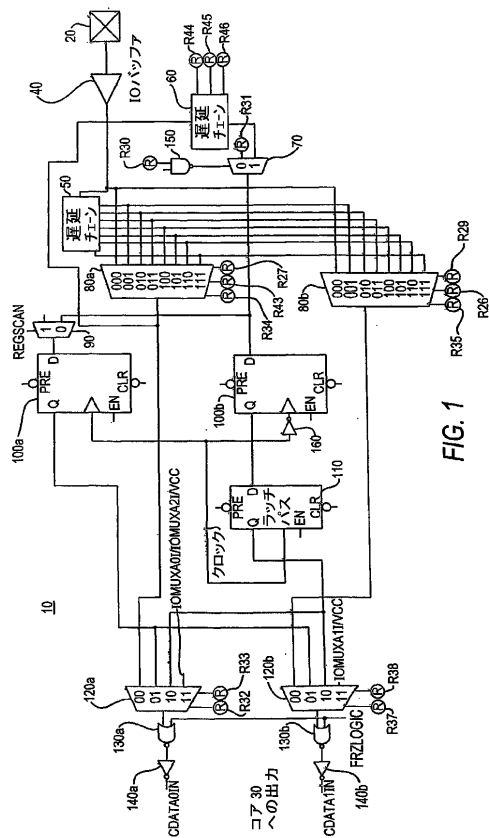


FIG. 1

【圖 2】

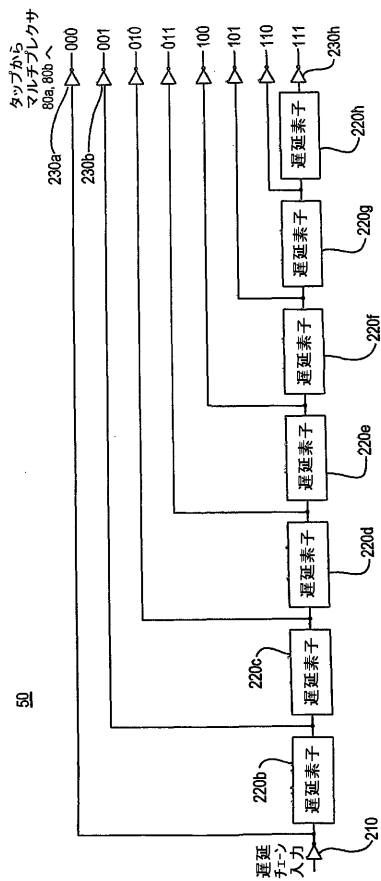


FIG. 2

【 図 3 】

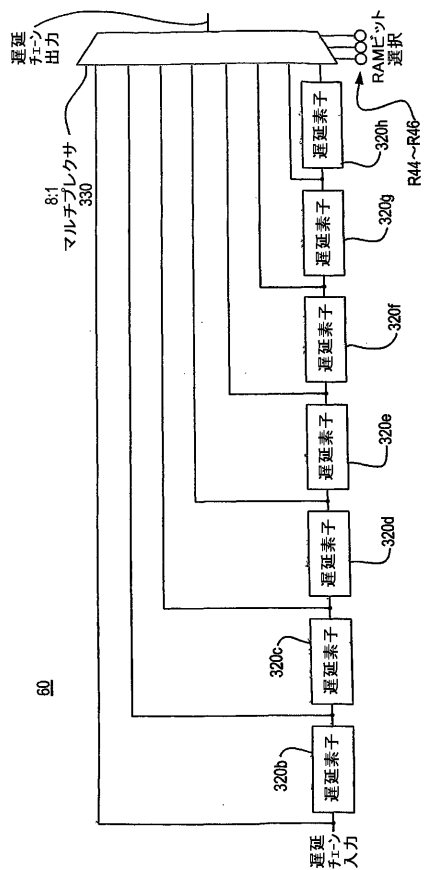


FIG. 3

 フロントページの続き

- (72)発明者 リー, アンディー エル.
 アメリカ合衆国 カリフォルニア 95129, サン ノゼ, レインボー ドライブ 6936
- (72)発明者 レイ, ゲイリー
 アメリカ合衆国 カリフォルニア 94089, サニーベール, ラ ロシェル テラス 1159-ビー
- (72)発明者 チャン, チャンソン
 アメリカ合衆国 カリフォルニア 95051, サンタ クララ, ブルーンリッジ アベニュー 3655, アpartment 176
- (72)発明者 ベッツ, ボーン
 カナダ国 エム6エス 4エー8 オンタリオ, トロント, リバーサイド ドライブ 233
- (72)発明者 ファン, ライアン
 カナダ国 エル4ダブリュー 3エル6 オンタリオ, ミシサーガ, ウィローバンク トレイル 711

審査官 石田 勝

- (56)参考文献 特開平09-074351(JP,A)
 特開平08-097715(JP,A)
 特開平10-256883(JP,A)
 特開平08-056143(JP,A)
 特開昭63-211919(JP,A)
 米国特許出願公開第2005/0046458(US,A1)
 米国特許出願公開第2003/0001650(US,A1)
 S.BROWNほか,「FPGA and CPLD Architectures:A Tutorial」,IEEE DESIGN & TEST OF COMPUTERS,米国,IEEE,1996年,pp42-57

(58)調査した分野(Int.Cl., DB名)

H03K 5/14

G06F 1/06