

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2011 年 10 月 13 日(13.10.2011)

PCT

(10) 国際公開番号
WO 2011/125345 A1

- (51) 国際特許分類:
H02M 3/155 (2006.01) H02M 3/07 (2006.01)
- (21) 国際出願番号: PCT/JP2011/050170
- (22) 国際出願日: 2011 年 1 月 7 日(07.01.2011)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2010-087597 2010 年 4 月 6 日(06.04.2010) JP
- (71) 出願人 (米国を除く全ての指定国について): 住友電気工業株式会社(SUMITOMO ELECTRIC INDUSTRIES, LTD.) [JP/JP]; 〒5410041 大阪府大阪市中央区北浜四丁目 5 番 3 3 号 Osaka (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 二井 和彦 (NII, Kazuhiko) [JP/JP]; 〒5540024 大阪府大阪市此花区島屋一丁目 1 番 3 号 住友電気工業株式会社 大阪製作所内 Osaka (JP). 大橋 紳悟 (OHASHI, Shingo) [JP/JP]; 〒5540024 大阪府大阪市此花区島屋一丁目 1 番 3 号 住友電気工業株式会社 大阪製作所内 Osaka (JP).
- (74) 代理人: 特許業務法人サンクレスト国際特許事務所(SunCrest Patent and Trademark Attorneys); 〒

6500023 兵庫県神戸市中央区栄町通四丁目 1 番 1 1 号 Hyogo (JP).

- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

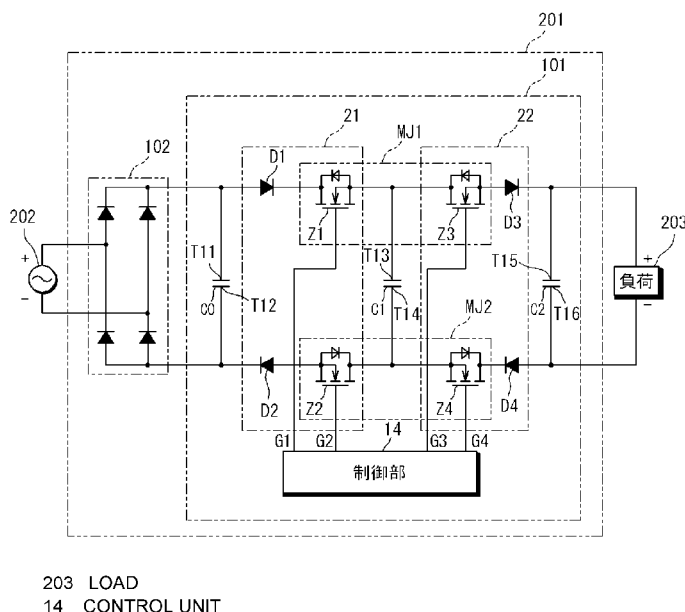
添付公開書類:

— 国際調査報告 (条約第 21 条(3))

(54) Title: ISOLATED CIRCUIT FOR POWER TRANSFER AND POWER CONVERSION DEVICE

(54) 発明の名称: 電力伝達用絶縁回路および電力変換装置

[図1]



(57) Abstract: Provided are an isolated circuit for power transfer and a power conversion device, which enable improvement in power efficiency in a circuit that transfers power while isolation between the input side and the output side is provided. An isolated circuit for power transfer (101) is provided with an input switch unit (21) which includes switches (Z1, Z2) in order to supply power received at the first end of the switch (Z1) and the first end of the switch (Z2) to a first power storage element (C1), and an output switch unit (22) which includes switches (Z3, Z4) in order to supply power stored in the first power storage element (C1) to a second power storage element (C2). The switches (Z1-Z4) each include an N-channel MOS transistor.

(57) 要約: 本発明は、入力側および出力側間を絶縁しながら電力を伝達する回路において、電力効率の向上を図ることが可能な電力伝達用絶縁回路および電力変換装置を提供することを目的とする。電力伝達用絶縁回路 101 は、スイッチ Z1 および Z2 を含み、スイッチ Z1 の第 1 端およびスイッチ Z2 の第 1 端において受けた電力を第

1 の蓄電素子 C1 に供給するための入力スイッチ部 21 と、スイッチ Z3 および Z4 を含み、第 1 の蓄電素子 C1 に蓄えられた電力を第 2 の蓄電素子 C2 に供給するための出力スイッチ部 22 とを備える。スイッチ Z1 ~ Z4 は、Nチャネル MOS トランジスタを含む。

明 細 書

発明の名称： 電力伝達用絶縁回路および電力変換装置

技術分野

[0001] 本発明は、電力伝達用絶縁回路および電力変換装置に関し、特に、入力側および出力側間を絶縁しながら電力を伝達する電力伝達用絶縁回路および電力変換装置に関する。

背景技術

[0002] 一般家庭の交流電力を用いて電気自動車（EV：Electric Vehicle）およびプラグイン方式のハイブリッドカー（HV：Hybrid Vehicle）等の駆動用の主電池を充電するための電力変換装置が開発されている。

[0003] このようなEV等の主電池への充電を目的とするものではないが、交流電力を直流電力に変換する電源装置用絶縁回路の一例が、たとえば、特許第3595329号公報（特許文献1）に記載されている。すなわち、この電源装置用絶縁回路は、交流電圧を直流電圧に変換する整流回路と、この整流回路から供給される直流電流に残存する脈流成分を低減する第1のコンデンサーと、この第1のコンデンサーから供給される直流電流のプラス側およびマイナス側を同時に開閉する第1のスイッチ回路と、この第1のスイッチ回路から供給される電流を蓄積する第2のコンデンサーと、この第2のコンデンサーから供給される直流電流のプラス側およびマイナス側を同時に開閉する第2のスイッチ回路と、この第2のスイッチ回路から供給される電流を保持するとともに負荷側に放出する第3のコンデンサーとを備える。

[0004] また、ONとなる時間がOFFとなる時間よりも短く設定された方形波によって構成されるコントロール信号φ1、および上記コントロール信号φ1と相補的にONするとともにON時間がOFF時間よりも短く設定されたコントロール信号φ2を生成するゲートコントロール回路を備える。上記コントロール信号φ1により上記第1のスイッチ回路の開閉を行い、上記コントロール信号φ2により上記第2のスイッチ回路の開閉を行う。

- [0005] また、上記第1のスイッチ回路のプラス側のスイッチでは、少なくとも1個の阻止ダイオードのカソード端子と少なくとも1個のMOSFET（Metal Oxide Semiconductor Field Effect Transistor）のソース端子が接続される。そして、上記スイッチは、上記第1のコンデンサーと上記第2のコンデンサーのプラス側の各端子間に設けられる。上記スイッチの上記MOSFETのドレイン端子が上記第2のコンデンサーのプラス側の端子に接続され、上記阻止ダイオードのアノード端子が上記第1のコンデンサーのプラス側の端子に接続される。
- [0006] 上記第2のスイッチ回路のプラス側のスイッチでは、少なくとも1個の阻止ダイオードのカソード端子と少なくとも1個のMOSFETのソース端子が接続される。そして、上記スイッチは、上記第2のコンデンサーと上記第3のコンデンサーのプラス側の各端子間に設けられる。上記スイッチの上記MOSFETのドレインが上記第3のコンデンサーのプラス側の端子に接続され、上記阻止ダイオードのアノード端子を上記第2のコンデンサーのプラス側の端子に接続される。
- [0007] このような構成により、大きな容積を占める電源トランスを使用することなく交流電圧を直流電圧に変換し、かつ、交流電源側と負荷側とを電氣的に絶縁することができる。
- [0008] しかしながら、特許文献1に記載の電源装置用絶縁回路では、当該回路における電流の向きを考慮すると、スイッチ回路のプラス側におけるMOSFETにはPチャネルMOSFETが使用されている。このため、スイッチ回路のプラス側におけるスイッチのオン抵抗が大きいことで導通損失が大きくなり、また、スイッチング速度が遅いことでスイッチング損失が大きくなることから、電力効率が低下してしまう。

先行技術文献

特許文献

- [0009] 特許文献1：特許第3595329号公報

発明の概要

- [0010] この発明は、上述の課題を解決するためになされたもので、その目的は、入力側および出力側間を絶縁しながら電力を伝達する回路において、電力効率の向上を図ることが可能な電力伝達用絶縁回路および電力変換装置を提供することである。
- [0011] 上記課題を解決するために、この発明のある局面に係わる電力伝達用絶縁回路は、第1端および第2端を有する第1の蓄電素子と、第1端および第2端を有する第2の蓄電素子と、第1端、および上記第1の蓄電素子の第1端と電氣的に接続された第2端を有する第1のスイッチ、ならびに第1端、および上記第1の蓄電素子の第2端と電氣的に接続された第2端を有する第2のスイッチを含み、上記第1のスイッチの第1端および上記第2のスイッチの第1端において受けた電力を上記第1の蓄電素子に供給するための入力スイッチ部と、上記第1の蓄電素子の第1端と上記第2の蓄電素子の第1端との間に接続された第3のスイッチおよび上記第1の蓄電素子の第2端と上記第2の蓄電素子の第2端との間に接続された第4のスイッチを含み、上記第1の蓄電素子に蓄えられた電力を上記第2の蓄電素子に供給するための出力スイッチ部とを備え、上記第1～第4のスイッチは、NチャネルMOSトランジスタを含む。
- [0012] このように、PチャネルMOSトランジスタと比べて電子移動度および正孔移動度の高いNチャネルMOSトランジスタを使用する構成により、特許文献1に記載の電源装置用絶縁回路と比べて高い電力効率を実現することが可能となる。さらに、特許文献1に記載の電源装置用絶縁回路と異なり、第1のスイッチへのゲート制御信号および第2のスイッチへのゲート制御信号を共通化し、また、第3のスイッチへのゲート制御信号および第4のスイッチへのゲート制御信号を共通化することができるため、小型化および処理の簡易化を図ることができる。
- [0013] また、好ましくは、上記入力スイッチ部は、さらに、上記第1のスイッチの第1端に接続された第1のダイオードと、上記第2のスイッチの第1端に接続された第2のダイオードとを含み、上記出力スイッチ部は、さらに、上

記第 3 のスイッチと上記第 2 の蓄電素子の第 1 端との間に接続された第 3 のダイオードと、上記第 4 のスイッチと上記第 2 の蓄電素子の第 2 端との間に接続された第 4 のダイオードとを含む。

[0014] このような構成により、第 1 ～第 4 のスイッチを、1 つのハーフブリッジモジュールで実現することが可能となる。

[0015] より好ましくは、上記第 1 ～第 4 のスイッチは、1 つのハーフブリッジモジュールに含まれる。

[0016] このような構成により、大容量の回路を製造する場合などに、MOS トランジスタを一般的なハーフブリッジのモジュールで構成することができるため、低コスト化、小型化、配線の容易化および組み立て工程の簡略化が可能となる。

[0017] 好ましくは、上記第 1 ～第 4 のスイッチは、N チャネル IGBT を含む。

[0018] 電力伝達用絶縁回路において MOS トランジスタの代わりに IGBT を用いることにより、電力伝達用絶縁回路の導通損失をさらに低減することができる。

[0019] 好ましくは、上記電力伝達用絶縁回路は、さらに、上記第 1 のスイッチの第 1 端と上記第 2 のスイッチの第 1 端との間に接続された第 3 の蓄電素子を備える。

このような構成により、電力伝達用絶縁回路への入力電流のリップルを防ぎ、回路動作の安定化を図ることができる。

[0020] 上記課題を解決するために、この発明のある局面に係わる電力変換装置は、交流電力を直流電力に変換して負荷に供給するための電力変換装置であって、受けた交流電力を整流するための整流部と、上記整流部および上記負荷間を絶縁しながら、上記整流部によって整流された電力を上記負荷に伝達するための電力伝達用絶縁回路とを備え、上記電力伝達用絶縁回路は、第 1 端および第 2 端を有する第 1 の蓄電素子と、第 1 端および第 2 端を有する第 2 の蓄電素子と、上記整流部によって整流された電力を受ける第 1 端、および上記第 1 の蓄電素子の第 1 端と電氣的に接続された第 2 端を有する第 1 のス

イッチ、ならびに上記整流部によって整流された電力を受ける第１端、および上記第１の蓄電素子の第２端と電氣的に接続された第２端を有する第２のスイッチを含み、上記整流部によって整流された電力を上記第１の蓄電素子に供給するための入力スイッチ部と、上記第１の蓄電素子の第１端と上記第２の蓄電素子の第１端との間に接続された第３のスイッチおよび上記第１の蓄電素子の第２端と上記第２の蓄電素子の第２端との間に接続された第４のスイッチを含み、上記第１の蓄電素子に蓄えられた電力を上記第２の蓄電素子に供給するための出力スイッチ部とを備え、上記第１～第４のスイッチは、 N チャネルＭＯＳトランジスタを含む。

[0021] このように、 P チャネルＭＯＳトランジスタと比べて電子移動度および正孔移動度の高い N チャネルＭＯＳトランジスタを使用する構成により、特許文献１に記載の電源装置用絶縁回路と比べて高い電力効率を実現することが可能となる。

図面の簡単な説明

- [0022] [図１]本発明の第１の実施の形態に係る電力変換装置の構成を示す図である。
[図２]本発明の第１の実施の形態に係る電力伝達用絶縁回路によるスイッチング動作を示す図である。
[図３]各材料における電子移動度および正孔移動度を示す図である。
[図４]本発明の第２の実施の形態に係る電力変換装置の構成を示す図である。
[図５]スイッチング素子の耐電圧とオン抵抗の関係を示す図である。

発明を実施するための形態

[0023] 以下、本発明の実施の形態について図面を用いて説明する。なお、図中同一または相当部分には同一符号を付してその説明は繰り返さない。

[0024] [構成および基本動作]

図１は、本発明の第１の実施の形態に係る電力変換装置の構成を示す図である。

[0025] 図１を参照して、電力変換装置２０１は、電力伝達用絶縁回路１０１と、整流部１０２とを備える。電力伝達用絶縁回路１０１は、キャパシタＣ０～

C 2 と、入力スイッチ部 2 1 と、出力スイッチ部 2 2 と、制御部 1 4 とを含む。入力スイッチ部 2 1 は、スイッチ Z 1, Z 2 と、ダイオード D 1, D 2 とを含む。出力スイッチ部 2 2 は、スイッチ Z 3, Z 4 と、ダイオード D 3, D 4 とを含む。

[0026] 電力伝達用絶縁回路 1 0 1 において、スイッチ Z 1 ~ Z 4 は、たとえば N チャンネル MOS (Metal Oxide Semiconductor) トランジスタである。また、スイッチ Z 1 および Z 3 は、1 つのハーフブリッジモジュール M J 1 に含まれている。また、スイッチ Z 2 および Z 4 は、1 つのハーフブリッジモジュール M J 2 に含まれている。また、スイッチ Z 1 ~ Z 4 の材料は、たとえば S i C (炭化ケイ素 : Silicon Carbide) である。

[0027] ここでは、スイッチ Z 1 の第 1 端および第 2 端がそれぞれスイッチ Z 1 のドレインおよびソースに相当し、スイッチ Z 2 の第 1 端および第 2 端がそれぞれスイッチ Z 2 のソースおよびドレインに相当し、スイッチ Z 3 の第 1 端および第 2 端がそれぞれスイッチ Z 3 のドレインおよびソースに相当し、スイッチ Z 4 の第 1 端および第 2 端がそれぞれスイッチ Z 4 のソースおよびドレインに相当する。

[0028] ダイオード D 1 ~ D 4 は、電力伝達用絶縁回路 1 0 1 における電流の逆流を防ぐために設けられている。また、ダイオード D 1 ~ D 4 の材料は、たとえば S i C である。

[0029] スイッチ Z 1 は、ダイオード D 1 を介してキャパシタ C 0 の第 1 端 T 1 1 と電氣的に接続された第 1 端、およびキャパシタ C 1 の第 1 端 T 1 3 と電氣的に接続された第 2 端を有する。スイッチ Z 2 は、ダイオード D 2 を介してキャパシタ C 0 の第 2 端 T 1 2 と電氣的に接続された第 1 端、およびキャパシタ C 1 の第 2 端 T 1 4 と電氣的に接続された第 2 端を有する。スイッチ Z 3 は、キャパシタ C 1 の第 1 端 T 1 3 と電氣的に接続された第 1 端、およびダイオード D 3 を介してキャパシタ C 2 の第 1 端 T 1 5 と電氣的に接続された第 2 端を有する。スイッチ Z 4 は、キャパシタ C 1 の第 2 端 T 1 4 と電氣的に接続された第 1 端、およびダイオード D 4 を介してキャパシタ C 2 の第

2 端 T 1 6 と電氣的に接続された第 2 端を有する。

[0030] ダイオード D 1 は、キャパシタ C 0 の第 1 端 T 1 1 とスイッチ Z 1 の第 1 端との間に接続されている。ダイオード D 2 は、キャパシタ C 0 の第 2 端 T 1 2 とスイッチ Z 2 の第 1 端との間に接続されている。ダイオード D 3 は、キャパシタ C 2 の第 1 端 T 1 5 とスイッチ Z 3 の第 2 端との間に接続されている。ダイオード D 4 は、キャパシタ C 2 の第 2 端 T 1 6 とスイッチ Z 4 の第 2 端との間に接続されている。

[0031] より詳細には、ダイオード D 1 は、キャパシタ C 0 の第 1 端 T 1 1 に電氣的に接続されたアノードと、スイッチ Z 1 のドレインに電氣的に接続されたカソードとを有する。ダイオード D 2 は、スイッチ Z 2 のソースに電氣的に接続されたアノードと、キャパシタ C 0 の第 2 端 T 1 2 に電氣的に接続されたカソードとを有する。ダイオード D 3 は、スイッチ Z 3 のソースに電氣的に接続されたアノードと、キャパシタ C 2 の第 1 端 T 1 5 に電氣的に接続されたカソードとを有する。ダイオード D 4 は、キャパシタ C 2 の第 2 端 T 1 6 に電氣的に接続されたアノードと、スイッチ Z 4 のドレインに電氣的に接続されたカソードとを有する。

[0032] スイッチ Z 1 は、ダイオード D 1 のカソードに電氣的に接続されたドレインと、キャパシタ C 1 の第 1 端 T 1 3 に電氣的に接続されたソースと、制御部 1 4 からのゲート制御信号 G 1 を受けるゲートとを有する。スイッチ Z 2 は、キャパシタ C 1 の第 2 端 T 1 4 に電氣的に接続されたドレインと、ダイオード D 2 のアノードに電氣的に接続されたソースと、制御部 1 4 からのゲート制御信号 G 2 を受けるゲートとを有する。スイッチ Z 3 は、キャパシタ C 1 の第 1 端 T 1 3 に電氣的に接続されたドレインと、ダイオード D 3 のアノードに電氣的に接続されたソースと、制御部 1 4 からのゲート制御信号 G 3 を受けるゲートとを有する。スイッチ Z 4 は、ダイオード D 4 のカソードに電氣的に接続されたドレインと、キャパシタ C 1 の第 2 端 T 1 4 に電氣的に接続されたソースと、制御部 1 4 からのゲート制御信号 G 4 を受けるゲートとを有する。

[0033] 電力変換装置 201 は、交流電源 202 から供給された交流電力を直流電力に変換して負荷 203 に供給する。負荷 203 は、たとえば、EV およびプラグイン方式のHV等の駆動用の主電池である。

[0034] 整流部 102 は、たとえば、ダイオードブリッジを含み、交流電源 202 から受けた交流電圧を全波整流して電力伝達用絶縁回路 101 へ出力する。

[0035] 電力伝達用絶縁回路 101 において、キャパシタ C0 は、整流部 102 によって整流された電圧により充電される。入力スイッチ部 21 は、スイッチ Z1 の第 1 端およびスイッチ Z2 の第 1 端において受けた電力すなわちキャパシタ C0 に蓄えられた電力（電荷）をキャパシタ C1 に供給する。出力スイッチ部 22 は、キャパシタ C1 に蓄えられた電力（電荷）をキャパシタ C2 に供給する。キャパシタ C2 に蓄えられた電力（電荷）は、放電されて負荷 203 に供給される。

[0036] 制御部 14 は、ゲート駆動信号 G1～G4 をスイッチ Z1～Z4 に出力することにより、スイッチ Z1～Z4 のオンおよびオフを切り替える。電力伝達用絶縁回路 101 は、制御部 14 のスイッチ制御により、整流部 102 および負荷 203 間を絶縁しながら、キャパシタ C0 に蓄えられた電力を負荷 203 に伝達する。

[0037] [動作]

次に、本発明の第 1 の実施の形態に係る電力伝達用絶縁回路が電力伝達を行う際の動作について図面を用いて説明する。

[0038] 図 2 は、本発明の第 1 の実施の形態に係る電力伝達用絶縁回路によるスイッチング動作を示す図である。

[0039] 図 2 を参照して、まず、制御部 14 は、期間 T1 において、スイッチ Z1 をオンし、スイッチ Z2 をオンし、スイッチ Z3 をオフし、スイッチ Z4 をオフする。これにより、キャパシタ C0 に蓄えられた電荷が放電され、放電された電荷がキャパシタ C1 に蓄えられる。スイッチ Z3 および Z4 がオフされていることにより、整流部 102 および負荷 203 間の絶縁が確保される。

- [0040] 次に、制御部 14 は、期間 T2 において、スイッチ Z1～Z4 をオフする。これにより、電力伝達用絶縁回路 101 の入力側および出力側間の絶縁を確保するためのデッドタイムが設けられる。すなわち、入力スイッチ部 21 における各スイッチおよび出力スイッチ部 22 における各スイッチを介して電力伝達用絶縁回路 101 の入力側および出力側間、すなわち整流部 102 および負荷 203 間が短絡することを防ぐことができる。
- [0041] 次に、制御部 14 は、期間 T3 において、スイッチ Z1 をオフし、スイッチ Z2 をオフし、スイッチ Z3 をオンし、スイッチ Z4 をオンする。これにより、キャパシタ C1 に蓄えられた電荷が放電され、放電された電荷がキャパシタ C2 に蓄えられる。スイッチ Z1 および Z2 がオフされていることにより、整流部 102 および負荷 203 間の絶縁が確保される。
- [0042] 次に、制御部 14 は、期間 T4 において、スイッチ Z1～Z4 をオフする。これにより、期間 T2 と同様に、電力伝達用絶縁回路 101 の入力側および出力側間の絶縁を確保するためのデッドタイムが設けられる。
- [0043] ここで、期間 T1～T4 において、キャパシタ C1 は整流部 102 からの電圧により充電されており、また、キャパシタ C2 に蓄えられた電荷は放電されて負荷 203 に供給されている。また、期間 T2 および T4 においては、キャパシタ C1 における電荷の移動はない。
- [0044] そして、制御部 14 は、これら期間 T1、期間 T2、期間 T3 および期間 T4 をこの順番で繰り返すことにより、電力伝達用絶縁回路 101 の入力側および出力側間を絶縁しながら、整流部 102 と協働して、交流電源 202 からの交流電力を直流電力に変換して負荷 203 に供給する。
- [0045] ところで、特許文献 1 に記載の電源装置用絶縁回路では、当該回路における電流の向きを考慮すると、スイッチ回路のプラス側における MOSFET には P チャネル MOSFET が使用されている。このため、スイッチ回路のプラス側におけるスイッチのオン抵抗が大きいことで導通損失が大きくなり、また、スイッチング速度が遅いことでスイッチング損失が大きくなることから、電力効率が低下してしまうという問題点があった。

- [0046] ここで、NチャネルMOSFETとPチャネルMOSFETの比較を行う。図3は、各材料における電子移動度および正孔移動度を示す図である。図3の出典は、荒井和雄，吉田貞史 共編，「SiC素子の基礎と応用」，（オーム社，2003），p. 14. である。
- [0047] NチャネルMOSFETの主要なキャリアは電子であり、PチャネルMOSFETの主要なキャリアは正孔である。一般に、電子の移動度は、正孔の移動度に比べて速い。
- [0048] 図3を参照して、Siの場合には、電子移動度は正孔移動度の約3.3倍である。また、4H-SiCの場合には、電子移動度は正孔移動度の約8.3倍であり、GaNの場合には約2.3倍である。
- [0049] したがって、同一チップ面積および同一チャネル密度のデバイスで比較した場合、PチャネルMOSFETはNチャネルMOSFETに比べてオン抵抗が大きいために導通損失が大きくなり、また、スイッチング速度が遅いためにスイッチング損失が大きくなる。したがって、パワーデバイスとしてはNチャネルMOSFETの方が優れていると言える。実際、次世代パワーデバイスとして研究開発が進められているSiC-MOSFETの例では、近年主要な研究機関からの報告はいずれもNチャネルMOSFETに関するものであり、PチャネルMOSFETに関する報告例は見られない。
- [0050] 本発明の第1の実施の形態に係る電力伝達用絶縁回路では、スイッチZ1～Z4は、NチャネルMOSトランジスタである。すなわち、プラス側およびマイナス側の両方において、NチャネルMOSFETをスイッチング素子として使用する。このような構成により、特許文献1に記載の電源装置用絶縁回路と比べて高い電力効率を実現することが可能となる。さらに、特許文献1に記載の電源装置用絶縁回路と異なり、スイッチZ1へのゲート制御信号G1およびスイッチZ2へのゲート制御信号G2を共通化し、また、スイッチZ3へのゲート制御信号G3およびスイッチZ4へのゲート制御信号G4を共通化することができるため、小型化および処理の簡易化を図ることができる。

- [0051] また、本発明の第 1 の実施の形態に係る電力伝達用絶縁回路では、入力スイッチ部 2 1 は、スイッチ Z 1 の第 1 端に接続されたダイオード D 1 と、スイッチ Z 2 の第 1 端に接続されたダイオード D 2 とを含む。また、出力スイッチ部 2 2 は、スイッチ Z 3 とキャパシタ C 2 の第 1 端 T 1 5 との間に接続されたダイオード D 3 と、スイッチ Z 4 とキャパシタ C 2 の第 2 端 T 1 6 との間に接続されたダイオード D 4 とを含む。
- [0052] このような構成により、スイッチ Z 1 およびスイッチ Z 3 を、1 つのハーフブリッジモジュール M J 1 で実現し、また、スイッチ Z 2 およびスイッチ Z 4 を、1 つのハーフブリッジモジュール M J 2 で実現することが可能となる。すなわち、大容量の回路を製造する場合などに、M O S F E T を一般的なハーフブリッジのモジュールで構成することができるため、低コスト化、小型化、配線の容易化および組み立て工程の簡略化が可能となる。
- [0053] また、本発明の第 1 の実施の形態に係る電力伝達用絶縁回路では、スイッチである N チャネル M O S F E T の材料は S i C である。このように、スイッチを S i C - M O S F E T 化することにより、電力伝達用絶縁回路 1 0 1 の導通損失およびスイッチング損失のさらなる低減を図ることができる。
- [0054] また、本発明の第 1 の実施の形態に係る電力伝達用絶縁回路では、ダイオード D 1 ~ D 4 の材料は S i C である。このように、逆阻止ダイオードを S i C 化することにより、電力伝達用絶縁回路の導通損失のさらなる低減を図ることができる。
- [0055] なお、本発明の第 1 の実施の形態に係る電力伝達用絶縁回路では、スイッチ Z 1 ~ スwitch Z 4 は N チャネル M O S トランジスタであるとしたが、これに限定するものではない。スイッチ Z 1 ~ Z 4 は、N チャネル M O S トランジスタに加えて他の素子を含む構成であってもよい。
- [0056] また、電力伝達用絶縁回路 1 0 1 は、キャパシタ C 0 を備えない構成であってもよい。ただし、キャパシタ C 0 を設けることにより、電力伝達用絶縁回路 1 0 1 への入力電流のリプルを防ぎ、回路動作の安定化を図るという効果が得られる。また、整流部 1 0 2 において、整流された電力を蓄えるた

めのキャパシタが設けられる場合にも、電力伝達用絶縁回路１０１においてキャパシタＣ０を設けない構成が可能となる。

[0057] また、本発明の第１の実施の形態に係る電力伝達用絶縁回路は、キャパシタＣ０～Ｃ２を備える構成であるとしたが、キャパシタに限らず、コイル（インダクタ）等の他の蓄電素子を備える構成であってもよい。

[0058] また、本発明の第１の実施の形態に係る電力伝達用絶縁回路では、スイッチＺ１およびＺ３が１つのハーフブリッジモジュールＭＪ１に含まれ、また、スイッチＺ２およびＺ４が１つのハーフブリッジモジュールＭＪ２に含まれる構成であるとしたが、これに限定するものではない。スイッチＺ１およびＺ３の組、ならびにスイッチＺ２およびＺ４の組の一方の組が１つのハーフブリッジモジュールに含まれる構成であってもよい。

[0059] 次に、本発明の他の実施の形態について図面を用いて説明する。

[0060] <第２の実施の形態>

本実施の形態は、第１の実施の形態に係る電力伝達用絶縁回路と比べてスイッチング素子の種類を変更した電力伝達用絶縁回路に関する。以下で説明する内容以外は第１の実施の形態に係る電力伝達用絶縁回路と同様である。

[0061] 図４は、本発明の第２の実施の形態に係る電力変換装置の構成を示す図である。

[0062] 図４を参照して、電力変換装置２１１は、電力伝達用絶縁回路１１１と、整流部１０２とを備える。電力伝達用絶縁回路１１１は、キャパシタＣ０～Ｃ２と、入力スイッチ部３１と、出力スイッチ部３２と、制御部１４とを含む。入力スイッチ部３１は、スイッチＺ１１、Ｚ１２と、ダイオードＤ１、Ｄ２とを含む。出力スイッチ部３２は、スイッチＺ１３、Ｚ１４と、ダイオードＤ３、Ｄ４とを含む。

[0063] 電力伝達用絶縁回路１１１において、スイッチＺ１１～Ｚ１４は、たとえばＮチャネルＩＧＢＴ（Insulated Gate Bipolar Transistor）である。また、スイッチＺ１１およびＺ１３は、１つのハーフブリッジモジュールＭＪ１に含まれている。また、スイッチＺ１２およびＺ１４は、１つのハーフ

リッジモジュールMJ 12に含まれている。また、スイッチZ 11～Z 14の材料は、たとえばSiC（炭化ケイ素：Silicon Carbide）である。

[0064] ダイオードD 1～D 4は、電力伝達用絶縁回路111における電流の逆流を防ぐために設けられている。また、ダイオードD 1～D 4の材料は、たとえばSiCである。

[0065] スイッチZ 11は、ダイオードD 1を介してキャパシタC 0の第1端T 11と電氣的に接続された第1端、およびキャパシタC 1の第1端T 13と電氣的に接続された第2端を有する。スイッチZ 12は、ダイオードD 2を介してキャパシタC 0の第2端T 12と電氣的に接続された第1端、およびキャパシタC 1の第2端T 14と電氣的に接続された第2端を有する。スイッチZ 13は、キャパシタC 1の第1端T 13と電氣的に接続された第1端、およびダイオードD 3を介してキャパシタC 2の第1端T 15と電氣的に接続された第2端を有する。スイッチZ 14は、キャパシタC 1の第2端T 14と電氣的に接続された第1端、およびダイオードD 4を介してキャパシタC 2の第2端T 16と電氣的に接続された第2端を有する。

[0066] ダイオードD 1は、キャパシタC 0の第1端T 11とスイッチZ 11の第1端との間に接続されている。ダイオードD 2は、キャパシタC 0の第2端T 12とスイッチZ 12の第1端との間に接続されている。ダイオードD 3は、キャパシタC 2の第1端T 15とスイッチZ 13の第2端との間に接続されている。ダイオードD 4は、キャパシタC 2の第2端T 16とスイッチZ 14の第2端との間に接続されている。

[0067] より詳細には、ダイオードD 1は、キャパシタC 0の第1端T 11に電氣的に接続されたアノードと、スイッチZ 11のコレクタに電氣的に接続されたカソードとを有する。ダイオードD 2は、スイッチZ 12のエミッタに電氣的に接続されたアノードと、キャパシタC 0の第2端T 12に電氣的に接続されたカソードとを有する。ダイオードD 3は、スイッチZ 13のエミッタに電氣的に接続されたアノードと、キャパシタC 2の第1端T 15に電氣的に接続されたカソードとを有する。ダイオードD 4は、キャパシタC 2の

第２端Ｔ１６に電氣的に接続されたアノードと、スイッチＺ１４のコレクタに電氣的に接続されたカソードとを有する。

[0068] スイッチＺ１１は、ダイオードＤ１のカソードに電氣的に接続されたコレクタと、キャパシタＣ１の第１端Ｔ１３に電氣的に接続されたエミッタと、制御部１４からのゲート制御信号Ｇ１を受けるゲートとを有する。スイッチＺ１２は、キャパシタＣ１の第２端Ｔ１４に電氣的に接続されたコレクタと、ダイオードＤ２のアノードに電氣的に接続されたエミッタと、制御部１４からのゲート制御信号Ｇ２を受けるゲートとを有する。スイッチＺ１３は、キャパシタＣ１の第１端Ｔ１３に電氣的に接続されたコレクタと、ダイオードＤ３のアノードに電氣的に接続されたエミッタと、制御部１４からのゲート制御信号Ｇ３を受けるゲートとを有する。スイッチＺ１４は、ダイオードＤ４のカソードに電氣的に接続されたコレクタと、キャパシタＣ１の第２端Ｔ１４に電氣的に接続されたエミッタと、制御部１４からのゲート制御信号Ｇ４を受けるゲートとを有する。

[0069] すなわち、スイッチＺ１１の第１端および第２端がそれぞれスイッチＺ１１のコレクタおよびエミッタに相当し、スイッチＺ１２の第１端および第２端がそれぞれスイッチＺ１２のエミッタおよびコレクタに相当し、スイッチＺ１３の第１端および第２端がそれぞれスイッチＺ１３のコレクタおよびエミッタに相当し、スイッチＺ１４の第１端および第２端がそれぞれスイッチＺ１４のエミッタおよびコレクタに相当する。

[0070] 電力変換装置２１１は、交流電源２０２から供給された交流電力を直流電力に変換して負荷２０３に供給する。負荷２０３は、たとえば、ＥＶおよびプラグイン方式のＨＶ等の駆動用の主電池である。

[0071] 整流部１０２は、たとえば、ダイオードブリッジを含み、交流電源２０２から受けた交流電圧を全波整流して電力伝達用絶縁回路１１１へ出力する。

[0072] 電力伝達用絶縁回路１１１において、キャパシタＣ０は、整流部１０２によって整流された電圧により充電される。入力スイッチ部３１は、スイッチＺ１１の第１端およびスイッチＺ１２の第１端において受けた電力すなわち

キャパシタC0に蓄えられた電力（電荷）をキャパシタC1に供給する。出力スイッチ部32は、キャパシタC1に蓄えられた電力（電荷）をキャパシタC2に供給する。キャパシタC2に蓄えられた電力（電荷）は、放電されて負荷203に供給される。

[0073] 制御部14は、ゲート駆動信号G1～G4をスイッチZ11～Z14に出力することにより、スイッチZ11～Z14のオンおよびオフを切り替える。電力伝達用絶縁回路111は、制御部14のスイッチ制御により、キャパシタC0および負荷203間を絶縁しながら、キャパシタC0に蓄えられた電力を負荷203に伝達する。

[0074] 本発明の第2の実施の形態に係る電力伝達用絶縁回路では、スイッチZ11～Z14は、NチャネルIGBTを含む。すなわち、プラス側およびマイナス側の両方において、NチャネルIGBTをスイッチング素子として使用する。

[0075] 図5は、スイッチング素子の耐電圧とオン抵抗の関係を示す図である。図5の出典は、荒井和雄，吉田貞史 共編，「SiC素子の基礎と応用」，（オーム社，2003），p. 29. である。

[0076] 図5を参照して、Siデバイス同士の比較では、耐圧600V以上においてMOSFETよりもIGBTのオン抵抗の方が低いことが分かる。したがって、電力伝達用絶縁回路に必要なデバイスの耐圧が600V以上である場合において、電力伝達用絶縁回路においてMOSFETの代わりにIGBTを用いることにより、本発明の第1の実施の形態に係る電力伝達用絶縁回路と比べて、電力伝達用絶縁回路の導通損失をさらに低減することができる。

[0077] したがって、本発明の第2の実施の形態に係る電力伝達用絶縁回路では、入力側および出力側間を絶縁しながら電力を伝達する回路において、電力効率の向上を図ることができる。

[0078] また、本発明の第2の実施の形態に係る電力伝達用絶縁回路では、入力スイッチ部31は、キャパシタC0の第1端T11とスイッチZ11の第1端との間に接続されたダイオードD1と、キャパシタC0の第2端T12とス

スイッチＺ１２の第１端との間に接続されたダイオードＤ２とを含む。また、出力スイッチ部３２は、スイッチＺ１３の第２端とキャパシタＣ２の第１端Ｔ１５との間に接続されたダイオードＤ３と、スイッチＺ１４の第２端とキャパシタＣ２の第２端Ｔ１６との間に接続されたダイオードＤ４とを含む。

[0079] このような構成により、スイッチＺ１１およびスイッチＺ１３を、１つのハーフブリッジモジュールＭＪ１１で実現し、また、スイッチＺ１２およびスイッチＺ１４を、１つのハーフブリッジモジュールＭＪ１２で実現することが可能となる。すなわち、大容量の回路を製造する場合などに、ＩＧＢＴを一般的なハーフブリッジのモジュールで構成することができるため、低コスト化、小型化、配線の容易化および組み立て工程の簡略化が可能となる。

[0080] その他の構成および動作は第１の実施の形態に係る電力伝達用絶縁回路と同様であるため、ここでは詳細な説明を繰り返さない。

[0081] なお、本発明の第２の実施の形態に係る電力伝達用絶縁回路では、スイッチＺ１１～Ｚ１４はＮチャネルＩＧＢＴであるとしたが、これに限定するものではない。スイッチＺ１１～Ｚ１４は、ＮチャネルＩＧＢＴに加えて他の素子を含む構成であってもよい。

[0082] また、本発明の第２の実施の形態に係る電力伝達用絶縁回路では、スイッチＺ１１およびＺ１３が１つのハーフブリッジモジュールＭＪ１１に含まれ、また、スイッチＺ１２およびＺ１４が１つのハーフブリッジモジュールＭＪ１２に含まれる構成であるとしたが、これに限定するものではない。スイッチＺ１１およびＺ１３の組、ならびにスイッチＺ１２およびＺ１４の組の一方の組が１つのハーフブリッジモジュールに含まれる構成であってもよい。

[0083] 上記実施の形態は、すべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は、上記説明ではなく特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

産業上の利用可能性

[0084] 本発明によれば、入力側および出力側間を絶縁しながら電力を伝達する回路において、電力効率の向上を図ることができる。

請求の範囲

[請求項1]

第1端および第2端を有する第1の蓄電素子と、

第1端および第2端を有する第2の蓄電素子と、

第1端、および前記第1の蓄電素子の第1端と電氣的に接続された第2端を有する第1のスイッチ、ならびに第1端、および前記第1の蓄電素子の第2端と電氣的に接続された第2端を有する第2のスイッチを含み、前記第1のスイッチの第1端および前記第2のスイッチの第1端において受けた電力を前記第1の蓄電素子に供給するための入力スイッチ部と、

前記第1の蓄電素子の第1端と前記第2の蓄電素子の第1端との間に接続された第3のスイッチおよび前記第1の蓄電素子の第2端と前記第2の蓄電素子の第2端との間に接続された第4のスイッチを含み、前記第1の蓄電素子に蓄えられた電力を前記第2の蓄電素子に供給するための出力スイッチ部とを備え、

前記第1～第4のスイッチは、NチャネルMOSトランジスタを含む、電力伝達用絶縁回路。

[請求項2]

前記入力スイッチ部は、さらに、

前記第1のスイッチの第1端に接続された第1のダイオードと、

前記第2のスイッチの第1端に接続された第2のダイオードとを含み、

前記出力スイッチ部は、さらに、

前記第3のスイッチと前記第2の蓄電素子の第1端との間に接続された第3のダイオードと、

前記第4のスイッチと前記第2の蓄電素子の第2端との間に接続された第4のダイオードとを含む、請求項1に記載の電力伝達用絶縁回路。

[請求項3]

前記第1のスイッチおよび前記第3のスイッチの組、ならびに前記第2のスイッチおよび前記第4のスイッチの組の少なくとも一方の組

は、１つのハーフブリッジモジュールに含まれる、請求項２に記載の電力伝達用絶縁回路。

[請求項４] 前記第１～第４のスイッチは、ＮチャネルＩＧＢＴを含む、請求項１～３のいずれか１項に記載の電力伝達用絶縁回路。

[請求項５] 前記電力伝達用絶縁回路は、さらに、
前記第１のスイッチの第１端と前記第２のスイッチの第１端との間に接続された第３の蓄電素子を備える、請求項１～４のいずれか１項に記載の電力伝達用絶縁回路。

[請求項６] 交流電力を直流電力に変換して負荷に供給するための電力変換装置であって、

受けた交流電力を整流するための整流部と、

前記整流部および前記負荷間を絶縁しながら、前記整流部によって整流された電力を前記負荷に伝達するための電力伝達用絶縁回路とを備え、

前記電力伝達用絶縁回路は、

第１端および第２端を有する第１の蓄電素子と、

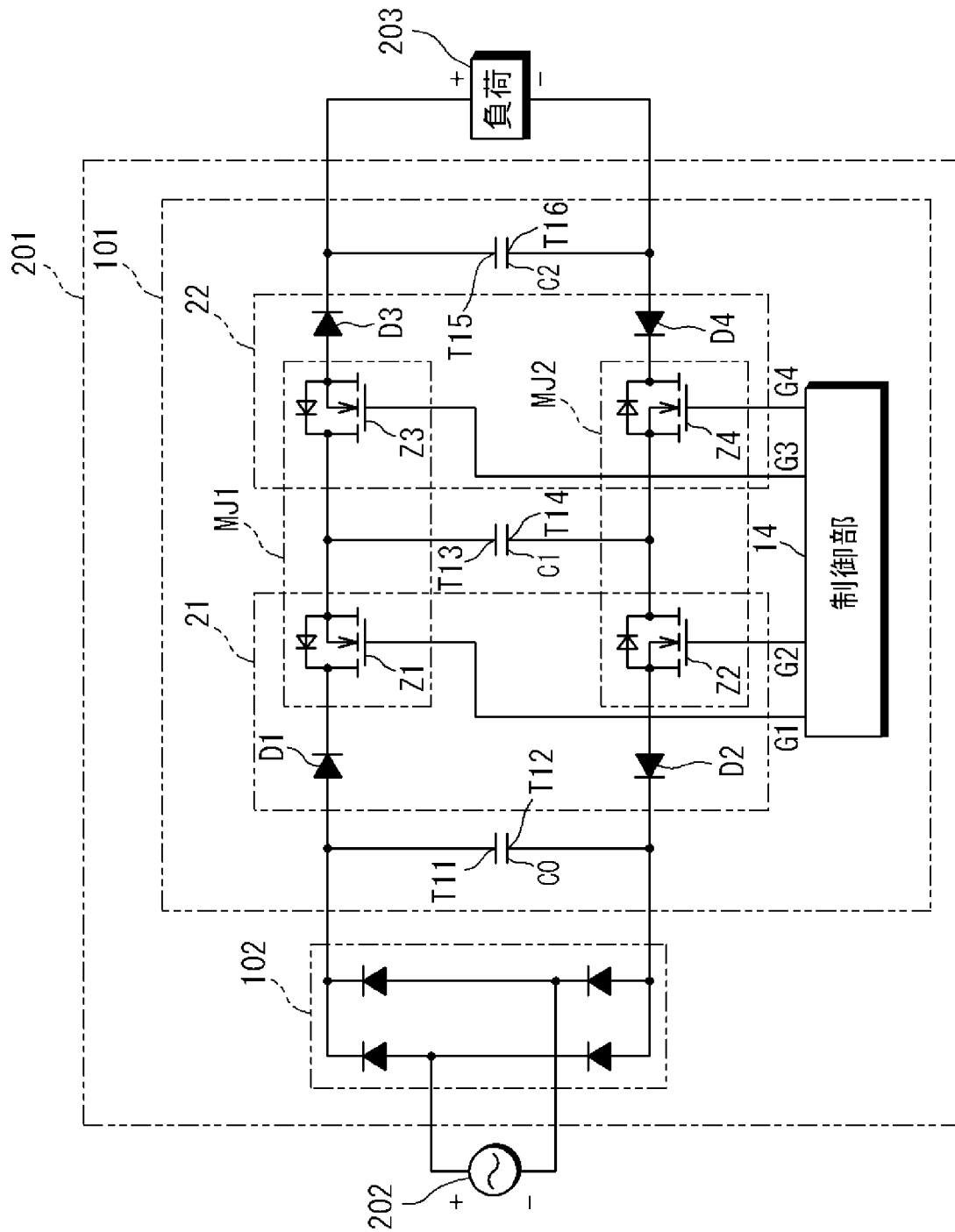
第１端および第２端を有する第２の蓄電素子と、

前記整流部によって整流された電力を受ける第１端、および前記第１の蓄電素子の第１端と電氣的に接続された第２端を有する第１のスイッチ、ならびに前記整流部によって整流された電力を受ける第１端、および前記第１の蓄電素子の第２端と電氣的に接続された第２端を有する第２のスイッチを含み、前記整流部によって整流された電力を前記第１の蓄電素子に供給するための入力スイッチ部と、

前記第１の蓄電素子の第１端と前記第２の蓄電素子の第１端との間に接続された第３のスイッチおよび前記第１の蓄電素子の第２端と前記第２の蓄電素子の第２端との間に接続された第４のスイッチを含み、前記第１の蓄電素子に蓄えられた電力を前記第２の蓄電素子に供給するための出力スイッチ部とを備え、

前記第 1 ～ 第 4 のスイッチは、NチャネルMOSトランジスタを含む、電力変換装置。

[図1]



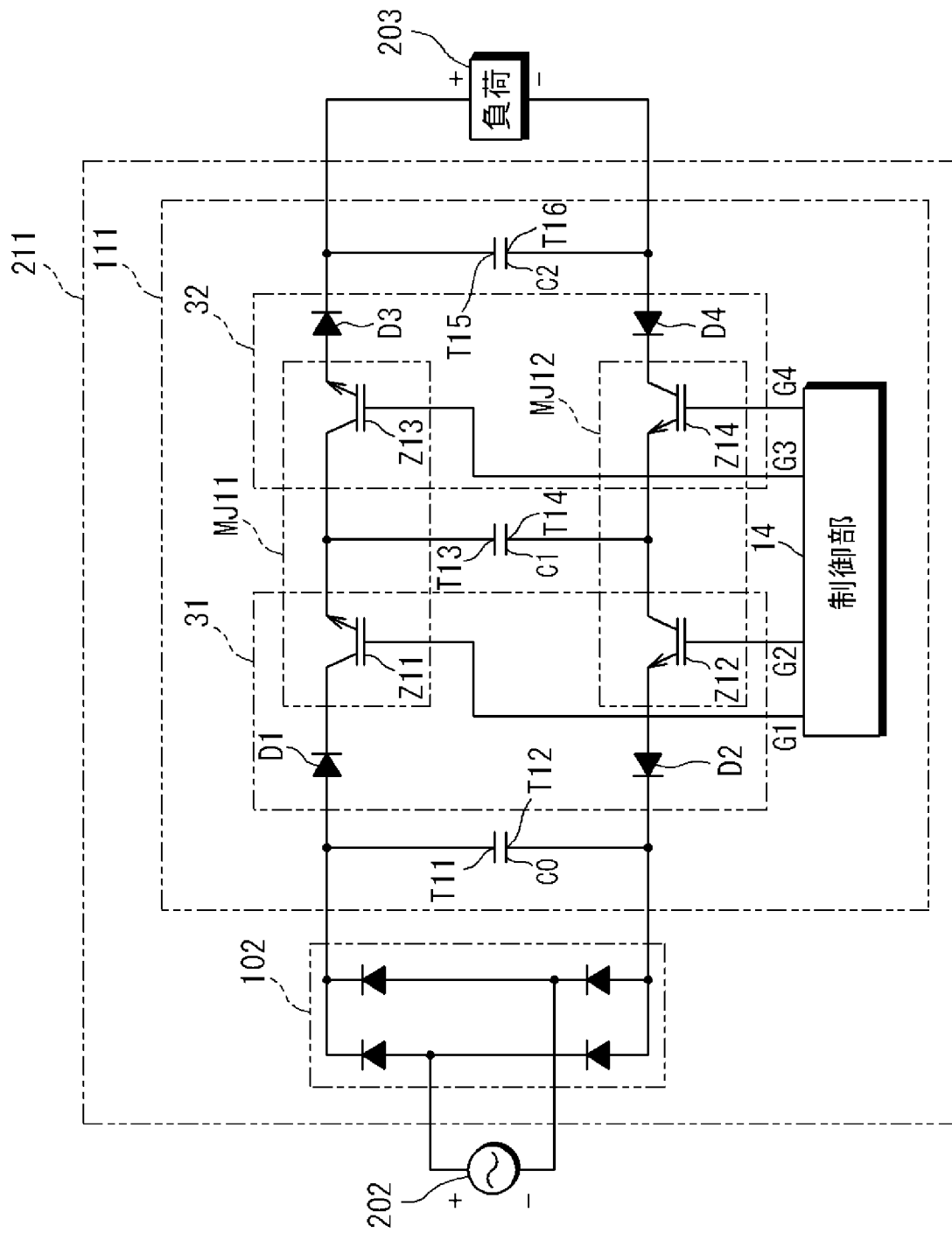
[図2]

	Z1	Z2	Z3	Z4	動作内容
T1	オン	オン	オフ	オフ	C0からC1にチャージ
T2	オフ	オフ	オフ	オフ	デッドタイム
T3	オフ	オフ	オン	オン	C1からC2にチャージ
T4	オフ	オフ	オフ	オフ	デッドタイム

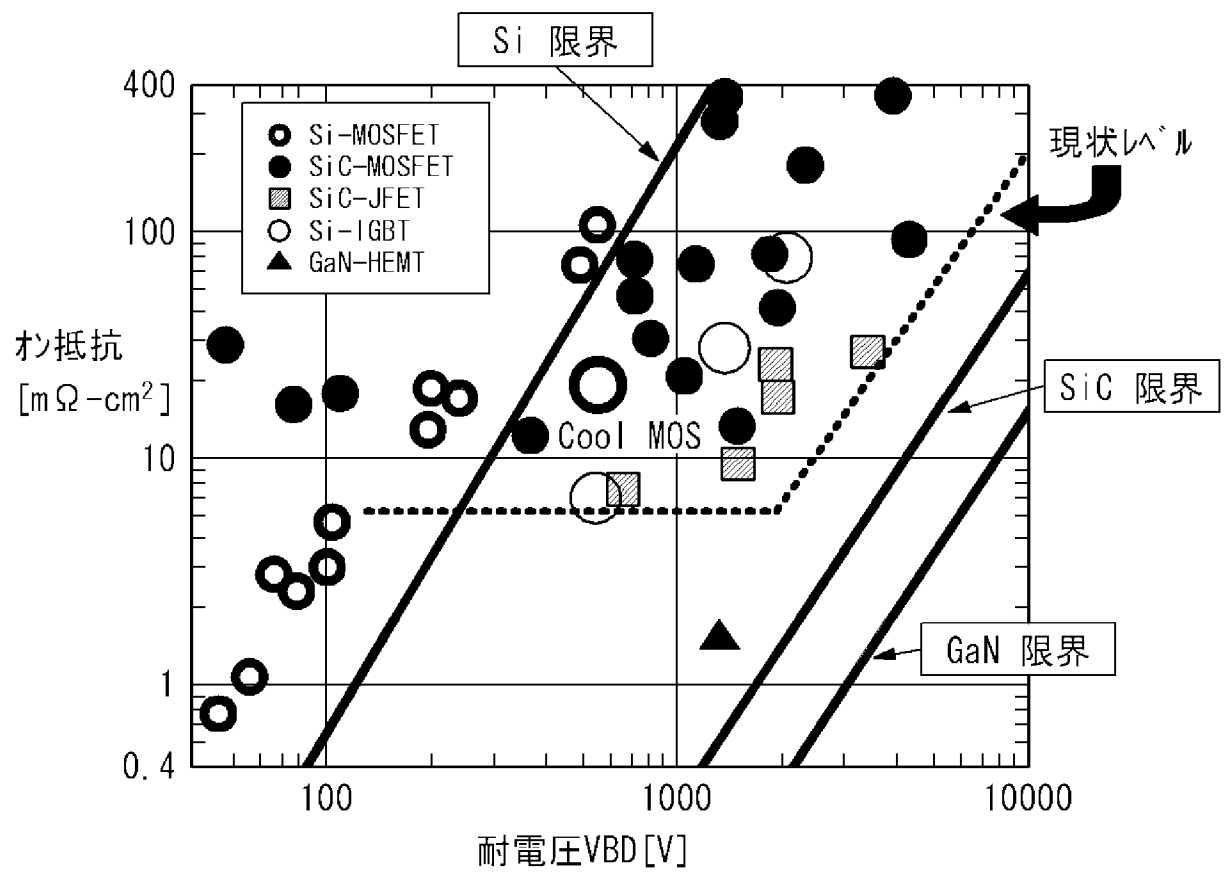
[図3]

	Si	4H-SiC	GaN
電子移動度 [$\text{cm}^2/\text{V}\cdot\text{s}$]	1500	1000	900
正孔移動度 [$\text{cm}^2/\text{V}\cdot\text{s}$]	450	120	400

[図4]



[図5]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/050170

A. CLASSIFICATION OF SUBJECT MATTER

H02M3/155(2006.01) i, H02M3/07(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H02M3/155, H02M3/07

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2011
Kokai Jitsuyo Shinan Koho	1971-2011	Toroku Jitsuyo Shinan Koho	1994-2011

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 3595329 B1 (Yugen Kaisha Odeo), 02 December 2004 (02.12.2004), paragraphs [0017] to [0030]; fig. 5, 6 & JP 2005-51978 A	1-6
Y	JP 61-161967 A (NEC Corp.), 22 July 1986 (22.07.1986), page 2, lower right column, line 2 to page 3, upper left column, line 5; fig. 2, 3 (Family: none)	1-6
Y	JP 2004-80903 A (Fuji Electric Holdings Co., Ltd.), 11 March 2004 (11.03.2004), paragraphs [0025] to [0026]; fig. 4 (Family: none)	1-6

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
24 March, 2011 (24.03.11)

Date of mailing of the international search report
05 April, 2011 (05.04.11)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/050170

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2005-341753 A (Toshiba Corp.), 08 December 2005 (08.12.2005), paragraph [0021]; fig. 3 (Family: none)	3-5
Y	JP 8-9660 A (Fuji Electric Co., Ltd.), 12 January 1996 (12.01.1996), paragraph [0016]; fig. 10 (Family: none)	3-5
A	JP 2004-222379 A (Sumitomo Electric Industries, Ltd.), 05 August 2004 (05.08.2004), paragraphs [0017] to [0031]; fig. 1, 2 (Family: none)	1-6
A	JP 2008-79425 A (Sumitomo Electric Industries, Ltd.), 03 April 2008 (03.04.2008), paragraphs [0016] to [0026]; fig. 1 (Family: none)	1-6
A	JP 2008-79426 A (Sumitomo Electric Industries, Ltd.), 03 April 2008 (03.04.2008), paragraphs [0016] to [0027]; fig. 1 (Family: none)	1-6
A	JP 2008-79427 A (Sumitomo Electric Industries, Ltd.), 03 April 2008 (03.04.2008), paragraphs [0016] to [0027]; fig. 1 (Family: none)	1-6

A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. H02M3/155 (2006.01)i, H02M3/07 (2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. H02M3/155, H02M3/07

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 1 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 1 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 1 年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 3595329 B1 (有限会社オデオ) 2004. 12. 02, 【0017】 - 【0030】, 図 5, 6 & JP 2005-51978 A	1 - 6
Y	JP 61-161967 A (日本電気株式会社) 1986. 07. 22, 第 2 頁右下欄第 2 行 - 第 3 頁左上欄第 5 行, 図 2, 3 (ファミリーなし)	1 - 6
Y	JP 2004-80903 A (富士電機ホールディングス株式会社) 2004. 03. 11, 【0025】 - 【0026】, 図 4 (ファミリーなし)	1 - 6

☒ C 欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

2 4 . 0 3 . 2 0 1 1

国際調査報告の発送日

0 5 . 0 4 . 2 0 1 1

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官 (権限のある職員)

櫻田 正紀

3 V

2 9 1 7

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 3 5 7

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2005-341753 A (株式会社東芝) 2005. 12. 08, 【0021】, 図 3 (ファミリーなし)	3 - 5
Y	JP 8-9660 A (富士電機株式会社) 1996. 01. 12, 【0016】, 図 10 (ファミリーなし)	3 - 5
A	JP 2004-222379 A (住友電気工業株式会社) 2004. 08. 05, 【0017】 - 【0031】, 図 1, 2 (ファミリーなし)	1 - 6
A	JP 2008-79425 A (住友電気工業株式会社) 2008. 04. 03, 【0016】 - 【0026】, 図 1 (ファミリーなし)	1 - 6
A	JP 2008-79426 A (住友電気工業株式会社) 2008. 04. 03, 【0016】 - 【0027】, 図 1 (ファミリーなし)	1 - 6
A	JP 2008-79427 A (住友電気工業株式会社) 2008. 04. 03, 【0016】 - 【0027】, 図 1 (ファミリーなし)	1 - 6