(19)中华人民共和国国家知识产权局

(12)发明专利

(10)授权公告号 CN 103178059 B
(45)授权公告日 2015.08.26

(21)申请号 201310087472.0
(22)申请日 2010.05.28
(30)优先权数据
12/455,187 2009.05.29 US
(62)分案原申请数据
201010188478.3 2010.05.28
(73)专利权人 电力集成公司
地址 美国加利福尼亚州
(72)发明人 V·帕塔萨拉蒂 S·班纳吉
(74)专利代理机构 北京北翔知识产权代理有限公司 11285
代理人 杨勇 郑建晖
(51)Int.Cl.
H01L 27/06(2006.01)
H01L 27/088(2006.01)
H01L 29/78(2006.01)

(56)对比文件
JP 平8-139200 A,1996.05.31,
CN 1577885 A,2005.02.09,
US 5563437 A,1996.10.08,
US 5446300 A,1995.08.29,
US 5491357 A,1996.02.13,
US 5654560 A,1997.08.05,

审查员 陈冠源

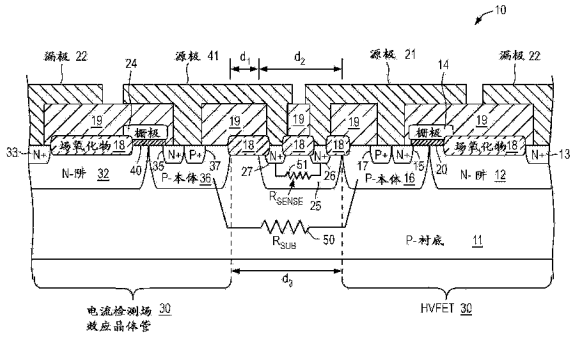
权利要求书2页 说明书5页 附图5页

(54)发明名称

功率集成电路器件

(57)摘要

本发明涉及功率集成电路器件，所述功率集成电路器件包括主横向高压场效应晶体管(HVFET)和邻近定位的横向sense FET，该HVFET和sense FET两者都形成在一高电阻率衬底上。检测电阻器形成于布置在该HVFET和sense FET之间的所述衬底的一区域中的阱区中。衬底寄生电阻器形成为与该HVFET的和sense FET的源极区之间的该检测电阻器并联地电连接。两个晶体管器件共用公共的漏极和栅极电极。当该主横向HVFET和sense FET处于导通状态时，在第二源极金属层处产生一电势，该电势与流过该横向HVFET的第一电流成比例。



CN 103178059 B

1. 一种功率集成电路器件，包括：

具有第一导电类型的衬底；

横向高压场效应晶体管，其包括：第一漏极区，其布置在具有与所述第一导电类型相反的第二导电类型的第一阱区中；第一源极区，其布置在具有所述第一导电类型的第一体区中；以及，第一源极电极，电连接到所述第一源极区；

电流检测场效应晶体管，与所述横向高压场效应晶体管横向间隔开，所述电流检测场效应晶体管包括：第二漏极区，其布置在具有所述第二导电类型的第二阱区中；第二源极区，其布置在具有所述第一导电类型的第二体区中；以及，第二源极电极，电连接到所述第二源极区；

具有所述第二导电类型的第三阱区，其横向布置在介于所述第一和第二体区之间的所述衬底的区域中，检测电阻器形成于所述第三阱区中的间隔开的第一和第二触点区之间，所述第一源极电极电连接到所述第一触点区，所述第二源极电极电连接到所述第二触点区，其中当所述横向高压场效应晶体管和所述电流检测场效应晶体管处于导通状态时，在所述第二源极电极处产生一电势，该电势与流过所述横向高压场效应晶体管的第一电流成比例。

2. 如权利要求 1 所述的功率集成电路器件，还包括衬底寄生电阻器，所述衬底寄生电阻器在所述第一和第二体区之间布置在所述衬底中，所述衬底寄生电阻器具有的值比所述检测电阻器的电阻大至少 25 倍。

3. 如权利要求 2 所述的功率集成电路器件，还包括具有所述第一导电类型的第三和第四触点区，该第三和第四触点区分别布置在所述第一和第二体区中，所述第一源极电极电接触所述第三触点区且所述第二源极电极电接触所述第三触点区，使得所述衬底寄生电阻器与所述第一和第二源极电极之间的所述检测电阻器并联连接。

4. 如权利要求 1 所述的功率集成电路器件，其中所述检测电阻器的电阻比所述电流检测场效应晶体管的器件电阻小至少 4 倍。

5. 如权利要求 1 所述的功率集成电路器件，其中所述电流检测场效应晶体管的器件电阻比所述横向高压场效应晶体管的器件电阻大至少 10 倍。

6. 如权利要求 1 所述的功率集成电路器件，其中所述第三阱区在所述衬底的表面处与所述第二体区隔开一第一距离。

7. 如权利要求 6 所述的功率集成电路器件，其中一第二距离将所述第一和第二体区隔开，该第二距离大于所述第一距离。

8. 一种功率集成电路器件，包括：

衬底；

横向高压场效应晶体管，其布置在所述衬底中，所述横向高压场效应晶体管具有源极区和漏极区以及栅极，所述源极区布置在第一体区中；

横向电流检测场效应晶体管，其邻近所述横向高压场效应晶体管布置在所述衬底中，所述横向电流检测场效应晶体管具有源极区和漏极区以及栅极，所述横向电流检测场效应晶体管的源极区布置在第二体区中，所述横向电流检测场效应晶体管在所述衬底的表面处与所述横向高压场效应晶体管横向隔开一第一距离；

衬底寄生电阻器，形成在所述横向高压场效应晶体管的所述第一体区和所述横向电流

检测场效应晶体管的所述第二体区之间；以及，

检测电阻器，其联接在所述横向高压场效应晶体管的第一源极电极和所述横向电流检测场效应晶体管的第二源极电极之间，所述第一和第二源极电极被电阻性地连接到所述第一和第二体区，使得所述检测电阻器和所述衬底寄生电阻器并联联接。

9. 如权利要求 8 所述的功率集成电路器件，其中所述衬底寄生电阻器具有第一电阻，该第一电阻比所述检测电阻器的第二电阻大至少 20 倍。

10. 如权利要求 9 所述的功率集成电路器件，其中所述第二电阻比所述横向电流检测场效应晶体管的第一器件电阻小至少 4 倍。

11. 如权利要求 1 或 8 所述的功率集成电路器件，其中所述高压场效应晶体管和所述电流检测场效应晶体管中的每一个都具有一组交替的 P+ 和 N+ 区，所述高压场效应晶体管和所述电流检测场效应晶体管具有的所述组交替的 P+ 和 N+ 区分别被布置在所述第一和第二体区中。

功率集成电路器件

[0001] 本申请是申请日为 2010 年 5 月 28 日、申请号为 201010188478.3、名称为“具有内含式电流检测场效应晶体管的功率集成电路器件”的发明专利申请的分案申请。

背景技术

[0002] 本公开内容涉及半导体器件、器件结构，以及用于制作高压集成电路或功率晶体管器件的方法。

背景技术

[0003] 电流检测场效应晶体管（current sensing field-effect transistor），亦常常称作 sense FET，其已被用于集成电路应用长达多年，其中精确的电流检测可提供信息供用于控制和过保护两者。Sense FET 一般被构造为较大的主载流半导体器件的一个小部分或晶体管部分。例如，在常规绝缘栅场效应晶体管（MOSFET）器件中，sense FET 可包括主器件的沟道区的一小部分。在运行中，sense FET 可对较大器件的沟道电流的一小部分取样，从而提供关于流过主晶体管器件的电流的指示。Sense FET 和主器件一般共用一个公共漏极和栅极，但是各具有单独的源极电极，该源极电极可对体区短路，也可不对体区短路。

[0004] Sense FET 尤其可用于许多功率传送应用中，以提供限流保护和精确的功率传送。为了提供这些功能，sense FET 需要在很宽的漏电流（100mA 至 10 安培）、温度（-25℃至 125℃）以及制造工艺变化和机械应力 / 封装变化范围内相对于主高压 FET 维持恒定的电流检测比例（CSR）。主高压 FET（HVFET）的漏电流与 sense FET 的漏电流之比一般在 20:1-800:1 的范围内或更大。

[0005] 横向场效应晶体管广泛用于高压（例如，高于 400 伏）集成电路应用中。在横向 HVFET 结构中，由一沟道区将源极区与扩展漏极区或漂移区横向隔开。栅极结构布置在沟道区之上，通过薄氧化物层与在下面的半导体材料绝缘。在导通状态，施加到栅极的合适电压导致在源极区和扩展漏极区之间形成横向导通沟道，从而允许电流横向流过器件。在截止状态，栅极上的电压足够低，使得没有导通沟道在衬底中形成，因而没有电流流动。在截止状态，器件承受漏极区和源极区之间的高压。

[0006] 在用于具有横向 HVFET 器件的功率 IC 中的 sense FET 的设计中出现的困难之中，存在漏极电压去偏置和体效应问题。漏极电压的去偏置可在检测电阻器（一般联接在源极和地之间）为 sense FET 电阻的大百分比（例如，>25％）从而导致在检测电阻器两端有大压降时出现。这相对于栅极提高了 sense FET 的源极电压，从而相对于主 HVFET 降低了 sense FET 的栅极 - 源极驱动。类似地，在其中本体物理地连接至衬底的横向 HVFET 中，sense FET 的本体需要与源极隔开。这导致 sense FET 的阈值电压随电流增加，损害了 sense FET 对主 HVFET 器件的跟踪。另外，过去试图将 sense FET 物理上靠近主 HVFET 定位（例如，位于共用的阱区中）以改善跟踪，而这是有问题的，因为这样做会影响器件中的电荷平衡，导致较低的击穿电压（BV）。另一个缺点是，检测元件——一般是远离 HVFET 区一定距离定位的电阻器——的位置。这导致对 HVFET 的不良匹配。

附图说明

[0007] 根据接下来的详细描述以及附图将更充分理解本公开内容，然而所述详细描述和附图不应被解释成将本发明限制于所示出的特定实施方案，而是仅用于说明和理解。

[0008] 图 1 是包含在横向 HVFET 结构中的一示例性 sense FET 的侧视横截面图。

[0009] 图 2 是图 1 中示出的集成器件的示例性电路示意图。

[0010] 图 3 是包含在横向 HVFET 结构中的另一示例性 sense FET 的侧视横截面图。

[0011] 图 4 是图 3 中示出的集成器件的示例性电路示意图。

[0012] 图 5 是包含在横向 HVFET 结构中的一 sense FET 的示例性布局的顶视图。

具体实施方案

[0013] 在以下描述中阐述了各种特定细节，诸如材料类型、尺寸、结构特征、处理步骤等，以提供对本发明的透彻理解。然而，相关领域的普通技术人员将意识到，实施本发明可以不需要这些特定细节。还应理解，图中的元件是代表性的，为清楚起见未按比例绘制。

[0014] 图 1 示出了半导体器件 10 的示例性侧视横截面图，半导体器件 10 包括主横向 HVFET 30 和相邻的 sense FET 31，所述主横向 HVFET 30 和 sense FET 31 都被形成在轻掺杂(高电阻率)P 型硅衬底 11 上。衬底 11 一般是轻掺杂的，以增加其对 P 型体区 36 和 16 之间流动的寄生电流的电阻，该电阻在图 1 中用电阻器 50 (R_{sub})示出。在一个实施方案中，P 衬底 11 被掺杂至在大约 $1\times10^{13}cm^{-3}$ 到大约 $1\times10^{14}cm^{-3}$ 的范围内的浓度，具有大约 100-1000 欧姆 -cm 的电阻率。

[0015] 主 HVFET 30 包括布置在轻掺杂(例如，$2\times10^{16}cm^{-3}$)N 阱区 12 中的 N ＋漏极区 13，该轻掺杂 N 阱区 12 横向延伸到较重掺杂(例如，$1\times10^{17}cm^{-3}$) 的 P 体区 16。从 N ＋区 13 延伸到毗连 P 体区 16 的 N 阱 12 的侧边界的 N 阱 12 的部分包括横向 HVFET 30 的扩展漏极区或漂移区。大部分扩展漏极半导体材料被布置在相对厚(～ 1 μm) 的场氧化物层 18 之下。P ＋区 17 和 N ＋源极区 15 被布置在衬底表面处的 P 体区 16 内。应意识到，横向 HVFET 30 的扩展漏极区可包括位于 p 型体区 16 和 N ＋漏极区 13 之间的多个平行的 N 型漂移区。

[0016] HVFET 30 还包括栅极 14，该栅极 14 例如由多晶硅和栅极绝缘层 20 组成，该栅极绝缘层 20 将栅极 14 与在下面的半导体区绝缘。栅极绝缘层 20 可包括薄的普通二氧化硅层或其他合适的介电绝缘材料层。如可看到的，栅极 14 在衬底之上从 N ＋源极区 15 横向延伸到刚刚过在 N 阱区 12 之上的场氧化物层 18 的最左边缘。厚(～ 1.5 μm) 层间电介质(ILD)19 将栅极 14 与源极金属层(电极)21 绝缘。金属层 21 电接触 HVFET 30 的 P ＋区 17 和 N ＋源极区 15。漏极金属层(电极)22 电接触 HVFET 30 的 N ＋区 13 以及 sense FET 31 的 N ＋漏极区 33。换句话说，sense FET 31 和 HVFET 30 的漏极区在器件 10 中电联接在一起。

[0017] 在一个实施方案中，源极电极和漏极电极包括铝；然而，半导体领域的技术人员将意识到，在替代实施方案中，源极电极和漏极电极可包括其它金属、合金或导电材料(例如，多晶硅)。

[0018] Sense FET 31 的器件结构与 HVFET 30 的器件结构成镜像，不过应意识到，为了获得更大的电流处理能力，主 HVFET 30 一般被制作为大得多的横向晶体管器件。在图 1 的实

施方案中，sense FET 31 被显示为邻近于 HVFET 30 布置，并包括毗连 P 体区 36 的 N 阱区 32。N ＋源极区 35 和 P ＋区 37 均被布置在 P 体区 36 中，源极区 35 的侧边缘与邻接 N 阱 32 的 P 体区 36 的侧边界隔开一小段距离。栅极 24 在 P 体区 36 的该区域之上从 N ＋源极区 35 的上述边缘横向延伸到刚刚过在 N 阱区 32 之上的场氧化物层 18 的最左边缘。由薄栅极绝缘层 40 将栅极 24 与在下面的半导体衬底绝缘，该薄栅极绝缘层 40 一般包括热生长氧化物。N ＋源极区 35 和 P ＋区 37 均电联接到源极金属层 41。源极金属层 41 被显示为借助 ILD 19 与栅极 24 绝缘。

[0019] Sense FET 31 和 HVFET 30 被布置在高电阻率 P 衬底 11 中，互相隔开一距离“d_3”。将两个场效应晶体管隔开的横向区域包括 N 阱区 25 和在 N 阱区 25 的最左边缘或边界与 sense FET 31 的 P 体区 36 的最右边缘或边界之间的 P 衬底 11 的一个小区域。场氧化物层 18 覆盖在器件的该小区域中的衬底的顶部。距离 d_3 等于 N 阱区 25 的横向宽度（距离“d_2”）加上将 N 阱 25 与 P 本体 36 隔开的 P 衬底 11 的该小区域的宽度（距离“d_1”）之和。

[0020] 在一个特定实施方案中，图 1 中将 sense FET 31 的 P 体区 36 与 HVFET 30 的 P 体区 16 隔开的距离 d_3 约为 75 μm。在其它实施方案中，该距离可从 5 μm 上至 100 μm 或更大，这取决于布局的几何形状、N 阱 25 的掺杂浓度、电阻器 50 和 51 的期望值等。此外，采用合适的间距，可将电阻器 50 的衬底寄生电阻 R_{sub} 最小化。

[0021] 注意，在示出的实施方案中，电阻器 50（R_{sub}）由衬底 11 的 P 型半导体材料形成，而电阻器 51 由 N 阱 25 的 N 型半导体材料形成。因而，在图 1 示出的器件结构中，电阻器 50（R_{sub}）与电阻器 51（R_{sense}）并联连接。该配置允许 R_{sense} 可比 R_{sub} 低约 50-100 倍以使其对 senseFET 31 的跟踪精确性的影响最小化。在一个实施方案中，R_{sense} ＝ 5 欧姆，R_{sub} ＝ 500 欧姆，HVFET 30 和 sense FET 31 的器件电阻值（漏极 - 源极）分别是 1 欧姆和 25 欧姆。在其它实施方案中，电阻 R_{sense} 与 sense FET 31 的器件电阻之比在约 10 :1 到 4 :1 的范围内。R_{sub} 与 R_{sense} 之比可在 10 :1 和 800 :1 或更高之间变化。此外，应理解，电阻器 51 可被实现为多个分离的阱区的组合，所述多个分离的阱区中的一个或多个通过多个 N ＋触点（例如，触点 27 和 26）连接到 P 体区 36 和 16。

[0022] 从业者将理解，N 阱区 12、25 和 32 中的每个可使用相同的掩模 / 注入 / 扩散步骤形成，使得这些区中的每个都具有相同的掺杂浓度和导电性。类似地，P 体区 16 和 36 可以以相同的处理步骤形成。N ＋区 13、15、26、27、35 和 33 也可在单个处理步骤序列中被形成。本领域技术人员将意识到，通过使用相同的处理步骤来制作半导体器件结构的相似的、相邻定位的区（例如，N 阱区），实现器件特性（例如，sense FET 跟踪）的更大一致性。这还简化了整个制作过程。

[0023] 半导体领域的从业者还将意识到，由于 sense FET 31 和 HVFET 30 两者邻近彼此布置，sense FET 31 的电流跟踪精确度是优异的，但 sense FET 的体区 36 和源极区 35 仍与 HVFET 30 充分隔开，而不损害 HVFET 30 的 BV，因为 N 阱区 32 和 12 被分别从 P 体区 36 和 16 向后拉。此外，因为电阻器 R_{sense} 通过与用来制作 sense FET 31 和 HVFET 30 的扩展漏极（N 阱）区的注入 / 扩散步骤相同的注入 / 扩散步骤来形成，并物理地位于在这两个晶体管之间的布局的中心，所以实现了非常高的工艺和封装匹配，结果导致恒定的电流检测比例。此外，因为 R_{sense} 电阻器 51 紧邻 sense FET 31 集成，可发送出 IC 的功率器件区并进入同一 IC 的控制器部分的检测 FET 信号是一电压信号，而非电流信号。换句话说，源极金属 41 可

被引导到 IC 的控制器部分，以提供一用作功率器件的控制信号的节点电压。

[0024] 在图 1 的实施方案中，N 阱 25 的最右边缘邻接或毗连 HVFET 30 的 P 体区 16 的最左边缘。两个 N ＋区 26 和 27 分别接近 N 阱 25 的相对侧端布置在 N 阱 25 中。N ＋区 26 电连接到源极金属 21，该源极金属 21 还被联接到横向 HVFET 30 的源极区 15。N ＋区 27 电连接到源极金属 41，该源极金属 41 还被联接到 sense FET 31 的源极区 35。因此源极区 21 和 41 通过由 N 阱 25 中的半导体材料所形成的电阻器 51（R_{sense}）被电连接。当然，电阻器 51 的电阻取决于 N 阱 25 的掺杂水平以及 N ＋触点区 26 与 27 之间的间隔距离。

[0025] 在另一实施方案中，可在 N 阱区 12、25 和 32 中的每个中布置一个或多个竖向堆叠的、竖向隔开的 P 型埋层，以在其中形成多个横向 JFET 导通沟道。例如，可通过注入合适的掺杂剂在这些 N 阱区的每个中形成多个 P 型埋层，使得每个 P 埋层完全布置在相应的 N 阱区内（即，四面八方都被相应的 N 阱区围绕）。以此方式，每个 P 埋层与所有其他 P 埋层隔开。最上面的 P 埋区可被布置在 N 阱区的上表面以下或与之重合。在一具体实现中，每个 P 埋层中的掺杂浓度可在大约 $1\times10^{12}/cm^3$ 到大约 $2\times10^{12}/cm^3$ 的范围内。因为通过在每个 N 阱中包含 P 埋层而形成的 JFET 沟道的电阻与这些沟道中的总电荷成反比，所以每个附加的 P 埋层导致 HVFET 和 sense FET 器件的导通电阻减小。

[0026] 图 2 的电路示意图图解了横向 HVFET 30 和 sense FET 31 共用一个公共栅极节点 14 和公共漏极节点 22。注意，电阻器 50 和 51 并联连接在 sense FET 31 的源极金属层（节点）41 和地之间，而 HVFET 30 的源极金属层（节点）21 直接连接至地电势。如在上文说明的，sense FET 31 的源极节点 41 可被用来对与流过大得多的横向晶体管器件 30 的电流的一小部分成比例的一电压进行采样，从而提供流过 HVFET 30 的电流的指示。

[0027] 图 3 是包含在横向 HVFET 结构中的另一示例性 sense FET 的侧视横截面图。图 2 的器件 60 以与图 1 的器件相同的方式配置和制作，只是检测电阻器 R_{sense} 不再被引入在 HVFET 30 和 sense FET 31 之间的布局的中心位置。在该实施方案中，检测电阻器 R_{sense} 布置在衬底的另一区域中（在器件 60 附近或远离器件 60）。在图 3 中，P 体区 16 和 36 被显示为隔开一距离 d_4，该距离可在 5-100 μm 的范围内，这取决于器件的布局。场氧化物层 18 在衬底 11 的侧面之上在 P 体区 16 和 36 之间延伸。

[0028] 图 4 是图 3 中示出的集成器件的示例性电路示意图。注意，HVFET 30 和 sense FET 31 各自的源极节点 21 和 41 通过器件 60 内的高电阻率 P 衬底电阻器 50 电联接。另外，检测电阻器 55（被显示在器件 60 外）被显示为并联连接在节点 21 和 41 之间。源极节点 21 被显示为接地。在图 3 和 4 的实施方案中，源极节点 21 可被联接到功率 IC 的控制器部分，以提供代表流过横向 HVFET 30 的电流的电压信号。

[0029] 图 5 是包含在横向 HVFET 结构中的 sense FET 的示例性布局的顶视图。注意，在该实施方案中，单个 N 阱区 45 被用来形成所述 sense FET 和 HVFET 晶体管器件两者的扩展漏极区。N 阱区 45 的最左侧边缘或边界毗连两个分开的 P 体区 47a 和 47b，这两个分开的 P 体区 47a 和 47b 分别与主横向 HVFET 器件和 sense FET 相关联。一组交替的 P ＋和 N ＋区 57 和 58 分别被显示为布置在每个 P 体区 47 内。例如，N ＋源极区 58a 被显示为插在主 P 体区 47a 中的每个 P ＋区 57a 之间。类似地，N ＋源极区 58b 被显示为插在主 P 体区 47b 中的每个 P ＋区 57b 之间。单个伸长的栅极构件 46 被显示为在 x 方向上从（在 P 体区 47 之上的）区 57 和 58 中的每个的右手边缘横向地延伸至 N 阱 45 之上的一小段距离。栅极 46

在 y 方向上从检测 FET 的 P 体区 47b 的顶边缘横向地延伸到主 P 体区 47a 的底边缘。

[0030] 在图 5 中，P 体区 47a 和 47b 被显示为隔开一距离 d_5，在该实施方案中该距离 d_5 约为 5 μm。在该实施方案中，仅高电阻率 P 型衬底 11 将 P 体区 47a 和 47b 隔开。也就是说，检测电阻器未被包含在图 5 中示出的器件布局中。

[0031] 尽管结合特定器件类型描述了上述实施方案，但本领域的普通技术人员将意识到，在本发明的范围内多种改型和变体是合适的。例如，尽管描述了 HVFET，但所示出的方法、布局和结构同样适用于其它结构和器件类型，包括肖特基、二极管、IGBT 和双极型结构。此外，尽管描述了 n 沟道器件，但应意识到，通过各种半导体区的导电类型方面的适当改变也可实现 p 沟道器件结构。另外，以示例方式示出的实施方案既适用于单一 RESURF 横向结构又适用于多 RESURF 横向结构。因此，说明书和附图应被视为说明性的而非限制性的。

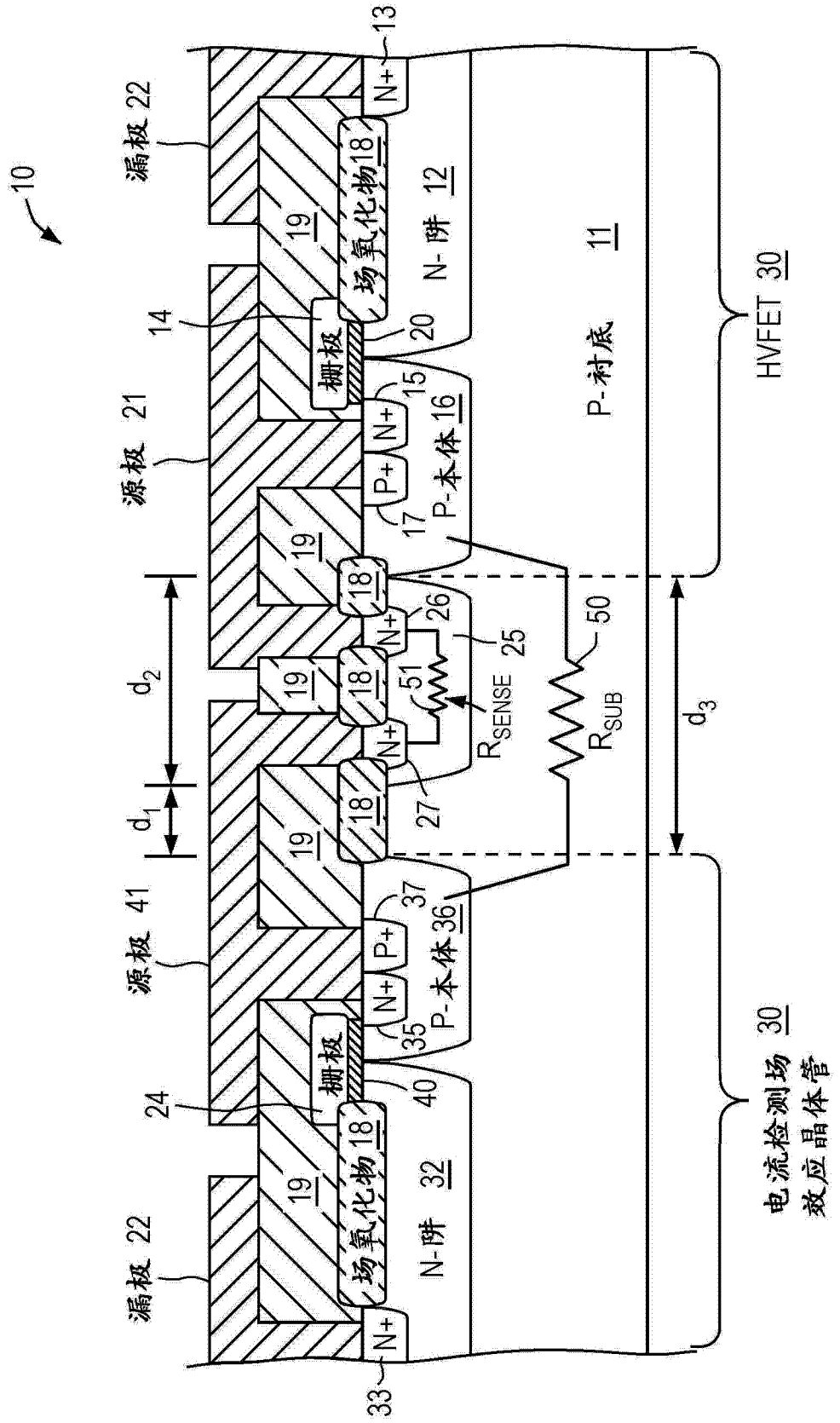

10
漏极 22
N+ 13
场氧化物 18
19
栅极
14
N- 阱 12
20
15
源极 21
P+
N+
P-本体 16
17
P-衬底 11
HVFET 30
d2
d1
26
25
50
51
RSENSE
RSUB
d3
N+
27
源极 41
37
P+
N+
P-本体 36
35
栅极
24
40
场氧化物 18
N-阱 32
漏极 22
N+ 33
电流检测场效应晶体管 30

图 1

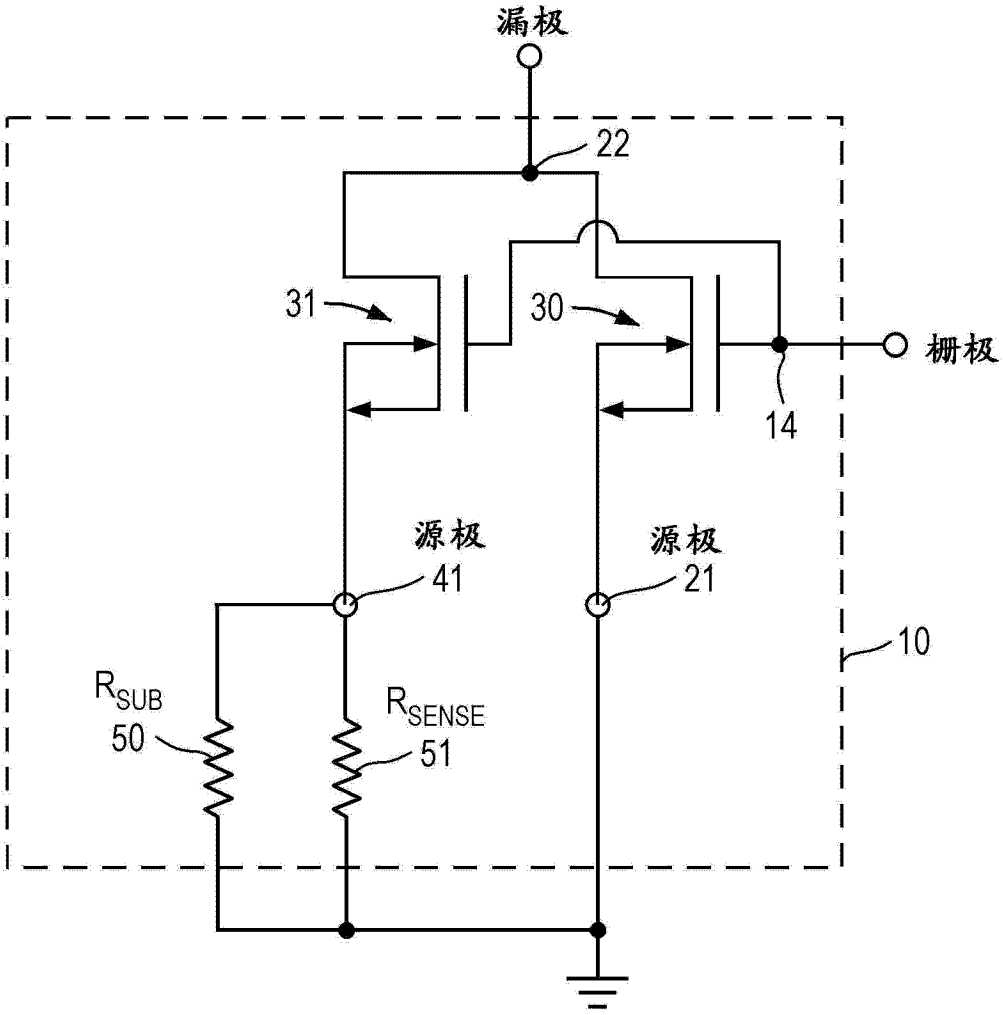


图 2

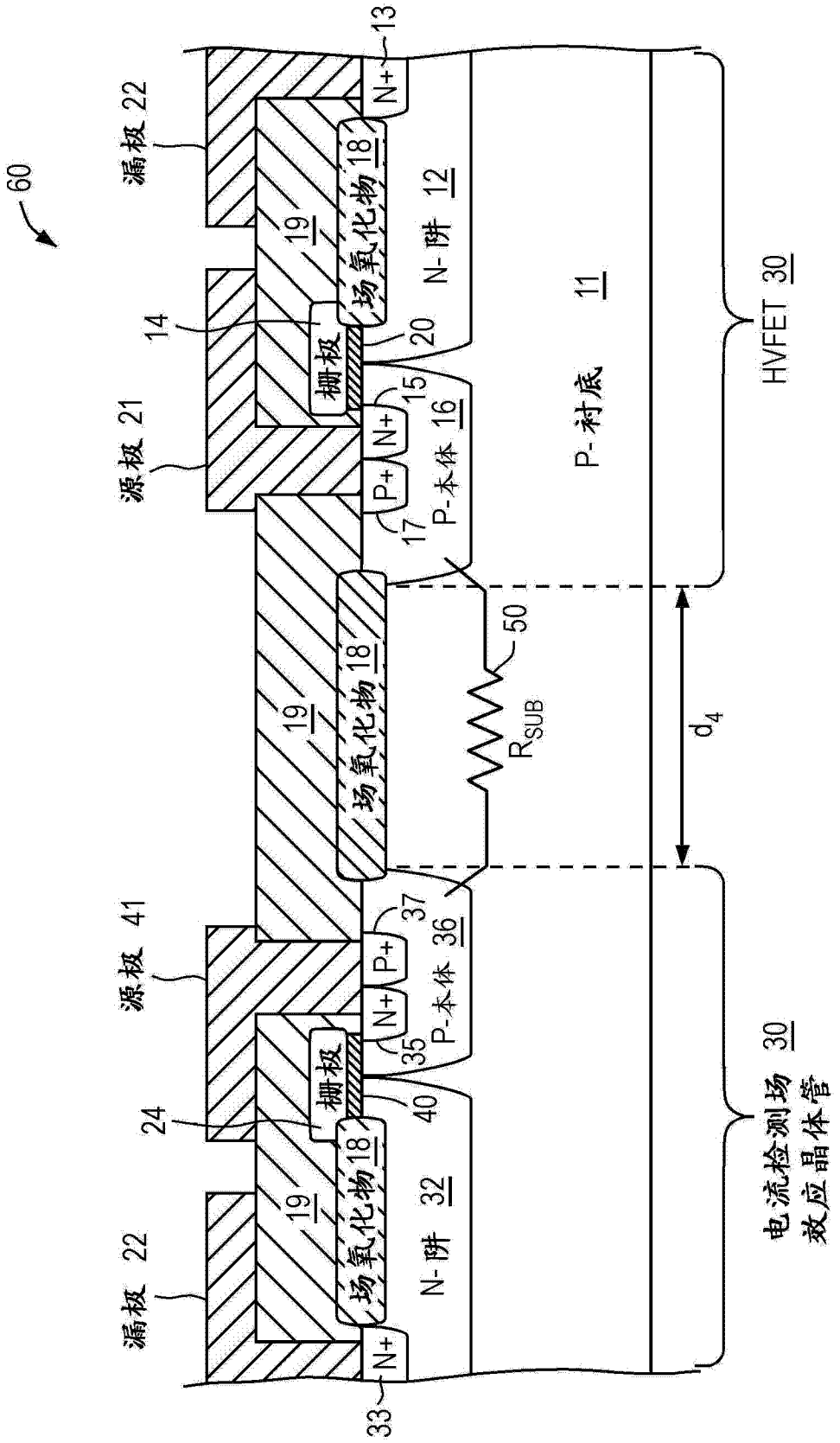

60
漏极 22
源极 21
栅极 14
源极 41
漏极 22
栅极 24
场氧化物 18
19
N+ 13
N- 阱 12
20
15
N+
P+
P-本体 16
17
P- 衬底 11
HVFET 30
50
R_{SUB}
d_4
37
P-本体 36
35
40
N- 阱 32
N+ 33
电流检测场效应晶体管 30

图 3

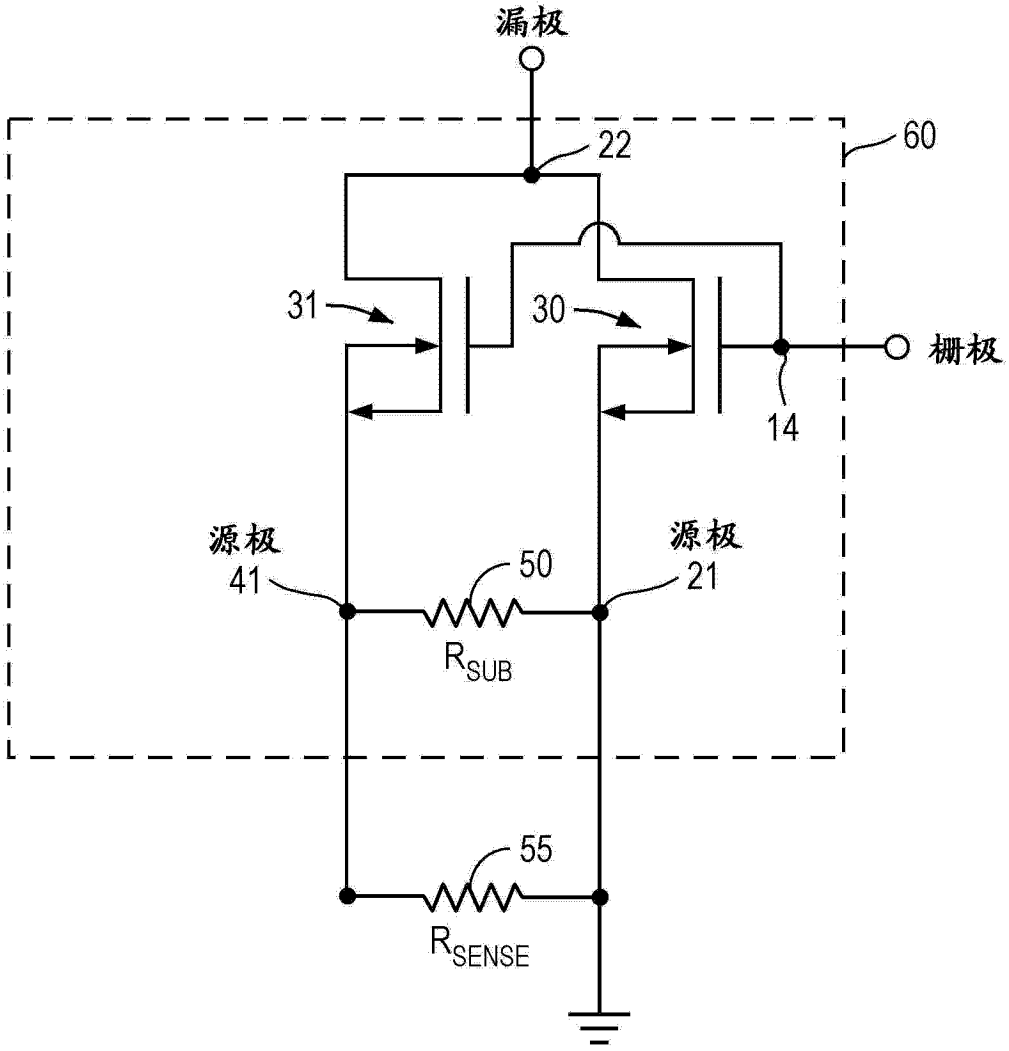


图 4

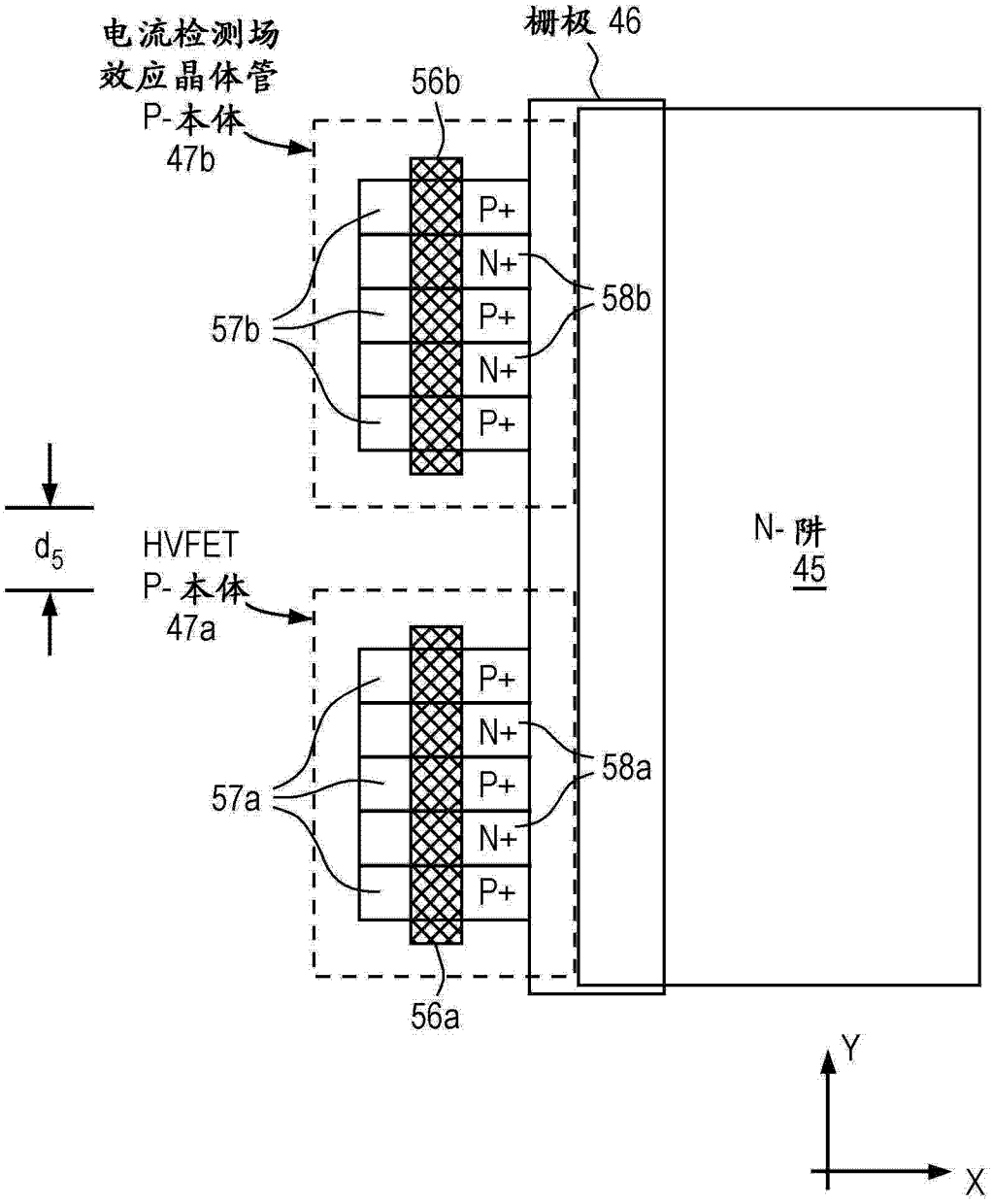

电流检测场
效应晶体管
P-本体
47b
栅极 46
56b
P+
N+
P+
N+
P+
58b
57b
N- 阱
45
d5
HVFET
P-本体
47a
P+
N+
P+
N+
P+
58a
57a
56a
Y
X

图 5