

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2016-181713

(P2016-181713A)

(43) 公開日 平成28年10月13日(2016.10.13)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 29/786 (2006.01)	HO 1 L 29/78 6 1 7 K	4 M 1 1 8
HO 1 L 21/8234 (2006.01)	HO 1 L 29/78 6 1 8 B	5 F 0 4 8
HO 1 L 27/088 (2006.01)	HO 1 L 27/08 1 0 2 E	5 F 1 1 0
HO 1 L 27/146 (2006.01)	HO 1 L 27/14 C	

審査請求 有 請求項の数 4 O L (全 31 頁)

(21) 出願番号 特願2016-112705 (P2016-112705)  
 (22) 出願日 平成28年6月6日(2016.6.6)  
 (62) 分割の表示 特願2012-13334 (P2012-13334) の分割  
 原出願日 平成24年1月25日(2012.1.25)  
 (31) 優先権主張番号 特願2011-16343 (P2011-16343)  
 (32) 優先日 平成23年1月28日(2011.1.28)  
 (33) 優先権主張国 日本国(JP)

(71) 出願人 000153878  
 株式会社半導体エネルギー研究所  
 神奈川県厚木市長谷398番地  
 (72) 発明者 笹川 慎也  
 神奈川県厚木市長谷398番地 株式会社  
 半導体エネルギー研究所内  
 (72) 発明者 倉田 求  
 神奈川県厚木市長谷398番地 株式会社  
 半導体エネルギー研究所内  
 Fターム(参考) 4M118 AB01 BA05 CA02 CA05 CB06  
 CB14 EA01 EA14 FB03 FB13  
 FB24

最終頁に続く

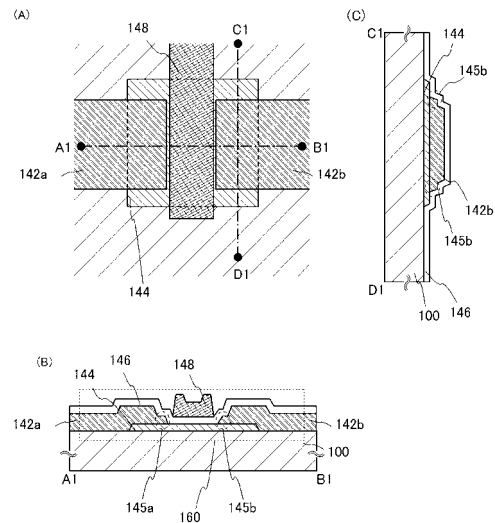
(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 不良を抑制しつつ微細化を達成した半導体装置を提供する。または、良好な特性を維持しつつ微細化を達成した半導体装置を提供する。

【解決手段】 半導体層を形成し、半導体層上に、単層となる第1の導電層を形成し、第1の導電層上に、365nm以下の波長の光を用いて第1のレジストマスクを形成し、第1のレジストマスクを用いて第1の導電層をエッチングして、凹部を有する第2の導電層とし、第1のレジストマスクを縮小させて第2のレジストマスクを形成し、第2のレジストマスクを用いて第2の導電層をエッチングして、周縁に突出部を有し、且つ突出部はテーパ形状であるソース電極及びドレイン電極を形成し、ソース電極及びドレイン電極上に、半導体層の一部と接するゲート絶縁層を形成し、ゲート絶縁層上の半導体層と重畳する位置にゲート電極を形成する。

【選択図】 図1



## 【特許請求の範囲】

## 【請求項 1】

ゲート電極と、  
 前記ゲート電極上のゲート絶縁膜と、  
 前記ゲート絶縁層上の酸化物半導体層と、を有し、  
 前記ゲート電極の端部は、下部が突出しており、  
 前記ゲート絶縁層は、前記突出している下部と接するように設けられていることを特徴とする半導体装置。

## 【請求項 2】

ゲート電極と、  
 前記ゲート電極上のゲート絶縁膜と、  
 前記ゲート絶縁層上の酸化物半導体層と、を有し、  
 前記ゲート電極の端部は、下部が突出しており、  
 前記ゲート絶縁層は、前記突出している下部と接するように設けられており、  
 前記下部の膜厚は、前記ゲート電極のその他の部分の膜厚と比較して小さいことを特徴とする半導体装置。

10

## 【請求項 3】

ゲート電極と、  
 前記ゲート電極上のゲート絶縁膜と、  
 前記ゲート絶縁層上の酸化物半導体層と、を有し、  
 前記ゲート電極の端部は、下部が突出しており、  
 前記ゲート絶縁層は、前記突出している下部と接するように設けられており、  
 前記下部の膜厚は、前記ゲート電極のその他の部分の膜厚と比較して小さく、  
 前記下部の側面はテーパ形状を有することを特徴とする半導体装置。

20

## 【請求項 4】

請求項 1 乃至請求項 3 のいずれか一項において、  
 前記下部のテーパ形状の傾斜は、前記ゲート電極の上部の傾斜よりなだらかであることを特徴とする半導体装置。

## 【発明の詳細な説明】

## 【技術分野】

30

## 【0001】

開示する発明の技術分野は、半導体装置及びその作製方法に関する。

## 【背景技術】

## 【0002】

絶縁表面を有する基板上に形成された半導体薄膜を用いてトランジスタを構成する技術が注目されている。該トランジスタは、集積回路（IC）や画像表示装置（表示装置）のような電子デバイスに広く応用されている。トランジスタに適用可能な半導体薄膜としてシリコン系半導体材料、酸化物半導体等が知られている。

## 【0003】

トランジスタの動作の高速化を達成するために、トランジスタの微細化が求められている。例えば、特許文献 1 では、チャンネル層の厚さを 10 nm 程度以下とした酸化物半導体を用いた薄膜トランジスタが開示され、非特許文献 1 では、チャンネル長を 2 μm ~ 100 μm とした酸化物半導体を用いた薄膜トランジスタが開示されている。

40

## 【先行技術文献】

## 【特許文献】

## 【0004】

【特許文献 1】特開 2010 - 21170 号公報

## 【非特許文献】

## 【0005】

【非特許文献 1】T. Kawamura, H. Uchiyama, S. Saito

50

, H. Wakana, T. Mine, and M. Hatano, 「Low - Voltage Operating Amorphous Oxide TFTs」, I DW ' 09, p. 1689 - 1692

【発明の概要】

【発明が解決しようとする課題】

【0006】

トランジスタを微細化する場合には、製造工程において発生する不良が大きな問題となる。例えば、ソース電極、ドレイン電極、又はゲート電極等の配線上にトランジスタの半導体層、又はゲート絶縁層を成膜する場合、該配線は半導体層と比較して大きな膜厚を有するため、微細化に伴う半導体層又はゲート絶縁層の膜厚の縮小によって、半導体層又はゲート絶縁層の被覆性が低下し、断線や接続不良などが生じうる。

10

【0007】

特に、チャンネル長(L)の短い微細なトランジスタを作製するときは、パターンの解像度を向上させるために、フォトリソグラフィの光源としてi線(365nm)以下の波長の短い光を用いることが好ましい。しかしながら、フォトリソグラフィの光源としてi線を用いる場合、g線(436nm)等のより波長の長い光を用いる場合と比較して、パターン端部をテーパ形状とすることが困難であるため、配線上に形成される薄膜の被覆性がより低下しやすい。

【0008】

そこで、開示する発明の一態様は、不良を抑制しつつ微細化された半導体装置の提供を課題の一とする。または、良好な特性を維持しつつ微細化を達成した半導体装置の提供を目的の一とする。

20

【課題を解決するための手段】

【0009】

本発明の一態様の半導体装置は、膜厚の大きい配線(ゲート電極、ソース電極またはドレイン電極)の周縁に突出部を設ける。また、該配線の作製において、導電層のーフエッチング、レジストマスクの縮小及び縮小したレジストマスクを用いたエッチングを行うことで、フォトリソグラフィの光源として365nm以下の波長の短い光を用いた場合であっても、配線周縁をテーパ形状とすることが可能である。より具体的には、例えば以下の構成を採用することができる。

30

【0010】

本発明の一態様は、半導体層を形成し、半導体層上に、単層なる第1の導電層を形成し、第1の導電層上に、365nm以下の波長の光を用いて第1のレジストマスクを形成し、第1のレジストマスクを用いて第1の導電層をエッチングして、凹部を有する第2の導電層とし、第1のレジストマスクを縮小させて第2のレジストマスクを形成し、第2のレジストマスクを用いて第2の導電層をエッチングして、周縁に突出部を有し、且つ突出部はテーパ形状であるソース電極及びドレイン電極を形成し、ソース電極及びドレイン電極上に、半導体層の一部と接するゲート絶縁層を形成し、ゲート絶縁層上の半導体層と重畳する位置にゲート電極を形成する半導体装置の作製方法である。

40

【0011】

また、本発明の一態様は、第1の導電層を形成し、第1の導電層上に、365nm以下の波長の光を用いて第1のレジストマスクを形成し、第1のレジストマスクを用いて第1の導電層をエッチングして、凹部を有する第2の導電層を形成し、第1のレジストマスクを縮小させて第2のレジストマスクを形成し、第2のレジストマスクを用いて第2の導電層をエッチングして、周縁に突出部を有し、且つ突出部はテーパ形状であるソース電極及びドレイン電極を形成し、ソース電極及びドレイン電極上に、半導体層を形成し、半導体層上にゲート絶縁層を形成し、ゲート絶縁層上の半導体層と重畳する位置にゲート電極を形成する半導体装置の作製方法である。

【0012】

上記の半導体装置の作製方法において、半導体層として、酸化物半導体層を用いるのが好

50

ましい。

【0013】

また、本発明の他の一態様は、チャンネル形成領域を少なくとも含む半導体層と、半導体層の一部と接し、単層でなるソース電極及びドレイン電極と、ソース電極及びドレイン電極上に設けられ、チャンネル形成領域と接するゲート絶縁層と、ゲート絶縁層を介して、チャンネル形成領域と重畳するゲート電極と、を有し、チャンネル形成領域のチャンネル長は2  $\mu\text{m}$ 未満であり、ソース電極及びドレイン電極は、周縁に突出部をそれぞれ有し、突出部はテーパ形状である半導体装置である。

【0014】

また、上記の半導体装置において、ゲート絶縁層は、少なくとも突出部において、ソース電極及びドレイン電極とそれぞれ接してもよい。

10

【0015】

または、上記の半導体装置において、半導体層は、少なくとも突出部において、ソース電極及びドレイン電極とそれぞれ接してもよい。

【0016】

また、上記の半導体装置のいずれかにおいて、ソース電極における突出部は、ドレイン電極における突出部と同じ幅及び同じ膜厚を有していてもよい。

【0017】

また、本発明の他の一態様は、単層でなるゲート電極と、ゲート電極上に接して設けられたゲート絶縁層と、少なくともチャンネル形成領域を含み、ゲート絶縁層を介してゲート電極と重畳する半導体層と、半導体層の一部とそれぞれ接するソース電極及びドレイン電極と、を有し、チャンネル形成領域において、キャリアが流れる方向の長さは2  $\mu\text{m}$ 未満であり、ゲート電極は、周縁に突出部を有し、突出部はテーパ形状である半導体装置である。

20

【0018】

また、上記の半導体装置において、ゲート絶縁層は、少なくとも突出部において、ゲート電極と接していてもよい。

【0019】

また、上記の半導体装置のいずれかにおいて、半導体層は、酸化物半導体層であるのが好ましい。

【0020】

ここで半導体装置とは、半導体特性を利用することで機能しうる装置全般を指す。例えば、表示装置や記憶装置、集積回路などは半導体装置に含まれうる。

30

【0021】

なお、本明細書等において「上」や「下」の用語は、構成要素の位置関係が「直上」又は「直下」であることを限定するものではない。例えば、「ゲート絶縁層上のゲート電極」との表現であれば、ゲート絶縁層とゲート電極との間に他の構成要素を含むものを除外しない。

【0022】

また、本明細書等において「電極」や「配線」の用語は、これらの構成要素を機能的に限定するものではない。例えば、「電極」は「配線」の一部として用いられることがあり、その逆もまた同様である。さらに「電極」や「配線」の用語は、複数の「電極」や「配線」が一体となって形成されている場合等も含む。

40

【0023】

また、「ソース」や「ドレイン」の機能は、異なる極性のトランジスタを採用する場合や、回路動作において電流の方向が変化する場合などには入れ替わることがある。このため、本明細書においては、「ソース」や「ドレイン」の用語は、入れ替えて用いることができるものとする。

【0024】

なお、本明細書等において、「電氣的に接続」には、「何らかの電氣的作用を有するもの」を介して接続されている場合が含まれる。ここで、「何らかの電氣的作用を有するもの

50

」は、接続対象間での電気信号の授受を可能とするものであれば、特に制限を受けない。例えば、「何らかの電気的作用を有するもの」には、電極や配線をはじめ、トランジスタなどのスイッチング素子、抵抗素子、インダクタ、キャパシタ、その他の各種機能を有する素子などが含まれる。

【 0 0 2 5 】

なお、本明細書等において、「同じ」との用語は、最終結果が顕著には変化しないように幾分変更された合理的な逸脱を含むものとする。例えば、同一工程で成膜された膜の膜厚は、同じ膜厚とし、成膜工程におけるばらつきは許容されるものとする。

【 発明の効果 】

【 0 0 2 6 】

開示する発明の一態様によって、不良を抑制しつつ、又は良好な特性を維持しつつ、微細化を達成した半導体装置を提供することができる。

【 0 0 2 7 】

開示する発明の一態様によって、微細化に伴う問題点を解消することができるため、結果として、トランジスタサイズを十分に小さくすることが可能になる。トランジスタサイズを十分に小さくすることで、半導体装置の占める面積が小さくなり、一基板あたりの半導体装置の生産数が増大する。これにより、半導体装置の製造コストを低減することができる。また、チャンネル長の縮小による、動作の高速化、低消費電力化などの効果を得ることもできる。

【 図面の簡単な説明 】

【 0 0 2 8 】

【 図 1 】半導体装置の構成例を示す平面図及び断面図。

【 図 2 】半導体装置の構成例を示す平面図及び断面図。

【 図 3 】半導体装置の作製工程を示す断面図。

【 図 4 】半導体装置の作製工程を示す断面図。

【 図 5 】半導体装置の構成例を示す断面図。

【 図 6 】半導体装置の応用例を示す図。

【 図 7 】半導体装置の応用例を示す図。

【 図 8 】半導体装置の応用例を示す図。

【 図 9 】半導体装置を用いた電子機器を示す図。

【 図 1 0 】実施例で作製したサンプルの作製工程を示す断面図。

【 図 1 1 】実施例で作製した導電層の S T E M 写真。

【 発明を実施するための形態 】

【 0 0 2 9 】

本発明の実施の形態の一例について、図面を用いて以下に説明する。但し、本発明は以下の説明に限定されず、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。また、異なる実施の形態及び実施例に係る構成は適宜組み合わせる実施することができる。また、以下に説明する発明の構成において、同一部分及び同様な機能を有する部分には同一の符号を用い、その繰り返しの説明は省略する。

【 0 0 3 0 】

なお、図面等において示す各構成の位置、大きさ、範囲などは、理解の簡単のため実際の位置、大きさ、範囲などを表していない場合がある。このため、開示する発明は、必ずしも図面等を開示された位置、大きさ、範囲などに限定されない。

【 0 0 3 1 】

なお、本明細書等における「第 1」、「第 2」、「第 3」などの序数詞は、構成要素の混同を避けるために付すものであり、数的に限定するものではないことを付記する。

【 0 0 3 2 】

( 実施の形態 1 )

10

20

30

40

50

本実施の形態では、開示する発明の一態様に係る半導体装置の構成およびその作製方法について、図面を参照して説明する。

【0033】

半導体装置の構成例

図1及び図2に半導体装置の構成例を示す。

【0034】

本実施の形態で示すトランジスタに含まれる半導体層としては、非晶質（アモルファスともいう）半導体、多結晶半導体、微結晶（セミアモルファス若しくはマイクロクリスタルともいう）半導体等を用いることができる。以下、本実施の形態においては、半導体層として酸化物半導体層を用いる例を示す。酸化物半導体を用いることにより、トランジスタのオフ電流を低減することができる。また、非晶質シリコンなどと比較して、オン電流および電界効果移動度を高めることができる。また、トランジスタの劣化を抑制することができる。これにより、消費電力が小さく、高速動作が可能なトランジスタとすることができる。但し、本発明の実施の形態はこれに限られない。

10

【0035】

図1(A)は、トランジスタ160の平面図であり、図1(B)は、図1(A)の線分A1-B1における断面図である。また、図1(C)は、図1(A)の線分C1-D1における断面図である。

【0036】

図1に示すトランジスタ160は、被形成表面を有する基体100上に、チャネル形成領域を少なくとも含む酸化物半導体層144と、酸化物半導体層144の一部とそれぞれ接するソース電極142a及びドレイン電極142bと、ソース電極142a及びドレイン電極142b上に設けられ、酸化物半導体層144のチャネル形成領域と接するゲート絶縁層146と、ゲート絶縁層146を介して、酸化物半導体層144のチャネル形成領域と重畳するゲート電極148と、を有する。ソース電極142a及びドレイン電極142bは周縁に、階段形状の段差を有する。

20

【0037】

なお、ゲート電極148などを覆うように、絶縁層を設けてもよく、当該絶縁層をトランジスタ160の構成要素に含めてもよい。

【0038】

トランジスタ160のチャネル長Lは、2 $\mu$ m未満とすることが好ましく、10nm以上350nm(0.35 $\mu$ m)以下とすると、より好ましい。また、酸化物半導体層144の膜厚は、1nm以上50nm以下、好ましくは2nm以上20nm以下、より好ましくは3nm以上15nm以下とする。これにより、高速かつ低消費電力な半導体装置が実現される。

30

【0039】

図1(B)に示すトランジスタ160のチャネル長方向の断面図において、ソース電極142aは、酸化物半導体層144と接する領域にその他の領域(基体100と接する領域)と比較して膜厚の小さい突出部145aを有しており、突出部145aはテーパ形状である。また、ドレイン電極142bも同様に、酸化物半導体層144と接する領域にその他の領域(基体100と接する領域)と比較して膜厚の小さい突出部145bを有しており、突出部145bはテーパ形状である。ソース電極142a及びドレイン電極142bの端部がそれぞれ階段形状の段差を有しており、該階段形状の断面がテーパ形状を有していると言い換えることもできる。

40

【0040】

突出部145a及び突出部145bにおいて、テーパ角は、例えば、30°以上60°以下とすることができる。なお、テーパ角とは、テーパ形状を有する層(例えば、ソース電極142a)を、その断面(基体100の表面と直交する面)に垂直な方向から観察した際に、当該層の側面と底面がなす傾斜角を示す。

【0041】

50

一般的に、トップゲート型のトランジスタのゲート絶縁層は、ソース電極及びドレイン電極の端部を覆う領域において、該電極の膜厚に起因する段差（カバレッジ）を有し、段差部分においては、その他の領域と比較して局所的に膜厚が小さくなる。このような膜厚の小さい領域では、絶縁破壊耐圧が低いため、該領域に電界が集中して、トランジスタの破壊の原因となることがある。また、膜厚の小さい領域からゲートリークが発生する可能性がある。

#### 【0042】

しかしながら、図1に示すトランジスタ160においては、ソース電極142a及びドレイン電極142bの周縁に膜厚の小さい突出部145a及び突出部145bをそれぞれ設け、周縁の膜厚を段階的に小さくすることで、ゲート絶縁層146の被覆性を向上させ、断線や接続不良を防止することができる。また、これによって、ゲート絶縁層146において、局所的に膜厚の小さい領域が形成されることを抑制することができるため、トランジスタ160の絶縁破壊耐圧を向上させるとともに、ゲートリークの原因を抑制することができる。

10

#### 【0043】

さらに、トランジスタ160のソース電極142aにおける突出部145aの膜厚は、その他の領域よりも小さく、同様にドレイン電極142bにおける突出部145bの膜厚は、その他の領域よりも小さい。すなわち、突出部145a及び突出部145bにおいては、電荷の流れに垂直な断面の面積が小さくなっている。抵抗は断面面積に反比例するから、ソース電極142a及びドレイン電極142bにおける突出部145a及び突出部145bは、その他の領域と比較して高抵抗な領域である。トランジスタ160は、ソース電極142a又はドレイン電極142bの高抵抗な領域と、酸化物半導体層144のチャネル形成領域とが接することで、ソースとドレイン間の電界を緩和することができるため、トランジスタサイズの縮小に伴う短チャネル効果を抑制することができる。

20

#### 【0044】

また、酸化物半導体層144は水素などの不純物が十分に除去されることにより、または、十分な酸素が供給されることにより、高純度化されたものであることが望ましい。具体的には、例えば、酸化物半導体層144の水素濃度は $5 \times 10^{19} \text{ atoms/cm}^3$ 以下、望ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 以下、より望ましくは $5 \times 10^{17} \text{ atoms/cm}^3$ 以下とする。なお、上述の酸化物半導体層144中の水素濃度は、二次イオン質量分析法（SIMS: Secondary Ion Mass Spectroscopy）で測定されるものである。

30

#### 【0045】

このように、水素濃度が十分に低減されて高純度化され、十分な酸素の供給により酸素欠乏に起因するエネルギーギャップ中の欠陥準位が低減された酸化物半導体層144では、水素等のドナーに起因するキャリア濃度が $1 \times 10^{12} / \text{cm}^3$ 未満、望ましくは、 $1 \times 10^{11} / \text{cm}^3$ 未満、より望ましくは $1.45 \times 10^{10} / \text{cm}^3$ 未満となる。また、例えば、室温（25℃）でのオフ電流（ここでは、単位チャネル幅（ $1 \mu\text{m}$ ）あたりの値）は $100 \text{ zA}$ （ $1 \text{ zA}$ （zeptoアンペア）は $1 \times 10^{-21} \text{ A}$ ）以下、望ましくは $10 \text{ zA}$ 以下となる。このように、i型化（真性化）または実質的にi型化された酸化物半導体を用いることで、極めて優れたオフ電流特性のトランジスタ160を得ることができる。

40

#### 【0046】

なお、非特許文献1などに開示されているように、キャリア密度が $2 \times 10^{19} / \text{cm}^3$ と大きいn型の酸化物半導体を用いる場合には、チャネル長が $2 \mu\text{m} \sim 100 \mu\text{m}$ といった比較的大きいサイズのトランジスタは実現されうるが、このような材料を、微細化（チャネル長が $2 \mu\text{m}$ 未満）されたトランジスタに用いると、そのしきい値電圧は大幅にマイナスシフトして、ノーマリーオフ型のトランジスタを実現することが極めて困難になる。一方で、高純度化され、真性化または実質的に真性化された酸化物半導体のキャリア密度は、少なくとも $1 \times 10^{14} / \text{cm}^3$ 未満であり、上述のようにノーマリーオン化の問題

50

が発生しないため、チャネル長が2  $\mu\text{m}$ 未満のトランジスタを容易に実現することが可能である。

【0047】

酸化半導体層144は、単結晶、多結晶（ポリクリスタルともいう。）または非晶質などの状態をとる。酸化半導体層144は、CAAC-OS（C Axis Aligned Crystalline Oxide Semiconductor）膜とするのが好ましい。

【0048】

CAAC-OS膜は、完全な単結晶ではなく、完全な非晶質でもない。CAAC-OS膜は、非晶質相に結晶部を有する結晶-非晶質混相構造の酸化半導体膜である。なお、当該結晶部は、一辺が100nm未満の立方体内に収まる大きさであることが多い。また、透過型電子顕微鏡（TEM：Transmission Electron Microscope）による観察像では、CAAC-OS膜に含まれる非晶質部と結晶部との境界は明確ではない。また、TEMによってCAAC-OS膜には粒界（グレインバウンダリーともいう。）は確認できない。そのため、CAAC-OS膜は、粒界に起因する電子移動度の低下が抑制される。

10

【0049】

CAAC-OS膜に含まれる結晶部は、c軸がCAAC-OS膜の被形成面の法線ベクトルまたは表面の法線ベクトルに平行な方向に揃い、かつab面に垂直な方向から見て三角形または六角形状の原子配列を有し、c軸に垂直な方向から見て金属原子が層状または金属原子と酸素原子とが層状に配列している。なお、異なる結晶部間で、それぞれa軸およびb軸の向きが異なってもよい。本明細書において、単に垂直と記載する場合、 $85^\circ$ 以上 $95^\circ$ 以下の範囲も含まれることとする。また、単に平行と記載する場合、 $-5^\circ$ 以上 $5^\circ$ 以下の範囲も含まれることとする。

20

【0050】

なお、CAAC-OS膜において、結晶部の分布が一様でなくてもよい。例えば、CAAC-OS膜の形成過程において、酸化半導体膜の表面側から結晶成長させる場合、被形成面の近傍に対し表面の近傍では結晶部の占める割合が高くなることがある。また、CAAC-OS膜へ不純物を添加することにより、当該不純物添加領域において結晶部が非晶質化することもある。

30

【0051】

CAAC-OS膜に含まれる結晶部のc軸は、CAAC-OS膜の被形成面の法線ベクトルまたは表面の法線ベクトルに平行な方向に揃うため、CAAC-OS膜の形状（被形成面の断面形状または表面の断面形状）によっては互いに異なる方向を向くことがある。なお、結晶部のc軸の方向は、CAAC-OS膜が形成されたときの被形成面の法線ベクトルまたは表面の法線ベクトルに平行な方向となる。結晶部は、成膜することにより、または成膜後に加熱処理などの結晶化処理を行うことにより形成される。

【0052】

CAAC-OS膜を用いたトランジスタは、可視光や紫外光の照射による電気特性の変動を低減することが可能である。よって、当該トランジスタは、信頼性が高い。

40

【0053】

図2に示すトランジスタ162は、トランジスタ160の変形例であり、トランジスタ160に類似した構造を有する。図2(A)は、トランジスタ162の平面図であり、図2(B)は、図2(A)の線分A2-B2における断面図である。また、図2(C)は、図2(A)の線分C2-D2における断面図である。

【0054】

トランジスタ162は、被形成表面を有する基体100上に、チャネル形成領域を少なくとも含む酸化半導体層144と、酸化半導体層144の一部とそれぞれ接するソース電極142a及びドレイン電極142bと、ソース電極142a及びドレイン電極142b上に設けられ、酸化半導体層144のチャネル形成領域と接するゲート絶縁層146

50

と、ゲート絶縁層 146 を介して、酸化物半導体層 144 のチャネル形成領域と重畳するゲート電極 148 と、を有する。ソース電極 142 a 及びドレイン電極 142 b は周縁に、階段形状の段差を有する。

【0055】

また、図 1 (B) に示すトランジスタ 160 のチャネル長方向の断面図と同様に、図 2 (B) に示すトランジスタ 162 のチャネル長方向の断面図においても、ソース電極 142 a は、酸化物半導体層 144 の下面と接する領域に、その他の領域 (酸化物半導体層 144 と接しない領域) と比較して膜厚の小さい突出部 145 a を有しており、突出部 145 a はテーパ形状である。また、ドレイン電極 142 b も同様に、酸化物半導体層 144 の下面と接する領域に、その他の領域 (酸化物半導体層 144 と接しない領域) と比較して膜厚の小さい突出部 145 b を有しており、突出部 145 b はテーパ形状である。

10

【0056】

また、ソース電極 142 a 又はドレイン電極 142 b が周縁に突出部 145 a 又は突出部 145 b として階段形状の段差を有するため、ソース電極 142 a 及びドレイン電極 142 b 上に接して設けられる酸化物半導体層 144 も階段形状の段差を有する構造となる。

【0057】

トランジスタ 162 のチャネル長 L は、2  $\mu$ m 未満とすることが好ましく、10 nm 以上 350 nm (0.35  $\mu$ m) 以下とすると、より好ましい。また、酸化物半導体層 144 の膜厚は、1 nm 以上 50 nm 以下、好ましくは 2 nm 以上 20 nm 以下、より好ましくは 3 nm 以上 15 nm 以下とする。これにより、高速かつ低消費電力な半導体装置が実現される。

20

【0058】

図 2 におけるトランジスタ 162 と、図 1 におけるトランジスタ 160 の相違点は、ソース電極及びドレイン電極の配置である。トランジスタ 160 では、酸化物半導体層 144 の上面の一部及び側面において、ソース電極 142 a 及びドレイン電極 142 b とそれぞれ接する。一方、トランジスタ 162 では、酸化物半導体層 144 の下面の一部においてソース電極 142 a 及びドレイン電極 142 b とそれぞれ接する。

【0059】

図 2 に示すトランジスタ 162 において、ソース電極 142 a 及びドレイン電極 142 b の周縁に膜厚の小さい突出部 145 a 及び突出部 145 b をそれぞれ設け、端部の膜厚を段階的に小さくすることで、酸化物半導体層 144 及びゲート絶縁層 146 の被覆性を向上させ、断線や接続不良を防止することができる。また、これによって、酸化物半導体層 144 及びゲート絶縁層 146 において、局所的に膜厚の小さい領域が形成されることを抑制することができるため、トランジスタ 162 の絶縁破壊耐圧を向上させるとともに、ゲートリークの発生を抑制することができる。

30

【0060】

さらに、トランジスタ 162 のソース電極 142 a における突出部 145 a の膜厚は、その他の領域よりも小さく、同様にドレイン電極 142 b における突出部 145 b の膜厚は、その他の領域よりも小さいため、ソース電極 142 a 及びドレイン電極 142 b における突出部 145 a 及び突出部 145 b は、その他の領域と比較して高抵抗な領域である。トランジスタ 162 は、ソース電極 142 a 又はドレイン電極 142 b の高抵抗な領域において酸化物半導体層 144 のチャネル形成領域と接することで、ソースとドレイン間の電界を緩和することができ、トランジスタサイズの縮小に伴う短チャネル効果を抑制することができる。

40

【0061】

トランジスタの作製工程の例

以下、図 3 及び図 4 を用いて、本実施の形態に係るトランジスタの作製工程の例について説明する。

【0062】

トランジスタ 160 の作製工程

50

図 1 に示すトランジスタ 160 の作製方法の例について、図 3 を参照して説明する。

【0063】

まず、被形成表面を有する基体 100 上に、酸化物半導体層を形成し、当該酸化物半導体層を加工して、酸化物半導体層 144 を形成する。

【0064】

なお、基体 100 に使用することができる基板に大きな制限はないが、少なくとも、後の加熱処理に耐えうる程度の耐熱性を有していることが必要となる。例えば、ガラス基板、セラミック基板、石英基板、サファイア基板などの基板を用いることができる。また、絶縁表面を有していれば、シリコンや炭化シリコンなどの単結晶半導体基板、多結晶半導体基板、シリコンゲルマニウムなどの化合物半導体基板、SOI 基板などを適用することも可能であり、これらの基板上に半導体素子が設けられていてもよい。また、基体 100 上に下地膜が設けられていても良い。

10

【0065】

酸化物半導体層 144 は、少なくとも In、Ga、Sn 及び Zn から選ばれた一種以上の元素を含有する。例えば、四元系金属の酸化物である In-Sn-Ga-Zn-O 系酸化物半導体や、三元系金属の酸化物である In-Ga-Zn-O 系酸化物半導体、In-Sn-Zn-O 系酸化物半導体、In-Al-Zn-O 系酸化物半導体、Sn-Ga-Zn-O 系酸化物半導体、Al-Ga-Zn-O 系酸化物半導体、Sn-Al-Zn-O 系酸化物半導体や、二元系金属の酸化物である In-Zn-O 系酸化物半導体、Sn-Zn-O 系酸化物半導体、Al-Zn-O 系酸化物半導体、Zn-Mg-O 系酸化物半導体、Sn-Mg-O 系酸化物半導体、In-Mg-O 系酸化物半導体や、In-Ga-O 系の材料、一元系金属の酸化物である In-O 系酸化物半導体、Sn-O 系酸化物半導体、Zn-O 系酸化物半導体などを用いることができる。また、上記酸化物半導体に In と Ga と Sn と Zn 以外の元素、例えば SiO<sub>2</sub> を含ませてもよい。

20

【0066】

なお、例えば、In-Ga-Zn-O 系酸化物半導体とは、インジウム (In)、ガリウム (Ga)、亜鉛 (Zn) を有する酸化物半導体、という意味であり、その組成比は問わない。

【0067】

また、酸化物半導体層は、化学式 InM<sub>3</sub>(ZnO)<sub>m</sub> (m > 0) で表記される薄膜を用いることができる。ここで、M は、Zn、Ga、Al、Mn 及び Co から選ばれた一または複数の金属元素を示す。例えば M として、Ga、Ga 及び Al、Ga 及び Mn、または Ga 及び Co などがある。

30

【0068】

また、酸化物半導体として In-Zn-O 系の材料を用いる場合、用いるターゲットの組成比は、原子数比で、In:Zn = 50:1 ~ 1:2 (モル数比に換算すると In<sub>2</sub>O<sub>3</sub>:ZnO = 25:1 ~ 1:4)、好ましくは In:Zn = 20:1 ~ 1:1 (モル数比に換算すると In<sub>2</sub>O<sub>3</sub>:ZnO = 10:1 ~ 1:2)、さらに好ましくは In:Zn = 15:1 ~ 1.5:1 (モル数比に換算すると In<sub>2</sub>O<sub>3</sub>:ZnO = 15:2 ~ 3:4) とする。例えば、In-Zn-O 系酸化物半導体の形成に用いるターゲットは、原子数比が In:Zn:O = X:Y:Z のとき、Z > 1.5X + Y とする。

40

【0069】

また、用いるターゲットの充填率は、90% 以上 100% 以下、好ましくは 95% 以上 99.9% 以下とする。充填率の高いターゲットを用いることにより、成膜した酸化物半導体層を緻密な膜とすることができるためである。

【0070】

また、酸化物半導体層 144 の膜厚は、3 nm 以上 30 nm 以下とするのが望ましい。酸化物半導体層 144 の膜厚を大きくしすぎると (例えば 50 nm 以上)、トランジスタがノーマリーオンとなる恐れがあるためである。

【0071】

50

酸化物半導体層は、水素、水、水酸基又は水素化物などの不純物が混入しにくい方法で作製するのが望ましい。例えば、スパッタリング法などを用いて作製することができる。

【0072】

成膜の雰囲気は、希ガス（代表的にはアルゴン）雰囲気下、酸素雰囲気下、または、希ガスと酸素の混合雰囲気下などとすればよい。また、酸化物半導体層への水素、水、水酸基、水素化物などの混入を防ぐために、水素、水、水酸基、水素化物などの不純物が十分に除去された高純度ガスを用いた雰囲気とすることが望ましい。

【0073】

例えば、酸化物半導体層は、次のように形成することができる。

【0074】

まず、減圧状態に保持された成膜室内に基板を保持し、基板温度が、200 を超えて500 以下、好ましくは300 を超えて500 以下、より好ましくは350 以上450 以下となるように加熱する。

【0075】

次に、成膜室内の残留水分を除去しつつ、水素、水、水酸基、水素化物などの不純物が十分に除去された高純度ガスを導入し、上記ターゲットを用いて基板上に酸化物半導体層を成膜する。成膜室内の残留水分を除去するためには、排気手段として、クライオポンプ、イオンポンプ、チタンサブリメーションポンプなどの吸着型の真空ポンプを用いることが望ましい。また、排気手段は、ターボポンプにコールドトラップを加えたものであってもよい。クライオポンプを用いて排気した成膜室は、例えば、水素、水、水酸基または水素化物などの不純物（より好ましくは炭素原子を含む化合物も）などが除去されているため、当該成膜室で成膜した酸化物半導体層に含まれる水素、水、水酸基または水素化物などの不純物の濃度を低減することができる。

【0076】

成膜中の基板温度が低温（例えば、100 以下）の場合、酸化物半導体に水素原子を含む物質が混入するおそれがあるため、基板を上述の温度で加熱することが好ましい。基板を上述の温度で加熱して、酸化物半導体層の成膜を行うことにより、基板温度は高温となるため、水素結合は熱により切断され、水素原子を含む物質が酸化物半導体層に取り込まれにくい。したがって、基板が上述の温度で加熱された状態で、酸化物半導体層の成膜を行うことにより、酸化物半導体層に含まれる水素、水、水酸基または水素化物などの不純物の濃度を十分に低減することができる。また、スパッタリングによる損傷を軽減することができる。

【0077】

なお、酸化物半導体層をスパッタリング法により形成する前に、アルゴンガスを導入してプラズマを発生させる逆スパッタを行い、酸化物半導体層の被形成表面に付着している粉状物質（パーティクル、ごみともいう）を除去することが好ましい。逆スパッタとは、基板に電圧を印加し、基板近傍にプラズマを形成して、基板側の表面を改質する方法である。なお、アルゴンに代えて、窒素、ヘリウム、酸素などのガスを用いてもよい。

【0078】

酸化物半導体層の加工は、所望の形状のマスクを酸化物半導体層上に形成した後、当該酸化物半導体層をエッチングすることによって行うことができる。上述のマスクは、フォトリソグラフィなどの方法を用いて形成することができる。または、インクジェット法などの方法を用いてマスクを形成しても良い。なお、酸化物半導体層のエッチングは、ドライエッチングでもウェットエッチングでもよい。もちろん、これらを組み合わせて用いてもよい。

【0079】

また、酸化物半導体層144（あるいは島状に加工前の酸化物半導体層）に対して、熱処理（第1の熱処理）を行うのが好ましい。熱処理を行うことによって、酸化物半導体層144中に含まれる水素原子を含む物質をさらに除去することができる。熱処理の温度は、不活性ガス雰囲気下、250 以上700 以下、好ましくは450 以上600 以下

10

20

30

40

50

、または基板の歪み点未満とする。不活性ガス雰囲気としては、窒素、または希ガス（ヘリウム、ネオン、アルゴン等）を主成分とする雰囲気であって、水、水素などが含まれない雰囲気を適用するのが望ましい。例えば、熱処理装置に導入する窒素や、ヘリウム、ネオン、アルゴン等の希ガスの純度を、6 N（99.9999%）以上、好ましくは7 N（99.99999%）以上（すなわち、不純物濃度が1 ppm以下、好ましくは0.1 ppm以下）とする。

【0080】

熱処理を行うことによって不純物を低減した、酸化物半導体層を形成することで、極めて優れた特性のトランジスタを実現することができる。

【0081】

ところで、上述の熱処理には水素や水などを除去する効果があるため、当該熱処理を、脱水処理や、脱水素化処理などと呼ぶこともできる。当該熱処理は、例えば、酸化物半導体層を島状に加工する前、ゲート絶縁膜の形成後などのタイミングにおいて行うことも可能である。また、このような脱水処理、脱水素化処理は、一回に限らず複数回行っても良い。

【0082】

次に、酸化物半導体層144上に、ソース電極およびドレイン電極（これと同じ層で形成される配線を含む）を形成するための導電層140を単層構造で形成する（図3（A）参照）。

【0083】

導電層140は、PVD法や、CVD法を用いて形成することができる。また、導電層140の材料としては、アルミニウム、クロム、銅、タンタル、チタン、モリブデン、タングステンから選ばれた元素や、上述した元素を成分とする合金等を用いることができる。マンガン、マグネシウム、ジルコニウム、ベリリウム、ネオジム、スカンジウムのいずれか、またはこれらを複数組み合わせた材料を用いてもよい。

【0084】

また、導電層140は、導電性の金属酸化物を用いて形成しても良い。導電性の金属酸化物としては酸化インジウム、酸化スズ、酸化亜鉛、酸化インジウム酸化スズ合金、酸化インジウム酸化亜鉛合金、または、これらの金属酸化物材料にシリコン若しくは酸化シリコンを含有させたものを用いることができる。

【0085】

次いで、導電層140上にレジストマスク150a及びレジストマスク150bを形成する（図3（B）参照）。例えば、導電層140上にレジストを塗布した後、露光機にフォトマスクを設置し、レジストに光を投影して露光する。その後、レジストを現像することでレジストマスク150a及びレジストマスク150bを形成することができる。

【0086】

トランジスタ160のチャンネル長を微細に形成するため、露光装置の光源としては波長365nm以下の光を用いることができる。例えば、高圧水銀灯のスペクトル光であるi線（波長365nm）、またはKrFレーザ光（波長248nm）やArFレーザ光（波長193nm）などの可視光から紫外領域の波長の光を好ましく用いることができる。

【0087】

レジストマスク150a及びレジストマスク150bを形成後、当該マスクを用いて導電層140をハーフエッチングして（すなわち、導電層140が基板を覆う状態でエッチングを止め）、凹部を有する導電層141を形成する。

【0088】

次いで、レジストマスク150a及びレジストマスク150bを後退（縮小）させることで、レジストマスク152a及びレジストマスク152bを形成する（図3（C）参照）。レジストマスクを後退（縮小）させるには、酸素プラズマによるアッシング等を行えばよい。レジストマスクを後退（縮小）させることにより、導電層141の一部が露出する。

。

10

20

30

40

50

## 【0089】

次いで、レジストマスク152a及びレジストマスク152bを用いて導電層141をエッチングすることで、ソース電極142a及びドレイン電極142bを形成する(図3(D)参照)。また、レジストマスク152a及びレジストマスク152bから露出した導電層141の一部がエッチングされることで、ソース電極142a及びドレイン電極142bの周縁に突出部145a及び突出部145bがそれぞれ形成される。

## 【0090】

なお、上述したとおり、微細化された(チャネル長が2 $\mu$ m未満の)トランジスタを作製するときは、パターンの解像度を向上させるために、フォトリソグラフィの光源として365nm以下の波長の短い光を用いることが好ましい。しかしながら、フォトリソグラフィの露光に365nm以下の光を用いる場合、パターン端部をテーパ形状とすることが困難である。本実施の形態で示す半導体装置の作製方法では、導電層のエッチング処理を複数回に分けておこなうことで、ソース電極142a及びドレイン電極142bの突出部145a及び突出部145bをテーパ形状とすることが可能である。

10

## 【0091】

なお、ソース電極142aにおける突出部145aは、ドレイン電極142bにおける突出部145bと同じ幅及び同じ膜厚を有している。

## 【0092】

次に、ソース電極142a、ドレイン電極142bを覆い、かつ、酸化物半導体層144の一部と接するように、ゲート絶縁層146を形成する。

20

## 【0093】

ゲート絶縁層146は、加熱により酸素の一部が放出する酸化物絶縁層を用いて形成するのが好ましい。加熱により酸素の一部が放出する酸化物絶縁層としては、化学量論比を満たす酸素よりも多くの酸素を含む酸化物絶縁層を用いることが好ましい。加熱により酸素の一部が放出する酸化物絶縁層は、加熱により酸化物半導体層144に酸素を拡散させることができる。ゲート絶縁層146に用いることが可能な酸化物絶縁層は、代表的には、酸化シリコン層、酸化窒化シリコン層、窒化酸化シリコン層、酸化アルミニウム層、酸化窒化アルミニウム層、酸化ガリウム層、酸化ハフニウム層、酸化イットリウム層等を用いることができる。

## 【0094】

ゲート絶縁層146の形成後には、不活性ガス雰囲気下、または酸素雰囲気下で第2の熱処理を行うのが望ましい。熱処理の温度は、200以上450以下、望ましくは250以上350以下である。例えば、窒素雰囲気下で250、1時間の熱処理を行えばよい。第2の熱処理を行うことによって、トランジスタの電気的特性のばらつきを軽減することができる。また、ゲート絶縁層146が酸素を含む場合、酸化物半導体層144に酸素を供給し、該酸化物半導体層144の酸素欠損を補填して、i型(真性半導体)またはi型に限りなく近い酸化物半導体層を形成することもできる。

30

## 【0095】

なお、本実施の形態では、ゲート絶縁層146の形成後に第2の熱処理を行っているが、第2の熱処理のタイミングはこれに限定されない。例えば、ゲート電極の形成後に第2の熱処理を行っても良い。また、第2の熱処理に第1の熱処理を兼ねさせても良い。

40

## 【0096】

上述のように、第1の熱処理と第2の熱処理を適用することで、酸化物半導体層144を、その水素原子を含む物質が極力含まれないように高純度化することができる。

## 【0097】

次に、ゲート電極(これと同じ層で形成される配線を含む)を形成するための導電層を形成し、当該導電層を加工して、ゲート電極148を形成する(図3(E)参照)。

## 【0098】

ゲート電極148は、モリブデン、チタン、タンタル、タングステン、アルミニウム、銅、ネオジム、スカンジウム等の金属材料またはこれらを主成分とする合金材料を用いて形

50

成することができる。なお、ゲート電極 148 は、単層構造としても良いし、積層構造としても良い。

【0099】

以上により、トランジスタ 160 が完成する。

【0100】

トランジスタ 162 の作製工程

図 2 に示すトランジスタ 162 の作製工程の例について、図 4 を参照して説明する。なお、トランジスタ 162 の作製工程は、多くの部分でトランジスタ 160 と共通している。したがって、以下においては、重複する部分の説明は省略することがある。

【0101】

まず、被形成表面を有する基体 100 上に、導電層 140 を成膜する（図 4（A）参照）。

【0102】

次いで、導電層 140 上にレジストマスク 150 a 及びレジストマスク 150 b を形成する。その後、当該マスクを用いて導電層 140 をハーフエッチングして（すなわち、導電層 140 が基板を覆う状態でエッチングを止め）、凹部を有する導電層 141 を形成する（図 4（B）参照）。

【0103】

次いで、レジストマスク 150 a 及びレジストマスク 150 b を後退（縮小）させることで、レジストマスク 152 a 及びレジストマスク 152 b を形成する（図 4（C）参照）。レジストマスク 152 a 及びレジストマスク 152 b を用いて導電層 141 をエッチングすることで、周縁に突出部 145 a を有するソース電極 142 a と、周縁に突出部 145 b を有するドレイン電極 142 b と、を形成する（図 4（D）参照）。

【0104】

レジストマスク 152 a 及びレジストマスク 152 b を除去したのち、酸化物半導体層を形成し、当該酸化物半導体層を加工して、島状の酸化物半導体層 144 を形成する。なお、酸化物半導体層形成前に、 $N_2O$ 、 $N_2$ 、または Ar などのガスを用いたプラズマ処理を行い、酸化物半導体層の成膜面に付着した水などを除去してもよい。また、このプラズマ処理によって、ソース電極 142 a 及びドレイン電極 142 b の周縁における段差をより縮小することができるため、当該ソース電極 142 a 及びドレイン電極 142 b 上に成膜される酸化物半導体層 144 及びゲート絶縁層 146 等の被覆性をより向上させることができる。なお、プラズマ処理を行った場合、当該プラズマ処理に続けて大気に触れることなく、酸化物半導体層を形成することが望ましい。

【0105】

次に、ソース電極 142 a、ドレイン電極 142 b を覆い、かつ、酸化物半導体層 144 の一部と接するように、ゲート絶縁層 146 を形成する。次に、ゲート電極（これと同じ層で形成される配線を含む）を形成するための導電層を形成し、当該導電層を加工して、ゲート電極 148 を形成する（図 4（E）参照）。

【0106】

以上により、トランジスタ 162 が完成する。

【0107】

なお、トランジスタ 160 及びトランジスタ 162 のソース電極 142 a 及びドレイン電極 142 b は、それぞれ一つの突出部を有するが、本発明の実施の形態はこれに限られるものではない。

【0108】

例えば、レジストマスクの後退（縮小）と後退（縮小）したレジストマスクを用いたエッチングを複数回行うことで、ソース電極 142 a 及びドレイン電極 142 b の周縁に膜厚の異なる複数の突出部を階段状に形成してもよい。但し、膜厚の異なる複数の突出部を階段状に形成する場合、ソース電極 142 a における n 段目（n = 1、膜厚の最も小さい突出部を 1 段目とする）の突出部は、ドレイン電極 142 b における n 段目の突出部を同じ

10

20

30

40

50

膜厚及び同じ幅を有する。なお、階段状とは、複数の面が曲面をもって接続される場合も含むものとする。また、膜厚の異なる複数の突出部を形成する場合、該複数の突出部のそれぞれはテーパ形状を有するのが好ましい。

【0109】

また、ゲート電極148の周縁に突出部を設けてもよい。ゲート電極148の周縁に突出部を設けることで、ゲート電極148上に形成される絶縁層の被覆性を向上させることができる。これによって、ゲート電極148と、ゲート電極148上に設けられる配線とに起因する該絶縁層への電界の集中を防止することができるため、トランジスタの劣化又は破壊をより防止することが可能となる。但し、ゲート電極148の周縁に突出部を設ける場合には、ゲート電極148を上述の材料から選ばれた単層の電極とする。

10

【0110】

また、本実施の形態は、ボトムゲート型のトランジスタへの適用も可能である。図5にボトムゲート型のトランジスタの構成例を示す。

【0111】

図5(A)に示すトランジスタ170は、基体100上に、ゲート電極149と、ゲート電極149に接して設けられたゲート絶縁層146と、ゲート絶縁層146上に設けられたソース電極142a及びドレイン電極142bと、ソース電極142a及びドレイン電極142bの一部と接し、ゲート絶縁層146を介してゲート電極149と重畳する酸化物半導体層144と、を有する。

20

【0112】

トランジスタ170のチャンネル長Lは、2 $\mu$ m未満とすることが好ましく、10nm以上350nm(0.35 $\mu$ m)以下とすると、より好ましい。また、酸化物半導体層144の膜厚は、1nm以上50nm以下、好ましくは2nm以上20nm以下、より好ましくは3nm以上15nm以下とする。これにより、高速動作可能かつ低消費電力な半導体装置が実現される。

【0113】

図5(B)に示すトランジスタ172は、基体100上に、ゲート電極149と、ゲート電極149に接して設けられたゲート絶縁層146と、ゲート絶縁層146を介してゲート電極149と重畳する酸化物半導体層144と、酸化物半導体層144の一部と接するソース電極142a及びドレイン電極142bと、を有する。

30

【0114】

トランジスタ170及びトランジスタ172において、ゲート電極149は、前述の材料から選択された単層で構成され、周縁にその他の領域と比較して膜厚の小さい突出部147を有する。これによって、ゲート絶縁層146の被覆性を向上させ、断線や接続不良を防止することができる。また、ゲート絶縁層146において、局所的に膜厚の小さい領域が形成されることを抑制することができるため、トランジスタ170及びトランジスタ172の絶縁破壊耐圧を向上させるとともに、ゲートリークの発生を抑制することができる。なお、突出部147は、突出部145a及び突出部145bと同様に作製することが可能である。また、膜厚の異なる複数の突出部を階段状に形成してもよい。

【0115】

また、トランジスタ170は、ソース電極142a及びドレイン電極142bの周縁にそれぞれ突出部145a及び突出部145bを有する。これによって、酸化物半導体層144の被覆性を向上させることができる。

40

【0116】

なお、トランジスタ172においてソース電極142a及びドレイン電極142bの周縁には必ずしも突出部145a及び突出部145bを設ける必要はない。但し、突出部145a及び突出部145bを設けることで、酸化物半導体層144上に設けられる絶縁層(図示しない)の被覆性を向上させることができるため、好ましい。

【0117】

本実施の形態で示すトランジスタ160、トランジスタ162、トランジスタ170及び

50

トランジスタ172は、膜厚の大きい配線（ゲート電極、ソース電極またはドレイン電極）の周縁に突出部を形成することで、該配線に接して設けられる絶縁層のカバレッジ不良を防止している。これによって、該絶縁層において局所的に膜厚の薄い領域が形成されることがなく、膜厚の薄い領域に電界が集中することに起因するトランジスタの破壊を防止することができる。

#### 【0118】

また、微細化された（チャンネル長が2 μm未満の）トランジスタの作製工程において、フォトリソグラフィの露光に365 nm以下の光を用いた場合であっても、ゲート電極、ソース電極またはドレイン電極の周縁に形成される突出部をテーパ形状とすることが可能である。

10

#### 【0119】

なお、本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせ用いることができる。

#### 【0120】

（実施の形態2）

本実施の形態では、半導体装置の一例として、記憶媒体（メモリ素子）を示す。本実施の形態では、実施の形態1で示す酸化物半導体を用いたトランジスタと、酸化物半導体以外の材料を用いたトランジスタとを同一基板上に形成する。

#### 【0121】

図6は、半導体装置の構成の一例である。図6(A)には、半導体装置の断面を、図6(B)には、半導体装置の平面を、それぞれ示す。ここで、図6(A)は、図6(B)のE1-E2及びF1-F2における断面に相当する。また、図6(C)には、上記半導体装置をメモリ素子として用いる場合の回路図の一例を示す。図6(A)及び図6(B)に示される半導体装置は、下部に第1の半導体材料を用いたトランジスタを有し、上部に第2の半導体材料を用いたトランジスタを有する。本実施の形態では、第1の半導体材料を用いたトランジスタを酸化物半導体以外の半導体材料を用いたトランジスタ260とし、第2の半導体材料を用いたトランジスタを、実施の形態1で示した酸化物半導体を用いたトランジスタ160とする。酸化物半導体以外の半導体材料としては、例えば、シリコン、ゲルマニウム、シリコンゲルマニウム、炭化シリコン、またはガリウムヒ素等を用いることができ、単結晶半導体を用いるのが好ましい。このような半導体材料を用いたトランジスタは、高速動作が容易である。一方で、酸化物半導体を用いたトランジスタ160は、その特性により長時間の電荷保持を可能とする。なお、第2の半導体材料を用いたトランジスタとしては、実施の形態1で示したトランジスタの構成を適宜用いることが可能である。

20

30

#### 【0122】

図6におけるトランジスタ260は、半導体材料（例えば、シリコンなど）を含む基板301に設けられたチャンネル形成領域116と、チャンネル形成領域116を挟むように設けられた不純物領域118と、不純物領域118に接する金属化合物領域124と、チャンネル形成領域116上に設けられたゲート絶縁層108と、ゲート絶縁層108上に設けられたゲート電極109と、を有する。

40

#### 【0123】

半導体材料を含む基板301は、シリコンや炭化シリコンなどの単結晶半導体基板、多結晶半導体基板、シリコンゲルマニウムなどの化合物半導体基板、SOI基板などを適用することができる。なお、一般に「SOI基板」は、絶縁表面上にシリコン半導体層が設けられた構成の基板をいうが、本明細書等においては、絶縁表面上にシリコン以外の材料からなる半導体層が設けられた構成の基板も含む。つまり、「SOI基板」が有する半導体層は、シリコン半導体層に限定されない。また、SOI基板には、ガラス基板などの絶縁基板上に絶縁層を介して半導体層が設けられた構成のものが含まれるものとする。

#### 【0124】

トランジスタ260の金属化合物領域124の一部には、電極126が接続されている。

50

ここで、電極 126 は、トランジスタ 260 のソース電極やドレイン電極として機能する。また、トランジスタ 260 を囲むように素子分離絶縁層 106 が設けられており、トランジスタ 260 を覆うように絶縁層 128 が設けられている。なお、高集積化を実現するためには、図 6 に示すようにトランジスタ 260 がサイドウォール絶縁層を有しない構成とすることが望ましい。一方で、トランジスタ 260 の特性を重視する場合には、ゲート電極 109 の側面にサイドウォール絶縁層を設け、不純物濃度が異なる領域を含む不純物領域 118 を設けても良い。

#### 【0125】

トランジスタ 260 は公知の技術を用いて作製することができる。半導体材料として、例えば、シリコン、ゲルマニウム、シリコンゲルマニウム、炭化シリコン、またはガリウムヒ素等を用いたトランジスタ 260 は、高速動作が可能であるという特徴を有する。このため、当該トランジスタを読み出し用のトランジスタとして用いることで、情報の読み出しを高速に行うことができる。

10

#### 【0126】

トランジスタ 260 を形成した後、トランジスタ 160 及び容量素子 164 の形成前の処理として、絶縁層 128 に CMP 処理を施して、ゲート電極 109 の上面を露出させる。ゲート電極 109 の上面を露出させる処理としては、CMP 処理の他にエッチング処理などを適用することも可能であるが、トランジスタ 160 の特性を向上させるために、絶縁層 128 の表面は可能な限り平坦にしておくことが望ましい。

20

#### 【0127】

平坦化された絶縁層 128 上に酸化物半導体層 144 を形成後、露出したゲート電極 109、電極 126、絶縁層 128、及び酸化物半導体層 144 等を覆う導電層を設ける。そして実施の形態 1 で示した方法と同様に、当該導電層を加工することでソース電極 142a 及びドレイン電極 142b を形成する。形成されたソース電極 142a は、トランジスタ 260 のゲート電極 109 と電氣的に接続される。また、ドレイン電極 142b は、トランジスタ 260 の電極 126 と電氣的に接続される。

#### 【0128】

また、図 6 に示す半導体装置においては、ゲート絶縁層 146 を介してソース電極 142a と少なくとも一部が重畳するように導電層 158 が設けられる。導電層 158 は、ゲート電極 148 と同じ工程で形成され、容量素子 164 の一方の電極として機能する。

30

#### 【0129】

また、ゲート電極 148 及び導電層 158 の上には絶縁層 150 が設けられている。そして、絶縁層 150 上には配線 154 が設けられ、当該配線 154 は絶縁層 150、ゲート絶縁層 146 などに形成された開口を介してドレイン電極 142b と接続されている。ここで、配線 154 は、少なくともトランジスタ 160 の酸化物半導体層 144 の一部と重畳するように設けられる。また、配線 154 を覆うように絶縁層 156 が設けられている。

#### 【0130】

また、図 6 に示す半導体装置において、トランジスタ 260 と、トランジスタ 160 とは、少なくとも一部が重畳するように設けられている。特に、トランジスタ 260 のソース領域またはドレイン領域と酸化物半導体層 144 の一部が重畳するように設けられているのが好ましい。また、配線 154 は、少なくとも酸化物半導体層 144 の一部と重畳するように設けられている。また、トランジスタ 160 や容量素子 164 が、トランジスタ 260 と重畳するように設けられている。

40

#### 【0131】

例えば、容量素子 164 の導電層 158 は、トランジスタ 260 のゲート電極 109 と少なくとも一部が重畳して設けられている。このような、平面レイアウトを採用することにより、半導体装置の高集積化を図ることができる。例えば、当該半導体装置を用いてメモリセルを構成する場合、最小加工寸法を  $F$  として、メモリセルの占める面積を  $1.5F^2 \sim 2.5F^2$  とすることが可能である。

50

## 【0132】

図6(C)には、上記半導体装置をメモリ素子として用いる場合の回路図の一例を示す。図6(C)において、トランジスタ160のソース電極またはドレイン電極の一方と、容量素子164の電極の一方と、トランジスタ260のゲート電極とは、電気的に接続されている。また、第1の配線(1st Line:ソース線とも呼ぶ)とトランジスタ260のソース電極とは、電気的に接続され、第2の配線(2nd Line:ビット線とも呼ぶ)とトランジスタ260のドレイン電極とは、電気的に接続されている。また、第3の配線(3rd Line:第1の信号線とも呼ぶ)とトランジスタ160のソース電極またはドレイン電極の他方とは、電気的に接続され、第4の配線(4th Line:第2の信号線とも呼ぶ)と、トランジスタ160のゲート電極とは、電気的に接続されている。そして、第5の配線(5th Line:ワード線とも呼ぶ)と、容量素子164の電極の他方は電気的に接続されている。

10

## 【0133】

酸化物半導体を用いたトランジスタ160は、オフ電流が極めて小さいという特徴を有しているため、トランジスタ160をオフ状態とすることで、トランジスタ160のソース電極またはドレイン電極の一方と、容量素子164の電極の一方と、トランジスタ260のゲート電極とが電気的に接続されたノード(以下、ノードFG)の電位を極めて長時間にわたって保持することが可能である。そして、容量素子164を有することにより、ノードFGに与えられた電荷の保持が容易になり、また、保持された情報の読み出しが容易になる。

20

## 【0134】

半導体装置に情報を記憶させる場合(書き込み)は、まず、第4の配線の電位を、トランジスタ160がオン状態となる電位にして、トランジスタ160をオン状態とする。これにより、第3の配線の電位が、ノードFGに供給され、ノードFGに所定量の電荷が蓄積される。ここでは、異なる二つの電位レベルを与える電荷(以下、ロー(Low)レベル電荷、ハイ(High)レベル電荷という)のいずれかが与えられるものとする。その後、第4の配線の電位を、トランジスタ160がオフ状態となる電位にして、トランジスタ160をオフ状態とすることにより、ノードFGが浮遊状態となるため、ノードFGには所定の電荷が保持されたままの状態となる。以上のように、ノードFGに所定量の電荷を蓄積及び保持させることで、メモリセルに情報を記憶させることができる。

30

## 【0135】

トランジスタ160のオフ電流は極めて小さいため、ノードFGに供給された電荷は長時間にわたって保持される。したがって、リフレッシュ動作が不要となるか、または、リフレッシュ動作の頻度を極めて低くすることが可能となり、消費電力を十分に低減することができる。また、電力の供給がない場合であっても、長期にわたって記憶内容を保持することが可能である。

## 【0136】

記憶された情報を読み出す場合(読み出し)は、第1の配線に所定の電位(定電位)を与えた状態で、第5の配線に適切な電位(読み出し電位)を与えると、ノードFGに保持された電荷量に応じて、トランジスタ160は異なる状態をとる。一般に、トランジスタ160をnチャンネル型とすると、ノードFGにHighレベル電荷が保持されている場合のトランジスタ160の見かけのしきい値 $V_{th\_H}$ は、ノードFGにLowレベル電荷が保持されている場合のトランジスタ160の見かけのしきい値 $V_{th\_L}$ より低くなるためである。ここで、見かけのしきい値とは、トランジスタ260を「オン状態」とするために必要な第5の配線の電位をいうものとする。したがって、第5の配線の電位を $V_{th\_H}$ と $V_{th\_L}$ の中間の電位 $V_0$ とすることにより、ノードFGに保持された電荷を判別できる。例えば、書き込みにおいて、Highレベル電荷が与えられていた場合には、第5の配線の電位が $V_0 (> V_{th\_H})$ となれば、トランジスタ260は「オン状態」となる。Lowレベル電荷が与えられていた場合には、第5の配線の電位が $V_0 (< V_{th\_L})$ となっても、トランジスタ260は「オフ状態」のままである。このため、第5

40

50

の配線の電位を制御して、トランジスタ260のオン状態またはオフ状態を読み出す(第2の配線の電位を読み出す)ことで、記憶された情報を読み出すことができる。

【0137】

また、記憶させた情報を書き換える場合においては、上記の書き込みによって所定量の電荷を保持したノードFGに、新たな電位を供給することで、ノードFGに新たな情報に係る電荷を保持させる。具体的には、第4の配線の電位を、トランジスタ160がオン状態となる電位にして、トランジスタ160をオン状態とする。これにより、第3の配線の電位(新たな情報に係る電位)が、ノードFGに供給され、ノードFGに所定量の電荷が蓄積される。その後、第4の配線の電位をトランジスタ160がオフ状態となる電位にして、トランジスタ160をオフ状態とすることにより、ノードFGには、新たな情報に係る電荷が保持された状態となる。すなわち、ノードFGに第1の書き込みによって所定量の電荷が保持された状態で、第1の書き込みと同様の動作(第2の書き込み)を行うことで、記憶させた情報を上書きすることが可能である。

10

【0138】

本実施の形態で示すトランジスタ160は、高純度化され、真性化された酸化物半導体層144を用いることで、トランジスタ160のオフ電流を十分に低減することができる。そして、このようなトランジスタを用いることで、極めて長期にわたり記憶内容を保持することが可能な半導体装置が得られる。また、チャンネル長(L)の微細化されたトランジスタ160を用いることで、半導体装置の集積度を向上させることができる。

【0139】

また、本実施の形態において示す半導体装置では、トランジスタ260とトランジスタ160を重畳させることで、集積度が十分に高められた半導体装置が実現される。

20

【0140】

以上、本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせることができる。

【0141】

(実施の形態3)

本実施の形態では、開示する発明の一態様に係る半導体装置の応用例について、図7を参照して説明する。ここでは、中央演算処理装置(CPU)について説明する。

【0142】

CPUのブロック図の一例を図7に示す。図7に示されるCPU1101は、タイミングコントロール回路1102、命令解析デコーダ1103、レジスタアレイ1104、アドレスロジックバッファ回路1105、データバスインターフェイス1106、ALU(Arithmetic logic unit)1107、命令レジスタ1108などより構成されている。

30

【0143】

これらの回路は、インバータ回路、抵抗、容量、先の実施の形態に示したトランジスタなどを用いて作製する。先の実施の形態に示すトランジスタを用いることにより、トランジスタの短チャンネル効果を抑制し、且つ微細化を達成することができる。

【0144】

以下に、CPU1101が有する、それぞれの回路について簡単に説明する。タイミングコントロール回路1102は外部からの命令を受け取り、それを内部用の情報に変換し、他のブロックに送り出す。また、内部の動作に応じて、メモリデータの読み込み、書き込みなどの指示を外部に与える。命令解析デコーダ1103は外部の命令を内部用の命令に変換する機能を有する。レジスタアレイ1104はデータを一時的に保管する機能を有する。アドレスロジックバッファ回路1105は外部メモリのアドレスを指定する機能を有する。データバスインターフェイス1106は、外部のメモリまたはプリンタなどの機器にデータを出し入れする機能を有する。ALU1107は演算を行う機能を有する。命令レジスタ1108は命令を一時的に記憶しておく機能を有する。このような回路の組み合わせによってCPUは構成されている。

40

50

## 【 0 1 4 5 】

C P U 1 1 0 1 の少なくとも一部に、先の実施の形態に示したトランジスタを用いることにより、トランジスタの短チャネル効果を抑制し、且つ微細化を達成することができるので、C P U 1 1 0 1 の高集積化を図ることができる。

## 【 0 1 4 6 】

以上、本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせる用いることができる。

## 【 0 1 4 7 】

## ( 実施の形態 4 )

本実施の形態では、開示する発明の一態様に係る半導体装置の応用例について、図 8 を参照して説明する。ここでは、対象物の情報を読み取るイメージセンサ機能を有する半導体装置の一例について説明する。なお、回路図においては、酸化物半導体を用いたトランジスタであることを示すために、O S の符号を併せて付す場合がある。

10

## 【 0 1 4 8 】

図 8 ( A ) に、イメージセンサ機能を有する半導体装置の一例を示す。図 8 ( A ) はフォトセンサの等価回路であり、図 8 ( B ) はフォトセンサの一部を示す断面図である。

## 【 0 1 4 9 】

フォトダイオード 1 2 0 2 は、一方の電極がフォトダイオードリセット信号線 1 2 1 2 に、他方の電極がトランジスタ 1 2 0 4 のゲートに電氣的に接続されている。トランジスタ 1 2 0 4 は、ソース電極又はドレイン電極の一方がフォトセンサ基準信号線 1 2 1 8 に、ソース電極又はドレイン電極の他方がトランジスタ 1 2 0 6 のソース電極又はドレイン電極の一方に電氣的に接続されている。トランジスタ 1 2 0 6 は、ゲート電極がゲート信号線 1 2 1 4 に、ソース電極又はドレイン電極の他方がフォトセンサ出力信号線 1 2 1 6 に電氣的に接続されている。

20

## 【 0 1 5 0 】

ここで、図 8 ( A ) に示す、トランジスタ 1 2 0 4 、トランジスタ 1 2 0 6 は酸化物半導体を用いたトランジスタが適用される。ここで、酸化物半導体を用いたトランジスタとして、先の実施の形態で示したトランジスタを用いることができる。先の実施の形態に示したトランジスタは、オフ状態でのリーク電流を極めて小さくすることができるので、フォトセンサの光検出精度を向上させることができる。さらに、先の実施の形態に示すトランジスタを用いることにより、トランジスタの短チャネル効果を抑制し、且つ微細化を達成することができるので、フォトダイオードの面積を増大させ、フォトセンサの光検出精度を向上させることができる。

30

## 【 0 1 5 1 】

図 8 ( B ) は、フォトセンサにおけるフォトダイオード 1 2 0 2 及びトランジスタ 1 2 0 4 に示す断面図であり、絶縁表面を有する基板 1 2 2 2 ( T F T 基板 ) 上に、センサとして機能するフォトダイオード 1 2 0 2 及びトランジスタ 1 2 0 4 が設けられている。フォトダイオード 1 2 0 2 、トランジスタ 1 2 0 4 の上には接着層 1 2 2 8 を用いて基板 1 2 2 4 が設けられている。また、トランジスタ 1 2 0 4 上には、絶縁層 1 2 3 4 、層間絶縁層 1 2 3 6 、層間絶縁層 1 2 3 8 が設けられている。

40

## 【 0 1 5 2 】

また、トランジスタ 1 2 0 4 のゲート電極と電氣的に接続されるように、該ゲート電極と同じ層にゲート電極 1 2 4 0 が設けられている。ゲート電極 1 2 4 0 は、絶縁層 1 2 3 4 及び層間絶縁層 1 2 3 6 に設けられた開口を介して、層間絶縁層 1 2 3 6 上に設けられた電極層 1 2 4 2 と電氣的に接続されている。フォトダイオード 1 2 0 2 は、電極層 1 2 4 2 上に形成されているので、フォトダイオード 1 2 0 2 とトランジスタ 1 2 0 4 とは、ゲート電極 1 2 4 0 および電極層 1 2 4 2 を介して電氣的に接続されている。

## 【 0 1 5 3 】

フォトダイオード 1 2 0 2 は、電極層 1 2 4 2 側から順に、第 1 半導体層 1 2 2 6 a 、第 2 半導体層 1 2 2 6 b 及び第 3 半導体層 1 2 2 6 c を積層した構造を有している。つまり

50

、フォトダイオード1202は、第1半導体層1226aで電極層1242と電氣的に接続されている。また、第3半導体層1226cにおいて、層間絶縁層1238上に設けられた電極層1244と電氣的に接続されている。

【0154】

ここでは、第1半導体層1226aとしてn型の導電性を有する半導体層と、第2半導体層1226bとして高抵抗な半導体層（I型半導体層）、第3半導体層1226cとしてp型の導電性を有する半導体層を積層するpin型のフォトダイオードを例示している。

【0155】

第1半導体層1226aは、n型半導体層であり、n型を付与する不純物元素を含むアモルファスシリコン膜により形成する。第1半導体層1226aの形成には、15族の不純物元素（例えばリン（P））を含む半導体材料ガスを用いて、プラズマCVD法により形成する。半導体材料ガスとしてはシラン（SiH<sub>4</sub>）を用いればよい。または、Si<sub>2</sub>H<sub>6</sub>、SiH<sub>2</sub>Cl<sub>2</sub>、SiHCl<sub>3</sub>、SiCl<sub>4</sub>、SiF<sub>4</sub>等を用いてもよい。また、不純物元素を含まないアモルファスシリコン膜を形成した後に、拡散法やイオン注入法を用いて該アモルファスシリコン膜に不純物元素を導入してもよい。イオン注入法等により不純物元素を導入した後に加熱等を行うことで、不純物元素を拡散させるとよい。この場合にアモルファスシリコン膜を形成する方法としては、LPCVD法、気相成長法、又はスパッタリング法等を用いればよい。第1半導体層1226aの膜厚は20nm以上200nm以下となるよう形成することが好ましい。

10

【0156】

第2半導体層1226bは、i型半導体層（真性半導体層）であり、アモルファスシリコン膜により形成する。第2半導体層1226bの形成には、半導体材料ガスを用いて、アモルファスシリコン膜をプラズマCVD法により形成する。半導体材料ガスとしては、シラン（SiH<sub>4</sub>）を用いればよい。または、Si<sub>2</sub>H<sub>6</sub>、SiH<sub>2</sub>Cl<sub>2</sub>、SiHCl<sub>3</sub>、SiCl<sub>4</sub>、SiF<sub>4</sub>等を用いてもよい。第2半導体層1226bの形成は、LPCVD法、気相成長法、スパッタリング法等により行っても良い。第2半導体層1226bの膜厚は200nm以上1000nm以下となるように形成することが好ましい。

20

【0157】

第3半導体層1226cはp型半導体層であり、p型を付与する不純物元素を含むアモルファスシリコン膜により形成することができる。第3半導体層1226cの形成には13族の不純物元素（例えばボロン（B））を含む半導体材料ガスを用いて、プラズマCVD法により形成する。半導体材料ガスとしてはシラン（SiH<sub>4</sub>）を用いればよい。または、Si<sub>2</sub>H<sub>6</sub>、SiH<sub>2</sub>Cl<sub>2</sub>、SiHCl<sub>3</sub>、SiCl<sub>4</sub>、SiF<sub>4</sub>等を用いてもよい。また、不純物元素を含まないアモルファスシリコン膜を形成した後に、拡散法やイオン注入法を用いて該アモルファスシリコン膜に不純物元素を導入してもよい。イオン注入法等により不純物元素を導入した後に加熱等を行うことで、不純物元素を拡散させるとよい。この場合にアモルファスシリコン膜を形成する方法としては、LPCVD法、気相成長法、又はスパッタリング法等を用いればよい。第3半導体層1226cの膜厚は10nm以上50nm以下となるよう形成することが好ましい。

30

【0158】

また、第1半導体層1226a、第2半導体層1226b、及び第3半導体層1226cは、アモルファス半導体ではなく、多結晶半導体を用いて形成してもよいし、微結晶（セミアモルファス（Semi Amorphous Semiconductor：SAS））半導体を用いて形成してもよい。

40

【0159】

微結晶半導体は、ギブスの自由エネルギーを考慮すれば非晶質と単結晶の中間的な準安定状態に属するものである。すなわち、自由エネルギー的に安定な第3の状態を有する半導体であって、短距離秩序を持ち格子歪みを有する。柱状または針状結晶が基板表面に対して法線方向に成長している。微結晶半導体の代表例である微結晶シリコンは、そのラマンスペクトルが単結晶シリコンを示す520cm<sup>-1</sup>よりも低波数側に、シフトしている。

50

即ち、単結晶シリコンを示す  $520\text{ cm}^{-1}$  とアモルファスシリコンを示す  $480\text{ cm}^{-1}$  の間に微結晶シリコンのラマンスペクトルのピークがある。また、未結合手（ダングリングボンド）を終端するため水素またはハロゲンを少なくとも1原子%またはそれ以上含ませている。さらに、ヘリウム、アルゴン、クリプトン、ネオンなどの希ガス元素を含ませて格子歪みをさらに助長させることで、安定性が増し良好な微結晶半導体膜が得られる。

#### 【0160】

この微結晶半導体膜は、周波数が数十MHz～数百MHzの高周波プラズマCVD法、または周波数が1GHz以上のマイクロ波プラズマCVD装置により形成することができる。代表的には、 $\text{SiH}_4$ 、 $\text{Si}_2\text{H}_6$ 、 $\text{SiH}_2\text{Cl}_2$ 、 $\text{SiHCl}_3$ 、 $\text{SiCl}_4$ 、 $\text{SiF}_4$  などの水素化珪素を水素で希釈して形成することができる。また、水素化珪素及び水素に加え、ヘリウム、アルゴン、クリプトン、ネオンから選ばれた一種または複数種の希ガス元素で希釈して微結晶半導体膜を形成することができる。これらのときの水素化珪素に対して水素の流量比を5倍以上200倍以下、好ましくは50倍以上150倍以下、更に好ましくは100倍とする。さらには、シリコンを含む気体中に、 $\text{CH}_4$ 、 $\text{C}_2\text{H}_6$  等の炭化物気体、 $\text{GeH}_4$ 、 $\text{GeF}_4$  等のゲルマニウム化気体、 $\text{F}_2$  等を混入させてもよい。

10

#### 【0161】

また、光電効果で発生した正孔の移動度は電子の移動度に比べて小さいため、pin型のフォトダイオードはp型の半導体層側を受光面とする方がよい特性を示す。ここでは、基板1224側の面からフォトダイオード1202が入射光1230を受け、電気信号に変換する例を示す。また、受光面とした半導体層側とは逆の導電性を有する半導体層側からの光は外乱光となるため、電極層1242は遮光性を有する導電膜を用いるとよい。また、n型の半導体層側を受光面として用いることもできる。

20

#### 【0162】

また、入射光1230を基板1224側の面から入射させることにより、トランジスタ1204の酸化半導体層は、該トランジスタ1204のゲート電極によって、入射光1230を遮光することができる。

#### 【0163】

絶縁層1234、層間絶縁層1236、層間絶縁層1238としては、絶縁性材料を用いて、その材料に応じて、スパッタリング法、SOG法、スピンコート、ディップ、スプレー塗布、液滴吐出法（インクジェット法等）、印刷法（スクリーン印刷、オフセット印刷等）、ドクターナイフ、ロールコーター、カーテンコーター、ナイフコーター等を用いて形成することができる。

30

#### 【0164】

絶縁層1234としては、無機絶縁材料としては、酸化シリコン層、窒化シリコン層、窒化シリコン層、窒化酸化シリコン層、酸化アルミニウム層、酸化窒化アルミニウム層、窒化アルミニウム層、又は窒化酸化アルミニウム層などの酸化絶縁層又は窒化物絶縁層の、単層又は積層を用いることができる。また $\mu$ 波（2.45GHz）を用いた高密度プラズマCVDは、緻密で絶縁耐圧の高い高品質な絶縁層を形成できるので好ましい。

40

#### 【0165】

層間絶縁層1236、層間絶縁層1238としては、表面凹凸を低減するため平坦化絶縁膜として機能する絶縁層が好ましい。層間絶縁層1236、層間絶縁層1238としては、例えばポリイミド、アクリル、ベンゾシクロブテン、ポリアミド、エポキシ等の、耐熱性を有する有機絶縁材料を用いることができる。また上記有機絶縁材料の他に、低誘電率材料（low-k材料）、シロキサン系樹脂、PSG（リンガラス）、BPSG（リンボロンガラス）等の単層、又は積層を用いることができる。

#### 【0166】

フォトダイオード1202は、入射光1230を検出することによって、被検出物の情報を読み取ることができる。なお、被検出物の情報を読み取る際にバックライトなどの光源

50

を用いることができる。

【0167】

以上に示すフォトセンサにおいて、酸化物半導体を用いたトランジスタとして、先の実施の形態で示したトランジスタを用いることができる。先の実施の形態に示したトランジスタは、オフ状態でのリーク電流を極めて小さくすることができるので、フォトセンサの光検出精度を向上させることができる。さらに、先の実施の形態に示すトランジスタを用いることにより、トランジスタの短チャネル効果を抑制し、且つ微細化を達成することができるので、フォトダイオードの面積を増大させ、フォトセンサの光検出精度を向上させることができる。

【0168】

本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせ合わせて用いることができる。

【0169】

(実施の形態5)

本実施の形態では、上述の実施の形態で説明した半導体装置を電子機器に適用する場合について、図9を用いて説明する。本実施の形態では、コンピュータ、携帯電話機(携帯電話、携帯電話装置ともいう)、携帯情報端末(携帯型ゲーム機、音響再生装置なども含む)、デジタルカメラ、デジタルビデオカメラ、電子ペーパー、テレビジョン装置(テレビ、またはテレビジョン受信機ともいう)などの電子機器に、上述の半導体装置を適用する場合について説明する。

【0170】

図9(A)は、ノート型のパーソナルコンピュータであり、筐体601、筐体602、表示部603、キーボード604などによって構成されている。筐体601と筐体602の少なくとも一には、先の実施の形態に示す半導体装置が設けられている。そのため、例えば、高速、かつ低消費電力なノート型のパーソナルコンピュータが実現される。

【0171】

図9(B)は、携帯情報端末(PDA)であり、本体611には、表示部613と、外部インターフェイス615と、操作ボタン614等が設けられている。また、携帯情報端末を操作するスタイラス612などを備えている。本体611内には、先の実施の形態に示す半導体装置が設けられている。そのため、例えば、高速、かつ低消費電力な携帯情報端末が実現される。

【0172】

図9(C)は、電子ペーパーを実装した電子書籍620であり、筐体621と筐体623の2つの筐体で構成されている。筐体621および筐体623には、それぞれ表示部625および表示部627が設けられている。筐体621と筐体623は、軸部637により接続されており、該軸部637を軸として開閉動作を行うことができる。また、筐体621は、電源631、操作キー633、スピーカー635などを備えている。筐体621、筐体623の少なくとも一には、先の実施の形態に示す半導体装置が設けられている。そのため、例えば、高速、かつ低消費電力な電子書籍が実現される。

【0173】

図9(D)は、携帯電話機であり、筐体640と筐体641の2つの筐体で構成されている。さらに、筐体640と筐体641は、スライドし、図9(D)のように展開している状態から重なり合った状態とすることができ、携帯に適した小型化が可能である。また、筐体641は、表示パネル642、スピーカー643、マイクロフォン644、操作キー645、ポインティングデバイス646、カメラ用レンズ647、外部接続端子648などを備えている。また、筐体640は、携帯電話機の充電を行う太陽電池セル649、外部メモリスロット650などを備えている。また、アンテナは、筐体641に内蔵されている。筐体640と筐体641の少なくとも一には、先の実施の形態に示す半導体装置が設けられている。そのため、例えば、高速、かつ低消費電力な携帯電話機が実現される。

【0174】

10

20

30

40

50

図9(E)は、デジタルカメラであり、本体661、表示部667、接眼部663、操作スイッチ664、表示部665、バッテリー666などによって構成されている。本体661内には、先の実施の形態に示す半導体装置が設けられている。そのため、例えば、高速、かつ低消費電力なデジタルカメラが実現される。

【0175】

図9(F)は、テレビジョン装置670であり、筐体671、表示部673、スタンド675などで構成されている。テレビジョン装置670の操作は、筐体671が備えるスイッチや、リモコン操作機680により行うことができる。筐体671およびリモコン操作機680には、先の実施の形態に示す半導体装置が搭載されている。そのため、例えば、高速、かつ低消費電力なテレビジョン装置が実現される。

10

【0176】

以上のように、本実施の形態に示す電子機器には、先の実施の形態に係る半導体装置が搭載されている。このため、半導体装置の微細化による高速化、低消費電力化が実現された電子機器が得られる。

【実施例】

【0177】

本実施例では、実施の形態1に示した半導体装置の作製方法を適用して導電層を加工した例を示す。

【0178】

本実施例においては、図1に示すトランジスタ160に対応した構造を作製した。図10を用いてサンプルの作製方法を示す。

20

【0179】

はじめにガラス基板400上に、下地膜として、膜厚300nmの酸化シリコン層402を、スパッタリング法を用いて成膜した。その後、半導体層として島状の酸化物半導体層404を形成した。酸化物半導体層404は、In-Ga-Zn-O系のターゲットを用い、スパッタ法により形成した。また、その膜厚は、30nmとした。また、半導体層上に導電層としてタングステン層406を100nmの膜厚で成膜した(図10(A)参照)。

【0180】

得られたタングステン層406を、レジストマスク410を用いて第1のエッチングを行い、凹部を有するタングステン層408を形成した(図10(B1)参照)。なお、レジストマスク410の作製には、光源として、波長365nmの光を呈するi線を用いた。また、エッチング装置としては、ICP(Inductively Coupled Plasma)などの高密度プラズマ源を用いたドライエッチング装置を用いた。

30

【0181】

第1のエッチングは、チャンパー内の圧力を0.67Pa、基板温度を40とし、上部電極のコイルに3000WのRF(13.56MHz)電力を印加し、基板側の電極に140Wの電力を印加して、10秒間のエッチングを行った。また、エッチングガスは、CF<sub>4</sub>、Cl<sub>2</sub>及びO<sub>2</sub>の混合ガスとして、流量をそれぞれ55sccm、45sccm及び55sccmとした。

40

【0182】

次いで、レジストマスク410を縮小して、レジストマスク412とした。レジストマスク410の縮小には、第1のエッチングと同じチャンパー内にて圧力を3.0Paとし、基板温度を40とし、上部電極のコイルに2000WのRF電力を印加し、基板側の電極を0Wとして、O<sub>2</sub>ガスを流量100sccmで流して、酸素プラズマによるアッシングを行った。アッシングの時間は15秒とした。

【0183】

その後、縮小したレジストマスク412を用いて第2のエッチングを行い、周縁に突出部を有するタングステン層414を得た(図10(C1)参照)。第2のエッチングは、チャンパー内の圧力を0.67Pa、基板温度を40とし、上部電極のコイルに3000

50

WのRF電力を印加し、基板側の電極に140Wの電力を印加して、15秒間のエッチングを行った。また、エッチングガスは、 $CF_4$ 、 $Cl_2$ 及び $O_2$ の混合ガスとして、流量をそれぞれ55sccm、45sccm及び55sccmとした。

【0184】

その後、レジストマスク412を除去した(図10(D1)参照)。

【0185】

また、比較例として、レジストマスク410を用いて1度のエッチング処理によって酸化物半導体層404を露出させ、タングステン層416を作製した(図10(B2)参照)。その後、レジストマスク410を除去した(図10(C2)参照)。

【0186】

図11(A)にエッチング加工後のタングステン層414端部(図10(D1)において点線で囲んだ領域)のSTEM(Scanning Transmission Electron Microscope)像を示す。

【0187】

また、図11(B)に、比較例として作製したタングステン層416(図10(C2)において点線で囲んだ領域)端部のSTEM像を示す。

【0188】

図11(B)より、i線を用いて作製したレジストマスクを使用した場合、タングステン層406を1度のエッチング処理によってパターン加工すると、端部にテーパ形状が形成されずに、タングステン層416の側面と底面が略垂直となることが示された。このような導電層上に薄膜を成膜すると、断線や接続不良が発生しやすく、また、当該薄膜において局所的に膜厚の小さい領域が形成されることが懸念される。

【0189】

また、図11(A)より、実施の形態1に示す作製方法を適用することで、i線を用いて作製したレジストマスクを使用した場合であっても、タングステン層414の端部に突出部415が形成されることが示された。また、該突出部415はテーパ形状であった。

【0190】

以上より、本発明の一態様の半導体装置の作製方法を適用することで、フォトリソグラフィに365nm以下の光を用いた場合であっても、配線の周縁に形成される突出部をテーパ形状とすることが可能であることが示された。

【符号の説明】

【0191】

- 100 基体
- 106 素子分離絶縁層
- 108 ゲート絶縁層
- 109 ゲート電極
- 116 チャンネル形成領域
- 118 不純物領域
- 124 金属化合物領域
- 126 電極
- 128 絶縁層
- 140 導電層
- 141 導電層
- 142 a ソース電極
- 142 b ドレイン電極
- 144 酸化物半導体層
- 145 a 突出部
- 145 b 突出部
- 146 ゲート絶縁層
- 147 突出部

10

20

30

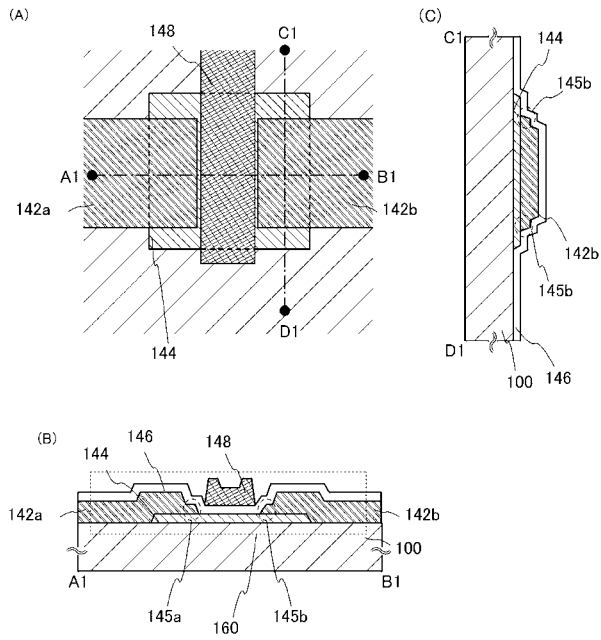
40

50

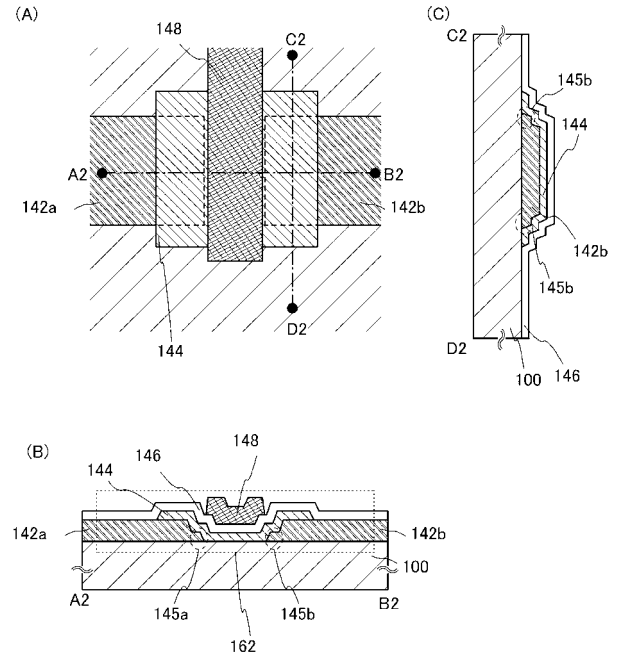
1 4 8	ゲート電極	
1 4 9	ゲート電極	
1 5 0	絶縁層	
1 5 0 a	レジストマスク	
1 5 0 b	レジストマスク	
1 5 2 a	レジストマスク	
1 5 2 b	レジストマスク	
1 5 4	配線	
1 5 6	絶縁層	
1 5 8	導電層	10
1 6 0	トランジスタ	
1 6 2	トランジスタ	
1 6 4	容量素子	
1 7 0	トランジスタ	
1 7 2	トランジスタ	
2 6 0	トランジスタ	
3 0 1	基板	
4 0 0	ガラス基板	
4 0 2	酸化シリコン層	
4 0 4	酸化物半導体層	20
4 0 6	タンゲステン層	
4 0 8	タンゲステン層	
4 1 0	レジストマスク	
4 1 2	レジストマスク	
4 1 4	タンゲステン層	
4 1 5	突出部	
4 1 6	タンゲステン層	
6 0 1	筐体	
6 0 2	筐体	
6 0 3	表示部	30
6 0 4	キーボード	
6 1 1	本体	
6 1 2	スタイラス	
6 1 3	表示部	
6 1 4	操作ボタン	
6 1 5	外部インターフェイス	
6 2 0	電子書籍	
6 2 1	筐体	
6 2 3	筐体	
6 2 5	表示部	40
6 2 7	表示部	
6 3 1	電源	
6 3 3	操作キー	
6 3 5	スピーカー	
6 3 7	軸部	
6 4 0	筐体	
6 4 1	筐体	
6 4 2	表示パネル	
6 4 3	スピーカー	
6 4 4	マイクロフォン	50

6 4 5	操作キー	
6 4 6	ポインティングデバイス	
6 4 7	カメラ用レンズ	
6 4 8	外部接続端子	
6 4 9	太陽電池セル	
6 5 0	外部メモリスロット	
6 6 1	本体	
6 6 3	接眼部	
6 6 4	操作スイッチ	
6 6 5	表示部	10
6 6 6	バッテリー	
6 6 7	表示部	
6 7 0	テレビジョン装置	
6 7 1	筐体	
6 7 3	表示部	
6 7 5	スタンド	
6 8 0	リモコン操作機	
1 1 0 1	C P U	
1 1 0 2	タイミングコントロール回路	
1 1 0 3	命令解析デコーダ	20
1 1 0 4	レジスタアレイ	
1 1 0 5	アドレスロジックバッファ回路	
1 1 0 6	データバスインターフェイス	
1 1 0 7	A L U	
1 1 0 8	命令レジスタ	
1 2 0 2	フォトダイオード	
1 2 0 4	トランジスタ	
1 2 0 6	トランジスタ	
1 2 1 2	フォトダイオードリセット信号線	
1 2 1 4	ゲート信号線	30
1 2 1 6	フォトセンサ出力信号線	
1 2 1 8	フォトセンサ基準信号線	
1 2 2 2	基板	
1 2 2 4	基板	
1 2 2 6 a	半導体層	
1 2 2 6 b	半導体層	
1 2 2 6 c	半導体層	
1 2 2 8	接着層	
1 2 3 0	入射光	
1 2 3 4	絶縁層	40
1 2 3 6	層間絶縁層	
1 2 3 8	層間絶縁層	
1 2 4 0	ゲート電極	
1 2 4 2	電極層	
1 2 4 4	電極層	

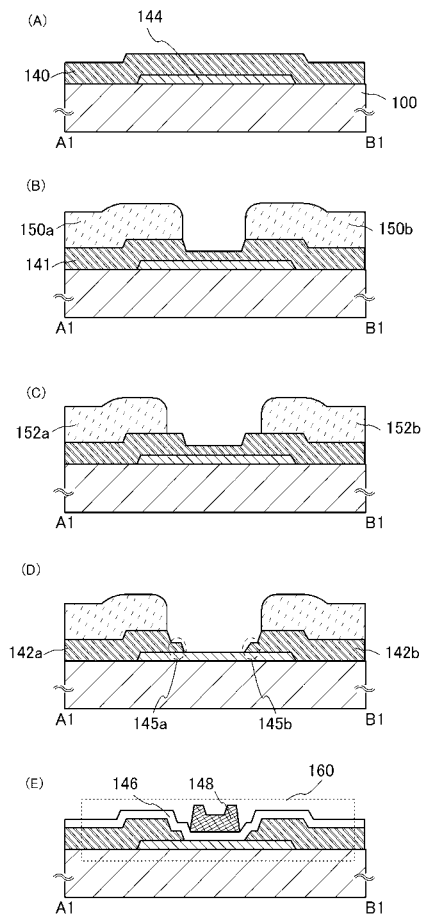
【 図 1 】



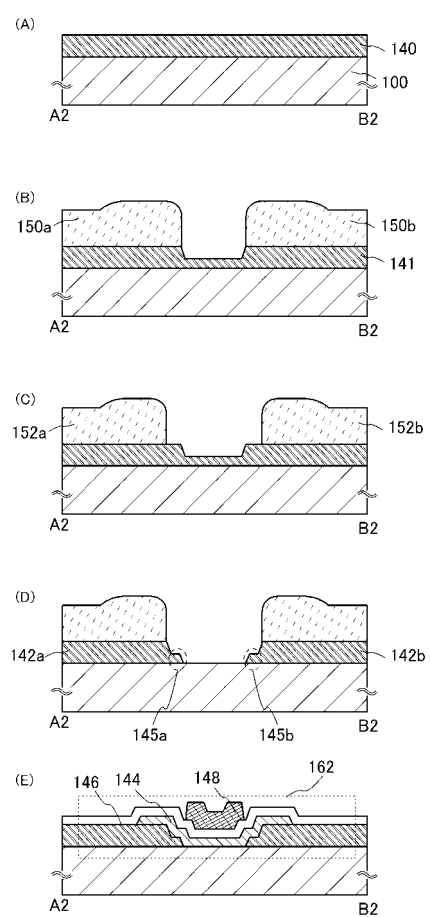
【 図 2 】



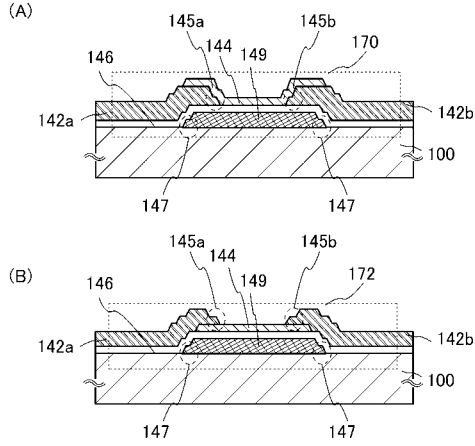
【 図 3 】



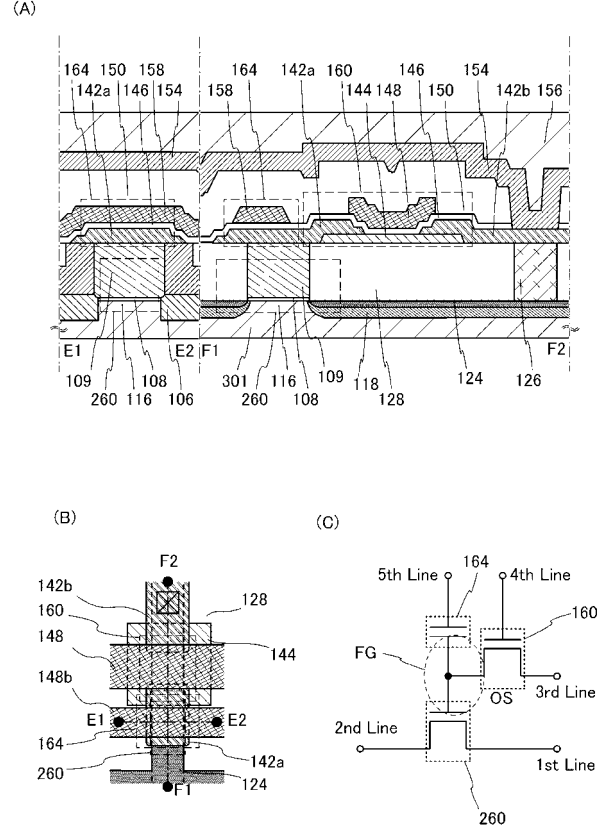
【 図 4 】



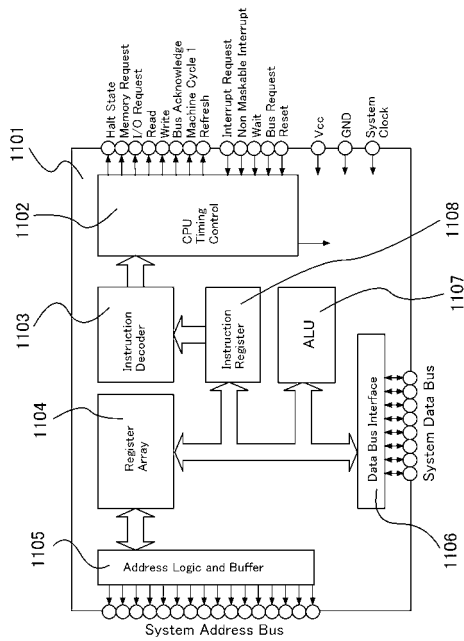
【 図 5 】



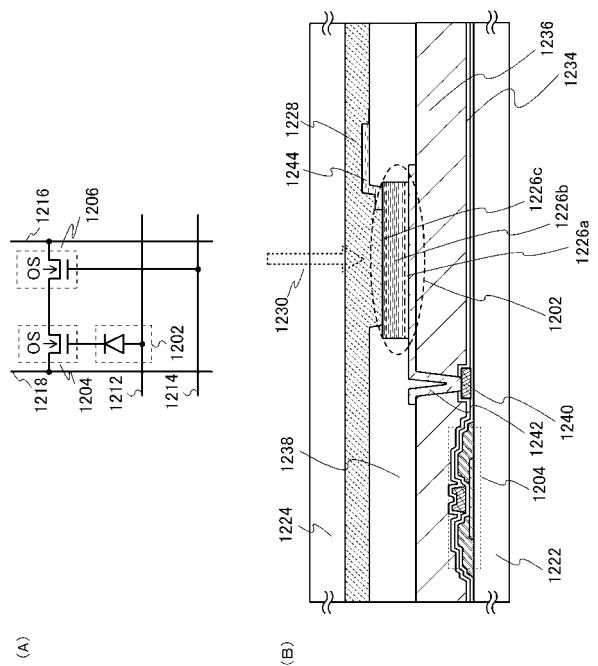
【 図 6 】



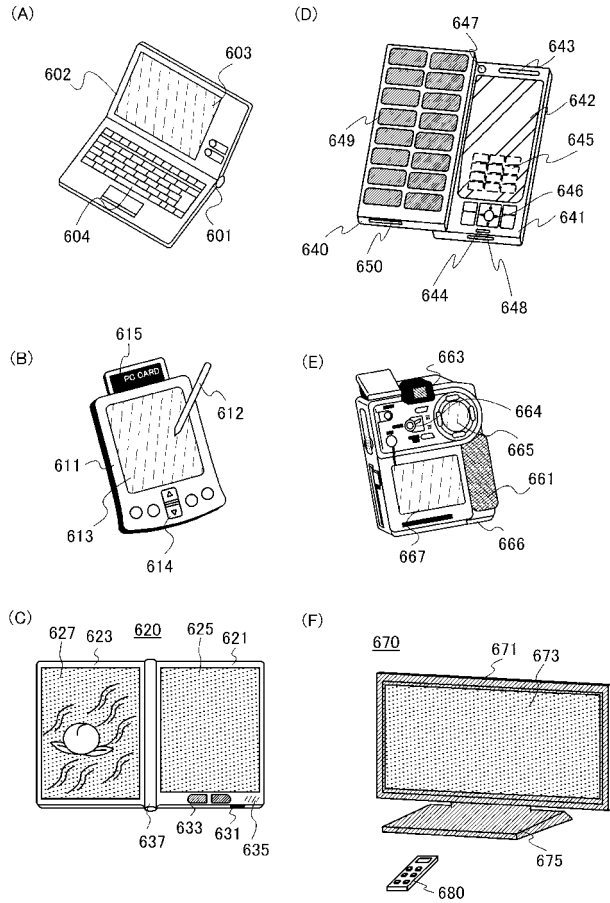
【 図 7 】



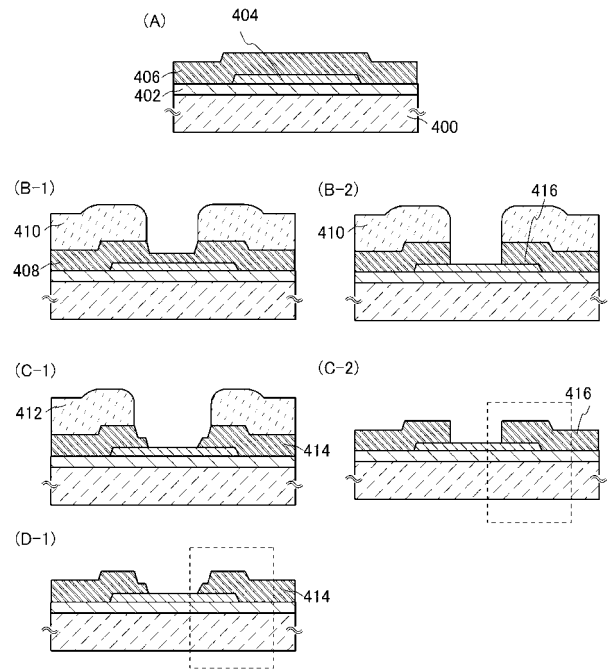
【 図 8 】



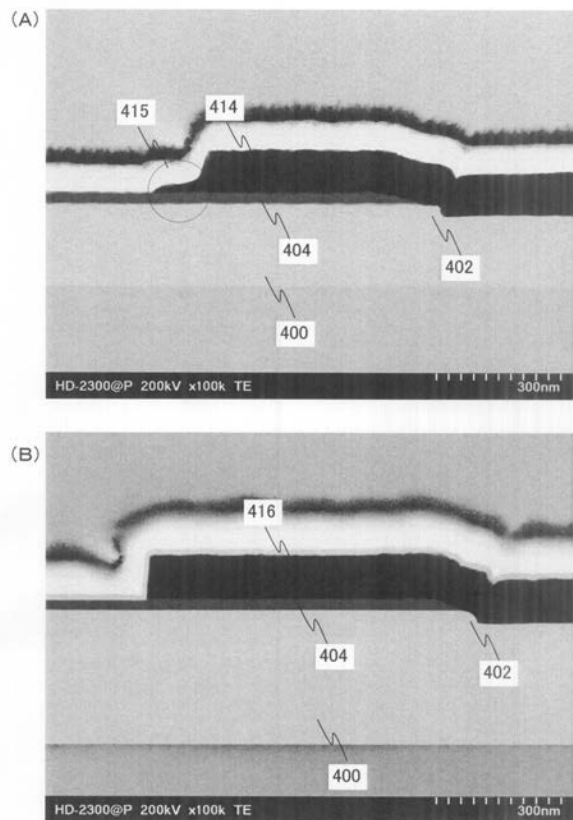
【 図 9 】



【 図 10 】



【 図 11 】



## フロントページの続き

Fターム(参考) 5F048 AB01 AB03 AC01 AC10 BA01 BA14 BA16 BA19 BA20 BB02  
BB03 BB09 BB11 BC18 BD10 BF06 BF07 BF15 BF16 BG06  
BG11 CB01 CB03 CB04  
5F110 AA04 AA06 AA12 AA26 BB03 BB06 BB10 BB11 CC01 CC03  
CC05 CC07 DD01 DD02 DD03 DD04 DD05 DD13 EE02 EE03  
EE04 EE06 EE14 EE22 EE23 EE31 EE48 FF01 FF02 FF04  
FF36 GG01 GG02 GG03 GG04 GG12 GG13 GG14 GG15 GG17  
GG25 GG28 GG33 GG34 GG35 GG43 GG57 GG58 HK02 HK03  
HK04 HK06 HK07 HK32 HK34 HK42 HM02 HM03 NN03 NN22  
NN23 NN24 NN25 NN27 NN35 NN62 NN71 NN72 NN74 NN77  
NN78 QQ02 QQ06 QQ09 QQ19